

第三代半导体信息简报

2018年11月（总第26期）

中国科学院文献情报中心

2018年制

本期目录

政策计划

| | |
|--|----|
| DARPA 宣布下一阶段的电子复兴计划 | 1 |
| 科技部关于发布国家重点研发计划“宽带通信和新型网络”等重点专项 2018 年度项目申报指南的通知 | 4 |
| 聚力成半导体项目奠基仪式在大足高新区顺利举行 | 9 |
| 北大承担的国家重点研发计划“氮化物半导体新结构材料和新功能器件研究”项目启动 | 10 |

前沿研究

| | |
|---|----|
| 高亮度 AlGaIn 紫外发射二极管的制备：图案化硅基底上横向外延生长工艺，提高紫外线输出功率 | 12 |
| 通过生长模式调整在喷溅 AlN/蓝宝石生长高质量氮化铝薄膜 | 14 |
| 微米级退火在 GaN HEMT gate-first 工艺中的应用 | 16 |
| 半绝缘 GaN 中 N 位碳位置的明确识别 | 18 |

应用实施

| | |
|--|----|
| ROHM 推出在高温高湿环境下 1700V 全 SiC 功率模块 | 20 |
| CASA 正式发布三项 SiC 衬底及外延相关联盟标准 | 22 |
| 英飞凌收购“冷切割”技术公司，用于 SiC 晶圆切割 | 23 |
| Veeco 与 ALLOS 合作加速 200 毫米硅基氮化镓 Micro-LED 的应用 | 24 |
| Qorvo 推出适用于 5G 核心频段 n41 的射频前端模块 | 25 |

政策计划

DARPA 宣布下一阶段的电子复兴计划

2018 年 11 月 1 日，美国国防高级研究计划局（Defense Advanced Research Projects Agency, DARPA）新闻报道，2017 年 6 月首次宣布的电子复兴计划（ERI）——对国内电子系统未来的五年高达 15 亿美元的投资，正在推出其研究重点的第二阶段。这一阶段由几个正在进行的 DARPA 项目组成——包括最近授予的六个 ERI 项目，包括三维单片系统片上（3DSoC）项目、新型计算基础需求（FRANC）项目、电子资产智能设计（IDEA）项目、Posh 开源硬件（POSH）项目、软件定义硬件（SDH）项目、领域专用片上系统（DSSoC）项目，ERI 解决了摩尔定律长期存在的障碍以及阻碍电子技术 50 年快速发展的挑战。ERI 的下一阶段将侧重于进一步将国防企业的技术需求和能力与电子行业的商业和制造现实相结合。

ERI 第二阶段旨在解决电子界在 DARPA 于 7 月份在旧金山举行的 ERI 峰会期间举办的一系列研讨会中提出的三个关键问题。这些关键问题包括需要支持国内制造业选择，并使他们能够针对不同需求开发差异化能力；投资芯片安全的需求；在 ERI 项目之间建立新的联系，并在国防应用中展示最终的技术。“通过 ERI，DARPA 正在为更加强大、安全、高度自动化的电子行业奠定基础，将我们从一个通用硬件时代转移到专业系统，” DARPA 微系统技术办公室（MTO）主任 Bill Chappell 博士表示。“自晶体管发明以来，美国电子行业在电子领域保持了全球领先地位。ERI 的第一阶段是通过探索新颖的电路材料、架构和设计专业化来保持竞争力所需的研究和开发的重大投资。ERI 第二阶段旨在扩大投资，推动我们向美国国内半导体制造部门迈进，从而实现专用电路；验证这些电路可以通过供应链被信任，并且在构建时考虑到安全性；最终可供国防部和商业部门用户使用。”

为了创造独特和差异化的国内制造能力，ERI 第二阶段将探索为传统

CMOS 微缩添加互补和替代矢量。该领域的第一个项目是“极端可微缩性封装中的光子学”（**Photonics in the Package for Extreme Scalability, PIPES**）项目，它将探索将光子学微缩的优势直接带入芯片的方法。PIPES 项目还将致力于建立一个国内生态系统，促进商业和国防部用户长期获得这些新的光子学能力。通过显著降低与数字微电子数据移动相关的能源需求和挑战，该项目可以减少将数百个 GPU 连接在一起所需的工作量，并实现大规模并行性，能够支持当前和新兴的数据密集型应用，如机器学习、大规模仿真和先进传感器。

与 PIPES 项目一起，其他 ERI 第二阶段投资旨在确保新型电子制造能力的发展，并支持为国防部及其商业合作伙伴持续提供差异化、高性能电子产品的战略。这对于国防部很重要，因为它的电子制造需求众多且多样化，其系统具有独特的要求和特定的功能。尽管用于数字处理的传统 CMOS 微缩仍然是一个重要的投资领域，但许多与国防部相关的关键电子设备很可能来自替代和互补矢量。ERI 第二阶段的潜在探索领域包括将微机电系统（MEMS）和射频（RF）组件直接集成到先进电路和半导体制造工艺中。这些努力将建立在 ERI 材料与集成研究重点的现有工作基础上，补充当前的 ERI 项目，如 FRANC、3DSoC 和 CHIPS 等项目。

在整个 2018 年的剩余时间里，DARPA 计划宣布与 ERI 峰会上强调的问题相关的额外 ERI 第二阶段投资。潜在的探索领域包括实现电子元件的可追溯性——从设计到使用，以及可以实施安全和隐私保护的电子产品的开发。潜在的 ERI 第二阶段项目将考虑对包含安全风险保护有保证的电子产品需求。这些工作将以 ERI 的设计和架构研究重点为基础，并利用现有的 DARPA 项目，如解决硬件安全和验证挑战的 SSITH 项目。

ERI 第二阶段还将研究如何增加各种 ERI 工作之间的联系——从基础研究项目到技术应用项目，以及所有部门开发的 ERI 技术在国防特定系统中的新兴和未来应用。项目和最终用户之间的这些联系是 ERI 整体成功的关键，推动了 DARPA 向国防部及其合作伙伴提供差异化能力。正在制定的项目应有助于确保源自 ERI 的技术进步将对国家安全产生重大影响。潜在的探索领域包括大规模

物理仿真中的 ERI 应用、认知 RF 系统、下一代卫星、网络安全等。

PIPES 项目开发背景

并行性，或者是几个处理器同时在应用程序或计算上执行的行为，已经越来越多地被微电子工业所接受，作为维持对提高系统性能的需求的一种方式。如今，并行计算架构已经遍及所有应用领域和系统规模——从消费者设备中的多核处理器到国防部系统中的高性能计算。然而，并行性带来的性能增益越来越不受单个节点的计算限制，而是受到它们之间数据移动的限制。当驻留在现代多芯片模块（MCM）上时，这些节点依靠电子链路实现短距离连接，但是一旦系统扩展到电路板级别以及更高级别时，电子链路的性能会迅速降低，需要大量能量来保持在集成电路之间移动数据。扩大使用光学元件而不是电子元件进行数据传输有助于显著降低能耗，同时提高数据容量，从而推动大规模并行化。

“如今，微电子系统受到数据移动成本高昂的限制，无论是以能量、占地面积还是延迟来衡量，” DARPA 微系统技术办公室（MTO）项目经理 Gordon Keeler 博士介绍，“高效的光子信号提供了颠覆性系统可扩展性的途径，因为它消除了保持数据本地化的需要，并且它有望影响数据密集型应用，包括机器学习、大规模仿真和高级传感器。”

光子收发器模块已经实现了长距离光信号传输、具有高带宽和使用光纤的最小损耗。然而，当数据在光学收发器和电子领域中的高级集成电路之间移动时会产生瓶颈，这极大地限制了性能。将光子解决方案集成到微电子封装中将消除这种限制并实现新级别的并行计算。

PIPES 项目专注的三个研究领域

新的 DARPA 项目“极端可微缩性封装中的光子学”（PIPES）项目，旨在通过开发用于数字微电子的高带宽光学信号技术来实现未来的系统可微缩性。PIPES 项目跨越三个技术领域，旨在开发和集成光学收发器功能到尖端 MCM 中，并创建先进的光学封装和开关技术，以满足高度并行系统的数据移动需求。通过 PIPES 项目开发的高效、高带宽、封装级光子信号对于商业和国防领域的许

多新兴应用都很重要。

PIPES 项目的第一个技术领域专注于开发与高级集成电路（IC）封装的高性能光输入/输出（I/O）技术，包括现场可编程门阵列（FPGA）、图形处理器（GPU）和专用集成电路（ASIC）。除了技术开发之外，该项目还旨在促进国内电子生态系统支持更广泛部署所产生的技术并扩大其影响。

对历史性微缩趋势的预测需要大幅改进带宽密度和能耗以适应未来的微电子输入/输出（I/O）。为了应对这一挑战，PIPES 项目的第二个技术领域将研究新颖的组件技术和先进的链路概念，以实现高度可扩展的封装内光输入/输出（I/O）的颠覆性方法，实现前所未有的吞吐量。

PIPES 项目前两个技术领域的封装级光子输入/输出（I/O）的成功开发将为系统架构师带来新的挑战。具有分布式并行性的大规模互连网络的开发将创建数百到数千个节点，这将非常难以管理。为了帮助解决这一复杂问题，PIPES 项目的第三个技术领域将专注于创建低损耗光学封装方法，以实现高通道密度和端口数，以及可重新配置的低功耗光交换技术。

于杰平摘译自

<https://mp.weixin.qq.com/s/8jHonXGGVhsD88PHFRVBQP>

<https://www.darpa.mil/news-events/2018-11-01a>

<https://www.darpa.mil/news-events/2018-11-01>

科技部关于发布国家重点研发计划“宽带通信和新型网络”等重点专项 2018 年度项目申报指南的通知

2018 年 10 月 19 日，科技部关于发布国家重点研发计划“宽带通信和新型网络”等重点专项 2018 年度项目申报指南的通知，其中包括“宽带通信和新型网络”重点专项 2018 年度项目申报指南，“光电子与微电子器件及集成”重点专项 2018 年度项目申报指南等。

“宽带通信和新型网络”重点专项总体目标是：开展新型网络与高效传输全技术链研发，使我国成为普适性 IP 网络和媒体网络在技术与产业未来发展的重要主导者，B5G 无线移动通信技术和标准研发的全球引领者，并在光通信领域研发达到国际先进水平，为“网络强国”和“互联网+”国家战略的实施提供坚实的技术支撑。在网络通信核心芯片、一体化融合网络、高速光通信设备、未来无线移动通信等方面取得一批突破性成果，掌握自主知识产权，制定产业标准，开展应用示范，贯彻军民融合深度发展战略，打造完善的技术协同创新体系。按照新型网络技术、高效传输技术、一体化综合网络试验与示范 3 个创新链（技术方向），共部署 24 个重点研究任务。专项实施周期为 5 年（2018—2022 年）。部分项目采用部省联动方式组织实施（项目名称后有标注）。应用示范类部省联动项目，由广东省科技厅推荐，广东省科技厅应面向全国组织优势创新团队申报项目。共性关键技术类部省联动项目，各推荐渠道均可推荐申报，但申报项目中至少有一个课题由广东省有关单位承担。2018 年，在 3 个技术方向启动 24 个研究任务，拟支持 24—48 个项目，拟安排经费总概算为 8.2 亿元。凡企业牵头的项目须自筹配套经费，配套经费总额与专项经费总额比例不低于 1:1。

2. 高效传输技术

2.13 基于第三代化合物半导体的射频前端系统技术（共性关键技术类，部省联动任务）

研究内容：针对新一代无线通信的需求，研究基于第三代化合物半导体工艺的射频前端系统集成技术及毫米波有源和无源电路设计理论与方法。探索具有完全自主知识产权适用于新一代无线通信毫米波频段的第三代半导体器件的功率密度、线性、散热等性能提升技术及使用该类器件实现高性能功率放大器、低噪声放大器、双工开关等关键有源电路的原创性拓扑结构；侧重研究从半导体器件结构、工艺制程等方面及创新电路架构设计提升功率放大器输出功率、效率以及线性度等关键指标的设计方法；研究 GaN MMIC 中低损耗互联（传输线）以及其他高性能无源功能性器件（如功分器，耦合器等）的设计方法；提

出基于 GaN HEMT 的高集成度射频集成前端的设计新理念与新方法；探索基于第三代化合物半导体芯片的集成与封装技术。研究包含多种功能电路的高集成度 MMIC 上的设计及性能优化方法，研究从封装方面提升电路性能的方法，实现毫米波芯片、封装与天线一体化，优化前端系统的整体射频性能。

考核指标：形成完善的基于第三代化合物半导体的射频前端电路与系统的设计与封装集成整体解决方案。在关键电路方面，在 26—40GHz 的频段范围内实现以下指标：1) 射频前端发射部分功率放大器 MMIC 实现功率密度达到 $4\text{W}/\text{mm}^2$ ，功率附加效率 (PAE) 超过 35%，输出功率超过 40dBm；2) 射频前端低噪声放大器 MMIC 实现噪声系数小于 1.5dB，带宽达 10GHz，增益超过 20dB；3) 射频前端双工开关 MMIC 实现插入损耗小于 1.5dB，隔离度大于 30dB。必须采用国内半导体工艺线，提供自主知识产权的核心芯片样品。申请 20 项以上国内外发明专利，国际专利 5 项。

“光电子与微电子器件及集成”重点专项总体目标是：发展信息传输、处理与感知的光电子与微电子集成芯片、器件与模块技术，构建全链条光电子与微电子器件研发体系，推动信息领域中的核心芯片与器件研发取得重大突破，改变我国网络信息领域中的核心元器件受制于人的被动局面，支撑通信网络、高性能计算、物联网与智慧城市等应用领域的自主可控发展，满足国家发展战略需求。按照硅基光子集成技术、混合光子集成技术、微波光子集成技术、集成电路与系统芯片、集成电路设计方法学和器件工艺技术 6 个创新链（技术方向），共部署 49 个重点研究任务。专项实施周期为 5 年（2018—2022 年）。2018 年，在 6 个技术方向启动 26 个研究任务，拟支持 35—52 个项目，拟安排国拨经费总概算为 6.5 亿元。凡企业牵头的项目须自筹配套经费，配套经费总额与国拨经费总额比例不低于 1:1。

1. 硅基光子集成技术

1.1 硅基发光基础理论及器件关键技术（基础前沿类）

研究内容：开展硅基高效发光材料的设计、制备和器件研制，解决硅基光子集成技术中缺乏硅基光源这一瓶颈问题。研究硅基掺杂与缺陷调控及高效发

光机理；研究硅基纳米结构高效发光材料与器件；研究硅基稀土掺杂/缺陷电致发光材料及器件；研究锗锡IV族直接带隙发光材料能带调控和相关器件；硅衬底上III-V族等化合物半导体材料的外延生长和激光器。

考核指标：突破硅基高效发光材料和器件难题，研制出硅衬底上的多种激光器。设计和实现基于能带工程、掺杂工程、缺陷工程的 2 种以上新结构高效硅基发光材料；硅基纳米结构高效发光器件能量转移效率 $>65\%$ ，外量子效率 $>10\%$ ；研制的硅基稀土掺杂/缺陷电致发光器件 800 小时效率衰减小于 25% ；制备出具有直接带隙的锗锡发光材料，实现光泵和电泵激射；研制出硅衬底上 III-V 族等化合物半导体激光器，实现室温连续激射，阈值电流密度 $<100\text{A}/\text{cm}^2$ ，输出光功率达到 mW 量级。申请发明专利 20 项以上。

1.3 光接入用 100G PON 核心硅基光电子器件（共性关键技术类，拟支持两项）

研究内容：面向 25/50/100G PON 光收发模块的需求，研究低损耗高消光比的 25Gb/s 硅基光调制器、高灵敏度的 25Gb/s 锗硅光探测器，实现调制器、探测器、滤波器、光纤耦合器等功能器件的硅基集成。研究高线性度的硅基光调制器、锗硅光探测器、波分复用器件及技术，实现 50Gb/s 收发一体化硅光集成芯片；研究高功率激光器与硅基光波导高效混合集成技术；搭建光收发模块验证测试系统，开发 25/50 Gb/s PON 硅基集成光收发模块工程样品；研究硅基多通道 100Gb/s PON 核心芯片及模块化封装技术。

考核指标：实现单通道 25Gb/s 硅基光收发集成芯片，其中硅基光调制器工作速率不低于 28 Gb/s、插损不大于 6.5 dB；锗硅光探测器工作速率不低于 28 Gb/s；激光器芯片直流输出光功率不低于 60mW；实现单通道 50Gb/s 硅基光收发集成芯片；研制出基于硅基光电子集成芯片的 25/50 Gb/s PON 光收发模块工程样品，发射光功率不低于 3 dBm、接收灵敏度优于-20 dBm (BER = 1E-3)。验证硅基多通道 100Gb/s PON 的方案，实现 25/50 Gb/s PON 光收发模块批量生产与推广应用，申请发明专利 45 项以上。

2. 混合光子集成技术

2.2 高迁移率 CMOS 与红外光子器件混合集成芯片技术（基础前沿类）

研究内容：研究具有高载流子迁移率且工作在红外波段的硅衬底制备技术；研究与光子器件集成的硅基高迁移率 CMOS 器件制备关键技术；研究基于工作波长在 2~5 μm 红外波导的探测器、调制器和激光器及其与高迁移率 CMOS 器件的混合集成工艺；研究混合芯片制造关键工艺和硅光电混合芯片集成工艺以及光互连集成技术。

考核指标：锡组份大于 12%的锗锡合金材料，MOS 结构载流子浓度为 $3 \times 10^{12}\text{cm}^{-3}$ 时，载流子有效迁移率超过硅材料的 3 倍，锗锡红外探测器 2 μm 波长响应度 >120 mA/W，器件截止波长 >2.7 μm ；硅基绝缘层上高迁移率 CMOS 器件集成，载流子浓度为 $3 \times 10^{12}\text{cm}^{-3}$ 时，沟道载流子迁移率超过硅 CMOS 器件的 3 倍，器件工作电压和开关比优于同等尺寸硅器件；实现至少两种 8 英寸硅衬底上红外光子器件与高迁移率 CMOS 器件的混合集成芯片，速率大于 40 Gb/s，工作波长在 25 μm ；红外激光器 5 μm 室温连续输出功率 >2W、单模功率 >1.5W、单模调谐范围 30nm；5 μm 单模激光器的室温连续工作阈值功耗 <0.6W，并实现红外激光器与 III-V 族 MOSFET 器件集成。上述器件能够进行系统演示。申请发明专利 20 项以上。

3. 微波光子集成技术

3.1 宽带无线接入微波光子芯片基础研究（基础前沿类，拟支持两项）

研究内容：研究大功率低噪声半导体激光器及阵列芯片、宽带低半波电压电光调制器及阵列芯片以及宽带高饱和光探测器及阵列芯片；研究宽带、高精度二维微波光子波束形成芯片、频率和带宽高速可重构微波光子滤波器及阵列芯片以及宽带、高抑制比光学单边带调制芯片；研究多频段微波光子融合传输与宽带无线接入技术、微波光子多芯传输与多制式无线信号的融合接入技术以及宽带微波光子多波束技术及其无线接入技术。

考核指标：单通道半导体激光器输出光功率 $\geq 160\text{mW}$ 、RIN 噪声 $\leq -160\text{dBc/Hz}$ ，10 通道半导体激光器阵列芯片单通道输出光功率 $\geq 80\text{mW}$ 、通道间隔 200GHz、RIN 噪声 $\leq -155\text{dBc/Hz}$ ；电光调制器及阵列芯片调制带宽 $\geq 40\text{GHz}$ 、

半波电压 $\leq 4\text{V}$ ；光电探测器及阵列芯片带宽 $\geq 40\text{GHz}$ 、饱和光功率 $\geq 100\text{mW}$ ；波束形成芯片瞬时带宽 $\geq 4\text{GHz}$ 、延时精度 $\leq \pm 0.3\text{ps}$ 、通道数 4×4 ；可重构滤波器及阵列芯片频率调谐范围 $\geq 40\text{GHz}$ 、射频带外抑制比 $\geq 60\text{dB}$ 、响应时间 $\leq 100\mu\text{s}$ ；单边带调制芯片频率覆盖 $8\sim 40\text{GHz}$ 、边带抑制比 $\geq 30\text{dB}$ 。实现频段数 ≥ 2 、动态范围 $\geq 120\text{dB}\cdot\text{Hz}^{2/3}$ 的多频段微波光子融合传输；实现信道数 ≥ 8 、串扰 $\leq -20\text{dB}$ 的多制式无线信号多芯传输与分配；实现波束数目 ≥ 4 、瞬时带宽 $\geq 4\text{GHz}$ 的宽带微波光子多波束收发。申请发明专利 30 项。

于杰平选摘自

http://www.most.gov.cn/mostinfo/xinxifenlei/fgzc/gfxwj/gfxwj2018/201810/t20181025_142406.htm

<http://www.most.gov.cn/mostinfo/xinxifenlei/fgzc/gfxwj/gfxwj2018/201810/W020181025632304219569.pdf>

<http://www.most.gov.cn/mostinfo/xinxifenlei/fgzc/gfxwj/gfxwj2018/201810/W020181026586812968971.pdf>

聚力成半导体项目奠基仪式在大足高新区顺利举行

2018 年 11 月 13 日上午，聚力成半导体（重庆）有限公司奠基仪式在大足高新区举行，标志着聚力成半导体项目正式开工。聚力成半导体（重庆）有限公司 CEO 叶顺闵，中金公司大足项目负责人、聚力成基金管理人刘箭，重庆市台商协会会长李文勋、荣誉会长杨恩明、常务副会长蔡铭仁，聚力成半导体（重庆）有限公司首席战略官刘忠鑫、财务长郭彦辰、厂长陈宪冠等出席奠基仪式。项目是大足区今年 9 月新引进的重大招商引资项目，占地 500 亩、拟投资 50 亿元，将在高新区建设氮化镓外延片、氮化镓芯片研发与生产、芯片封装生产基地，达产后能解决就业岗位 2500 个。该基地的建设，将对我区深入实施以智能化为引领的创新驱动发展战略行动计划，加快布局电子信息、集成电路等新兴产业集聚具有重要的引领和带动作用。叶顺闵在致辞中说，他们公司研

发的外延片是以氮化镓为原材料的第三代外延片，是全球半导体研究的前沿和热点，与芯片的质量有直接关系，属于半导体行业的核心技术器件。以氮化镓为材料的半导体器件可广泛应用于新能源汽车、高铁、5G 通讯等领域，能让大家的生活更加智能化、更加便捷。在大足高新区建设的基地，是聚力成在大陆的首个基地，力争 5 年内实现产值 40 亿。据悉，项目自今年 9 月签约以来，大足区与企业双方精诚合作、齐心协力，仅历时 65 天实现开工建设，创造了重大项目落地建设的“大足速度”。

于杰平选摘自

[http://www.cqgh.org/html/jcdt/20181114/121638.html?from=singlemessage&isappinstalled=](http://www.cqgh.org/html/jcdt/20181114/121638.html?from=singlemessage&isappinstalled=0)

0

北大承担的国家重点研发计划“氮化物半导体新结构材料和新功能器件研究”项目启动

2018 年 10 月 18 日上午，由北京大学作为牵头单位，联合清华大学、中国科学院苏州纳米技术与纳米仿生研究所、北京邮电大学、西安电子科技大学、广东省半导体产业技术研究院、华中科技大学、中国科学院上海技术物理研究所、中国电子科技集团公司第五十五研究所、湖南大学、厦门大学、中国科学院半导体研究所、北京科技大学、合肥彩虹蓝光科技有限公司等 14 家单位共同承担的国家重点研发计划“战略性先进电子材料”重点专项“氮化物半导体新结构材料和新功能器件研究”项目启动会，在北京西郊宾馆会议中心举行。

科技部高技术研究发展中心材料处处长史冬梅、“战略性先进电子材料”专项主管杨斌代表项目管理部门出席并指导项目启动的相关工作。出席项目启动会的专家包括南京大学郑有焯院士、北京大学甘子钊院士、基金委信息学部主任西安电子科技大学郝跃院士、基金委信息学部综合处潘庆处长、香港科技大学葛惟昆教授、苏州纳米所徐科研究员、全球能源互联网研究院邱宇峰教授、

半导体所陈弘达研究员、李晋闽研究员、南京大学施毅教授、物理所韩秀峰研究员、北京大学沈波教授和王新强教授等。北京大学科研部副部长韦宇也应邀出席了启动会。

北京大学物理学院宽禁带半导体研究中心唐宁副教授作为项目负责人介绍了项目总体情况以及项目的实施方案。项目各课题负责人清华大学郝智彪教授、苏州纳米所边历峰研究员和唐宁分别汇报了所负责课题的概况、实施方案及近期研究进展。

该项目围绕后摩尔时代信息领域对分立光电子和电子器件的需求，开展基于氮化物半导体新结构材料和新功能器件的研究，重点突破氮化物半导体的零维量子点、一维量子线和二维量子阱及其复合结构等低维量子结构的制备，深入研究低维量子结构中载流子的输运/复合/跃迁及其调控规律，研制出单光子源、紫外红外双色探测器、太赫兹发射及探测器件和自旋场效应晶体管器件，形成具有自主知识产权的核心技术，为第三代半导体材料和器件的持续发展奠定基础。

于杰平选摘自

<http://news.sina.com.cn/o/2018-10-23/doc-ihmuuiyw2549004.shtml>

前沿研究

高亮度 AlGaInN 紫外发射二极管的制备：图案化硅基底上横向外延过生长工艺，提高紫外线输出功率

紫外发射器可应用于激光打印、大容量数据存储、白色照明、水净化和消毒等数个领域。目前研究的紫外发光二极管（UV light emitting diodes, UV-LED）是基于四元合金 AlGaInN，主要通过金属有机化学气相沉积（MOCVD）生长方法制备。然而，由于缺乏廉价的天然衬底，氮化物材料必须通过异质外延方法生长。由于硅晶圆的广泛可用性及其在电子芯片中许多可能的混合使用，在硅上直接生长紫外发射器是非常有吸引力的一个研究方向。

众所周知，热失配和晶格失配容易导致较高的位错密度，这降低了晶体生长的质量，从而极大地降低了器件的性能。除了 Si 和 AlN 之间非常高的热失配和晶格失配之外，AlN 在硅上的生长是非常具有挑战性的，因为氮化物结构是六角形的，而硅显示出金刚石立方晶格。通常，AlN 生长在显示六重表面对称性的 Si(111)上，而不是标准 Si(100)。到目前为止，在 Si(111)上生长高质量 AlN 主要有两种技术：通过氨气脉冲流在裸硅上生长多层 AlN 膜和无掩模横向外延过生长(lateral epitaxy overgrowth, LEO)。第一种方法是对生长模式进行调制，从三维岛核到二维横向增强生长，以释放应力和掩埋位错。第二种方法利用了横向外延过生长技术在硅衬底上生长 GaN。该原理依赖于具有高位错密度的图案化种子层的再生长。在合适的条件下，过生长横向扩展，并导致图案化层两侧的低位错密度翼最终合并，在表面下留下空隙。利用这两种技术，已经获得了具有大幅度降低位错密度的高质量材料，并且已经证实了可制备有前途的 UV-LED。然而，由于光提取效率低，它们的性能仍然很低。此外，在硅等不透明衬底上生长的器件通常采用顶部发射结构，顶部接触吸收光，而空气界面处的全内反射现象则大大减少了从顶部结构发射的光量。虽然使用光子晶体、

微透镜阵列，以及模具成形和表面织构，可以解决这个问题。但是这些技术相当复杂，或者并不总是与有效热管理所需的倒装芯片体系结构兼容。

来自日本名古屋大学、美国弗吉尼亚联邦大学、土耳其卡夫里大学和美国西北大学的研究小组使用横向外延生长方法提高材料质量，在 200mm 硅衬底上生长材料开发了氮化铝镓高亮度紫外发光二极管(AIGaN-UV-LED)的技术。

报道了在图案化硅上制备高亮度 AIGaN 基紫外发光二极管 (UV-LED)。研究人员利用横向外延生长方法，证明了 6 μm 厚高结晶质量 AlN 层的生长。X-射线衍射分析表明，在 (00.2) 和 (10.2) 平面的最大半宽为 553" 和 768"。AlN 模板的低位错密度使得生长的 AIGaN/GaN 量子阱得以在 336 nm 发射。通过适当的倒装键合和硅衬底去除工艺步骤，使图案化的 AlN 表面暴露出来，实现了高效的底发射 UV-LED。

研究人员指出：“AlN 质量的改进和结构设计使得光输出功率在脉冲电流下达到毫瓦范围，超过了之前报道的最大效率。” 对不同脉冲电流和占空比下的光功率的进一步研究表明，这种器件结构的热管理仍然具有挑战性，特别是在连续波模式下。由于 AlN 晶体质量的改善和光提取的优化是抑制硅制造高效紫外发射器件的主要问题，因此本研究所提出的策略是令人感兴趣的。

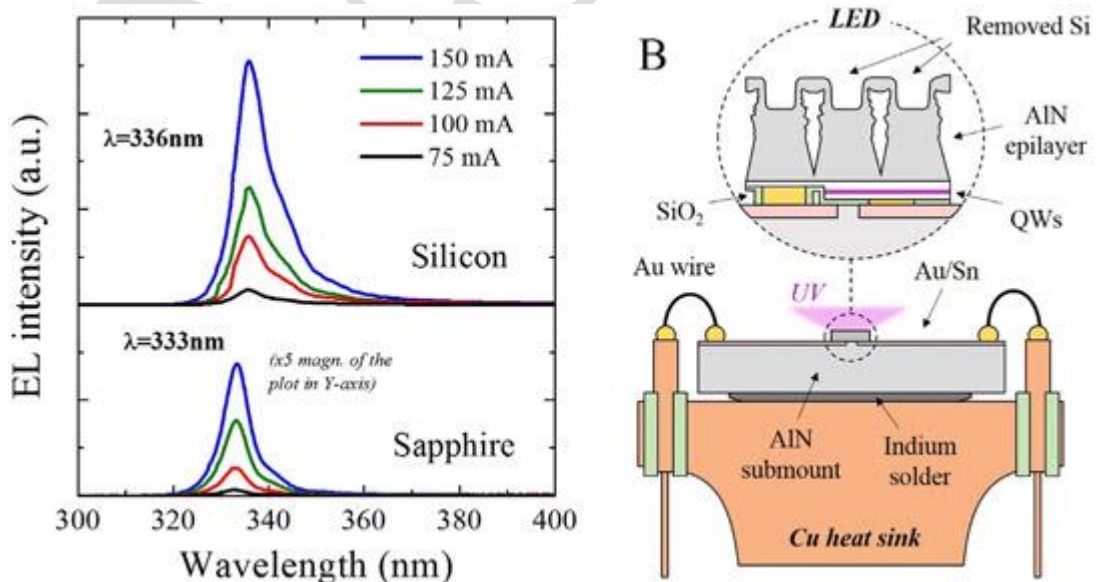


图 1:(A) 不同电流密度下，硅和蓝宝石(Al₂O₃)上生长的 UV-LEDs 的电发光光谱;(B)

生长在硅上的器件结构示意图

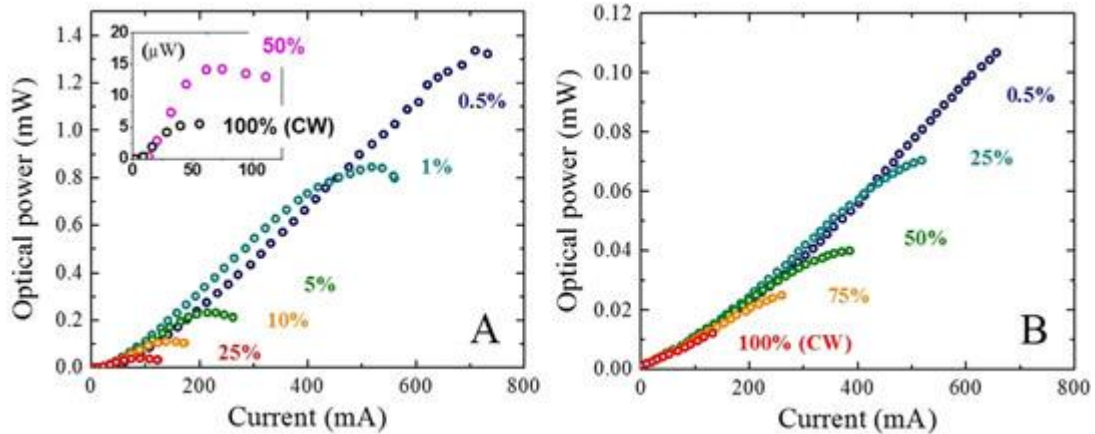


图 2 在不同占空比的注入电流函数条件下，硅(A)和蓝宝石(B)上生长的 UV-LEDs 的光输出功率测量

相关研究发表在《Materials Science in Semiconductor Processing》，Published: 18 October 2018., <https://doi.org/10.1016/j.mssp.2018.09.027>, 题目：“7High brightness ultraviolet light-emitting diodes grown on patterned silicon substrate”。

沈湘摘译自

http://www.semiconductor-today.com/news_items/2018/nov/nu_071118.shtml

<https://www.sciencedirect.com/science/article/pii/S1369800118315051?via%3Dihub>

通过生长模式调整在喷溅 AlN/蓝宝石生长高质量氮化铝薄膜

近年来，由于 AlGaN 基深紫外(deep-ultraviolet, DUV)器件在水净化、杀菌、高密度光存储、微弱紫外信号检测等领域的应用，对 DUV 器件的需求越来越多。由于平面内晶格常数和热膨胀系数与高铝含量的 AlGaN 外延层相近，所以大块 AlN 是最理想的衬底。然而，迄今为止，市售的 AlN 衬底由于尺寸小、成本高和 DUV 吸收的限制，尚未成为实际应用的合适候选。因此，DUV 器件的制造

仍然极大地依赖于大规模、低成本和 DUV 透明性的 AlN /蓝宝石模板。然而，众所周知的两步异质外延法通常会生成大量的位错(10^9 - 10^{10} cm⁻²)和裂纹，这是由于 AlN 和蓝宝石之间大的晶格和热失配以及 Al 类物质的低表面迁移。材料的这些缺陷会扩展到 AlGaIn 活性区域，进而严重恶化器件性能。

为了解决这些问题，人们提出了各种策略，如微/纳米级外延横向过生长 (epitaxial lateral overgrowth, ELOG)、迁移增强外延 (migration-enhanced epitaxy, MEE) 和高温退火 (high temperature annealing, HTA)，以及蓝宝石切割和表面预处理以提升晶体质量。然而，目前蓝宝石上生长的氮化铝薄膜的最低螺纹位错密度 (threading dislocation density, TDD) 仍然在 $(3-5) \times 10^8$ cm⁻² 的范围内，远远高于蓝宝石 (10^5 - 10^7 cm⁻²) 上生长的氮化镓薄膜。另外，多步设计的方法和特殊设计的反应堆也是这些技术实际应用的一大障碍。生长模式修正 (growth-mode modification, GMM) 技术是近年来被广泛应用的一种简单而有效的方法。该技术的本质是通过改变生长模式来增强位错间的相互作用。首先，通过引入三维 (3D) 生长有意地创建倾斜于 (0001) 平面的侧面。然后，当生长模式从 3D 转变为二维 (2D) 时，三维岛的侧面得到扩展。由图像力驱动，通过合并和形成半环相互作用，位错倾向于向三维岛的侧面倾斜。这样，TDD 可以减小到 $(1\sim 2) \times 10^9$ cm⁻²。通过引入 3D 生长，拉伸应力也能得到有效的放松。尽管有这些进展，GMM 技术仍有很大的改进空间，以满足位错敏感的 DUV 器件的需要。

广东半导体工业技术研究院和广州大学以及北京大学的研究人员合作，将 GMM 技术与溅射氮化铝缓冲液相结合，提出一种获得高质量氮化铝薄膜的方法。采用金属有机化学气相沉积 (MOCVD) 技术生长的常规氮化铝缓冲液，制备了氮化铝薄膜。研究发现，在不同氮化铝缓冲层上生长的氮化铝薄膜，其生长模式的演变过程有很大差异。与 MOCVD AlN 缓冲区相比，溅射 AlN 缓冲区由更小、更均匀的晶粒组成，具有更好的 c 轴取向，导致后续生长过程中更好的生长模式改变。因此，溅射 AlN 缓冲区上生长的 AlN 薄膜的总 TDD 显著地降低到 4.7×10^7 cm⁻² 的极低值，比 MOCVD AlN 缓冲区上生长的 AlN 薄膜的总 TDD

低 81.2%。此外，研究人员详细介绍了生长模式和晶体质量的演化过程以及相应的演化机制。

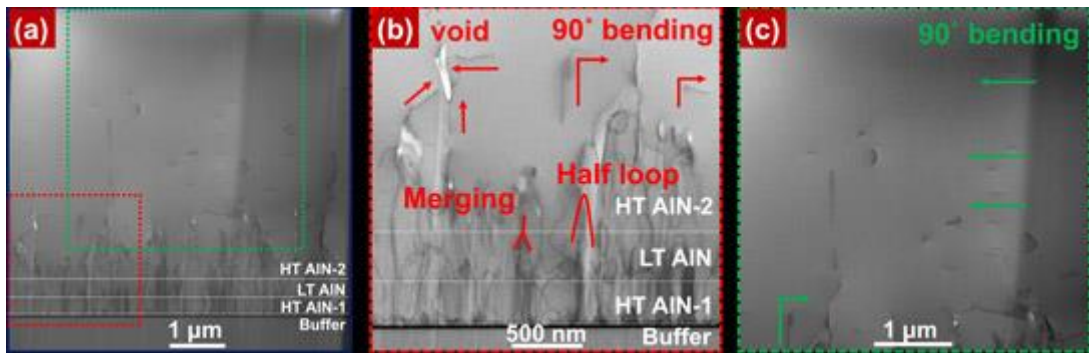


图 1 溅射 AlN 缓冲液下 AlN 膜的截面位错分布

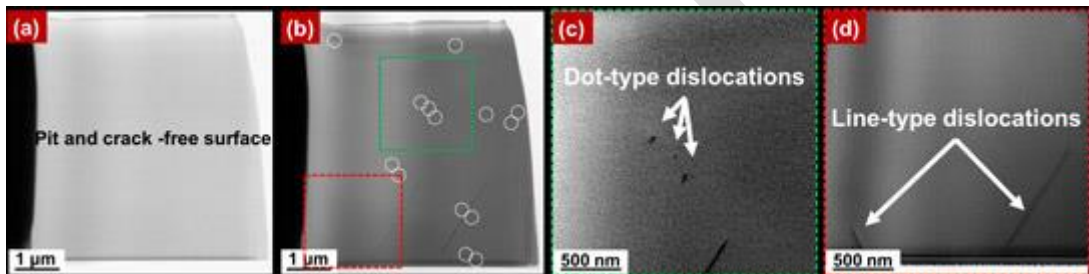


图 2 溅射 AlN 缓冲液的 AlN 膜的 TEM 平面图

相关研究发表在《Crystal Growth & Design》，2018, 18 (11): 6816 - 6823, DOI: 10.1021/acs.cgd.8b01045，题目：“High-Quality AlN Film Grown on Sputtered AlN/Sapphire via Growth-Mode Modification”。

沈湘摘译自

http://www.semiconductor-today.com/news_items/2018/nov/gisit_061118.shtml

<https://pubs.acs.org/doi/10.1021/acs.cgd.8b01045>

微米级退火在 GaN HEMT gate-first 工艺中的应用

GaN 与 Si CMOS 的集成实现了一种新型的数字辅助射频混合信号和功率调节电路。CMOS-first 集成方法是最理想的方法，它需要低于 450° C 的处理温度以确保 CMOS 电子器件的性能和可靠性。对于 GaN MOSFET，gate-first 技术是

通过自对准栅极工艺获得小存取电阻的一种有吸引力的方法。此外，由于没有欧姆金属，在氧化物沉积之前使用酸或碱溶液进行表面清洁的限制被减少。**gate-first** 技术要求栅极氧化物和金属能够承受后处理过程中的高温加热。举例来说， Al_2O_3 栅介质能够承受的最高温度是 800°C 。然而，在 800°C - 900°C 左右的快速热退火(rapid thermal annealing, RTA)是实现 AlGaN/GaN 异质结低接触电阻欧姆接触所必需的。这种高温工艺与用于 GaN 电子器件的 CMOS-first 集成方法和 **gate-first** 技术不兼容。

在追求低温的 RTA 技术外，华南理工大学的研究人员提出了探索局部的、微米级的退火方法作为另一种解决方案，该方法仅将能量传递到需要高温的区域（如图 1 所示）。因此，温度敏感部分（如 Si CMOS、栅金属和氧化物）可以防止热损伤。用脉冲激光获得了 GaN 高电子迁移率晶体管（HEMT）的欧姆接触。然而，脉冲激光器并不能聚焦用于选择性退火，整个器件皆处于高功率激光脉冲下。因此，对 GaN HEMT 进行微米级退火和揭示微米级退火的独特特性是十分必要的。

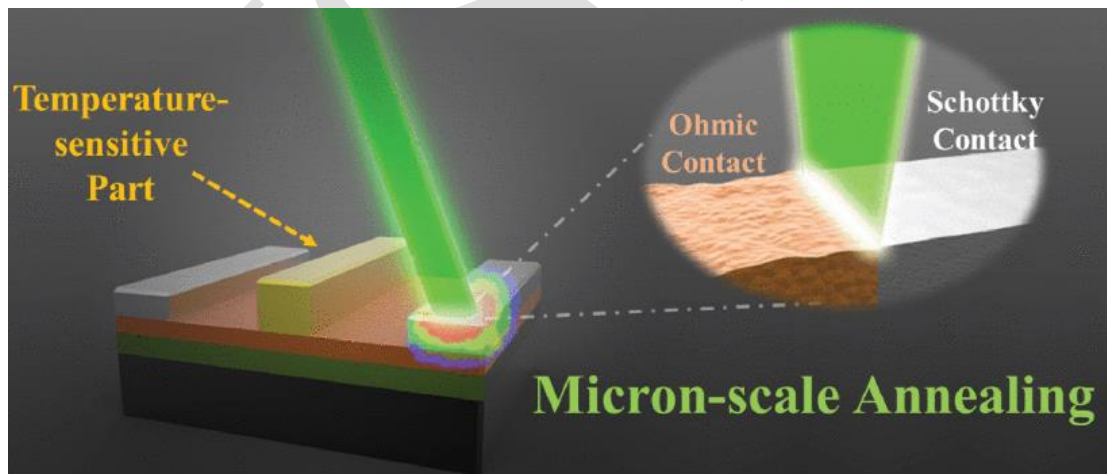


图 1 微米级退火示意图

研究人员报道了用聚焦激光在 GaN 异质系统/器件中欧姆接触的微米级退火方法。微米级的退火方法使得在金属-半导体界面上形成相对厚的 TiN (35 nm)，因此获得了 $0.3\ \Omega\cdot\text{mm}$ 的低接触电阻。将小型化退火方法应用于 GaN HEMT 的 **gate-first** 方法，获得了电流输出大、栅漏小(要小 1×10^6 倍)、动态范围大的 HEMT 器件。

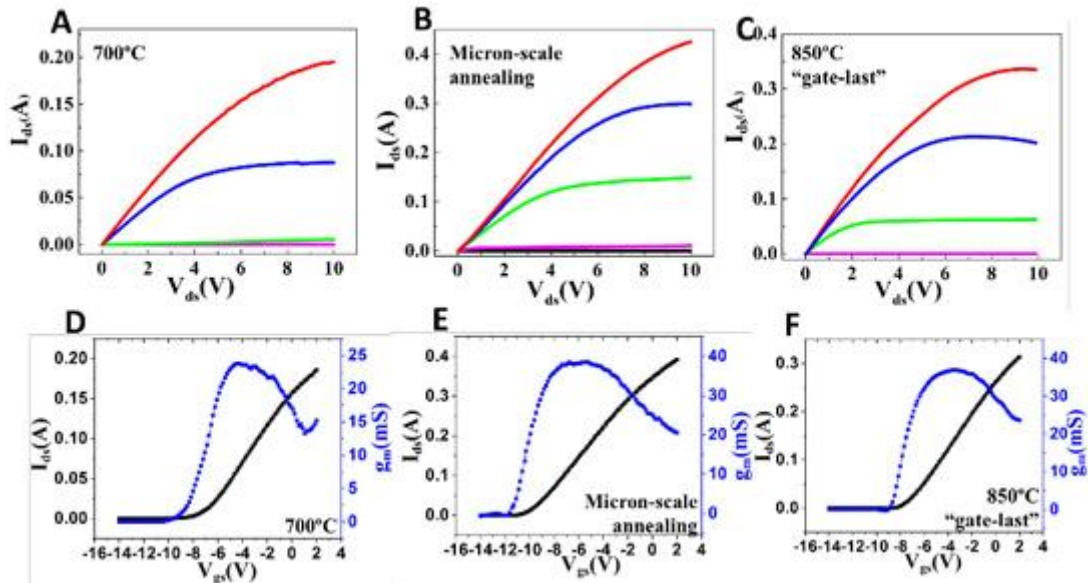


图 2 分别用 700° C RTA、微米级退火和 gate-last 方法处理的器件的输出(A、B 和 C)和传输特性(D、E 和 F)

相关研究发表在《IEEE Electron Device Letters》，2018, 39 (12): 1896- 1899, DOI: 10.1109/LED.2018.2877717, 题目：“Micron-Scale Annealing for Ohmic Contact Formation Applied in GaN HEMT Gate-First Technology”。

沈湘摘译自

http://www.semiconductor-today.com/news_items/2018/nov/scut_221118.shtml

<https://ieeexplore.ieee.org/document/8502840>

半绝缘 GaN 中 N 位碳位置的明确识别

碳 (C) 掺杂是生产电力电子用半绝缘 GaN 所必需的。尽管 GaN 中与 C 相关的缺陷已经研究 20 多年了，然而到目前为止，碳掺杂 GaN 的性质，特别是碳掺杂在 GaN 晶体晶格中的具体位置，还没有被很好地理解。

北京大学和中国科学院苏州纳米技术与纳米仿生研究所的研究人员合作，通过实验和理论计算的结合解决了这个长期存在的问题。研究人员利用偏振

FTIR 和拉曼光谱结合第一性原理阐明了 C 在 GaN 中的晶格位置，提供了在半绝缘 GaN 中取代碳 (C) 原子占据氮原子 (N) 位置 $a-1$ 电荷态的明确证据。

在碳掺杂 GaN 中观察到 766 cm^{-1} 和 774 cm^{-1} 的两个本地震动模式 (local vibrational modes, LVMs)。 766 cm^{-1} 模式被分配到沿 C 轴振动的非简并 A_1 模式，而 774 cm^{-1} 模式归因于限制在垂直于 c 轴的平面中的双简并 E 模式。两个 LVM 被识别为源于孤立的局部 C_{3v} 对称性。

实验数据和计算在 LVMS 的位置和强度比方面都有显著的一致性。因此，它们提供了第一个明确的证据，证明在半绝缘 GaN 中，取代 C 原子以 $a-1$ 电荷态占据 N 位。研究人员相信，这项工作将提供一种通用的方法来识别碳在其它化合物半导体中的晶格，如氮化铝 (AlN)、氮化硼 (BN)、氧化锌 (ZnO) 和氧化镓 (Ga_2O_3)。

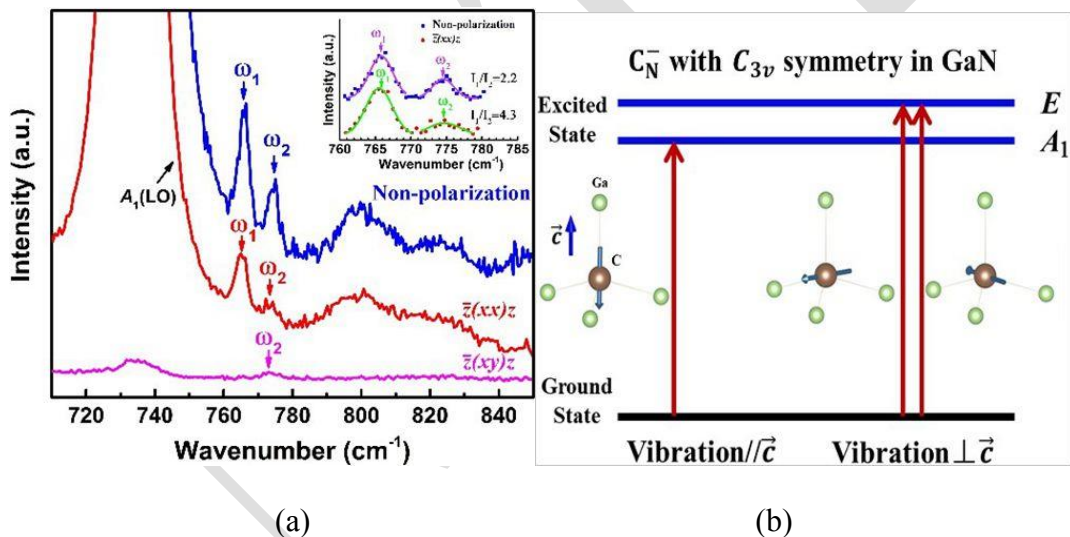


图 1 (a) 在非偏振、偏振构型中最重的 C 掺杂 GaN 薄膜的室温拉曼光谱。插图 LVMS 的放大拟合曲线。(b) C_{3v} 对称的中心能级示意图和基本偶极跃迁

相关研究发表在《physical Review Letters》，Published 5 October 2018, 121: 145505, DOI: 10.1109/LED.2018.2877717, 题目：“Unambiguous Identification of Carbon Location on the N Site in Semi-insulating GaN”。

沈湘摘译自

http://www.semiconductor-today.com/news_items/2018/nov/pku_071118.shtml

<https://journals.aps.org/prl/abstract/10.1103/PhysRevLett.121.145505>

应用实施

ROHM 推出在高温高湿环境下 1700V 全 SiC 功率模块

近年来，由于 SiC 产品的节能效果优异，以 1200V 耐压为主的 SiC 产品在汽车和工业设备等领域的应用日益广泛。随着各种应用的多功能化和高性能化发展，系统呈高电压化发展趋势，1700V 耐压产品的需求日益旺盛。然而，受可靠性等因素影响，迟迟难以推出相应产品，所以 1700V 耐压的产品一般使用 IGBT。

在这种背景下，ROHM 推出了实现额定 1700V 的全 SiC 功率模块，新产品不仅继承了 1200V 耐压产品中深获好评的节能性能，还进一步提高了可靠性。此次新开发的模块采用新涂覆材料和新工艺方法，成功地预防了绝缘击穿，并抑制了漏电流的增加。在高温高湿反偏试验（HV-H3TRB）中，实现了极高的可靠性，超过 1,000 小时也未发生绝缘击穿现象。从此，在高温高湿度环境下也可以处理 1700V 的高耐压了。

另外，模块中采用了 ROHM 产的 SiC MOSFET 和 SiC 肖特基势垒二极管（SBD），通过优化模块内部结构，使导通电阻性能比与同等 SiC 产品优异 10%，非常有助于应用进一步节能。本模块已于 2018 年 10 月开始投入量产。前期工序的生产基地为 ROHM Apollo CO., LTD.（日本福冈），后期工序的生产基地为 ROHM 总部工厂（日本京都）。

未来，ROHM 不仅会继续扩充让客户安心使用的产品阵容，还会配备可轻松测试 SiC 模块的评估板等，以进一步满足日益扩大的市场需求。

（1）在高温高湿环境下确保可靠性

通过采用新涂覆材料作为芯片的保护对策，并引进新工艺方法，使新模块通过了 HV-H3TRB 高温高湿反偏试验，从而使 1700V 耐压的产品得以成功走向市场。比如在高温高湿反偏试验中，比较对象 IGBT 模块在 1,000 小时以内发生了引发故障的绝缘击穿，而 BSM250D17P2E004 在 85℃ / 85% 的高温高湿环境

下，即使施加 1360V 达 1,000 小时以上，仍然无故障，表现出极高的可靠性。

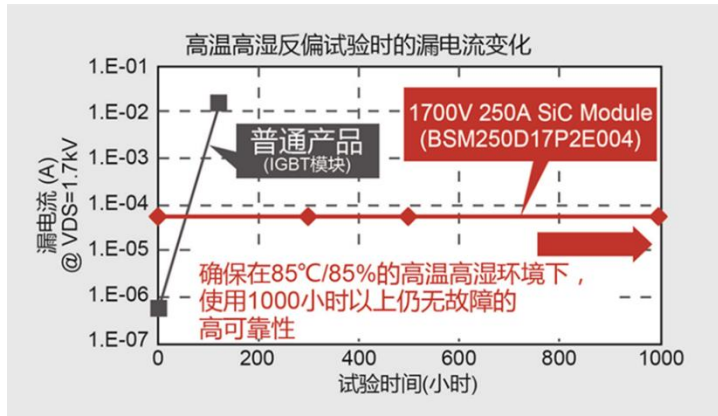


图 1 高温高湿反偏试验

(2) 优异的导通电阻性能，有助于设备进一步节能

新模块中使用的是 ROHM 产的 SiC SBD 和 SiC MOSFET。通过 SiC SBD 和 SiC MOSFET 的最佳组合配置，使导通电阻低于同等普通产品 10%，这将非常有助于应用进一步节能。

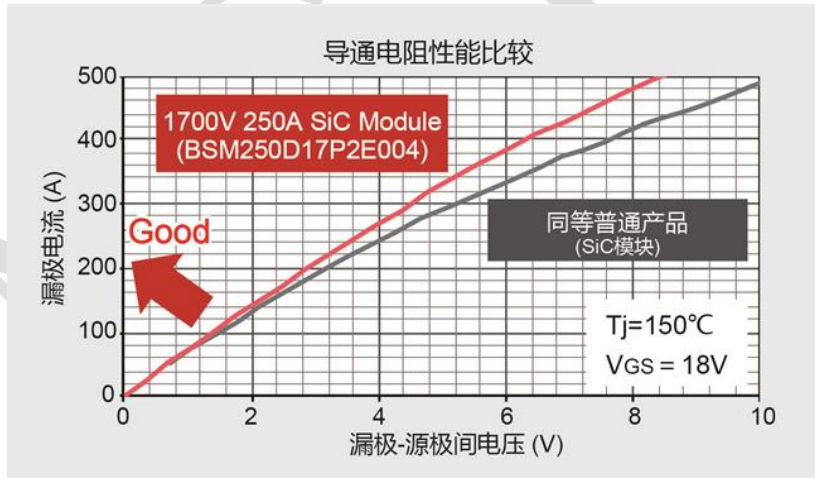




图 2 导通电阻性能比较

表 1 Si 功率模块参数

| 品名 | 绝对最大额定值 (Ta = 25°C) | | | | | | 电感 (nH) | 封装 | 热敏电阻 | 内部电路图※ | | |
|-------------------------------|----------------------|---------------------|--------------------------------|-------------------------|-----------------------|----------------------|-----------------------|-------------------------|------|---|---|---|
| | V _{DSS} (V) | V _{GS} (V) | I _D (A) [Tc = 60°C] | T _{j max} (°C) | T _{stg} (°C) | Visol (V) [AC 1min.] | | | | | | |
| BSM080D12P2C008 | 1200 | -6 ~ 22 | 80 | 175 | -40 ~ 125 | 2500 | 25 | C type 45.6x122x17mm | - |  | | |
| BSM120D12P2C005 | | -4 ~ 22 | 120 | | | | | | | | | |
| BSM180D12P3C007 | | -6 ~ 22 | 180 | | | | | | | | | |
| BSM180D12P2E002 | | -6 ~ 22 | 180 | | | | 10 | 3400 | 13 | E Type 62x152x17mm | o |  |
| BSM300D12P2E001 | | -4 ~ 22 | 300 | | | | | | | | | |
| BSM400D12P3G002 | | -4 ~ 22 | 400 | | | | | | | | | |
| BSM600D12P3G001 | | -4 ~ 22 | 600 | | | | | | | | | |
| New BSM250D17P2E004 | 1700 | -6 ~ 22 | 250 | | | 13 | E Type 62x152x17mm | | | | | |

邹丽雪选摘自

<https://www.rohm.com/news-detail?news-title=new-1700v-sic-power-module&defaultGroupId=false>

CASA 正式发布三项 SiC 衬底及外延相关联盟标准

2018 年 11 月 20 日，第三代半导体产业技术创新战略联盟（简称“CASA”）发布三项联盟标准 T/CASA 003-2018 《p-IGBT 器件用 4H-SiC 外延晶片》、T/CASA004.1 《4H 碳化硅衬底及外延层缺陷术语》、T/CASA004.2 《4H-SiC 衬底及外延层缺陷图谱》。

标准主要起草单位包括：东莞市天域半导体科技有限公司、全球能源互联网研究院有限公司、中国电子科技集团公司第五十五研究所、株洲中车时代电气股份有限公司、山东天岳晶体材料有限公司、中国科学院微电子研究所、瀚天天成电子科技(厦门)有限公司、山东大学、台州一能科技有限公司、中国电子科技集团公司第十三研究所、深圳第三代半导体研究院。

T/CASA 003-2018 《p-IGBT 器件用 4H-SiC 外延晶片》规定了 4H 碳化硅外延晶片的分类和标记、要求、试验方法、检测规则、标志、包装、运输和储存。

附录部分详细说明了采用光学成像方法快速获取 4H-SiC 外延片样品表面的缺陷、利用原子力显微镜获取表面粗糙度，并详细说明了外延层的厚度与掺杂浓度检测方法。

T/CASA004.1-2018《4H 碳化硅衬底及外延层缺陷术语》规定了 4H 碳化硅衬底及外延层缺陷术语和定义，其中包括 4H-SiC 材料、缺陷共性用语、衬底缺陷、外延层缺陷以及工艺缺陷五部分，其中工艺缺陷包括抛光（CMP）、离子注入、高温退火与氧化等相关工艺产生的缺陷。

T/CASA004.2-2018《4H-SiC 衬底及外延层缺陷图谱》标准阐述了 4H-SiC 衬底及外延缺陷的图谱，其中包括 4H-SiC 衬底缺陷、外延缺陷以及工艺产生的缺陷；给出了 4H 碳化硅（4H-SiC）衬底及外延层的主要缺陷、工艺与加工缺陷等方面的形貌特征图谱，说明了缺陷的特点、性质及其对外延生长或器件特征参数的影响，分析了产生的原因及消除方法，并进行了分类。

衬底缺陷包括位错、层错、微管、碳包裹体、晶型包裹体、双 Shockley 型堆垛层错、螺位错、刃位错、基晶面位错、小角晶界、划痕、CMP 隐含划痕；

外延缺陷包括表面形貌缺陷、掉落颗粒物、三角形缺陷、彗星缺陷、胡萝卜缺陷、直线型缺陷、小坑缺陷、梯形缺陷、台阶缺陷、外延凸起、乳凸、界面位错、原生型层错、不全位错、半环列阵、点缺陷、碳空位、外延层螺位错、外延层刃位错、外延层基晶面位错；工艺缺陷方面高温退火缺陷、氧化缺陷、电应力诱导缺陷、电应力诱导三角形层错、电应力诱导条形层错、干法刻蚀缺陷。

邹丽雪选摘自

<http://www.casa-china.cn/a/research/standard/537.html>

英飞凌收购“冷切割”技术公司，用于 SiC 晶圆切割

11 月 13 日，英飞凌（Infineon）宣布其已收购一家名为 Siltecta 的初创企业，将一项创新技术（Cold Spilt）也收入了囊中。“冷切割”是一种高效的晶体材料加

工工艺，能够将材料损失降到最低。

英飞凌将把这项技术用于碳化硅（SiC）晶圆的切割上，从而让单片晶圆可出产的芯片数量翻番。此次收购有助于利用 SiC 新材料，并拓展优秀的产品组合。与普通锯切割技术相比，Siltectra 开发出了一种分解晶体材料的新技术，能够将材料损耗降到技术。该技术同样适用于碳 SiC，并将在其现有的德累斯顿工厂、以及英飞凌（奥地利）菲拉赫工厂实现工业化生产。随着时间的推移，冷切技术有望得到更广泛的应用，比如晶圆分割、或用于 SiC 之外的材料。

邹丽雪选摘自

<https://www.infineon.com/cms/en/about-infineon/press/press-releases/2018/INFXX201811-016.html>

Veeco 与 ALLOS 合作加速 200 毫米硅基氮化镓 Micro-LED 的应用

Veeco Instruments Inc. 和 ALLOS Semiconductors GmbH 在 11 月 8 号宣布了其合作开发另一个阶段的完成，这项合作旨在为业内 Micro-LED 的生产提供先进的硅基氮化镓（GaN-on-Silicon）外延片。两家公司最近这次合作的目的正是希望向一些全球著名的消费电子产品公司展示其 200 毫米硅基氮化镓外延片技术的可重复性，该外延片由 ALLOS 使用 Veeco 的 Propel®MOCVD 反应器制成。

为了让 Micro-LED 技术真正投入生产，简单实现单个指标参数的最佳化是远远不够的。每个晶圆的整套规格都必须具备最高的良率和可重复性，这次合作的成功再次证明了将 Veeco 在 MOCVD 领域的专业知识与 ALLOS 的硅基氮化镓外延片技术相结合所带来的巨大潜力。它为 Micro-LED 技术在客户端的尽快采用提供了一种新颖的，经过验证且可靠的方法。

筛选（Sorting）和分级（binning）是实现传统 LED 波长一致性的标准方法。

但是 Micro-LED 太小且数量巨大，无法进行这样的筛选和分级，因此外延沉积的均匀性至为关键。实现 Micro-LED 显示器大规模生产最重要的因素是满足发射波长极端的均匀性要求，Micro-LED 发射波长方面的高度均匀性可以免除对单个 Micro-LED 芯片进行测试和分选的需求。依据应用和转移方法的不同，业内外延片发射波长的均一性要求做到 ± 1 nm 至 ± 4 nm 不等。通过这一项目的合作，Veeco 和 ALLOS 进一步提高了发射波长的均匀性，晶圆上最佳的标准偏差仅为 0.85 nm，这也是业界首次在生产系统上测得。

Veeco 和 ALLOS 验证了晶圆到晶圆的可重复性，所有晶圆发射波长标准偏差的均值为 1.21 nm，峰值波长在 ± 0.5 nm 范围内。这些结果表明朝着外延片层面 ± 1 nm 分级的目标又迈出一大步，已经可以在 200 毫米直径的晶圆上使用，这意味着在低成本、高产率的硅基线上生产 Micro-LED 芯片成为可能。此外，两家还有一个明确的技术路线图，那就是将该技术从 200 毫米拓展到 300 毫米。”

显示技术领域的众多创新者都将 Micro-LED 作为下一个带来巨大转变的技术。根据研究公司 Yole 的说法，到 2025 年，Micro-LED 显示器的市场可能达到 3.3 亿片。这种乐观的预测得益于 Micro-LED 技术（边长低于 100 微米）带来的巨大潜力，它被认为是实现更低功耗终极显示器的关键技术。不过，这种显示器的开发一直受到材料成本和芯片转移技术的阻碍。

邹丽雪选摘自

<http://www.veeco.com/company/news/veeco-and-allos-technical-collaboration-accelerates-the-pace-for-200-mm-gan-on-silicon-microled-applications-for-leading-global-customers>

Qorvo 推出适用于 5G 核心频段 n41 的射频前端模块

近日，在温哥华举行的第 23 届 GTI（Global TD-LTE Initiative）Workshop 上，

Qorvo 带去了 n41 频段的射频前端模块和全频段 n41 滤波器展示。从 2017 年起，使用 TD-LTE 频段 41 (2.496-2.690 GHz) 的主要移动网络运营商需要在手机中采用 Power Class2 来推动在全球范围内的普及。2.5 Ghz 等高频段频谱能以非常快的速度传输海量数据，但在范围上低于中频段或低频段频谱。在 3GPP R15 版本中，5G NR 定义了从 Sub 6GHz 到毫米波的多个频段范围，作为 4G 时代 Band 41 频段的延伸，中国移动和美国 Sprint 则是两家使用频段 41 部署 5G 网络的两家领先运营商。

Qorvo 拥有广泛的创新 RF 产品组合，可覆盖 600 MHz 至 80 GHz 的频率范围，因此具有加速向 5G 过渡的独特优势。此次 GTI Workshop 现场展示的 QM75041 是支持 n41 频段的射频前端模块解决方案，同时也满足 PC2 的技术要求并针对高级 RF 的平台，包括旗舰智能手机和数据设备进行优化，从而加快 5G 测试和部署。

此外，随着 5G 时代通信性能要求日趋严苛和 RF 复杂程度不断提高，Qorvo 专有的 LowDrift™和 NoDrift™滤波技术能够解决业界最具挑战性的 LTE 系统和芯片组问题。适用于频段 41、采用 LowDrift™ BAW 技术的 LTE Tx/Rx 滤波器 TQQ0041T 具有低温漂甚至零温漂的特性，在温度变化下仍然有很好的带外抑制，而且其低插损、高功率容量亦均不会受到功率提高带来的不利影响，同时也支持 PC2 标准。而除了 Sub-6G 的频段外，在 5G FR1 频段（n77、n78 和 n79）上，Qorvo 同样展示了 QM78201 射频前端模块，支持该频段的 5G 全球部署与现场试验。

邹丽雪选摘自

<http://www.eeworld.com.cn/mp/Qorvo/a56431.jsp>

《第三代半导体技术信息简报》是由中国科学院文献情报中心情报分析与知识产品研发中心承担编辑的集成电路、微电子相关领域科技信息综合报道及专题分析简报（双月报），于2014年3月正式启动，2014年为季度发行的《光刻技术信息简报》，2015年3月改版为《集微技术信息简报》双月发行（2015年12月起改为双月月月底发布），2017年起卷名为《第三代半导体技术信息简报》。按照“统筹规划、系统布局、分工负责、整体集成、长期积累、深度分析、协同服务、支撑科研”的发展思路，规划和部署《第三代半导体技术信息简报》。

《第三代半导体技术信息简报》服务对象是集成电路、微电子领域的相关领导、科技战略研究专家和科研一线工作者。《第三代半导体技术信息简报》内容力图兼顾科技决策和管理者、科技战略专家和领域科学家的信息需求，报道集成电路、微电子领域（目前卷期聚焦第三代半导体领域）的国际科技战略与规划、科技计划与预算、科技进展与动态、科技前沿与热点、重大科技研发与应用、重要科技政策与管理等方面的最新进展与发展动态，不定期提供集成电路、微电子领域热点方向的专题分析。

《第三代半导体技术信息简报》是内部资料，不公开出版发行；除了其所报道的专题分析报告代表相应作者的观点外，其所刊载报道的中文翻译信息、汇编信息等并不代表编译者及其所在单位的观点。

NSTL 第三代半导体材料专项情报服务团队

执笔人：王丽 沈湘 邹丽雪 于杰平

联系人：王丽

电话：010-82626611-6649

电子邮件：wangli@mail.las.ac.cn

