



国家科技图书文献中心

National Science and Technology Library

集微技术信息简报

2020 年第 **5** 期 (总第 38 期)

中国科学院文献情报中心

2020 年 9 月制

本期目录

政策计划

美国 SIA 与 BCG 合作发布《政府激励措施与美国半导体制造业竞争力》研究报告.....1

国务院：不断探索构建社会主义市场经济条件下关键核心技术攻关新型举国体制.....16

产业洞察

美国 ITIF 发布《通过联盟合作实现半导体产业领导地位》报告.....17

前沿研究

韩国国立蔚山科学技术院开发 HfO₂ 无标度铁电性新方法 有望大幅提高存储芯片容量.....20

挪威科技大学通过制造氧化物反弗兰克尔缺陷开发检测氧化物电导率新方法 并有望用于电子配件升级再使用.....21

美国罗切斯特大学开发出超小型电光调制器 有助于缩小光芯片体积.....24

英国布里斯托大学开发出新型硅光子芯片用于量子计算.....26

应用实施

索尼发布用于物联网和可穿戴设备的全球导航卫星系统接收器芯片.....28

英飞凌与 Fingerprint Cards 推动生物识别卡部署.....31

IBM 发布新一代 IBM POWER10 处理器.....32

台积电 N12e 技术：驱动下一代支持人工智能及 5G 物联网的边缘装置 34

美国 SIA 与 BCG 合作发布《政府激励措施与美国半导体制造业竞争力》研究报告

2020 年 9 月，美国半导体行业协会（SIA）与波士顿咨询公司（BCG）合作发布了《政府激励措施与美国半导体制造业竞争力》研究报告（以下简称“研究报告”），分析了联邦激励措施对美国本土半导体制造业的影响。研究报告表明强有力的联邦激励措施将扭转美国数十年来芯片产量持续下降的趋势，促进美国未来 10 年内在美国本土建立多达 19 个主要的半导体制造设施（半导体制造厂）和 7 万个高薪工作岗位。国会正在考虑立法，要求对美国本土半导体制造和研究进行大量投资。报告得出还强调了美国政府行动将在材料和制造科学的基础研究、人才培养、保持美国研发的领先地位等领域促进美国本土半导体制造业的蓬勃发展。

报告主要的研究结果包括三个方面：

（1）强大的美国本土半导体制造业对美国的经济竞争力、国家安全和供应链复原至关重要。加强美国的芯片制造将有助于确保美国在未来的战略技术（人工智能、5G、量子计算等）方面的创新引领世界，这些技术将决定未来几十年的全球经济和军事领先地位。在美国本土生产更多的半导体也将使美国的半导体供应链对未来的全球危机更具弹性，并确保美国能够在本土生产其军事和关键基础设施所需的先进芯片。

（2）近几十年来，美国在全球半导体制造业所占份额急剧下降，主要是因为竞争对手的国家政府采取了大量的激励措施，而美国没有。虽然总部设在美国的公司占全球芯片销售额的 48%，但设在美国的半导体制造厂（包括总部设在国外的公司经营半导体制造厂）只占全球半导体制造产能的 12%（1990 年为 37%）。目前全球 75% 的芯片制造集中在东亚地区。预计到 2030 年，由于中国政府将提供 1000 亿美元的补贴，中国将拥有全球最大的芯片生产份额。美国新建一座半导体制造厂，10 年内的建设和运营成本将比中国台湾地区、韩国或新加坡高出约 30%，比中国大陆地区高出 37-50%。高达 40-70% 成本差异直接

归因于政府的激励措施。

(3) 为了加强国家安全，吸引大量的芯片制造进入美国，并创造数以万计的美国就业岗位，联邦政府需要对半导体制造业采取强有力的激励措施。总额为 200-500 亿美元的联邦制造业补助和税收减免将使美国从一个没有吸引力的投资目的地重新定位为最有吸引力的投资目的地（不包括中国），并在未来 10 年里建立多达 19 个美国本土半导体制造厂，比美国现有商业半导体制造厂（70 个）增加 27%。联邦制造业激励政策将在美国创造多达 7 万个高薪工作岗位，从受过高等教育的工程师到半导体制造厂的技术人员和操作员，再到材料供应商。未来十年，全球半导体产业的制造产能预计将增加 56%。在联邦政府投资 500 亿美元的情况下，美国预计将获得近四分之一尚未开发的全球新产能，而在政府不采取行动的情况下，这一比例仅为 6%。

安森美半导体总裁兼 2020 年 SIA 主席 Keith Jackson 表示：“联邦政府对美国半导体制造业的激励措施是对美国经济实力、国家安全、供应链可靠性和大规模疫情应对能力的投资。通过采取迅速而宏大的行动，美国政府可以帮助扭转数十年来美国在全球芯片制造份额占比下降的趋势，目前该份额仅占 12%，并使美国成为全球最具吸引力的半导体生产地之一。”

SIA 总裁兼首席执行官 John Neuffer 说：“在先进芯片研究、设计和制造方面处于领先地位的国家将在颠覆性新技术的全球竞赛中占有很大优势，如 5G、人工智能和量子计算，美国领导人应该抓住这个机会，创造公平的全球竞争环境，吸引芯片生产，并大胆投资于美国本土制造业激励措施和研究计划，以在未来几十年内加强美国的科技领导力。”

报告的详细内容如下：

一、摘要

在数字化转型、人工智能和 5G 通信时代，半导体产业对美国经济竞争力和国家安全至关重要。长期以来，美国半导体产业一直是全球半导体的领导者，一直占据全球半导体收入的 45% 至 50%。但是美国半导体制造产能份额已从 1990 年的 37% 下降到现在的 12%。此外，美国将只占 6% 的全球新产能。相比

之下，预计在未来十年，中国将增加约 40% 的全球新产能，并成为世界上最大的半导体制造基地。这种趋势可能会产生重大影响。随着制造业的紧缩，美国半导体产业在制造加工技术、架构和材料等方面领先地位将面临挑战，而这些技术对于发展下一代人工智能和量子计算相关的半导体技术至关重要。由于全球 75% 的半导体产能已经集中在东亚地区，恢复美国本土半导体制造产能对于确保美国半导体产业的高弹性、地域多样性的供应链至关重要。这对于美国先进防御系统的半导体应用尤其重要。在建造前端制造设施（半导体制造厂）方面，美国的突出优势有：半导体生态系统的协同作用、技术人才获取和知识产权保护等。但是，美国新建一座半导体制造厂，10 年内的建设和运营成本将比中国台湾地区、韩国或新加坡高出约 30%，比中国大陆地区高出 37-50%。根据产品类型不同，一家先进的半导体制造厂 10 年的成本（初始投资成本和运行成本）在不同地区的差异介于 100 亿美元至 400 亿美元之间，而高达 40-70% 的成本差异直接归因于政府的激励措施。

2020 年到 2030 年，全球制造产能预计将增加 50% 以上，这为美国吸引新建半导体制造厂提供了市场机遇。联邦政府计划在未来十年为新建的最先进的半导体制造厂提供 200 亿至 500 亿美元的额外拨款和税收激励，这将有效扭转美国半导体制造业过去 30 年的下滑趋势。根据项目的规模，美国可以增加一倍或两倍新的半导体制造产能，实现 14% 到 24% 的市场份额，而目前仅为 6%。图 1 描述了美国政府新的半导体激励措施对美国半导体制造业的潜在影响。

Trend vs. 2010–2020: ↓ = ↑	2010–2020 ACTUALS	2020–2030 FORECAST		
		Status quo	Scenarios of new government incentives ¹	
			\$20B program	\$50B program
Share of new addressable capacity ² captured by the US	10%	6% ↓	14% ↑	24% ↑
<i>Excluding China</i>	12%	12%	24%	41%
US global ranking by share of new capacity ² (out of 7 regions)	#5	#5 =	#3 ↑	#2 ↑
<i>Excluding China</i>	#4	#4	#2	#1
No. of new fabs built in the US ³	9	9 =	14 ↑	19 ↑

Sources: VLSI Research; Semiconductor Equipment and Materials International (SEMI), second-quarter 2020 update; BCG analysis.

¹ Assumed to apply to new incremental capacity built in the US in the next ten years.

² Addressable capacity refers to the new capacity that the industry needs to add to serve the expected growth in demand, and that is not yet in development (remains available).

³ Normalized to an average fab size of about 75,000 wafers per month (wpm) for comparison purposes, in line with the average fab size used in the 2020–2030 forecasts. The actual number of fabs built in the US in 2010–2020 was 19 (excluding experimental and very small units), with an average size of about 40,000 wpm.

图 1 美国政府新半导体激励措施对美国半导体制造业的潜在影响

联邦政府的激励措施将是美国成为半导体制造业极具吸引力地区的里程碑。例如，500 亿美元投资将促使美国在未来十年内建成 19 个先进的半导体制造厂。这些新建的半导体制造厂将投入商业运行充分满足美国国防和航空航天领域的需求。同时，这些制造厂将为美国创造约 7 万个直接就业机会，大幅扩大美国半导体制造技术的高技能人才库，促进美国地方高技术集群发展，以及促进美国的商品贸易平衡。

保持美国领先的研发能力、强化半导体制造产能将使美国在材料、架构和制造工艺方面处于世界的前沿，进而极大推动未来十年计算和电子学领域的发展。

二、背景

半导体对经济竞争力和国家安全至关重要，半导体创新是驱动全球经济进入数字化、人工智能和 5G 通信时代的基础，诸如增强现实/虚拟现实、物联网、工业 4.0 系统、自动驾驶等革命性应用正在逐步成为商业现实。

现代防御能力也依赖于由先进的半导体组件驱动的复杂电子系统。2018 年美国国防战略中列出的国防现代化优先事项包括微电子、5G 和量子科学等需要美国投资的战略领域。其他优先领域，如网络安全、人工智能、自治系统和先进的成像设备也严重依赖先进的半导体技术。随着数字连接电子系统对于管理

先进武器系统和关键基础设施日益重要，能够提供经济、可靠和安全的组件的可信半导体供应商对国家安全至关重要。

半导体产业对于技术领先地位和国家安全的战略重要性，正促使许多国家审视自己在整个半导体价值链中的地位。美国长期以来一直是半导体产业的全球领导者，在过去 30 年中拥有全球半导体收入的 45%到 50%份额。然而，当前需要重点关注的是美国半导体制造业拥有的全球份额正在减少，仅为全球装机产能的 12%。

美国和中国之间持续的地缘政治摩擦，以及 COVID-19 疫情大流行揭示了美国半导体公司的全球供应链存在潜在的脆弱性，特别是当前大部分半导体制造活动集中在东亚。近年来，一些与美国国防部有关的项目，如微电子学计划已经开始尝试性地保护美国本土供应价值链的制造层。2020 年 5 月，全球最大的半导体铸造公司台积电宣布计划在亚利桑那州建立一家先进的逻辑半导体制造厂，预示着美国扩大其先进半导体制造能力迈出了第一步。

2020 年至 2030 年期间，全球半导体制造产能需要大幅增长以满足半导体需求的预期增长，这为美国吸引更多新半导体制造厂提供了市场机遇。分析发现，美国半导体制造厂与中国大陆地区、中国台湾地区、新加坡等地区高达 40-70% 的成本差异直接归因于政府的激励措施。

美国要获得未来半导体制造业新产能的很大份额，并扭转过去 30 年美国本土制造业持续下滑趋势，联邦政府的激励措施十分重要。设计和制造之间需要更密切的研发合作来促进架构和材料方面的创新，持续在下一代半导体性能和成本方面保持飞跃发展。

三、美国半导体制造业现状

美国发明了集成电路，长期以来一直是全球半导体产业的领导者。美国公司一直占全球总销售额的 45%至 50%，这得益于其在整个价值链中的强势地位。

美国公司在电子设计自动化工具（EDA）、知识产权核心（core IP）、集成电路设计和制造装备方面的市场占有率超过 50%。相比之下，美国半导体制造产能拥有的全球份额从 1990 年的 37%下降到现在的 12%。美国在分立器件、模

拟器件和光电子产品方面的制造产能方面拥有的份额仍然很大（30%）。尽管面临来自亚洲新投资的挑战，美国在复合半导体、射频和体声波滤波器（BAW）等特定领域仍是全球制造业的领导者。美国在存储器（4%）、逻辑器件（12%）等方面拥有的世界份额低很多，而这些细分领域将在未来十年，推动 90% 的产能增长。图 2 描述了美国半导体产业价值链及美国战略性产业市场份额对比情况。

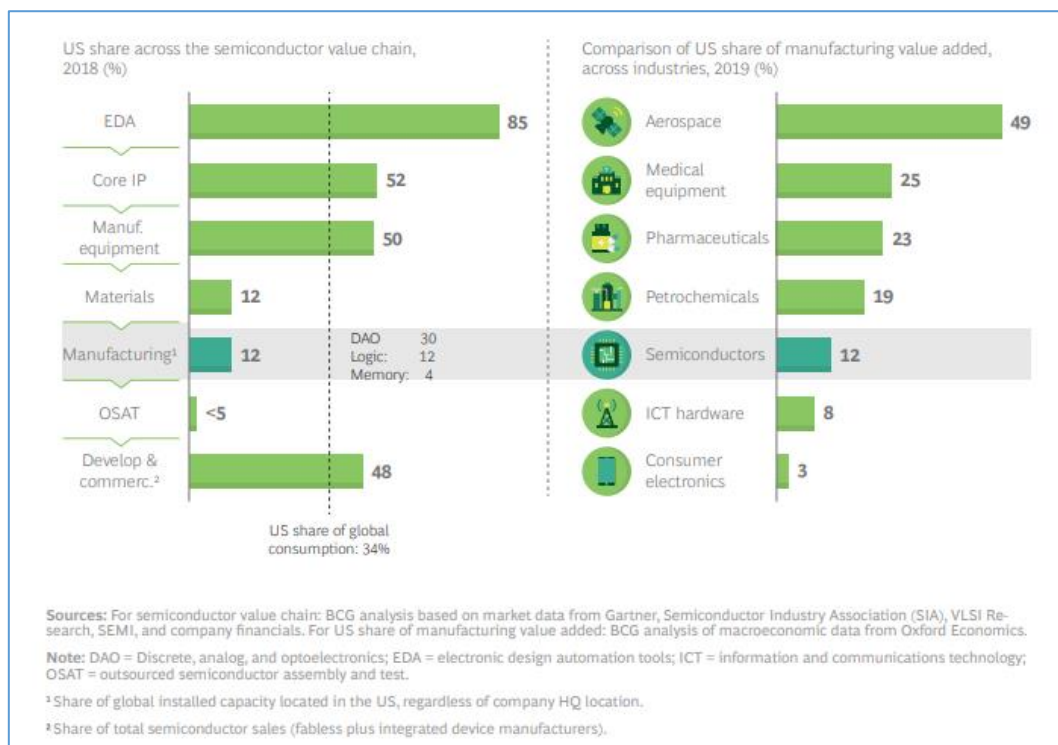


图 2 美国半导体产业价值链及美国战略性产业市场份额对比情况

美国半导体制造业份额的下降与美国各行业制造业的总体趋势相一致。美国在全球制造业增加值中所占的总体份额已从 20 世纪 90 年代初的 25%-20% 下降到 2018 年 17%。半导体制造业 12% 的份额远远低于美国其他战略产业，如航空航天（49%）医疗设备和制药（约 25%）以及石油化工（约 20%）。在依赖先进制造业的其他产业中，只有消费电子（3%）、计算机和网络硬件（8%）等劳动密集型产业的美国市场份额低于半导体制造业。

美国半导体产业还没有经历停产和美国制造设施离岸外包的重大改造浪潮。在过去 30 年里，美国半导体制造产能以每年 7% 累计速率增长。在同一时期，全球以每年 11% 的速率增长。美国装机产能的增长速度已经超过了中国台湾地

区、韩国和中国大陆地区。图 3 进行了美国半导体装机产能与其他国家/地区的对比。

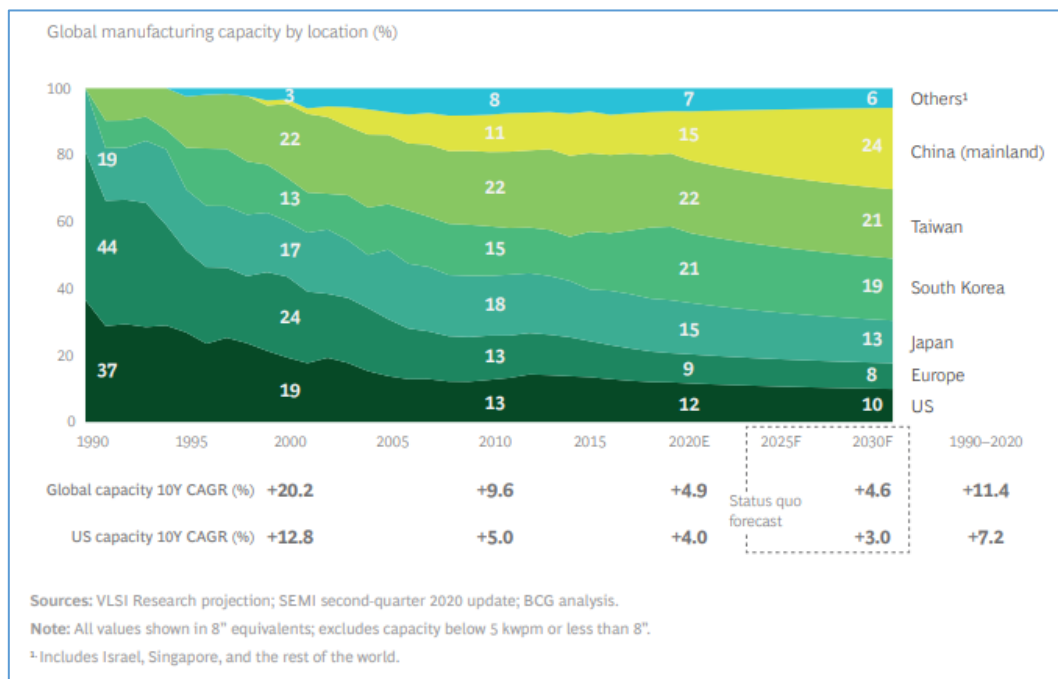


图 3 美国半导体装机产能与其他国家/地区的对比

政府政策是亚洲经济强劲增长的一个主要因素。这些国家已经把战略重点放在半导体上，并通过优惠补助、税收抵免和其他政府激励措施支持其国内制造业的发展，这些措施使得他们经济更具吸引力。

与此同时，半导体产业兴起了“无生产线（fabless）”模式。许多美国公司采用了这种商业模式，这种模式使他们能够专注于半导体设计和商业化，同时依赖于国外的合作制造伙伴。这些合作伙伴在其他国家建造半导体制造厂的成本更低且能享受更具吸引力的政府激励，以及降低大规模投资的风险。

晶圆代工厂（Dedicated foundries）占全球半导体制造产能的 38%，而美国本土代工厂仅占其中的 7%。相比之下，美国在一体化制造（IDMs）所拥有的产能中所占份额为 14%。美国的全球半导体制造产能世界份额将进一步下降，预计未来五年美国仅有世界 6%份额的新产能，这远远低于美国现有全球的装机产能（12%）和 2010-2020 年期间拥有的 10%份额的新产能。

到 2030 年，美国如果不采取行动，其占有半导体制造份额将下降到 10%，

而中国计划增加约 40% 的全球新产能，可能以拥有 24% 份额的全球装机产能成为全球半导体装机产能的领导者。尽管中国可能在制造加工技术方面仍然落后一两代，但制造产能的增加将加速缩小这方面的差距。此外，在现有集群内新增半导体制造产能有非常显著的协同作用，这将是半导体公司为新半导体制造厂选址考虑的重要因素之一。

三、中国在实现半导体制造自给自足方面的努力

半导体制造长期以来一直是中国的一个优先事项，为实现半导体制造自给自足的目标，中央政府和地方政府部门制定了系列激励措施：（1）土地、资金资助、税收减免方面，中国政府为新半导体制造厂提供 30%-40% 的成本支持，远高于其他国家，这些激励措施对国内外的公司都适用，但最好的激励条件通常需要一些技术转让；（2）租金优惠、低于市场利率的贷款支持、以及政府直接投资国内企业等其他国家通常不会提供的激励措施。图 4 描述了中国在全球半导体制造产能中所占份额的快速增长情况。

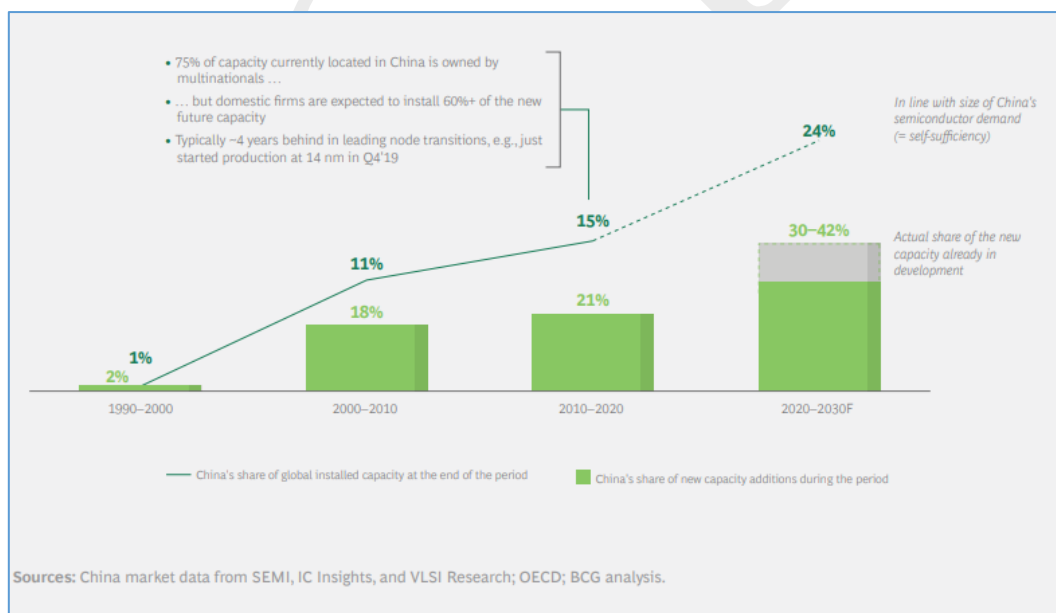


图 4 中国在全球半导体制造产能中所占份额的快速增长

四、半导体制造的重要性

半导体制造对美国在半导体创新方面保持领先地位十分重要。在过去五十年，半导体制造的持续发展遵循着摩尔定律，在提高处理器性能和降低成本方面产生了革命性影响，驱动生产力的提升和经济的增长。图 5 描述了芯片性能

提升和成本降低受半导体制造技术的驱动情况。

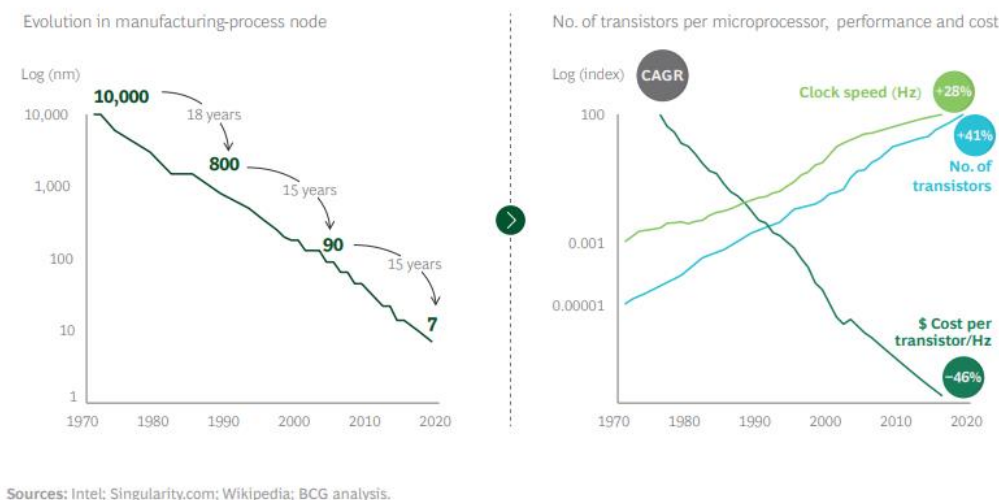


图 5 芯片性能提升和成本降低受半导体制造技术的驱动情况

对于产品设计和制造过程紧密相连的产业，研发到制造的地理脱节会产生负面影响。在半导体产业中，“无生产线（fabless）”模式需要设计与制造厂合作伙伴之间的协作，但地理位置不是必要条件。然而，半导体产业正在寻求芯片结构和材料方面的新突破，促进人工智能、量子计算的发展。美国半导体产业在基础科学、集成电路设计和生产设备方面处于领先地位，半导体制造产能的增加将确保其可以在这些创新领域处于领先地位，从而创造新的技术范式。

保持强大的美国本土制造能力，对于确保美国半导体产业拥有高弹性的供应链也至关重要。全世界大约 75% 的半导体生产能力集中在东亚，由于强大的集群效应，这个数字预计将继续上升。到 2030 年，中国制造产能就将占到全球制造产能的 25% 左右。中国台湾地区在 10 纳米或以下节点方面的产能约为全球产能的 47%，主要用于逻辑器件。韩国在存储器方面的产能约为全球产能的 40%。

强化美国的半导体制造能力，将促进地方高技术集群的发展，增加高质量就业岗位，这将对美国地方的经济带来乘数效应，帮助公司从集群效应中获益，例如半导体生态系统中的紧密合作、当地人才库的获取、支持性基础设施的建

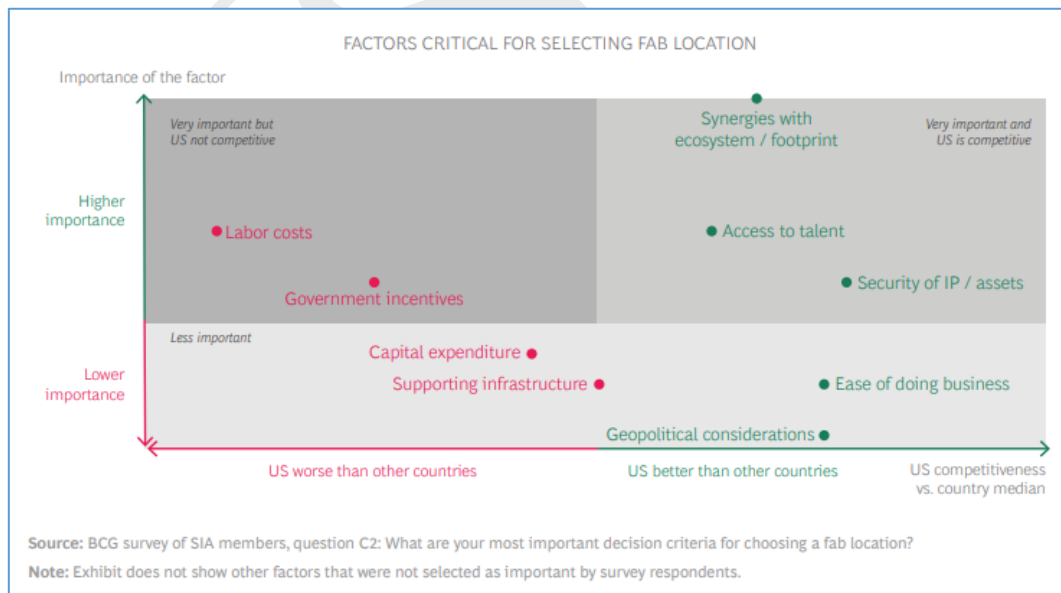
立等。此外，强大美国的半导体制造能力能改善美国商品贸易平衡。

五、美国半导体竞争力与全球其他地区对比

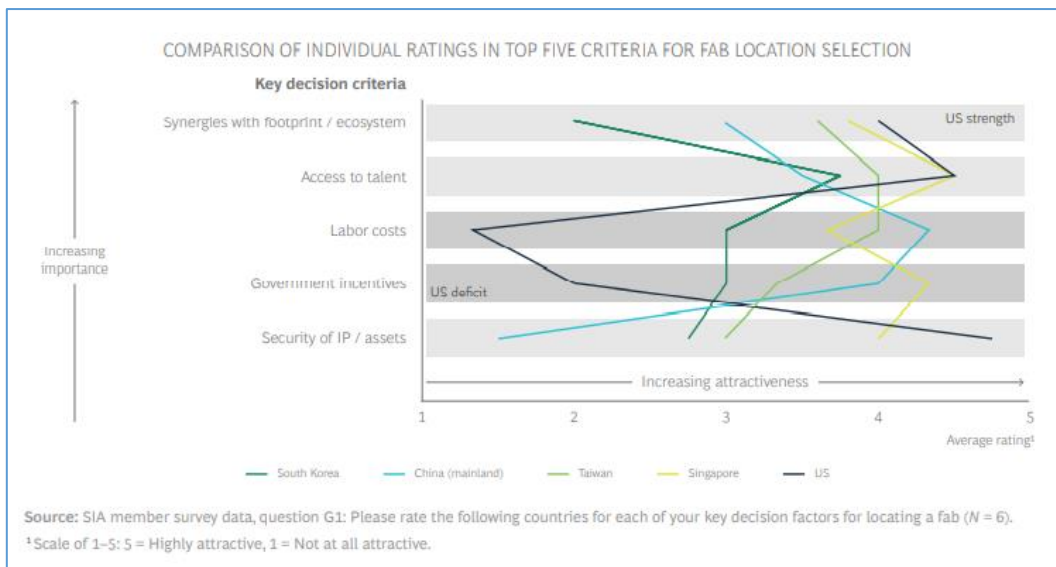
美国在全球半导体制造产能中所占份额的下降，并不是缺乏技术能力的问题。事实上，美国在 10nm 以下技术节点方面拥有 28% 的全球份额，远高于在整个半导体产业拥有的 12% 份额。

美国公司在半导体制造工艺技术研发领域是全球的领导者，涉及逻辑器件、存储器、模拟器件等各个领域，以及制造软件、设备和工艺控制工具。全球前 20 的半导体制造企业中，其中 8 家在美国拥有制造业务。这些半导体制造商拥有全球半导体产能 80% 以上的份额，美国雇佣了大约 18 万名工人，并在美国 18 个州开设了制造厂。

半导体制造商为半导体制造厂选址的五个最重要的因素中，美国在半导体生态系统协同效用、技术人才获取和知识产权保护方面排名靠前，而在劳动力成本和政府激励措施方面远远落后于其它地区。图 6 进行了美国在半导体制造厂的选址标准方面的竞争力分析。



(1) 半导体制造厂的选址标准



(2) 5 个选址标准的得分

图 6 美国在半导体制造厂的选址标准方面的竞争力分析

目前，在半导体制造方面，美国在成本上并不具有竞争力。半导体工厂需要巨大的投资。2019 年半导体产业的资本支出与收入的比率高于 20%，半导体产业与电力和公用事业并驾齐驱，成为整个经济中资本投入最多的产业。图 7 进行了三种半导体制造厂的成本分析（10 年）。

	ADVANCED LOGIC	ADVANCED MEMORY	ADVANCED ANALOG
Type of semiconductor products	Processors for mobile phones, AI systems, and supercomputers	Advanced flash storage for mobile phones, PCs, and data centers	Power electronics for electric vehicles, aircraft, and renewable energy
Manufacturing technology	<ul style="list-style-type: none"> 12-inch wafer size 5 nm node 	<ul style="list-style-type: none"> 3D NAND, 128 layers 12-inch wafer size 20 nm node 	<ul style="list-style-type: none"> 12-inch wafer size 65 nm node
Capacity (wafers per month)	35,000	100,000	40,000
No. of employees	~3,000	~6,000	~3,000
Capital investment (\$ billion)	~20	~20	~5

Sources: SIA; BCG analysis.

图 7 三种半导体制造厂的成本分析（10 年）

一个标准产能的先进半导体制造厂大约需要 50 亿美元（先进模拟器件制造厂）到 200 亿美元（先进逻辑和存储器制造厂）的资本支出（包括土地、建筑和设备）。这远远高于下一代航空母舰（130 亿美元）或新建核电站（40 亿至 80 亿美元）的估计成本。除了预先的资本支出，每年持续的运营成本约 6 亿到 20

亿美元。不考虑政府资助，10 年时间里，一个先进半导体制造厂总投资可达到 110 亿至 50 亿美元（先进模拟器件制造厂），300 亿至 400 亿美元（先进逻辑和存储器制造厂）。政府的激励措施对支持所需投资成本至关重要，政府通常会减少在土地、建筑、设备方面投资，也通过劳动力支持减少运营成本。总体上，政府的激励措施能帮助减少 15%-40% 的总成本。图 8 描述了政府激励措施半导体制造厂的影响。

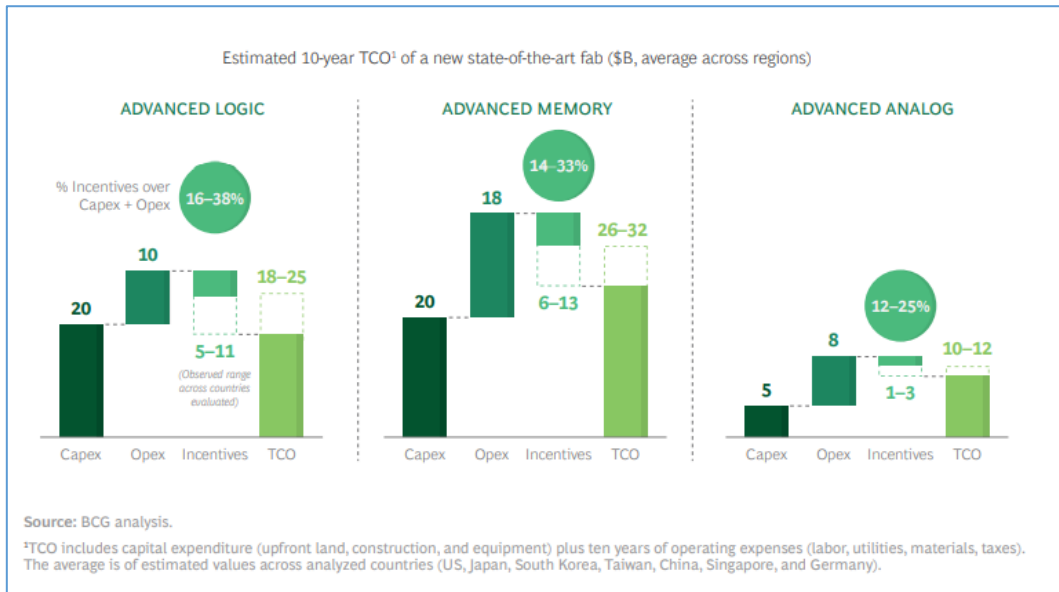


图 8 政府激励措施半导体制造厂的影响

在美国新建一个半导体制造厂的总投资成本比在中国台湾地区和新加坡高出 25%-30%。中国大陆地区除在劳动力成本方面占有优势外，在政府支持方面优势突出。图 9 描述了美国新建一个半导体制造厂的总投资成本与其他国家/地区的对比分析。造成上述成本差异的主要因素是政府的激励措施。相比于亚洲国家，美国的政府激励措施力度远远不如亚洲地区，图 10 对比了不同地区政府激励措施。其次是由于劳动力和公用事业方面的结构性缺陷，美国将高出其他地区 15%-40% 的总成本。还有，资本支出方面尤其是建筑因素导出美国高出其他地区 15%-20% 的总成本。此外，其他国家/地区通常通过科技园区和经济特区支持基础设施建设进一步促进本土半导体生态系统发展。

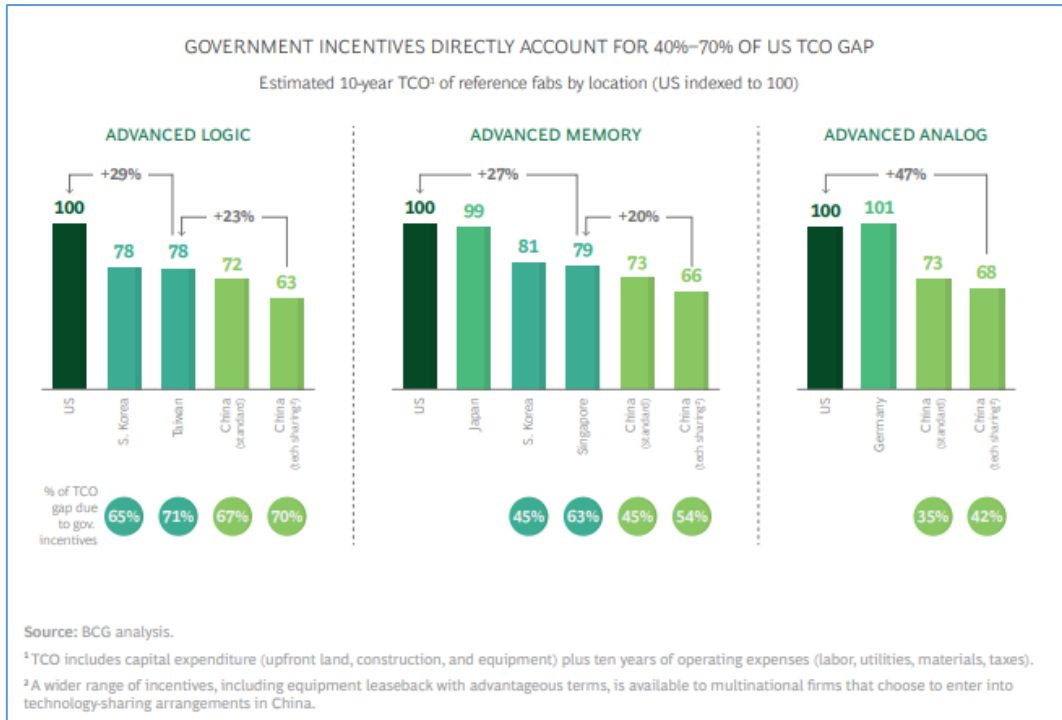


图 9 美国新建一个半导体制造厂的总投资成本与其他国家/地区的对比分析

	US ¹ (%)	Japan (%)	S. Korea (%)	Taiwan (%)	Singapore (%)	Asia avg. ² (%)	China ³ (%)	Germany (%)	Israel (%)
Capex reductions									
Land	50	75	100	50	100	85	100	100	75
Construction and facilities	10	10	45	45	25	33	65	35	45
Equipment	6	10	20	25	30	20	35	5	30
Opex reductions									
Labor and benefits	5	5	5	5	15	7	33	7	5
Tax reductions⁴									
Corporate tax	-	-	60	-	35	30	75	-	74
State tax	100	-	-	-	-	-	-	-	-
Property tax	100	100	100	-	-	60	-	-	-
Overall	10-15	-15	25-30	25-30	25-30	-25	30-40	10-15	-30

Source: BCG analysis.
 Note: Incentives are on the first ten years of operation. All countries also include a 100% reduction on equipment-import costs and a 5% R&D write-off and deferral; not exhaustive.
¹ Based on a best-case scenario with current incentives and recent agreements.
² Excluding China.
³ Mainland China.
⁴ The effective tax rate is considered separately from generally available incentives and is based on current statutes.

图 10 不同地区政府激励措施对比

六、抓住未来十年半导体产业发展机遇

未来十年，全球对半导体的需求预计将以每年 5% 的速度增长，这主要得益

于新技术的大规模使用，包括人工智能、物联网、边缘计算、5G 技术以及电动和自动驾驶汽车。制造产能预计将相应增长 56%，或到 2030 年增加约 1000 万片（wpm）。截至 2020 年 6 月，2020 年至 2030 年全球新增产能中约有 50% 尚未开发或计划投入使用。图 11 描述了 2020 年-2030 年全球半导体制造产能预期增长情况。

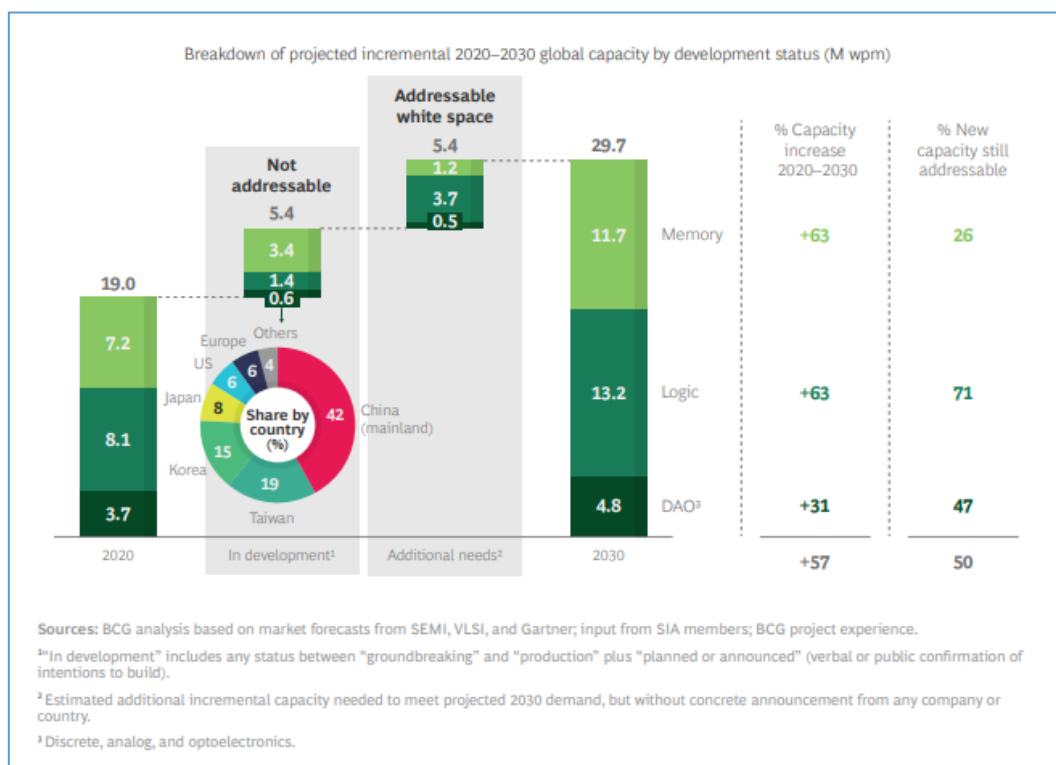


图 11 2020 年-2030 年全球半导体制造产能预期增长

美国政府新的激励措施将有助于弥补在新建半导体制造厂成本方面的结构性缺陷。目前在美国新建一个半导体制造厂的总投资成本比在中国台湾地区和新加坡高出 25%-30%，这需要降至 5%-10% 才能使美国对新半导体制造厂建设更具吸引力。为实现这一目标，美国政府必须出台新的激励措施，图 12 给出了不同激励措施将产生的预期效果。如果美国政府维持现有的激励措施，美国将拥有 6% 的半导体制造新产能，这低于美国在过去十年新增产能中拥有的 10% 份额。美国拥有全球半导体制造产能份额也将从 2020 年的 12% 下降到 2030 年的 10%。如果未来十年，美国政府投资 200 亿美元，美国将吸引 14 个新半导体制造厂，到 2030 年美国将维持现有的全球半导体制造产能份额。如果未来十年，美国政府投资 500 亿美元，美国将吸引 19 个新半导体制造厂，到 2030 年美国将

拥有 13%-14% 的全球半导体制造产能份额。

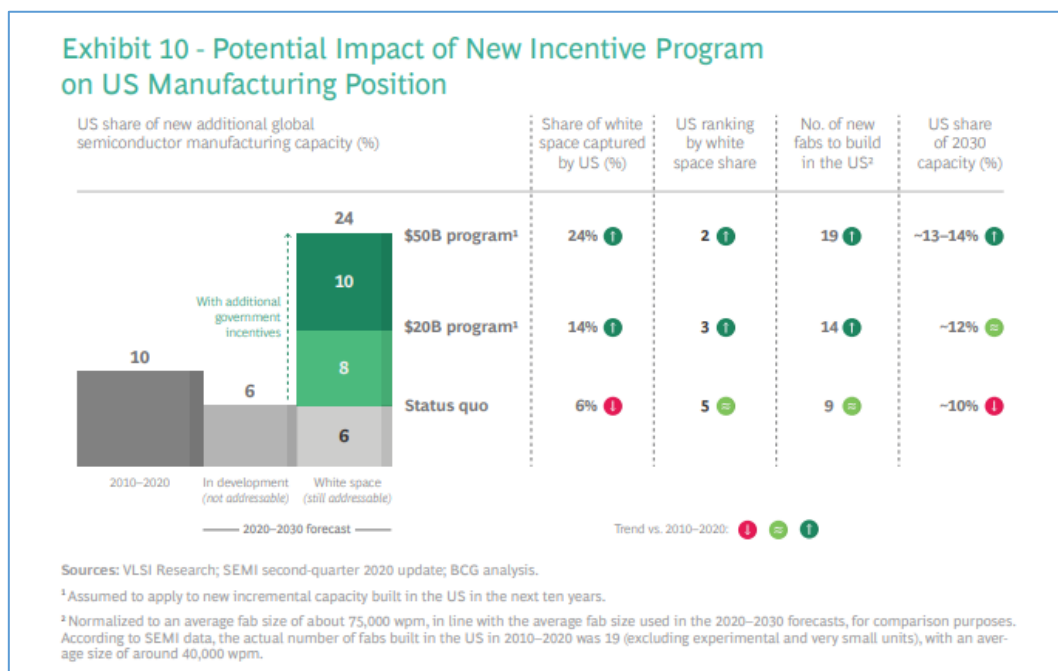


图 12 不同激励措施将产生的预期效果

七、转变美国半导体制造发展趋势

2020 年-2030 年全球半导体制造产能预计将强劲增长，这为美国阻止其半导体制造产能持续下降甚至扩大其半导体制造产能提供了历史机遇。美国在半导体生态系统的协同作用、技术人才获取和知识产权保护方面对吸引新的半导体制造厂优势明显，但成本方面缺乏竞争力。未来十年，如果美国政府能为半导体制造投资 200 亿美元至 500 亿美元，有望重塑美国的半导体制造国际领先地位。但是，扭转历史趋势、实现美国半导体制造增长的窗口正在迅速关闭。首先，未来十年满足全球需求所需的半导体制造新产能已有 50% 进入发展阶段。此外，亚洲的集群效应有利于吸引半导体制造新产能并形成良性循环，而美国可能越来越难保持其拥有的全球半导体制造份额。为了扩大美国在半导体制造中的产能份额，美国政府除了采取激励措施为半导体制造厂营造公平的良好竞争环境，同时对材料和制造科学基础研究的支持以及重视人才培养也十分重要。尽管提升美国的半导体制造的国际地位引起了政策制定者的浓厚兴趣，但确保美国半导体产业的实力仍需要继续致力于保持美国的研发领先地位。

于杰平 王丽编译自

<https://www.semiconductors.org/study-finds-federal-incentives-for-domestic-semiconductor->

manufacturing-would-strengthen-americas-chip-production-economy-national-security-supply-chains/
<https://www.semiconductors.org/wp-content/uploads/2020/09/Government-Incentives-and-US-Competitiveness-in-Semiconductor-Manufacturing-Sep-2020.pdf>

国务院：不断探索构建社会主义市场经济条件下关键核心技术攻关新型举国体制

国务院印发《新时期促进集成电路产业和软件产业高质量发展若干政策》，其中第三项研究开发政策，明确指出：（1）聚焦高端芯片、集成电路装备和工艺技术、集成电路关键材料、集成电路设计工具、基础软件、工业软件、应用软件的关键核心技术研发，不断探索构建社会主义市场经济条件下关键核心技术攻关新型举国体制。科技部、国家发展改革委、工业和信息化部等部门做好有关工作的组织实施，积极利用国家重点研发计划、国家科技重大专项等给予支持。（2）在先进存储、先进计算、先进制造、高端封装测试、关键装备材料、新一代半导体技术等领域，结合行业特点推动各类创新平台建设。科技部、国家发展改革委、工业和信息化部等部门优先支持相关创新平台实施研发项目。（3）鼓励软件企业执行软件质量、信息安全、开发管理等国家标准。加强集成电路标准化组织建设，完善标准体系，加强标准验证，提升研发能力。提高集成电路和软件质量，增强行业竞争力。

选摘自

http://www.gov.cn/zhengce/content/2020-08/04/content_5532370.htm

<https://mp.weixin.qq.com/s/BaTghWkVI8Qiwzpkull1uA>

美国 ITIF 发布《通过联盟合作实现半导体产业领导地位》 报告

2020 年 9 月 17 日，美国信息技术与创新基金会（ITIF）发布《通过合作实现半导体产业领导地位》报告（以下简称“报告”），研究了全球半导体产业价值链以及各国半导体竞争战略现状，论述了志同道合的盟国如何通过半导体技术及其生态系统的协调发展以及技术保护和国际规则等方面的合作，来提高各国的领导地位。报告提出了相关政策建议。

政策建议如下：

（一）半导体技术合作方面

1. 建立美国制造研究所支持半导体产业的创新活动，包括研发、制造和封装等活动，并邀请盟国的半导体企业参与。
2. 扩大半导体领域公私伙伴关系的国际合作。
3. 美国和盟国应增加对合作、竞争前研发工作的资助，并确保盟国的半导体企业能享有这种互惠机会。
4. 美国政府应该更有效地协调各个政府机构正在进行的半导体研发项目。
5. 美国政府应该探索授权更加灵活的联邦合同指导方针，比如放宽联邦采购条例，或者允许更多地使用其他交易授权，以提高联邦资助的半导体研发项目的商业化潜力。
6. 美国政府应该邀请其他盟国共同投资半导体领域的登月类计划，根据各国的投资情况共享产生的知识产权和技术发现。
7. 美国应该寻求更多的机会让盟国的同行加入可信赖的半导体制造项目，与此同时，盟国也应该对其相关项目给予互惠政策支持。
8. 盟国应该修订其采购准则，在以往价格、成本和质量标准之外增加安全标准。

（二）半导体生态系统合作方面

1. 盟国应该继续倡导开放的标准制定流程，这不仅关系到半导体技术本身，还关系到基于半导体技术的下游技术如 5G、人工智能、物联网和自动驾驶等。

2. 盟国及其企业应该合作开发一个更加安全的计算基础设施。

（三）技术保护合作方面

1. 出口管制：（1）美国的出口管制须定期更新以反映全球半导体产业的状况，对于与外国竞争者具有同等技术水平的商品和服务，此类管制措施不妨碍美国企业销售这些商品。（2）任何最终被认为符合出口管制法定标准的新兴技术，如果不是美国独家开发和供应，就应取消管制。（3）美国应避免实施单方面出口管制，寻求有效的多边政策，在具有本土半导体生产能力的盟国实施出口管制。

2. 生产能力：（1）国会应该扩大美国出口管制和国务院相关边境安全项目的职权范围和资金。（2）在 2020 年 9 月即将举行的 2020 年敏感技术多边行动会议上，美国应考虑对先进技术出口管制采取多边举措。

3. 外商投资审查：（1）美国应该盟国合作，调整外商投资审查方法，并进行必要的交流沟通。（2）美国应继续与盟国合作，协调投资审查程序，并应考虑扩大“例外国家（excepted foreign states）”的名单，如增加法国、德国、荷兰、意大利、日本和韩国等。

4. 打击国外技术和知识产权盗窃行为：（1）与盟国一起编制知识产权盗窃实体名单，并制定相关措施限制其在盟国市场的竞争力。（2）加强与盟国的信息共享，打击外国经济间谍活动和知识产权、技术、商业秘密盗窃行为。（3）美国应率领盟国制定更强有力的信息共享机制，重点打击先进技术行业中政府支持的经济间谍活动。（4）美国应继续与盟国合作加强商业秘密保护制度。（5）美国与盟国应继续在商业秘密保护和打击大规模商业秘密盗窃行为等方面努力达成一致的贸易协定。

5. 支持性贸易政策、制度和惯例：（1）提升世界半导体协会（WSC）的认可度和地位。（2）扩大信息技术产品协议（ITA）。（3）维持世界贸易组织（WTO）电子商务关税豁免延期。（4）与盟国一起，加入并扩大“全面与进步

跨太平洋伙伴关系协定（CPTPP）”。（5）扩大 WTO 补贴。（6）在数字化政府采购活动中坚持市场准入互惠原则。（7）考虑组建全球战略供应链联盟（GSSCA）。（8）在印度-太平洋地区建立联盟，扩大市场贸易。

于杰平 王丽摘译自

<https://itif.org/publications/2020/09/17/allied-approach-semiconductor-leadership>

<https://itif.org/sites/default/files/2020-allied-approach-semiconductor-leadership.pdf>

MSITL

韩国国立蔚山科学技术院开发 HfO₂ 无标度铁电性新方法 有望大幅提高存储芯片容量

铁电性产生于晶体中电偶极子的自发有序性，在外加电场的作用下，电偶极子可以可逆地转向相反的方向。一种铁电氧化物，二氧化铪（HfO₂）最近成为一种有趣的材料，因为它具有纳米厚度的强大电偶极子，并且能够直接集成到硅器件中。HfO₂ 是一种萤石结构，其电偶极子的可切换性预计不同于 ABO₃ 钙钛矿结构的氧化物，这可以从其较大的强制场和较慢的区域传播中得到暗示。但是人们对 HfO₂ 在原子水平上具有稳定的铁电性和明显的可转换性的根本原因还知之甚少。HfO₂ 的结构和铁电性质之间的关系对于它们在先进的纳米电子器件中的应用至关重要，例如非易失性存储器和低功耗逻辑。目前，业界拟将速度快、功耗低且非易失的铁电随机存取存储器（FeRAM）作为替代现有动态随机存取存储器或闪存的下一代存储半导体。但是，FeRAM 的主要缺点之一是存储容量有限。为了增加其存储容量，有必要通过减小芯片尺寸来集成尽可能多的设备。物理尺寸的减小导致存储器极化现象的消失，使其丧失功能。

在三星科学技术基金会资助下，蔚山国立科学技术学院（Ulsan National Institute of Science and Technology, UNIST）能源与化学工程教授李准熙及其团队发现了一种可以控制半导体材料中的单个原子，并进一步增加微芯片存储量以及突破芯片域尺寸极限的方法。

研究人员通过将一滴电荷加到一种名为铁电氧化铪（ferroelectric hafnium oxide, 或 HfO₂）的半导体材料中，就可以控制四个单独的原子来存储 1 位数据（1 bit of data）。这就意味着，如果合理，可以实现一个闪存模组中每平方厘米可以存储 500 TB 的数据量，是当前闪存芯片的 1 000 倍，同时提高了利用 0.5 纳米工艺技术的可能性，将有助于半导体设备尺寸进一步缩小。

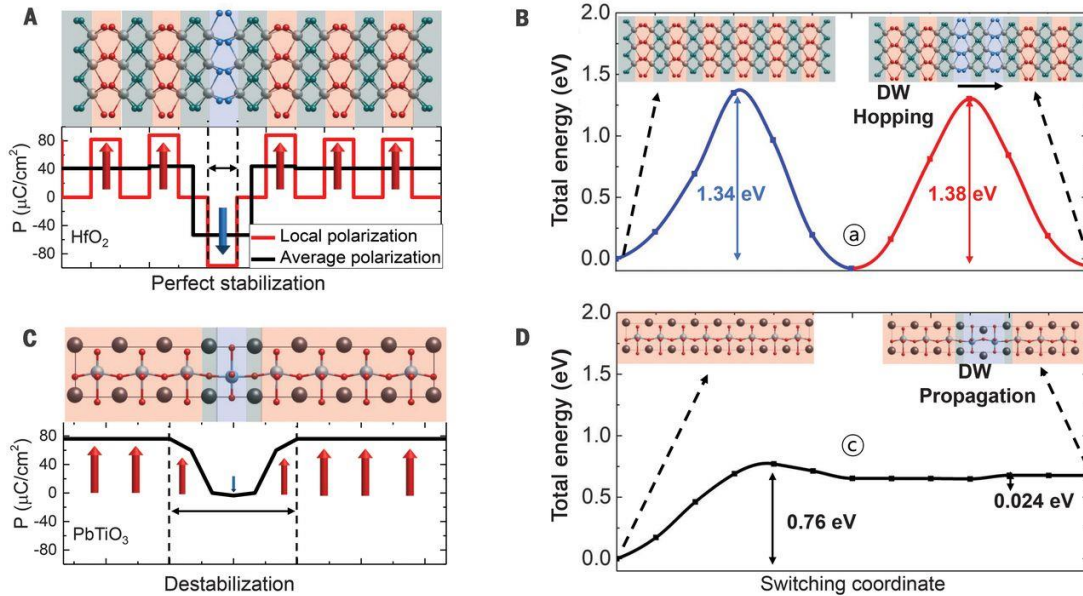


图 1 与钛酸铅的扩散畴壁相反，HfO2 有平坦带和零宽度畴壁

该研究成果发表在《Science》，2020，369 (6509): 1343-1347, DOI: 10.1126/science.aba0067, 题目：“Scale-free ferroelectricity induced by flat phonon bands in HfO2”。

沈湘摘译自

http://www.koreaherald.com/view.php?ud=20200702000793&ACE_SEARCH=1

<https://science.sciencemag.org/content/369/6509/1343>

挪威科技大学通过制造氧化物反弗兰克尔缺陷开发检测氧化物电导率新方法并有望用于电子配件升级再使用

利用复杂氧化物中的量子效应，如磁性、多铁性和超导性，需要对材料的结构和成分进行原子级控制。相比之下，基于氧化物异质结的人工光电神经突触和多构型元件的连续电导率变化，是由氧化还原反应和结构域的重新配置所驱动，基于长距离离子迁移和化学计量或结构的变化。

现在已经建立了不同的机制，允许逐步和多个数量级地调节氧化物中的电

导率。例如，通过电场改变了 $\text{LaAlO}_3 - \text{SrTiO}_3$ 异质结构和多铁性 BiFeO_3 薄膜中的 n 型导电性，这归因为基于正电荷氧空位 (positively charged oxygen vacancies) 的产生和迁移。此外，还利用负电荷氧间隙 (negatively charged oxygen interstitials) 的迁移来控制六角 $\text{Y}_{0.67}\text{Lu}_{0.33}\text{MnO}_3$ 单晶的 p 型电导性。然而，正电荷氧空位和负电荷氧间隙的迁移是同一现象的相同方面，即过渡金属氧化物的电场驱动氧化还原反应。尽管这些氧化还原反应产生了所需的电导率变化，但正电荷氧空位或负电荷氧间隙的产生也必然会改变主体材料的整体化学计量，从而对材料的自旋、电荷和轨道自由度产生重大影响。后者反映在氧化物对化学计量变化的敏感性上，这种变化可以驱动金属态和绝缘态之间的系统，稳定超导电性或完全抑制磁电秩序。一般来说，与当前应用的氧化还原反应相关的离子的长程迁移、萃取和/或注入会导致净质量传输，从而产生化学、静电和应变相关梯度，这也就禁止了导电性以外的电子功能的同时使用。

为了避免有害的副作用并最终利用氧化物材料中可用的全部功能特性，需要一种概念上不同的方法来控制导电性。特别有希望的是化学计量缺陷 (stoichiometric defects) 的经典报道，如离子萤石 (ionic fluorites)。在这里，阴离子从晶格位置移动到间隙位置，形成熵稳定和电荷中性的间隙-空位对 (反弗兰克尔缺陷, anti-Frenkel defects)。虽然在电陶瓷中，固有的反弗兰克尔缺陷在离子-电子传输中起着关键作用，但将它们用于控制相关氧化物中的导电性仍有待探索。氧化物电子学领域的研究大多集中在钙钛矿材料的大家族中，由于其致密的晶体结构，不太可能形成反弗兰克尔缺陷。因此，除了混合离子电子输运之外，诸如它们的产生、稳定性和对功能的影响等基本内容，在很大程度上都属于未知领域。

挪威科技大学的研究团队通过使用导电原子力显微镜来产生电场诱导反弗兰克尔缺陷，即电荷中性间隙空位对，来控制功能氧化物 $\text{h-Er}(\text{Mn,Ti})\text{O}_3$ 中的导电性。这些缺陷以纳米级的空间精度产生，在不干扰铁电序的情况下，局部地提高电子跳跃电导率一个数量级，使绝缘材料变得导电。通过这样的方式来控制反弗兰克尔缺陷，电导率的变化不会影响材料的实际结构或改变其其他特性，

如磁性和铁电性。

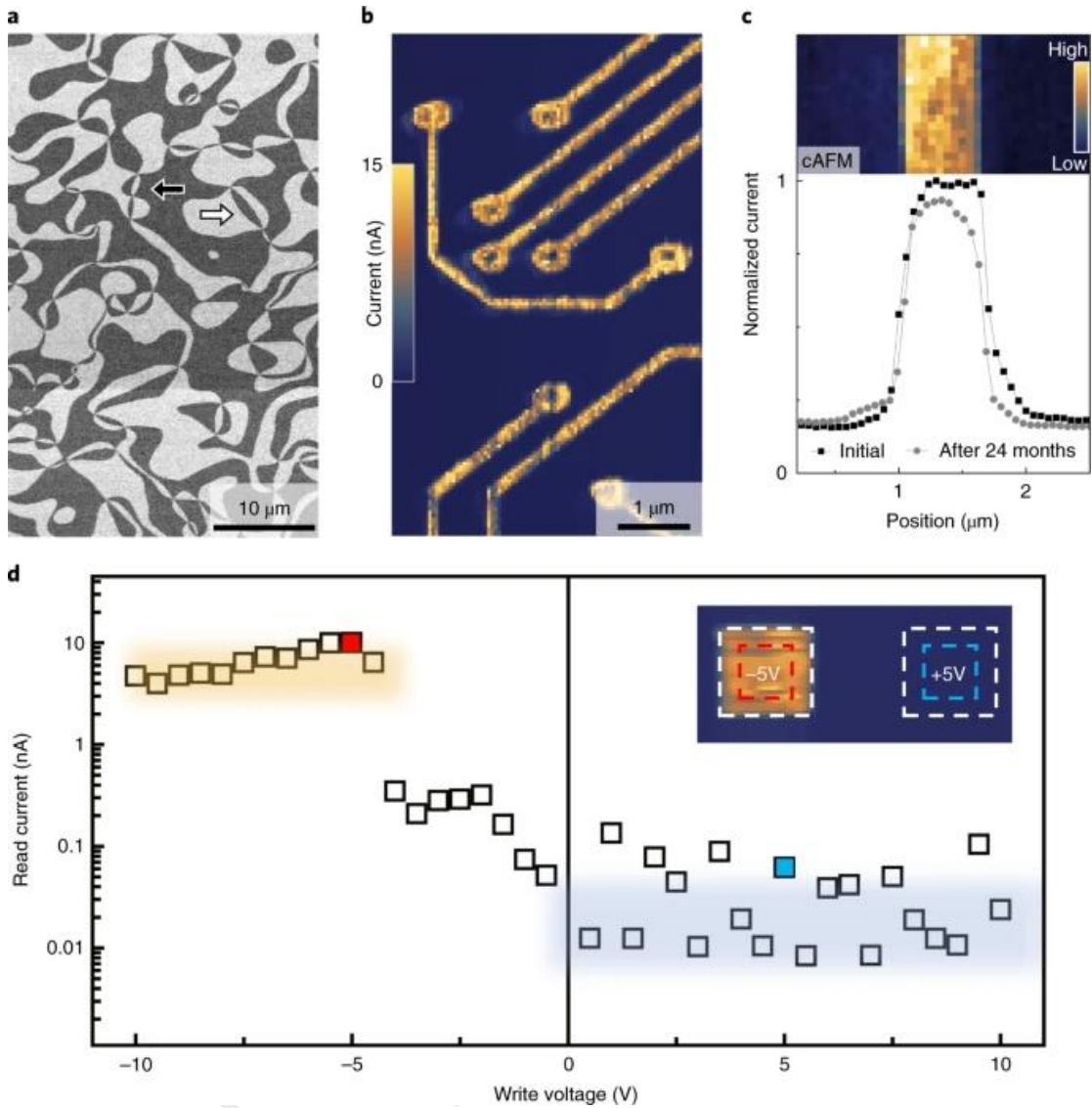


图 1 h-Er(Mn,Ti)O₃ 电导率的局部控制

该新方法的另一个优点是，研究人员可以通过简单的热处理消除纳米级的组件，未来有望用于更改或升级材质中的组件。研究人员表示，也许我们可以通过升级而不是回收或扔掉，来实现更长时间、更环保地使用我们的电子产品。

该研究项目由新加坡南洋理工大学管理，受益于关键设施如纳米实验室和透射电子显微镜双子座中心和跨学科研究团队。

该研究成果发表在《Nature Materials》，Publication: August 17 2020，题目：“Conductivity control via minimally invasive anti-Frenkel defects in a functional oxide”。

沈湘摘译自

<https://phys.org/news/2020-09-great-electronic-gadgets-future.html><https://www.nature.com/articles/s41563-020-0765-x>

美国罗切斯特大学开发出超小型电光调制器 有助于缩小光芯片体积

高速电光调制是从光通信、微波光子学、计算、频率计量到量子光子学等许多重要应用的基础。电光调制的方法有很多种，如载流子等离子体色散、电吸收、Pockels 效应等。Pockels 效应在极宽的光谱上提供了超快和纯的折射率调制，并且不引入额外的损耗。最著名的电光 Pockels 材料可能是铌酸锂（LiNbO₃, LN），它已广泛应用于通讯。近年来，薄膜单片式 LN 因为低损耗、高质量的光子集成以及强大的 Pockels 效应等特点，具有优异的调制性能，成为光子集成电路和未来光子互连的优良介质。

在电光调制器（electro-optic modulator, EOM）的应用中，功率效率是至关重要的，它敏感地依赖于器件的物理尺寸。将 EOM 缩小到一个很小的尺寸可以减少器件电容，从而降低开关能量，这是所有实际应用中必不可少的。为此，人们探索了多种方法，包括等离子结构、开槽介质波导、光子微纳谐振器等。在各种器件几何结构中，因为在亚波长尺度上控制光约束和光-物质相互作用的特殊能力，光子晶体纳米谐振器在这方面尤其有益。在过去的十年里，光子晶体 EOMs 已经在各种材料平台上得到了发展，如硅、砷化镓、InP、聚合物等。但是，到目前为止开发的 EOMs 通常具有显著的尺寸，这导致驱动 EOMs 所需的功率很大。虽然人们对 LN 光子晶体中的电光效应进行了探索，但由于器件质量低、光电集成度差等缺点，严重限制了 LN 光子晶体的运行速度。迄今为止，在单片式 LN 上实现波长尺度的高速节能调制器仍然是一个挑战。

美国罗切斯特大学研究人员使用 LN 创建光子微腔，并以此为基础在二氧化硅层上构建 LN 薄膜，从而开发出超小体积的电光调制器。单个微腔的尺寸仅为

1 微米，可在室温下对 2 至 3 个光子进行操控。

在以上研究基础上，研究人员继续研发出高速和节能的 LN 光子晶体 EOMs，它的电光模态体积仅为 $0.58\mu\text{m}^3$ ，是迄今所报道的所有高速 LN EOMs 中最小的。亚波长级 EOM 腔使紧凑型光电集成不仅实现了高达 $16.0\mu\text{m V}^{-1}$ （相当于 1.98 GHz V^{-1} ）的高电光调谐效率，大大超过其他 LN EOM 谐振器，同时还具有高达 17.5 GHz 的大调制带宽，达到了 EOM 腔的光子寿命极限。全芯片设计实现了 11.5 dB 的全摆幅消光比。利用这些器件，可以在绝热边带未分辨区（adiabatic sideband-unresolved regimes）和非绝热边带分辨区（non-adiabatic sideband-resolved regimes）实现光学模式的有效驱动，并观察两者之间的转换。作为一个应用实例，研究人员演示了非归零（NRZ）信号的电光开关速率为 11 Gb s^{-1} ，开关能量低至每比特 22 fJ，比其他 LN EOMs 小一个数量级以上。该研究为实现大规模光子集成电路奠定了基础，有望促进光子通信、量子光子学等研究的发展。

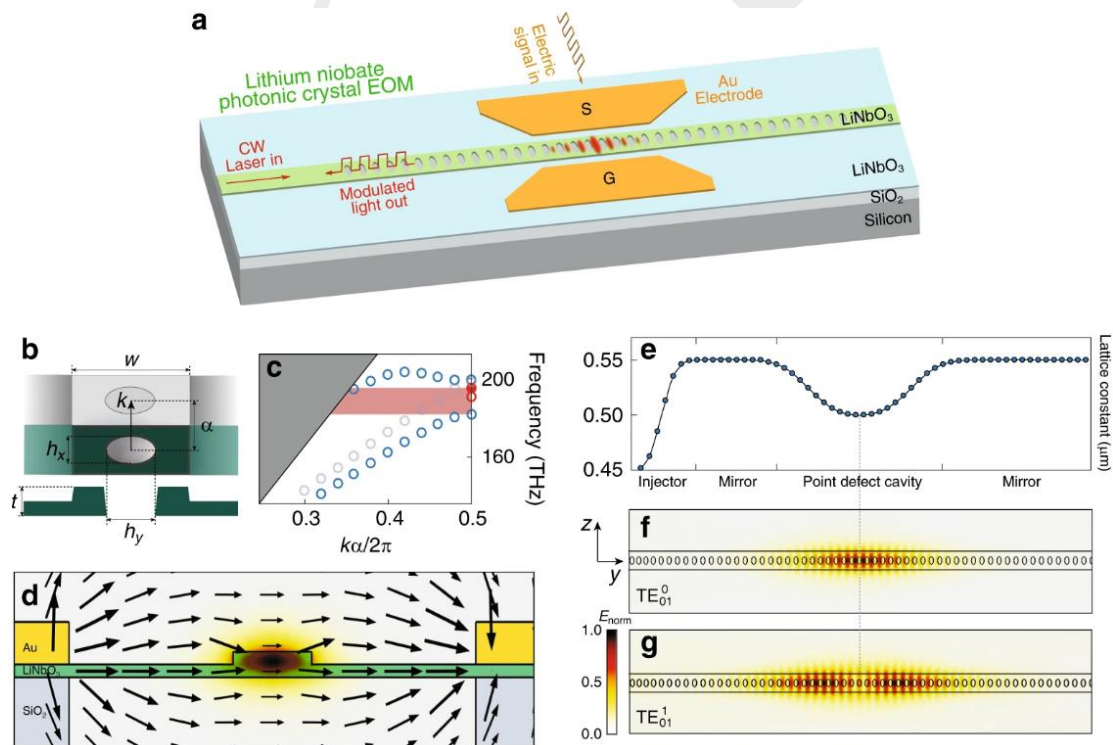


图 1 LN 光子晶体 EOM 的设计示意图

该研究成果发表在《Nature Communications》，Publication: 17 August 2020, Article number: 4123, 题目：“Lithium niobate photonic-crystal electro-optic

modulator”。

沈湘摘译自

<https://phys.org/news/2020-08-photonics-breakthrough-miniaturizing-light-based-chips.html>

<https://www.nature.com/articles/s41467-020-17950-7>

英国布里斯托大学开发出新型硅光子芯片用于量子计算

开发基于芯片的量子计算机是一项广泛的努力，用于制造当今计算机芯片的成熟 CMOS 制造工艺可以大大降低大规模量子信息处理的成本。尽管研究人员已经证明了在硅芯片中制造量子计算机所需的许多组件，但由于对创造高质量光子的严格要求，片上单光子源已被证明具有挑战性。

单光子源以单光子的形式发射光，是光学量子计算机的关键部件。光学量子计算机使用光子以量子比特的形式传输数据。量子位可以同时处于两种状态，并且相互干扰或相互关联，从而允许同时执行许多进程。

用于量子计算的单光子源有着非常严格的要求。它们必须是高度不可区分的和纯粹的，无论是近乎确定性的还是高效的，并且适合大规模制造。为了满足这些要求，英国布里斯托尔大学的研究人员基于 CMOS 工艺，设计了一种基于多模硅波导中的模间自发四波混频的单光子源。

片上光子源的模式间方法，即利用多个光泵场之间的相互作用来产生光子，使得控制光子发射的新自由度成为可能。通过调整低损耗多模波导的几何结构和抽运场之间的片上时间延迟，研究人员表明，自发光子发射的特性可以被设计成接近理想的光子。

为了测试新的设计，研究人员在商业晶圆上使用 CMOS 兼容的光刻工艺在标准绝缘体硅上制造单光子器件。对这些器件的测试表明，多模波导显著降低了传输损耗，使光源的固有预示效率达到约 90%。要扩大量子处理的规模，就

必须有高的预示效率。

研究人员还进行了片上光子干涉，这对量子计算至关重要。这些实验产生了 96% 的原始数据可见度，这是迄今为止在集成光子学领域报告的最高值。这一成果使光子间的片上量子操作达到了前所未有的精度，为在短期量子光子器件中扩大低噪声光子处理开辟了可能。

研究人员表示，单光子源可以通过更好的泵浦激光和更均匀的制造工艺进一步改进。

英国布里斯托尔大学的 Stefano Paesani 在 9 月 14-17 日举行的线上光学和激光科学 APS/DLS 会议（OSA Frontiers in Optics and Laser Science APS/DLS）上介绍这项新研究。

沈湘摘译自

<https://phys.org/news/2020-09-near-optimal-chip-based-photon-source-quantum.html>

索尼发布用于物联网和可穿戴设备的全球导航卫星系统接收器芯片

2020 年 8 月 19 日，日本索尼公司宣布将发布用于物联网和可穿戴设备的高精度全球导航卫星系统（GNSS）接收器芯片。这款新型接收器芯片在双频定位操作中的功耗低至仅 9mW，属业界领先水平。

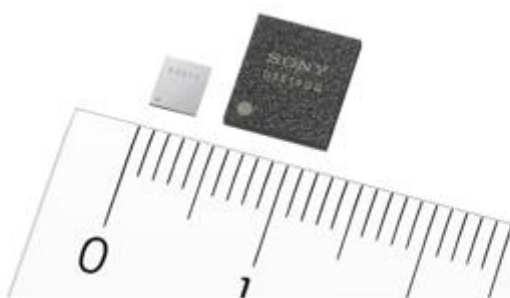


图 1 GNSS 接收器芯片（左：CXD5610GF；右：CXD5610GG）

型号名称	样品发货日期	样品价格（不含税）
GNSS 接收器芯片 CXD5610GF 和 CXD5610GG	2020 年 9 月	1000 日元

图 2 芯片 CXD5610GF 的功耗数据

随着物联网技术的应用和需要依靠定位服务的可穿戴设备的使用日益增多，市场对于 GNSS 接收器芯片的需求不断增长。精确的定位和稳定的通信必须得到保证，以便使物联网和可穿戴设备即使在艰难和不稳定的通信环境下也可正常运行，这些情况包括由于地面和建筑物反射造成的多路径传播情况或由于人手腕晃动而造成的信号受阻。此外，受设备尺寸的限制，电池必须是小型的，而在使用 GNSS 定位功能的过程中，卫星信号的接收和定位服务通常会消耗大量电力，导致电池寿命很短。

索尼发布的新款芯片不仅支持传统的 L1 波段的接收，还支持目前正在通过 GNSS 星群扩展的 L5 波段的接收，从而实现双频定位。索尼自主开发的算法使得可穿戴设备在特殊的困难通讯条件下也能实现稳定、高精度的定位。另外，索尼自主开发的高频电路模拟技术和数字处理技术的应用，使得芯片在连续定位双频接收过程中功耗仅为 9mW，属业界领先水平。

新的芯片将为新产品和新服务的开发带来更多机会，比如智能手表和其他不能使用外部电源的可穿戴设备，以及用于追踪器等应用的物联网设备。这类芯片在同样需要精准定位和稳定通讯的应用中也显示出了巨大的市场潜力，如汽车服务。

该芯片的主要特点是：

(1) 精准稳定的定位服务、双频操作、功耗低至惊人

与 L1 频段相比，在 L5 GHz 频段采用了新的信号方法，以缩小十倍的信号单元来测量 GNSS 的卫星与接收器之间的距离，从而提高了设备定位的精准度，并放大了卫星的传输功率，实现更高精度、更高灵敏度的定位。

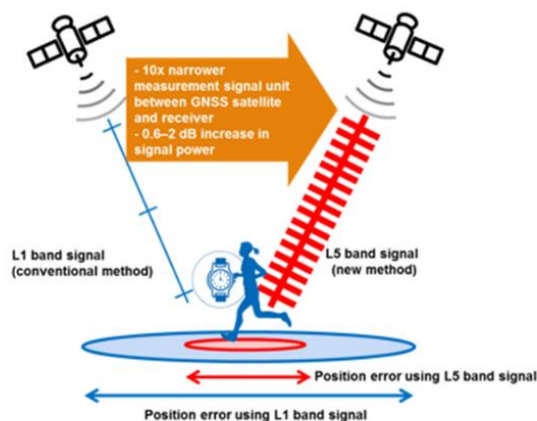


图 3 采用 L5 频段的新信号传输方式，改善定位误差

得益于索尼自主开发的算法，此款芯片能够快速、准确地接收 GNSS 信号，而且即使在移动时受建筑物遮挡、可穿戴设备因手臂摆动而产生加速度等不断变化的接收环境中，也能实现比前代产品更稳定的定位。这样一来，即使在耗费时间更多的冷启动情况下，也能快速实现定位。此外索尼自主开发的数字信号处理技术可以应对飞机通信产生的无线电干扰、欺骗攻击等造成的性能下降问题，从而提高抗干扰能力。

索尼自主开发的模拟电路技术可以实现低电压操作，数字电路和软件算法可通过低时钟频率进行软件处理，从而实现了低功耗和高灵敏度。这种创新的设计使得在同时接收 L1 和 L5 两个频段的信号时，可将功耗降至仅 9mW，属业

界领先水平。

表 1 新产品 CXD5610GF/CXD5610GG 与前代产品 CXD5605GF 的可兼容卫星系统对比

兼容卫星系统	定位信号	新产品	前代产品
全球定位系统 (GPS)	L1C/A	✓	✓
	L5	✓	×
伽利略卫星导航系统 (Galileo)	E1	✓	✓
	E5a	✓	×
北斗卫星导航系统 (BeiDou)	B1I	✓	✓
	B1C	✓	×
	B2a	✓	×
格洛纳斯卫星导航系统 (GLONASS)	L1OF	✓	✓
天顶卫星系统 (QZSS)	L1C/A	✓	✓
	L1S	✓	✓
	L5	✓	×
星基增强系统 (SBAS)	L1	✓	✓
印度区域导航卫星系统 (NavIC)	L5	✓	×

(2) 内置内存

新款芯片内置非易失性存储器，用于存储固件等。这种设计无需添加外部安装的存储器，就可以更新固件，并且节省了空间，让物联网和可穿戴设备的设计更为紧凑。它还可以在产品内部完成数据处理，从而降低功耗，提高访问速度。

表 2 关键参数

产品名		CXD5610GF	CXD5610GG
兼容卫星系统	全球定位系统 (GPS)	L1C/A, L5	
	伽利略卫星导航系统 (Galileo)	E1, E5a	
	北斗卫星导航系统 (BeiDou)	B1I, B1C, B2a	
	格洛纳斯卫星导航系统 (GLONASS)	L1OF	
	天顶卫星系统 (QZSS)	L1C/A, L1S, L5	
	星基增强系统 (SBAS)	L1	
	印度区域导航卫星系统 (NavIC)	L5	
热启动灵敏度		-163dBm	
追踪灵敏度		-167dBm	
热启动初始计算时间		小于一秒 (-130dBm)	
能耗	1.5 GHz/1.2 GHz 同步接收	9 mW	11 mW
	1.5 GHz 接收	6 mW	7 mW
	1.2 GHz 接收	7 mW	8 mW
输入输出电压		1.8 V	1.8 V, 3.3 V
用户界面		UART, I ² C, SPI	
包装		XFBGA-54Pin	LFBGA-72Pin
外部尺寸 (长宽高)		3.2×3.7×0.5 mm	7.0×8.0×1.4 mm

邹丽雪选摘自

<https://www.sony.com.cn/content/sonyportal/zh-cn/cms/newscenter/techonology/2020/20200819.html>

英飞凌与 Fingerprint Cards 推动生物识别卡部署

2020 年 8 月 14 日，英飞凌科技股份有限公司（FSE: IFX / OTCQX: IFNNY）与 Fingerprint Cards AB（Fingerprints™，STO: FING-B）携手实现该全新解决方案的大规模部署。非接触式支付卡在整个支付交易过程中一直由持卡人持有，甚至大额支付也无需输入 PIN 码或签名来授权。

非接触式支付安全控制器与指纹传感器（包括相关软件）的全球领导企业旨在为制卡商提供生物识别半导体解决方案，从而使集成特别经济实惠并可扩展。指纹信息存储在卡的嵌入式安全元件上，不与任何第三方共享，从而保护用户凭证。

在用户体验、数据安全性和卫生方面，无需交卡即可授权支付是一大进步。Fingerprints 是领先的生物识别芯片和技术提供商，拥有出色的市场表现。双方希望共同推动生物识别支付卡的产业化，从小众市场进入大众市场。将 Fingerprints 领先的生物识别技术与英飞凌在芯片安全性、能源效率和非接触性能方面的专门知识相结合，将开发出一款便于集成的系统解决方案，助力客户在新兴成长型市场上抢占先机。”

Fingerprints 的传感器模块结合英飞凌基于 32 位 ARM® SecurCore® SC300™ 的 40 nm 高性能节能型安全控制器，能充分满足生物识别支付卡的要求。它们能实现：

- 在安全存储专用数据的安全控制器内对指纹图像进行安全匹配
- 尽管需要增大功率，但仍具有出色的非接触性能
- 方便可靠地在卡中注册敏感的生物特征数据

在全球范围内，几乎每两张支付芯片卡就有一张搭载英飞凌安全控制器。另外，英飞凌还为 2020 年的大型生物识别卡项目及试点提供了芯片解决方案。

邹丽雪选摘自

<https://www.infineon.com/cms/cn/about-infineon/press/market-news/2020/INFCSS202008-087.html>

IBM 发布新一代 IBM POWER10 处理器

2020 年 8 月 21 日-IBM 今日发布 IBMPOWER 中央处理器(CPU)系列的新一代产品：IBMPOWER10。IBMPOWER10 旨在为企业提供一个满足独特的混合云计算需求的平台。该处理器采用 7nm 工艺，注重能效和性能。与 IBMPOWER9 处理器相比，IBMPOWER10 的能效、工作负载容量和容器密度预计可提高 3 倍。

IBMPOWER10 处理器的设计历时五年之久，取得了上百种新专利及在申专利，是 POWER 系列发展过程中的一个重要里程碑，其创新之处包括：

(1) IBM 首款商业化的 7nm 处理器，与 IBMPOWER9 相比，同等功耗下，可将容量和处理器能效提高 3 倍，从而实现更高的性能。

(2) 支持 PB 级内存集群，采用突破性的 MemoryInception 新技术，在 SAP、SASInstitute 等独立软件开发商（ISV）的内存密集型工作负载中，以及大型人工智能(AI)应用中，提高容量以及云的经济性。

(3) 基于硬件设计的安全功能，包括对用户层透明的内存加密技术，提供端到端的安全。IBMPOWER10 处理器的设计使加密速度显著提高，每个核心的高级加密标准（AES）的加密引擎数量是 IBMPOWER9 的四倍，适用于当今最严格的标准和未来的加密标准（如量子安全加密和全同态加密）。容器的安全性也得到了进一步增强。

(4) 采用新型处理器核心架构，内置嵌入式矩阵数学加速器，与 IBMPOWER9 处理器相比，每个插槽的 FP32、BFloat16 和 INT8 计算的 AI 推理速度分别提升 10 倍、15 倍和 20 倍，从而将 AI 融入商业应用，实现更深刻的洞察。

IBMPOWER 10 7nm 工艺可提高能效和容量

IBMPOWER 10 是 IBM 第一款采用 7nm 工艺的商用芯片。十多年来，IBM 研究院一直与三星电子有限公司开展研发合作，包括与 IBM 研究联盟伙伴一起打造的半导体行业首款 7nm 测试芯片。

基于此项技术以及对性能和效率设计的关注，IBMPOWER10 有望使每个插槽的处理器能效提高 3 倍，与 IBMPOWER9 相比，在同等功耗下，提升工作负载容量。与基于 IBMPOWER9 的系统相比，这种预期的容量提升可使基于 IBMPOWER10 的服务器在混合云工作负载方面将用户、工作负载和 OpenShift 的容器密度提升 3 倍。¹ 从而提高效率，降低成本（如空间和能源成本），同时混合云用户也可以在更小的占用空间内完成更多工作。

强化硬件以进一步保护混合云

凭借额外的 AES 加密引擎，IBMPOWER10 可以为当前领先的加密标准以及未来加密协议（如量子安全加密和全同态加密）提供硬件内存加密，可保证端到端安全，实现更高的加密性能。

此外，为了保证更高密度容器的安全性，IBMPOWER10 可提供与 IBMPOWER10 固件共同开发的新型硬件强制容器保护和隔离功能。如果一个容器被入侵，POWER10 处理器可防止同一个虚拟机(VM)中的其他容器免受此类入侵的影响。

网络攻击不断演变，新发现的漏洞可能会导致业务在等待修复时出现中断。为了更好地使客户能够主动实时防御某些新的应用漏洞，IBMPOWER10 可为用户提供动态执行寄存器控制，这意味着用户将能设计出更具防御性的应用，将性能损失减至最小。

PB 级内存集群保证多种混合部署的灵活性

长期以来，在通过硬件和软件功能结合，为混合云和本地工作负载提供各种灵活部署的方面，IBM POWER 一直都处于领先地位。IBM POWER10 处理器旨在提高这种能力，使其能够在基于 IBM POWER10 的系统上以各种配置共享集群的物理内存。借助 Memory Inception 突破性新技术，IBM POWER10 处理器允许集群中任何基于 IBM POWER10 处理器的服务器访问和共享彼此的内存，从而创建 PB 级内存集群。

Memory Inception 技术可以使云供应商采用更少的服务器提供更多功能，同时使云用户租赁更少的资源来满足其 IT 需求，对双方来说都能节省成本，减少

能耗。

将 AI 融入企业混合云，实现更深入的洞察

随着越来越多的事务性和分析性工作流的业务应用开始采用 AI 技术，AI 推理逐渐成为企业应用的核心。IBMPOWER10 处理器旨在增强核心 AI 推理能力，且无需额外的专用硬件。

与 IBMPOWER9 处理器相比，IBMPOWER10 内置嵌入式矩阵数学加速器，使得 FP32、BFloat16 和 INT8 计算的 AI 推理速度分别快 10 倍、15 倍和 20 倍，提高企业 AI 推理工作负载的性能，帮助企业采用他们训练的 AI 模型，并将其应用到实际工作中。凭借 IBM 的多种 AI 软件组合，IBMPOWER10 有望将 AI 工作负载融入典型的企业应用中，以从数据中收集更具影响力的洞察。

构建未来的企业混合云

此外，随着针对 RedHatOpenShift 与硬件优化，IBM 将打造出未来可期的混合云。三星电子将负责生产 IBMPOWER10 处理器，将三星业界领先的半导体制造技术与 IBM 的 CPU 设计实现完美结合。

邹丽雪选摘自

<https://www.ibm.com/news/cn/zh/2020/08/21/20200821.html>

台积电 N12e 技术：驱动下一代支持人工智能及 5G 物联网的边缘装置

2020 年 08 月 24 日，台积电开发 N12e 技术，特别针对支持人工智能化的物联网装置及其他高效率、高效能的边缘装置。N12e 将台积电世界级的 FinFET 晶体管技术带入物联网领域，传承台积电 2013 年首度问世的 16 纳米 FinFET 技术，经过多年来工艺的开发与改善，N12e 奠基于台积电的 12FFC+ 超低漏电技术。台积电 16/12 纳米技术家族应用于现今的超级计算机、以及绘

图处理器与网络处理器等高效能运算装置。

相较于台积电公司 22ULL 技术，N12e 技术提供：

(1) 逻辑密度提升 76% - 实现更小更具成本效益的设计，在相同特定面积上容纳更多晶体管以增加运算核心与记忆容量。

(2) 在特定功耗下速度增快 49% - 在任何特定功耗水平上对于物联网装置都是一大跃进。相较于平面式技术，N12e 技术具备更大的运算效能，能够支持更优异的产品功能。

(3) 在特定速度下功耗改善 55% - N12e 技术广泛提供各种从高效能与功耗的选择来支持多样的产品设计。

(4) SRAM 漏电流降低超过 50% - 对于延长电池寿命而言至为关键，同时能够降低热能产生与散热。

(5) 低 Vdd 设计生态系统解决方案 - 降低主动功耗与漏电功耗支持电池供电产品延长电池寿命。

支持物联网产品的台积电公司 16/12 纳米超高效能 FinFET 技术提供显而易见的效能优势，同时透过严密的参数调整更进一步提升功耗效率及降低漏电，尤其更是大幅改善关闭状态漏电特性。

随着物联网装置演进至 5G 与人工智能的时代，需要崭新的基本半导体技术来支持更高效能、更佳功率与更低漏电的要求，台积电公司 N12e 能够在各种产品特性要求之间提供最佳的平衡，5G 及人工智能支持的崭新物联网装置令人兴奋且期待。

邹丽雪选摘自

https://www.tsmc.com/schinese/newsEvents/blog_article_20200802.htm

《集微技术信息简报》是由中国科学院文献情报中心情报研究部承担编辑的半导体、集成电路、微电子相关领域科技信息综合报道及专题分析简报（双月报），于2014年3月正式启动，2014年为季度发行的《光刻技术信息简报》，2015年更名《集微技术信息简报》双月发行，2017-2018年根据服务内容聚焦点更名《第三代半导体技术信息简报》。2019年起卷名恢复《集微技术信息简报》。按照“统筹规划、系统布局、分工负责、整体集成、长期积累、深度分析、协同服务、支撑科研”的发展思路，规划和部署《集微技术信息简报》。《集微技术信息简报》服务对象是集成电路、微电子领域的相关领导、科技战略研究专家和科研一线工作者。《集微技术信息简报》内容力图兼顾科技决策和管理者、科技战略专家和领域科学家的信息需求，报道集成电路、微电子领域的国际科技战略与规划、科技计划与预算、科技进展与动态、科技前沿与热点、重大科技研发与应用、重要科技政策与管理等方面的最新进展与发展动态，不定期提供半导体、集成电路、微电子领域热点方向的专题分析。

《集微技术信息简报》是内部资料，不公开出版发行；除了其所报道的专题分析报告代表相应作者的观点外，其所刊载报道的中文翻译信息、汇编信息等并不代表编译者及其所在单位的观点。

NSTL 微电子器件及集成专项情报服务团队

执笔人：王丽 沈湘 邹丽雪 于杰平

联系人：王丽

电话：010-82626611-6649

电子邮件：wangli@mail.las.ac.cn

