



国家科技图书文献中心

National Science and Technology Library

集微技术信息简报

2020 年第 **6** 期 (总第 39 期)

中国科学院文献情报中心

2020 年 11 月制

本期目录

政策计划

韩国政府发布《人工智能半导体产业发展战略》 1

美国 SIA 和 SRC 联合发布《半导体十年计划》临时报告 2

美国国防部近期投入 2 亿美元发展微电子学 6

产业洞察

IMEC: 逻辑器件继续向 1nm 技术节点迈进的路线分析 8

前沿研究

瑞士洛桑联邦理工学院研发出基于二维材料、兼具逻辑操作和数据存储功能架构的计算机芯片 19

美国加州大学伯克利分校成功制造首个完全碳基的晶体管碳金属线 21

美国 Watson 研究中心研发出物联网尘埃 III-V 光伏器件 23

德国奥地利研究人员合作开发出纯磁振子集成电路 25

美国德克萨斯大学奥斯汀分校研究人员创造世界最小的原子存储单元 27

应用实施

Umicore 开发出适用 VCSEL 应用的 6 英寸锗晶圆 29

Picosun 的集群 ALD 解决方案支持下一代电力电子设备 30

Riber 与 Comptek 合作将 Kontrox 技术商业化 31

Nordic Semiconductor 将于十月发布其第十亿个基于 Arm Cortex-M 的无线 SoC 32

意法半导体推出首款集成在一个封装中的硅基驱动器和 GaN 晶体管 33

韩国政府发布《人工智能半导体产业发展战略》

2020 年 10 月 12 日，为实现人工智能（AI）强国，韩国政府发布了《人工智能半导体产业发展战略》，围绕 AI 半导体产业提出了技术、人才、工业生态系统相关的创新战略。该战略提出 2030 年之前在 AI 半导体领域拥有 20% 全球市场份额、20 家创新公司、3000 名顶级工程师，发布 50 种满足特定需求的 AI 芯片，投入 700 亿韩元资助本土芯片制造商达成相关目标。韩国科学和信息通信技术部（Ministry of Science and ICT）将牵头推动该战略的具体实施。

一、技术和人才创新战略

主要任务包括：（1）拥有全球最先进的技术。一方面通过 AI 半导体旗舰项目促进该领域的设计、设备、工艺技术发展，确保韩国在 AI 半导体技术领域的国际领先地位和国内相关产业的国际竞争力。另一方面，利用韩国存储器技术的国际领先优势发展存算一体化的半导体技术新范式。（2）解决技术与商业化之间的壁垒。一方面通过建立国家 AI 和数据基础设施试点和推广工作，来推动初始市场需求，例如通过公私合作建立 AI 专用基础架构、超级计算机、AI 云平台等基础设施。另一方面采取专项行动，支持企业突破软件等技术难题，创建产学研生态系统。（3）培养下一代 AI 半导体专业人才。一方面以满足产业需求为靶向，企业和政府合作投资建设一流的大学，培养高素质专业人才。另一方面加强对实际业务的支持，培养实践型、融合性人才，进而推动技术与产业的融合，例如重视 AI 半导体技术领域的大学生和在职人员的基础教育和实践训练，并通过竞赛类计划挖掘优秀人才。

二、产业生态系统创新战略

主要任务包括：（1）开发满足公、私共同需求的产品。一方面通过强化供需联动尽可能缩短产品进入市场的周期。另一方面结合公共服务产品研发创新，支持 AI 半导体的初始市场。（2）构建互惠共赢的价值链。一方面，建立团结合作的生态系统以促进 AI 半导体领域的整体设计能力。另一方面，建立高技术集群以提升 AI 半导体领域的制造能力，为开发支撑下一代 AI 半导体技术的材料

和工艺奠定基础。(3) 加强企业型基础设施建设。一方面利用韩国新政和半导体领域的相关政策优势进行大规模融资, 激发 AI 半导体产业的活力、发展创新性企业、扩大初创企业规模等。另一方面建立 AI 半导体无晶圆厂设计中心 (Fabless) 的密集型支持系统, 如设立支撑中心为 Fabless 设计中心提供政策咨询服务, 提供 MPV 原型制造、EDA 工具、国内 IP 核、成本规划等设计基础设施; 创建 AI 半导体创新设计中心, 提供空间、技术、教育等方面的支持; 建立初始市场支持系统, 加强新兴 Fabless 设计中心与国内现有 IP 公司、设计公司、代工厂的联系; 此外, 放松管制, 加强知识产权保护, 为 Fabless 设计中心提供成长环境。

于杰平 王丽编译自

https://english.msit.go.kr/web/msipContents/contentsView.do?cateId=_policycom2&artId=3137757

<https://www.communicationstoday.co.in/south-korea-aiming-to-become-ai-semiconductor-industry-powerhouse/>

<https://www.theburnin.com/industry/south-korea-hopes-create-50-new-ai-processors-2030-2020-10-13/>

美国 SIA 和 SRC 联合发布《半导体十年计划》临时报告

2020 年 10 月 15 日, 美国半导体行业协会 (SIA) 和半导体研究公司 (SRC) 联合发布《半导体十年计划》临时报告, 概述了未来十年内芯片研究和资助的优先事项, 确定了影响未来芯片技术发展的五个重大变化 (seismic shifts) 领域。报告在制定过程中吸纳了学术界、政府和工业界等各界领导者的意见和建议, 呼吁美国在未来十年内增加两倍的联邦拨款 (即每年增加 34 亿美元) 用于半导体研究, 建立新的公私合作伙伴关系以覆盖广泛的相互依存的技术领域和多学科团队, 以市场为导向组织和协调投资来支持关键技术研发。正式报告将

于 2020 年 12 月发布。

一、《半导体十年计划》的主要目标

《半导体十年计划》概述了未来信息通信技术（ICT）产业的全球驱动和制约因素，聚焦创新解决方案并衡量相关影响，提出了三个关键目标：（1）识别驱动 ICT 发展的半导体技术的重要发展趋势、应用和挑战；（2）定量评估五个重大变化领域对 ICT 发展的潜在影响；（3）确定改变半导体技术现有发展轨迹的基本目标，以更好地应对未来挑战。

二、五个重大变化领域

1. 智能感知

智能接口连接真实物理世界和虚拟机器世界，具有感知、洞察和推理能力的智能接口需要模拟硬件技术的根本性突破。“十年计划”每年投资 6 亿美元用于模拟-信息压缩/规约，达到 105:1 压缩/规约比，为实现类脑方式的信息使用奠定基础。图 1 描述了“智能感知”领域的优先研究事项，具体为：（1）“模拟-数字”转换后进而实现“模拟-信息”转换和“感知-行动”转换；（2）可训练的神经形态信号转换器；（3）模拟仿生机器学习；（4）THz 波段模拟；（5）模拟开发方法。

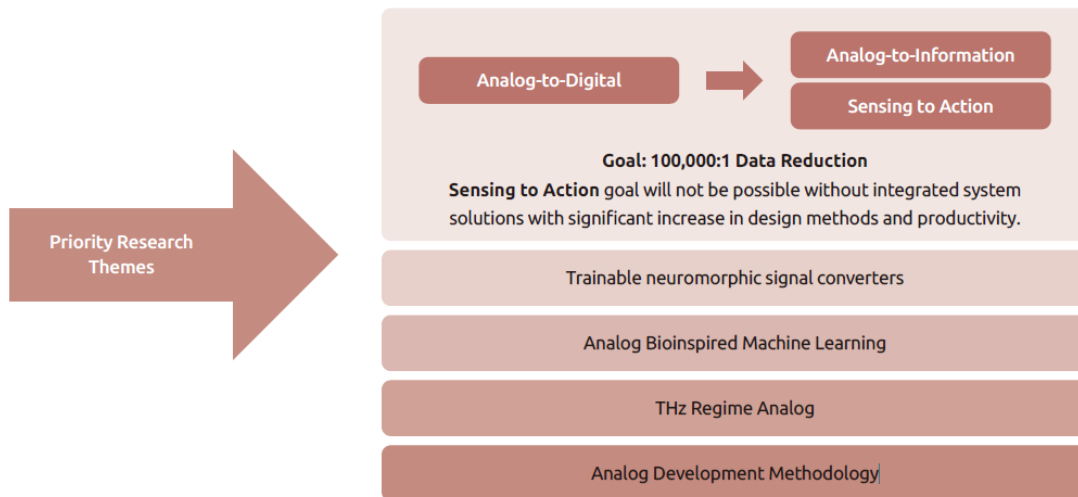


图 1 “智能感知”方向的优先研究事项

2. 存储器

存储器需求增长将超过全球硅供应，这为全新的存储器和存储解决方案带

来机遇。“十年计划”每年投资 7.5 亿美元用于开发密度>10-100 倍的新存储器结构，且实现存储层次的每层能效优化；探索新的存储技术，实现存储密度提升>100 倍且新的存储系统能够利用这些技术。图 2 描述了“存储器”领域的优先研究事项，具体为：（1）快速、高密度、高效能、低成本、嵌入式非易失性存储器；（2）新信息表示范式的储存器和存储技术；（3）量子处理器的存储器；（4）根本性新型存储技术，例如 DNA 存储。

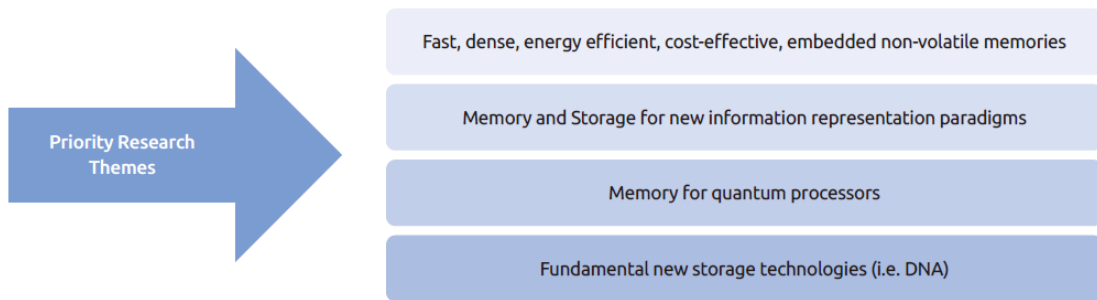


图 2 “存储器”方向的优先研究事项

3. 通信

通畅的通信需要解决通信能力与数据生成率之间的不平衡。“十年计划”每年投资 7 亿美元用于开发先进的通信技术，实现以 1Tbps@<0.1nJ/bit 的峰值速率运行 100-1000 zettabyte 的年度数据；开发智能和敏捷型网络，以有效利用带宽来最大化网络容量。图 3 描述了“通信”领域的优先研究事项，具体为：（1）通信新物理学；（2）毫米波 CMOS 芯片；（3）具有 1000 根天线的多输入多输出（MIMO）系统；（4）毫米波滤波器和隔离器；（5）铜缆和光缆的密度和效率。



图 3 “通信”方向的优先研究事项

4. 安全

高度互联系统和人工智能带来的新兴安全挑战需要在硬件研究方面取得突破。“十年计划”每年投资 6 亿美元用于安全和隐私硬件的发展，以应对新技术威胁和应用（如可信赖人工智能系统、安全硬件平台以及后量子 and 分布式密码算法）。图 4 描述了“安全”领域的优先研究事项，具体为：（1）可信赖人工智能系统；（2）未来硬件平台的安全性和隐私性，这些硬件平台由异构和专用组件构成，并涉及诸如量子 and 神经形态等新计算范式；（3）新兴密码学，例如支持新应用的同态加密和阻止新型攻击的后量子算法；（4）新系统架构的安全性，包括从物联网到边缘再到云的各种架构；以及大规模分布式处理的安全性，如区块链方面。

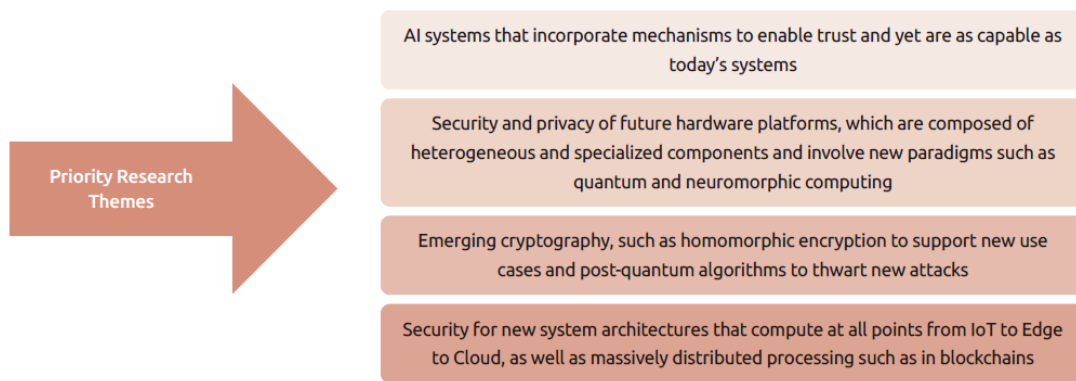


图 4 “安全”方向的优先研究事项

5. 能源效率

日益增长的计算能源需求正在增加新的风险，而新的计算范式为显著提升能效提供了机会。“十年计划”每年投资 7.5 亿美元用于探索新的计算范式和架构，拥有全新的计算轨迹，可证明能达到的能效提升 100 万倍。图 5 描述了“能源效率”领域的优先研究事项，具体为：（1）香农计算框架：从图灵到香农再到近似计算；（2）高维表示；（3）人工智能处理器，需要“寒武纪爆发”式的变化；（4）量子计算机中算力和能耗的分离。

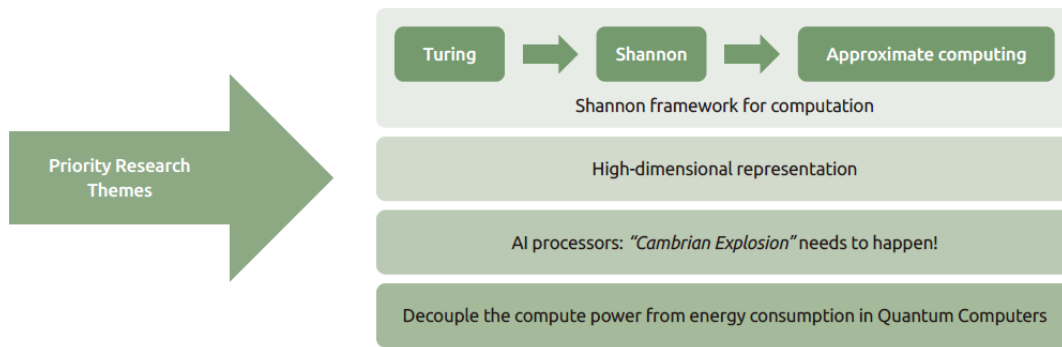


图 5 “能源效率”方向的优先研究事项

于杰平 王丽编译自

<https://www.semiconductors.org/semiconductor-industry-announces-research-and-funding-priorities-to-sustain-u-s-leadership-in-chip-technology/>

美国国防部近期投入 2 亿美元发展微电子学

2020 年 10 月 15 日，美国国防部（DOD）宣布已拨款 1.97 亿美元用于推进微电子学技术发展和加强微电子学产业基础。

一、投资领域

这项资金将通过美国 DOD 的两个项目发放：

（1）利用先进商业能力开发快速可靠的微电子学原型（RAMP）项目，该项目第一阶段的投资金额为 2450 万美元，将授予微软和 IBM 公司，以推进安全性可衡量、商业前沿的微电子学物理“后道（back-end）”工艺设计方法；

（2）先进异构集成原型（SHIP）项目，该项目第二阶段的投资金额为 1.727 亿美元，将授予英特尔和 Qorvo 公司，以开发和展示一种新的方法，实现先进封装解决方案的安全性可衡量、异构集成和测试。

这两个项目强调了 DOD 致力于通过发展新型制造能力和新的芯片架构来加

快国家微电子学创新的步伐。

二、投资背景

微电子学产业将支持国防部其他技术优先事项的发展，如人工智能、5G 通信、量子计算和自动驾驶。美国 DOD 研究与工程代理副部长 Michael Kratsios 表示：“微电子学产业是美国经济实力、国家安全和技术地位的基础。美国在微电子产业的努力支持了美国 DOD 关于加强微电子学供应链安全，加速美国在电路设计、制造和封装领域的发展使命。为确保美国在未来很长一段时间内引领世界微电子学产业，美国 DOD 和美国工业界的合作至关重要。”

这些项目凸显了国防部正在朝着一个新的可量化的安全战略（quantifiable assurance strategy）迈进，该战略将帮助 DOD 快速、安全地构建和部署前沿微电子学技术。这与以往严重限制 DOD 与先进公司合作的安全模式不同，展示了 DOD 促进安全的前瞻性方法。

于杰平编译自

<https://www.defense.gov/Newsroom/Releases/Release/Article/2384039/department-of-defense-announces-1972-million-for-microelectronics/>

IMEC：逻辑器件继续向 1nm 技术节点迈进的路线分析

2020 年 9 月 22 日，比利时微电子研究中心（IMEC）网站发布了关于未来逻辑器件技术路线的看法，旨在探讨实现 1nm 逻辑器件的前道工序（FEOL）、中道工序（MOL）、后道工序（BEOL）的组合技术路线。IMEC 的 CMOS 器件技术项目经理 Naoto Horiguchi 和纳米级互联项目经理 Zsolt Tokei 认为，在 FEOL 方面应该引入新的器件结构，在 MOL 和 BEOL 方面应该引入新的材料和集成方案。他们讨论了芯片工艺的现状、挑战以及不同的技术路线，力争为芯片制造商提供一条通向 1nm 制程工艺的可能路径。

一、FEOL、BEOL 和 MOL 是逻辑芯片制造的关键模块

先进逻辑芯片制造可以细分为三个独立的模块：FEOL、MOL 和 BEOL。FEOL 包括芯片的有源部分（active parts）的工艺，即芯片底部的晶体管工艺。BEOL 是芯片制造的最后阶段，是指芯片顶部的互连工艺。芯片互连技术一种复杂的布线方案，分配时钟和其他信号，提供电源和接地，将信号从一个晶体管传送到另一个晶体管。BEOL 涉及不同的金属层互连，包括局部互连、中间互连、半全局互连和全局互连。金属层数可多达 15 层，其中局部互连的典型层数是 3 到 6 层。每层都有规则布线的金属线和介电材料，通过金属孔进行垂直互连。

FEOL 和 BEOL 通过 MOL 联系在一起。MOL 通常由极小的金属结构组成，作为晶体管源极、漏极和栅极的接触。这些结构将连接到 BEOL 的局部互连层。随着 CELL 尺寸的缩小，需要连接的引脚数量几乎不变，这意味着工艺难度加大。

随着器件规模缩小到 3nm 及以下，每个模块的工艺面临着很多挑战，这驱使芯片制造商在 FEOL 中研发新型器件结构，在 BEOL 和 MOL 中探索新的材料和集成方案。

IMEC 发表了其对制程微缩路线的看法，并深入探讨了几个未来可能技术路

径，包括 FEOL、BEOL 和 MOL 的主流先进技术。FEOL 方面新的器件结构，包括全环绕栅极（GAA）Nanosheet、Forksheets，以及互补场效应晶体管（CFET）器件，结合先进后道工艺这些结构可即刻改善局部互连层。BEOL 方面的新材料和集成方案，如钌（Ru）、钼（Mo）和金属合金等新材料，混合金属化（hybrid metallization）、半大马士革镶嵌（semi-damascene）、无通孔混合高度（hybrid-height with zero via structures）等集成方案。此外，MOL 方面优化连接的结构微缩协同技术如自对准栅接触（SAGC）和埋入式电源线（BPR），这些技术有助于减少标准单元级的面积，减少局部互连的金属 Track 数，即标准单元高度微缩。

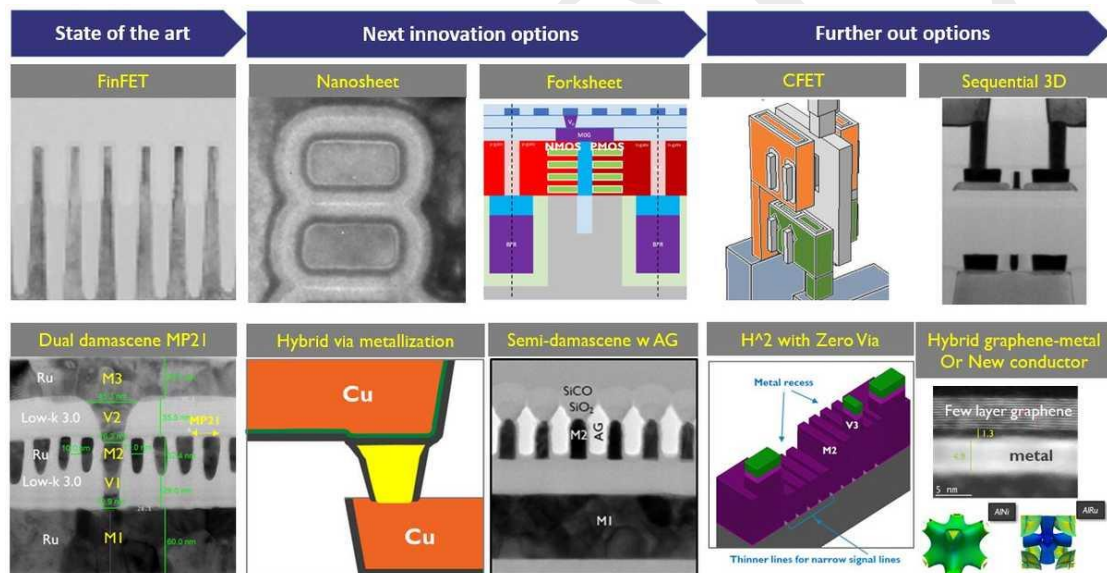


图 1 IMEC 视角下的 CMOS 技术微缩路线图

二、主流先进技术及其微缩瓶颈

1. FEOL 的 FinFET

按照摩尔定律，晶体管的尺寸每两年将缩小 0.7 倍。为了延续摩尔定律，晶体管结构从平面 MOSFET 转向了三维 FinFET。FinFET 的沟道由绝缘衬底上凸起的高而薄的“鳍”（fin）构成，源漏两极分别在其两端，栅极环绕鳍型沟道形成三面控制，有助于消除短沟道效应。2012 年，首批商用 22nm FinFET 工艺投入使用，此后 FinFET 的结构持续改进，以实现性能优化和持续微缩。例如增加“鳍”高可以提高相同覆盖区的器件驱动电流。目前，7nm FinFET 工艺已投入生

产。在最先进节点技术中，6-track 标准单元的每个器件具有 2 个“鳍”，栅间距小至 57nm。

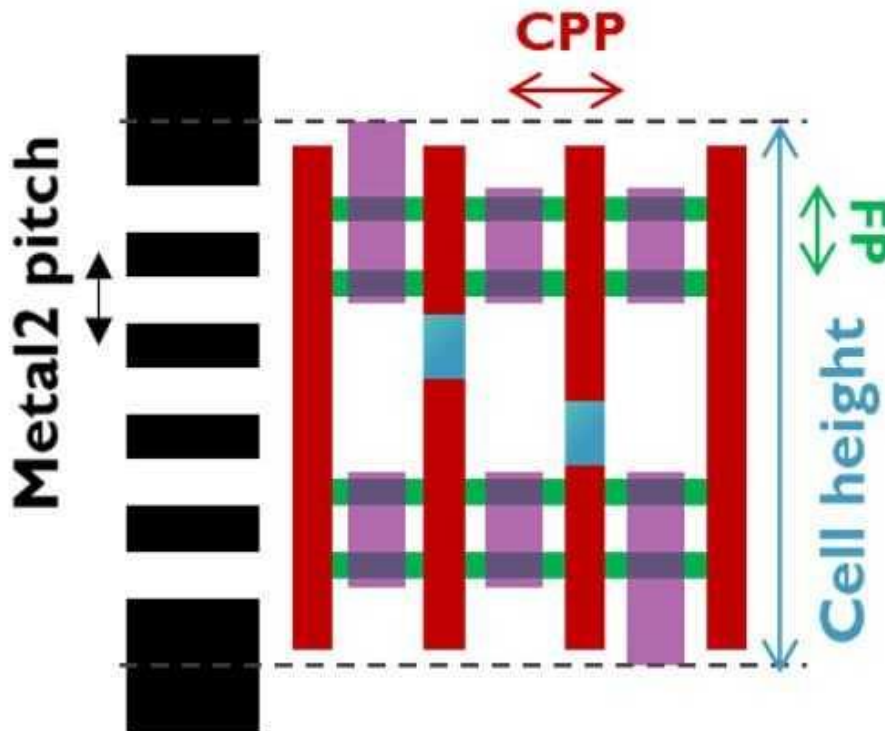


图 2 具有 2 个“鳍”的 6T 标准 CELL 设计（CPP=多晶硅间距；FP=“鳍”间距；黑色为第 2 金属层布线；红色为栅极；蓝色为栅接触；绿色为有源区（如“鳍”）；紫色有源接触）

2. BEOL 中的铜基和钴基双大马士革镶嵌工艺

为了跟上前道工艺微缩速度，BEOL 的金属间距和导线横截面积越来越小。目前，大多数关键的局部互连（M1 和 M2）的金属间距只有 40nm。铜基双镶嵌工艺是互连技术的主要工艺流程。双镶嵌工艺始于在结构上沉积低 k 介电材料，然后形成通孔和沟槽。低 k 薄膜旨在减少寄生电容和芯片延迟。目前领先的逻辑器件制造商均采用的是 EUV 光刻技术，以维持成本效益。光刻图案化之后，通过添加金属阻挡层来防止铜原子迁移到低 k 材料中。阻挡层之后，进行衬垫层和铜籽晶层涂布，然后进行铜电镀，最后进行化学机械抛光（CMP），至此完成双镶嵌工艺流程。

布线拥塞（Routing congestion）和显著的 RC 延迟（由不断增长的电阻电容

引起的) 已成为互连工艺进一步缩放的重要瓶颈, 这推动了在 BEOL 中引入新材料和集成方案的需求。近期, 行业内将钴 (Co) 作为局部互连的替代金属, 以及一些公司将气隙 (airgaps) 作为中间层低 k 介电材料的替代物。

3. 减小接触电阻, 优化 MOL 连接

FEOL 和 BEOL 之间的连接由 MOL 提供。在很长一段时间内, MOL 采用单层接触, 现在已扩展成多层接触, 例如 Mint 和 Vint 层。这些接触层将晶体管的源极、漏极和栅极电信号传送到局部互连层, 反之亦然。

晶体管源极/漏极接触电阻已成为芯片行业的重要问题。随着晶体管尺寸的进一步缩小, 用于制造接触的面积也相应地减小了。由于源极/漏极接触电阻与接触面积成反比, 导致源极/漏极接触电阻急剧增加。IMEC 开发了改进的源极/漏极接触方案, 以减小寄生电阻。IMEC 主要通过提高半导体层的掺杂水平以及优化金属层和半导体层之间的界面质量来实现。

为了进一步优化 MOL 连接, IMEC 引入了结构微缩协同技术。例如, 自对准栅接触, 可以将栅接触直接置于有源部件的顶部, 这使得栅极接入更加灵活, 并减少了整体接触面积。目前, 行业内已采用了这种芯片设计方案, 以进一步提高布线能力。

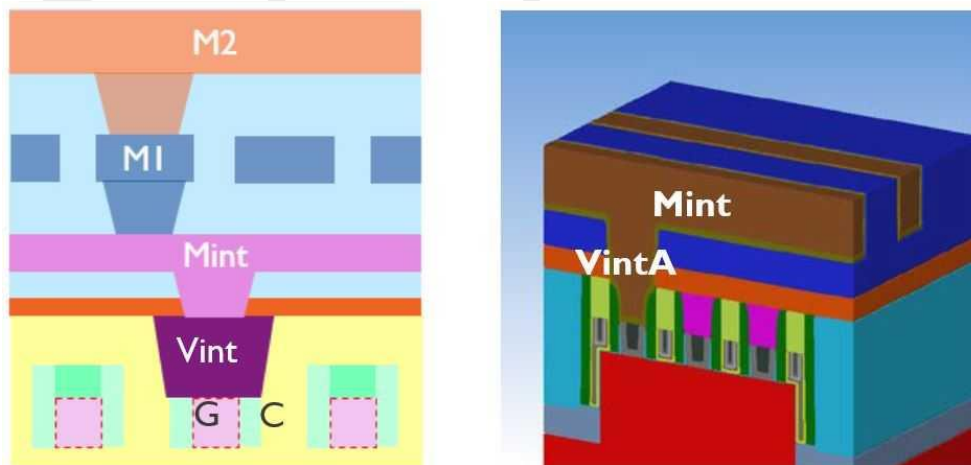


图 3 左侧: MOL 堆叠; 右侧: 自对准栅接触

三、FEOL、BEOL 和 MOL 的未来创新方案

1. FEOL: 垂直堆叠的 nanosheet 器件及其扩展器件 forksheet

随着技术节点微缩至 5 nm 以下, FinFET 器件结构将走到尽头。随着栅极长

度的减小，FinFET 器件将无法提供足够的沟道静电控制。随着更低的标准单元高度（5T），晶体管成为单“鳍”结构，而单“鳍”结构即便增加“鳍”高也无法提供足够的驱动电流。

垂直堆叠的 GAA nanosheet 晶体管引起了人们的关注，可以看作是 FinFET 器件的自然演变。与 FinFET 相比，GAA nanosheet 晶体管的沟道控制性能更好。同时，三维尺度下的更优沟道截面分布将优化每个覆盖区的有效驱动力。

IMEC 自 2015 年就开始致力于研究这种架构，优化了最关键的工艺步骤。垂直堆叠的 GAA nanosheet 晶体管的制造工艺流程包括：（1）多层 Si/SiGe 外延沉积及浅沟槽隔离（STI）模块的形成和填充；（2）选择性去除 SiGe 层，释放出 Si nanosheet 结构；（3）在双功函数替代金属栅（RMG）流程中，围绕 Si nanosheet 层在其周围和中间，形成栅极堆栈。除此之外，IMEC 的研究团队将垂直 nanosheet 之间的间距减小至 10nm 以下，该工艺将显著降低寄生电容。目前，一些芯片制造商正准备向这些器件方向发展以生产下一代芯片。

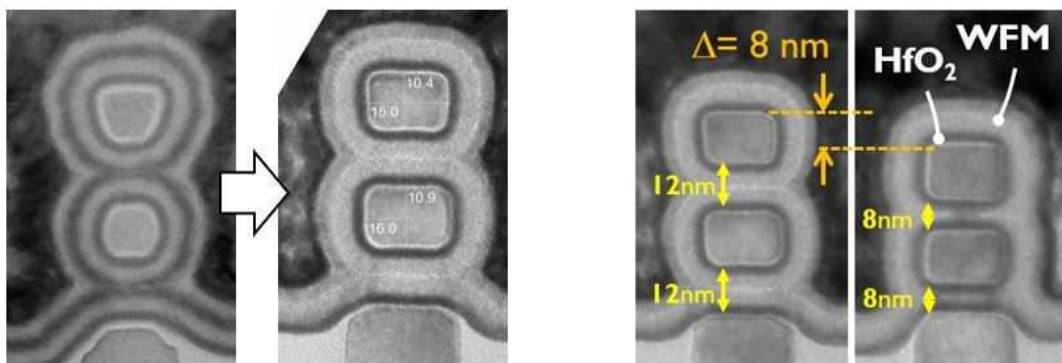


图 4 垂直堆叠的 GAA nanosheet 晶体管优化：左侧，nanosheet 形状控制；右侧，nanosheet 垂直间距缩小

为了将 nanosheet 器件技术节点缩放到 2nm 及以下，IMEC 最近提出了 forksheet 器件结构。forksheet 结构中，器件由叉形栅极结构控制，在 p 型和 n 型器件之间引入介电“绝缘墙”。“绝缘墙”从物理上隔离了 p 型和 n 型沟槽，这使得 n-to-p 间距比 FinFET 或 nanosheet 器件更紧凑。基于仿真结果，IMEC 期望 forksheet 器件结构表现出更优异的空间和性能微缩性（标准单元高度可以从 5T

将至 4.3T)，同时进一步降低寄生电容。如将该结构用于 SRAM 设计中，期望单元面积进一步减小。

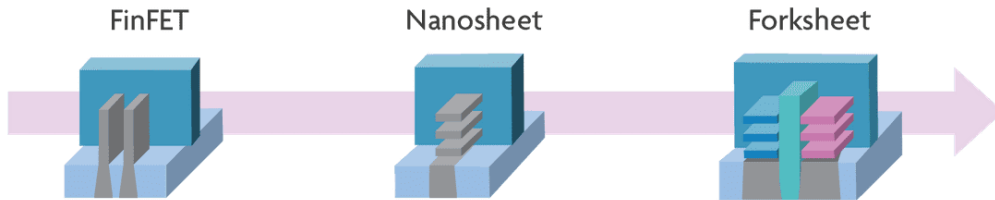


图 5 FinFET、nanosheet、forksheet

2. BEOL：金属杂化和半大马士革

为了跟上 FEOL 中的晶体管尺寸缩放步伐，BEOL 中最关键的局部互连层（M1 和 M2）的金属间距将减小到 21nm。目前局部互连层的通孔临界尺寸小至 12~14nm。在传统的铜基双镶嵌集成方案中，铜金属化之前，阻挡层和衬垫层在沟槽和通孔内沉积形成。然而，在有限的空间里，衬垫层和阻挡层将占据太多的空间，用于铜填充的空间将很小，这将对通孔电阻和可变性产生负面影响。此外，由于高电流密度的要求，电迁移可靠性也面临着挑战。

混合金属化是克服上述挑战一种解决方案，即将替代通孔金属（如钌、钨或钼）以无障碍的方式连接到铜线的底部。这种结构可将铜阻挡层尺寸减小至 2nm，同时保持电迁移可靠性并降低通孔电阻。

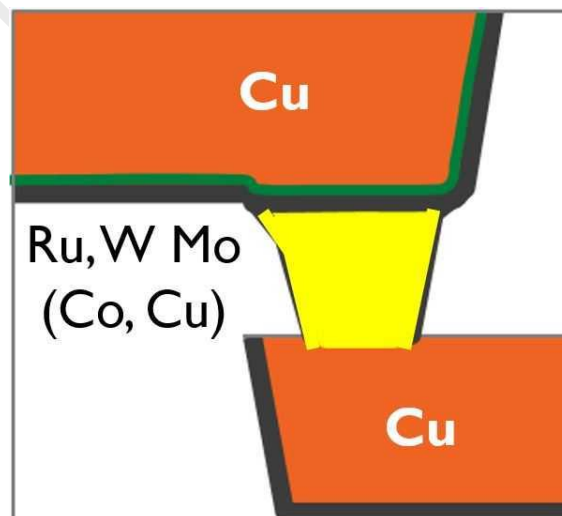


图 6 混合金属化结构示意图

当 BEOL 局部互连层的金属间距将减小到 21nm 以下时，IMEC 选择半大马士革镶嵌工艺作为解决方案。半镶嵌工艺的主要优势是在互连高度增加的同时能保持电容的可控性，从而优化整体的 RC 延迟。

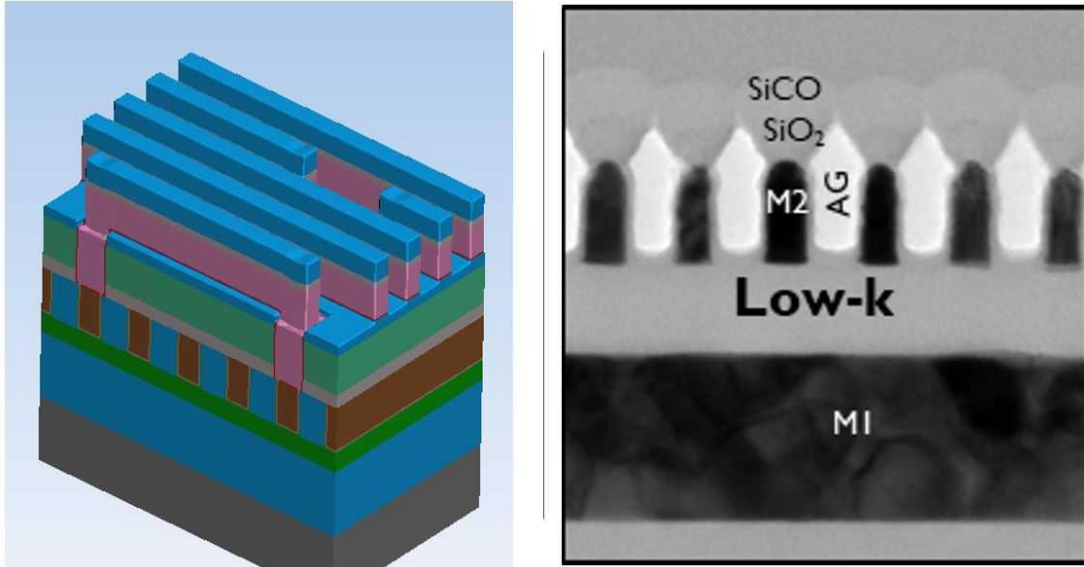


图 7 半大马士革镶嵌模块：示意图和电镜（SEM）图像

从工艺技术的角度来看，半镶嵌工艺使用可图案化的替代金属，并最终形成气隙。双镶嵌和半镶嵌工艺的本质区别是后者省略了金属 CMP 步骤，该步骤是双镶嵌的最后一步。在半镶嵌工艺中，通孔以单镶嵌的方式图案化，然后填充金属直到在电介质上形成一层金属（即，超薄阻挡层金属，如钎或钼），之后通过掩膜和刻蚀形成金属线。与双镶嵌工艺相比，半镶嵌工艺形成的金属线具有高深宽比、低阻抗。半镶嵌工艺中金属图案化之后，线条之间的空隙可以由电介质填充，也可以用于在局部互连层形成部分气隙。

未来第二代半镶嵌工艺，IMEC 期望全气隙，更进一步，有序金属合金可用作导体。半镶嵌工艺将渐进式迭代发展。高深宽比金属线引起的寄生电容增加将会被气隙所抑制。半镶嵌集成方案可以与传统双镶嵌或混合金属化方案相结合，用于最关键的金属层（M1 和 M2）。

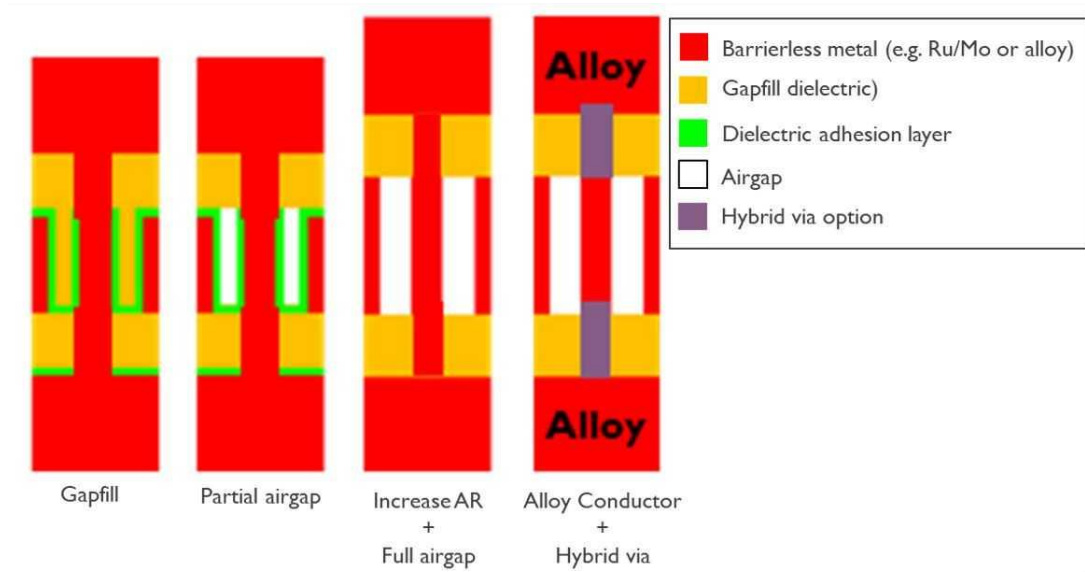


图 8 半大马士革镶嵌工艺技术方案

3. MOL：微缩协同技术助力连接革命

MOL 中结构微缩协同技术的引入可以改善布线。连接优化必将持续发展，实现 MOL 层其它连接，满足器件互连的不同需求。例如，对于 forksheet 器件架构，可以满足其更灵活的栅极连接和栅极切割，从而提高布线灵活性。

另一种新兴的协同技术是埋入式电源线（BPR）。电源线是供电网络的一部分，通常在 BEOL（Mint 层和 M1 层）中实现。然而，BPR 是在 FEOL 中实现，帮助释放互连的布线资源。这一改变将直接影响 FEOL 和 BEOL。

在 2020 年超大规模集成电路（VLSI）会上，IMEC 在 FinFET CMOS 测试中提出了钨-埋入式电源线（W-BPR）集成方案，该方案对 CMOS 特性没有产生负面影响。此外，IMEC 的补充评估研究也显示了 BPR 微缩协同技术在逻辑器件和 SRAM 设计中的系统级优势。

BPR 微缩协同技术可以进一步扩展为通孔 BPR（VBPRs），在 2020 VLSI 会上 IMEC 展示了钨基 BPR，通过 Ru 通孔与 MOL 层（Ru M0A 线）接触，这种结构具有优异的电阻和电迁移性能。

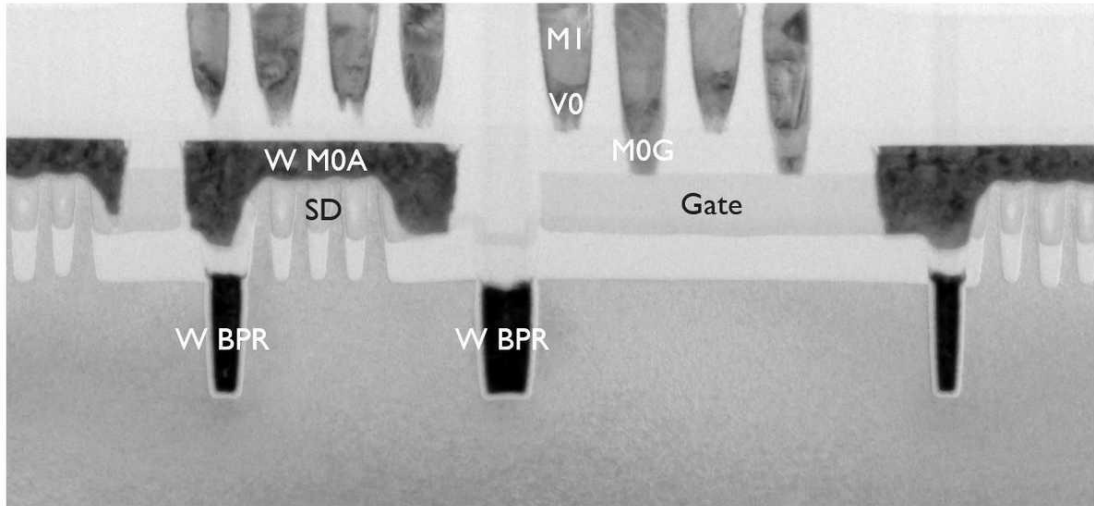


图 9 Si FinFET 集成钨-埋入式电源线 (W-BPR) 的电镜照片 (TEM)

此外，通过创新来进一步降低源极/漏极的接触电阻也十分必要。IMEC 提出环绕接触（通过金属的原子层沉积实现）作为金刚石外延接触的替代物，通过再次扩大接触面积来降低接触电阻。

四、继续向 1nm 制程迈进的进一步解决方案

1. FEOL 的 CFET：通往 3T 逻辑标准单元的道路

标准单元高度降低到 5T 之后，单元高度的进一步降低主要受布线问题的限制，而 CFET 将缓解这种限制，为延续摩尔定律提供了可能。CFET 的概念在于将 nFET“折叠”在 pFET 之上（fin-on-fin 或 sheet-on-sheet），充分利用三维尺度的器件缩放可能性。CFET 架构优势是面积缩放，在更小的版图面积上实现 3T 逻辑标准单元和 SRAM 单元。

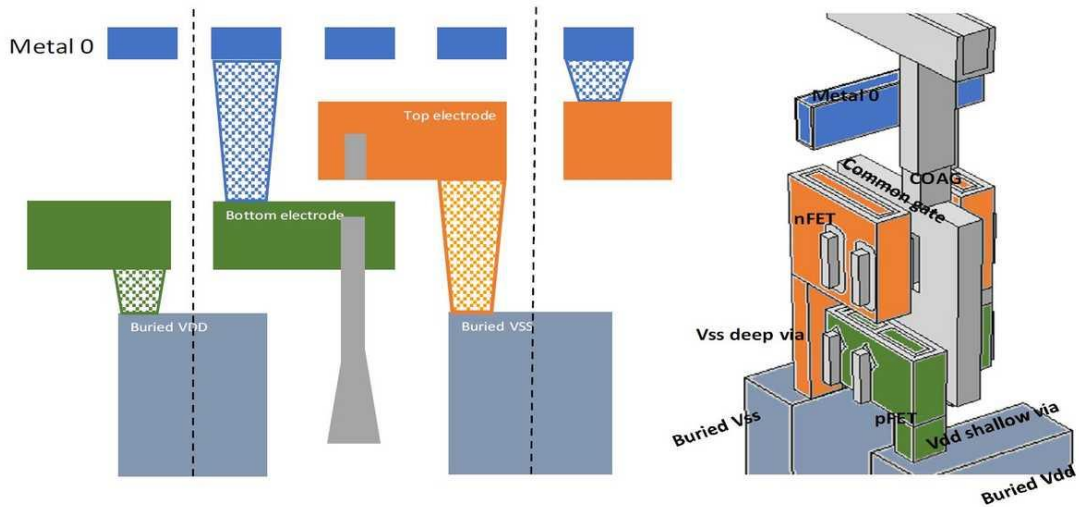


图 10 CFET 结构

IMEC 一直努力攻克 CFET 制造的关键工艺。在 2020VLSI 会上，IMEC 展示了 CFET 器件的第一个实验概念证明，本次 CFET 采用单片工艺流程。目前，顺序 CFET 是另一种替代集成工艺，工艺流程相对简单。在顺序 CFET 中，底层器件（如 pFET）加工之后，通过晶圆键合形成顶层器件（如 nFET）沟道，然后再进一步加工顶层器件，这种方案使顶层器件可以更灵活地选择沟道材料。

2. BEOL：“无通孔混合高度”及替代导体

金属线和通孔的电阻和电容是 BEOL 最关键的参数。“无通孔混合高度”是金属化结构的一种解决方案，可以根据金属线的应用需求灵活地实现电阻电容交换。该方案是将每个金属层分成三个独立的子层：一条中心线及其上下可能的延伸。每个金属层有四种可能的情况：（1）中心线；（2）中心线+向下延伸；（3）中心线+向上延伸；（4）中心线+向上和向下延伸。这允许在相同覆盖区内调整金属线的深宽比，例如：用作电源线则对电阻非常敏感，可以提高深宽比（低电阻）；用作信号线，中心线需要保持低电容。这种结构不仅可以灵活地进行电阻电容交换，而且有望提高整体能效和速度。

从工艺角度看，不同的高度可以通过金属凹槽刻蚀来实现的。凹槽一通到底，刻蚀线可以用作垂直通孔连接，从而省略了传统通孔结构。IMEC 正在解决“无通孔混合高度”结构带来的各种挑战。

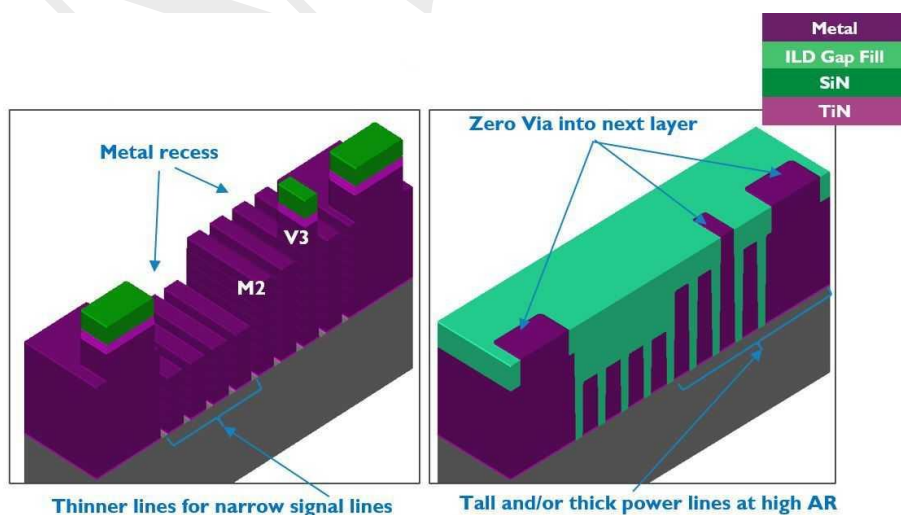


图 11 “无通孔混合高度”应用于 M2 层

此外，将标准单元减小至 3 至 4T 要求极低电阻导体。IMEC 探索了多种新

型导体材料，这些材料有望比钌和钼具有更好的品质因数。这里品质因数定义为体电阻率乘以金属载流子的平均自由程。极小尺寸下具有低电阻率的有序二元金属间化合物，如 AlNi 或 RuV_3 ，引起了人们的兴趣。虽然寻找下一代新的导体面临诸多挑战，但世界各地的一些研发小组认同这一想法并开始探索新的导体材料。

从长远来看，石墨烯-金属混合导体也是一种有潜力的候选材料。石墨烯原子层非常薄，具有高导电性和高热导率，但它没有足够的载流子来用作局部互连。混合金属可以调节石墨烯的电导率。石墨烯-金属混合方案中，金属（如铜、钌、钼等）被石墨烯包裹。IMEC 早些时候展示了这种金属/石墨烯混合方案的低电阻率和高热稳定性。

3. MOL

为了进一步缓解布线拥挤并满足新晶体管结构的要求，MOL 层需要进一步创新。例如，CFET 需要新的栅极接触解决方案，这对于 nFET 和 pFET 器件来说是通用的。此外，高深宽比通孔将各种构件（已扩展成三维结构）互连起来，但这些通孔的主要寄生电阻需要降低，先进的 MOL 接触（如钌）将有望降低寄生电阻。

于杰平 王丽摘译自

<https://www.imec-int.com/en/articles/view-logic-technology-roadmap>

瑞士洛桑联邦理工学院研发出基于二维材料、兼具逻辑操作和数据存储功能架构的计算机芯片

到目前为止，计算机芯片的能源效率一直受到他们目前使用的 von Neumann 体系结构的限制，即数据处理和数据存储在两个独立的单元中进行。这意味着数据必须在两个单元之间不断地传输，这会消耗大量的时间和精力。基于机器学习的应用程序越来越重要，这推动了开发专用、节能的电子硬件的需求。与具有独立处理和存储单元的 von Neumann 体系结构相比，大脑的内存计算使用相同的基本设备结构同时进行逻辑操作和数据存储，有望降低以数据为中心的计算的能源成本。虽然目前有大量的研究集中在探索新型器件结构上，但是适合这种器件设计的材料工程仍然是一个挑战。二维材料如 MoS₂（二硫化钼）半导体，由于其优异的电性能和机械性能，有望成为此类材料工程的候选材料。

瑞士洛桑联邦理工学院（EPFL）纳米电子与结构实验室的工程师们开发出一种计算机芯片，首次将二维材料用于内存逻辑架构，把逻辑操作和数据存储两个功能结合到一个架构中。

EPFL 芯片由 MOS₂ 制成，它是一种二维材料，由只有三个原子厚的单层组成的性能优越的半导体。该研究团队几年前就已经研究了 MOS₂ 的特定特性，发现它特别适合电子应用。

EPFL 芯片基于浮门场效应晶体管（FGFET）。这些晶体管的优点是它们可以长时间保持电荷；它们通常用于相机、智能手机和计算机的闪存系统。MOS₂ 独特的电气特性使其对 FGFET 中存储的电荷特别敏感，这使得研究人员能够开发既作为存储单元又可编程晶体管的电路。通过使用 MOS₂，他们能够将许多处理功能合并到单个电路中，然后根据需要更改它们。

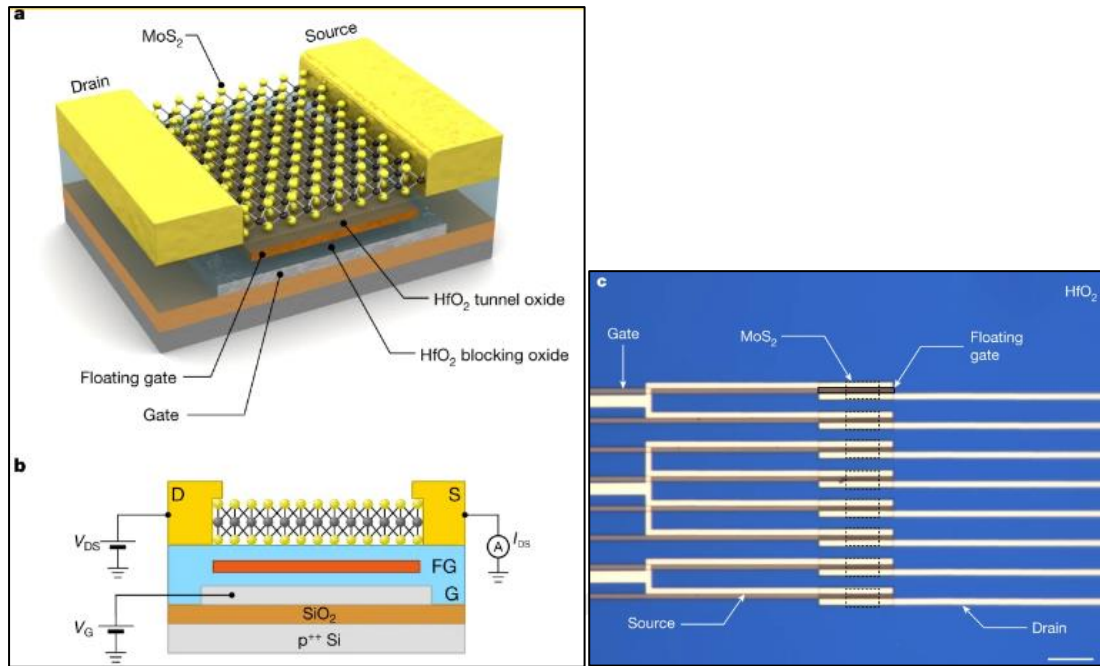


图 1 a 基于 MOCVD 生长的单分子层 MoS₂ 的浮栅存储器的三维视图；b 装置示意图；c 制造的浮栅存储器阵列的光学图像，包括八个存储单元（盒装）

这种电路执行两种功能的能力类似于人脑的工作方式，在人脑中，神经元既参与存储记忆，又参与心理计算。该电路设计有几个优点，它可以减少与在内存单元和处理器之间传输数据相关的能量损失，减少计算操作所需的时间，并缩小所需的空间量。这为更小、更强大、更节能的设备打开了大门，将对人工智能系统带来重大好处。

该研究团队还获得了用二维材料制造电路的深入专业知识。十年前手工制造了第一块芯片，然后开发了一种先进的制造工艺，能够在一次生产中制造出 80 个或更多的芯片，并且性能可控。

该研究成果发表在《Nature》，2020, 587:72–77, 题目：“Logic-in-memory based on an atomically thin semiconductor”。

沈湘摘译自

https://www.eurekalert.org/pub_releases/2020-11/epfd-ncc110520.php

<https://www.nature.com/articles/s41586-020-2861-0>

美国加州大学伯克利分校成功制造首个完全碳基的晶体管碳金属线

为打破传统硅基芯片发展面临的物理制约瓶颈，科学家们近年来开始研究替代硅基芯片的新型材料，碳基晶体管以其优越的性能，成为提高计算机运行速度，降低电子设备功耗的一代新星。理论上来说，碳晶体管的极限运行速度是硅晶体管的 5-10 倍，而功耗方面，却只是后者的十分之一。

但是，多年来一直面临制造工艺、材料等方面的发展难题。迄今为止，构建工作碳电路所需的一套工具仍然不完整。用同一种材料制造所有电路元件的能力会使制造变得更加容易，而这一直是全碳基集成电路架构中缺少的关键因素之一。

美国加州大学伯克利分校和劳伦斯伯克利国家实验室、由化学家和物理学家组成的跨领域研究团队创造出了一种完全由碳制成的金属线，这是制造碳基电路工具箱中的最后一个工具，为进一步开展研究以建立碳基晶体管奠定了基础，加速了碳基计算机的实现。

金属线可在设备之间传递电流，如用于连接计算机芯片中晶体管的金属通道，并使晶体管内的半导体元件相互连接。研究小组正在努力实现用石墨烯纳米带制造半导体和绝缘体，石墨烯纳米带是一维窄的一维原子厚的石墨烯带，这种结构完全由碳原子组成，排列成相互连接的六边形，类似于鸡肉线。金属石墨烯纳米带具有可与二维石墨烯本身的电导率相媲美的特性。

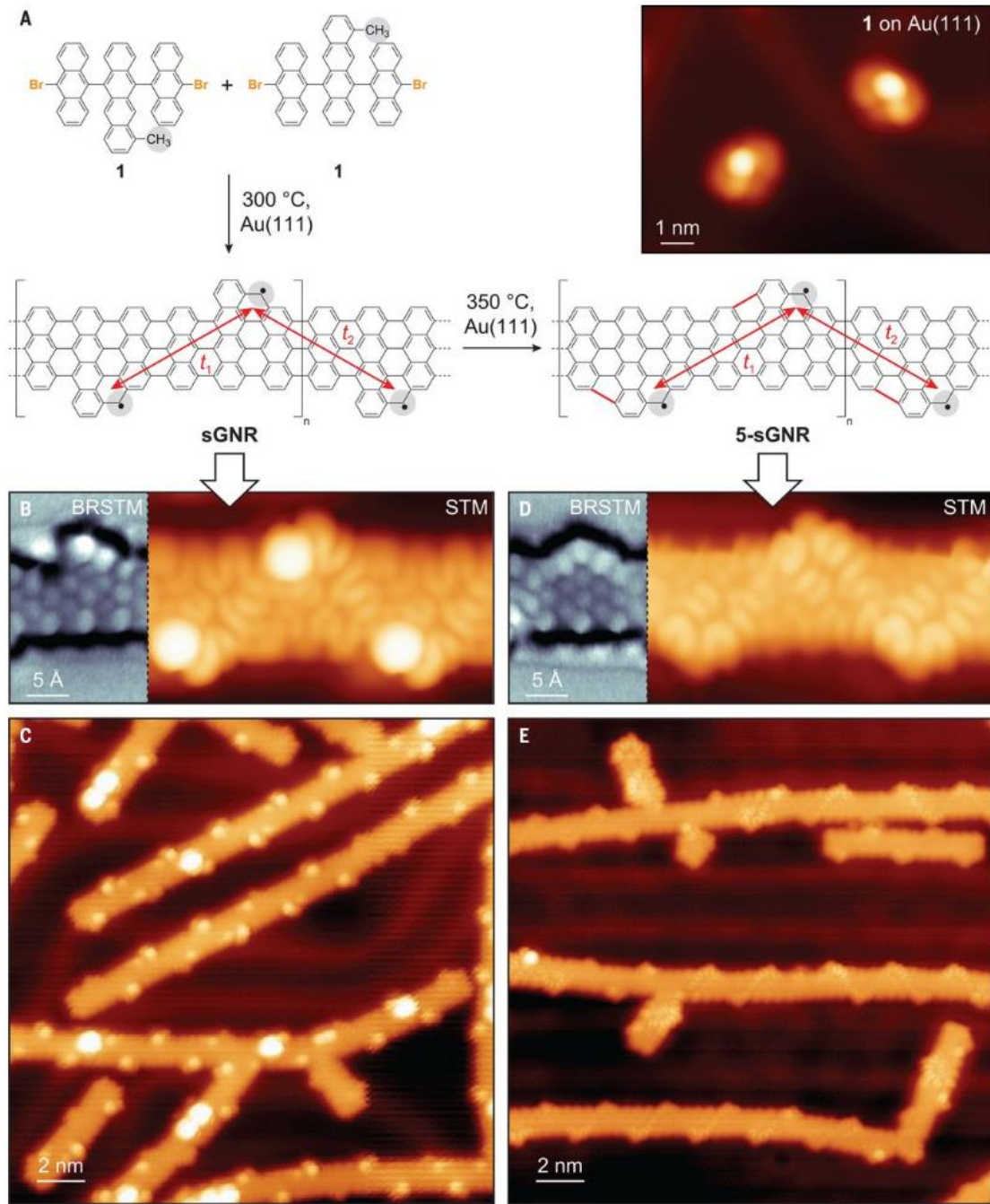


图 1 自底向上合成石墨烯纳米带

新的碳基金属也是石墨烯纳米带，但设计时要注意全碳晶体管中半导体纳米带之间的导电电子。金属纳米带是通过将它们由较小的相同构造块、采用自下而上的方法组装而成。每个结构单元均贡献一个电子，该电子可沿纳米带自由流动。

研究人员展示了一种通过将零能模式的对称超晶格插入到石墨烯纳米带来诱导石墨烯纳米带金属性的通用技术。研究人员使用简单的加热使分子发生化

学反应，并以正确的方式结合在一起，使石墨烯纳米带产生了微小的变化，即每 100 个原子中只有一个化学键发生了变化，但是这将纳米带的金属性提高了 20 倍。新的纳米带的电子状态就是一种金属，如研究人员之前设想一样，每个部分都贡献一个导电电子。研究人员用扫描隧道光谱、第一原理密度泛函理论和紧密束缚计算验证了所得金属丰度。结果表明，通过有意破坏亚晶格对称性来控制零模波函数的重叠，可以在较宽的范围内调谐金属带宽。

该研究成果发表在《Science》，2020, 369 (6511): 1597-1603, 题目：“Inducing metallicity in graphene nanoribbons via zero-mode superlattices”。

沈湘摘译自

https://www.eurekalert.org/pub_releases/2020-09/uoc--mwo091720.php

<https://science.sciencemag.org/content/369/6511/1597>

美国 Watson 研究中心研发出物联网尘埃 III-V 光伏器件

微电子技术的进步使得尘粒 (<1 mm) 大小的自主边缘计算平台得以实现，为最终用户和物联网 (IoT) 应用带来高效、低成本的人工智能。这些紧凑型高性能边缘计算机的关键挑战是集成电源，以满足高功率密度要求，且不会增加封装的复杂性和成本。

近期，美国 IBM T J Watson 研究中心开发了一种晶圆级封装工艺，将 III-V 光伏 (PV) 器件与电子元件集成起来，以实现物联网 (IoT) 应用。研究表明，生长在硅和绝缘体硅 (SOI) 衬底上的灰尘大小的 III-V 光伏 (PV) 电池可以使用晶圆级封装工艺进行集成，并获得比之前在 Si 和 SOI 衬底上的所有微型 PV 更高的功率密度。研究团队认为他们的工作有助于实现分布式边缘计算，在这种计算中，数据的处理和存储在接近其使用位置的地方进行，从而减少响应时间并增加带宽。这些系统需要自主电源。

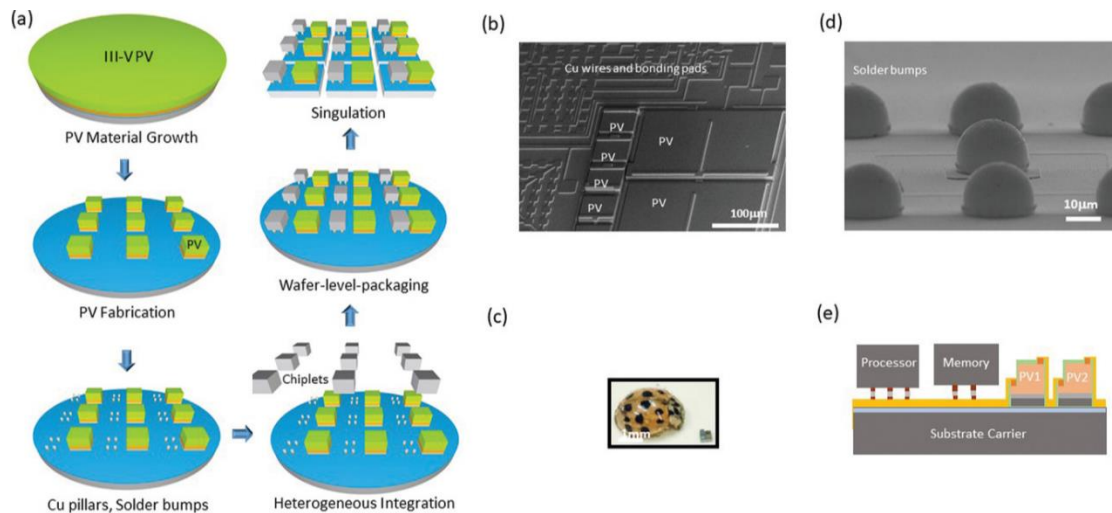


图 1 小内存边缘计算机的晶圆级高吞吐量处理示意图

III-V 半导体异质结构被用于实现高功率密度。高吞吐量和低成本是部署的关键。以前的 wirebond 和芯片堆叠尝试都受到了吞吐量和成本的限制。

研究人员在 SOI 衬底上制造光伏组件，与处理器和存储器组件的互连是通过电镀铜与铜柱连接在焊料凸点上。单独制造的处理器和存储器“芯片组”被连接在晶圆级工艺中，并采用深反应离子刻蚀以降低切口损耗。

研究人员设想，这些设备将通过激光或大功率 LED 照明进行能量传输。然后能量可以储存在片上电池中或直接使用。研究人员制作了两种类型的光伏电池：一种是设计用于在 1V 左右的电压水平下传输光电流的大电池，另一种是根据特殊需要增加电压。光伏电池尺寸在 $45\mu\text{m} \times 45\mu\text{m}$ 至 $400\mu\text{m} \times 200\mu\text{m}$ 之间。

研究人员发现，使用 LED 而不是激光二极管光源有一些好处：较大的光斑尺寸使其对失调有更高的容忍度，而且 LED 不太可能损害视力。IBM 使用双透镜准直和聚焦装置，用大功率 LED 照亮光伏设备。

研究人员使用了 $1.5\mu\text{m}$ 砷化镓 (GaAs) 吸收结构 (图 2)，在 800nm $10\text{W}/\text{cm}^2$ 光输入下，可实现约 60% 的功率转换效率，而在 450nm 照明条件下， $1.5\mu\text{m}$ Si 基器件的功率转换效率仅为 25%。当硅的厚度增加到 $9\mu\text{m}$ 时，在 650nm 光照下，效率提高了 35%。采用 $100\mu\text{m} \times 100\mu\text{m}$ GaAs 基抗反射膜光伏器件，在 830nm 1mw 光照下实现了 40% 的功率转换。这与在 GaAs 衬底上生长的结构 (45%) 接近，而且接近理论极限。

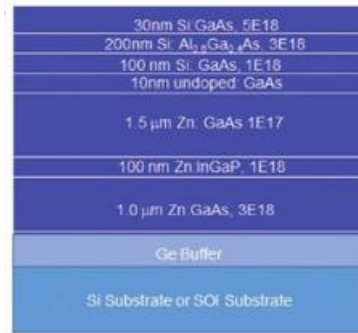


图 2 砷化镓 (GaAs) 吸收结构

为了降低异质外延缺陷密度，采用循环退火两步法生长了 III-V 材料。虽然 1.5 μm 的吸收体相对较薄，但覆盖在太阳能 PVs 上的窗层比通常的厚，以减少片阻。为了满足更高的输出电压需求，研究人员还利用更宽的带隙吸收材料，如铝镓砷化物 (AlGaAs) 和磷化铟镓 (InGaP)，在硅上制作了光伏结构。

在低照度下，100 μm x 100 μm GaAs 光伏电池的开路电压损失与 GaAs 上的相比，在低照度下约为 19%，但在 10W/cm² 的高功率下，这一损失降低到 13% 左右。

该研究成果是单片集成微型光伏是小型边缘计算机的高通量和低成本制造的第一次示范，10 月 23 日发表在《Advanced Materials》，题目：“Dust Sized High Power Density Photovoltaic Cells on Si and SOI Substrates for Wafer Level Packaged Small Edge Computers”。

沈湘摘译自

http://www.semiconductor-today.com/news_items/2020/nov/ibm-051120.shtml

<https://onlinelibrary.wiley.com/doi/10.1002/adma.202004573>

德国奥地利研究人员合作开发出纯磁振子集成电路

自旋波的量子可以用于超摩尔计算应用中编码信息，而且已经开发出了包括逻辑门、晶体管和非布尔计算单元在内的自旋器件。虽然微电子定向耦合器

作为电路的组成部分已经被开发出来，但由于其毫米的尺寸和多模光谱等原因一直不实用。

近期，德国凯泽斯劳滕工业大学（TUK）和奥地利维也纳大学的研究人员在更小、更节能的计算机技术方面取得了一项里程碑式研究成果，使用磁性材料和磁振子成功开发出可传输二进制数据的集成电路，由磁振子代替电子来传递信息，所需的能量比目前最先进的 CMOS 计算机芯片少 10 倍左右，在量子计算和神经形态计算等领域具有广阔的应用前景。

定向耦合器由宽度为 350 纳米的单模波导组成。研究人员利用自旋波的振幅来编码信息，并根据信号的幅度、频率和所应用的磁场将其引导到耦合器的两个输出中。利用微磁模拟，研究人员提出了一种由两个定向耦合器组成的整合式磁子半加法器，形成了计算机芯片中一种最通用的组件，数以百万计的这种电路组合起来就可执行更加复杂的计算和功能，并研究了它在磁域内的信息处理功能。

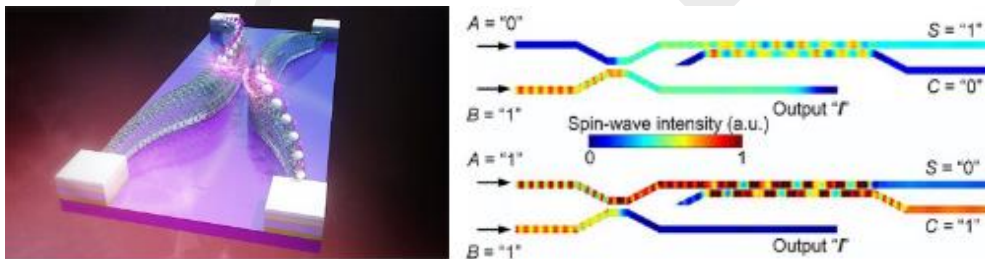


图 1（左）具有可见原子结构的定向耦合器；（右）半加法器的工作原理

该研究成果 10 月 19 日发表在《Nature Electronics》，题目：“A magnonic directional coupler for integrated magnonic half-adders”。

沈湘摘译自

https://physik.univie.ac.at/en/news/news-detail/news/integrated-circuit-of-pure-magnons/?cHash=772ce5ebd23781fb284885acb4e5431c&tx_news_pi1%5Baction%5D=detail&tx_news_pi1%5Bcontroller%5D=News

15

<https://www.nature.com/articles/s41928-020-00485-6>

美国德克萨斯大学奥斯汀分校研究人员创造世界最小的原子存储单元

在高密度信息存储、计算和可重构系统的开发中，非易失性电阻开关（又称 memristor 效应）已成为高密度信息存储、计算和可重构系统发展中的一个重要概念。在过去的十年里，非挥发性电阻开关材料如金属氧化物和固体电解质取得了重大进展。长期以来，人们一直认为漏电流会妨碍对纳米薄绝缘层现象的观察。然而，最近在过渡金属二卤共生体和六方氮化硼二维单层中发现了非挥发性电阻开关，这一发现驳斥了以上观点，并由于尺寸缩放的好处而增加了一种新的材料维度。

美国德克萨斯大学奥斯汀分校研究人员以单层 MoS₂ 为模型系统，阐明了原子片中开关机制的起源。原子成像和光谱分析表明，金属取代硫空位会导致电阻的非挥发性变化，而缺陷结构和电子状态的计算研究证实了这一点。这些发现提供了对非易失性开关的原子论理解，并为精确缺陷工程开辟了一个新的方向，从单个缺陷开始，朝着在超高密度存储器、神经形态计算和射频通信系统中实现最小的记忆阻制器。

研究人员创造了有史以来最小的记忆存储设备之一，横截面面积只有一平方纳米，厚度只有一个原子。这种被称为“原子电阻”的装置是通过单个原子的运动来工作的，这将为具有超高信息密度的更小记忆系统铺平了道路。如果扩大规模，它可以用来制造每平方厘米约 25TB 的存储容量的芯片，这比目前的闪存所能提供的容量高 100 倍左右，但它运行所需的能量更少。

这种新设备属于一类新兴的电子器件，称为记忆电阻(Memristors)，它使用电阻开关存储数据。从本质上讲，当某种材料暴露在一定的电压下时，其电阻可以切换，变得更强或更弱。这种现象可用于将数据写入设备，随后可测量其相对电阻以“读取”存储的数据。在这种情况下，这种电阻开关是通过单原子移入和移出纳米级孔来处理的，这将改变材料的导电性。研究人员表示这一概念也应该适用于一系列类似的材料。

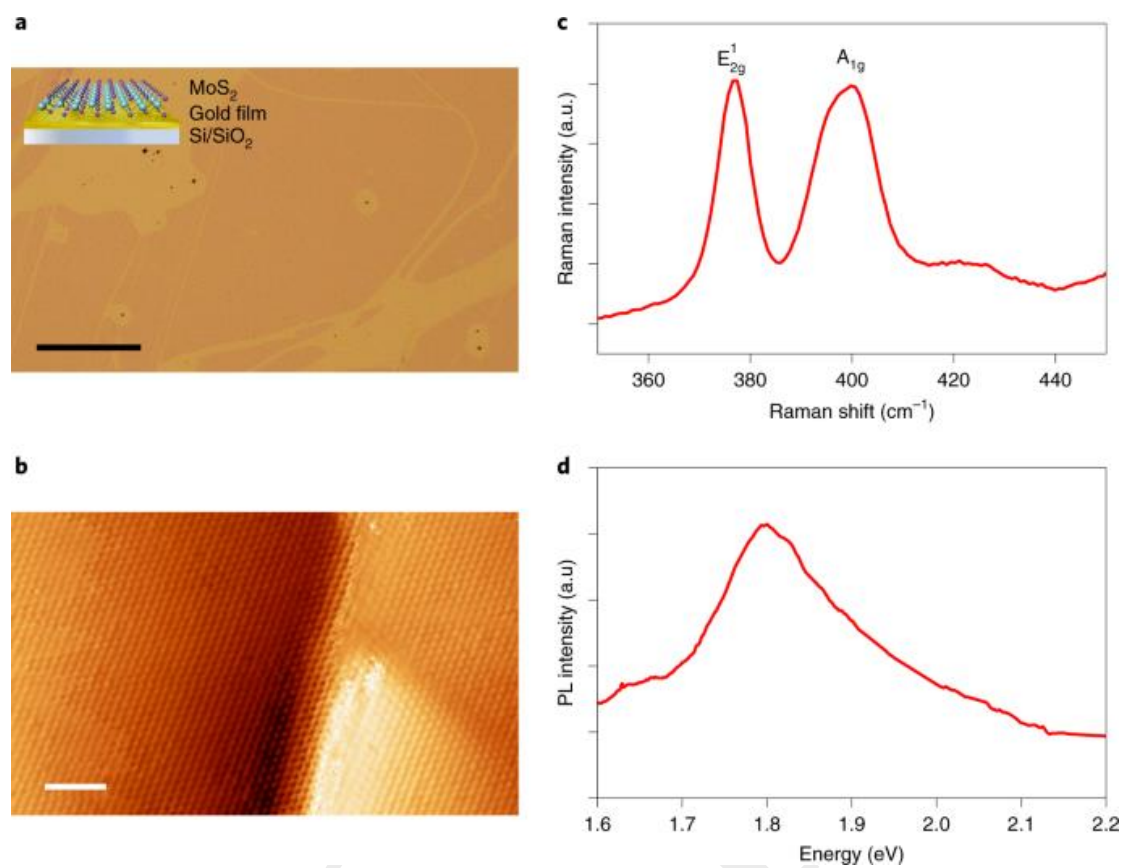


图 1 材料表征

该研究成果 11 月 9 日发表在《Nature Nanotechnology》, 题目: “Observation of single-defect memristor in an MoS₂ atomic sheet”。

沈湘摘译自

<https://www.nature.com/articles/s41928-020-00485-6>

Umicore 开发出适用 VCSEL 应用的 6 英寸锗晶圆

全球领先锗产品和材料解决方案供应商 Umicore 光电材料 (EOM) 表示已经领先的商业和学术合作伙伴合作, 共同开发出用于垂直腔表面发射激光器的 6 英寸锗晶片。光电物质 (EOM) 是锗物质在全球的最重要的生产者。重要的产品包括太阳光电和 LED, 光电原料和柔性光电测试组以及用于夜晚视觉应用的光学部件。

VCSEL 是电信和 3D 传感器系统中的关键组件。VCSEL 市场应用主要是高功率跟高速两大类, 包括光通信、3D 传感、面部识别系统、车载激光雷达、自动驾驶汽车的舱内感应、高速数据中心基础架构、移动手机上的光检测和测距 (LiDAR) 飞行时间传感器等, 应用范围相当广泛。为了增加这些传感器的工作距离, VCSEL 阵列的尺寸不断增长, 但是同时成本也在上涨, 这是从砷化镓 (GaAs) 过渡到锗晶片的推动力之一。

市场和业务开发总监 Bendix De Meulemeester 说: “对于要求非常严格的应用, 例如 VCSEL, 与 GaAs 晶片相比, 无缺陷的 6 英寸锗晶圆具有明显的性能和工艺成本优势, 优美科在开发无缺陷的低电阻率 6 英寸锗晶圆上已经投入了多年的研究, 目前这些晶片正在进行鉴定。随着 VCSEL 供应链的加速发展, 在未来几年内产量有望增加。”

沈湘等摘译自

http://portal.nstl.gov.cn/STMonitor/home/bianyi_recordshow.htm?id=93644&parentPageId=1606438517555&serverId=14&controlType=
http://www.semiconductor-today.com/news_items/2020/nov/umicore-031120.shtml

Picosun 的集群 ALD 解决方案支持下一代电力电子设备

芬兰的 AGILE ALD（原子层沉积）薄膜涂层解决方案供应商 Picosun 集团通过全球知名制造商销售了几套 ALD 系统，巩固了其在电力电子市场的地位。

Picosun 开发了几种交钥匙生产 ALD 解决方案，专门用于 4-8 英寸晶圆市场，例如功率器件。尤其是其集群 ALD 系统，例如去年推出的 PICOSUN Morpher，很受欢迎。

功率组件在各种应用中都至关重要，与纯硅相比，氮化镓（GaN）和碳化硅（SiC）具有更多优势但是，GaN 和 SiC 功率器件易于产生高的界面陷阱密度和栅极泄漏电流，并且阈值电压稳定性差。

通过将预清洗方法与高介电常数的大带隙绝缘子结合使用，可以降低界面陷阱的密度。高质量、无缺陷的高 k 介电层是降低功率器件的栅极泄漏电流并提高电子迁移率和阈值电压稳定性的关键。如基于 GaN 的 HEMT，它在各种大规模的实际应用中很重要，并且需要有效的栅极绝缘和表面钝化来实现最佳功能。

与其他薄膜涂层技术相比，ALD 是一种更优越的沉积方法，ALD 可以产生保形，均匀且无缺陷的薄膜，并具有可数字重复的精确厚度控制和清晰的界面。通过正确选择 ALD 沉积设备，甚至可以进行多层处理。

PICOSUN Morpher 是一个颠覆性的 ALD 生产平台，为功率电子、MEMS、传感器、LED、激光器、光学和 5G 组件等高达 8 英寸的晶片行业设计。Morpher 的操作灵活性使系统能够适应各种变化的制造需求。Morpher 可处理多种基材、批次和基材尺寸，以及 ALD 材料。多层沉积是可能的，集群设计也允许集成其他处理单元，如预清洗、RIE 等，以实现全自动、高通量连续真空操作。

沈湘等摘译自

http://portal.nstl.gov.cn/STMonitor/home/bianyi_records/show.htm?id=93128&parentPageId=1606438517555&serverId=14&controlType=
http://www.semiconductor-today.com/news_items/2020/oct/picosun-071020.shtml

Riber 与 Comptek 合作将 Kontrox 技术商业化

法国分子束外延机器制造商 Riber SA 与 Comptek Solutions Oy 签署了一项商业合作协议，以开发联合技术解决方案，加速 Kontrox 技术向工业客户转移。Comptek 于 2017 年从芬兰图尔库大学（University of Turku）分离出来，以其专利的 Kontrox 技术解决了 III-Vs 中的氧化问题。

基于 III-V 的器件一旦暴露于空气中，几乎会立即发生氧化形成非晶氧化物层，导致一系列缺陷，限制了器件的性能和制造良率。为了解决这个问题，Kontrox 钝化工艺通过干式真空方法形成了一层稳定的晶体氧化物薄层，从而防止了非晶态氧化层的形成。与现有方法相比，Kontrox 可以大大降低界面缺陷的密度，并提高 III-V 器件的效率和制造良率，包括高电子迁移率晶体管（pHEMT）和异质结双极晶体管（HBT）。这可以使设备在应用中变得更高效率、更小，更可靠，如 5G、面部识别、增强现实、虚拟现实和自动驾驶汽车等应用。

Kontrox 还可以帮助开发下一代 CMOS 处理器，在该处理器中，栅极氧化物绝缘体与晶体管中的 III-V 材料之间的界面质量在 CMOS 操作中起着至关重要的作用。

该技术还能提高光电设备的性能、效率、亮度和使用寿命，例如微型和微型 LED、大功率激光器、垂直腔表面发射激光器（VCSEL）和红外传感器。

通过这种合作，可以根据用户需求定制和优化用于部署 Kontrox 技术的设备规格，这将促进技术工业化，其特色是专门为 Kontrox 开发的过程控制。

沈湘等摘译自

http://portal.nstl.gov.cn/STMonitor/home/bianyij_recordshow.htm?id=92988&parentPageId=1606438517555&serverId=14&controlType=

http://www.semiconductor-today.com/news_items/2020/oct/riber-comptek-061020.shtml

Nordic Semiconductor 将于十月发布其第十亿个基于 Arm Cortex-M 的无线 SoC

北欧半导体将在今年 10 月初建立了一个重要的商业里程碑，在短短的 8 年中，其基于 Arm®Cortex®-M 的超低功耗无线 SoC 的出货量已超过 10 亿个。

北欧半导体首批十亿个基于 Arm 的 SoC 构成了更安全和互联的未来基础的重要组成部分，该技术彻底改变我们与周围世界互动和交流的方式，并且在未来将继续增长。

Nordic 的第一款基于 Arm Cortex-M 的 SoC 于 2012 年推出，并引入了 Nordic 的 nRF51 系列。从那时起，每个连续的超低功耗 Nordic SoC 都包含一个 Arm Cortex-M 处理器，使 Nordic SoC 能够从单个芯片支持每一个主要的超低功耗无线标准，包括蓝牙、Thread、Zigbee、ANT、2.4GHz 专有和 NFC 无线技术。

与 Nordic 最初的 nRF51 系列相比，Nordic nRF52 系列增加了更强大的 Arm 处理器，并具有更大的闪存和 RAM 存储容量，而 Nordic 最新的 nRF53 系列包括两个用户可访问的 Arm Cortex-M33 处理器内核。

Nordic 于 2019 年推出的第二款改变游戏规则的产品系列中加入功能强大的 Arm Cortex-M 处理器：nRF91 系列多协议（LTE-M 和 NB-IoT）蜂窝物联网系统级封装（SiP）。与其他竞争性蜂窝物联网模块相比，nRF91 显著更小、功耗更低、更安全。它具有独特功能，并且已针对全球网络进行了模块认证，并且设计起来非常容易。

Nordic 与 Arm 的合作伙伴关系进一步扩展，在其 nRF53 系列 SoC 和 nRF91 系列 SiP 上采用了最新的 ArmTrustZone®技术和 Arm CryptoCell™平台。

沈湘等摘译自

http://portal.nstl.gov.cn/STMonitor/home/biany_i_recordshow.htm?id=92987&parentPageId=1606438517555&serverId=14&controlType=
<https://www.nordicsemi.com/News/2020/09/Nordic-ship-its-billionth-Arm-CortexM-based-wireless-SoC>

意法半导体推出首款集成在一个封装中的硅基驱动器和 GaN 晶体管

瑞士意法半导体（STMicroelectronics）推出了 MasterGaN，是第一个嵌入硅基半桥驱动芯片以及一对氮化镓（GaN）晶体管的平台。这个集成化的解决方案将加速下一代紧凑高效的充电器和电源适配器的开发，并用于高功率电子和工业应用。

意法半导体（ST）表示，其 MasterGaN 方法可缩短了产品上市时间，并确保了预期的性能，同时使封装变得更小、更简单、电路组件更少、系统可靠性更高。据估计，借助 GaN 技术和 ST 的集成产品，充电器和适配器将比普通硅基解决方案的尺寸缩小 80%，将重量减少 70%。

MasterGaN 平台利用 STDRIIVE 600V 栅极驱动器和 GaN 高电子迁移率晶体管（HEMT）。9mm x 9mm 的薄型 GQFN 封装可确保高功率密度，专为高压板和低压板之间的爬电距离超过 2mm 的高压应用而设计。

该系列器件将跨越不同的 GaN 晶体管尺寸（RDS（ON）），并将以引脚兼容的半桥产品的形式提供，使工程师能够以最小的硬件更改来扩展设计。凭借 GaN 晶体管的低导通损耗和无体二极管恢复的特性，该产品在高端、高效率拓扑结构中表现了卓越的效率和整体性能增强。

意法半导体（ST）推出了具有 MasterGaN1 的新平台，该平台包含两个 GaN 功率晶体管，以半桥形式连接，并集成了高端和低端驱动器。具体来说，MasterGaN1 包含两个常关晶体管，具有紧密匹配的时序参数，最大额定电流为 10A 和 150mΩ 导通电阻（RDS（ON））。逻辑输入与 3.3V 至 15V 的信号兼容。还内置了全面的保护功能，包括低端和高端 UVLO 保护、互锁、专用的停机引脚和过热保护。

沈湘等摘译自

http://portal.nstl.gov.cn/STMonitor/home/bianyiy_recordsshow.htm?id=92984&parentPageId=1606438517555&serverId=14&controlType=
http://www.semiconductor-today.com/news_items/2020/oct/st-051020.shtml

《集微技术信息简报》是由中国科学院文献情报中心情报研究部承担编辑的半导体、集成电路、微电子相关领域科技信息综合报道及专题分析简报（双月报），于2014年3月正式启动，2014年为季度发行的《光刻技术信息简报》，2015年更名《集微技术信息简报》双月发行，2017-2018年根据服务内容聚焦点更名《第三代半导体技术信息简报》。2019年起卷名恢复《集微技术信息简报》。按照“统筹规划、系统布局、分工负责、整体集成、长期积累、深度分析、协同服务、支撑科研”的发展思路，规划和部署《集微技术信息简报》。《集微技术信息简报》服务对象是集成电路、微电子领域的相关领导、科技战略研究专家和科研一线工作者。《集微技术信息简报》内容力图兼顾科技决策和管理者、科技战略专家和领域科学家的信息需求，报道集成电路、微电子领域的国际科技战略与规划、科技计划与预算、科技进展与动态、科技前沿与热点、重大科技研发与应用、重要科技政策与管理等方面的最新进展与发展动态，不定期提供半导体、集成电路、微电子领域热点方向的专题分析。

《集微技术信息简报》是内部资料，不公开出版发行；除了其所报道的专题分析报告代表相应作者的观点外，其所刊载报道的中文翻译信息、汇编信息等并不代表编译者及其所在单位的观点。

NSTL 微电子器件及集成专项情报服务团队

执笔人：王丽 沈湘 于杰平

联系人：王丽

电话：010-82626611-6649

电子邮件：wangli@mail.las.ac.cn

