



国家科技图书文献中心
National Science and Technology Library

集微技术信息简报

2020 年第 **4** 期 (总第 37 期)

中国科学院文献情报中心

2020 年 7 月制

本期目录

政策计划

美国“芯片法案”提案旨在促进半导体制造和创新	1
美国国防部高级研究计划局选择团队推进半导体供应链的安全性研究.....	3
美国 DARPA 启动嘈杂中型量子器件优化项目以推进量子器件和经典系统的组合优化.....	6

产业洞察

美国 SIA 分析美国半导体产业现状，支持半导体相关立法.....	8
SIA 发布《2020 美国半导体产业报告》，分析美国半导体产业优势和挑战.....	12
IMEC：塑造未来半导体技术前景的五大趋势.....	23

前沿研究

澳大利亚研发单个光学芯片通过标准光纤实现超密集数据传输创下史上最快互联网速度.....	30
荷兰开发出用于纳米级传感的超大带宽集成光学传感器.....	32
美国麻省理工学院证实碳纳米场效应晶体管已接近商业化应用.....	34
英国研究开发出首个集成光子源有望为大规模量子光子学技术提供支持.....	36
德国利用光学线键合三维纳米光刻技术实现多光子芯片混合组装.....	38

美国“芯片法案”提案旨在促进半导体制造和创新

2020 年 6 月 10 日，美国两党两院提案《为美国半导体制造创造有益激励法案》（简称“美国芯片法案”），提议向美国国家科学基金会（NSF）和美国能源部（DOE）分别拨款 30 亿美元、20 亿美元来进行半导体基础研究，向美国国防高级研究计划局（DARPA）拨款 20 亿美元以支持电子复兴计划（ERI），向美国商务部（DOC）拨款 50 亿美元创建国家先进封装制造研究所。该法案还提议在美国国家标准与技术研究院（NIST）建立新的先进半导体制造项目，并建议美国国家科学技术委员会（NSTC）制定国家半导体研究战略。

“美国芯片法案”由共和党参议员 John Cornyn 和民主党参议员 Mark Warner，民主党众议员 Doris Matsui 和共和党众议员 Michael McCaul 分别在参议院、众议院提出。该法案将通过增加联邦激励措施来促进先进芯片制造、支持尖端技术研发、确保供应链安全、提高微电子生态系统的透明度、创造就业岗位、确保国家长期安全，从而使美国半导体制造业重回美国本土。法案发起人表示，增加投资是维持美国在微电子发展中的领先地位的必要条件，因为其他国家，尤其是中国，对先进制造能力进行了大量投资。

一、法案主要内容

1. 2024 年以前，为符合条件的半导体设备或者半导体制造设施投资支出提供 40% 的可退投资税收抵免（ITC），2025 年提供 30% 的 ITC，2026 年提供 20% 的 ITC，并在 2027 年逐步取消。

2. 建议商务部部长创建一个 100 亿美元的联邦计划以匹配州和地方为企业制定的激励措施，其目的是建立具有先进制造能力的半导体代工厂。

3. 启动新的美国国家标准技术研究院（NIST）半导体项目以支持美国的先进制造。该项目还应该支持美国科学、技术、工程和数学（STEM）人才队伍发展、生态系统集群、美国 5G 领导力以及先进组装和测试。

4. 授权美国国防部（DOD）资助与半导体技术相关的项目、计划和活动的研究、开发、人才培养、测试和评估等，同时指导实施一项计划，以利用《国

防生产法》第三章资金来建立和加强美国本土半导体生产能力。

5. 要求商务部部长在 90 天内完成一份报告，根据供应链的全球性以及美国与外国工业基础在微电子方面的重大相互依存关系，评估美国工业基础支持国防的能力。

6. 与国外政府合作伙伴达成协议，建立一个 7.5 亿美元、为期十年的信托基金，旨在促进微电子领域相关政策的一致性、提升微电子供应链的透明度以及加强非市场经济政策的对接性。为激励多边参与，建立一个共同的筹资机制以确保资金用于发展安全微电子技术和安全微电子供应链。每年需向国会提交到位资金报告。

7. 建议总统通过国家科学和技术委员会（NSTC）建立半导体领导力小组委员会，负责制定美国国家半导体研究战略，以确保美国在半导体技术和创新方面的领先地位，这对美国经济增长和国家安全以及协调半导体研发至关重要。

8. 创建新的研发渠道：（1）20 亿美元用于实施美国国防部高级研究计划局（DARPA）的电子学复兴计划；（2）30 亿美元用于实施美国国家科学基金会（NSF）的半导体基础研究项目；（3）30 亿美元用于实施美国能源部（DOE）的半导体基础研究项目；（4）50 亿美元用于在美国商务部（DOC）下设立国家先进封装制造研究所，以确保美国在先进微电子封装领域的领先地位，并与私营部门合作促进标准制定、公私合作伙伴关系，启动研发项目促进技术发展，投资 5 亿美元支持本土先进微电子封装生态系统发展，并与美国劳工部部长合作在先进微电子封装领域建立劳动力培训项目和开展学徒制教育。

二、法案的提出意义

Cornyn 表示，半导体支撑着几乎所有的创新，对于美国通信和国防计算能力至关重要。尽管美国德克萨斯州在半导体制造领域处于领先地位，美国也在芯片设计方面全球领先，但美国的大部分芯片均是在国外制造的。该法案将帮助促进半导体先进制造能力回归本土，确保供应链安全，维持美国在芯片设计方面的领导地位同时创造就业机会，降低美国在先进芯片制造领域对国外的依赖，加强国家安全。

Warner 表示，美国半导体领域的创新支撑着整个国家的创新经济，驱动着自动驾驶、超算、增强现实、物联网设备等技术的发展。然而，美国的自满情绪为同行和竞争对手提供了追赶的机会。该法案旨在重新投资这一国家优先事项，为美国的先进制造提供针对性的税收激励、资助微电子领域的基础研究、强调与盟友进行多边接触以提高透明度并关注全球供应链的安全和诚信威胁。

Matsui 表示，随着经济日益全球化，美国保持高科技经济高度依赖的硬件生产能力至关重要。半导体是手机、医疗设备、量子计算等技术的基本组成部分。为了确保美国在这一具有重要战略意义的行业保持领先地位，美国必须确保从研发到生产各环节均保持领先地位。美国芯片法案将对这些基础硬件进行必要投资，促进国内半导体行业的持续创新和繁荣。

McCaul 表示，确保美国在未来尖端半导体的设计、制造、生产方面的领先地位，对美国国家安全和经济竞争力至关重要。由于中国意在主导整个半导体供应链，强力推进半导体产业的本土化对美国至关重要。除了保障美国的技术未来，该法案还将创造数千高新职位并确保下一代半导体产品在美国生产。

在美国制造业相关立法方面，常有分歧的两党意见达成一致并不鲜见，如 2014 年通过的《振兴美国制造业和创新法案》。“美国芯片法案”需要最终国会立法方可实施，才能使政府行动持久并有相对稳定的拨款，两党联立为该法案的通过增加了可能性。

王丽 于杰平编译自

<https://www.cornyn.senate.gov/node/5599>

美国国防部高级研究计划局选择团队推进半导体供应链的安全性研究

美国军方正在加紧努力，通过在芯片设计阶段植入防御系统来保障半导体

和电子产品供应链的安全。2020 年 5 月 27 日，美国国防部高级研究计划局（DARPA）宣布了两个由学术、商业和国防工业研究人员和工程师组成的团队，来推进其安全芯片设计计划，这两个团队分别由 EDA 巨头 Synopsys 公司和军工制造商诺斯罗普·格鲁曼公司（Northrop Grumman）牵头。到此，DARPA 终于为历时一年之久的“安全硅的自动实施（Automatic Implementation of Secure Silicon, AISS）”项目选中研究团队，来探索开发新设计工具和 IP 生态系统，以期最终使防御系统有效地整合到芯片设计中。

Synopsys 公司牵头的小组成员还包括 ARM 公司、波音公司，佛罗里达大学网络安全研究所，德州农工大学，UltraSoC 公司，加州大学圣地亚哥分校；诺斯罗普·格鲁曼公司牵头的小组成员还包括 IBM 公司、阿肯色大学和佛罗里达大学。“AISS 正将安全研究和半导体设计领域的领先人才汇聚到一起，专注于一个具有国家重要性的问题。” AISS 项目经理 Serge Leef 表示，“AISS 将推动设计生产力的革命性进步，并对美国电子供应链安全产生巨大而积极的影响。”

一、竞争性“安全引擎”方法解决芯片漏洞

AISS 包括两个关键技术领域，以期解决芯片安全漏洞。

第一个技术领域涉及开发一个“安全引擎”，将最新的学术研究和商业技术融合到一个可升级的平台，用于防御芯片免受攻击，并提供一个基础设施来管理这些芯片。

Synopsys 和诺斯罗普·格鲁曼将分别开发基于 ARM 的架构，其中包括不同方法的“安全引擎”，并证明新架构对其它安全引擎的兼容性，同时可能包括为未来美国国防部（DoD）相关应用开发高度专业化引擎。

此外，诺斯罗普·格鲁曼将携手 IBM 寻求进一步加强 DARPA “电子防御供应链硬件完整性（Supply Chain Hardware Integrity for Electronics Defense, SHIELD）”项目下首次开发的技术。他们将使用这些技术作为开发“资产管理基础设施（AMI）”的起点，以便在芯片整个生命周期中起到保护作用。他们的目标是使用分布式账本技术实现 AMI，该技术提供了一个高可用性、基于云的系统，能够管理密钥、证书、水印、策略和跟踪数据，以确保芯片在设计生态

系统中流动时保持安全。

第二个技术领域涉及到以高度自动化的方式将第一个研究领域开发的安全引擎技术集成到片上系统（SOC）平台中。在稍后阶段，Synopsys 牵头团队将利用 EDA 工具将其安全引擎集成到 SoC 平台中。实际上，这第二个研究领域的重点是执行“系统综合”，或者说将 AISS 开发的“安全感知”EDA 工具与来自 Synopsys、ARM 和 UltraSoc 的现成商用 IP 结合起来。这将使芯片设计人员为 AISS 工具指定功率、面积、速度和安全（PASS）约束，然后根据应用目标自动生成最佳实现。

二、AISS 项目背景

AISS 项目于 2019 年 4 月发布，是美国“电子复兴计划（ERI）”第二阶段启动的项目之一。ERI 第二阶段目标是推动美国本土半导体制造业实现可靠的专用电路，并最终惠及国防和商业应用。此外，DARPA 在今年 4 月初对电子复兴计划（ERI）进行了更新，提出了四个关键的发展领域：三维异构集成、新材料和器件、专用功能以及设计和安全，三维异构、专用及安全被重点关注。在更新之前 ERI 所设项目分别与材料和集成、架构以及设计三个研究方向对齐。更新后 ERI 所设项目重新分类分别与四个关键的发展领域对齐。AISS 从原先的“设计”方向划分到新的“设计和安全”方向。

AISS 旨在将可扩展的防御机制嵌入芯片设计的过程自动化，同时允许设计师权衡经济性与安全性，最大化设计生产力。AISS 项目，为期 4 年，分为 15 个月、18 个月、15 个月三个阶段，包含两个技术领域：（1）安全，芯片安全包括设计安全及制造后安全，涉及安全引擎、资产管理基础设施及安全 IP 三个研究方向；（2）平台，可自定义模块的集成安全子系统，涉及核心平台、平台基础设施及组合集成三个研究方向。两个领域的执行者在合同授予前必须签订联合承包商协议（ACAs），以便“领域 1”开发的工具、IP 和方法可以用于“领域 2”。项目招募分别基于 ARM 和 RISC-V（至少此两种架构）的解决方案，此次选中的团队探索基于 ARM 的解决方案。

随着网络连接设备的普及化，国家及经济利益相关者将注意力转移到数字

集成电路芯片上，这些芯片能够实现跨军事和商业应用领域的复杂功能。目前的芯片安全相关的漏洞集中在四个方面：边信道攻击、反向工程、供应链攻击以及恶意硬件。通过开发一个设计工具和 IP 生态系统（包括工具供应商、芯片开发商、IP 许可方和开放源码社区），AISS 项目试图将安全能力低成本集成到芯片设计中，最终实现可扩展的片上安全普及化。

王丽 于杰平摘译自

<https://www.darpa.mil/news-events/2020-05-27>

美国 DARPA 启动嘈杂中型量子器件优化项目以推进量子器件和经典系统的组合优化

2020 年 5 月 11 日，美国国防高级研究计划局（DARPA）官网新闻报道，DARPA 已于今年 3 月启动“嘈杂中型量子器件优化（Optimization with Noisy Intermediate-Scale Quantum devices, ONISQ）”项目第一阶段，为期 18 个月。

ONISQ 计划的目标是在通用容错量子计算机实现之前探索量子信息处理技术，通过结合中型量子器件（数百到数千个量子位）和经典计算系统解决量子组合优化问题。ONISQ 试图通过定量对比证明在解决优化难题方面，量子信息处理超越纯经典系统性能。如果成功，ONISQ 计划的研究成果可以用于国防和商业应用的优化问题，如全球后勤管理、机器学习、编码理论、电子制造和蛋白质折叠等。

项目第一阶段聚焦两个技术领域由七个研发团队参与。**领域一：证明量子器件中的量子/经典混合优化算法可以解决特定的组合优化问题。**该领域的参与团队来自乔治亚技术应用研究公司、大学空间研究协会、哈佛大学校董委员会以及 ColdQuanta 公司。**领域二：开发通用理论方法为超越最佳经典方法的量子优化范式奠定基础。**该领域的参与团队来自田纳西大学、克莱姆森大学以及理

海大学。

ONISQ 计划的第二阶段将根据第一阶段的研发成果遴选参与者，进行为期 30 个月的研发工作。

DARPA 国防科学办公室项目经理 Tatjana Curcic 表示，量子信息科学家将与经典优化理论专家共同研究量子/经典组合优化，并识别量子信息处理可能产生最大影响的几类问题，以寻求最大的投资回报率。

王丽 于杰平摘译自

<https://www.darpa.mil/news-events/2020-05-11a>

美国 SIA 分析美国半导体产业现状，支持半导体相关立法

在美国政策制定者考虑对美国半导体制造和研究进行相关立法之际，美国半导体产业协会（以下简称 SIA）近期发布系列评论、报告，对半导体相关立法提案予以支持，对美国半导体产业领先地位表示担忧，对联邦政府加大投入翘首期盼。

一、SIA 支持美国“芯片法案”

2020 年 6 月 10 日，SIA 对美国两党两院的提案《为美国半导体制造创造有益激励法案》（简称“芯片法案”）表示支持，认为这对美国的经济和国家安全至关重要。“芯片法案”欲在未来 5-10 年内投资数百亿美元用于鼓励半导体制造和研究，以加强和维持美国在芯片技术方面的领先地位。

SIA 2020 年度主席 Keith Jackson 表示：半导体技术始于美国，美国仍然在芯片技术方面处于世界领先地位，但是由于全球竞争者在该领域的大量投资，美国当前的半导体产能仅占全球的 12%。“芯片法案”将帮助美国加大对半导体制造和研究的投资并保持在芯片技术领域的世界领先地位，这对美国的经济和国家安全具有重要的战略意义。我们支持两党两院领导人提出该项法案，我们将敦促国会通过该项法案。

SIA 主席兼 CEO John Neuffer 表示：随着全球竞争者通过大量投资吸引先进半导体制造企业进驻，美国必须参与到这场游戏中来，使美国成为一个更具竞争力的战略性技术生产地。SIA 支持两党两院发起人提出的这一大胆、及时的立法，并将敦促国会推进该项立法以强化美国半导体制造和研究。

二、SIA 分析联邦政府对半导体研发投资的必要性

2020 年 6 月 11 日，SIA 发布了《激发创新：联邦政府对半导体研发的投资如何刺激美国经济增长和创造就业》报告，指出几十年来，联邦政府和私营部门对半导体研发的投资推动了美国半导体产业的快速创新，使其成为全球领导者，并刺激了整个美国经济的巨大增长；分析了联邦对半导体研发的投资对美

国经济增长、创造就业机会和国家技术领先地位的影响；得出 3 个方面的重要发现。

(1) 联邦政府对半导体研发的资助推动了经济增长并促进了美国的全球技术发展

联邦政府对半导体研发提供的资助通过整个经济中的巨大收益获得了巨大的投资回报。报告显示，联邦政府对半导体研究的每 1 美元投资使美国整体国内生产总值（GDP）增长了 16.50 美元。

联邦政府对半导体研发投资的这种乘数效应归因于半导体在现代技术驱动型经济中的独特作用。半导体技术的进步几乎对每个领域都产生了积极影响，包括汽车、农业、生物医学和国防。

此外，联邦政府对半导体研发的投资吸引了私营部门对半导体研发的投资，进而激发了半导体产业及其下游行业的创新。这些创新促进了整个美国经济增长，并提升了美国在全球技术上的领先地位。

(2) 联邦政府对半导体研发的资助已落后于私营部门投资

联邦政府对半导体研发的投资极大补充了现有私营部门的投资，刺激了更多私营部门对新研发的投资。然而，联邦政府年度投资增长速度远低于私营部门的投资。

四十年前，用于半导体研发的联邦资金是私营部门研发资金的两倍多。然而，现今私营部门在半导体研究方面的直接投资是联邦政府的 23 倍。2019 年，私营部门用于半导体研发的总资金近 400 亿美元，而联邦政府仅在半导体核心或特定技术研发上花费了 17 亿美元，在半导体相关领域研发中投入了 43 亿美元。

(3) 联邦政府对半导体研发的资助将进一步促进美国的经济增长、创造新的就业岗位，以及帮助美国在未来技术中取得领先地位

随着经济越来越依赖技术，芯片创新也变得越来越复杂和昂贵。为了维持美国在半导体技术和未来关键技术，包括人工智能、量子计算和先进无线网络等领域的领先地位，联邦政府增加对半导体研发的投资十分必要。

报告研究发现如果联邦政府对半导体核心技术研发投资增加三倍，对半导体相关研究的投资增加一倍，那么到 2029 年，将为美国 GDP 增加 1610 亿美元、创造约 50 万个就业岗位、保持美国在全球竞争中的技术领先地位。

三、SIA 分析美国半导体产业的优势和挑战

2020 年 6 月 18 日，SIA 发布《2020 美国半导体产业报告》报告，从市场份额、终端应用、劳动力、创新政策等方面揭示美国半导体产业的发展状况。报告显示，美国在半导体产业仍处于世界领先地位，但在不断变化的政策环境中面临着一系列挑战。

2019 年半导体产业全球销售额下降，但美国半导体产业仍保持其在全球市场份额中的领先地位，并在研发和资本投资支出方面保持很高的投资水平。这些投资确保了美国在半导体技术创新领域的领先地位。目前，美国公司是 5G 技术的领导者，已经开发了与 AI 和大数据相关的先进半导体技术，这将驱动从超算到网络数据中心的发展。

报告明确指出，目前美国半导体产业面临着一系列挑战：

(1) COVID-19 大流行颠覆了全球经济、扰乱了全球供应链、并导致近期市场存在重大不确定性。

(2) 半导体制造和设计创新成本的不断上升，尤其是在前沿领域，仍继续构成挑战。

(3) 虽然美国在半导体设计和研发方面仍处于世界领先地位，但亚洲在芯片制造方面正在拥有最大的全球市场份额且这种趋势将在未来十年持续下去。

(4) 全球地缘政治的不稳定性，尤其贸易政策的不稳定性，迫使美国工业考虑如何在不确定和政策约束的国际环境中保持竞争力。美国半导体产业依赖交织的全球供应链和海外市场。

四、SIA 支持《2020 美国晶圆代工法案》

2020 年 6 月 25 日，SIA 对两党在参议院提出的《2020 美国晶圆代工法案》表示支持，该法案欲为半导体制造和研究提供数百亿美元的联邦投资，以确保美国在微电子领域的领导地位，保护美国本土生产。

《2020 美国晶圆代工法案》包括一系列旨在促进美国半导体制造的联邦投资，其中包括：

(1) 150 亿美元用于激励建设新的美国半导体制造和研发设施。

(2) 50 亿美元的公私合作项目，用于服务国家安全、情报和关键基础设施晶圆厂的建设或现代化。

(3) 50 亿美元用于促进国防部、国家科学基金会、能源部和国家标准与技术研究院的半导体研究。

此外，该法案还要求白宫科学技术办公室与联邦研究机构和私营部门协调，制定一项计划，来指导资助下一代半导体技术的突破。

SIA 2020 年度主席 Keith Jackson 表示：尽管美国在半导体技术领域几十年来一直处于世界领先地位，但国外竞争者为发展先进芯片制造多年来提供了积极的激励措施，使先进芯片制造发生转移。为了扭转这种趋势并确保美国在芯片技术领域保持领先地位，美国需要在国内半导体制造和研究方面进行大量投资。我们支持两党法案发起人在应对这一挑战方面所发挥的作用，并将敦促国会推进立法以激励半导体制造和扩大半导体研究。

SIA 主席兼 CEO John Neuffer 表示：在半导体技术生产方面，美国不能再将更多份额让给竞争对手，这是美国数字经济和国防系统的基石。该项立法将有助于确保美国在半导体及相关技术领域继续处于世界领先地位，包括极具未来影响力的技术如人工智能、量子计算和先进无线网络。

五、相关进展

“芯片法案”、《2020 美国晶圆代工法案》这两个独立法案，同时作为美国《2021 国防授权法案》修正案提出。尽管这两项法案得到了两党的支持，但它们提出了数百亿美元的拨款建议，参议员们可能不愿意把它们纳入其中，目前尚未得到负责这些建议的委员会的关注。

王丽 于杰平摘译自

<https://www.semiconductors.org/chips-for-america-act-would-strengthen-u-s-semiconductor-manufacturing-innovation/>

<https://www.semiconductors.org/sparking-innovation-how-federal-investments-in-semiconductor-research-strengthen-americas-economy-and-tech-leadership/>
<https://www.semiconductors.org/new-sia-report-highlights-industrys-strength-and-looming-challenges/>
<https://www.semiconductors.org/american-foundries-act-would-provide-needed-investments-in-u-s-semiconductor-manufacturing-research/>

SIA 发布《2020 美国半导体产业报告》，分析美国半导体产业优势和挑战

2020 年 6 月 18 日，SIA 发布《2020 美国半导体产业报告》报告，从市场份额、终端应用、劳动力、创新政策等方面揭示美国半导体产业的发展状况。报告显示，美国在半导体产业仍处于世界领先地位，但在不断变化的政策环境中面临着一系列挑战。2019 年半导体产业全球销售额下降，但美国半导体产业仍保持其在全球市场份额中的领先地位，并在研发和资本投资支出方面保持很高的投资水平。这些投资确保了美国在半导体技术创新领域的领先地位。目前，美国公司是 5G 技术的领导者，已经开发了与 AI 和大数据相关的先进半导体技术，这将驱动从超算到网络数据中心的发展。报告明确指出，目前美国半导体产业面临着一系列挑战：（1）COVID-19 大流行颠覆了全球经济、扰乱了全球供应链、并导致近期市场存在重大不确定性。（2）半导体制造和设计创新成本的不断上升，尤其是在前沿领域，仍继续构成挑战。（3）虽然美国在半导体设计和研发方面仍处于世界领先地位，但亚洲在芯片制造方面正在拥有最大的全球市场份额且这种趋势将在未来十年持续下去。（4）全球地缘政治的不稳定性，尤其贸易政策的不稳定性，迫使美国工业考虑如何在不确定和政策约束的国际环境中保持竞争力。美国半导体产业依赖交织的全球供应链和海外市场。

一、全球半导体市场出现短暂下滑

从长期来看，半导体市场前景依旧看好，但短期来看，新冠肺炎疫情和宏

观经济政策等因素导致半导体市场存在极大的不确定性。

2018 年全球半导体市场销售额为 4688 亿美元，为历史最高，但 2019 年下降了 12%，销售额为 4123 亿美元，这一现象主要是存储市场的周期性导致的。世界半导体贸易统计组织（WSTS）于 2020 年 6 月发布的《半导体市场预测》报告显示，虽然受新冠肺炎疫情的负面影响，2020 年全球半导体市场销售额将增加至 4260 亿美元，2021 年将大幅增长，预期为 4520 亿美元。

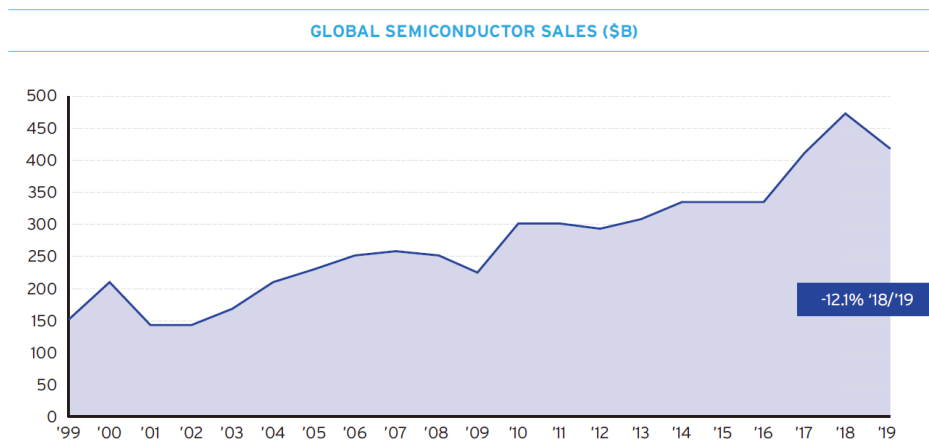


图 1 近 20 年全球半导体销售变化情况。资料来源：WSTS

二、半导体产业需求在不断变化

半导体是技术进步的引擎，并开辟新的前沿需求。健康的半导体产业创新周期将有助于实现数字经济。2019 年，几乎所有类别的半导体终端应用销售额出现了下降，但各类别的半导体终端应用市场份额保持稳定，主要原因是存储产品定价下降导致终端应用销售额下降。

End-Use Category	Communication	Computer	Consumer	Automotive	Industrial	Government
Annual Growth	-10.5	-18.7	-5.2	-6.9	-13.0	13.0
Total Value (\$B)	136.0	117.3	54.7	50.2	48.9	5.2

图 2 2019 年不同终端应用的半导体产品市值

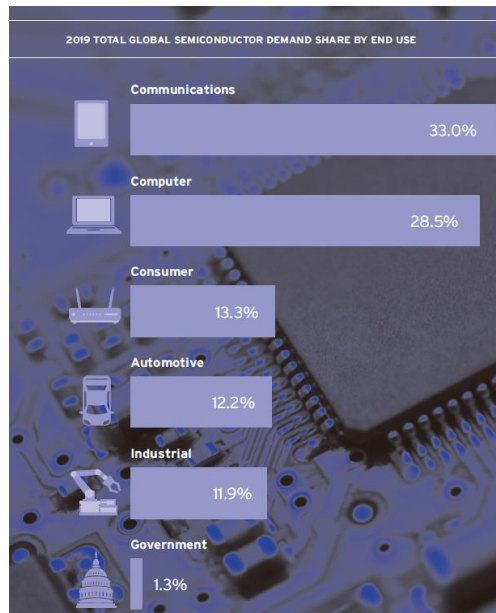


图 3 2019 年不同终端应用的半导体产品市场需求份额

半导体新兴关键应用将促进终端需求增长。人工智能、量子计算、先进无线网络正在开启半导体需求的新领域，美国公司有望从中受益。从历史来看，从传统手机发展到智能手机，这一历程中的技术发展均离不开半导体技术创新的驱动。智慧城市、自动驾驶、5G/物联网、智慧工厂等领域的发展都需要半导体技术的推动。

三、美国半导体产业市场份额长期处于领先地位

自 20 世纪 90 年代末，美国半导体产业市场份额一直处于世界领先地位，每年约占全球市场份额的 50%。此外，美国半导体公司在研发、设计和制造等技术方面保持着领先或具有高度竞争力的地位。这反过来为美国半导体产业带来了高额研发投入，因此美国半导体产业形成了良性的创新周期。

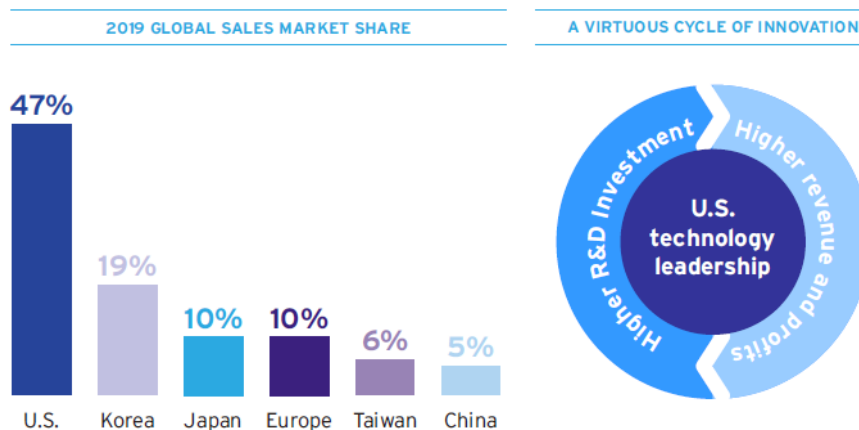


图 4 美国半导体产业市场份额及良性创新周期

从商业模式和副产品来看，美国的半导体公司在全球市场处于领先地位，但在某些商业模式的子领域，美国的半导体产业落后于亚洲的竞争对手。

美国半导体产业在逻辑器件和模拟器件方面的销售市场份额保持着世界领先地位，但在存储器和分立器件方面落后于其他国家。同样在商业模式方面，美国只是在某些领域处于领先地位。例如，亚洲继续主导半导体生产的外包业务，拥有近 80%的半导体工厂和组装/测试业务。虽然全球供应链推动了半导体产业价值和效率的提高，但也表明美国迫切需要考虑对半导体产业进行战略投资。

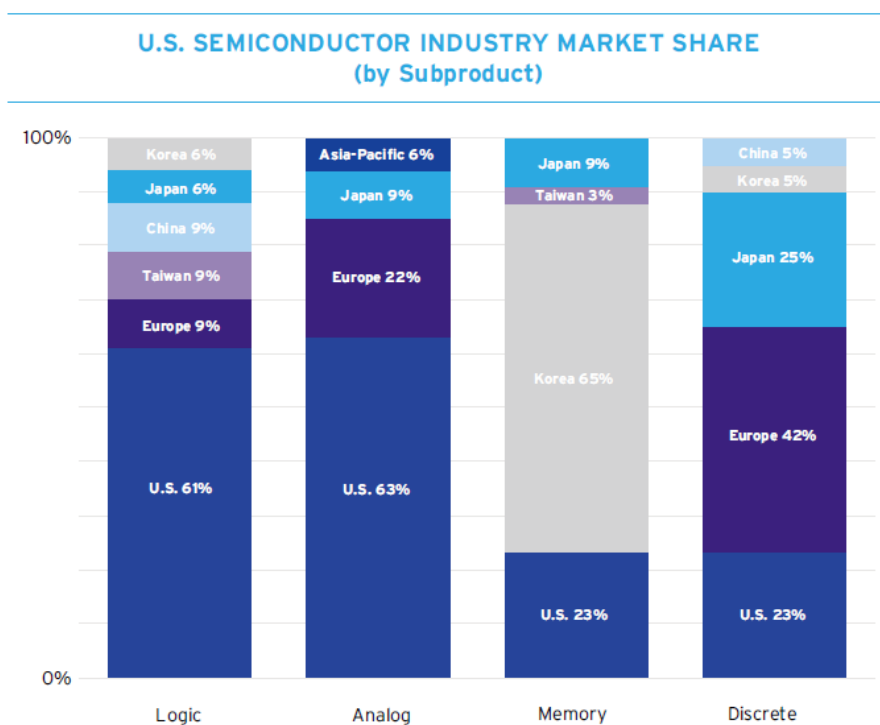


图 5 美国半导体产业副产品市场份额

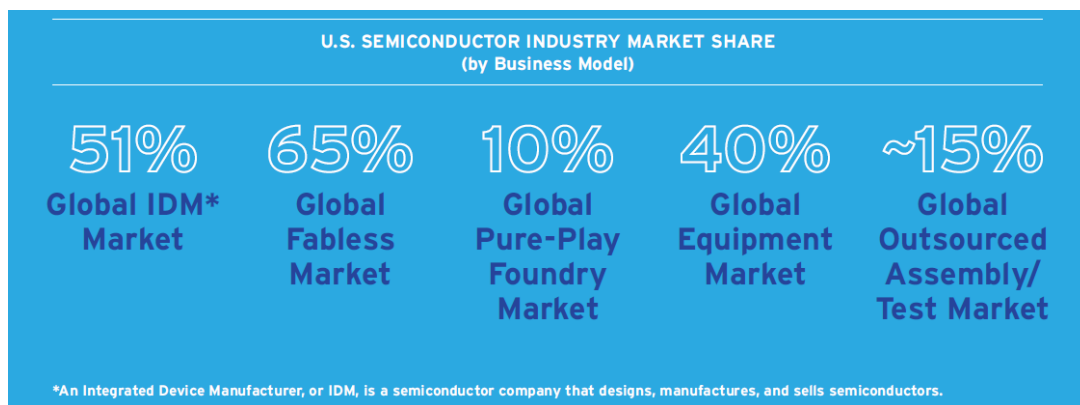


图 6 美国半导体产业商业模式市场份额

四、美国半导体技术竞争力分析

美国半导体是先进半导体芯片设计领域无可争议的技术领先者，包括 AI 所需的平台技术、微处理器、图形芯片和可编程逻辑处理器。目前，用于前沿逻辑应用的最先进的 IC 技术是 10 纳米技术，并在芯片上封装了超过 200 亿个晶体管，约占芯片尺寸的四分之一。美国在 5G 相关的半导体关键设计中也处于有利位置，在支持无线通信、网络管理和数据存储的芯片领域处于领先地位。最后，美国公司正在努力开发用于自动驾驶汽车的新芯片，包括先进图像传感器、数据处理器和车载雷达。

美国仍然是逻辑处理技术的领先者或重要的竞争者，如先进处理器、图形和人工智能芯片等制造技术。然而，由于制造业和技术成本的上升以及海外竞争的加剧，美国的领先优势已经减弱。2010 年，逻辑处理技术方面美国超越韩国和中国台湾整整两年。2019 年，韩国和中国台湾在逻辑处理技术上已与美国齐头并进。它们在 7/10 纳米技术领域展开了激烈的竞争，积极推进技术向市场的转化。鉴于先进的半导体制造技术的关键性，美国必须进行重大投资以确保其领先地位。

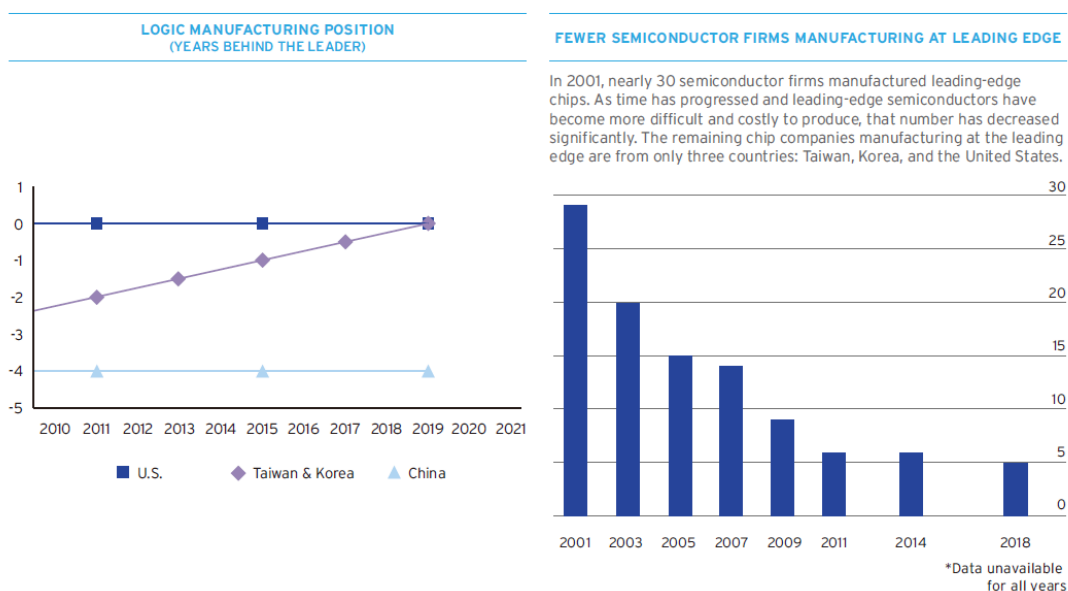


图 7 逻辑器件制造的地位和处于领先地位的半导体制造公司

美国半导体产业研发的持续高支出反映了美国市场份额领先地位与持续创新之间的内在联系。

从 1999 年到 2019 年，美国半导体产业研发支出的复合年增长率约 6.6%。此外，无论年度销售周期如何，美国半导体公司的研发支出一直很高，这反映了研发投资对半导体生产至关重要。2019 年，美国半导体产业的研发投资总额为 398 亿美元。

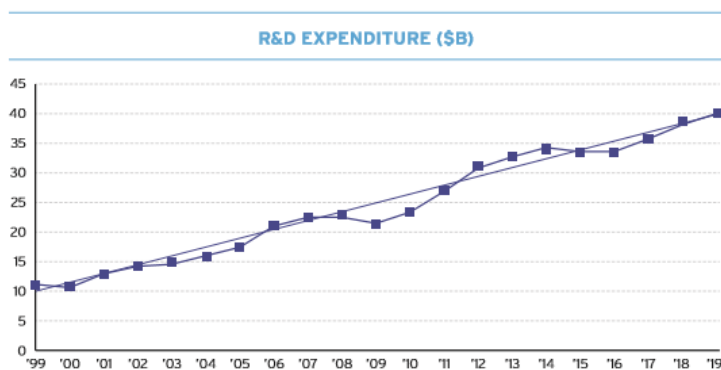


图 8 美国半导体产业研发支出情况

5G 是当今通信领域竞争最激烈的领域。它更快的速度和带宽对于实现智能城市和建设自动驾驶汽车所需的基础设施至关重要。半导体将为传输信号的无线电设备、连接到网络的设备和携带所有数据的主干网络提供支持，因此对 5G 的部署至关重要。虽然美国半导体公司在该领域处于领先地位，但政治和监管方面的不确定性削弱了美国公司的竞争力。中国 5G 发展迅速，正在以比美国更快的速度建设 5G 基础设施和将 5G 技术嵌入手机中。此外，中国计划利用终端需求推动基础设施建设，2020 年将向市场投放 300 美元的 5G 智能手机。缺乏进入中国巨大市场的渠道可能会严重削弱美国在这一关键领域的竞争力。

美国半导体产业研发投入占销售额的比例位居美国所有行业的前列，仅次于美国制药和生物技术。虽然全球竞争者都在增加研发投入以与美国半导体产业竞争，但美国半导体公司的研发投入占销售额的比例在全球最高。美国的高研发投入推动了美国半导体产业的创新，进而确保其在全球销售市场份额中处于领先地位，并增加美国各地的就业机会。

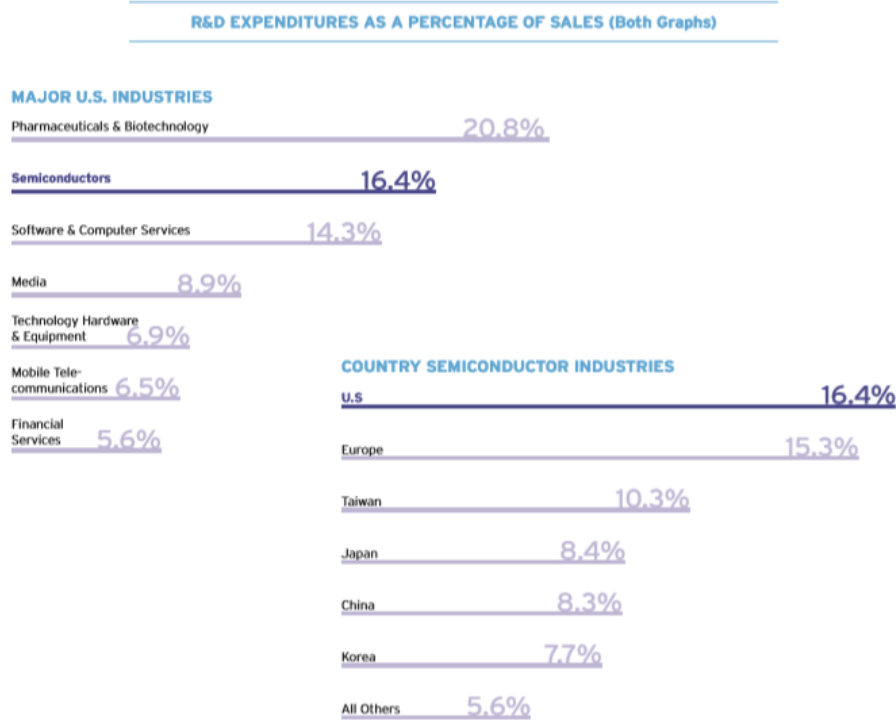


图 9 美国半导体产业研发支出占销售额的比例分析

五、美国半导体技术制造和劳动力分析

美国在半导体领域的领先地位依赖两个关键因素：（1）能够投资于先进的半导体设计和制造；（2）拥有具有竞争力的劳动力队伍。2019 年，美国的资本支出总额仅次于韩国，在制造先进逻辑器件的工厂和设备方面，美国占世界总投资的 44%，位居世界领先地位。美国的一个关键优势是能够吸引全球各地的人才来美国大学学习并选择留在美国。拓宽吸收受过高等教育的劳动力的渠道和强化美国 STEM 教育对确保美国未来在半导体领域的领先地位至关重要。

美国半导体产业的资本支出表现强劲，在全球处于领先地位。美国半导体产业的很大一部分支出用于购买设备帮助运营全美最先进的半导体代工厂。美国拥有约一半的半导体代工厂产能。然而，其他国家/地区在资本支出上也开始投入更多，与美国的竞争也越来越激烈。在过去三年里，韩国半导体代工厂的资本支出显著增加，中国对建造新半导体代工厂的资本投入也在持续增加。

美国目前只占半导体制造业总装机容量的 12.5%，其中 80% 以上的生产发生在亚洲。考虑到当今不确定的地缘政治环境，美国需要采取更多措施来刺激国内半导体制造业。目前美国几乎完全依赖亚洲制造商（台积电）来生产 7 纳

米以下的芯片，这也是决策者一直在强调的国家安全问题。

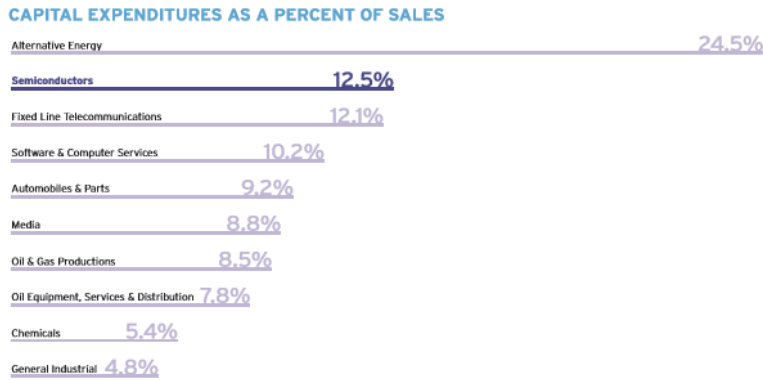
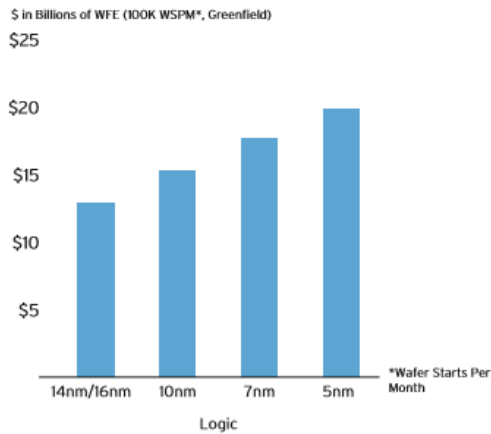


图 10 美国半导体产业资本支出占销售额的比例分析

CAPITAL INTENSITY TRENDS – FOUNDRY/LOGIC



PERCENT SHARE OF SEMICONDUCTOR CAPEX, 2019

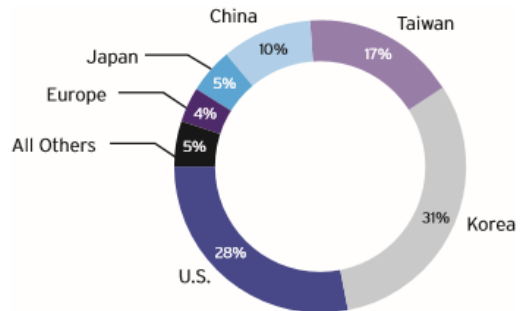


图 11 美国半导体产业资本支出分析

SEMICONDUCTOR MANUFACTURING ACROSS AMERICA

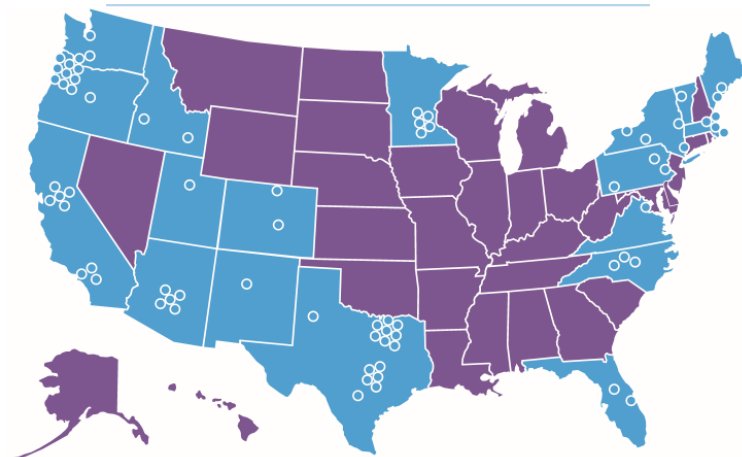


图 12 美国半导体制造在美国的分布情况

美国的半导体制造能力在美国一直保持稳定。与科技制造业的其他许多领

域不同，美国半导体产业的制造业产出多年来一直保持稳定。这种稳定性为美国代工厂带来了稳定的制造业就业基础，也是美国向海外市场出口的主要来源。但世界各地的产能增长速度已经超过了美国，逐步侵蚀美国在全球产能中的份额。2019 年，全球新建的六家半导体代工厂都在美国以外，其中四家在中国。中国政府正在为这些新厂投入大量资金。美国政策制定者应该优先考虑制定适当的政策，鼓励国内的半导体代工厂建设，以提高竞争力。

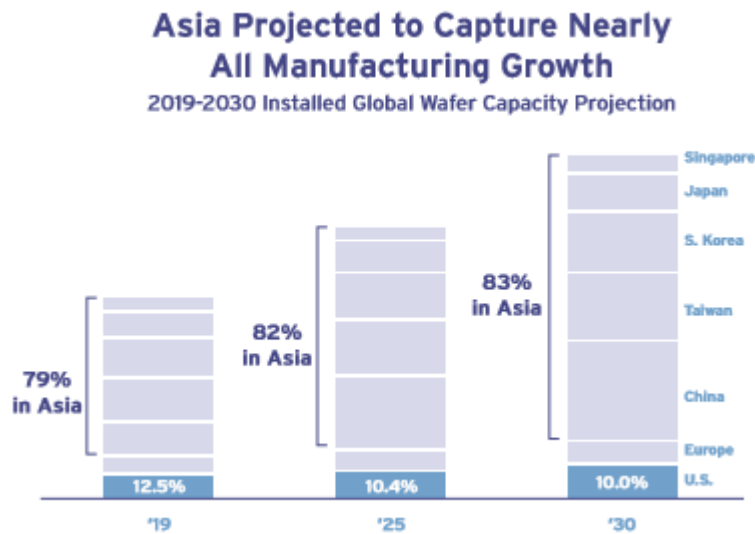


图 13 2019-2030 年全球晶圆产能预测

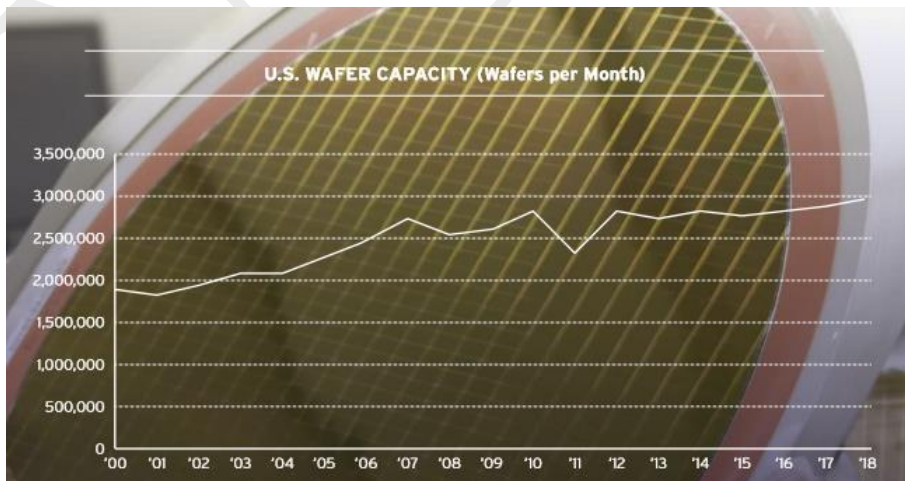


图 14 美国晶圆月产能

半导体产品是美国出口量最大的产品之一，2019 年，美国半导体出口总额为 460 亿美元，仅次于飞机、成品油、原油和汽车位居美国出口第五位。出口保持高位的原因有：（1）约 80% 以上的半导体产品销往美国以外的市场；（2）

美国半导体产能大。

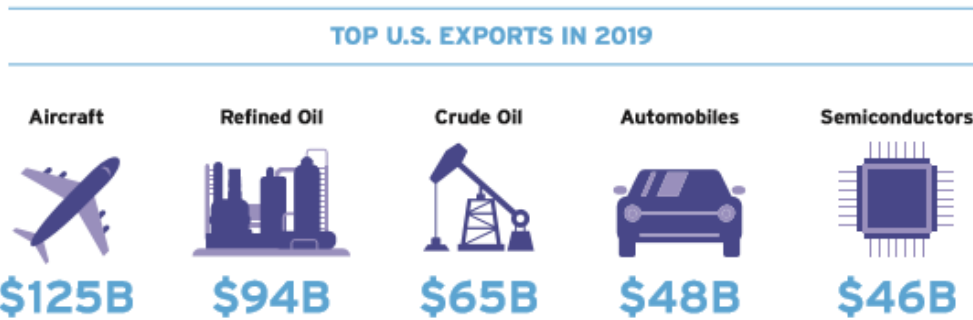


图 15 2019 年位居美国出口高位的产品

美国半导体制造商在美国的制造基地比在其他任何国家都多。2019 年，总部位于美国公司的前端半导体晶圆产能约 44%在美国。其他分布在新加坡、中国台湾、欧洲和日本。与其他主要市场相比，中国在前端制造方面吸引的美国投资更少。过去十年，海外芯片制造业的平均增长速度是美国的五倍。这在很大程度上是由于各国实施了强有力的激励计划来刺激半导体制造业。为此美国必须考虑采取类似的激励措施才能保持竞争力。

PERCENT OF U.S.-HEADQUARTERED FIRM SEMICONDUCTOR WAFER CAPACITY BY LOCATION

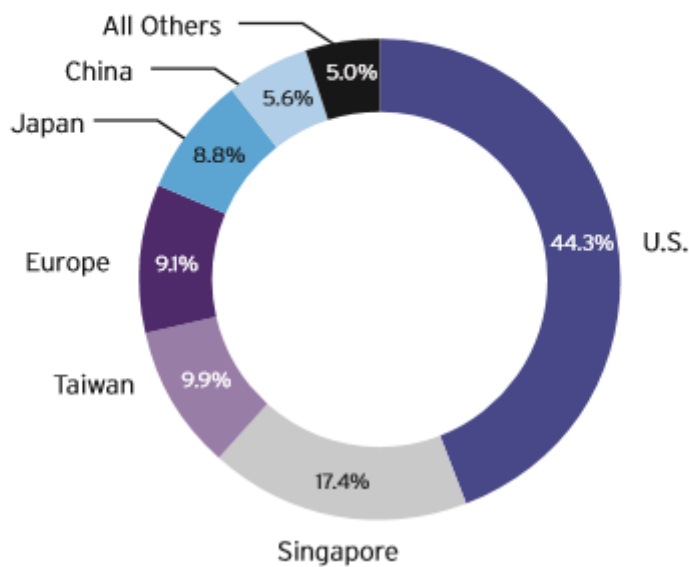


图 16 总部位于美国的半导体公司晶圆产能分布

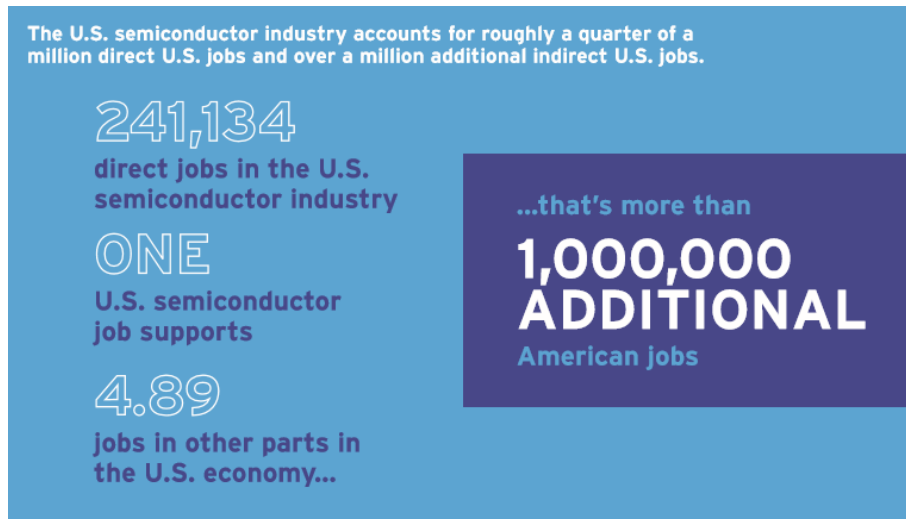


图 17 美国半导体提供的就业情况

六、美国半导体创新政策

联邦政府是制定美国半导体创新政策的重要合作伙伴。而在过去的一年里，美国的政策制定者积极推动研究、劳动力以及贸易和知识产权（IP）等方面的优先事项。

在研究方面，2019 年美国继续资助美国能源部（DOE）、国防部（DOD）、国家标准与技术研究所（NIST）和国家科学基金会（NSF）的半导体研究项目。美国政府最近还宣布了旨在支持美国半导体产业的新研究计划，包括 DOE 的量子信息科学计划、DOD 的电子复兴计划（ERI）和微电子创新推进国家安全和经济竞争力计划（MINSEC）。

在劳动力方面，众议院通过但尚未得到参议院批准的国会立法，将取消对就业签证的不合理和适得其反的限制，支持公平的“先到先得”制度。

在贸易与知识产权方面，美国-墨西哥-加拿大协议（USMCA）是一项自由贸易协议，旨在加强美国半导体产业，已由总统签署并获得国会批准。此外，在过去的一年中，联邦政府加大了对知识产权贸易侵权的起诉。

除了在这三个方面的举措，美国政府还需要采取更多措施来确保美国半导体产业的强大，应对来自中国和其他全球竞争对手的挑战。

为了确保美国在全球半导体产业持续保持领先地位，美国需要从以下几个方面发力：（1）研究方面，美国需要将美国联邦科学机构在半导体专项研究方面的投资从每年大约 15 亿美元增加到 50 亿美元，用于改进新材料、设计和架

构，大幅提高芯片性能；加倍联邦政府对材料科学、计算机科学、工程和应用数学等与半导体相关领域的投资，促进交叉融合以及未来关键技术的发展。（2）**国内制造业方面**，建立一项新的制造资助计划，以刺激在美国建造新的先进半导体制造设施，包括领先的逻辑器件代工厂、先进的存储器和模拟器件代工厂，以满足国防、关键基础设施和更广泛的基本商业需求；为半导体制造业提供税收优惠，例如为购买新的半导体制造设备提供可退还的投资税收抵免。（3）**劳动力方面**，改革高技能移民制度，吸引美国高等院校合格的 STEM 毕业生以及来自世界各地的 STEM 毕业生为美国半导体产业的创新和美国经济增长做出贡献；将美国在 STEM 教育上的投资增加 50%，并实施一项全国 STEM 教育计划，到 2029 年将美国 STEM 毕业生人数增加一倍。（4）**贸易和 IP 方面**，批准自由贸易协定并使之现代化，包括《美国-墨西哥-加拿大协定》，以消除市场障碍、保护知识产权并促进公平竞争；增加执法和情报机构资源，以防止和起诉包括盗用商业机密在内的半导体知识产权盗窃。

国会和政府可以在上述政策方面采取关键行动，确保美国在半导体技术方面的持续领先地位，并在未来技术的全球竞争中获胜。

于杰平 王丽摘译自

<https://www.semiconductors.org/2020-state-of-the-u-s-semiconductor-industry/>

IMEC：塑造未来半导体技术前景的五大趋势

IMEC CMOS 领域负责人 Sri Samavedam 在 7 月 9 日举办的 ITF USA 2020 线上会议上，讲述了一些驱动当今和未来半导体技术发展的主要趋势以及 IMEC 的应对措施。

一、趋势 1：摩尔定律将持续 8 到 10 年

在未来 8 到 10 年中，CMOS 晶体管的密度缩放将大致遵循摩尔定律，这将

主要依赖极紫外（EUV）曝光技术的进步和可实现标准逻辑单元缩小的新型器件结构来达成。

在 7nm 技术节点中引入了极紫外光刻技术，实现单次曝光中图案化关键芯片结构。5nm 技术节点以下，将不可避免使用多重曝光 EUV 光刻，这将大大增加晶圆成本。IMEC 期望高数值孔径（High NA）EUV 光刻技术可以实现 1nm 节点关键层的图形化，使多重曝光回归单次曝光，从而缓解成本、产量和生产周期来带的压力。

IMEC 一直努力提升 EUV 光刻技术，例如对随机缺陷的研究。随机缺陷有多种形式，对其进行改善可以降低曝光次数进而改善产量和成本。IMEC 试图理解、检测并缓解随机缺陷，并在近期达到量级改善。

为了加速 High NA EUV 的应用进程，IMEC 正安装 Attolab，一个超快激光设备，用来测试 High NA EUV 的一些关键材料(如掩模吸收层和抗蚀剂)。Attolab 的光谱表征工具能够在阿秒时间内研究关键的 EUV 光子与抗蚀剂的反应，同时有助于理解并缓解随机缺陷。IMEC 已经成功地完成了 Attolab 安装的第一阶段，并期望几个月后实现 High NA EUV 曝光。



图 1 IMEC EUV 光刻路线图

(PP=多晶硅节距；MP=金属节距；SAB=自对准隔断；eSA(LE)²=自对准多重曝光的创新方法；SADP=自对准双曝光)。

摩尔定律的持续，除了 EUV 光刻技术的进步，还需要前道工艺（FEOL）器件结构的创新。目前，FinFET 器件是主流晶体管结构，最先进工艺是 6-track cell 2 个鳍。但是，将 FinFETs 缩小到 5-track cell，每个晶体管只有一个鳍，导致单位面积的器件性能急剧下降。垂直堆叠的纳米薄片（Nanosheet）晶体管被认为是下一代器件，可以有效利用器件占用空间。另一个关键的空间节约技术是嵌入式电源线（BPRs），即在芯片前道工艺埋入电源线，将会释放互连布线

资源。

在 2nm 技术节点采用 Nanosheet 将受到 n-to-p 空间限制。IMEC 将采用 Forksheet 架构，在 n 型和 p 型纳米片之间加入“绝缘墙”，可以进一步微缩晶体管结构。另一个有助于提升布线效率的标准单元结构是金属线的垂直-水平-垂直（VHV）设计。最终，互补 FETs（CFETs）结构会将标准单元微缩到 4-track，该结构将 n-FETs 堆叠在 p-FETs 上（反之亦然），充分利用了单元级三维空间。

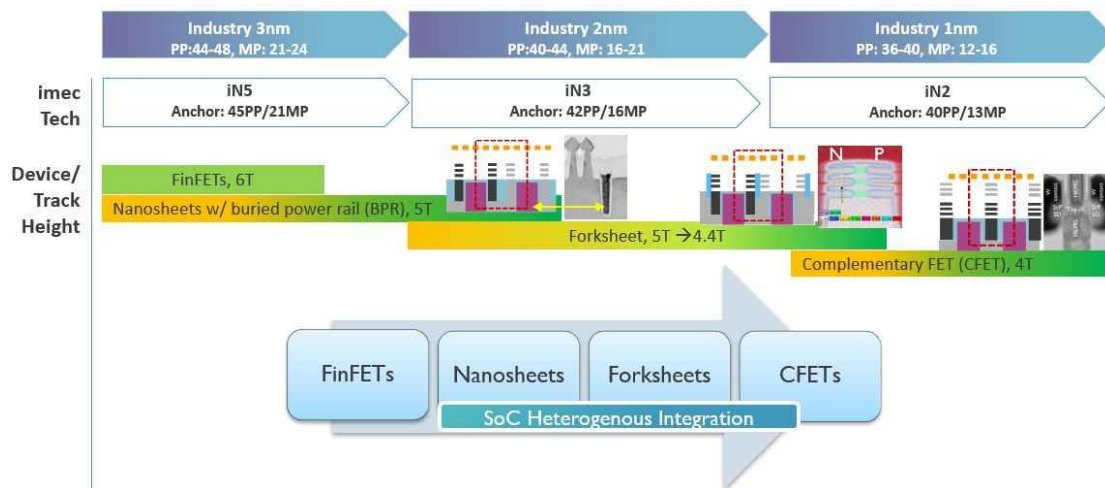


图 2 IMEC FEOL 路线图

二、趋势 2：固定功耗下逻辑性能的提升会放缓

由于无法继续缩小供电电压，在固定功耗下工艺尺寸缩小带来的性能改善（Dennard 缩放）放缓。研究人员正在寻找方法来弥补这种放缓趋势，进一步提升芯片性能。嵌入式电源线（BPRs）有望在系统级提升性能。同时，IMEC 着眼于将应力纳入 Nanosheet 和 Forksheet 器件中，并着力改善中道工艺（MOL）的接触电阻。进一步说，由于 n 型器件和 p 型器件可以独立优化，CFET 器件可以灵活地融合高迁移率材料。

对比 Si 或 SiGe，诸如二硫化钨（WS₂）这样的 2D 材料可以提供更好的栅长缩放，从而提升器件性能。一种很有前途的基于 2D 材料的器件结构将涉及多个堆叠薄片，每个薄片由栅堆叠环绕并从侧面接触。仿真表明，在 1nm 及以下尺寸，这些器件性能可以超过 Nanosheet。IMEC 已经在 300mm 晶圆上展示了双层 WS₂ 的双栅晶体管结构，栅长可降至 17nm。为了进一步提高这些器件的驱

动电流，IMEC 致力于改善这些新型材料的沟道生长质量，掺杂和接触电阻。与此同时，IMEC 试图结合物理和电学特性来加快这些器件的研发周期。

后道工艺（BEOL）中的布线拥挤和 RC 延迟已经成为性能提升的重要瓶颈。为了改善通孔电阻，IMEC 正在研究用 Ru 或 Mo 进行金属杂化。IMEC 期望半大马士革（Semi-Damascene）金属化模块能同时改善紧凑金属层的电阻和电容。Semi-Damascene 工艺可以通过直接图案化增加金属线的深宽比从而降低互连线电阻，同时在互连线间形成气隙（Air-gap）从而改善寄生电容。为了进一步降低线电阻，IMEC 筛选了一系列替代铜的导体，如二元合金。

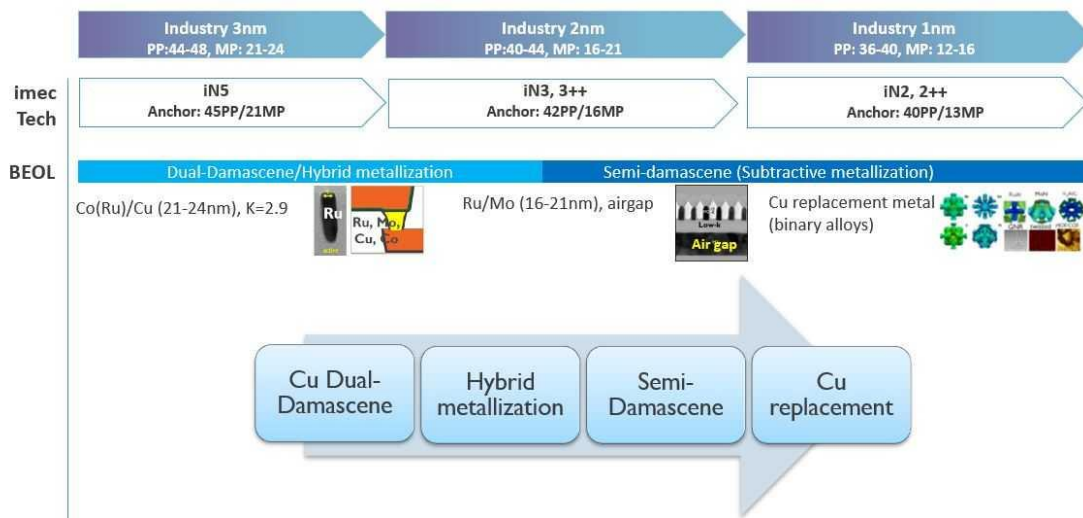


图 3 IMEC BEOL 路线图

三、趋势 3：通过 3D 技术实现更多异构集成

工业界越来越多采用 2.5D 或 3D 异构集成。这些方案有助于解决“内存墙”问题、为结构受限系统增加功能、或提高大型芯片系统的产量等。随着 PPAC（性能-功耗-面积-成本）的福利放缓，SoC（System on Chip）的智能功能配置或许是尺寸缩放继续的另一种途径。一个典型的例子是高带宽存储器（HBM）堆叠，它由堆叠的 DRAM 芯片组成，通过中间层与处理器芯片（GPU 或 CPU）连接。最近的例子还有 Intel Lakefield CPU 采用的 Die-on-Die 工艺，以及 AMD 7nm Epyc CPU 采用的 Chiplet 工艺。在未来还会有更多的异构 SoC，这些结构都有望提高系统性能。

IMEC 将进行跨领域（逻辑、内存、3D 集成等）集成创新提升 SoC 层面性

能。为了将备选技术和系统性能关联，IMEC 建立了一个 S-EAT 框架来评估特定技术对系统级性能的影响。例如，IMEC 利用该平台为高性能移动 SoC（包含 CPU 以及 L1、L2、L3 缓存）寻找最优配置的组合技术。

3D 集成技术使用 Cu/Sn 微凸点键合工艺实现，先进的微凸点节距滞留在 30 μm 左右。IMEC 展示的 Sn 微凸点互连方法可使节距将至 7 μm ，该方法充分利用了 TSV 技术。目前 IMEC 正在开发 Die-to-Wafer 混合键合技术，以期节距将至 3 μm ，同时具备高 Pick-and-Place 精度。

随着异构 SoC 的多样化，芯片上的不同功能（逻辑、存储、I/O 接口、模拟等）不一定采用单一 CMOS 技术。不同子系统可以采用不同的工艺技术来优化设计成本和产量，从而达成组合优势，这种趋势也将满足芯片多样化、定制化的需求。

四、趋势 4：NAND 和 DRAM 将走向极限，新兴非易失性存储器正在崛起

存储器 IC 市场预测，2020 年的存储器市场相对于 2019 年将是持平的一年，部分可能与新冠肺炎之下经济放缓有关。2021 年后，市场有望重新开始增长。新兴非易失性存储器市场预计年复合增长率将超过 50%，主要归因于嵌入式磁随机存取存储器（MRAM）和独立式相变存储器（PCM）的需求增长。

NAND 存储将继续扩大规模，在未来几年内不会发生颠覆性的架构变化。目前最先进的 NAND 产品具有 128 层 QLC。3D 技术通过 Wafer-to-Wafer 键合可以实现更多层。IMEC 在这方面的努力包括，开发低电阻字线金属（如钌），研究交替存储介质堆叠，改善沟道电流以及寻求方法来控制随堆叠层增加而产生的应力。IMEC 还致力于用更先进的 FinFET 器件取代 NAND 外围的平面逻辑晶体管。IMEC 正在探索纤锌矿型材料的 3D FeFETs，并评估其用于高端存储的可行性。

随着单元缩放正在减缓，DRAM 可能需要 EUV 光刻来改善图案。三星最近宣布 10nm（1a）级 EUV DRAM 生产。除了研究 EUV 光刻技术来图形化关键 DRAM 结构外，IMEC 还为真正的 3D DRAM 解决方案提供了构建模块，将存储器阵列放在外围的顶部。这种结构要求为阵列晶体管制备低温沉积半导体（如

低温 IGZO 材料、ALD 技术)。同样在 DRAM 方面, IMEC 也在寻求高 k/金属栅 FinFET 外围结构, 以取代多晶硅栅的平面结构。

在嵌入式内存领域, 大量研究来解决“内存墙”限制。IMEC 部署了系统级模拟平台 S-ECT, 以深入了解这些瓶颈。该平台可以评估替代 SRAM 的新型存储器, 了解各种工作负载的系统性能。IMEC 正在研究各种 MRAM, 包括 STT-MRAM、SOT-MRAM 和 VCMA-MRAM, 以期取代一些传统 SRAM 缓存。IMEC 还在积极研究可以与磁隧道结集成的选择器, 以进一步提高密度。

五、趋势 5: 边缘 AI 芯片的兴起

边缘 AI 是芯片行业的最大趋势之一, 预计未来五年的增长率将超过 100%。与云端 AI 不同, 本地化推理功能将嵌入物联网终端, 例如手机和智能音响。物联网设备与附近的边缘服务器无线连接, 该服务器将决定哪些数据被发送到云服务器, 哪些在边缘服务器上进行处理。

云端 AI 需要数据在终端和云服务器间来回流动, 而边缘 AI 则更容易解决隐私问题, 同时解决了响应速度和云服务器工作负载的问题。电池供电的 IOT 设备常常受限于功耗, IOT 设备的推理引擎同样需要极低能耗。目前商用边缘 AI 芯片使用快速 GPU 或 ASIC 进行计算, 能效比为 1-100 Tops/W。IOT 实施需要更高能效, IMEC 的目标是推理芯片能效比达到 10,000 Tops/W。

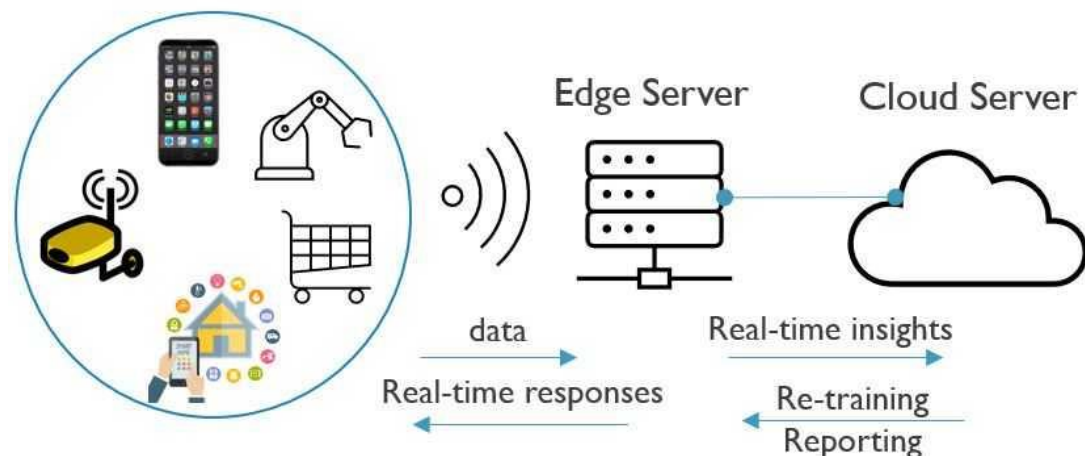


图 4 边缘 AI 框架

IMEC 正在探索模拟内存内计算架构 (Compute-in-Memory), 这将打破传

统 VonNeumann 存算分离架构。计算在内存内完成，节省了数据流动的能耗。2019 年，IMEC 演示了一个基于 SRAM 的模拟计算内存单元（采用 22 nm FD-SOI 技术），达到 1000 Tops/W 能效比。目前 IMEC 正在研究 SOT-MRAM、FeFET 和基于 IGZO 等非易失性存储器，旨在将能效比提高到 10,000 Tops/W，

邹丽雪 王丽编译自

<https://www.imec-int.com/en/articles/five-trends-will-shape-future-semiconductor-technology-landscape>

MS&T

澳大利亚研发单个光学芯片通过标准光纤实现超密集数据传输创下史上最快互联网速度

微梳 (Micro-combs)，由集成微腔谐振器产生的光学频率梳，提供了其体积的全部潜力，但只限在一个集成足迹上。它们在光谱、微波光子学、频率合成、光学测距、量子源、计量学和超高容量数据传输等许多领域实现了突破。

来自澳大利亚莫纳什大学 (Monash University)、斯威本大学 (Swinburne University of Technology) 和皇家墨尔本理工大学 (RMIT University) 的研究团队通过一种称为孤子晶体的强大的微梳，用其取代了 80 个激光器，使用单个集成芯片源在 75 km 的标准光纤上实现 44.2Tbps 的超高数据传输。

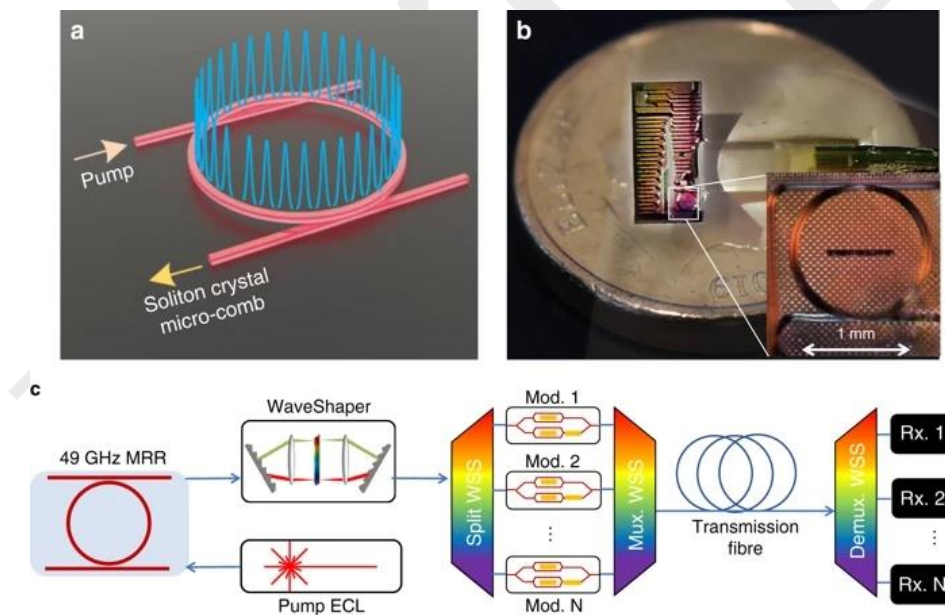


图 1 孤子晶体微梳通信实验的概念图。a) 本文所用孤子晶体态的说明; b) 光纤封装微环谐振器芯片用于产生孤子晶体; c) 实验装置。

研究团队展示了使用 1550 nm 电信 C 波段的 44.2 Terabits/s 的线速率，频谱效率为 10.4 bits/s Hz。孤子晶体表现出稳健和稳定的产生和运行以及高的本征效率，加上 48.9 GHz 的极低孤子微梳间距，使得可以使用非常高的相干数据调制格式 (64 QAM-正交振幅调制)。这项工作展示了光学微梳在高要求和实用的光通信网络中的性能。这是微梳首次用于现场试验，并拥有单颗光芯片产生的最

高数据量。

这种规模的演示通常只限于实验室内。但是，在这项研究中，研究人员利用现有的通信基础设施实现了这样的速度，在那里他们能够有效地对网络进行负载测试。

为了说明光学微梳对优化通信系统的影响，研究人员在墨尔本皇家理工大学的墨尔本城市校区和莫纳什大学的克莱顿校区之间安装了 76.6 公里长的“暗色”光纤。这些光纤是由澳大利亚学术研究网络提供的。

在这些光纤内，研究人员将由斯威本大学提供的光学微梳作为广泛的国际合作的一部分，其作用就像一道彩虹，由数百个高质量的红外激光器组成，由单个芯片组成。每个“激光器”都有能力作为一个独立的通信通道。

这项技术有能力同时支持澳大利亚墨尔本 180 万个家庭的高速互联网连接，支持全球数十亿个家庭的高速互联网连接。该项研究技术成果不仅有可能快速提升澳大利亚未来 25 年的电信能力，而且有望推广到全世界，从而缓解最近 COVID-19 的隔离政策对世界互联网基础设施所带来的压力

研究团队表示，达到 44.2Tbps 的最佳数据速度，显示了澳大利亚现有基础设施的潜力。该项目的目标是在不增加体积、重量和成本的情况下，将目前的发射机从每秒几百兆字节的速度扩展到每秒几十兆字节。从长远来看，研究团队希望制造出集成光子芯片，能够以最小的成本在现有的光纤链路上实现这样的数据速率。现在这些技术对于数据中心之间的超高速通信具有吸引力。但是当这种技术会变得足够低成本、足够紧凑，就可以在全球城市的普通民众中进行商业应用。

该研究成果发表在《Nature Communications》，Publication: volume 11, Article number: 2568 (2020)，题目：“Ultra-dense optical data transmission over standard fibre with a single chip source”。

沈湘摘译自

<https://techxplore.com/news/2020-05-world-fastest-internet-optical-chip.html>

<https://www.nature.com/articles/s41467-020-16265-x>

荷兰开发出用于纳米级传感的超大带宽集成光学传感器

在纳米电子学时代，精确是时代的准则。例如，纳米结构可以用纳米光学仪器监测，微小的、基于光的系统可以测量最小的表面变化、力和运动。由于分辨率和速度是必不可少的，基于光机械系统的光学读出传感器经常用于原子力显微镜（AFM）等传感应用中。这些设备通过测量悬臂梁在感兴趣表面上的偏转反射的激光，产生亚纳米分辨率的图像。

然而，传统的基于激光的方法（如 AFM 中的方法）可能体积庞大，随着对低成本和高分辨率的需求，需要一种替代方法。由于纳米光学机械系统（NOMS）的发展，在纳米尺度上测量运动、力和质量的紧凑型光学传感器是可以实现的。一个限制因素是需要一个窄线宽的可调谐激光器，这可能很难在一个设备上充分结合。

为了避开这个问题，荷兰埃因霍温理工大学光子集成研究所的研究人员开发了一种新的集成光学传感器，可以提高测量的分辨率，并为全集成和紧凑的光学传感器铺平道路，包括用于片上传感平台的激光器和探测器。这种传感器可以在纳米尺度上精确测量位移和力，这对于微芯片和纳米器件的设计和评估至关重要。

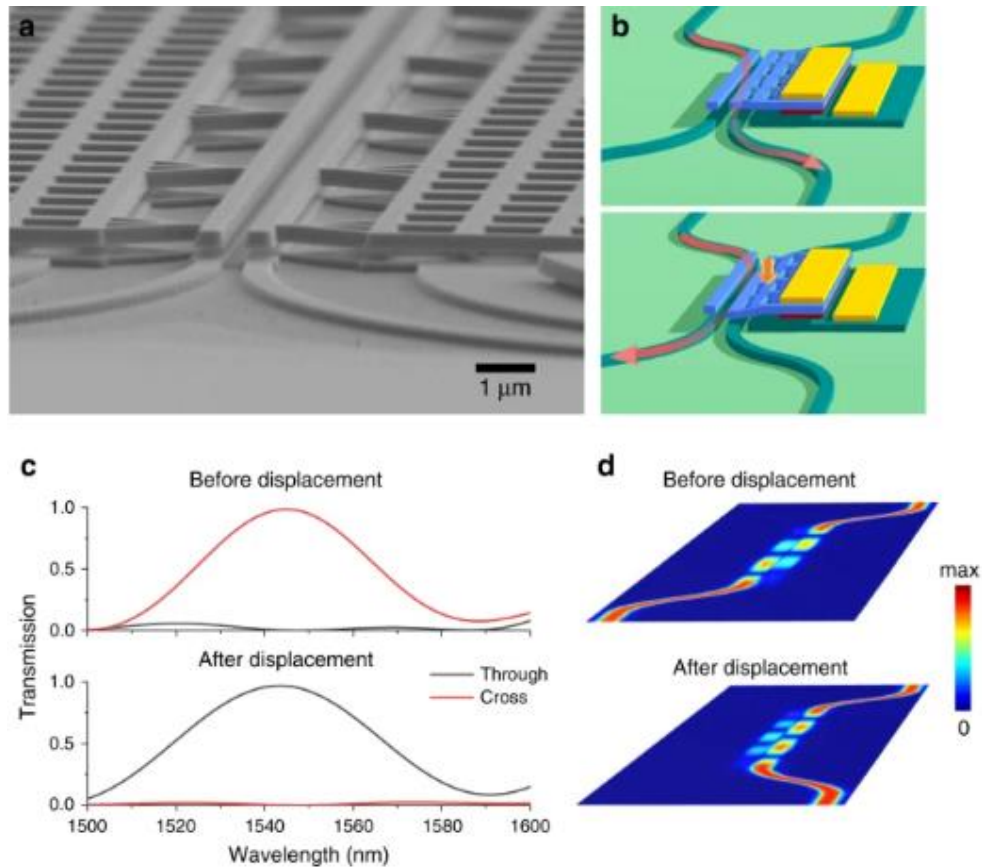


图 1 纳米机械定向耦合器位移传感器

研究人员设计了一种新的光学机械装置，其分辨率为 45 微米（约为最小原子的 1/1000），测量时间仅为几秒钟。最关键的是，该设备具有 80nm 的超宽光带宽，从而消除了对可调谐激光器的要求。

该传感器基于硅（IMOS）平台上的磷化铟（InP）膜，是包含激光器或探测器等无源元件的理想选择。传感器本身由四个波导结构组成，它们将光信号限制在特定的路径和方向上，两个波导悬挂在两个输出波导上方。当一个悬浮波导被推向 InP 膜上的输出波导时，输出波导携带的信号量会发生变化。制造过程通过一系列光刻步骤来定义波导管和悬臂梁，最终的传感器由传感器、执行器和光电二极管组成。

这种传感器的一个主要优点是可以在很大的波长范围内工作，这就不需要在设备上安装昂贵的激光器。在悬臂梁挠度方面，传感器也复制了传统但体积庞大的原子力显微镜悬臂梁的分辨率。利用这一新设备作为基础，研究人员计

划开发一个完整的“纳米计量实验室”，它集成在一个可以用于半导体计量的芯片上，有助于下一代微芯片和纳米电子学的设计。

该研究成果发表在《Nature Communications》，Publication: 11, Article number: 2407 (2020)，题目：“Integrated nano-optomechanical displacement sensor with ultrawide optical bandwidth”。

沈湘摘译自

<https://phys.org/news/2020-05-device-nanometer-scale.html>

<https://www.nature.com/articles/s41467-020-16269-7>

美国麻省理工学院证实碳纳米场效应晶体管已接近商业化应用

几十年来，硅基晶体管制造业的进步降低了价格，提高了计算的能源效率。然而，这一趋势可能接近尾声，因为越来越多的晶体管封装在集成电路中，似乎并没有以历史速度提高能源效率。

碳纳米管场效应晶体管（CNFET）是一种有吸引力的替代技术，因为它们比硅基晶体管“能效高一个数量级”。与硅基晶体管不同，这种晶体管在 450 至 500 摄氏度的温度下制造，CNFET 也可以在接近室温的温度下制造，从而在先前制造的电路层上构建电路层，从而制造出一个三维芯片。CNFET 比硅场效应晶体管更节能，可用于制造新型三维微处理器。但到目前为止，它们大多存在于一个“手工”的空间里，在学术实验室里少量制作。

美国麻省理工学院的科学家们近期展示了如何在计算机芯片设计行业标准的 200 毫米晶圆上大量制造 CNFET。CNFET 是在美国的一家商业硅制造厂和一家半导体铸造厂制造的。

麻省理工学院电子工程和计算机科学研究团队在分析了用于制造 CNFET 的沉积技术后，做出了一些改变，使制造过程比传统方法快了 1100 多倍，同时也

降低了生产成本。这项技术在晶圆上边对边地沉积碳纳米管，在多个晶圆上分布着 14400×14400 阵列 CNFET。

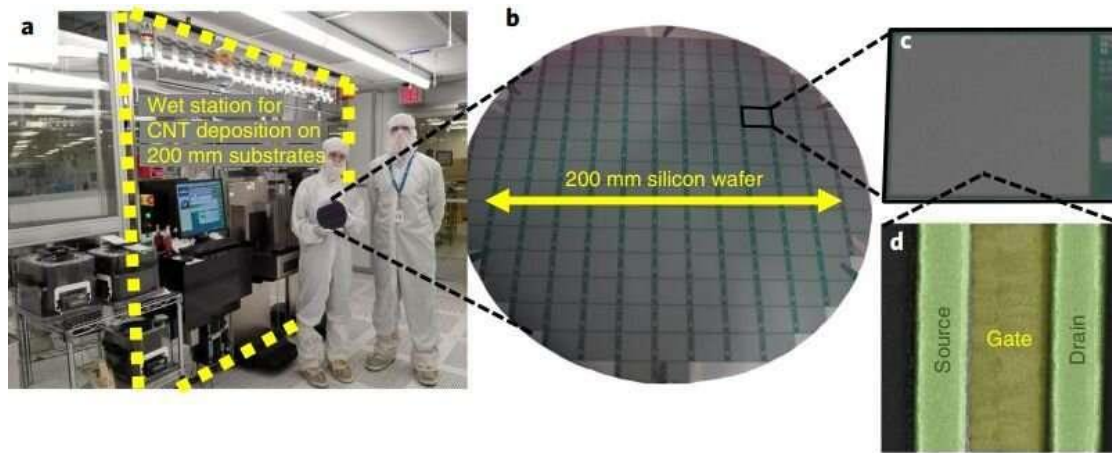


图 1 在商业硅晶圆上集成碳纳米管

在实验室里建立 CNFET 最有效的方法之一是一种叫做孵化的方法来沉积纳米管，即将晶圆浸入纳米管浴中，直到纳米管粘附在晶圆表面。CNFET 的性能在很大程度上取决于沉积过程，沉积过程会影响晶圆表面碳纳米管的数量及其取向。在 CNFET 中，将纳米管完美地排列在一起可以获得理想的性能，但是很难实现对齐。

孵化法虽然在工业上是可行的，但它根本没有对准纳米管。但是对孵化过程的仔细观察向研究人员展示了如何改变孵化过程，使其更适合工业化生产。例如，研究发现干循环（一种间歇干燥浸没在水中的晶圆的方法）可以将孵化时间从 48 小时大幅缩短到 150 秒。另一种称为 ACE（通过蒸发进行人工浓缩）的新方法是在晶圆上沉积少量的纳米管溶液，而不是将晶圆浸入槽中。溶液的缓慢蒸发增加了碳纳米管的浓度和沉积在晶圆上的纳米管的总密度。

研究人员与模拟器件公司（一家商业硅制造厂）和一家半导体铸造厂 SkyWater Technology 合作，使用改进的方法制造 CNFET。他们能够使用这两个工厂用于制造硅基晶圆的相同设备，同时也确保纳米管溶液满足设施严格的化学和污染物要求。

研究人员表示下一步将在工业环境中用 CNFET 制造不同类型的集成电路，并探索 3D 芯片可能提供的一些新功能。

该研究成果发表在《Nature Electronics》，Publication: 01 June 2020，题目：“Fabrication of carbon nanotube field-effect transistors in commercial silicon manufacturing facilities”。

沈湘摘译自

<https://techxplore.com/news/2020-06-carbon-nanotube-transistors-lab-factory.html>

<https://www.nature.com/articles/s41928-020-0419-7>

英国研究开发出首个集成光子源有望为大规模量子光子学技术提供支持

量子技术的发展有望对科学、工程和社会产生深远的影响。规模化的量子计算机将能够解决即使是目前最强大的超级计算机上也难以解决的问题，例如在新药和新材料的设计中有许多革命性的应用。

集成量子光子学是发展量子技术的一个很有前途的平台，因为它能够在小型复杂光学电路中产生和控制光子单粒子。利用成熟的 CMOS 硅工业来制造集成器件，可以将具有数千根光纤和元件的电路集成到一个毫米级的芯片上。因此利用集成光子学开发可扩展量子技术的需求量很大。

限制集成量子光子学技术规模的一个重要挑战是缺少能够产生高质量单光子的片上光源。如果没有低噪声光子源，当电路复杂度增加时，量子计算中的错误会迅速累积，导致计算不再可靠。此外，光源中的光学损耗限制了量子计算机可以生成和处理的光子数量。因此，当电路复杂度增加时，量子计算中的误差会迅速累积，影响计算效果。

为解决这一问题，英国布里斯托大学研究人员利用成熟的 CMOS（互补金属氧化物半导体）制造技术和新的光干涉技术，将具有数千根光纤和多个组件的电路集成到单个毫米级的芯片上，开发出首个具备在小型复杂光学电路中生成和控制单个光粒子能力的集成光子源。为了实现高质量的光子，研究人员开

发出一项称为“模态间自发四波混频 (inter-modal spontaneous four-wave mixing)”的新技术。在这项技术中，通过硅波导传播的多模式光线的非线性干涉，为生成单光子创造了理想条件。布里斯托大学的量子工程技术实验室研究团队与意大利特伦托大学研究团队在“Heralded Hong-Ou-Mandel”实验（该实验是光学量子信息处理中的一个重要实验）中，对这个光源在光子量子计算方面的应用进行了基准测试，并获得了迄今为止观察到的最高质量的片上光子量子干涉（96%可见度）。

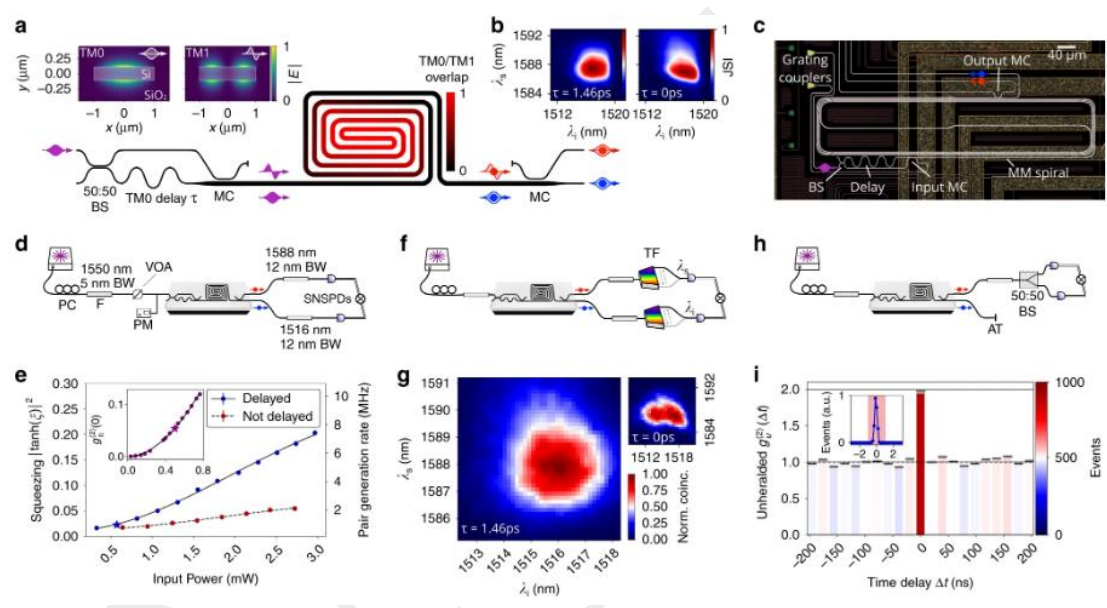


图 1 多模态光源示意图

研究人员表示，该技术有望帮助在单个芯片上集成数十到数百个光子，为大规模量子计算铺平道路。

该研究成果发表在《Nature Communications》，2020; 11 (1) DOI: 10.1038/s41467-020-16187-8，题目：“Near-ideal spontaneous photon sources in silicon quantum photonics”。

沈湘摘译自

<https://phys.org/news/2020-05-photon-discovery-major-large-scale-quantum.html>

<https://www.nature.com/articles/s41467-020-16187-8>

德国利用光学线键合三维纳米光刻技术实现多光子芯片混合组装

自由曲面光波导的三维（3-D）纳米光刻技术（Three-dimensional (3-D) nanoprinting of freeform optical waveguides），也被称为光学线键合技术（photonic wire bonding），可以有效地耦合光子芯片，从而大大简化光学系统的组装。传统的光学组装技术依赖于复杂且成本高昂的高精度对准技术，而光学线键合技术则避免了这一过程，并且其在键合形状和轨迹方面有着明显的优势，从而为依赖于技术复杂和昂贵的高精度对准的传统光学组装技术提供了一个有吸引力的替代方案。然而，虽然光子线键合概念的基本优点已在概念验证实验中得到证明，但迄今为止尚不清楚该技术是否也可用于具有严格再现性和可靠性要求的实际相关用例。

来自德国卡尔斯鲁厄理工学院（Karlsruhe Institute of Technology）和先锋自动化公司（Vanguard Automation GmbH）的光子学、量子电子学和微结构技术研究领域团队利用光学线键合技术，将硅光子调制器阵列与激光器和单模光纤之间的键合。在实验室里，研究团队利用先进的三维光刻技术将光学线键合到芯片上，从而有效地将各种光子集成平台连接起来。此外，研究团队还简化了先进的光学多阶模组的组装过程，从而实现了从高速通信到超快速信号处理、光传感和量子信息处理等多种应用的转换。

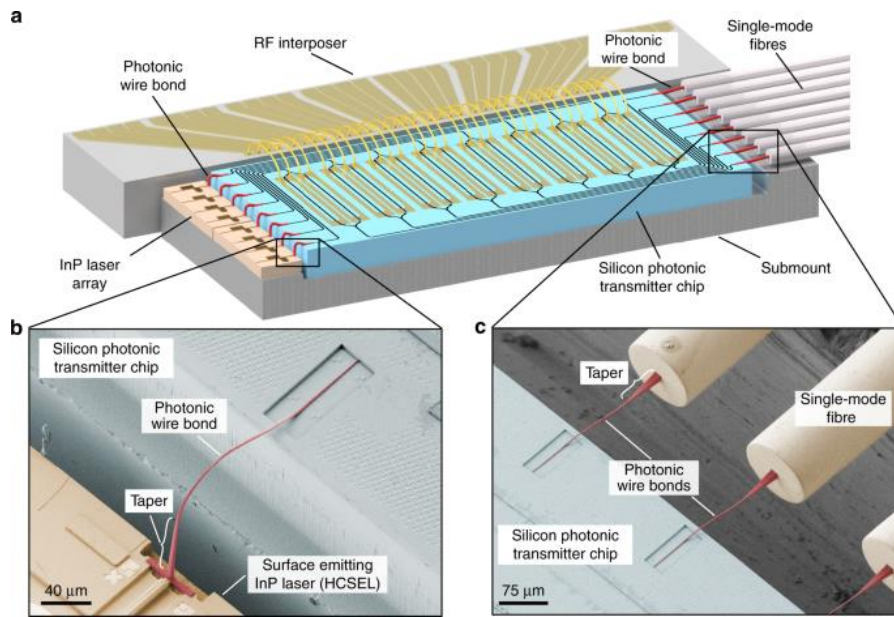


图 1 基于光学引线键合三维纳米光刻技术实现多光子芯片混合组装的概念设计和实现流程

光子集成是实现各种量子技术的关键方法。该领域的大多数商业产品都依赖于光子芯片的独立组装，因此这些芯片需要耦合元件进行连接，如片上适配器和微透镜或重定向镜等。光学系统的组装需要复杂的主动对准技术，以在器件开发过程中持续监控耦合效率。该方法成本高且产量低，抵消了光子集成电路（PIC）晶圆大规模生产的优势。在本研究中，研究团队将传统系统的性能和灵活性优势与利用先进增材纳米加工技术进行整体集成的紧凑性和可扩展性优势结合到了一起。为了在光子器件上设计出自由形式的聚合物波导，该团队依靠直接写入双光子光刻技术。这种方法也被称为光子线键合，以实现全自动过程中的高效光学耦合。

研究团队设计了 100 个间隔紧密的光学线键（PWB），该实验为简化先进光子多芯片系统组装奠定了基础。实验模块包含多个基于不同材料体系的光子模具，包括磷化铟（InP）和绝缘体上的硅（SOI）。实验中的组装步骤不需要高精度对准，研究人员利用三维自由曲面光学引线键合技术实现了芯片到芯片和光纤到芯片的连接。此外，研究人员使用三维成像和计算机视觉技术对芯片上的对准标记进行了检测。然后，使用双光子光刻技术制造光学线键，其分辨率达到了亚微米级。研究团队将光学夹并排放置在设备中，以防止热效应，并实现高效地热连接。混合多芯片模块（MCM）依赖于硅光子（SiP）芯片与磷化铟

光源和输出传输光纤的有效连接。研究团队还将磷化铟光源作为水平腔面发射激光器（HCSEL），以便当他们将光学线键与微透镜结合在一起时，可以方便地将光学平面外连接到芯片表面。

研究团队展示了利用光子线键合将硅光子调制器阵列连接到 InP 激光器和单模光纤上的光通信引擎。在第一个实验中展示了一个八通道发射机，它通过低复杂度的强度调制提供 448 Gbit/s 的聚合线速率。第二个实验是一个四通道相干发射机，它的净数据速率为 732.7 Gbit/s，这是采用共封装激光器的相干硅光子发射机的记录。利用专用测试芯片，研究人员进一步演示了插入损耗为 (0.7 ± 0.15) dB 的光子线键的自动化量产，并在环境稳定性测试和高光功率下展示了它们的弹性。这些结果可能成为简化组装先进光子多芯片系统的基础，该系统结合了不同集成平台的独特优势。

研究团队通过以上实验，突破了现有混合光子集成方法的限制，实现了光学引线键的三维纳米制造。该团队通过研制两种不同的混合多芯片发射机引擎，验证了这种制造方法的可行性。虽然在这项工作中，研究团队只专注于将该技术用于高速光通信的发射机模组，但该技术具有混合光子集成的优势，非常具有广泛应用的潜力。

该研究成果发表在《Light: Science & Applications》，Publication: April 27 2020, 9, Article number: 71 (2020)，题目：“Hybrid multi-chip assembly of optical communication engines by in situ 3D nano-lithography”。

沈湘摘译自

<https://phys.org/news/2020-05-hybrid-multi-chip-optical-d-nanolithography.html>

<https://www.nature.com/articles/s41377-020-0272-5>

《集微技术信息简报》是由中国科学院文献情报中心情报研究部承担编辑的半导体、集成电路、微电子相关领域科技信息综合报道及专题分析简报(双月报),于2014年3月正式启动,2014年为季度发行的《光刻技术信息简报》,2015年更名《集微技术信息简报》双月发行,2017-2018年根据服务内容聚焦点更名《第三代半导体技术信息简报》。2019年起卷名恢复《集微技术信息简报》。按照“统筹规划、系统布局、分工负责、整体集成、长期积累、深度分析、协同服务、支撑科研”的发展思路,规划和部署《集微技术信息简报》。《集微技术信息简报》服务对象是集成电路、微电子领域的相关领导、科技战略研究专家和科研一线工作者。《集微技术信息简报》内容力图兼顾科技决策和管理者、科技战略专家和领域科学家的信息需求,报道集成电路、微电子领域的国际科技战略与规划、科技计划与预算、科技进展与动态、科技前沿与热点、重大科技研发与应用、重要科技政策与管理等方面的最新进展与发展动态,不定期提供半导体、集成电路、微电子领域热点方向的专题分析。

《集微技术信息简报》是内部资料,不公开出版发行;除了其所报道的专题分析报告代表相应作者的观点外,其所刊载报道的中文翻译信息、汇编信息等并不代表编译者及其所在单位的观点。

NSTL 微电子器件及集成专项情报服务团队

执笔人:王丽 沈湘 于杰平

联系人:王丽

电话:010-82626611-6649

电子邮件:wangli@mail.las.ac

