



中国科学院大学

University of Chinese Academy of Sciences

博士学位论文

硅基叠层射频封装多物理场协同分析技术研究

作者姓名: 朱瀚翔

指导教师: 曹立强 研究员

中国科学院微电子研究所

学位类别: 工学博士

学科专业: 微电子学与固体电子学

培养单位: 中国科学院微电子研究所

2021年6月

Research on Multi-physics Analysis of Silicon-based
3D RF Packaging

A dissertation submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Doctor of Philosophy
in Microelectronics and Solid State Electronics

By

Hanxiang Zhu

Supervisor: Professor Liqiang Cao

Institute of Microelectronics of Chinese Academy of Sciences

June, 2021

中国科学院大学
研究生学位论文原创性声明

本人郑重声明：所提交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：朱翰翔

日期：2021.5.20

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分內容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：朱翰翔

日期：2021.5.20

导师签名：

日期：2021.5.20

摘要

随着射频系统日趋向着小型化的方向发展，三维系统级封装（SiP）由于其成本低，设计周期短，可异质集成等优势成为实现射频系统小型化的常用方案和研究热点，其中的硅基叠层封装相比基于其他材料的 3D 封装有着与射频芯片更匹配的热膨胀系数（CTE），更精细的工艺和更好的散热效率等优点，然而由于硅是半导体材料，在使用硅基板实现三维射频封装时会产生多物理场耦合现象，针对这些现象，学术和工业界还缺乏比较系统的研究。因此，本文以 Ka 波段射频接收机系统为应用背景，实现了一款硅基叠层射频封装，并系统性的研究了该封装中的热-电-力多物理场耦合效应。

叠层封装结构设计方面：第一，为了确认实现接收机系统的封装方案，讨论了硅基转接板的基本电学特性，并设计封装中的关键传输结构并实测验证其直流和高频传输特性，对 TSV 高频传输结构进行了结构优化使其插损大大减小，最终确定了整体封装结构。第二，为了实现接收机系统的小型化，设计了一款用于接收机系统的中心频率为 29.8 GHz，相对带宽 5% 的硅基集成 SIW 滤波器，并讨论了滤波器制造工艺中绝缘材料和硅材料电阻率对其传输特性的影响，在设计中采用了矩形波导滤波器等效法和耦合系数提取法，将设计时间缩短了 96%，最终实测的滤波器带内损耗为 3.45 dB，其余相关指标均满足设计要求。

叠层封装中的热电耦合方面：第一，为了研究多芯片高功率射频封装中的热耦合效应，以接收机系统叠层封装为例，采用热阻矩阵提取的方法表征了不同芯片间的热耦合程度，并基于热阻矩阵计算不同系统功耗下的芯片结温和仿真结果对比，差距小于 0.7%。结果显示距离近的芯片间热耦合程度越高，且通过减小发热芯片下方导电胶厚度的方式可以提升封装的散热效率。第二，为了研究射频封装中的热电耦合，通过仿真获得了转接板不同覆铜率和对外引脚形式与封装散热效果的关系，覆铜率对散热效果基本无影响，而 LGA 相比于 BGA 有明显更好的散热特性。此外，设计了关键传输结构 TSV 和 CPW RDL

传输线在不同温度场下进行实测，探究温度对 TSV 直流漏电和传输线高频性能的影响，实测结果显示，TSV 漏电随着温度升高而增加，且温度上升至 200°C 时漏电流有跳跃式增大；传输线的特征阻抗，相位常数不受温度影响，衰减常数和插入损耗也随温度升高成非线性增长。

叠层封装中的热力学耦合方面：第一，本文基于接收机叠层封装结构，通过仿真评估了采用不同厚度的转接板时回流过程中的翘曲情况，结果显示厚度越大翘曲越小，经过实测显示翘曲形态与仿真结果一致，实测翘曲最大值为 22 μm ，远在可接受范围之内。第二，基于翘曲值的实测结果，仿真研究了翘曲造成结构尺寸变化对 SIW 滤波器等结构传输性能的影响，并通过采用内缩式背面金属化结构，防止了翘曲对滤波器带外抑制性能的影响。第三，基于电迁移理论，设计了 TSV 电迁移缺陷测试结构，根据实际失效模式研究了不同类型电迁移缺陷对传输结构高频性能的影响，结果显示，由于电迁移缺陷没有完全切断高频电磁场传输时的表面电流通路，对高频传输效率无明显影响。

最终，本文基于硅基叠层封装中的多物理场耦合研究结果，实现了这款四层硅基叠层的 Ka 波段接收机系统，针对系统的 Ka 波段部分，进行了芯片间互联通路的设计，引入一种 wirebond 结构阻抗补偿的方法。实测的 Ka 波段接收机前端的转换增益为 -13.53 dB（不存在有源芯片的情况下），验证了硅基叠层封装在实现射频系统时的优势和潜力。总而言之，本文针对一款实际的接收机系统，对硅基叠层封装中的多物理场耦合现象进行理论分析，仿真计算和实验研究，为可应用于射频系统的叠层封装的设计与制作提供科学的指导，并为多物理场耦合现象的研究积累宝贵的经验。

关键词：系统级封装，射频系统，多物理场耦合，硅转接板

Abstract

With the development of RF systems in the direction of miniaturization, three-dimensional system-in-package (SiP) has become a common solution and research hotspot for miniaturization of RF systems due to its low cost, high design speed, and heterogeneous integration. Compared with 3D package based on other materials, the Si-based stacked package has the advantages of more matching coefficient of thermal expansion (CTE) with the chip, finer process and better heat dissipation efficiency. However, because of the semiconductor characteristics of silicon material, three-dimensional RF packaging will introduce multi-physics coupling phenomena. For these phenomena, there is still a lack of systematic research. Therefore, this article uses the Ka-band RF receiver system as the application background to realize a silicon-based stacked RF package, and systematically study the thermo-electric-structural multi-physics coupling effect in the package.

Design of the stacked package structure: firstly, in order to confirm the package solution for the receiver system, the basic electrical characteristics of the silicon interposer are discussed, and the key transmission structure in the package is designed and tested to verify its DC and high-frequency transmission characteristics. The structure of the TSV high-frequency transmission was optimized to greatly reduce the insertion loss, then the overall package structure was determined. Secondly, in order to achieve the miniaturization of the receiver system, a silicon-based integrated SIW filter with a center frequency of 29.8 GHz and a relative bandwidth of 5% for the receiver system was designed, and the influence of insulating materials and resistivity of silicon on its transmission characteristics were discussed. The rectangular waveguide filter equivalent method and the coupling coefficient extraction method were adopted in the design, which shortens the design time by 96%. The final measured filter in-band loss is 3.45 dB, and the rest of the relevant indicators meet the design requirements.

Thermal and electrical coupling in stacked packaging: firstly, in order to study the

thermal coupling effect in multi-chip high-power RF packaging, taking the receiver system stacked package as an example, the thermal resistance matrix extraction method was used to characterize the heat coupling between different chips. The strength of coupling was calculated based on the thermal resistance matrix and the chip junction temperature under different system power consumption was compared with the simulation results, the difference is less than 0.7%. The results show that the thermal coupling between chips in a short distance is higher, and the heat dissipation efficiency of the package can be improved by reducing the thickness of the conductive adhesive under the chip. Secondly, in order to study the thermoelectric coupling in the RF package, the relationship between the different copper rate of the interposer board and the external pin form and the heat dissipation of the package was obtained through simulation. The copper rate basically has no effect on heat dissipation, while the LGA compared with BGA has significantly better heat dissipation characteristics. In addition, the key transmission structure TSV and CPW RDL transmission lines were designed to for measurements under different temperature to explore the influence of temperature on TSV DC leakage and transmission line high-frequency performance. The actual measurement results show that TSV DC leakage increases with increasing temperature. When the temperature rises to 200 °C, the leakage current has a leaping increase; the characteristic impedance and phase constant of the transmission line are not affected by temperature, and the attenuation constant and insertion loss also increase nonlinearly with the increase in temperature.

Thermal, electrical and structural coupling in stacked packaging: firstly, based on the receiver stacked packaging structure, this paper evaluates the warpage during the reflow process when interposer of different thicknesses are used through simulations. The results show that the greater the thickness, the more warpage. The actual measurement shows that the warpage shape is consistent with the simulation results. The maximum value of the actual warpage is 22 μm , which is far within the acceptable range. Secondly, based on the actual measurement results of the warpage value, the

simulation researched the influence of the structural size change caused by the warpage on the transmission performance of the SIW filter and other structures. By adopting the retractable back metallization structure, the warpage is prevented from affecting the filter's out-of-band rejection. Thirdly, based on the theory of electromigration, a TSV electromigration defect test structure was designed and tested. According to the actual failure mode, the influence of different types of electromigration defects on the high-frequency performance of the transmission structure was studied. The results showed that electromigration defects have no obvious effect on the high-frequency transmission efficiency.

Finally, based on the research results of multi-physics coupling in silicon-based stacked packaging, this paper realizes a four-layer silicon-based stacked Ka-band receiver system. For the Ka-band part of the system, the interconnection path between chips was designed. A impedance compensation method for wirebond structure was introduced. The measured conversion gain of the front end of the Ka-band receiver is -13.53 dB (in the absence of active chips), which verifies the advantages and potential of the silicon-based stacked package in realizing a radio frequency system. All in all, this article aims at an actual receiver system, and conducts theoretical analysis, simulation calculation and experimental research on the multi-physics coupling phenomenon in the silicon-based stacked package, and proves that the design and production of the package can be applied for realization of RF system, provides scientific guidance, and accumulates valuable experience for the study of multi-physics coupling phenomena.

Key Words: System in Package, RF System, Multi-physics Coupling, Silicon Interposer

目 录

摘 要.....	I
ABSTRACT.....	III
第 1 章 绪论.....	1
1.1 引言.....	1
1.2 3D RF-SiP 研究现状.....	3
1.2.1 基于 LTCC 工艺的 3D RF-SiP 的研究现状.....	3
1.2.2 基于有机基板工艺的 3D RF-SiP 的研究现状.....	10
1.2.3 基于 Si 基工艺的 3D RF-SiP 的研究现状.....	15
1.3 本文的研究内容和意义.....	22
第 2 章 硅基叠层封装设计和集成 SIW 滤波器研究.....	25
2.1 叠层型集成方案及硅转接板基本特性研究.....	25
2.1.1 硅基叠层封装集成方案.....	26
2.1.2 硅基转接板典型结构等效模型.....	28
2.1.3 硅基叠层封装中典型无源互连结构的直流特性.....	30
2.1.4 硅基叠层封装中典型无源互连结构的高频传输特性和优化.....	32
2.2 硅转接板内部集成 SIW 滤波器研究.....	35
2.2.1 基片集成波导 (SIW) 基础理论.....	35
2.2.2 带通滤波器设计理论.....	37
2.2.3 硅基直线耦合 SIW 带通滤波器设计流程.....	40
2.2.4 SIW 带通滤波器实测.....	46
2.3 本章小结.....	49
第 3 章 硅基叠层 RF-SIP 中的热-电耦合研究.....	50
3.1 硅基叠层封装中芯片间的热耦合.....	50
3.1.1 传热学基本原理.....	51
3.1.2 热阻与热阻矩阵理论.....	52
3.1.3 叠层封装热仿真模型.....	53
3.1.4 热仿真模型中的材料参数与等效.....	54
3.1.5 叠层封装中芯片间的热耦合仿真.....	56
3.1.6 导电胶厚度对封装结构热阻的影响.....	59

3.2 硅基叠层封装中的热-电耦合特性研究.....	60
3.2.1 RDL 层覆铜率对封装结构热阻的影响.....	60
3.2.2 对外引脚形式对封装结构热阻的影响.....	61
3.2.3 不同电压和温度对 TSV 漏电流影响.....	63
3.2.4 不同温度场下 GSG 传输线的传输特性变化研究.....	65
3.3 本章小结.....	74
第 4 章 硅基叠层 RF-SiP 中的热-力-电耦合特性研究.....	76
4.1 硅基 RF-SiP 热-力耦合特性研究.....	76
4.1.1 仿真模型和材料参数.....	77
4.1.2 硅基叠层封装结构翘曲仿真结果及分析.....	78
4.2 硅基射频叠层封装中的热-电-力耦合特性研究.....	83
4.2.1 叠层封装翘曲情况对 SIW 滤波器特性的影响.....	84
4.2.2 翘曲对 wirebond 结构传输特性的影响.....	87
4.2.3 电迁移现象中的力电耦合研究.....	88
4.3 本章小结.....	101
第 5 章 Ka 波段接收机叠层封装的制备和测试.....	103
5.1 硅基叠层封装的设计流程.....	103
5.2 Ka 波段硅基叠层射频接收机的设计.....	104
5.2.1 Ka 波段接收机射频系统介绍.....	104
5.2.2 芯片性能实测.....	105
5.2.3 Ka 波段射频前端关键互联通路的传输优化.....	108
5.3 硅基叠层射频封装的工艺流程.....	111
5.3.1 晶圆级 TSV 转接板制造工艺.....	111
5.3.2 硅基叠层封装的微组装工艺流程.....	112
5.4 Ka 波段接收机前端实测.....	113
5.5 本章小结.....	115
第 6 章 总结与展望.....	117
6.1 主要研究内容.....	117
6.2 主要创新点.....	119
6.3 工作展望.....	119
参考文献.....	121

附录 MATLAB 传输线参数提取程序.....	131
附录 翘曲仿真模型各部分热力学参数	133
致 谢.....	134
作者简历及攻读学位期间发表的学术论文与研究成果	136

第 1 章 绪论

1.1 引言

随着电子学系统对小型化、多功能、高可靠的要求越来越高，电子技术正朝着异质集成方向迅速发展^[1,2]。射频（RF）电路具有频率高、功耗大特点，其高可靠性小型化集成面临更大的挑战^[3,4]。系统级封装（System in Package, SiP）技术^[5]特别是 3D SiP^[6]可实现立体封装，较传统平面型封装密度更高，更适用于系统的小型化需求。

SiP 技术路线根据基材材质主要分为陶瓷基^[7]、有机基板基^[8]和硅（Si）基^[9]。陶瓷封装的电学性能好、散热性好^[10,11]、可靠性高，早期 RF 系统多采用基于陶瓷封装的集成方案。以雷达 T/R 组件为代表的微波系统应用为例，Westinghouse 公司采用 SiP 技术生产制作了 F22 战斗机的 X 波段 T/R 组件。后来陶瓷封装也逐渐发展成 3D 叠层型^[12,13]，如 2010 年韩国研发人员采用 3D 氧化铝实现了 RF 系统的三维堆叠^[14]，如图 1.1 所示，但叠层型陶瓷封装的成本高、体积大。

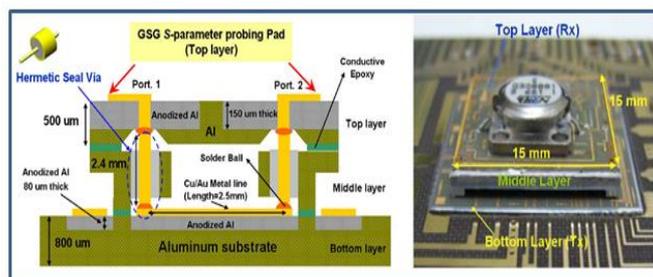


图 1.1 氧化铝 3D 射频微系统^[14]

堆叠型封装（Package on package, PoP）是基于有机基材的 3D 封装形式^[15,16]，具有封装成本低的特点，典型应用产品为苹果 iPhone 7S 和 7S plus 的 A10。PoP 封装在 RF 系统中的应用较少，而且其散热性能相对较差。典型产品应用为 2013 年初高通推出的 RF360 前端解决方案^[17]，单一封装内集成了多模功率放大器，天线开关，并将滤波器和双工器集成采用了 RF PoP 的方案，如图 1.2 所示。

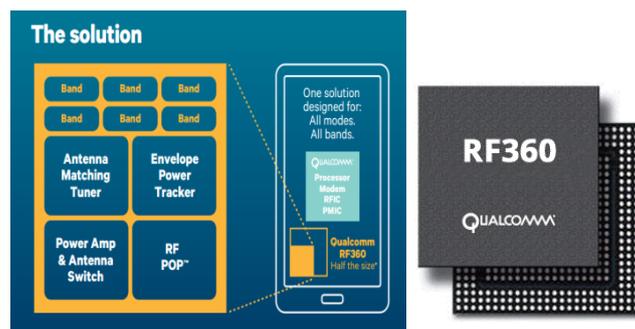


图 1.2 高通 360 芯片^[17]

Si 基 SiP 解决方案由于其轻小型化、高性能、多功能异质集成等方面的优势，已成为学术界和产业界研究开发的热点^[18, 19]，典型垂直互联结构为硅通孔（TSV）结构^[20]。2012 年 5 月，Xilinx 发布了 Virtex-7 H580T FPGA 产品^[21]，包含 2 个 FPGA 芯片和一个收发器芯片，首次实现了转接板上不同芯片的异质集成。在 2015 年 8 月 11 日的国际闪存峰会上，东芝发布了采用 TSV 技术的 16 层堆叠 NAND，这相当于几代工艺技术的跨越。除了在数字系统中的应用外，研究人员也开始尝试 RF 系统在 Si 基 SiP 中应用，法国半导体研究机构 CEA Leti 在 2013 报道了一款在 TSV 转接板上集成的毫米波收发器模块^[22-24]，如图 1.3 所示。根据 Leti 的转接板发展路线图，未来转接板上将可以集成 MEMS、RF、存储芯片、数字芯片、光电子器件、无源元件等各种元器件，成为可交互、可调谐的智能转接板。

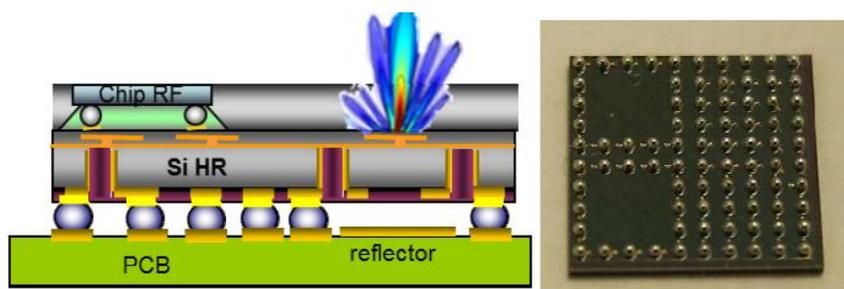


图 1.3 CEA Leti 基于 TSV 转接板毫米波收发器模块^[22]

经过几年的发展，国内 TSV 技术得到了长足的发展，中科院微电子所、清华、北大等院校从 2019 年开展 TSV 技术研究；特别是中科院微电子所及其孵化的华进半导体封装技术研发中心有限公司，在国内建立了首条 12 吋硅转接板成套工艺线，并将 TSV 技术成功应用于 FPAG 2.5D 封装，存储器等 3D 集成。

而国内对于 3D SiP 技术在 Si 基 RF 系统应用中的研究并不完善，由于 Si 基封装采用半导体工艺，其材料体系和工艺能力都具有自身特点。将 RF 芯片和器件放置于 TSV 转接板上，并将转接板堆叠实现 3D 小型化，会带来的小尺度下信号失配、电磁干扰、热密度高、应力集中等问题更加突出。精确的电磁仿真和多物理场协同分析方法，是解决电-热-力问题和实现 RF 系统应用的关键，因此，开展基于 Si 基工艺的微波毫米波 SiP 技术的研究具有非常重要的学术价值和应用价值。

1.2 3D RF-SiP 研究现状

3D 封装是基于现有互连方法（例如引线键合和倒装芯片）以实现垂直堆叠的 3D 集成方案^[25]。堆叠芯片连接到引线键合并通过上层封装与下层封装之间的垂直互联与其余层的引线键合或倒装芯片进行互联，以这样的堆叠式封装（PoP）为代表就是 3D 系统级封装（SiP）的一个典型例子^[26]，该系统已经在主流制造领域使用了一段时间，拥有出色的基础架构。3D 封装技术是便携式电子产品小型化和多功能化的必然结果。与传统封装技术相比，3D 封装技术具有许多优势。在尺寸和重量方面，3D 封装通过缩短尺寸减少重量 40-50 倍，优于单芯片封装技术。除此之外，成功减少了 2D 封装中的射频信号损失，并显著提高了信号速度，且 3D 封装技术使硅晶片有效面积的使用更加有效。下面将按照封装材料的分类，依次介绍基于 LTCC，有机基板和 Si 基板的三维系统级射频封装的最新研究进展。

1.2.1 基于 LTCC 工艺的 3D RF-SiP 的研究现状

LTCC（低温共烧陶瓷技术）是一种基于多层带状陶瓷压接的封装技术^[27]，该技术已较为广泛的应用于执行器，传感器和即成为系统等封装集成电路中，主要应用范围包括电子通信，汽车航空，射频（RF）模块，微波毫米波模块以及医疗，军事等^[28-38]。LTCC 工艺的一大优势是可以采用其层压连接的方式制作多样的无源器件如电感，电容，电阻，各类型传输线甚至谐振腔等无源结构和器件，通过与有源芯片和系统的封装连接，可以实现集成电路系统的高密度多功能集成^[39]。一个集成了多个嵌入式的无源器件和外界有源模块的 LTCC 电

学模组如图 1.4 所示。

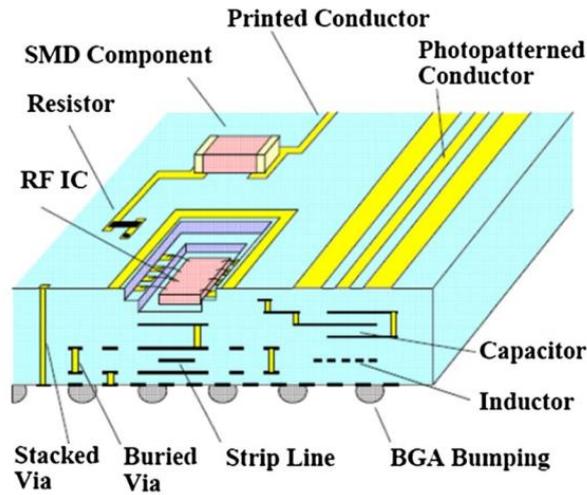


图 1.4 集成了埋入式无源器件和有源元件的 LTCC 模块示意图^[39]

如图 1.5 所示，LTCC 工艺中对单层带状陶瓷的处理包括电镀导体，嵌入无源元件，以及使用不同的电介质和电阻胶形成通孔，空腔和所需的电路图案，完成对单片带状陶瓷的处理后，将不同的陶瓷层压在一起，并且同时加温烧结^[40]。这种技术不仅节省工艺时间和成本，还减少了电路系统的尺寸。LTCC 技术的另一项巨大优势是，在对叠层结构进行烧制之前，可以检查并更换每个单层生陶瓷带，以防任何不准确或损坏的单层生瓷带影响整个 LTCC 封装的电学性能，这有助于设计者以最高的精度制造电路，并且可以避免因几处失误而制造整个新电路的需要^[41]。

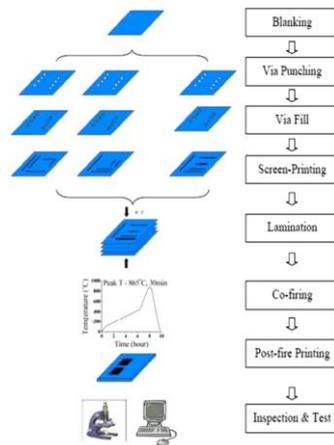


图 1.5 LTCC 工艺流程示意图^[40]

基于上述优势, LTCC 技术在近年来市场规模逐步扩大, 目前国际上 LTCC 的主要厂商包括美国的 Dupont, Ferro, CTS, 欧洲的 Bosch, CMAC 和日本的 Murata, Kyocera, TDK 等。且国内外的研究团队也利用 LTCC 工艺的特点设计制作了一系列的 3D 系统级封装, 其中主要以 T/R 组件为主。

2015 年, 南京电子设备研究所的一个团队使用 LTCC 基板和 SiP 技术设计并制造了 Ka 波段 3 通道 RF 接收机前端^[42], 接收机前端的架构如图 1.6 (a) 所示, 通过功率分配网络, 三个通道可以获得等幅本振信号。此外, 还设计了 SIW 带通滤波器以提高每个通道的选择性。该滤波器采用椭圆函数原型, 通过交叉耦合的方式在阻带中引入两个传输零点, 且 SIW 滤波器被嵌入到多层 LTCC 内部, 其电磁仿真模型如图 1.6 (b) 所示。整个嵌入 SIW 滤波器的 3 通道 RF 接收器模块尺寸为 $36\text{mm} \times 23\text{mm} \times 3\text{mm}$ 。该 3 通道 RF 接收机前端工作于 34 GHz 到 35.5GHz, 每个通道的转换增益均大于 50dB, 且三个通道在转换增益性能上具有极好的一致性, 其测试结果如图 1.6 (c) 所示。

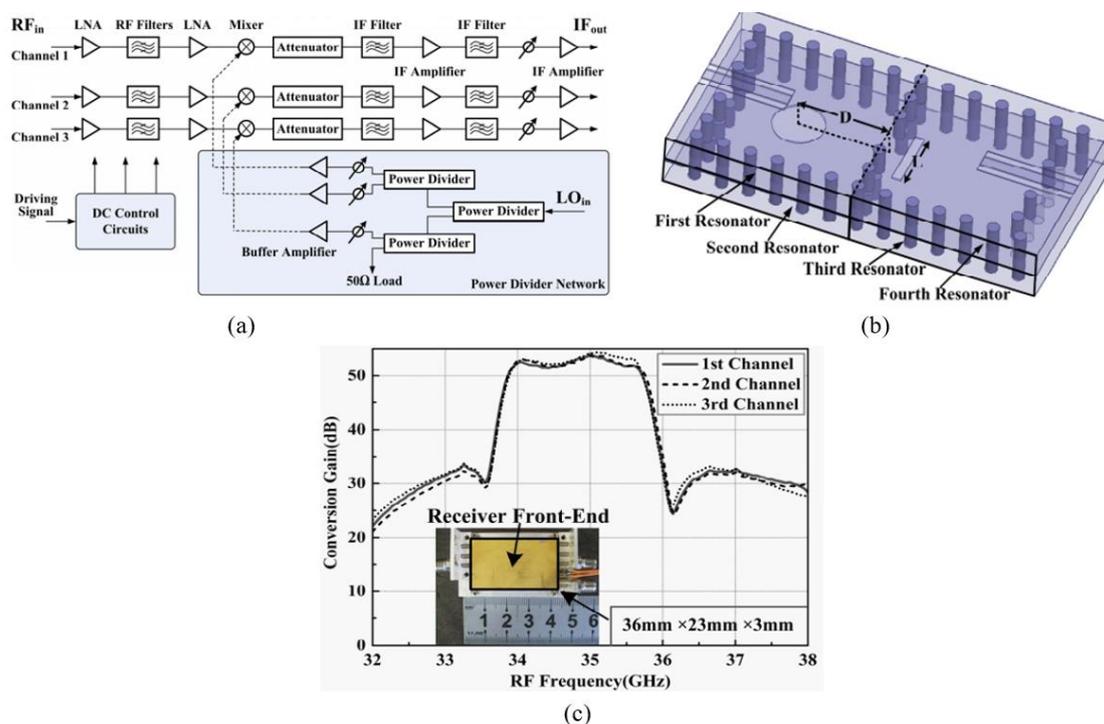


图 1.6 基于 LTCC 的 3 通道接收机前端^[42] (a) 接收机前端系统架构图; (b) 嵌入在 LTCC 中的 SIW 滤波器仿真模型图; (c) 3 通道接收机前端转换增益实测图

2019 年, Bhutani Akanksha 等人设计制作并测量了一个针对 100 GHz 以上

工作频率的 TX/RX 组合 SiP 结构^[43]，如图 1.7 (a) 所示。该结构采用 LTCC 技术制作，且可分为 3 个部分，工作于低频段 ($<3\text{GHz}$) 的封装基座，毫米波模块和工作于 122GHz 的带有 TX/RX 焊盘的芯片组。芯片组通过引线键合连接到低频封装基座和毫米波模块，且封装基座通过引线框架连接至 PCB 基板上。此外，在 PCB 板上实施了 IF 信号采样和信号处理。整个 SiP 中的毫米波封装模块和低频封装基座均采用 LTCC 工艺制作，毫米波模块由 4 层 LTCC 和 5 层金属组成，示意图和实物图分别如图 1.7 (b) 和 (c) 所示，而低频封装基座的尺寸为 $8.6\text{ mm} \times 8.6\text{ mm} \times 386\text{ }\mu\text{m}$ ，采用四层 Dupont 951PT LTCC 基板和两层 Au 金属化制成，其实物如图 1.7 (d) 所示。最终在整个系统中，TX 模块的实测结果为沿视轴方向在 122 GHz 处测量的天线增益为 11.3 dBi ，在工作频率范围内，Tx 阵列的总天线效率约为 80% 。RX 模块的实测结果为沿视轴方向测量的天线增益为 10.9 dBi ，在工作频率范围内，Rx 阵列的总天线效率约为 75% 。

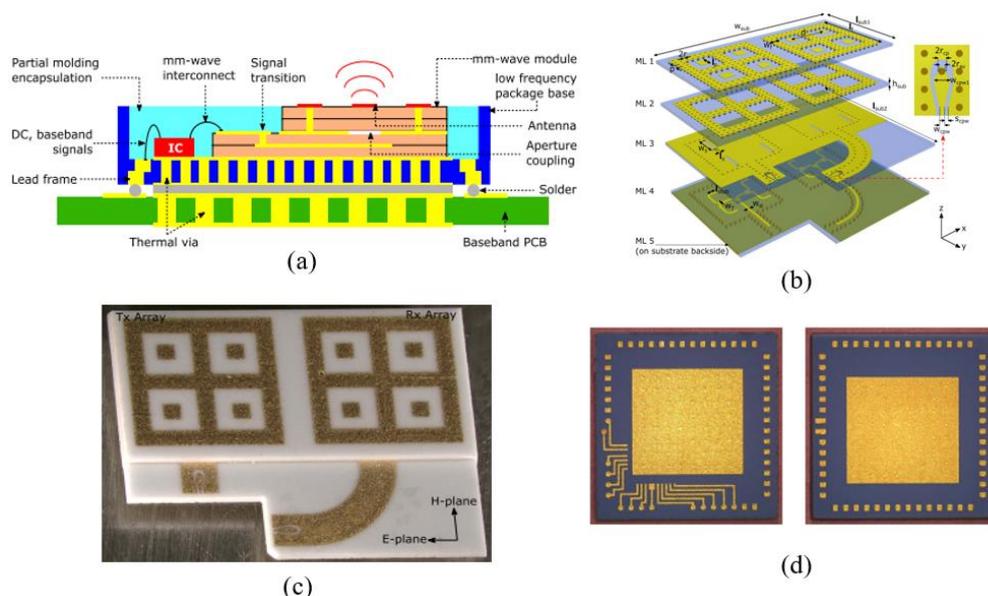


图 1.7 基于 LTCC 结构的 TX/RX 组合 SiP 结构^[43] (a) TX/RX 组合封装示意图；(b) 毫米波封装模块示意图；(c) 毫米波模块 LTCC 实物图；(d) 低频封装基座实物图

2011 年，Muhammad Faeyz Karim 等人研究了基于 LTCC SiP 的 $60\text{ GHz } 4 \times 4$ 天线阵列^[44]，该阵列集成了具有 CMOS 开关键控 (OOK) 的调制器芯片和低噪声放大器 (LNA)。通过采用阻抗补偿方案，LNA 芯片和 60 GHz 的 CMOS 调制器经过 2 mil 粗的键合线集成到 LTCC 封装中，天线阵列采用带状线顺序旋转

馈电方案。LNA 芯片与天线阵列集成的 LTCC 叠层示意图如图 1.8 (a) 所示，而 60GHz 的 CMOS 调制器芯片与天线阵列集成的 LTCC 示意图如图 1.8 (b) 所示。该 LTCC 4×4 天线圆偏振阵列经实测具有 8 GHz 以上的宽阻抗带宽和 3 dB 轴向比率带宽，且具有波束图案，其 3 dB 波束宽度为 20，峰值增益为 16.8 dBi。作者对于集成在 LTCC 中的 60 GHz CMOS 调制器以 2 Gb/s 的数据速率进行了测试，并且还演示了系统的误码性能。最终实际制作出的 60 GHz 4×4 LTCC 天线阵列实拍图如图 1.8 (c) 所示。

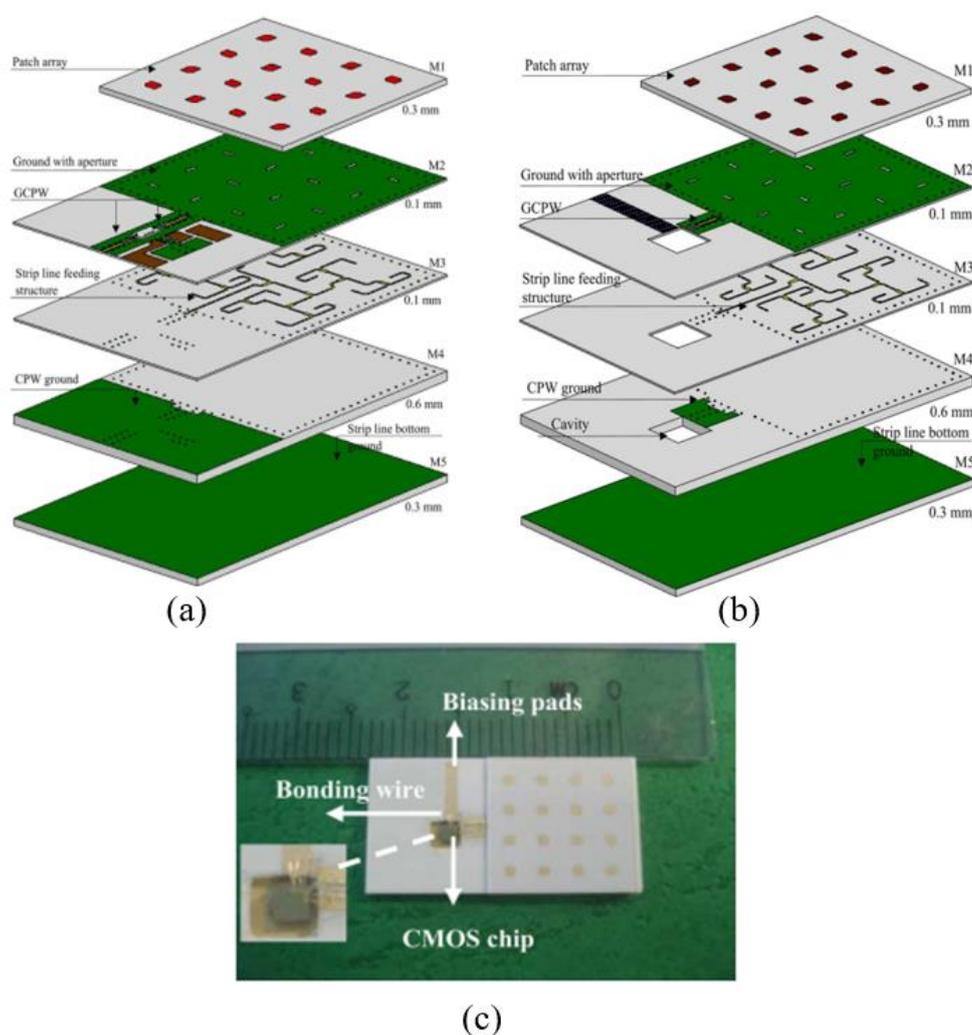


图 1.8 基于 LTCC 结构的 60 GHz 4×4 天线阵列^[44] (a) LNA 与天线阵列集成于 LTCC 中的示意图；(b) OOK CMOS 调制器与天线阵列集成于 LTCC 中的示意图；(c) 60 GHz 4×4 天线阵列 LTCC SiP 实物图

2013 年，Che-Chung Kuo 等人将 3 个工作于 5 GHz 的功率放大器 (PA)，

通过倒装芯片（Flip-Chip）的方式组装在不同形式的封装基板上,并对整个 PA 芯片封装结构进行实测来比较不同封装形式对 PA 性能的影响^[45], 为了进行客观的对比, 这三个 PA 使用相同的电路拓扑和晶体管外围布局。第一种形式是带有片上电感器的完全片上集成 CMOS PA。第二种形式是将 LTCC 内部制作的无源电感作为输入输出匹配网络的一部分, 而 CMOS PA 芯片则倒装在 LTCC 基板上。最后一种形式, 同样通过倒装芯片技术将 CMOS PA 裸芯片组装在集成了完整无源器件的陶瓷基板（CIPD）上, CIPD 上的所有嵌入式无源器件组成 PA 芯片的匹配网络。对同一颗 CMOS PA 芯片的三种封装形式实物图依次如图 1.9 的 (a), (b), (c) 所示。经过实测, 完全片上集成的 CMOS PA 增益为 25.2 dB, 输出饱和功率为 22.5 dBm, 峰值 PAE 为 22%。LTCC 上的 CMOS PA SiP 表现出 27 dB 的增益和 23.5 dBm 饱和功率, 峰值 PAE 为 27.5%, CIPD 上的 SiP 表现出 26.8 dB 的增益和 24 dBm 的饱和功率, 峰值 PAE 30%。与全片上的 PA 封装形式相比, 使用 LTCC 或 CIPD 上的低损耗电感器, PSAT 处的增益和 PAE 的最大改进可高达 1.5 dB 和 8 个百分点。

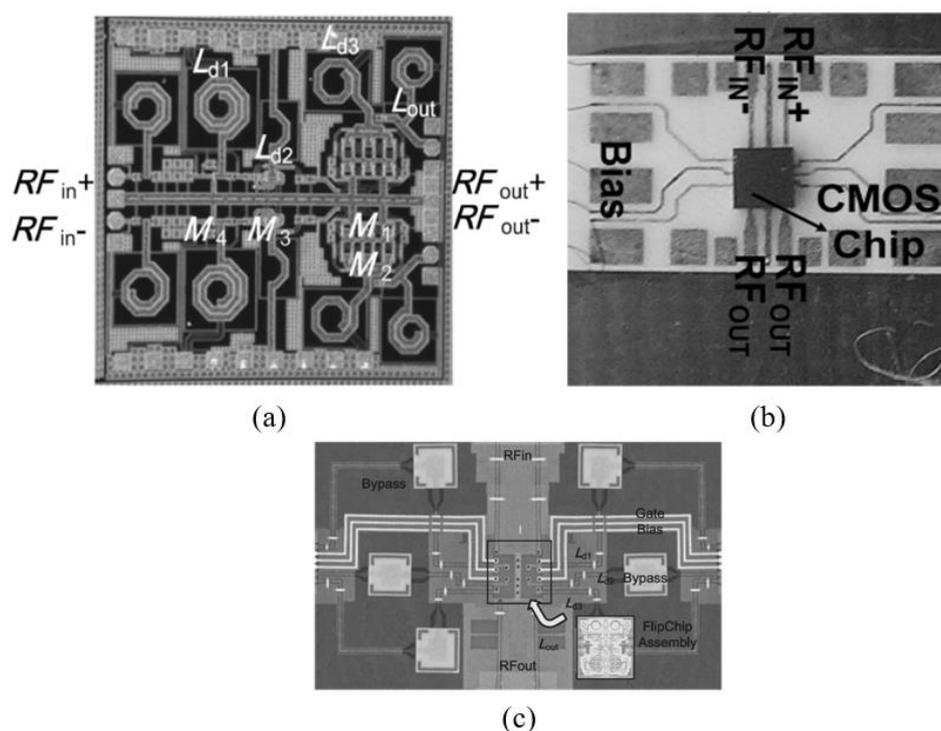


图 1.9 同一 PA 芯片在三种封装形式下的实物图^[45] (a) 全片上集成方案 PA; (b) LTCC 嵌入匹配电感的 PA 封装方案; (c) 全匹配网络嵌入 CIPD 的 PA 封装方案

2012 年，北京信息科技大学的缪旻课题组在 ECTC 会议上发表了一款用于多功能高密度集成的基于 LTCC 工艺的微机械封装平台^[46]，该平台是通过增强现有的 LTCC 混合 IC 制造线，然后逐一集成不同的 LTCC 微加工工艺模块来实现的。该平台已经能够将基本的 3D MEMS（微机电系统）微结构加工成 LTCC 层压板的形式，并将其用作于可承载其他工艺平台制造出的 IC 或或 MEMS 结构的的封装基板，从而实现独立的多功能高密度微机械系统封装。在文章中演示了由生瓷带加工，层压和共烧组成的 3D 微结构形成过程，如图 1.10（a）所示，且展示了该微机械封装平台平支持加工的各种微机械结构的设计和样品制造，包括图 1.10（b）所示的嵌入式冷却微通道，如图 1.10（c）所示的用于恶劣环境的微加速度计，和用于原位真空水平监控的微皮拉尼压力计和太赫兹（太赫兹）真空微电子器件。制作出的多种样品显示出超低泄漏（ $<5 \times 10^{-11}$ Pa·m³/s）的真空封装能力，并显著提高了器件性能。此外，该平台还展示了将几个带有已安装芯片的层压板堆叠到 3D 框架式微机械系统中的潜力。

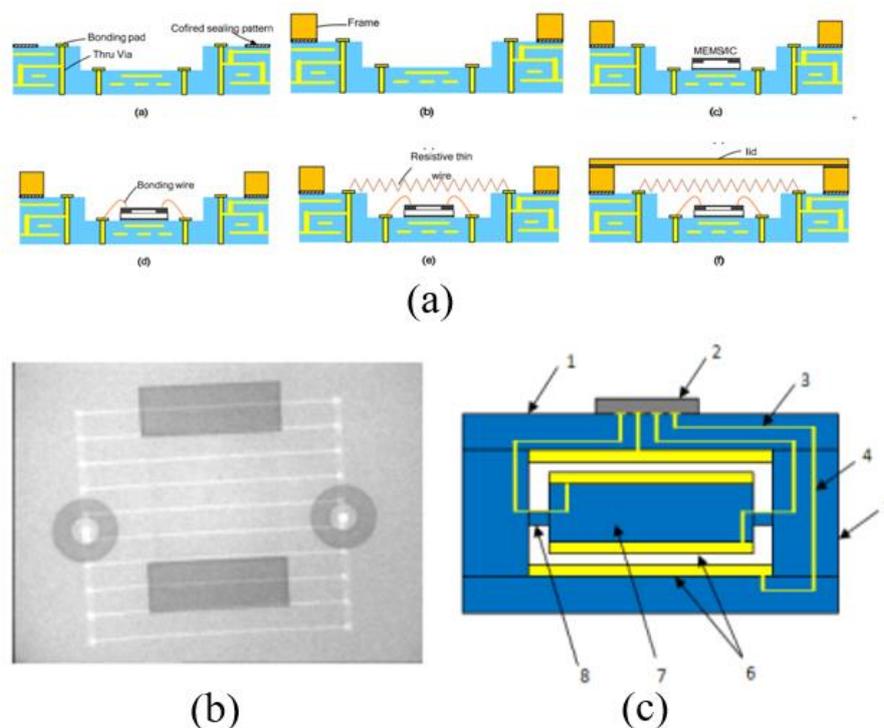


图 1.10 用于高密度集成的 LTCC 工艺微机械封装平台^[46] (a) 改进后的微组装机工艺流程；(b) 基于平台制作的微流道 X-ray 照片；(c) 制作中的加速度计示意图

由于 LTCC 工艺散热好，精度高的优势，研究人员基于 LTCC 工艺实现的 RF-SiP 系统还有许多^[47-52]，这些系统中主要以 TX/RX 射频前端为典型代表。

1.2.2 基于有机基板工艺的 3D RF-SiP 的研究现状

有机基板相对于 LTCC 陶瓷基板，在实现封装系统时主要有以下几个方面的优势：（1）介电常数比陶瓷基板低，因而更有利于于微波毫米波高频信号的传输，更符合和电路日益高速化的发展趋势；（2）材料密度更低，更加满足大众对现代消费类电子产品轻量化的要求；（3）加工难度更低，且可以通过大批量生产的形式大大降低封装制造的成本^[53]。

在射频 SiP 中常用的有机基板主要是传统的玻璃纤维增强型有机基板，此种基板通过将聚合物材料和玻璃纤维布进行复合来形成基板的介电层，并在介电层的正反两面覆铜来形成基板两面的电学通路。这种有机基板材料的性质主要由聚合物材料和使用的玻璃纤维来决定。最为常用的玻璃纤维为“E-玻璃纤维”，通过改变 E-玻璃纤维的厚度、编织方式等，我们可以得到不同厚度的有机基板材料。且聚合物材料和玻璃纤维各种材料的配比会很大程度上影响有机基板的物理化学特性，因此通过调整材料配比可以获得不同性能的有机基板材料，这是开发新型有机板材料的一个重要手段^[54]。目前国际上主要的有机基板材料生产商集中在东亚地区的台湾，日本和韩国，其中市场占有率较高的几家有三菱化学和气体，日立化成，LG 化学和 Unimicron 欣兴等。基于有机基板的封装形式，国内外学者也设计并制作了一系列的微波毫米波频段的 3D 系统级封装。

2017 年，Spyridon Pavlidis 等人通过一种新颖的有机层压封装技术采用 Rogers 有机基板实现了硅锗（SiGe）和砷化镓（GaAs）技术的异质异构集成^[55]。通过对不同工艺的芯片引脚处的互联形式进行了单独的阻抗匹配优化，加上有机基板的低损耗特性，为整个系统提供了优异的宽带性能和设计灵活性。文章作者在多层 Rogers RO3003 上实现了一个异质集成的接收器前端，该系统结合了倒装芯片形式键合的 SiGe 低噪声放大器和贴片打线键合的 GaAs 混频器。最终该接收器封装模块的测量结果显示出系统 4 - 14 GHz 的 3 dB 带宽和 0.9 dB 最大转换增益，这些结果证实了该封装确实具有低损耗的特性，并在整

个带宽上保持了系统性能。接收器还具有 4 dB 的双边带最小噪声系数和最大-5.5 dBm 的 1 dB 增益压缩点。该异质异构接收机前端 SiP 的示意图和实物图分别如图 1.11 (a) 和 (b) 所示。

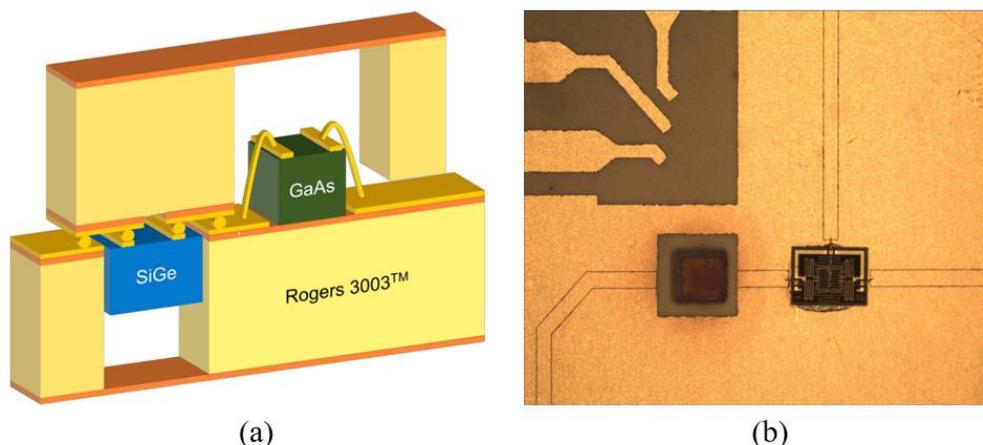


图 1.11 基于 Rogers 有机基板的异质集成接收机前端 SiP^[55] (a) 基于有机基板封装的异质异构接收机前端 SiP 叠层示意图; (b) 接收机前端 SiP 实物图, 下左侧为 SiGe LNA 芯片, 下右侧为打线形式的 GaAs 混频器芯片

2014 年, Srikrishna Sitaraman 带领的团队介绍了一款超薄型用于无线局域网 (WLAN) 通信中的 RF 接收机前端模块的设计, 分析和实测^[56]。该接收机模块采用 SiP 形式, 在低损耗有机基板中先制作了嵌入式的无源带通滤波器, 并在最后安装了嵌入式有源 LNA 芯片形成整个接收机系统。该接收机模块 (包括嵌入式 LNA 芯片) 的总厚度为 160 μm , 与传统的引线键合和倒装芯片封装相比, 厚度减小了 3 倍以上。接收机模块由 GaAs 低噪声放大器 (LNA) 芯片和带通滤波器组成, 芯片最后嵌入超薄, 低损耗的有机衬底中, 并与衬底中由本文作者自行设计制作的嵌入式三层金属带通滤波器 (BPF) 相连。在制造出完整的接收机前端模块前, 先测试了 BPF 的合格率, 对其进行了组装和测试, 并将测试结果与整体接收机的仿真相关联。最终封装中的 BPF 尺寸为 1.5 mm \times 2.9 mm \times 0.15 mm, 其测得的通带插入损耗为 2.3 dB, 回波损耗超过 15 dB。接收器前端模块 (LNA + BPF) 的尺寸为 5.5 mm \times 2 mm \times 0.16 mm, 它的测量结果显示其峰值增益为 11 dB, 在相邻频带中的衰减超过 30 dB。这款集成了 LNA 芯片和嵌入式带通滤波器的有机基板接收机前端 SiP 的结构示意图和实物图如

图 1.12 所示。

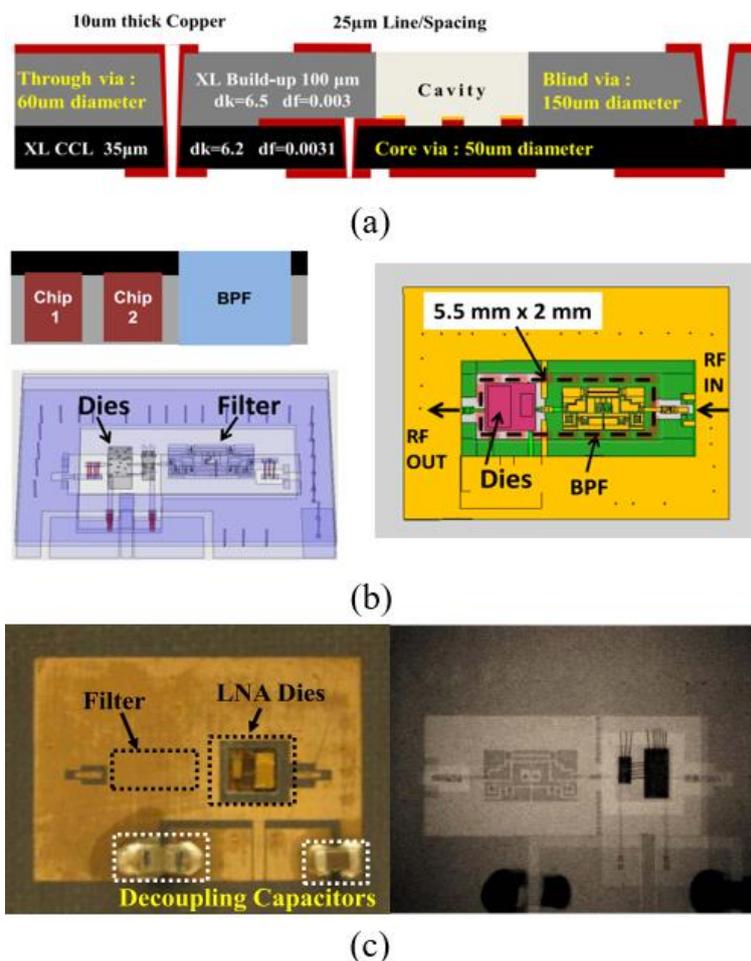


图 1.12 用于 WLAN 通信的超薄 RF 接收机前端 SiP^[56] (a) 接收机采用的有机基板结构示意图；(b) 接收机前端各元件分布示意图；(c) 制作出的超薄接收机前端 SiP 实物图

2012 年, Chad E. Patterson 等人首次提出了一种在有机液晶聚合物 (LCP) 基板上集成的 60 GHz 可调波束接收天线^[57], 整个天线阵的系统框图如图 1.13 (a) 所示。作者在 LCP 基板上, 将 4×1 准八木天线阵列和 4×4 的巴特勒矩阵波束成形网络以及 4 颗 GaAs 低噪声放大器 (LNA) 集成在一起, 与天线阵列一起集成于 LCP 有机基板上的 LNA 芯片实物图如图 1.13 (b) 所示, 天线波束由 GaAs 单刀双掷开关控制, 天线波束的四个方向对应着巴特勒波束成形矩阵的四个输出状态, 封装在 LCP 有机基板上的 GaAs 开关阵列如图 1.13 (c) 所示。整个 4×1 有源阵列尺寸为 $1.4 \text{ cm} \times 1.75 \text{ cm}$, 消耗 1.1 W 的直流功率。对比该波束方向可调天线阵的测量结果和仿真结果表明, 在 56.7 - 63.7 GHz 的工作

频带上，该相控阵列的输入回波损耗优于 10 dB。且根据实测出的四种状态下的天线辐射方向图得出该天线阵的波束可转向角度为 $\pm 40^\circ$ ，且峰值有源增益为 27.5 dB。制作完成的整体 60 GHz 天线阵列如图 1.13 (d) 所示。

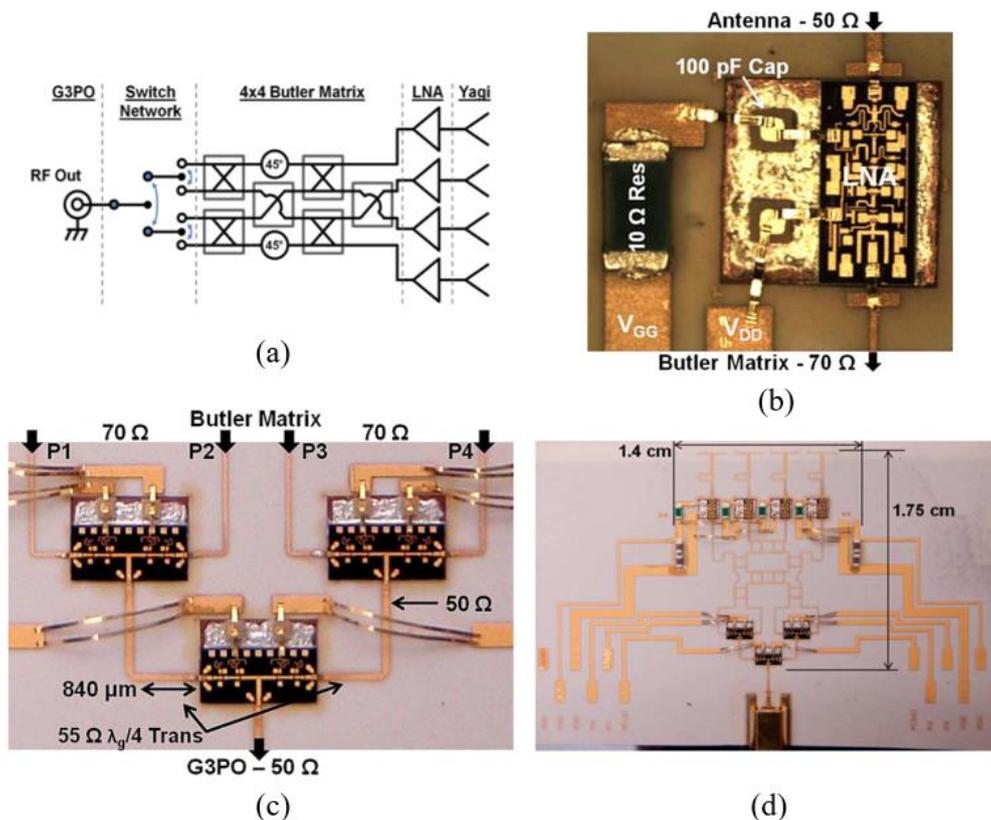


图 1.13 基于 LCP 有机基板的 60 GHz 可调波束接收天线阵^[57] (a) 天线阵的结构框图；(b) 集成在 LCP 基板上的 LNA 芯片实物图；(c) 集成在 LCP 基板上的 GaAs 开关芯片阵列图；(d) 制作完成的 60 GHz 接收天线阵列

2014 年，Srikrishna Sitaraman 带领的团队展示了一个集成在一块 110 μm 薄的低损耗有机基板上的射频前端模块^[58]，该模块的有机基板内嵌入了高性能带通和低通滤波器（BPF 和 LPF）和薄膜无源器件，以及最后一部微组装中嵌入的有源芯片。FEM 的芯片组由一个功率放大器（PA）芯片，一个开关芯片和两个低噪声放大器（LNA）芯片组成，它们与 BPF 和一个低通滤波器（LPF）集成在一起。实测的 BPF 和 LPF 的插入损耗分别为 0.25 dB 和 0.5 dB，基板内嵌的滤波器尺寸为 $1\text{mm} \times 1\text{mm} \times 0.05\text{mm}$ 。封装后的 PA 芯片在 2.4GHz 处呈现约 10.8 dB 的增益，天线和放大器之间的路径也具有 3dB 的损耗。文章中还使用全波 EM 求解器 Ansys HFSS 模拟了从 PA 输出到 LNA 输入以及到 PA 电源的

电磁耦合，发现电磁耦合高于 60dB，最终结合实测数据使用 Agilent ADS 对 FEM 的每个模块进行单独表征和组合，获得完整的 S 参数性能，得到发射机链路和接收机链路均具有 9dB 的增益。整体射频前端系统和其内部各结构示意图见图 1.14。

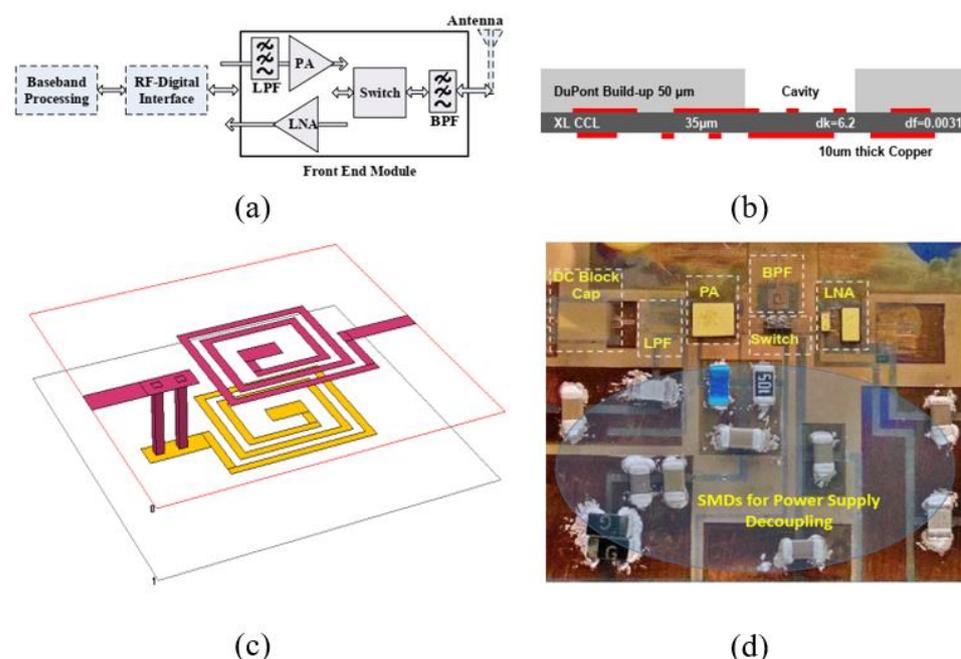


图 1.14 基于 Dupont 有机基板的 2.4 GHz TX/RX 射频前端 SiP^[58] (a) TX/RX 射频前端系统框图；(b) 所使用的 Dupont 公司有机基板截面示意图；(c) 集成在有机基板上的带通滤波器模型图；(d) 完整的 TX/RX 射频前端实物图，虚线框内为各个小封装模块

2012 年的 ECTC 国际会议上，来自佐治亚理工大学封装研究中心（GT-PRC）的 Yuya Suzuki 等人为了在厚度方面缩小封装，展示了一款用于 WLAN 通信的超薄三层堆叠接收机 SiP 模块^[59]，模块中包含了两块 LNA 芯片使用 X-L 高 Dk 有机基板制作的嵌入式带通滤波器，由于 LNA 芯片采用嵌入方式最后封装，整体封装结构由薄有机 core 板层和有机堆积层组成的模块的厚度仅为 130 μm ，与传统的引线键合或倒装芯片封装相比，其尺寸小近 10 倍。这种小型化主要是通过使用具有高介电常数的下一代材料 X-L（高 Dk）来缩小嵌入式无源器件来实现的。该 SiP 封装的侧视示意图和实物图见图 1.15。作者使用常规的低成本工艺制造模块，并通过激光烧蚀进行腔体制造，然后嵌入 100 μm 厚的 GaAs LNA 裸片。最终该接收器模块经测量在 2.4 GHz 时具有 9.2 dB 的增益，

在 2 GHz 和 5 GHz 时具有近 30 dB 的带外抑制。

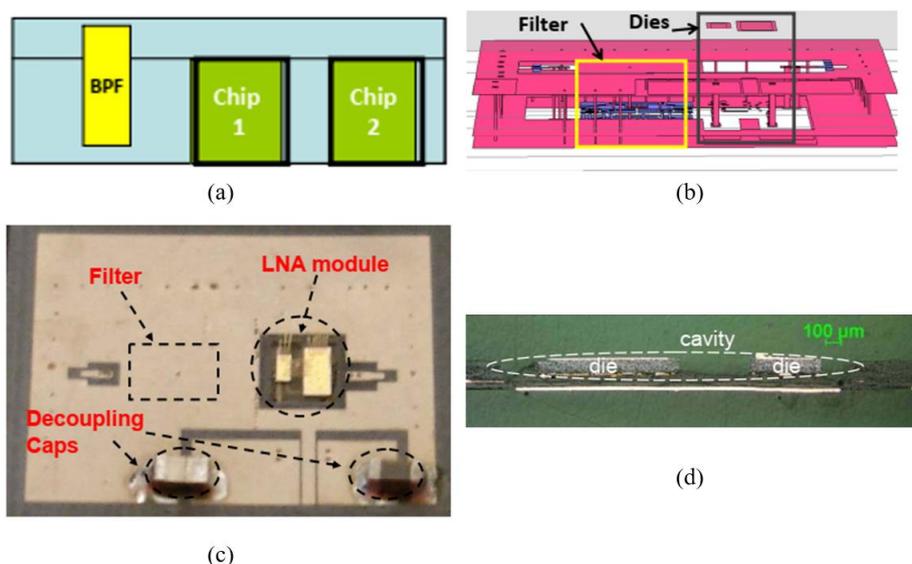


图 1.15 佐治亚理工大学封装研究中心提出的基于 X-L 新型有机基板的 RF 接收机前端 SiP^[59] (a) 射频前端封装截面示意图; (b) LNA 裸片和 BPF 位置示意图; (c) 制作完毕的接收机前端顶视图; (d) LNA 芯片嵌入 X-L 封装基板的侧向实物图

基于有机基板实现的射频封装系统除了上面所述的几个实例还有许多^[60-66]，通过对这些研究成果的总结发现，各国研究者基于有机基板设计的 SiP 主要涵盖了两大方向的应用：(1) 偏向于天线，即实现了封装内天线 (AiP) 结构，SiP 内包含了天线阵列和 LNA 或 PA 芯片；(2) 偏向于射频前端系统，SiP 内包含了集成在有机基板内的滤波器和 LNA 或 PA 芯片。前者的整体系统往往更为复杂，因为集成的天线阵规模较大。此外，采用有机基板实现的射频 SiP 的结构普遍较为简单，大多都是将芯片与无源器件嵌入在基板的同一层中，很少有多层堆叠的形式集成复杂的射频系统，这是由于有机基板工艺的限制决定的，实现有机基板多层堆叠的难度较高，工艺精度难以保证。

1.2.3 基于 Si 基工艺的 3D RF-SiP 的研究现状

Si 基三维封装的典型结构为 TSV 转接板，该种封装形式通过硅通孔 (TSV) 结构来实现不同层之间芯片的垂直互联，它的主要优点有互联长度短，集成度高，工艺精度高等，是现在先进封装领域的一大研究热点^[67-70]。相比传统的二维封装，TSV 三维封装避免了芯片裸片之间冗长的连接路径如打线

键合，引线框架甚至 PCB 布线等，在 TSV 三维封装中，同层或者不同层之间的裸片连接只要通过 TSV 或转接板上的再布线层（RDL, Redistribution Layer）就可以实现。因此相比于传统二维封装，TSV 三维封装突破了平面集成的限制，显著缩短了互连长度，进而减小了损失在互连线上的信号能量损失和 RC 延时，可大幅提高芯片的集成度和性能。

虽然 TSV 技术近年来才成为研究的热点，但是硅通孔概念的雏形在 1956 年就已经出现。晶体管的发明者之一 William Shockley 在专利中^[71]提到了在晶圆上制作深通孔用以使信号从晶圆的一面传输到另一面。“Through silicon via”这个术语则由 Sergey Savastiouk 在文章中最先提出^[72]。第一次将 TSV 技术用于量产商业化产品当中的是惠普公司，其在 1976 年发布的单片微波集成电路（MMIC）产品中首次使用了贯穿 IC 芯片的通孔技术来实现接地，但这款产品中的 TSV 并不是用来实现三维封装。业界普遍认为，第一个量产的 TSV 三维封装产品是东芝公司 2008 年生产的图像传感器，该传感器使用了芯片上的通孔将传感芯片上的信号引出到背面的基板^[72]。

Si 转接板主要包括 Si 基板和 RDL 层。转接板上层的再布线层通过微凸块或焊盘开口与系统所需的芯片通过传统引线键合或倒装芯片的形式相连，这些芯片可以是普通的二维芯片，也可以是三维的芯片堆叠。其下层 RDL 则通过普通的凸块或者焊球与封装基底相连，实现转接板与封装管壳的电气连接。转接板的典型结构如图 1.16 所示^[73]。

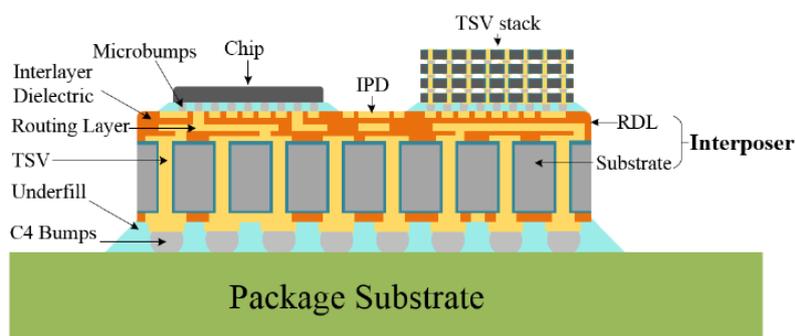


图 1.16 转接板的典型结构^[73]

使用硅转接板实现的三维封装主要分为两种形式：2.5D 封装^[70, 74]和 3D 封

装^[67, 68]。在 Si 转接板 3D 封装中, 通过微凸块 (microbump) 和硅通孔连接上下层芯片, 将系统中包含的芯片在垂直方向上放置在不同层上堆叠, 3D 封装可以进行同质芯片的堆叠也可以进行异质芯片的堆叠, 尤其可以实现芯片工艺不同的较为复杂的 RF 系统集成。而 2.5D 封装则是在无源转接板的同一面排列不同芯片, 芯片间的电气连接不通过转接板内部的硅通孔而是通过转接板正面的再布线层, 转接板的硅通孔仅仅作为转接板下方封装基板与芯片输入输出信号以及电源的连接通道。Si 转接板 3D 封装和 2.5D 封装的典型结构示意图如图 1.17 所示^[73]。

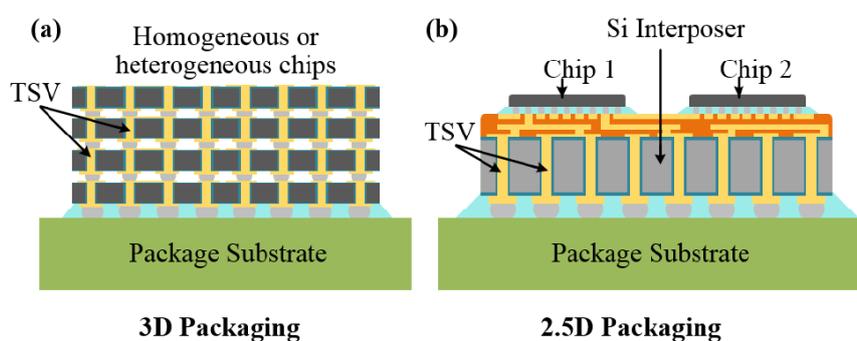


图 1.17 (a) 3D 封装示意图与 (b) 2.5D 封装示意图^[73]

由于硅转接板工艺成熟, 精度高, 可靠性好且赋予设计人员的设计自由度较高, 学术界和工业界也将其视作是多种先进封装技术中可行性较高的一种, 并基于硅转接板工艺开发制作了一系列 3D SiP 产品和实例^[75-79], 这些实例中既有多层同质芯片 (主要是内存) 堆叠以提升芯片的容量, 也有异质芯片的多层堆叠以实现复杂的射频微系统。

在产业界, 最先使用 2.5D 硅转接板集成封装的产品是 Xilinx 公司于 2011 年推出的 FPGA 芯片 Virtex-7 2000T^[80], 如图 1.18 所示。该 FPGA 芯片采用台积电的 CoWoS (Chip-on-Wafer-on-Substrate) 28nm 工艺, 通过把 4 块同质 FPGA 裸片排布在 25 mm×31 mm 大小的硅转接板上, 使得此转接板的单片 FPGA 上逻辑单元的数量达到了 200 万个, 是非三维集成单片 FPGA 容量的 2.8 倍。而在 2012 年, Xilinx 公司又推出了一款 FPGA 产品 Virtex-7 H580T, 在硅转接板上集成了 2 个 FPGA 裸片和一个收发器裸片, 实现了转接板上异质芯片的集成。

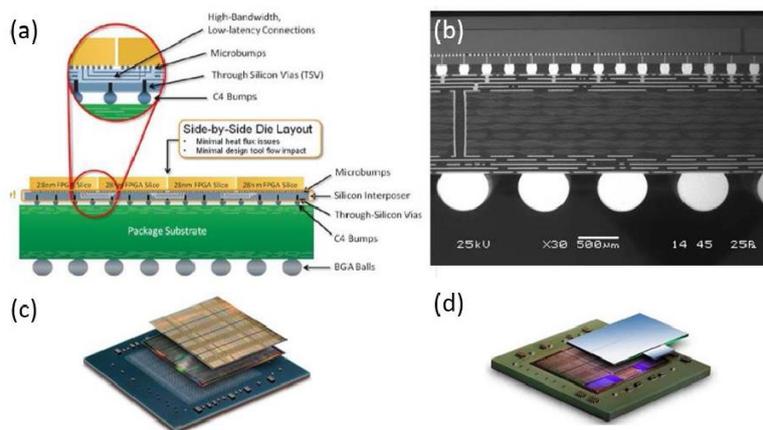


图 1.18 (a) Xilinx 公司 FPGA 的 2.5D 封装示意图；(b) 芯片截面图；(c) 同质集成芯片 Virtex-7 2000T；(d) 异质集成芯片 Virtex-7 H580T^[80]

此外，AMD 公司为了提升显卡的性能和降低显卡的功耗，在 2015 年推出了一款使用硅转接板 3D 封装的显卡 Radeon R9 Fury X (Fiji)，该产品将显卡核心 (GPU/CPU/SoC) 芯片与显存和逻辑芯片集成在一个封装中^[81]，如图 1.19 所示。比起 AMD 公司的上一代未采用三维封装形式的显卡，该显卡的工作带宽增加了 60%，每瓦的性能提升了两倍多，芯片尺寸缩减至原来的 1/3。自此之后，ADM 和 NVIDIA 两大显卡公司相继推出了多款基于硅转接板 3D 封装的显卡产品，典型的例子有 2016 年英伟达公司推出的 Tesla P100^[82]和 AMD 公司于 2017 年推出的 Radeon Vega^[83]。这两款显卡产品比起 Radeon R9 Fury X 来说进一步缩小了线宽和提升了显卡的工作性能。

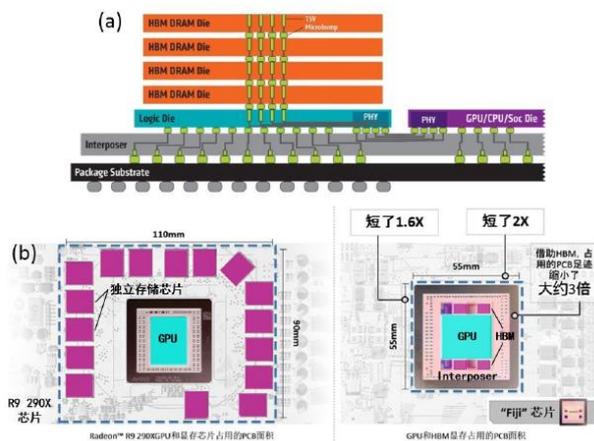


图 1.19 (a) Radeon R9 Fury X 显卡 3D 封装示意图；(b) 传统 2D 封装形式的显卡尺寸与 Radeon R9 Fury X 显卡的尺寸对比^[81]

除了在产业界的应用外，国内外各大高校和研究机构也依托着硅基转接板工艺的各项优点，设计实现了一系列的硅基转接板 3D 系统级封装应用实例，应用领域主要包括 MEMS 封装，射频系统封装等。

在 2018 年的 UCMMT 会议上，中国工程物理研究院电子工程研究所的 Wei Zhong 等人介绍了一款超小型，高可靠性毫米波（mmW）收发机 SiP^[84]。系统截面示意图和成品实物图如图 1.20 所示，通过高精度微机械系统（MEMS）制造技术，在制造的硅基板上实现了三维晶圆级封装结构，毫米波收发机 SiP 中的有源器件由一系列微波毫米波单片集成电路（MMIC）组成，包括低噪声放大器，混频器和功率放大器。而诸如滤波器，功率分配器和互连结构之类的无源元件则直接嵌入在硅基板中。实际制作出的嵌入式无源元件的实测结果与仿真结果之间显示出良好的一致性。通过硅基板内部的硅通孔（TSV）和 MEMS 技术制作的金属化硅腔，可以利用电磁屏蔽实现 RX 和 TX 通道之间的高度隔离。在最终的 30 GHz FMCW 雷达系统中，测得的 IF 输出信噪比优于 20 dB。且整个 SiP 的体积仅为 25mm×20mm×1mm。

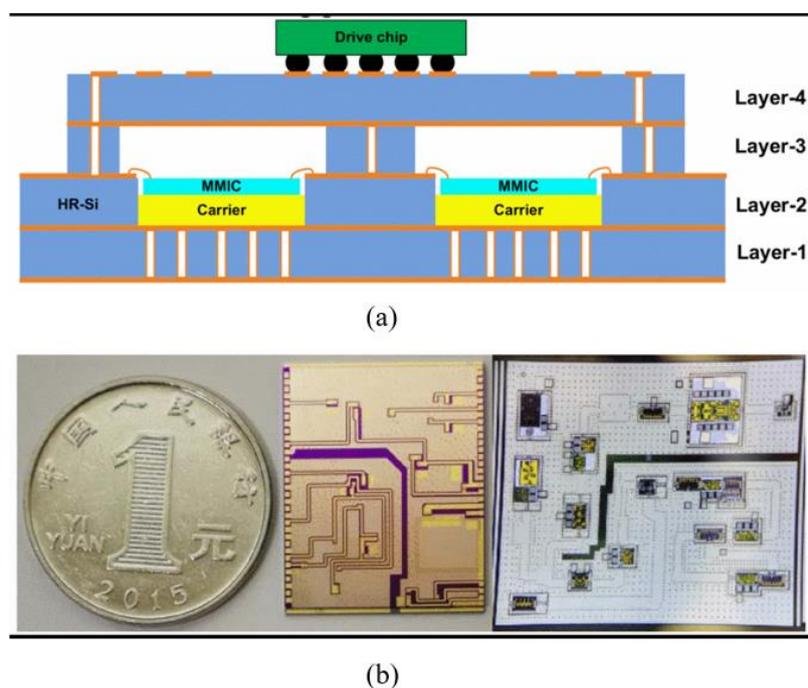


图 1.20 采用硅基板工艺制作的超小型 30GHz FMCW 雷达系统 SiP^[84] (a) 雷达系统 SiP 的封装结构截面示意图；(b) 雷达系统实物图及它与硬币尺寸的比较

2018 年的 IEEE ECTC 会议上，新加坡科技研究局的 Do-Won Kim 等人展示了一款使用硅通孔（TSV）转接板做为载体的 3D 光电集成电路（EPIC）封装^[85]，封装结构如图 1.21 所示。在此款 3D EPIC 封装中，使用直径为 $90\ \mu\text{m}$ 的电化学电镀（ECP）凸点，将使用绝缘体上硅（SOI）工艺制作的内含用于电互联 TSV 的硅光子集成电路芯片（Si-PIC）采用倒装芯片的形式贴装在 Si 转接板上。电阻率为 $750\ \Omega\cdot\text{cm}$ 的高阻 SOI 和硅晶圆分别用于制作带 TSV 的光电芯片和硅基转接板。实测结果显示，这款使用 TSV 做电连接的 3D EPIC 封装的插入损耗（ S_{21} ）在 50GHz 以下的工作频段内均小于 3.5 dB，且回波损耗（ S_{11} ）小于 -13 dB。这种高带宽的 3D EPIC 封装形式可以作为光收发器（T/Rx）和无线光纤（ROF）等光电模块或子系统的封装解决方案。

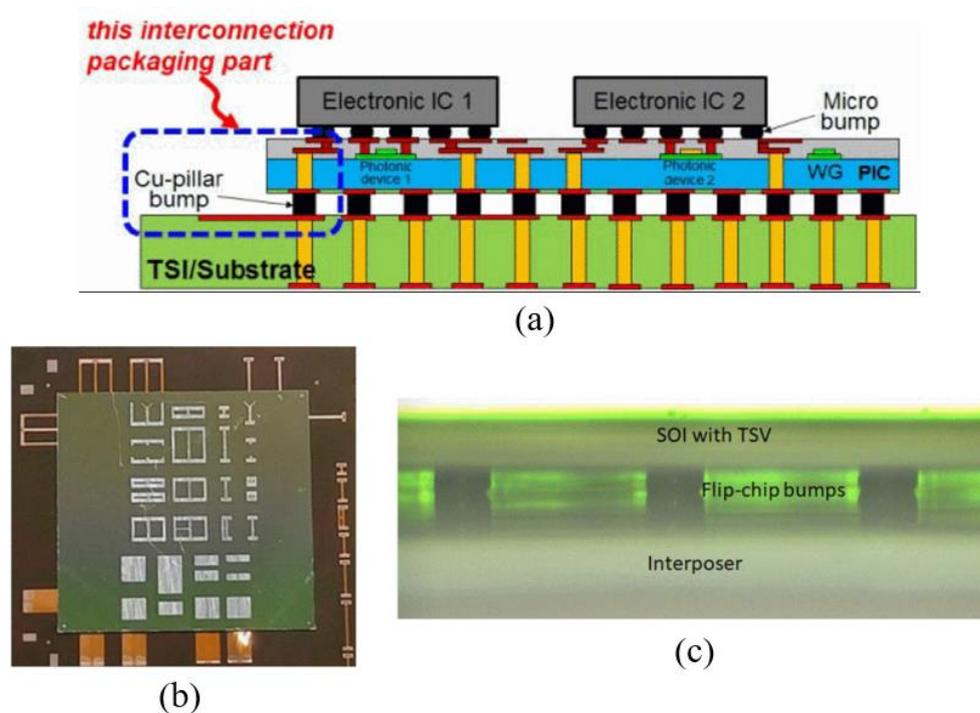


图 1.21 采用 SOI 和 Si 转接板工艺制作的 3D 光电集成电路封装^[85] (a) 3D 光电封装的截面示意图；(b) SOI 光电芯片倒装在转接板上的实拍图；(c) SOI 光电芯片与转接板接触位置的侧面图

2019 年，南京电子器件研究所的 Yongrong Shi 等人提出了一种用于单片微波集成电路（MMIC）异构集成的新型硅转接板封装解决方案^[86]。此方案首先通过金球倒装芯片技术将 GaAs / InP MMIC 集成到高电阻硅转接板中。然后通

过传统焊球倒装芯片技术将集成有异构集成 MMIC 的整个硅转接板组装至印刷电路板 (PCB) 顶层, 如图 1.22 所示。仿真评估显示采用此种封装方案时, 射频信号可以从 PCB 板传输到硅转接板中的异质集成 MMIC 上且信号质量不会劣化。为了进行实验验证, 研究人员将两个低噪声放大器 (LNA) MMIC 级联并集成在高电阻硅转接板内, 测试结果表明, 所提出的封装方案在保证射频信号传输顺畅的前提下可以成功地将 MMIC 集成到 SiP 中。

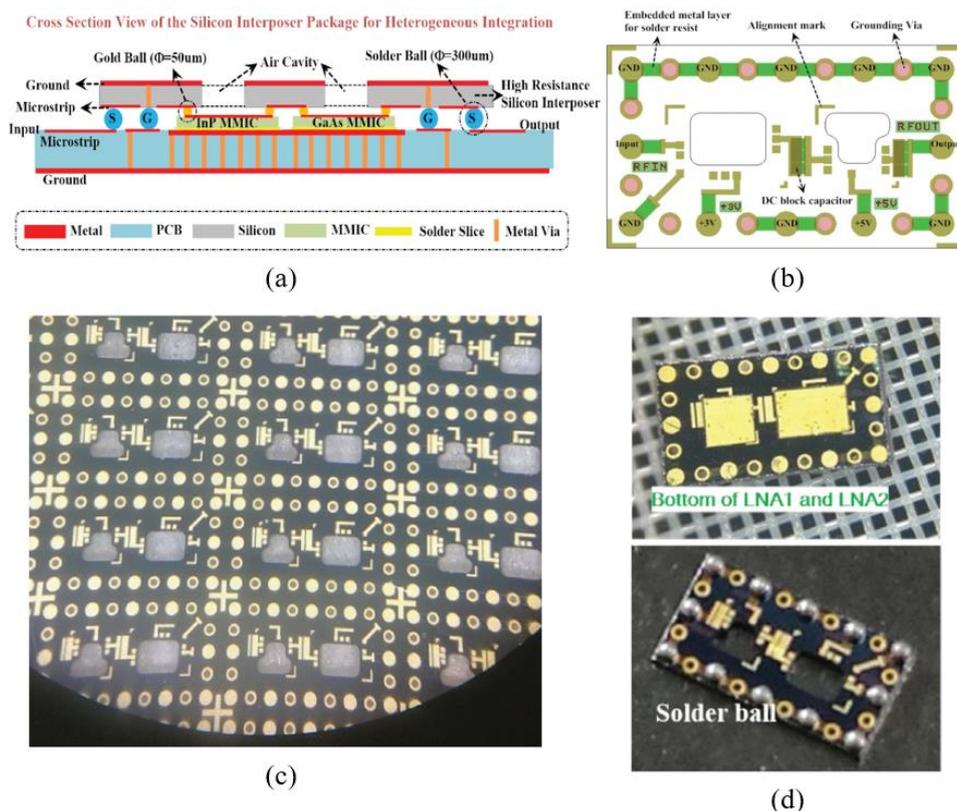


图 1.22 采用 Si 转接板和 flip-chip 工艺的 MMIC 芯片异构封装方案^[86] (a) 整体封装结构示意图; (b) Si 转接板正面版图; (c) 制作完成的硅转接板晶圆正面实拍图; (d) 分别为完成了第一步金球 flip-chip 和第二步传统 flip-chip 的 Si 转接板实物图

相比于陶瓷基板和有机基板, 硅基转接板的热膨胀系数与 IC 可以完好匹配, 且可以采用半导体工艺加工, 尺寸稳定性好, 可以实现 2.5D 和 3D 两种类型的系统级封装, 扇出能力大大增强, 且兼容圆片级工艺, 设备, 材料, 便于异质集成, 因而获得了对封装要求较高的高端电子市场和研究机构的青睐^[87]。

尽管硅转接板技术拥有诸多优势, 拥有非常好的应用前景, 但目前仍面临

着一些产业和技术方面的挑战，制约着硅转接板技术的应用和进一步发展^[80, 88-95]。诸多制约因素中最主要的是硅转接板的高工艺成本。首先，转接板制造包括 TSV 电镀、正面热氧化、减薄、临时键合/解键合，湿法露头等一系列工艺，流程复杂，不仅工艺成本高，流片周期也长。其次，由于整个工艺步骤多，且不完全成熟，因此良率不高，这也导致硅转接板的制造成本进一步增加。此外，由于硅转接板属于半导体材料，它与有机基板和陶瓷基板材料呈现不同的电学特性，且半导体材料在温度，应力的影响下，其内部电学特性会发生相应变化，从而对在硅转接板上集成的射频系统的电学性能产生影响，即多物理场耦合现象，而对于这一块的研究，国内外都做得较少，因此，通过硅基转接板实现复杂系统级封装并研究其内部的多物理场耦合现象是具有创新和实际指导意义的。

1.3 本文的研究内容和意义

本文针对叠层型 RF-SiP 在小尺度下面临的热流密度高、应力集中，翘曲控制难等影响可靠性的问题，研究 RF-SiP 的多物理场耦合分析技术，并通过对叠层 SiP 中的多物理场耦合现象的研究，建立叠层型 RF-SiP 电磁-热-力协同分析方法 and 设计流程。

由于 Si 基转接板与芯片 CTE 匹配性好，且有较好的热传导性能，可采用晶圆工艺大规模生产且光刻工艺线条精度高，结合多层微组装工艺可实现系统的 3D 集成。因此本文以一款 Ka 波段接收机前端硅基叠层 SiP 的实现为例，系统性地研究了该射频 SiP 中存在的电学、热学以及力学之间的多物理场耦合现象。本文的主要研究内容按章节分列如下：

第一章主要内容为射频系统封装研究背景的介绍及对目前主流的射频系统封装方案研究现状的概述。封装方案按基板材质分为 LTCC 封装，有机基板封装和 Si 转接板封装这三大类，针对这三大类的封装方案，本章做了国内外研究成果的调研，并简要介绍了这三类封装的结构和优劣势。

第二章主要内容为硅基叠层封装设计和集成 SIW 滤波器研究。首先基于 Ka 波段接收机系统的组成设计了实现该射频系统的封装结构，讨论了作为封装

基板的硅材料的电学特性，并研究了该封装中关键传输结构的直流和高温传输特性；其次，作为接收机系统中的一部分，设计了一款集成在硅基封装结构中的 Ka 波段 SIW 带通滤波器，并对该滤波器进行了实测，且讨论了制作工艺中绝缘层和硅材料体电阻率对滤波器传输特性的影响。

第三章主要内容为硅基叠层射频封装中的热-电耦合特性研究。以 Ka 波段接收机系统为例，针对其他射频系统封装中可能存在的高功率和高温等应用特点开展热-电耦合研究。首先，采用热阻矩阵近似的方法研究了叠层封装中各芯片间的热耦合现象，评估了硅基叠层封装的散热效率并提出了改善散热效率的方法；其次，在热电耦合方面，研究了转接板覆铜率和不同对外引脚形式对封装体散热性能的影响，并基于实测结果，分析了温度场作用下 TSV 结构直流漏电和 GSG 高频传输线的传输性能的变化。

第四章主要内容为硅基叠层射频封装中的热-力-电耦合特性研究。首先通过仿真和实测研究了叠层封装在回流温度载荷作用下的翘曲情况，并基于实测翘曲值分析了封装形态变化对系统中关键结构电学性能的影响，主要包括 SIW 滤波器和 wirebond（引线键合）结构；其次针对射频系统封装中可能存在的大电流应用特点，研究了作为热-力-电耦合典型代表的电迁移现象对叠层封装电学性能的影响，通过设计和实测一种 TSV 电迁移缺陷测试结构，得到了大电流应用下 TSV 结构常见的电迁移失效模式，最后研究了不同失效模式对 TSV 结构高频传输性能的影响。

第五章主要内容为 Ka 波段接收机系统在硅基叠层封装中的实现。根据叠层射频封装多物理场耦合现象的研究结果，完成了该接收机系统中的一部分在叠层封装中的实现。其中，在设计接收机系统 Ka 波段部分的芯片间互联时，对一般的 GSG 高频传输线互联进行了优化。经过实测，最终该接收机前端的工作特性得到验证，硅基叠层封装实现复杂射频系统的能力也得到了证明。

由于国内外对于叠层型硅基封装的热-电-力综合分析还比较缺乏，因此基于 TSV 转接板叠层型射频 SiP 的多物理场协同分析技术研究具有一定前沿性和创新性。采用叠层型射频封装综合分析技术，可提前规避小尺度下潜在电学，热学和应力问题，如信号失配，散热，焊点失效等，大幅提高设计准确性与效

率，也为更复杂的系统集成奠定基础，具有重要意义。

第 2 章 硅基叠层封装设计和集成 SIW 滤波器研究

接收机作为射频系统的典型代表，一般有 SoC^[96-100]（片上系统）和 SiP（系统级封装）两种实现方法，本论文中将采用硅基 SiP 的形式实现一款 Ka 波段接收机系统。而在本章中，根据接收机的系统架构，首先设计了两种可以实现该接收机的硅基叠层封装方案，并讨论了硅基转接板的电学特性，研究了叠层封装中典型无源传输结构的直流和低频传输特性。其次，由于该接收机系统需要一个工作在 Ka 波段的带通滤波器来限制输入 RF 信号的带宽，而基于硅材料制作的射频滤波器一般采用 MEMS（微机电系统）工艺制作^[101-103]，工艺复杂，成本较高且不适合集成在转接板中，为此，本章选择基于 SIW（基片集成波导）结构，使用转接板 TSV 工艺实现这款带通滤波器，并对这款滤波器的性能进行了实测，且根据仿真和实测结果探究了转接板工艺中绝缘层和硅材料电阻率对滤波器性能的影响，最终制作出的 SIW 滤波器将作为转接板的一部分和接收机的其他模块集成在一起，实现射频系统的高度集成化，滤波器与接收机中其他 Ka 波段芯片互联形成的射频前端性能将在本论文的第 5 章中体现。

2.1 叠层型集成方案及硅转接板基本特性研究

本节首先从设计角度分析射频系统应用下硅基叠层封装特点和挑战，并针对一个具体的 Ka 波段接收机系统提出两种可行的 3D 叠层集成方案。两种方案的主要区别在于 TSV 孔的实现方式和芯片是否内嵌。接着从硅基传输线和 TSV 等效电路模型出发，分析硅衬底主要电学表征参数电阻率和损耗角正切对硅基转接板高频损耗的影响，从而得出，对于射频系统应用，尤其是高频应用时，需采用高频电学性能更好的高阻硅。此外，射频应用下，叠层封装中典型无源互连结构包含 RDL 线条，CPW 传输线和 TSV 等，为了确保硅基叠层封装方案在电学指标上实现 RF 系统的可行性，对相关互联结构的电学特性进行了仿真优化和实测分析。

2.1.1 硅基叠层封装集成方案

将要采用硅基 SiP 形式实现的接收机系统如图 2.1 所示，该系统主要包括射频前端，接收变频模块和后续处理基带信号的多功能芯片等，前者通常采用线性性能好、功率较大的化合物半导体芯片^[104-107]，后者主要采用硅基芯片^[108-112]。由于射频前端中芯片密度不高，在该接收机实例中仅包括两块低噪声放大器（LNA）芯片，两块下变频器芯片和一块功分器芯片，因此可采用工艺成熟成本较低的 wirebond 互连方式。而采用基于硅基转接板的叠层型封装方案，具有异质、三维集成的特点。常规的转接板工艺，主要用于解决超大规模集成电路芯片高密互连难、散热困难等问题，用于数字电路系统芯片的集成。然而，不同于常规的转接板应用，在射频系统中硅基转接板的应用尤其有其自身的特点和挑战：

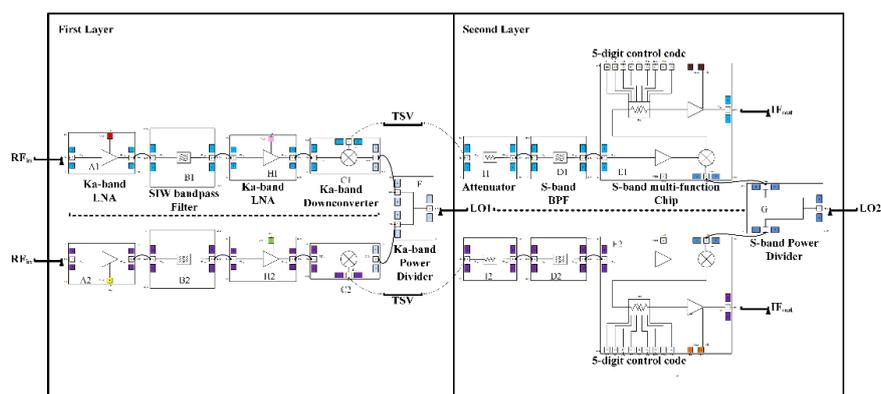


图 2.1 采用硅基叠层封装实现的 Ka 波段接收机系统框图

(1) 低密度射频前端中射频芯片通常采用引线键合互连方式，而数字电路芯片通常为高密度倒装焊接（flip-chip）方式。

(2) 作为射频系统组成部分的射频芯片除了硅基芯片外，还有常用的 GaAs 等化合物芯片，属于异质集成，而数字电路芯片绝大部分基于硅基 CMOS 工艺，属于同质集成。

(3) GaAs 等化合物芯片通常很薄，且射频前端芯片在做电连接时，正面互连打线，背面背金接地，而数字电路芯片为单面互连方式。

(4) GaAs 等化合物芯片通常较小，而数字电路芯片由于集成度较高，芯片尺寸相对较大。

(5) 射频系统传输的是模拟信号，除了高频传输外，还存在有电磁兼容

[113, 114]等问题，对基板的高频特性有较高的要求。而高密度高速数字芯片通常为并行传输接口，传输速率较低但密度高，信号串扰^[115, 116]严重。

(6) 射频系统为了保证信号传输回路的完整性，需要在传输过程中接地性能好，即对转接板提出了大面积覆铜的需求，但数字电路芯片所需金属覆盖密度不高，更容易满足工艺需求，且可以避免金属和硅转接板应力不匹配带来的工艺可靠性问题。

(7) 射频系统采用硅基叠层型封装方案时，射频芯片贴装于不同层的硅基板上，与硅基板表面的金属线条做电学连接，而异层硅基板之间采用传统焊球或铜柱等结构作为结构和电学的连接，但数字电路系统集成，通常采用硅基板 2.5D 集成或者 3D IC 方案，即硅基 CMOS 数字芯片的直接堆叠，两者结构不同。

由此可知，基于硅基转接板的叠层型封装方案不仅在工艺方面难度较大，在其射频应用的背景下对其电-热-力耦合性质方面的研究也很不成熟。

采用硅基转接板实现接收机系统的的两种叠层型封装方案示意图如图 2.2 所示。可见采用硅基叠层型集成方案后，封装结构内不仅可以集成硅基和化合物半导体芯片，而且还可以集成 SIW 滤波器等结构。不同的硅通孔方案使用不同的叠层封装方案。采用 TSV 大小孔的叠层方案，可以使用较厚的硅转接板，保证了对其挖腔不会影响到结构强度，使得射频芯片可以嵌入在硅转接板的空腔内，从而通过芯片内嵌降低作为高频信号传输通路的 wirebond 的弧高和长度，但由于工艺复杂且挖腔难度较大，最终采用了直通孔 TSV 的叠层方案，在这种方案下，硅转接板厚度为 200 μm ，TSV 通孔直径 20 μm ，无需挖腔，工艺难度下降。且经过实际的全波仿真软件仿真分析，将两种叠层封装方案下 wirebond 在工作频段内的传输效果进行对比，两者的差距并不大。

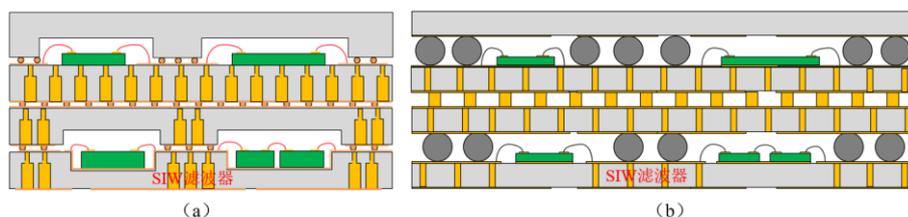


图 2.2 叠层型封装方案示意图 (a) 大小孔挖腔方案；(b) 直通孔大焊球方案

2.1.2 硅基转接板典型结构等效模型

叠层型 RF-SiP 封装方案的基础结构就是硅转接板，其中最重要互连结构就是硅通孔（TSV）结构。下图 2.3 展示了硅基转接板的典型结构，按照从上到下的顺序分别为：

- （1）正面凸点（微凸点），该处凸点尺寸和间距较小，主要用来与芯片的焊盘或凸点相连；
- （2）正面 RDL（再布线）层，该处 RDL 可实现芯片间的高频互连或者再分布至 TSV 中；
- （3）硅通孔，垂直方向互连通道；
- （4）背面 RDL 层，通过再布线将来自 TSV 的互连通路进行扇出；
- （5）背面凸点（焊球），与下方基板的焊盘相匹配。

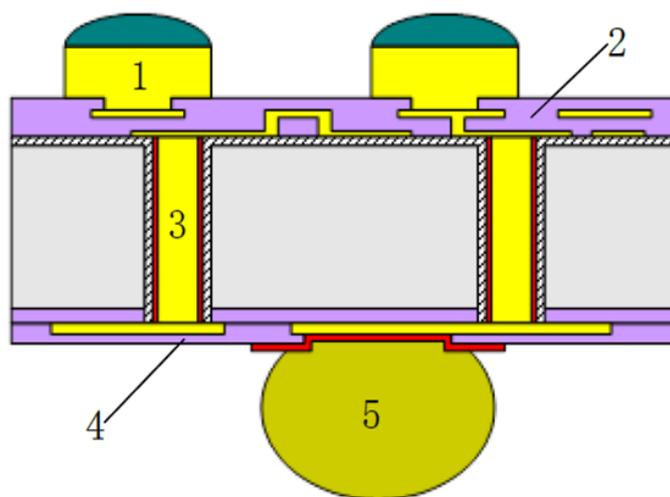


图 2.3 转接板基本结构图

硅基转接板与陶瓷基板和有机基板相比，热膨胀系数与 IC 完好匹配，可以采用半导体工艺加工，尺寸稳定性好，且兼容圆片级工艺，设备，材料，便于异质集成，但由于硅是半导体材料，它与有机基板和陶瓷基板材料呈现不同的电学特性，硅基转接板的电学特性的研究就显得尤为重要。

韩国 KAIST 的 Joohee Kim 等人提出了 RDL 的等效电路模型^[117]，如图 2.4 所示，图 2.4（a）为共面线的物理模型，图 2.4（b）为共面线的等效电路。图（b）中 C_{RDL} 代表共面线两金属导体形成的电容， $C_{RDL\ to\ sub}$ 代表共面线与衬底

之间由绝缘层引起的电容， C_{sub} 和 G_{sub} 分别代表衬底电容和电导， R_{RDL} 和 L_{RDL} 为金属导体的电阻和电感。可见，硅转接板上传输线的损耗一部分来源于硅基衬底，归结为硅衬底的损耗角正切造成的电极化损耗和电导率导致的高频漏电损耗。

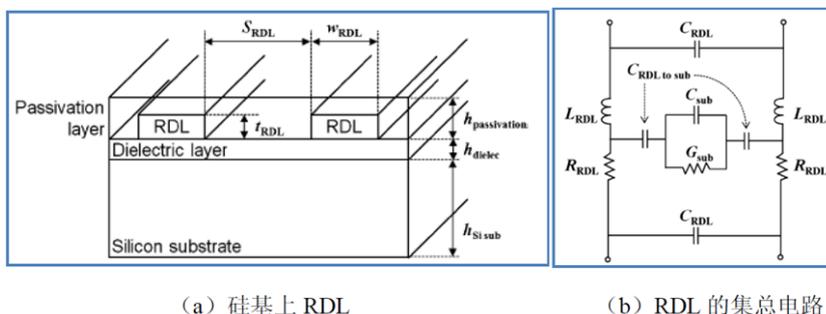


图 2.4 硅基上 RDL 的模型^[117] (a) 物理模型; (b) 等效电路

此外，加利福尼亚大学的 Chuan Xu 等人首次综合考虑了 TSV 的 MOS 效应和涡流效应，并基于准静磁场的假设提取了 GS TSVs 结构的集总电路模型^[118]。如下图 2.5 所示。 R_{sub} 和 L_{outer} 是由涡流效应引起的电阻和电感。 C_1 则是绝缘层电容和 MOS 电容串联后的总电容； Y_2 代表硅衬底的体电阻和电容，其解析解的求得仍然是基于平行杆的经验公式。 Z_{metal} 是指填充铜的阻抗，且 Z_{metal} 、 R_{sub} 和 L_{outer} 是通过单个 TSV 建立麦克斯韦方程求解获得的。可见与 RDL 一样，硅材料的损耗角正切和电导率漏电也是影响 TSV 结构传输损耗的根本原因。

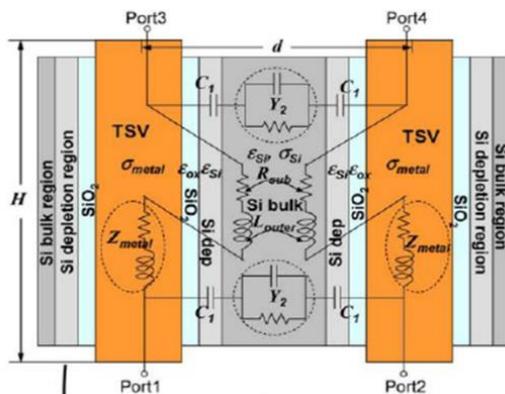


图 2.5 GS TSVs 结构的集总电路模型^[118]

因为硅衬底的导电特性和介电特性使得硅衬底存在两种损耗机制，即传导

损耗和介电损耗。下面的图 2.6，图 2.7 表示了不同电阻率参数硅衬底的电学性能^[119]，可见一般情况下，高电阻率的硅衬底损耗角正切也较小。因此，对于低频传输可采用成本降低的低电阻率硅片作为衬底，高频传输需要采用电学性能更好的高阻硅作为衬底。

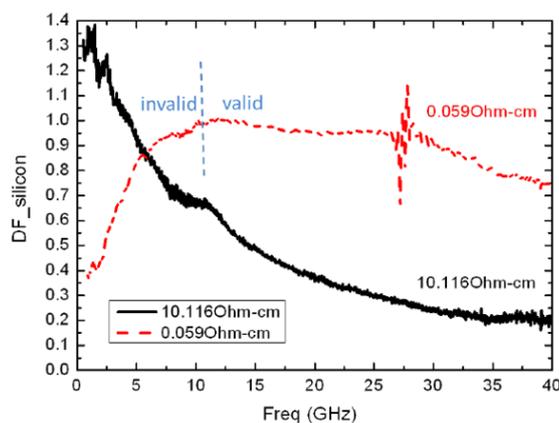


图 2.6 不同电阻率的硅基衬底的损耗角提取结果^[119]

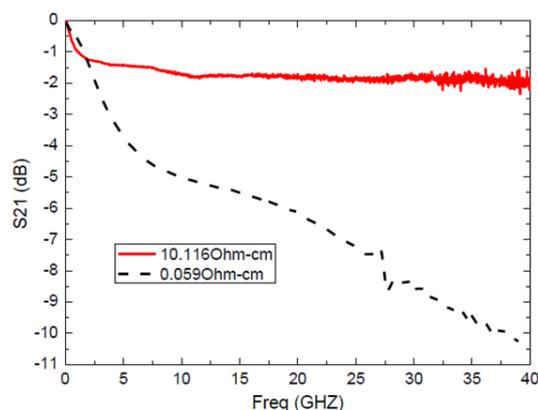


图 2.7 不同电阻率的硅基衬底上的 CPW 线的插入损耗^[119]

2.1.3 硅基叠层封装中典型无源互连结构的直流特性

互连线和 TSV 是硅基叠层封装中典型的无源互连结构，其直流特性主要包括一固定厚度 RDL 线条的方块电阻和单个 TSV 的寄生电阻，本文使用的转接板工艺下，硅转接板正面的 RDL 线条厚度均为 $3\ \mu\text{m}$ ，TSV 直径为 $20\ \mu\text{m}$ ，高度 $200\ \mu\text{m}$ 。为了测出典型无源互连结构的直流特性，采用四探针法测出如图 2.8 (a) 所示的版图结构 1 中 RDL 直流传输线的电阻并计算出单位长度 RDL 线条的阻值，基于此阻值和 RDL 线宽可以计算出 RDL 的方块电阻；并由此计算出如图 2.8 (b) 所示的版图结构 2 中不含 TSV 时 RDL 直流传输线的总电阻

值，随后用直流四探针测出结构 2 的整体阻值，后者减去前者，对 TSV 的数量做归一化，即可得出单个 TSV 的电阻值，计算得出的单个 TSV 电阻值如下表 2.1 所示。

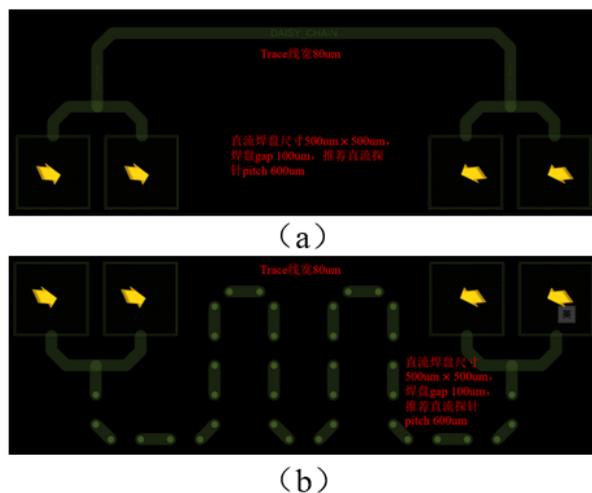


图 2.8 方块电阻和 TSV 电阻测试结构版图 (a) 不含 TSV 的 RDL 线条测试结构 1;
(b) 含 TSV 的直流测试结构 2

表 2.1 方块电阻和单个 TSV 电阻测试结果

测试样品编号	方块电阻实测值 ($m\Omega$)	TSV 电阻值 ($m\Omega$)
1	2.79	12.33
2	2.83	11.8
3	2.81	11.92
4	2.82	11.71
5	2.73	12.86
6	2.79	12.35
7	2.77	11.13
8	2.83	11.24
9	2.84	11.53
10	2.83	11.56
11	2.78	11.62
12	2.78	11.4
13	2.8	11
14	2.8	11.63
15	2.84	10.91
16	2.82	10.91
平均值 ($m\Omega$)	2.8	11.6

从计算结果中可以看出， $3\ \mu\text{m}$ 厚 RDL 线条的方块电阻为 $2.8\ \text{m}\Omega$ ，单个 TSV 电阻为 $11.6\ \text{m}\Omega$ 。经实测计算得到的 RDL 方块电阻值和 TSV 电阻值可以为电源网络的设计作为指导，也可以用于硅转接板通断测试评估。

2.1.4 硅基叠层封装中典型无源互连结构的高频传输特性和优化

针对最终实现接收机系统采用的 $20\ \mu\text{m}$ 直径 TSV 直满孔方案，进行了典型无源互连结构的高频信号传输特性分析。Ka 波段接收机的应用背景下硅基叠层封装中典型互连结构包括：wirebond、正面 CPW 传输线、TSV 和背面 CPW 传输线。信号传输路径示意图如图 2.9 所示，外界 RF 信号通过硅转接板背面的 GSG 焊盘和 CPW 经由转接板内部的 TSV 结构传输至正面的 CPW 线，并通过 CPW 与芯片输入焊盘之间的 wirebond 传输到射频芯片的输入端。

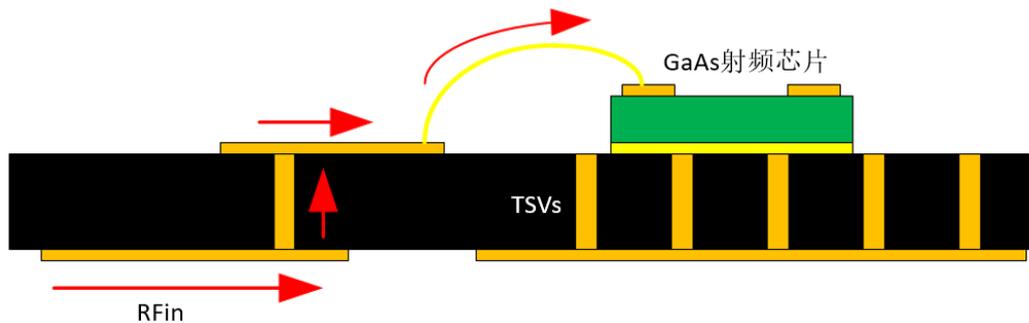


图 2.9 硅转接板上的典型高频信号输入传输结构，红色箭头代表信号流向

在未优化前，除去 wirebond 部分该输入高频信号传输结构的模型如图 2.10 (a) 所示，从图中可以看到，作为高频信号传输通道的 TSV 为 CPW 形式，上下层 CPW 信号线和地线之间均由单个 TSV 连接，该未优化结构的传输效率仿真结果如图 2.10 (b) 所示，在未优化的情况下，该传输结构在 $26.8\ \text{GHz}$ 时的插入损耗为 $2.85\ \text{dB}$ ，无法满足射频叠层封装对无源高频传输结构插入损耗低的要求。由信号完整性原理^[120]可知，损耗大的原因在于，由于 TSV 的直径仅为 $20\ \mu\text{m}$ ，使得该结构中位于两侧的地属性 TSV 无法为高频信号提供足够大的回流地平面，从阻抗匹配的角度分析即为 CPW 形式 RDL 传输线的阻抗与未优化结构中 TSV 的阻抗不匹配，使得高频信号在传输至 TSV 时有较大的回波损耗，导致插入损耗过大。

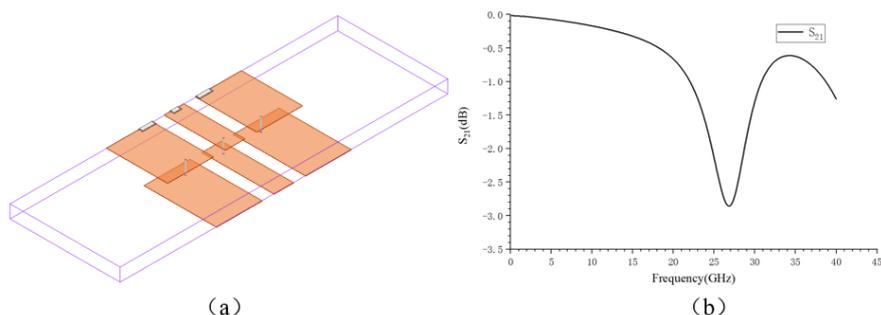


图 2.10 未优化时 TSV 传输结构和其插入损耗 (a) 结构示意图; (b) 插入损耗仿真结果

为了改进高频传输效率, 提出了如图 2.11 (a) 所示的优化后 TSV 高频传输结构, 为了增加高频信号在经过 TSV 结构时的回流, 在原先地属性 TSV 外侧添加了三根成排的 TSV, 经过全波仿真分析, 该优化结构在相同频段内的传输效率如图 2.11 (b) 所示, 在 26.8 GHz 时插入损耗为 0.32 dB, 相比于原先的传输结构插入损耗减小了 2.5 dB。

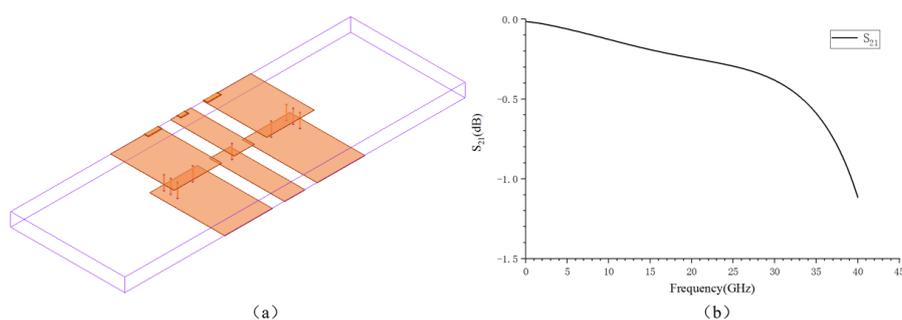


图 2.11 优化的 TSV 传输结构和其插入损耗 (a) 结构示意图; (b) 插入损耗仿真结果

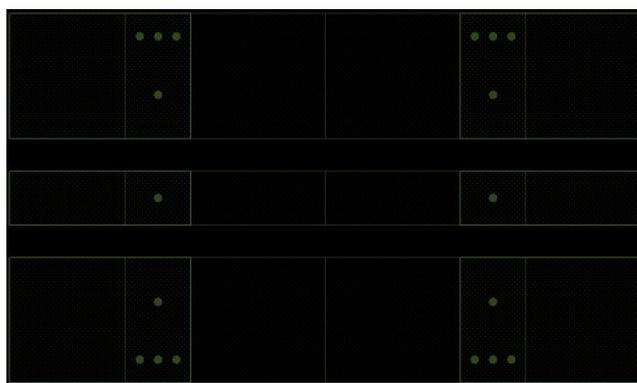


图 2.12 验证 TSV 传输优化结构的测试结构版图

为了验证该优化结构的传输效率, 还设计了版图如图 2.12 所示的的测试结

构，为了满足测试时 GSG 探针必须共面的条件，将两个完全一致的优化传输结构互为镜像相接组合形成该结构，并在正面的绝缘层上制作出可以与 GSG 探针接触的开口，测试系统为 Cascade 高频探针台，Keysight 公司的矢量网络分析仪被用来记录 S_{21} 和 S_{11} 曲线，实测时的探针接触位置如图 2.13 所示。

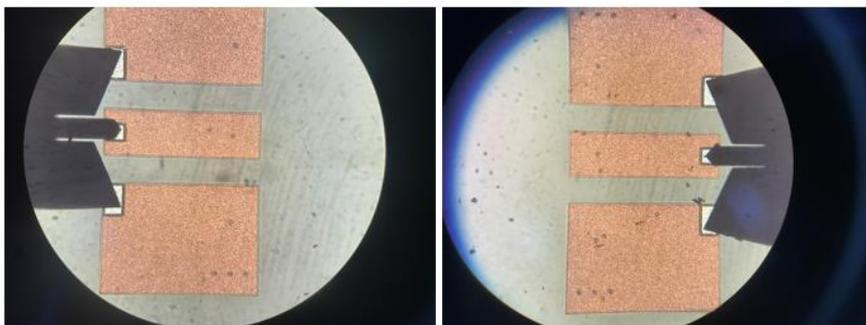


图 2.13 对优化验证测试结构实测时的 GSG 探针接触焊盘实拍图

经过实测，组合后的优化传输结构在 26.8 GHz 时的插入损耗为 0.75 dB，且组合后的优化传输结构的仿真与实测传输性能的对比如图 2.14 所示，由两者对比可见，仿真结果的 S 参数除了谐振点有相对偏移以外和实测结果相接近，这验证了该 TSV 高频传输优化结构的实用性。最后在该传输结构上添加了芯片和 wirebond 组成完整的高频传输通路，并为了评估工艺的不确定性对整体传输效能的影响，对 wirebond 线的弧高设置了参数扫描仿真，仿真结果显示随着弧高的增大，插入损耗增大，但弧高对插入损耗的影响相比于整体结构的原始插损而言很小，且 wirebond 的弧高在较大范围内变化均可满足设计要求。

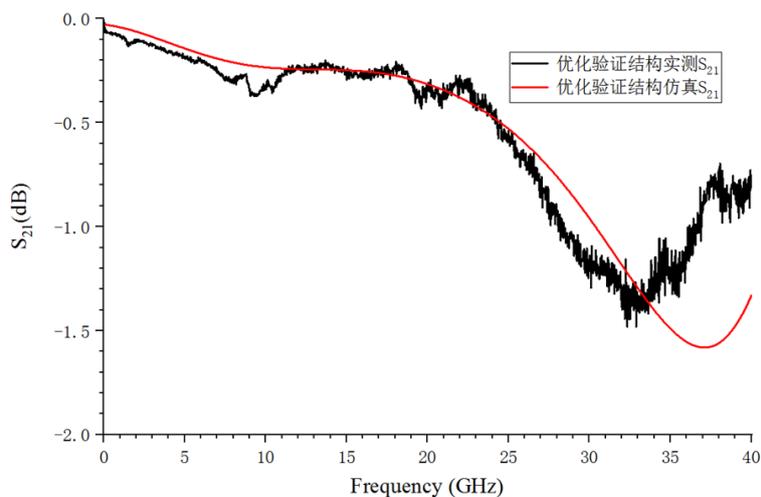


图 2.14 组合优化传输结构 S_{21} 实测值与仿真值的对比

2.2 硅转接板内部集成 SIW 滤波器研究

上一节中针对 Ka 波段接收机系统的实现确定了硅基叠层封装方案，通过对硅转接板电学性能的讨论确定了高阻硅材料的选择，并根据对典型传输结构直流和低频传输特性的分析，初步验证了硅基叠层封装在电学方面实现 RF 系统的可行性。本节中，为了在不增加系统复杂程度（不增加分立元件数目）的基础上实现接收机系统的高集成度封装，以硅转接板为载体，设计并实测了一款可用于接收机系统的中心频率为 29.8 GHz 的 Ka 波段硅基集成 SIW 带通滤波器，并研究了该滤波器在不同电阻值的硅材料和不同厚度与类型的绝缘层的影响下其性能的变化情况。

2.2.1 基片集成波导（SIW）基础理论

波导作为经典的微波传输结构，由于其封闭的结构特点使其高频损耗很小，波导滤波器因此在通带内的传输效率很高，但由于传统波导结构难以集成，使得传统波导滤波器无法应用在小型终端设备中。因此以东南大学的吴科，洪伟为代表的学者提出基片集成波导结构^[121-123]。

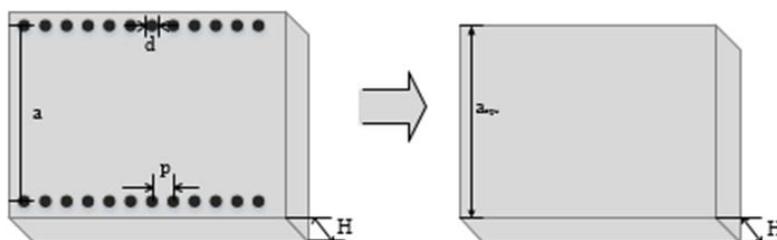


图 2.15 基片集成波导与传统矩形波导等效示意图

由图 2.15 可知：基片集成波导呈现三明治结构，上下金属板之间夹着一层介电材料，两侧的金属通孔形成波导的侧壁。介质的介电常数为 ϵ_r ，厚度为 H ，两侧由成排的金属化通孔构成基片集成波导的侧壁，两侧金属化通孔的孔心距为 a ，通孔直径为 d ，相邻通孔间的孔心距为 p ，经过研究，基片集成波导中的电磁波在特定传输模式下的传输特性和矩形波导中的几乎相同，通过等效关系式可以实现两结构的转换，关系式可以表示为^[121]。

$$a_{equ} = a\bar{a}, \quad \bar{a} = \xi_1 + \frac{\xi_2}{p + \frac{\xi_1 + \xi_2 - \xi_3}{\xi_3 - \xi_1}} \quad (2.1)$$

式中：

$$\begin{cases} \xi_1 = 1.0198 + \frac{0.3465}{\frac{\bar{a}}{p} - 1.0684} \\ \xi_2 = -0.1183 - \frac{1.2729}{\frac{\bar{p}}{d} - 1.2010} \\ \xi_3 = 1.0082 - \frac{0.9163}{\frac{\bar{p}}{d} + 0.2152} \end{cases} \quad (2.2)$$

其中 \bar{a} 为基片集成波导转化传统矩形波导的系数。虽然此公式较为准确，但是应用起来比较复杂，于是研究人员提出两种近似方式^[124, 125]：

当通孔间距足够小，并且忽略 $\frac{d}{a}$ 对等效宽度的影响，上式可以简化为：

$$a_{equ} = a - \frac{d^2}{0.95p} \quad (2.3)$$

当通孔直径很小，并考虑 $\frac{d}{a}$ 对等效宽度的影响，上式可以更精确等效为：

$$a_{equ} = a - 1.08 \times \frac{d^2}{p} + 0.1 \times \frac{d^2}{a} \quad (2.4)$$

根据相关文献^[125]的研究，当相邻通孔的间距 p 满足：

$$p < \lambda/4, p < 4d \quad (2.5)$$

电磁场的能量就会束缚在谐振腔内，不会从相邻通孔间的开口中泄露。由电磁场原理知 SIW 结构只能传播 TE 模式的电磁波，因此 SIW 谐振腔也只能存储 TE 模式的电磁波^[122]。利用公式 (2.3) 或 (2.4)，用等效矩波导的宽度代替 SIW 结构的两侧通孔间距，代入矩波导的各传输参数计算公式，就能得到 SIW 的主模 TE_{10} 的相应性质如截止频率，波导波长，相速度和特征阻抗等。

由于本文中设计的 SIW 滤波器是采用谐振腔耦合的形式，所以 SIW 谐振腔的基本特性对于滤波器中心频率的确定有着重要作用。

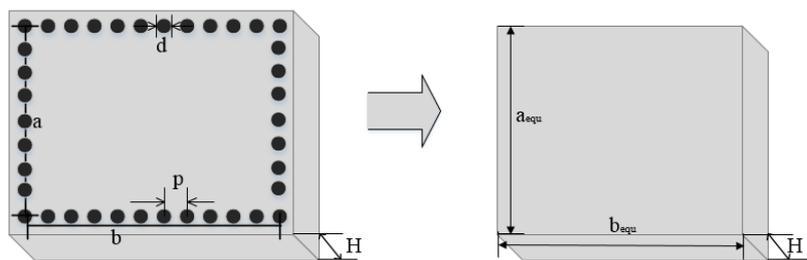


图 2.16 矩形波导谐振腔与基片集成波导谐振腔的等效示意图

根据矩形波导与 SIW 的等效关系可知，矩形波导谐振腔与 SIW 谐振腔之

间也有类似的等效关系，可以根据图 2.16，通过 SIW 谐振腔长宽尺寸对矩形波导谐振腔的等效，可以计算出 SIW 谐振腔的谐振频率公式^[126]：

$$f_{m0l} = \frac{c}{2\pi\sqrt{\mu_r\epsilon_r}} \sqrt{\left(\frac{m\pi}{a_{eff}}\right)^2 + \left(\frac{l\pi}{b_{eff}}\right)^2} \quad (2.6)$$

式中 μ_r ， ϵ_r 分别表示相对磁导率，相对介电常数， m ， l 为非零整数。等效长度 a_{eff} ， b_{eff} 与基片集成波导谐振腔的 a ， b 的对应关系，同样可以利用公式(2.3)和公式(2.4)近似。

2.2.2 带通滤波器设计理论

滤波器的设计理论自 20 世纪 30 年代就已有研究，随着时间的推移也有新的设计方法和理论不断涌现。本文中设计的滤波器采用低通原型转化成带通滤波器的经典方法进行设计，因此主要介绍带通滤波器的关键技术指标和常见的低通滤波器原型。

2.2.2.1 带通滤波器的技术指标

带通滤波器的关键技术指标如下所示：

(1) 中心频率 f_0 ： f_0 是带通滤波器通带的中心频率，可以用公式表达为：

$$f_0 = (f_L + f_H)/2 \quad (2.7)$$

其中 f_L 为通带低频截止频率， f_H 为通带高频截止频率。

(2) 截止频率 f_c ： f_c 是滤波器的传输损耗低于峰值 3 dB 所对应的频率。

(3) 带宽 BW：带宽分为绝对带宽和相对带宽两种定义形式。

a) 绝对带宽：指相比传输损耗的峰值衰减 3dB 所对应的两个频率点 f_L 和 f_H 之间的宽度：

$$BW = (f_H - f_L) \quad (2.8)$$

b) 相对带宽：指绝对带宽 BW 与 f_0 的比值，即：

$$\text{Fractional BW} = \frac{BW}{f_0} \times 100\% = \frac{(f_H - f_L)}{f_0} \times 100\% \quad (2.9)$$

(4) 插入损耗 L_A 与回波损耗 L_R ：实际滤波器均会引起通带内对信号的功率损耗，插入损耗表示通过滤波器的功率差值，表达式为：

$$L_A = 10 \log \frac{P_{in}}{P_L} = -10 \log(1 - |\Gamma_{in}|^2) = 10 \log \frac{1}{|S_{21}|^2} \quad (\text{dB}) \quad (2.10)$$

回波损耗表达式:

$$L_R = -10 \log \frac{P_R}{P_{in}} = 10 \log(1 - |S_{21}|^2) \quad (\text{dB}) \quad (2.11)$$

P_{in} 为输入功率, P_L 为输出功率, P_R 代表滤波器的反射功率。

(5) 寄生通带: 寄生通带是指中心频率所在的通带外的其它通带, 常见于双通带和多通带滤波器中。

(6) 群时延: 群时延为信号通过滤波器时延迟时间, 时延会导致电磁波信号的相位发生变化, 因此群时延被定义为:

$$\tau_D = \frac{\partial \varphi_T}{\partial \omega} \quad (2.12)$$

式中 φ_T 为信号在进出滤波器时的相移, ω 为信号的角频率。

(7) 矩形系数: 矩形系数一般指 60 dB 带宽与 3 dB 带宽的比值, 用来作为通带内外信号选择性的衡量, 用公式表示为:

$$\text{SF} = \frac{BW_{60\text{dB}}}{BW_{3\text{dB}}} \quad (2.13)$$

(8) 带内纹波: 带内纹波为滤波器通带内信号传输效率最高与最低时的差值。

(10) 品质因数: 带通滤波器的品质因数反映了滤波器对频率的选择特性, 一般定义为与中心频率与 3dB 带宽的比值, 用公式可表示为:

$$Q_L = \frac{f_0}{BW_{3\text{dB}}} = \frac{f_0}{(f_H - f_L)} \quad (2.14)$$

2.2.2.2 低通滤波器原型的传递函数

由于本文中采取的带通滤波器设计方法是通过经典的低通原型滤波器元件值计算得到带通滤波器各谐振单元间耦合参数和外部品质因数的方法设计的硅基带通滤波器, 因此需要对最常用的三种低通滤波器原型^[127]的传递函数依次进行详细的介绍。

(1) 巴特沃斯低通原型:

巴特沃斯原型的传输函数如下:

$$\begin{cases} L_A(\omega_1') = 10 \ln \left[1 + \varepsilon \left(\frac{\omega_1'}{\omega_1} \right) \right] (\text{dB}) \\ \varepsilon = 10^{\left(\frac{L_{Ar}}{10} \right)} - 1 \end{cases} \quad (2.15)$$

下图 2.17 为其传输响应曲线，式中 L_{Ar} 为通带最大衰减， L_{As} 为阻带最小衰减。 ω_1 表示截止频率， ω_s 表示阻带边界频率， ω_1 与 ω_s 间为巴特沃斯原型的过渡带。

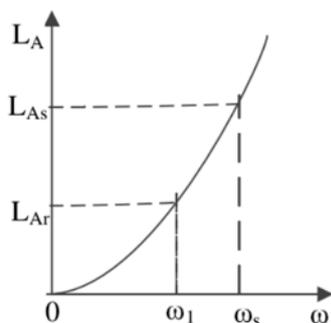


图 2.17 巴特沃斯低通滤波器的传输函数曲线

巴特沃斯原型传输函数是常用的三种传输函数中衰减最快的，因此对于相同的带外抑制要求，采用巴特沃斯低通原型设计的滤波器阶数更高导致其尺寸更大不利于滤波器小型化。

(2) 切比雪夫低通原型

切比雪夫低通原型的传输函数用公式表达为：

$$\begin{cases} L_A(\omega') = 10 \ln \left\{ 1 + \varepsilon \cos^2 \left[n \cos^{-1} \left(\frac{\omega'}{\omega_1} \right) \right] \right\} & \omega' \leq \omega_1' \quad (dB) \\ L_A(\omega') = 10 \ln \left\{ 1 + \varepsilon \cosh^2 \left[n \operatorname{ch}^{-1} \left(\frac{\omega'}{\omega_1} \right) \right] \right\} & \omega' \geq \omega_1' \quad (dB) \end{cases} \quad (2.16)$$

$$\varepsilon = 10^{\left(\frac{L_{Ar}}{10}\right)} - 1$$

下图 2.18 错误!未找到引用源。是切比雪夫低通原型的频率响应曲线，图中 L_{Ar} 为通带内的最大等纹波动， L_{As} 为阻带最小衰减。 ω_1 代表截止频率， ω_s 代表阻带边界频率， ω_1 与 ω_s 之间为切比雪夫低通原型的过渡带。

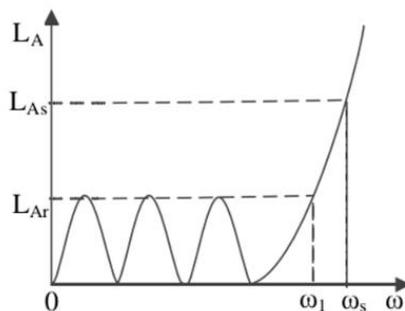


图 2.18 切比雪夫低通原型滤波器传输函数曲线

切比雪夫低通原型与巴特沃斯低通原型的带外响应相似，但衰减更快，所以切比雪夫低通原型的传输函数更适合对于通带平坦度要求不高，但对带外抑制要求高的滤波器设计，采用切比雪夫低通原型设计的滤波器阶数更低。

(3) 椭圆函数低通原型

椭圆函数低通原型的传输函数在其通带和阻带内都呈现出等纹波抖动，如图 2.19 所示。相比于前两种低通原型，椭圆函数低通原型通过对通带和阻带内平坦度的牺牲获得了三者中最高的阻带衰减速度，采用椭圆函数低通原型设计的滤波器有最低的阶数和最小的尺寸。

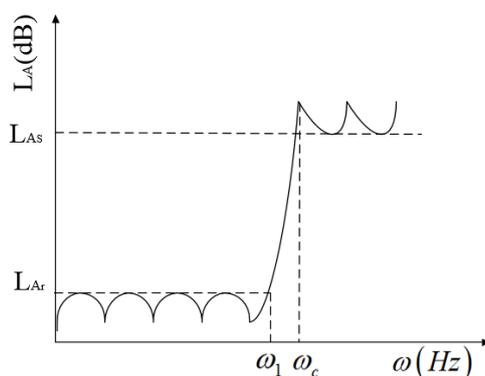


图 2.19 椭圆函数低通原型滤波器的传输函数

2.2.3 硅基直线耦合 SIW 带通滤波器设计流程

结合前面几节所述的 SIW 结构与矩形波导的等效原理，以及带通滤波器指标和常用的低通原型滤波器的滤波特性，挑选巴特沃斯原型作为本文中设计的 29.8 GHz 中心频率 SIW 直线耦合带通滤波器的低通原型，并进行 SIW 带通滤波器的设计。本项目所设计的滤波器的技术指标如下表 2.2 所示。

表 2.2 SIW 带通滤波器的设计指标

滤波器参数	设计指标
中心频率	29.8 GHz
3 dB 带宽	1.5 GHz
插入损耗	<4 dB
带内纹波	<1 dB
输入输出回波损耗	<-10 dB
带外抑制	>50 dB @26.8GHz

由于硅基叠层封装方案已确定转接板 TSV 为 20 μm 直径的直满孔形式，整

个 SIW 滤波器模型与单个 TSV 结构巨大的尺寸差异导致直接使用 SIW 模型进行仿真很消耗时间，为此，遵从 SIW 和矩形波导尺寸的等效公式 (2.3)，可建立等效的矩形波导模型，并进行滤波器关键尺寸的确定与仿真调试，最后还原成 SIW 带通滤波器，可大大缩短滤波器的设计时长，单次仿真时间由 2 小时缩减到 5 分钟。

2.2.3.1 单个谐振腔尺寸的确定

由于本设计方法中采用同频谐振腔耦合形式实现滤波器，各耦合的谐振腔的谐振频率一致^[128]，都等于带通滤波器的中心频率 29.8 GHz，通过等效矩形谐振腔谐振频率的计算公式 (2.6)，可以计算出矩形谐振腔的初始尺寸，将初始尺寸代入仿真软件中的谐振腔仿真模型，并将求解模式调到本征模式，经过调试，可以得到当矩形谐振腔的尺寸为 2.15 mm × 2.1 mm 时，矩形谐振腔的谐振频率为滤波器中心频率 29.8 GHz。当谐振腔在 29.8 GHz 谐振时，腔内的电场强度分布如图 2.20 所示。

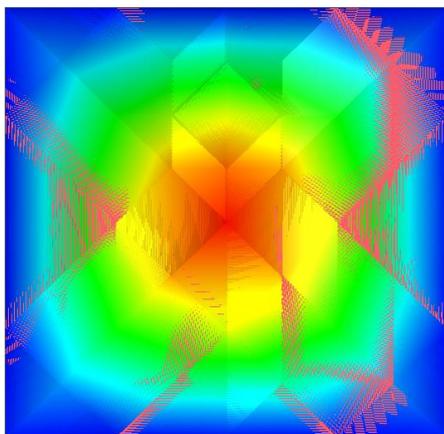


图 2.20 矩形谐振腔在 29.8GHz 时发生 TE₁₀₁ 模式谐振时的电场分布

2.2.3.2 各谐振腔间耦合开口尺寸的确定

基于经典矩波导带通滤波器设计理论，由对应的低通原型元件值和滤波器设计指标中的相对带宽值，可以计算得到各矩波导谐振腔之间的耦合系数和外侧的两个矩波导谐振腔与外界输入输出间耦合的外部品质因数，所用到的公式如下^[127]：

$$M_{i,j} = \frac{FBW}{\sqrt{g_i g_{i+1}}} \quad (i \in 1, 2, \dots, n) \quad (2.17)$$

$$Q_{ei} = \frac{g_0 g_1}{FBW}, Q_{eo} = \frac{g_n g_{n+1}}{FBW} \quad (2.18)$$

而查阅滤波器设计经典文献^[127]可得带内纹波为 0.1 dB 时的四阶切比雪夫低通原型滤波器的元件值为 $g_0=1$, $g_1=1.1088$, $g_2=1.3061$, $g_3=1.7703$, $g_4=0.8180$, $g_5=1.3554$, 由此可计算出各谐振腔间的耦合系数和外品质因数依次为: $M_{12}=M_{34}=0.0415$, $M_{23}=0.0329$, $Q_{ei}=Q_{eo}=22.176$ 。为了确定矩形谐振腔之间的耦合开口大小, 采取了双模提取法进行耦合系数的提取, 其基本操作步骤为: 在仿真软件中建立两谐振腔级联的仿真模型, 求解模式设为本征模式, 对两谐振腔间的耦合开口设置参数扫描仿真, 且在求解设置中, 谐振频点设置为两点, 基于电磁原理可知, 在两谐振腔存在耦合的情况下, 整体结构会存在两个频率相近的基本模式谐振点, 两种谐振模式下, 耦合壁两侧的谐振腔内的电磁场矢量的相对方向相反。当采用双模提取法对耦合结构仿真且在谐振频率时, 仿真模型内的电场强度分布如图 2.21 所示。

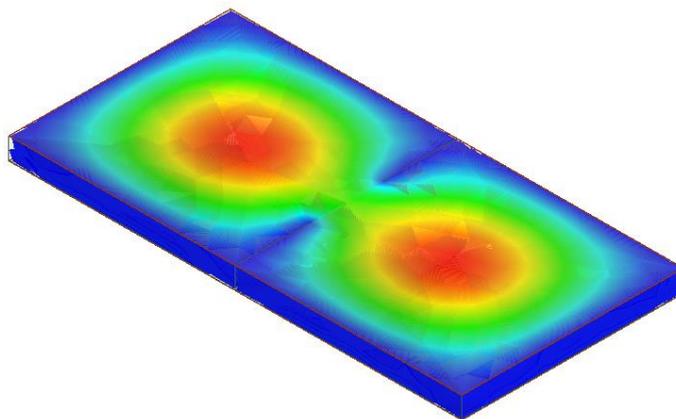


图 2.21 采用双模提取法提取耦合系数时模型在谐振模式时的电场分布

由 Ansys HFSS 本征模式计算出的两相邻近的频点为 f_1 和 f_2 , 基于公式^[129]:

$$M = \left| \frac{f_2^2 - f_1^2}{f_2^2 + f_1^2} \right| \quad (2.19)$$

可以计算出不同耦合开口时的耦合系数, 并绘制两者之间的关系曲线如下图 2.22 所示。

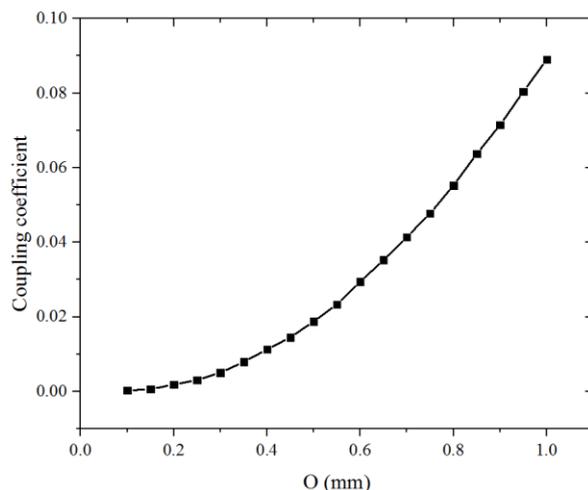


图 2.22 耦合系数与耦合开口之间的关系

结合由公式 (2.17) 计算出的滤波器所需的耦合系数和上图中耦合开口和耦合系数之间的关系, 可以确定等效矩波导滤波器各谐振腔间耦合开口的初始尺寸依次为: 0.72mm, 0.61mm, 0.72mm。

2.2.3.3 外侧谐振腔与传输线耦合结构尺寸的确定

常见的 SIW 滤波器与传输线的共面耦合结构有如下图 2.23 所示几种:

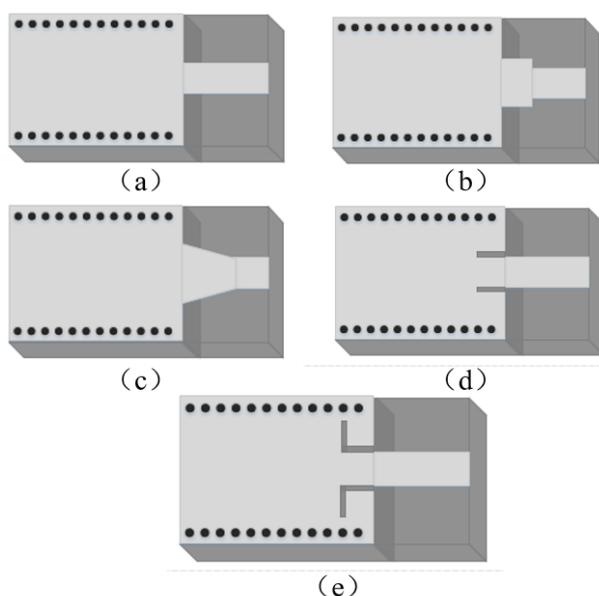


图 2.23 常见的 SIW 滤波器与传输线的共面耦合结构 (a) 直接过渡结构示意图; (b) 阶梯形过渡结构示意图; (c) 锥形过渡结构示意图; (d) 共面波导过渡结构 I 型; (e) 共面波导过渡结构 II 型

由于本文中的接收机系统的芯片引脚和转接板 RDL 传输线全部采用 CPW 形式，因此滤波器与外界耦合结构选用上图 2.23 (d) 或 (e) 的形式，又因为 (e) 的共面波导过渡结构 II 型相比于 (d) 多了四分之一波长的短路槽线，设计的自由度更高，可以实现更大带宽内的 CPW-谐振腔的阻抗匹配，因此最终选用共面波导过渡结构 II 型。

共面波导过渡结构 II 型的关键参数为馈入深度 d 和枝节长度 l ，为确定这两个关键参数，在 HFSS 中建立单端口 S_{11} 参数仿真模型，求解形式设置为 driven model 形式，仿真模型如下图 2.24 所示：

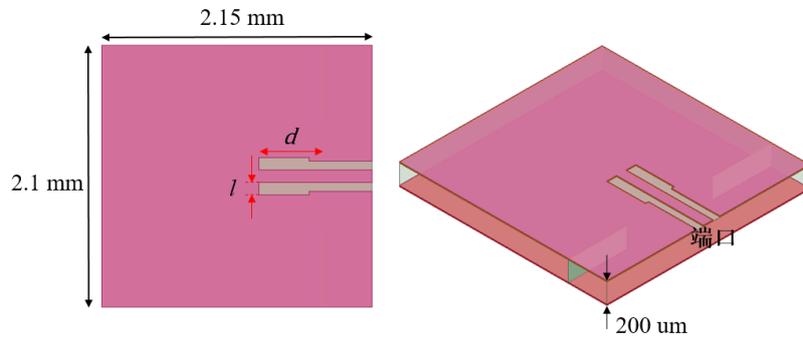


图 2.24 确定 CPW 馈入口结构尺寸时的 S_{11} 单端口模型

对耦合结构的馈入深度和枝节长度设定参数扫描仿真，并由仿真出的 S_{11} 参数的群延时可计算出对应的谐振腔外部品质因数 Q_{ex} ，同样的可以绘制馈入深度 d 和枝节长度 l 与 Q_{ex} 之间的关系，并基于由公式 (2.18) 计算得到的滤波器所需的外部品质因数确定 d 和 l 的初始值。由 S_{11} 的群延时计算外部品质因数 Q_{ex} 的公式如下：

$$Q_e = \frac{\omega_0 \tau_{S_{11}}(\omega_0)}{4} \quad (2.20)$$

上式中， ω_0 为单端口单腔体谐振腔的谐振频率， $\tau_{S_{11}}(\omega_0)$ 为单端口模型 S_{11} 在谐振频率时的群延时。

2.2.3.4 矩形波导滤波器和 SIW 滤波器的尺寸确定

基于上述设计步骤，矩形波导滤波器的各个初始尺寸都已确定，对其关键尺寸进行进一步的调试可获得满足设计指标的矩形波导滤波器，再由矩形波导和 SIW 之间的等效关系，可以得到初步的 SIW 滤波器结构，最后对 SIW 滤波

器的关键尺寸参数进行微调，直至达到所有滤波器设计指标，完成滤波器设计。SIW 滤波器的仿真模型和两滤波器的 S 参数对比如图 2.25 所示。

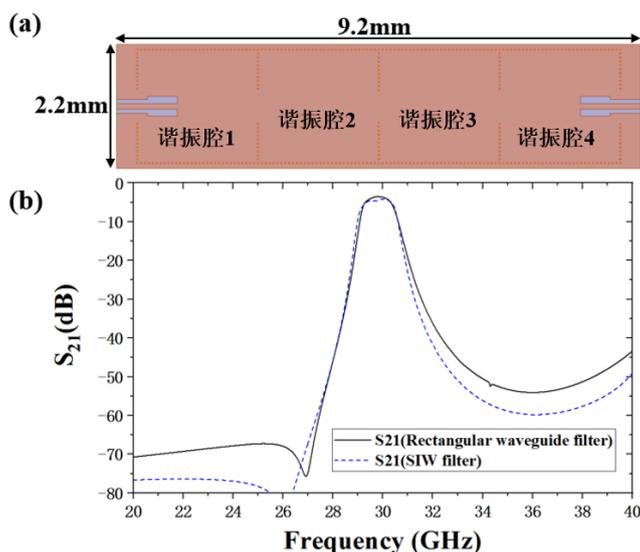


图 2.25 SIW 滤波器的初始模型和两滤波器的 S 参数对比，实线为矩波导等效滤波器的 S_{21} ，虚线为 SIW 滤波器的 S_{21}

最终在对已有初始关键尺寸的 SIW 滤波器进行一系列的调试后，确定了其最终尺寸如下表 2.4 所示。

表 2.3 SIW 滤波器最终尺寸

滤波器关键尺寸	实际值
谐振腔 1 长度	2.12 mm
谐振腔 2 长度	2.12 mm
滤波器宽度	2.015 mm
耦合开口 1	630 μm
耦合开口 2	626 μm
耦合开口 3	576 μm
GSG 馈入线宽度	100 μm
GSG 馈入线深度	703 μm
GSG 馈入线信号地间距	71 μm
馈入线四分之一波长枝节长度	125 μm

该硅基集成 SIW 带通滤波器采用晶圆级全硅工艺制作，为避免金属-半导体接触，硅转接板与正面，背面的 RDL 层之间均有绝缘层隔开，在本文采用的转接板工艺中，正面绝缘采用二氧化硅，背面采用 Polyimide 聚合物材料，经过

仿真研究发现，这两者工艺参数的变化都会对滤波器的传输性能造成影响。

当采用 $2\mu\text{m}$ 厚 SiO_2 替换底层绝缘的 $4\mu\text{m}$ 厚 PI 时，仿真结果发现 S_{21} 曲线频率左移 300 MHz，且插入损耗最小值比 $4\mu\text{m}$ PI 的情况下小 0.7 dB。经过分析，频率左移的原因是谐振腔中的电磁场谐振模式为 TE_{101} 模式，该模式的谐振频率与介质中的光速 c 成正比，而当采用相对介电常数比 PI 材料更大的 SiO_2 时，整体绝缘材料的等效相对介电常数更大了，使得介质中的光速变慢，而造成谐振频率变小即滤波器中心频率变小，滤波器的 S_{21} 传输曲线整体左移。

而由于 SiO_2 的损耗角正切比 PI 小且厚度比 PI 薄，因此滤波器的损耗减小。

当背面 PI 绝缘层的厚度从 $4\mu\text{m}$ 减薄为 $2\mu\text{m}$ 时，仿真结果显示 S_{21} 传输特性曲线频率左移 300 MHz，损耗减小了约 0.25 dB。由于 TE_{101} 模谐振时，电磁波分布的介质空间呈现 $\text{SiO}_2\text{-Si-PI}$ 的三明治结构，随着底层 PI 绝缘层厚度的减小，三明治结构的整体等效相对介电常数增大（因为 Si 的相对介电常数为 11.9，远大于 PI 材料的 3.5），这使得在此介质空间内的光速 c 降低，从而使谐振频率减小，传输曲线整体左移，而随着底面 PI 绝缘层的减薄，它引入的电介质极化损耗也减少，使滤波器传输损耗降低。通过上述两个仿真可以获得绝缘层材料和厚度对硅基集成 SIW 滤波器中心频率和插入损耗的影响程度，作为后续使用同种工艺制作谐振腔原理相关器件时工艺容差对相应器件插入损耗和频率特性影响的参考。

2.2.4 SIW 带通滤波器实测

最终采用晶圆级全硅工艺制作出的 SIW 带通滤波器如图 2.26 所示：

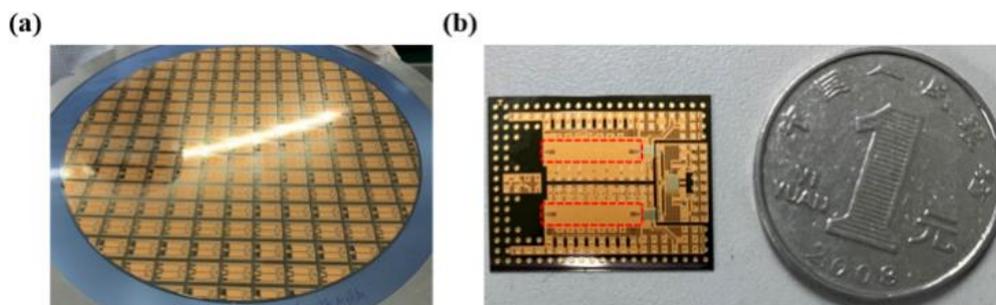


图 2.26 SIW 滤波器实物图 (a) 内嵌 SIW 滤波器的晶圆级硅转接板实物图；(b) 单块转接板实物图，红色框内为 SIW 带通滤波器

将挑选出的 SIW 带通滤波器样品放置于 Cascade 高频探针台上进行测试，使用 Keysight 公司的矢量网络分析仪记录滤波器两端口间的 S 参数值，在高频探针台上的实测图以及测试系统图如下图 2.27 所示。

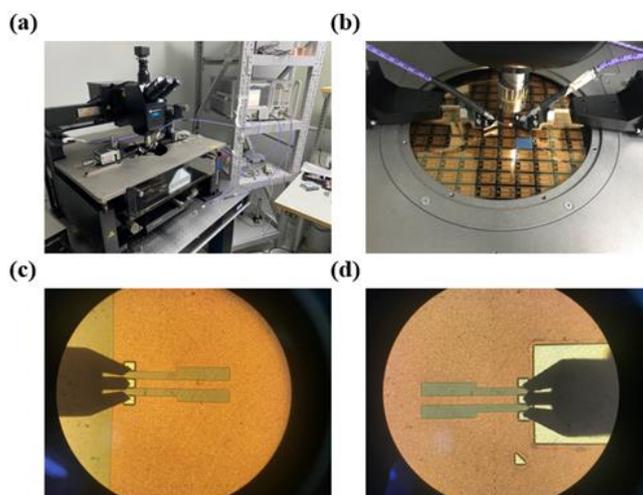


图 2.27 SIW 带通滤波器测试系统和实测图 (a) Cascade 探针台和 Keysight VNA 实物图；(b) 硅晶圆内的滤波器样品在探针台上实测的近照；(c) (d) GSG 高频探针接触 SIW 滤波器输入输出 pad 位置的显微照片

最终实测出的 SIW 滤波器的传输特性与仿真特性的比较如下图 2.28 所示，测试结果显示滤波器的中心频率为 29.8GHz，中心频率位置插入损耗为 3.45 dB，3dB 相对带宽为 5%，且 26.8GHz 的带外抑制大于 57dB，通带内回波损耗 S11 小于 -12dB，均满足设计指标。

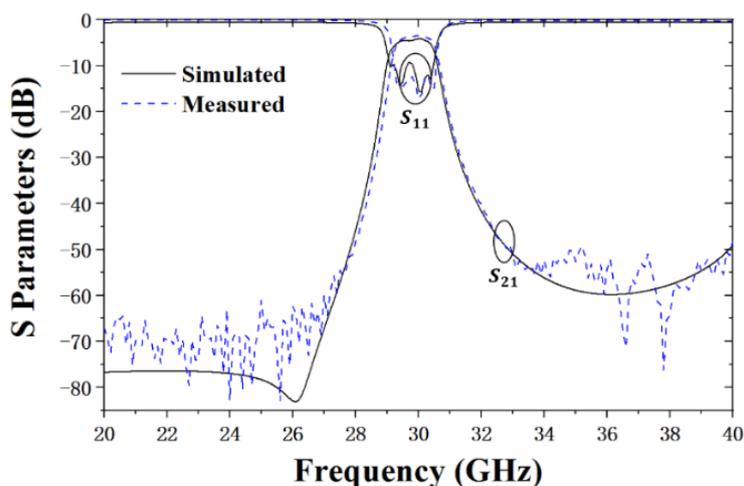


图 2.28 滤波器实测 S 参数与仿真结果的对比

由于在制作过程中，作为衬底的硅材料选用了很多不同批次，所以有多组不同电阻率的硅基板制作的滤波器样本，因此，在测试了多组不同阻值硅衬底的 SIW 滤波器之后，可以分析硅电阻率对滤波器插入损耗的影响，如下图 2.29 和图 2.30 所示。

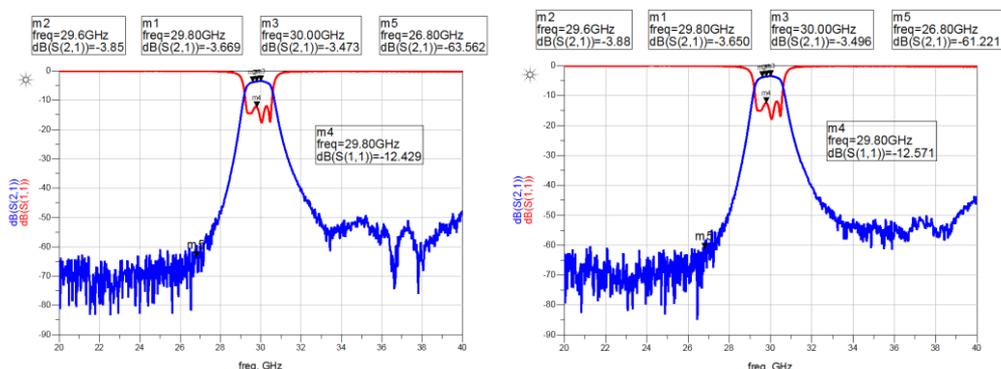


图 2.29 电阻率为 $8632 \Omega \cdot \text{cm}$ 的高阻硅上制作的 SIW 滤波器的实测结果

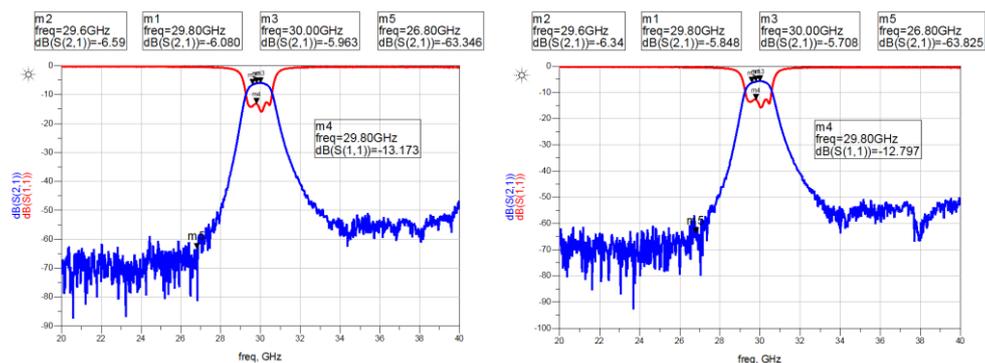


图 2.30 电阻率为 $2290 \Omega \cdot \text{cm}$ 的高阻硅上制作的 SIW 滤波器的实测结果

由上面的实测结果可总结如下：不同电阻率硅转接板中集成的滤波器性能主要差别为通带内插损，而滤波器的带宽，中心频率，带外抑制几乎完全一致。电阻率为 $8632 \Omega \cdot \text{cm}$ （最高）的转接板上的 SIW 滤波器测试结果最好，电阻率为 $2290 \Omega \cdot \text{cm}$ （最低）的转接板上的 SIW 滤波器测试结果最差，两者在通带内同频点处的插入损耗相差近 2.5dB。由此可以认为电阻率和滤波器中心频点处的插入损耗成正相关，并基于正相关系数作为后续采用相同工艺制作腔体滤波器时的参考指标，为后续其他形式硅基集成滤波器实测效能评估积累经验。

2.3 本章小结

本章主要针对一款 Ka 波段接收机系统提出了采用硅基叠层封装形式进行实现的集成方案，讨论了硅转接板的电学特性，研究了硅基叠层封装中典型无源传输结构的电学特性，并基于转接板工艺设计并实测了一款可用于该接收机系统的硅基集成 SIW 带通滤波器。主要内容有以下几个方面：

(1) 针对接收机系统的架构提出并分析了两种可采用的硅基叠层封装方案，基于工艺实现性，电学性能等多方面因素确定了最终采用的叠层封装形式，并讨论了硅转接板材料和其中的 RDL, TSV 结构的相关传输特性。

(2) 在硅基转接板上设计并制作了带有和不带有 TSV 的典型直流传输通路并通过四探针法实测了通路的电阻值，且计算出了本文的工艺条件下硅转接板上 $3\ \mu\text{m}$ RDL 厚度下的方块电阻值和单个 TSV 电阻值分别为 $2.8\ \text{m}\Omega$ 和 $11.6\ \text{m}\Omega$ ，作为硅基叠层封装中电源网络设计时的重要参考指标。

(3) 研究了硅基叠层射频封装中典型高频传输结构 CPW-TSV-CPW 的传输效率，并提出了一种可实现的优化传输结构，仿真结果对比表明通过优化在 $26.8\ \text{GHz}$ 时插入损耗减小了 $2.5\ \text{dB}$ ，且通过实际测试数据与仿真数据的对比，验证了优化结构的实用性。

(4) 在硅基转接板中集成了一款用于 Ka 波段接收机的 SIW 带通滤波器，滤波器中心频率 $29.8\ \text{GHz}$ ，相对带宽为 5% ， $26.8\ \text{GHz}$ 时的带外抑制小于 $-50\ \text{dB}$ 。通过使用矩波导等效和耦合系数提取法结合 Ansys HFSS 仿真，在较短的设计周期下完成了滤波器设计，实测结果中心频率处插入损耗为 $3.45\ \text{dB}$ ，带内纹波小于 $1\ \text{dB}$ ，回波损耗小于 $-12\ \text{dB}$ ，各指标均满足系统要求，最终讨论了硅基板绝缘材料和硅电阻率对滤波器插入损耗特性的影响，成为后续使用硅转接板制作谐振腔相关器件时器件电学参数受工艺容差和材料参数影响的经验。

第3章 硅基叠层 RF-SiP 中的热-电耦合研究

硅基叠层射频封装中存在着多物理场耦合现象，本章主要研究其中的热-电耦合，当采用叠层封装的形式实现的射频系统有大电压，高功率的特点时，系统内的热耦合和热电耦合对其散热性能和电学性能的影响是在封装设计中不可忽略的部分，当射频系统以硅基叠层结构的形式进行封装时，存在着芯片与芯片间的热耦合，即多个芯片之间可能存在的热串扰使得芯片结温的升高加剧从而影响关键芯片的可靠性和电性能，此外热-电之间的耦合体现在两方面，一方面在射频系统应用的前提下，为了保证系统的电学性能，叠层封装体内部各层转接板的金属化程度和封装体与外界信号的互联形式都被有所限制，这两者对于叠层射频系统封装的散热能力都有着一定程度的影响，体现了电学对热的耦合，另一方面，在射频系统内芯片工作且产热的情况下，硅转接板上会存在热场分布，由于硅属于半导体材料，在热场作用下会出现材料特性的变化，这种变化在系统电学性能上最直接的体现就是转接板内关键传输结构 TSV 和 RDL 线条传输特性的变化，这体现了热学对电性能的耦合。本章按照上面所述的顺序，先采用热阻矩阵理论结合仿真分析了叠层射频系统内的芯片间热耦合，然后通过仿真分析了覆铜率和对外引脚形式对系统散热效能的影响，最后结合测试着重分析了热场下 TSV 结构直流传输特性的变化和 CPW 形式的 RDL 传输线高频传输性能的变化情况。

3.1 硅基叠层封装中芯片间的热耦合

本节首先基于 Ka 波段接收机叠层封装进行了芯片间的热耦合现象研究，通过仿真的手段，控制了系统中各块芯片的工作功率，为了研究该系统的芯片间热耦合情况，采用了热阻矩阵提取的方法，并用提取出的热阻矩阵计算不同工作状态下封装中各芯片的结温，且和实际工作状态下的仿真结果对比，此外，还基于仿真和热阻矩阵法研究了高功率芯片下方导电胶厚度对芯片传热以及系统散热效果的影响。

3.1.1 传热学基本原理

封装结构散热行为的本质是热传递过程，而热传递是自然界和生产技术中最普遍的现象之一。热传递分为热传导、热对流和热辐射三种基本方式，以下对三种热传递方式进行简单介绍^[130]。

(1) 热传导

热传导是指在不涉及物质转移的情况下，热量从物体中温度较高的部位传递到相邻的温度较低的部位或从高温物体传递到相接触的低温物体的过程。根据傅里叶定律，可得热传导的基本方程：

$$\Phi = -\lambda A \frac{dt}{dx} \quad (3.1)$$

式中 Φ 为热传导所传递的热流量，单位为 W； λ 为热导率，又称热导系数，单位为 W/(m K)； A 为物体热传导过程中的横截面积，单位为 m²； $\frac{dt}{dx}$ 为热流方向上的温度梯度；负号表示热量传递的方向与温度升高的方向相反，符合热力学第二定律。

(2) 热对流

热对流是由固体表面和与之相接触的流体之间存在的温度差而引起。热对流可以分为自然对流和强制对流。自然对流是由于流体冷、热流密度不同而引起的；而如果流体的流动是由于水泵、风机或其它压差作用所造成的，则称为强制对流。根据牛顿冷却定律，可得热对流的基本方程：

$$\Phi = hA\Delta t \quad (3.2)$$

式中 Φ 为热流量，单位为 W； h 为热对流系数，单位为 W/(m² K)； A 为固体与流体的有效接触面积，单位为 m²； Δt 为固体表面与流体之间的温度差，单位为 K。

(3) 热辐射

热辐射是指物体因自身具有温度而辐射出能量的现象。与热传导和热对流不同，热辐射不需要介质，它可以在真空中进行热量传递。根据斯蒂芬-波尔兹曼定律，可得热辐射的基本方程：

$$\Phi = \varepsilon_1 A_1 \sigma (T_1^4 - T_2^4) \quad (3.3)$$

式中 Φ 为热辐射所传递的热流量，单位为 W； σ 为斯蒂芬-波尔兹曼常数，

其值为 $5.67 \times 10^{-8} \text{ W}/(\text{m}^2 \text{ K}^4)$, A_1 为高温物体辐射面面积, 单位为 m^2 ; T_1 为物体辐射面的绝对温度, T_2 为环境的绝对温度, 单位为 K ; ε_1 为实际物体表面的发射率, 取值 0~1。

3.1.2 热阻与热阻矩阵理论

当电阻两端存在电位差, 则在该电阻两端之间将流过电流, 方向从电阻的高电位端流向低电位端。且电流的大小由欧姆定律给出:

$$I = \frac{V_1 - V_2}{R} \quad (3.4)$$

类似的, 若存在一个厚度为 dx 且表面积为 A 的薄层, 该层上存在温差 dt , 则该薄层上将存在热传导, 热量从其高温侧传递到其低温侧。按照傅里叶定律公式, 可知传递的热流量为 $\Phi = -\lambda A \frac{dt}{dx}$, 将式中的热流量 Φ 与欧姆定律中的电流 I 类比, 并将温度差 dt 与电位差类比, 构造一个参数 $\theta = dx/(\lambda A)$, 傅里叶热传导公式就可以写成类似欧姆定律的形式, 这个参数 θ 就是热阻, 单位为 K/W , 在集成电路中, 对热阻的定义是基于单热源芯片的, 它反映了芯片热源位置到其他某固定位置在单位温度差下传输热流量的多少, 其定义式如下^[13]:

$$\theta_{jx} = \frac{T_j - T_x}{P} \quad (3.5)$$

式中, T_j 为芯片结点区域的温度, T_x 为热量传递到某个固定位置的温度, 单位为 K ; P 为热流量, 也是芯片的耗散功率, 单位为 W 。此定义式假设耗散功率产生的全部热流流经芯片热结点与某固定位置。

在实际的射频系统封装中存在多个芯片, 可以将其视为多个热源, 并且不应忽略芯片的热耦合效应。因此, 内含多芯片的叠层封装的热阻模型不能靠单芯片热阻定义式表示。当温度稳定时, 可以通过使用热阻矩阵来衡量多个热源芯片间的热耦合和评估整个系统封装的散热能力, 并且可以使用热阻矩阵来精确计算叠层封装中每个芯片的结温。热阻矩阵是基于多热源芯片组中各个热源单独产热时对其余芯片位置产生耦合线性叠加加热这一原理提出的, 且热阻矩阵的阶数等于热源芯片的个数, 当芯片 j 单独工作且功耗为 P_j 时, 通过热耦合, 使芯片 i 的温度升至 T_{ij} , 且环境温度为 T_A 时, 由芯片 j 耦合至芯片 i 的耦合热阻为:

$$\theta_{ij} = \frac{T_{ij} - T_A}{P_j} \quad (3.6)$$

基于线性叠加原理，以一个内含 3 块有源芯片的封装为例，可以用一个 3×3 的矩阵来描述各块芯片的结温和封装体的散热性能。通过下式，可以计算并预估各块芯片的温度值：

$$\begin{bmatrix} T_1 \\ T_2 \\ T_3 \end{bmatrix} = [\theta][P] + [T_A] = \begin{bmatrix} T_{11} & T_{12} & T_{13} \\ T_{21} & T_{22} & T_{23} \\ T_{31} & T_{32} & T_{33} \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ P_3 \end{bmatrix} + [T_A] \quad (3.7)$$

当 $i=j$ 时， T_{ii} 表示第 i 块芯片单位耗散功率引起它本身温度的增量值，可见热阻矩阵很好的体现了有源芯片自身发热和相互耦合加热的关系。

3.1.3 叠层封装热仿真模型

为了结合实际应用研究叠层封装中的热耦合，以第二章中的 Ka 波段接收机系统作为研究基点，为了进行普适性研究，可以通过灵活改变该接收机叠层封装中各芯片的发热功率，结合仿真研究封装中的热耦合现象，并将其研究结论推广至高功率大电压的射频叠层封装应用中。用来进行热耦合仿真的整个接收机系统封装如图 3.1 所示，封装结构共有四层硅转接板，从底层至顶层依次编号 1 至 4，该封装体通过 LGA 引脚固定在测试板上，根据 JEDEC 测试标准，测试板 PCB 尺寸为 $101.5 \times 114.5 \times 1.6 \text{ mm}^3$ ，共有 4 层，表层和内层铜厚分别为 $70 \mu\text{m}$ 和 $35 \mu\text{m}$ ，各层覆铜率均设为 70%。芯片分别位于第 1 和第 3 层转接板正面，第 1 层转接板上包含 4 个低噪声放大器 (LNA) 芯片 A_1 、 A_2 、 H_1 和 H_2 ，两个混频器芯片 C_1 和 C_2 ，以及一个功分器芯片 F 。第 3 层转接板上包括两个固定衰减器芯片 I_1 、 I_2 ，两个 S 波段带通滤波器芯片 D_1 、 D_2 以及两个 W 波段多功能芯片 E_1 、 E_2 ，具体芯片在两层转接板上的分布位置如图 3.2 所示。

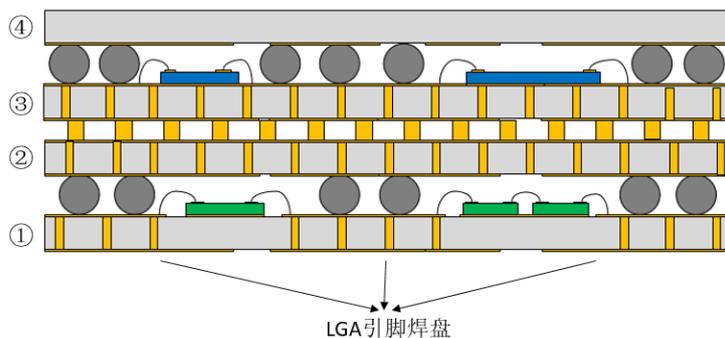


图 3.1 接收机系统封装示意图

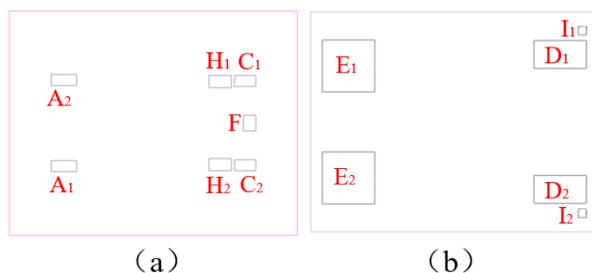


图 3.2 转接板上接收机芯片位置分布图 (a) 转接板 1 上的芯片; (b) 转接板 3 上的芯片

3.1.4 热仿真模型中的材料参数与等效

图 3.1 仅是此接收机叠层封装的简要示意图，由于该封装中包括 4 层硅转接板，每层转接板的正背面均有 RDL 层和绝缘层，由于 RDL 和绝缘层厚度过小，且各层的 RDL 图案均不相同，此外转接板各层间的 BGA 焊球和 Cu 柱数量众多，PCB 测试板内部结构复杂，因此为了避免繁琐的建模，以及使得基于 FEM 原理仿真的 Icepak 软件在划分有限元网格时难度更小，网格质量更好，在建模时对硅转接板正背面的绝缘/线路层、铜柱焊接层、BGA 球等都进行了等效简化，图 3.3 所示为对相应层进行等效后该射频封装热仿真模型各叠层详细说明图，图中包括各部分的命名，而各部分名称与其对应的结构尺寸，相关等效方式和热导率参数如表 3.1 所示，表中 X/Y 一列为水平方向等效热导率，Z 列为纵向等效热导率。

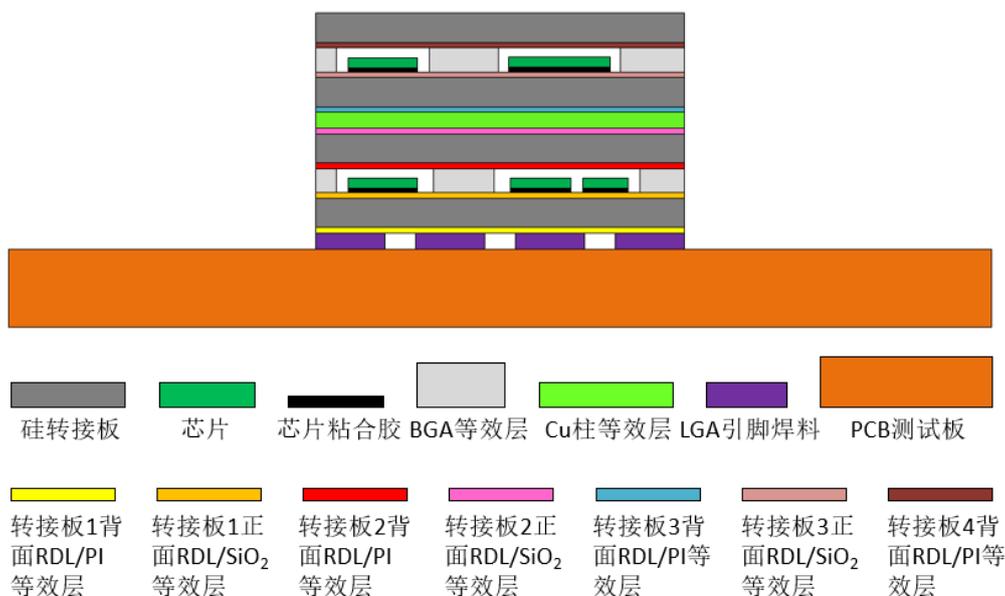


图 3.3 等效后的叠层封装热仿真结构示意图

表 3.1 叠层封装热仿真模型中各层尺寸及材料参数

模型名称	几何尺寸 (mm)		热导率 (W/mK)		等效方式
	X*Y*Z	X、Y 方向	Z 方向		
硅转接板	21.5*17*0.2	148	148		
芯片	—*—*0.125	148	148		
芯片粘合胶	—*—*0.05	1.25	1.25		
LGA 引脚焊料	—*—*0.1	50.2	50.2		
PCB 测试板	114*101.5*1.6	37.16	0.40		
Cu 柱等效层	21.5*17*0.053	0.04	12.24		以布满转接板形式等效，直径 0.2 mm，柱心距 1 mm
BGA 等效层	—*—*0.374	0.06	9.54		分区域等效，区域内焊球直径 0.5 mm，球心距 1 mm
转接板 1 正面 RDL 等效层	21.5*17*0.01	121.13	30.42		根据实际覆铜率等效
转接板 1 背面 RDL 等效层	21.5*17*0.01	110.56	1.14		根据实际覆铜率等效
转接板 2 正面 RDL 等效层	21.5*17*0.01	113.84	28.77		根据实际覆铜率等效
转接板 2 背面 RDL 等效层	21.5*17*0.013	92.14	0.91		根据实际覆铜率等效
转接板 3 正面 RDL 等效层	21.5*17*0.01	112.55	28.33		根据实际覆铜率等效
转接板 3 背面 RDL 等效层	21.5*17*0.01	97.78	1.14		根据实际覆铜率等效
转接板 4 背面 RDL 等效层	21.5*17*0.013	85.54	0.90		根据实际覆铜率等效

注：—表示取决于实际模型尺寸

在进行仿真模型等效时，转接板 1 和 2 之间，以及转接板 3 和 4 之间的 BGA 是按照实际版图中的分布进行分区域等效的，转接板 4 背面和转接板 2 背面的版图如下图 3.4 所示，红色实线框内是 BGA 焊球分布的区域，且等效区域

内模型的热学参数如表 3.1 中的对应行所示，没有 BGA 焊球分布的区域内即视为空气，建模时代入空气的热导率参数进行仿真。

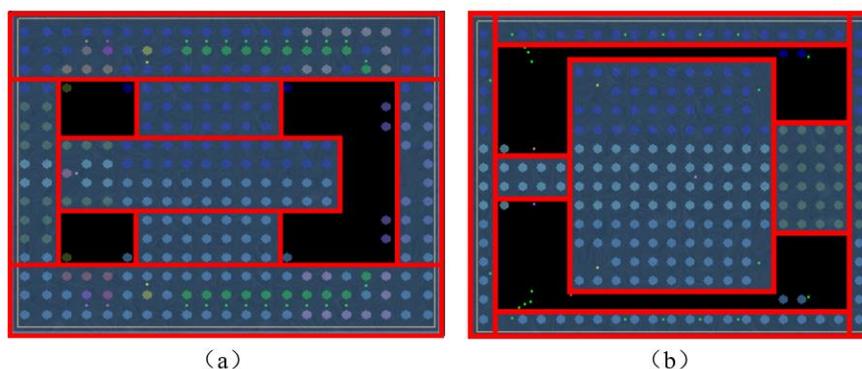


图 3.4 仿真模型简化后转接板叠层间的 BGA 等效区域划分 (a) 转接板 3, 4 之间的 BGA 分布区域; (b) 转接板 1, 2 之间的 BGA 分布区域

3.1.5 叠层封装中芯片间的热耦合仿真

如 3.1.2 节在介绍热阻矩阵原理时所述，叠层封装结构中任何一个芯片发热时都会对其他位置的芯片有耦合加热的影响，每个芯片温度的上升除了自身功耗发热的原因外，还受其他芯片发热影响。当芯片 j 单独工作且功耗为 P_j ，通过热传递，使芯片 i 的温度升至 T_{ij} ，环境温度为 T_A ，则由芯片 j 耦合至芯片 i 的耦合热阻为 $\theta_{ij} = \frac{T_{ij} - T_A}{P_j}$ 。

为了以该接收机系统为基点研究高功率大电压射频叠层封装系统的芯片间热耦合现象，本文采用热阻矩阵法来量化各芯片间的热耦合程度，并采用热阻矩阵计算的方法计算不同功耗情况下系统中各芯片的结温和封装的散热效率，通过热阻矩阵计算值和实际功耗情况下仿真值的对比验证热阻矩阵在进行射频封装散热特性研究中的实用性，由于整个仿真在 Icepak 软件中进行，可以对该接收机系统的各芯片的功耗进行直接控制，通过仿真得到每个芯片单独工作时在热耦合作用下其余芯片的温度分布，考虑全部的 13 个芯片，由公式 $\theta_{ij} = \frac{T_{ij} - T_A}{P_j}$ 可得到接收机叠层封装中芯片之间的耦合热阻矩阵如下所示：

$$\begin{bmatrix} T_{A1} \\ T_{A2} \\ T_{H1} \\ T_{H2} \\ T_{C1} \\ T_{C2} \\ T_F \\ T_{D1} \\ T_{D2} \\ T_{I1} \\ T_{I2} \\ T_{E1} \\ T_{E2} \end{bmatrix} = \begin{bmatrix} 40.272 & 10.331 & 10.621 & 10.258 & 10.562 & 10.239 & 10.434 & 10.490 & 10.400 & 10.497 & 10.272 & 10.900 & 10.5 \\ 10.332 & 40.276 & 10.260 & 10.625 & 10.251 & 10.556 & 10.437 & 10.395 & 10.501 & 10.278 & 10.497 & 10.513 & 10.894 \\ 10.663 & 10.274 & 39.658 & 10.323 & 12.991 & 10.324 & 10.64 & 10.844 & 10.559 & 10.956 & 10.388 & 10.594 & 10.416 \\ 10.274 & 10.665 & 10.323 & 39.661 & 10.333 & 12.984 & 10.641 & 10.553 & 10.852 & 10.392 & 10.953 & 10.427 & 10.585 \\ 10.559 & 10.246 & 10.752 & 10.322 & 45.848 & 10.326 & 10.652 & 10.882 & 10.572 & 11.009 & 10.396 & 10.541 & 10.385 \\ 10.246 & 10.560 & 10.322 & 12.754 & 10.325 & 45.841 & 10.653 & 10.565 & 10.890 & 10.400 & 10.006 & 10.395 & 10.532 \\ 10.441 & 10.442 & 10.632 & 10.633 & 10.662 & 10.653 & 51.556 & 10.669 & 10.677 & 10.544 & 10.541 & 10.534 & 10.525 \\ 10.514 & 10.414 & 10.826 & 10.549 & 10.895 & 10.571 & 10.677 & 17.952 & 11.037 & 11.347 & 10.764 & 10.646 & 10.563 \\ 10.413 & 10.516 & 10.548 & 10.828 & 10.58 & 10.887 & 10.678 & 11.031 & 17.959 & 10.768 & 11.342 & 10.573 & 10.637 \\ 10.51 & 10.289 & 10.926 & 10.396 & 11.025 & 10.406 & 10.55 & 11.215 & 10.756 & 137.034 & 10.544 & 10.585 & 10.438 \\ 10.289 & 10.512 & 10.393 & 10.929 & 10.415 & 11.017 & 10.551 & 10.750 & 11.223 & 10.549 & 137.031 & 10.449 & 10.576 \\ 10.917 & 10.524 & 10.587 & 10.424 & 10.561 & 10.403 & 10.541 & 10.639 & 10.573 & 10.591 & 10.446 & 14.993 & 10.8 \\ 10.525 & 10.921 & 10.424 & 10.59 & 10.413 & 10.554 & 10.543 & 10.567 & 10.647 & 10.452 & 10.589 & 10.812 & 14.986 \end{bmatrix} + T_A \begin{bmatrix} P_{A1} \\ P_{A2} \\ P_{H1} \\ P_{H2} \\ P_{C1} \\ P_{C2} \\ P_F \\ P_{D1} \\ P_{D2} \\ P_{I1} \\ P_{I2} \\ P_{E1} \\ P_{E2} \end{bmatrix}$$

通过该热阻矩阵，假定一颗或多颗芯片工作，可以计算出每颗芯片的结温或温度。本研究中通过改变转接板 1 正面的 Ka 波段芯片的功耗，针对不同的热源分布情况研究叠层封装中各芯片间的热耦合，并假定转接板 3 上工作在 S 和 W 波段的芯片无功耗，首先研究转接板 1 上两芯片之间的热耦合，且分为两种情况讨论，分别是对称分布相距较远的芯片 A_1 和 A_2 ，以及相距较近的 H_1 、 C_1 芯片之间的热耦合现象。

(1) A_1 、 A_2 之间的热耦合

芯片 A_1 、 A_2 均为 1W 功耗时的转接板 1 以及测试板上的热场分布如图 3.5 所示。将整体仿真得出的芯片结温和采用上一页中基于单芯片仿真得出的热阻矩阵计算得到的结温相对比，两种方法得到的芯片结温和测试板热阻的对比如表 3.2 所示，从表中可以看出芯片 A_1 和 A_2 的仿真结温以及利用热阻矩阵计算的结温相差无几，结果表明计算值与仿真值之间误差小于 0.5%，且由此得到的结-环境热阻误差为 0.673%。

表 3.2 芯片 A_1 、 A_2 热耦合仿真和热阻矩阵理论计算结果对比

关键热学指标	仿真值	计算值	误差
A_1 芯片结温 (°C)	70.2635	70.603	0.483%
A_2 芯片结温 (°C)	70.2699	70.608	0.481%
JEDEC 测试板 θ_{JA} (°C/W)	25.13495	25.304	0.673%

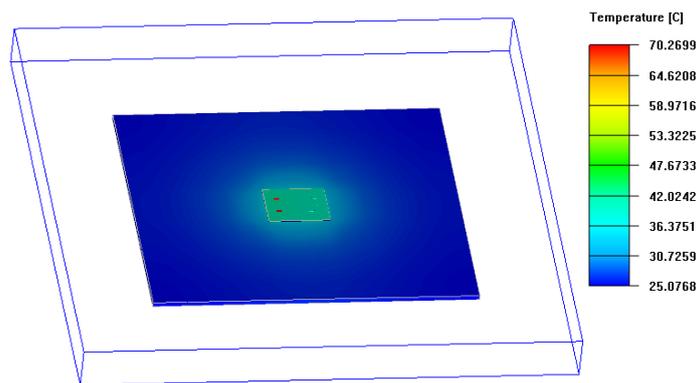


图 3.5 转接板 1 上总功耗为 2W ($A_1=1W$, $A_2=1W$) 时的仿真热场分布

(2) H_1 、 C_1 之间的热耦合

芯片 H_1 、 C_1 均为 1W 功耗时的转接板 1 以及测试板上的热场分布如图 3.6 所示。采用相同的办法由热阻矩阵计算两芯片的结温，并和仿真结果对比，如表 3.3 中数据所示。通过对比芯片 H_1 和 C_1 的仿真结温以及利用热阻矩阵计算的结温，发现误差小于 0.5%，且由热阻矩阵得到结-环境热阻的计算值与仿真值之间的误差为 0.624%。

表 3.3 芯片 H_1 、 C_1 热耦合仿真和理论计算结果对比

关键热学指标	仿真值	计算值	误差
H_1 芯片结温 (°C)	72.2980	72.650	0.487%
C_1 芯片结温 (°C)	78.2368	78.600	0.464%
JEDEC 测试板 θ_{JA} (°C/W)	29.1184	29.3	0.624%

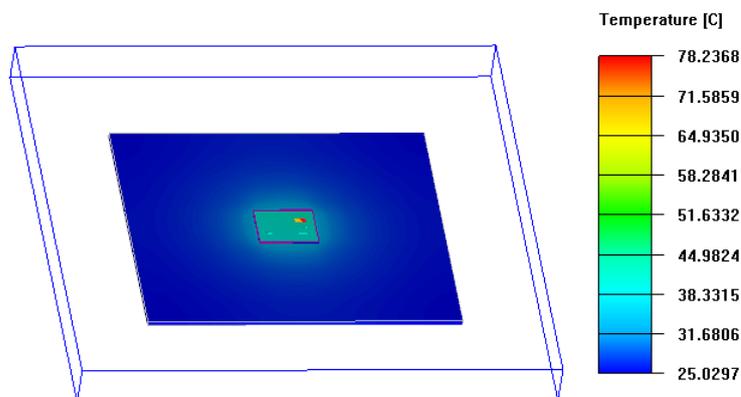


图 3.6 转接板 1 上总功耗为 2W ($H_1=1W$, $C_1=1W$) 时热场分布

由上述仿真结果可知，叠层射频封装的芯片之间存在热耦合现象，即某一芯片工作时，或多或少会影响其它芯片，芯片之间的热耦合可以由热耦合矩阵计算得到。当系统总体的功耗不很大的情况下，采用热阻矩阵结合芯片间的互耦合以及其自身热耦合计算出的实际芯片结温准确度足够高，在对实际的高功率射频叠层封装进行热设计时，可以基于热阻矩阵法快速的计算出系统中各个芯片的最高温度，且根据提取出的热阻矩阵确定系统中不同芯片间的热耦合强度，从而通过对热源芯片的合理布局规避强热耦合引起的某一芯片温度急剧升高导致其失效之类的问题。而针对本小节所述的两种芯片热耦合情况，由计算出的热阻矩阵对应元素可知，距离越近的芯片，热耦合作用越明显。

3.1.6 导电胶厚度对封装结构热阻的影响

为了改善叠层封装结构的散热性能，需要对热源芯片到封装外环境的散热通道进行优化，在芯片位置和封装结构确定的情况下，可以通过改变作为芯片散热通道一部分的芯片下方导电胶的厚度来改善系统散热效率。因此，本小节研究了导电胶厚度对叠层射频封装散热性能的影响。为了将导电胶厚度的变化对转接板 1 上芯片散热效果的影响最大化体现，在 Icepak 仿真软件中将转接板 1 上的芯片全部调为功耗为 1W 的工作状态，而转接板 3 上的所有芯片仍设为无功耗（整个封装体内总功耗为 7W），这种情况下不同导电胶厚度时芯片结温和结-环境热阻的仿真结果如表 3.4 所示。

表 3.4 不同导电胶厚度下转接板 1 上方最高芯片结温仿真结果

导电胶厚度 (μm)	最高芯片结温 ($^{\circ}\text{C}$)	JEDEC 测试板 θ_{JA} ($^{\circ}\text{C}/\text{W}$)
50	130.079	15.726
30	114.415	13.487
0	93.276	10.468

由仿真结果可以看出当导电胶厚度由 $50\mu\text{m}$ 减小为 $30\mu\text{m}$ 时，转接板 1 上的最高芯片结温降低了约 16°C ，且结-环境热阻减小，封装体的散热效果大大提升。而在考虑极限情况不存在导电胶时，最高芯片结温相比 $50\mu\text{m}$ 导电胶厚时降低了约 37°C ，可见导电胶对封装的散热影响较大。这是因为本文中在实现接收机系统时，采用的芯片导电胶热导率为 1.2 W/mK ，相比于转接板 1 硅材料的

148 W/mK 很小，导致在芯片的 Z 方向散热通道中级联了很大的热阻，限制了系统的散热效率，而当导电胶厚度越薄时，导电胶纵向传导热阻将越小，因此封装体散热性能越好。

3.2 硅基叠层封装中的热-电耦合特性研究

射频叠层封装中，各层转接板的覆铜率和封装体与 PCB 测试板之间采用的对外引脚形式，是在对叠层封装进行电学设计时的重要考量方面，而这两者不仅影响着射频系统的电学性能，也影响着封装的散热特性，这体现了在叠层封装设计中电学对热学的耦合。RF-SiP 中为了确保射频信号在传输时更为流畅，需要有较大且完整的回流地平面，因此通常采用大面积金属化，可用于信号的隔离、接地等电学设计。此外，常见的叠层型封装体的对外引脚有 BGA 和 LGA 两种形式，相比起 BGA 结构与 PCB 测试板上的线条的接触位置存在结构变化过大而引起回波损耗变大的缺点，LGA 可采用较为缓变的结构通过相同形式的传输线直接向 PCB 线条引出，有利于射频信号传输。但当对外引脚多，封装体尺寸较大导致在工艺流程中封装体翘曲较大时，BGA 相比于 LGA 的优势在于焊球回流的过程更能适应封装体各个位置不同的翘曲情况，更不容易出现焊点断裂之类的失效情况，因此这种情况下往往使用 BGA 作为对外引脚以便于提高组装可靠性。这些因素对封装散热效果的影响是本节研究的内容。

此外，当系统工作时会在封装体内形成温度分布，温度场对叠层封装中的典型传输结构的直流和高频传输特性都有影响，这体现了在叠层封装设计中热学对电学的耦合，最为代表性的是电源网络中 TSV 结构的直流漏电和高频互连网络中的 RDL 传输线。随着应用频率的增高，互连传输损耗越来越大，温度场对互连损耗的进一步影响会导致留给系统设计的冗余越来越小；而 TSV 漏电随着应用电压的增大而增大，温度场也会加剧 TSV 的漏电，从而直接影响系统功耗。因此，温度场对 TSV 漏电和 RDL 高频传输线传输性能的影响也是本节主要的研究内容。

3.2.1 RDL 层覆铜率对封装结构热阻的影响

在研究转接板上 RDL 覆铜率对封装结构散热效率的影响时，Icepak 的仿

真模型中只考虑转接板 1 正面的 Ka 波段芯片全体工作且功耗均为 1W，且转接板 3 上各芯片无功耗的情况（总功耗 7W），且仅对转接板 1 正面的 RDL 覆铜率进行调整，针对转接板 1 正面 RDL 覆铜率从 0 到 100% 之间的多个取值情况，均通过热导率的等效计算公式算出 RDL 和绝缘层等效薄层的热导率参数，并基于这些参数进行了仿真，仿真结果的热场图和 3.1 节中的各热场图类似，最终不同覆铜率下的转接板 1 正面的芯片最高结温和结-环境热阻如表 3.5 所示。

表 3.5 转接板 1 正面 RDL 层不同覆铜率时散热性能仿真结果

RDL 层 覆铜率	转接板 1 正面 RDL 层等效热 导率 (W/m k)		芯片结温 ($^{\circ}\text{C}$)	JEDEC 测试 板 θ_{JA} ($^{\circ}\text{C}/\text{W}$)
	X/Y	Z		
0	24.314	0.6854	141.038	17.29
25%	72.7203	28.2161	130.153	15.736
50%	121.127	30.4207	130.079	15.72
75%	169.533	31.2361	130.106	15.72
100%	217.939	31.6609	130.086	15.72

由仿真结果可以看出覆铜率为 0 时芯片结温明显升高，而当 RDL 层覆铜率从 25% 变化至 100% 时，仿真得出的芯片结温变化小于 0.1°C 。通过 RDL/绝缘层等效层的等效热导率计算值可知，覆铜率是通过影响该层的等效热导率来影响封装体的散热效果的，当转接板 1 正面 RDL 覆铜率由 0 变为 25% 时，等效热导率尤其是 Z 方向的热导率明显变大，由 0.69 W/m k 提升至 28.21 W/m k ，而与之相对的，当覆铜率由 25% 上升为 100% 时，Z 方向的热导率变化范围仅为 $3.5\text{ W/m}\cdot\text{K}$ 。且由于 RDL 层厚度薄，在 Z 方向等效热导率变化很小和厚度薄这两个因素的共同作用下，覆铜率 25% 到 100% 的不同情况下 RDL 层的传导热阻变化可以忽略，因此芯片结温变化很小。由此得出的结论是，在高功率射频系统叠层封装的设计中，为了确保系统的散热效率，不需要对各层转接板的 RDL 大面积覆铜，更重要的是覆铜的均匀性，且在关键热源芯片下方区域要保证一定百分比的均匀覆铜，确保 Z 方向导热通道内不存在热阻过大的区域。

3.2.2 对外引脚形式对封装结构热阻的影响

硅基叠层封装的对外引脚形式会影响封装体的散热效果，常见的叠层封装

对外引脚形式为 BGA 和 LGA，通过对两个采用 BGA 和 LGA 对外引脚的叠层封装模型的热仿真，对比了两种情况下的系统散热性能。两热仿真模型在 Icepak 中的热仿真结果如表 3.6 所示，表中还记录了实际仿真中 BGA 球和 LGA 引脚的高度，要注意的是晶圆级植球工艺采用的 BGA 球直径为 500 μm ，在回流微组装之后焊球的高度塌陷至 374 μm 。为了在控制变量的准则下客观比较 BGA 和 LGA 两种引脚形式的散热性能优劣，设置了一组 BGA 高度与 LGA 一致为 100 μm 的仿真对照组。

表 3.6 不同对外引脚形式仿真结果

对外引脚形式	引脚高度 (mm)	热导率 (W/m k)	芯片结温 ($^{\circ}\text{C}$)	JEDEC 测试板 θ_{JA} ($^{\circ}\text{C/W}$)
BGA	0.374	58	170.77	21.54
	0.1		141.21	17.32
LGA	0.1	50.2	130.08	15.73

由仿真结果可以看出同等引脚高度下 LGA 形式的对外引脚更有利于封装体散热，转接板 1 上最高芯片结温相比于采用 BGA 引脚形式情况下的芯片结温低了 10 $^{\circ}\text{C}$ ，且由不同高度 BGA 引脚的仿真结果对比可知，在固定的对外引脚形式下，引脚高度越低，散热效果越好。仿真中采用的 BGA 和 LGA 的引脚分布如图 3.7 所示，为了保证两者散热效果对比的客观性，仿真模型中两种引脚的整体布局一致，由该布局图可以看出，LGA 形式能实现更小间距和更大尺寸的引脚分布，有利于散热。而 BGA 分布密度有限，受焊球之间空气的影响导致系统的散热效果比 LGA 要差。

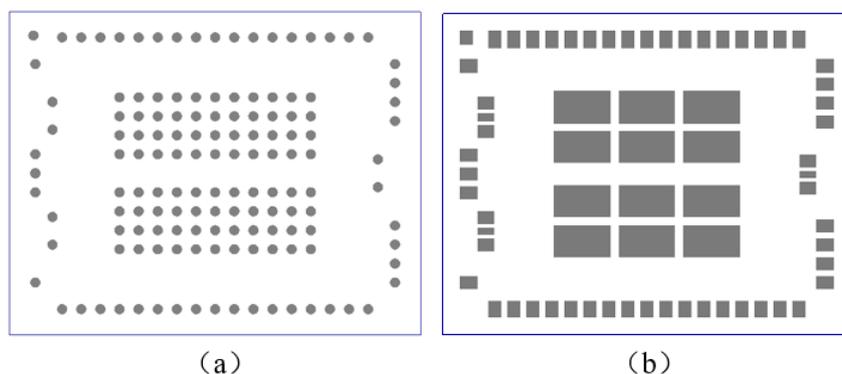


图 3.7 引脚形式对散热效率影响的仿真中转接板 1 背面引脚分布图 (a) BGA 形式；
(b) LGA 形式

3.2.3 不同电压和温度对 TSV 漏电流影响

RF 硅基叠层封装系统中的多芯片工作时可形成诸如图 3.8 所示形式的温度梯度场。当系统的电压和功耗较大时，由于封装材料形成的热阻网络阻碍热传导，不仅工作在高温下会影响 RF 芯片的线性度和可靠性，也会使硅基叠层封装中的典型无源传输结构受到温度场的影响，从而影响其直流漏电和高频传输性能。首先，考虑到叠层封装中的典型传输结构 TSV，由于本文中采用的 TSV 工艺深宽比为 10 比 1，且 TSV 直径为 $20\ \mu\text{m}$ ，由于较大的深宽比和小直径，且孔内壁的 SiO_2 绝缘层覆盖效果和厚度控制要比转接板表面绝缘层要难的多，因此在温度场的作用下，TSV 相比于其他结构更容易出现较大的直流漏电流，本节主要关注 TSV 的直流漏电特性。

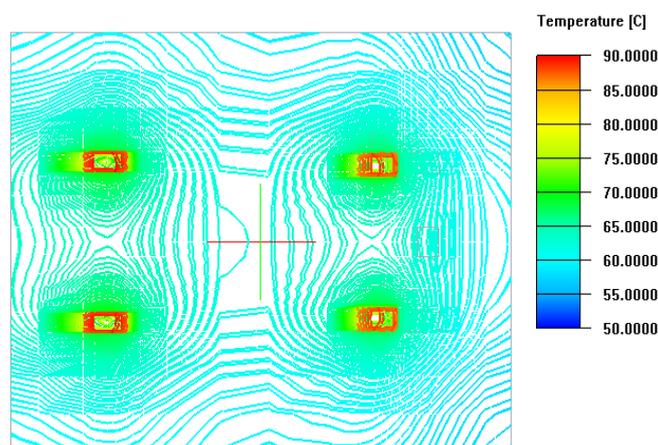


图 3.8 多芯片温度场分布图

为了实测不同温度场下 TSV 直流漏电特性的变化，在硅转接板上设计了如图 3.9 所示的 TSV 漏电流测试结构，图 3.9 (a) 为该测试结构的版图示意图，图 3.9 (b) 为该测试结构的截面示意图，由图 3.9 (b) 可以看到，测试结构中左侧的两 TSV 与右侧的两 TSV 属于不同直流网络且距离较近，可用来测试 TSV 的直流漏电，在测试时，其中一个直流探针与位置①的焊盘接触，另一个直流探针与位置②的焊盘相接触，测试系统显示的电流值即是 TSV 的漏电流。此测试结构放置于中科院微电子研究所高频高压中心的高低温片上测试系统上进行实测，搭载该测试结构转接板的机台可以实现 0 到 200°C 范围内的迅速升降温。

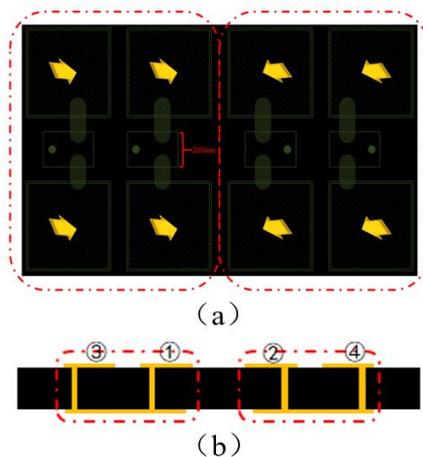


图 3.9 TSV 漏电流测试结构图 (a) 测试结构版图; (b) 测试结构截面示意图

最终在不同温度下的 TSV 漏电流实测结果如图 3.10 所示, 图 3.10 (a) (b) (c) 依次为三块不同转接板上 TSV 直流漏电随温度和电压变化的实测图, 由图 3.10 可以得出, 随着电压的变大, TSV 漏电流逐渐升高, 而在增加温度场影响后, 实测结果显示, 温度对 TSV 结构的直流漏电影响很大, 且温度越高, TSV 漏电越大, 在测试系统机台温度为 125°C 时, TSV 漏电流相比于其他温度时大很多, 不同样品显示出大约是 75°C 时的 2-8 倍, 因此得出结论, 温度对 TSV 漏电的影响呈正相关, 且随着温度的升高, 相关系数迅速增大。

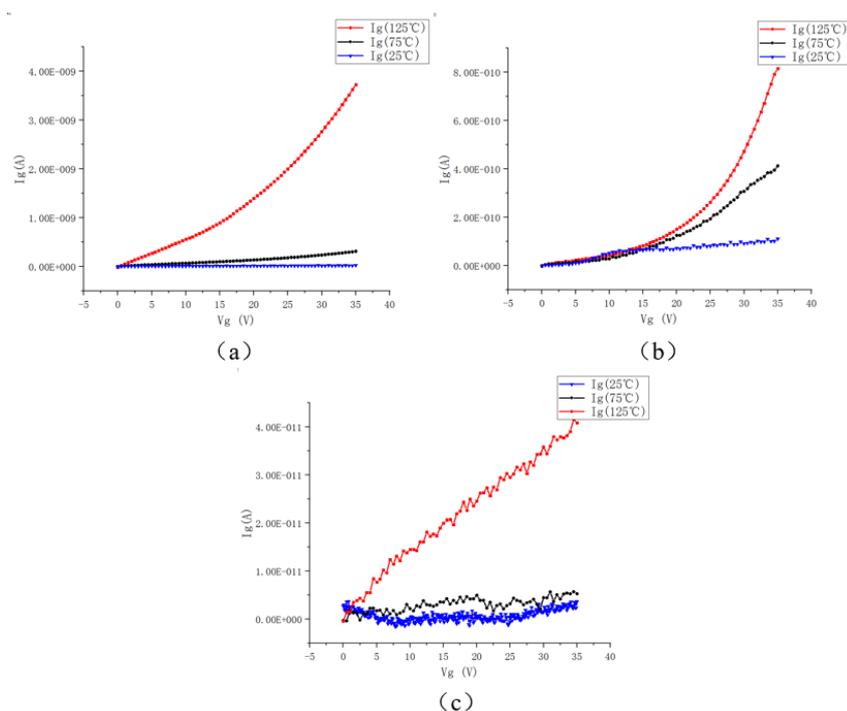


图 3.10 三块不同转接板上测试结构的漏电流随温度和电压的变化实测图

3.2.4 不同温度场下 GSG 传输线的传输特性变化研究

RDL 高频传输线作为硅基叠层封装中重要的互联结构，对其传输特性的表征一直是研究工作中的热点，RDL 作为高频互联时可以有多种传输线形式，比如微带线，共面波导 CPW 线，带地的共面波导 GCPW 线，槽线等^[132-134]。本文中由于 Ka 波段接收机系统中的射频芯片的输入输出焊盘均采用 GSG 共面波导形式，为了避免转换传输线形式过程中的繁琐设计步骤和不必要的回波损耗，转接板上的 RDL 均采用了共面波导 GSG 形式。当高功耗芯片工作时，产生的温度场会对周边的 CPW RDL 传输线的高频性能产生影响，导致传输线的介电损耗和金属电阻损耗加大，这种热-电耦合现象会使得留给 RDL 高频互连电学设计的冗余量更少。基于此，本节主要研究了温度对共面波导形式 RDL 传输线电学特性的影响，从频率和温度两个维度分析传输性能，设计并在不同温度下实测了两组 GSG 高频传输线结构，并针对测试结果基于传输线和微波网络原理设计了分布参数提取算法，除去了测试焊盘对传输线结构传输特性的影响，提取出体现共面波导 RDL 传输线基本性质的关键参数，并分析了温度对这些关键参数的影响及原因。

3.2.4.1 共面波导传输线参数提取理论

经典电路理论与传输线理论之间的主要区别在于电学尺寸，电路分析假设整个电路网络的物理尺寸比工作频率下的波长小得多（小于十分之一波长），而传输线的尺寸可能是相当大的一部分单个或多个波长的大小。因此，传输线是一个分布式参数网络，其中电压和电流沿着传输线位置的变化可以在幅度和相位上有相应的变化，而经典电路分析则处理集总元件，其中电压和电流在元件的物理尺寸上没有明显变化。如图 3.11 (a) 所示，任何形式的传输线通常示意性地表示为图中所示的形式^[135]，因为传输线一般用来传播横电磁波（TEM）波，而基于电磁学基本原理，要传导 TEM 必须要至少两个互为不同网络属性的导体，因此示意图中采用两根平行导线来代替。传输线沿长度方向可以分割成无数个无穷小长度 Δz 的部分，每个 Δz 部分的小短线可以等效成图 3.11 (b) 所示的集总参数网络，其中 R, L, C 和 G 均是单位长度的电学物理量，R 为单位长度级联电阻，单位为 Ω/m ，L 为单位长度级联电感，单位为 H/m ，C 为单位

长度并联电容，单位为 F/m，G 为单位长度并联电导，单位为 S/m。

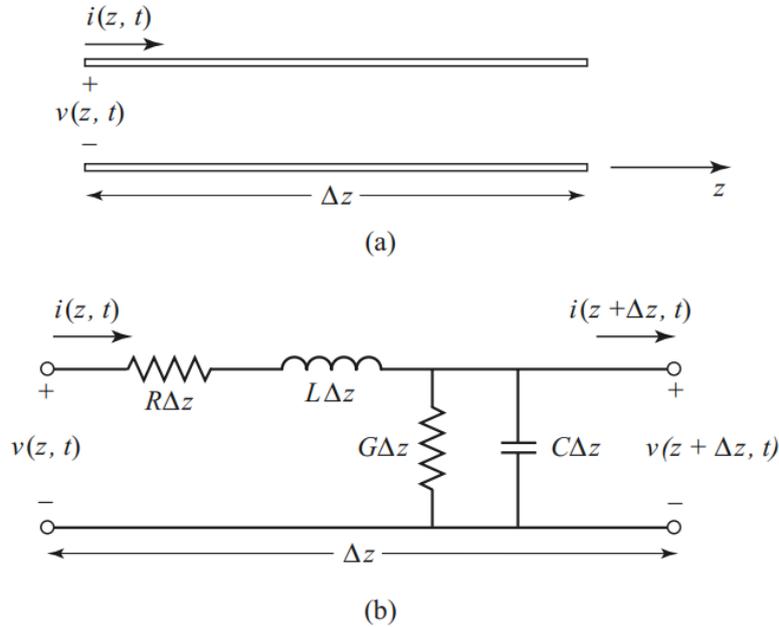


图 3.11 传输线模型^[135] (a) 传输线模型示意图；(b) 传输线无限短基本单元的集总参数模型

由于传输线的无限短单元可以作为集总电路来分析，针对该集总参数网络应用基尔霍夫电压和电流定律可以得到传输线方程，也叫做电报方程，在单频点稳态情况下，通过对正弦形式电流波和电压波使用复数形式表示，可以将偏导数形式的电报方程表示成如下形式：

$$\frac{dV(z)}{dz} = -(R + j\omega L)I(z), \quad \frac{dI(z)}{dz} = -(G + j\omega C)V(z) \quad (3.8)$$

通过求解上述方程可以得到稳态情况下沿传输线传输的电压波和电流波的表达式：

$$V(z) = V_0^+ e^{-\gamma z} + V_0^- e^{\gamma z}, \quad I(z) = I_0^+ e^{-\gamma z} + I_0^- e^{\gamma z} \quad (3.9)$$

式中 γ 为该传输线的传播常数，且 $\gamma = \alpha + j\beta = \sqrt{(R + j\omega L)(G + j\omega C)}$ ， α 为传输线的衰减常数，包括传输线由于介电损耗 G 和金属电阻损耗 R 两者导致的传输线损耗，代表着传输线上的 TEM 波在传输单位长度时的相对损耗，单位是 Np/m，而 β 为传输线的相位常数，代表着传输线上的 TEM 波在传输单位长度时的相位增量，单位是 rad/m。另一个传输线的重要参数是特征阻抗 Z_c ，且其表达式如下：

$$Z_c = \frac{R+j\omega L}{Y} = \sqrt{\frac{R+j\omega L}{G+j\omega C}} \quad (3.10)$$

Z_c 的含义是传输线上传输的电压波和电流波的幅值的比值，与传输线结构的材料属性和沿传输方向的截面尺寸相关，上面所述的传输线基本参数均是考虑了存在电阻损耗 R 和介电损耗 G 的情况下得出的，在实际应用中，如果相关损耗较小，可以不考虑单位级联电阻 R 和单位并联电导 G ，得到 β 的无耗近似公式：

$$\beta = \omega\sqrt{LC} \quad (3.11)$$

和 Z_c 的无耗近似公式：

$$Z_c = \sqrt{\frac{L}{C}} \quad (3.12)$$

下面将讨论如何从测试出的共面波导传输线的 S 参数结果提取出上面所述的这几个表征传输线特性的基本电学参数，本文中采取的方法是 ABCD 传输矩阵级联提取法，双端口微波网络的 ABCD 矩阵示意如图 3.12 所示，此方法利用行波在传输线上的传播理论以及 ABCD 矩阵定义，推导带焊盘测试结构的传输线的 ABCD 矩阵，并求解矩阵方程，由于纯传输线矩阵中仅有特征阻抗和传播常数两个未知数，可以有效的减少参数提取算法中的未知数个数，简化运算。

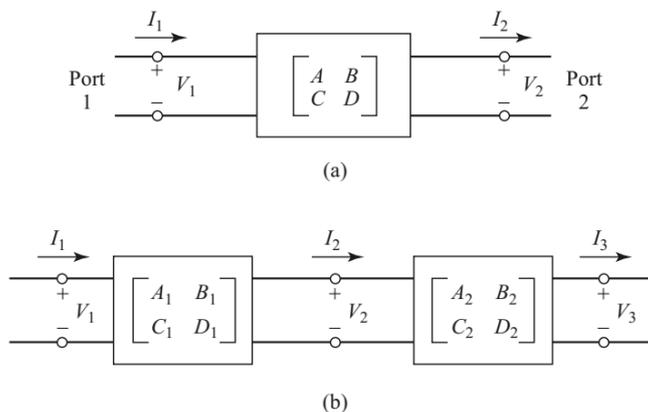
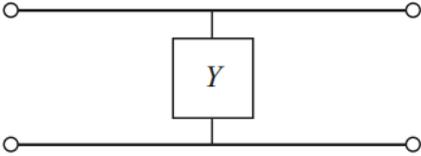


图 3.12 ABCD 矩阵示意图^[135]

用 ABCD 矩阵来描述双端口网络的特点在于，两个已知 ABCD 传输矩阵的双端口网络级联后的整体双端口网络的传输矩阵等于组成它的两个双端口网络传输矩阵之积，而在的测试结构中，为了探针接触的需要，在共面波导传输线两端需制作接触焊盘，焊盘对实测的参数有着一定程度的影响，采用 ABCD 矩

阵级联法将两个焊盘当成两个双端口网络，且由于焊盘的尺寸较小，属于电小尺寸元件，可以将焊盘视作是一个集总元件的并联电导，其 ABCD 传输矩阵如图 3.13 所示，而一般长度为 l 的有耗传输线的传输矩阵为：

$$\begin{bmatrix} \cosh(\gamma l) & Z_c \sinh(\gamma l) \\ \frac{\sinh(\gamma l)}{Z_c} & \cosh(\gamma l) \end{bmatrix} \quad (3.13)$$


$$\begin{aligned} A &= 1 & B &= 0 \\ C &= Y & D &= 1 \end{aligned}$$

图 3.13 并联电导双端口网络的示意图和其 ABCD 矩阵^[135]

因此整个共面波导传输线测试线条的 ABCD 传输矩阵为三个传输矩阵的积，且整个测试线条的传输矩阵应当与实测的 S 参数转换而来的 ABCD 矩阵相等，S 参数矩阵与 ABCD 矩阵的变换公式详见微波工程一书^[135]。

综上，为了提取出传输线的关键电学参数，先测出一定长度的传输线测试结构的 S 参数值，将其转换成 ABCD 传输矩阵，则由级联公式可以列式如下：

$$\begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix} \begin{bmatrix} \cosh(\gamma l) & Z_c \sinh(\gamma l) \\ \frac{\sinh(\gamma l)}{Z_c} & \cosh(\gamma l) \end{bmatrix} \begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix} = \begin{bmatrix} A_m & B_m \\ C_m & D_m \end{bmatrix} \quad (3.14)$$

式中 $\begin{bmatrix} A_m & B_m \\ C_m & D_m \end{bmatrix}$ 表示由实测 S 参数矩阵转换得到的传输矩阵，上式的未知数有传输线的特征阻抗 Z_c ，传播常数 γ ，和测试焊盘的并联电导 Y ，通过 matlab 数据分析软件，求解这个矩阵方程可以得到共面波导传输线的传播常数 γ ，并从传播常数 γ 的实部和虚部中分离出衰减常数 α 和相位常数 β ，此外还可以得到传输线的特征阻抗 Z_c 值。在提取出这三个最重要的传输线电学参数后可以研究温度对传输线特性的影响。使用的 matlab 脚本程序见附录 1。

3.2.4.2 转接板上共面波导传输线实测结果

基于上一小节的 ABCD 级联矩阵参数提取法，设计了版图如图 3.14 所示的两组共面波导测试线条结构，每组由长度依次为 1 mm，2 mm 和 3 mm 的三条

截面相同的传输线组成，两侧测试焊盘的尺寸被控制在了十分之一波长以下，从而确保了对它进行集总参数化等效时不会引入较大的误差。

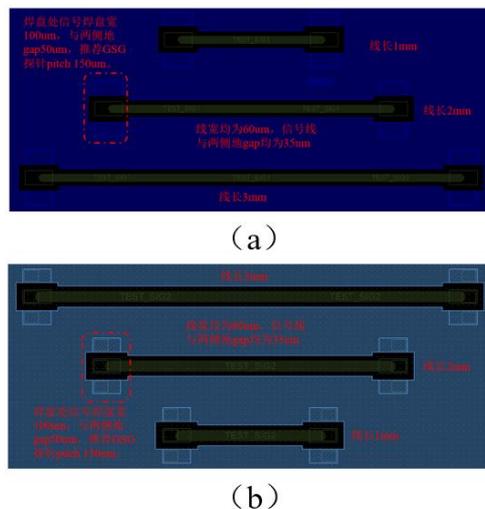


图 3.14 两组变温共面波导传输线测试结构

两组传输线测试结构的关键尺寸如信号线条宽度和信号线与地线间的间距等都在仿真软件中进行了仿真优化，以确保其特征阻抗都在 50Ω 附近。

两组测试线条仍然使用微电子所高频高压中心的高低温小信号片上测试系统实测，挑选图 3.14 (a) 线宽较窄的一组测试结构进行实测结果的说明，实测过程中几种不同的温度状态为 25°C ， 75°C ， 125°C ， 200°C 和从 200°C 高温恢复至 25°C ，在这些不同的温度状态下，对该组传输线进行传输损耗和回波损耗的测试，测试结果如图 3.15 至 3.18 所示。

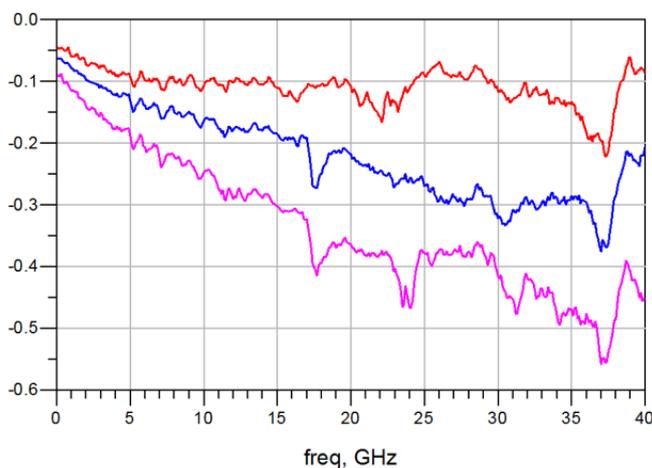


图 3.15 25°C 下转接板表面 3 种长度测试结构的实测 S_{21} 值，红色，蓝色，粉色线依次为 1 mm 线条，2 mm 线条和 3 mm 线条的实测结果

由上图 3.15 可以知道，在常温（25°C）下，随着长度的增加， S_{21} 值随之增加，且 S_{21} 的值与长度基本成线性关系。这与传输线理论一致，长度越长，损耗的积累也越多。

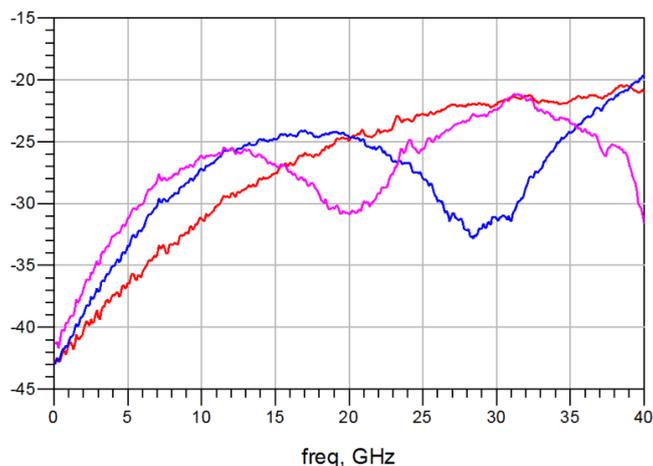


图 3.16 25°C 下转接板上 3 种长度测试结构的实测 S_{11} 值，红色，蓝色，粉色线依次为 1 mm 线条，2 mm 线条和 3 mm 线条的实测结果

由上图 3.16 和基础传输线理论可以知道，在常温（25°C）下，随着长度的增加， S_{11} 的谐振点会出现的愈加频繁，使得谐振点左移。1 mm 传输线在 40 GHz 范围内无谐振点，2 mm 的传输线在 40 GHz 内出现一个谐振点（28 GHz），而 3 mm 长度的传输线在 40 GHz 内几乎出现了 2 个谐振点（20 GHz 和 40 GHz）。但这三种长度的共面波导传输线在 40 GHz 内的 S_{11} 均在 -20 dB 以下，这说明传输线的特征阻抗匹配良好，接近于 50 Ω 。

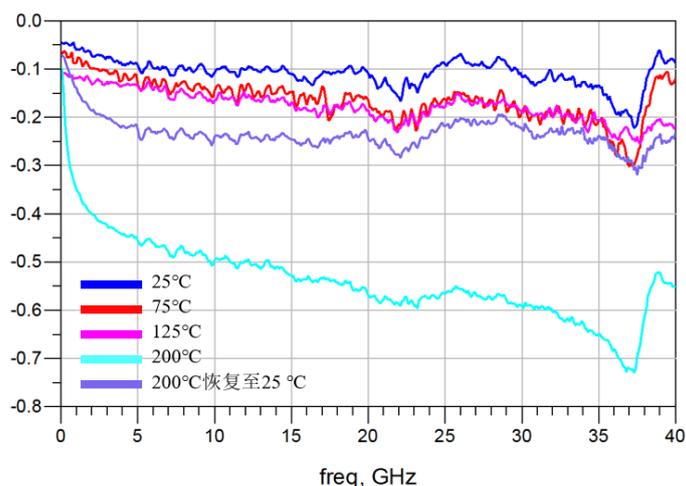


图 3.17 25°C/75°C/125°C/200°C 以及降温恢复到 25°C 时 1 mm 传输线的实测 S_{21}

由上图 3.17 可见，随着温度升高， S_{21} 插入损耗增加，且 25°C、75°C、125°C 温度状态下共面波导传输线的 S_{21} 差别不大，而当温度升高到 200°C 时， S_{21} 绝对值大幅增大，且在从 200°C 恢复至 25°C 后， S_{21} 未能恢复到原先 25°C 时的实测值，且其插损值甚至比 75°C 和 125°C 时的插损值大，因此得出：

(1) S_{21} 衰减受温度升高的影响类似前一节研究的 TSV 直流漏电，不是线性的，正相关系数是随着温度升高而增大的；

(2) 硅转接板的漏电受温度的影响存在一个阈值，当温度高于这个阈值时，硅转接板内部绝缘特性会受到不可完全恢复的损害，导致传输线的插入损耗特性无法恢复至开始的室温下的正常值。

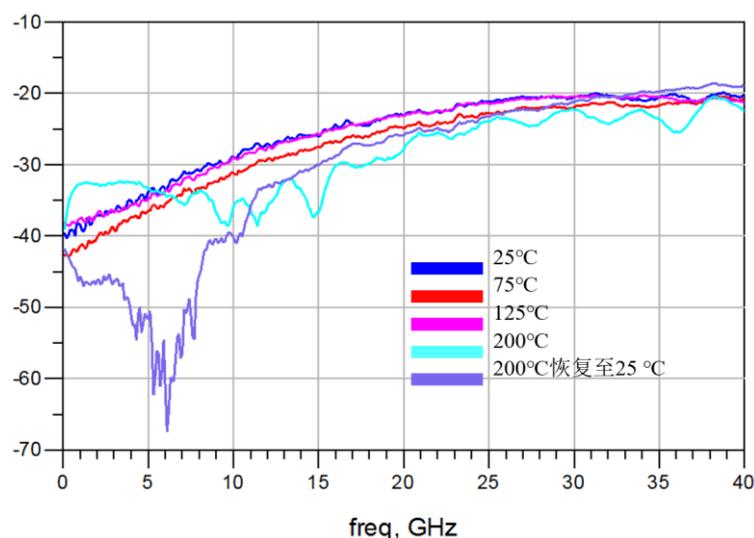


图 3.18 25°C/75°C/125°C/200°C 以及降温恢复到 25°C 时 1mm 长传输线的实测 S_{11}

由上图 3.18 可见，随着温度升高和恢复，传输线 S_{11} 回波损耗变化不大，在五种不同温度状态下 S_{11} 在 0 至 40 GHz 范围内均小于 -20 dB。

3.2.4.3 转接板上的 GSG 测试结构传输线参数提取

本小节根据第 3.2.4.1 小节中基于 ABCD 传输矩阵级联的传输线电学参数提取方法，提取出共面波导传输线测试线条的特性阻抗 Z_c ，相位常数 β 和衰减常数 α 。

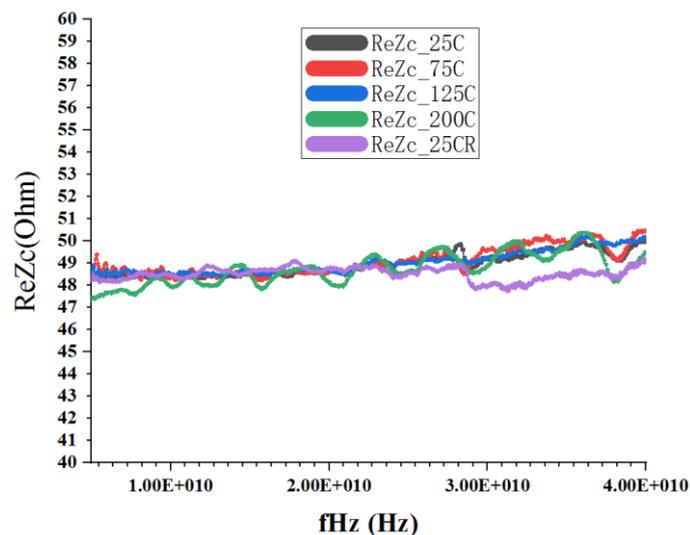


图 3.19 25°C/75°C/125°C/200°C以及恢复到 25°C时共面波导传输线提取出的特征阻抗 Z_c

上图 3.19 为由测试出的 S 参数矩阵转换并求解矩阵方程提取出的传输线特征阻抗 Z_c 值随着温度升高的变化情况，可见，随着温度的变化，共面波导传输线的特征阻抗基本不受影响，均维持在 50Ω 附近。

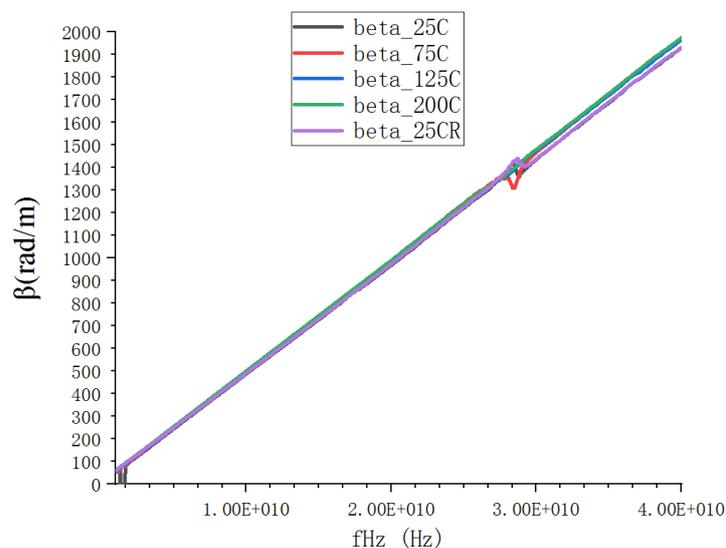


图 3.20 25°C/75°C/125°C/200°C以及恢复到 25°C时共面波导传输线提取出的相位常数 β

图 3.20 所示为由测试出的 S 参数矩阵转换并提取出的传输线相位常数 β 值。可见，随着温度升高，共面波导传输线的相位常数 β 基本不受影响，始终和频率保持着稳定的正比例关系，这与经典无耗传输线理论中 β 的计算公式 $\beta = \omega\sqrt{LC}$ 相吻合。

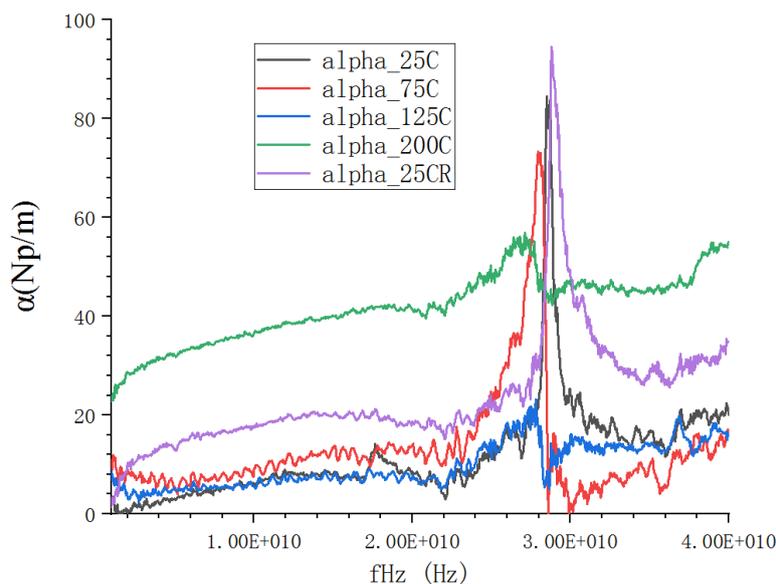


图 3.21 25°C/75°C/125°C/200°C以及恢复到 25°C时共面波导传输线提取出的衰减常数 α

图 3.21 所示为由测试出的 S 参数矩阵转换提取出的传输线的衰减常数 α 值。由上图可见，随着温度的升高，共面波导传输线的衰减常数 α 整体水平上来看明显增大，图中 28 GHz 附近的数据突变是由于参数提取公式在进行反双曲函数计算过程中的畸变所致。注意到 200°C 时的衰减常数相比于其他温度下的衰减常数有一个很大的跳跃，大约是其其他温度下的 10 倍；而当温度恢复至室温时，衰减常数未能恢复到和初始 25°C 时一样的状态，甚至在除去 28 GHz 突变点外的频率范围内比 75°C 和 125°C 时的衰减常数大，约为它们的 5 倍，这与从图 3.17 所示的变温情况下 S_{21} 曲线中得出的结论相符。

综上所述，可知温度的升高主要影响硅转接板上共面波导传输线的衰减常数 α ，从而影响传输线的 S_{21} 插入损耗，基本不影响传输线的相位常数 β 和特征阻抗 Z_c 。且影响 α 值是通过影响硅转接板的介电特性而增加传输线 RLCG 模型中的单位长度并联电导 G 从而实现的。由此可知，在进行高功率射频系统的硅基叠层封装互联设计时，要避免关键传输线位于温度较高的位置（如热源芯片附近），以防止温度场使得硅转接板的电学特性发生变化导致传输线的传输效率恶化，值得注意的是，温度场不影响传输线的特征阻抗和相位常数，所以在存在高功耗芯片引起的高温场的情况下，硅基叠层射频封装中的传输线在与其他结构互联时，阻抗匹配的设计可以遵循一般原则，不需要做改变。

3.3 本章小结

本章主要针对硅基叠层封装中存在的热耦合以及热电耦合现象进行了研究分析，以 Ka 波段接收机系统的叠层封装方案为基点，采用热阻矩阵提取法拓展研究了高功率射频封装中的热耦合现象和相关因素对封装体散热效果的影响，并研究了热场对叠层封装中典型传输结构直流和高频传输特性的影响。本章的研究内容主要分为以下几个方面：

(1) 针对 Ka 波段接收机系统的硅基叠层封装，研究了系统内芯片之间的热耦合现象，基于 Icepak 软件的仿真结果，提取出封装系统的热阻矩阵，反映了该封装体中各芯片间的热耦合，且仿真研究了系统第一层转接板上距离相近和距离较远的两种情况下两块芯片间的热耦合，将仿真结果和热阻矩阵法计算出的结果对比，误差极小，体现了热阻矩阵法分析多芯片高功率射频系统散热情况的优势，且为了加强散热效率仿真分析了芯片下方导电胶厚度对封装结构散热效果的影响，得出结论是当导电胶越薄时，散热效果越好。

(2) 针对研究叠层封装中电学对热学的耦合，考虑到各层转接板的 RDL 覆铜率和封装体采用的对外引脚形式是硅基叠层射频封装电学设计的主要考量方面，这两者同样影响封装的热传导效果。因此本章在 icepak 软件中仿真并讨论了转接板覆铜率在逐步升高的几个取值时，叠层封装系统的散热效率，得出当覆铜率为 0 时，散热效果相较于不为 0 时差很多，而当覆铜率在变化的时候，散热效果变化不大，得出的设计经验是，均匀覆铜可以提升封装体的散热效率，而对于不同对外引脚形式，针对 LGA 和 BGA 两种形式的封装模型进行了仿真，并进行了散热效率的对比，结果显示同等引脚高度下，因为 LGA 可以比 BGA 更大更密，减小互联引脚层内部的空气比重，使得系统的散热效率更好。

(3) 针对热场对叠层封装电学特性的耦合，主要研究了不同温度情况下 TSV 典型传输结构的直流漏电特性和 RDL 层共面波导传输线的高频传输特性。测试结构在高低温小信号测试平台上实测，TSV 结构的直流漏电流随着温度的升高而增大，且相关系数随温度的升高而增大，而高频传输线的插入损耗在温度升高时也成非线性特性明显增大，且当温度从 200°C 恢复至室温时，传输线

的传输特性未回复。根据微波网络 ABCD 传输矩阵原理，基于测试结构设计了传输线分布参数提取算法，提取出了传输线测试线条的特征阻抗，衰减常数和相位常数，结果显示，温度的变化不影响传输线的特征阻抗和相位常数，只影响其衰减常数。且对其的影响和对插入损耗的影响一致。基于测试结果和参数提取结果，为后续存在大功率射频硅基封装提供了布局和互联设计的经验。

第4章 硅基叠层 RF-SiP 中的热-力-电耦合特性研究

硅基叠层射频封装中除了热电耦合之外，还存在热场对结构力学特性以及结构对电学特性的耦合影响，其中热力耦合之中最为典型的是叠层封装在微组装回流过程中的翘曲现象，在不同的材料的热力物理特性以及不同的温度环境和回流条件下，硅基叠层封装的翘曲情况各不相同，而在不同的翘曲情况下，会影响某些关键参数值如地平面间距，wirebond 结构和上层硅基板背面金属的距离等，这些参数的改变有可能会影响叠层封装结构中某些关键模块的电学特性，这体现了热场通过对结构力学的耦合间接对系统的电学特性产生的影响，此外，作为电子系统中常见的失效原因之一，电迁移现象本质作为一种热学行为，通过关键传输位置电迁移孔洞的产生或结构发生断裂，影响到封装体中关键传输结构的电学特性，也是一种典型的热-力-电耦合行为。基于上述内容，本章研究了 Ka 波段接收机的硅基叠层封装在回流过程的翘曲，再基于翘曲的仿真实测结果探究了翘曲对叠层封装中关键电学模块电学特性的影响；其次基于电迁移现象机理，设计了硅基叠层封装中关键传输结构的电迁移缺陷测试结构，并对实测出的电迁移缺陷失效模式做了总结，并基于缺陷出现的位置和种类，进行了带缺陷传输结构的仿真分析，研究缺陷位置和尺寸对传输特性的影响。通过上述内容，系统性地研究叠层封装中的热-力-电耦合特性。

4.1 硅基 RF-SiP 热-力耦合特性研究

硅基叠层封装中典型的热-力耦合为其微组装回流过程中的翘曲现象，对任何封装体而言，在确定制作工艺前都会先评估其翘曲特性，并通过一系列方式减小封装翘曲来确保其在工艺流程中的结构可靠性。本节通过在 Ansys APDL 结构力学仿真环境中建立接收机系统硅基叠层封装的模型和赋予相应的材料参数，仿真研究了当叠层封装结构从微组装过程的回流温度 260°C 恢复到室温 22°C 时，整个封装系统的翘曲程度，用来来考量转接板的结构设计。在材料参数以及回流温度一定的情况下，影响封装结构翘曲的因素主要有转接板厚度和

芯片的位置。由于在接收机系统布局时，芯片的位置已定，本节中研究了在不同转接板厚度下对整体封装结构翘曲的影响，在仿真过程中，和第三章类似，由于存在着 RDL 层，PI，二氧化硅绝缘层等薄层，为了保证仿真中的有限元网格质量，减少建模和仿真时间，将 RDL 层和绝缘层等效为同一薄层，其热力学材料参数通过相应的等效公式计算求得，薄层的厚度与各绝缘层厚度一致。

4.1.1 仿真模型和材料参数

Ka 波段接收机硅基叠层封装的结构力学仿真模型和各部分结构的命名如图 4.1 所示，模型中各部分结构的热力学参数见附录 2，且各层的尺寸和第三章中的表 3.1 所示一致。在各材料参数中，焊球材料为 SAC305，采用了 Anand 粘塑性模型，仿真设置开启了大变形假设，由于在划分模型时共生成了千万数量级的网格，为了确保仿真求解器的收敛，共设置了 100 个子步 (substeps)。

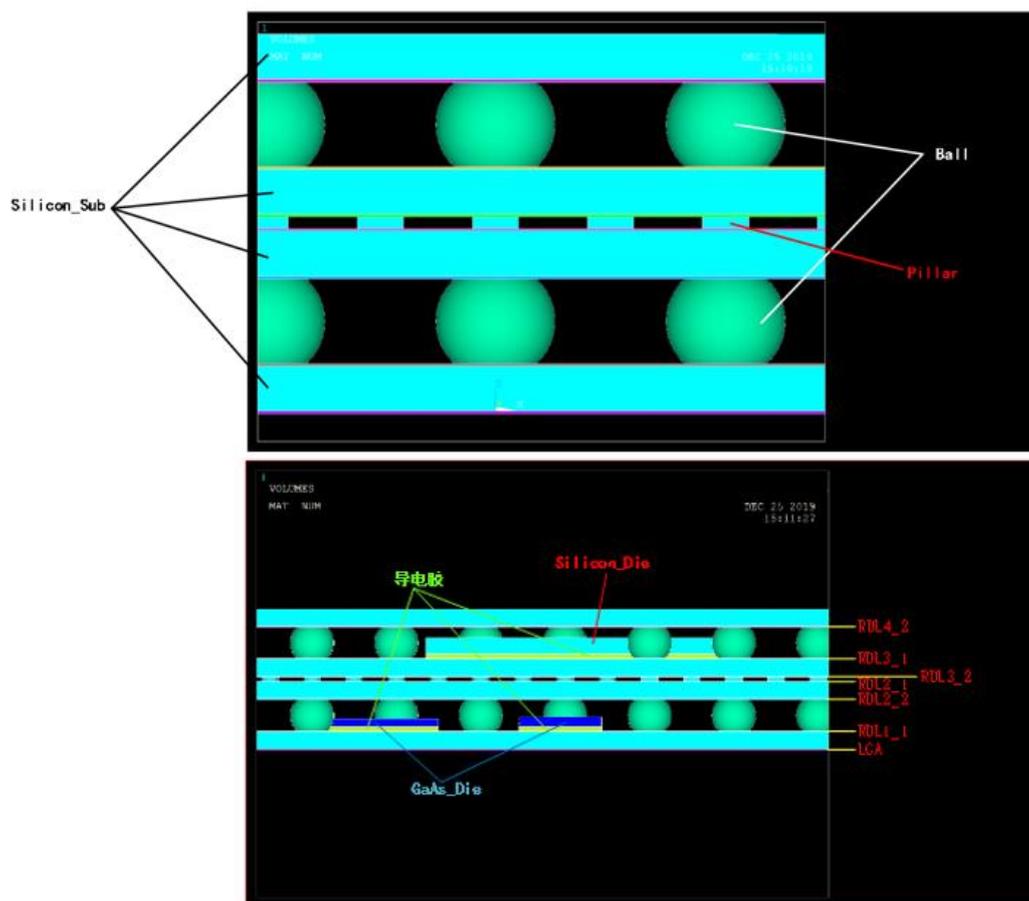


图 4.1 Ansys APDL 中封装翘曲仿真模型及各部分命名示意图

4.1.2 硅基叠层封装结构翘曲仿真结果及分析

本节中针对所使用的硅转接板厚度依次为 $200\ \mu\text{m}$ 、 $100\ \mu\text{m}$ 和 $50\ \mu\text{m}$ 三种情况进行了翘曲建模仿真，由于系统中芯片采取对称布置，为了减小仿真消耗的资源，建立了半模型，且在对称轴平面上设置了镜像约束，得出了各厚度情况下的翘曲仿真结果，下面依次对它们进行分析。

4.1.2.1 $200\ \mu\text{m}$ 厚转接板封装翘曲仿真结果

当硅转接板厚度为 $200\ \mu\text{m}$ 时，建立的整体封装结构的仿真模型透视图如图 4.2 (a) 所示，图中的硅转接板呈现透明，绿色为采用 Anand 粘塑性模型的 BGA 焊球，淡蓝色为接收机系统中位于转接板 3 上的硅裸片，深蓝色的是转接板 1 上的 Ka 波段 GaAs 射频芯片，整体封装结构在 Ansys APDL 中划分好网格的示意图如图 4.2 (b) 所示，划分网格时所选择的单元为四面体单元，因为整体模型中存在有极薄层，而自由四面体网格具有较强的网格划分适应性，在网格划分示意图中草绿色的部分为将芯片与转接板连接的导电胶。各层硅基板的正反面上还有极薄的 RDL/绝缘等效层，由于该等效层过薄，软件划分网格时很困难，因此，将这些薄层横纵向切割成均匀的小方块，减小单个方块中最长尺寸和最短尺寸的比值，从而减小网格划分难度并提升网格的质量，最后再将划分好的各小方块用 APDL 中的 VGLUE 命令连接，使其仍具有一体性，整个模型的建立，网格的划分和材料属性的赋予使用的 APDL 命令流见附录 3。

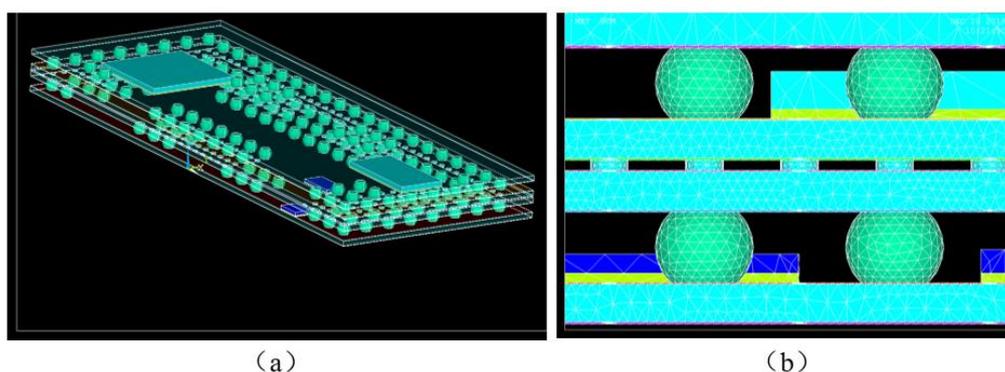


图 4.2 $200\ \mu\text{m}$ 厚转接板硅基叠层封装仿真模型图 (a) 透视图；(b) 网格划分示意图

$200\ \mu\text{m}$ 厚转接板硅基叠层封装在 260°C 的回流温度下恢复至 22°C 室温过程中的总体翘曲仿真结果如图 4.3 所示，给出的结果示意图中为半模型，实际的

翘曲结果只需将该结果图沿着长边的切面镜像组成完整的翘曲结果图即可。

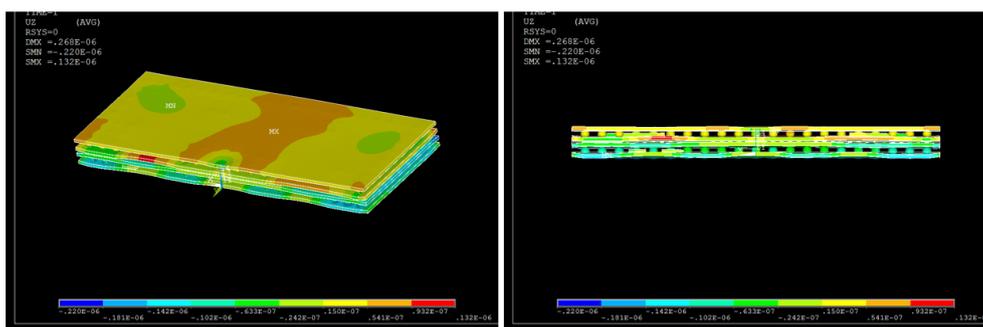


图 4.3 转接板 200 μm 厚情况下的整体翘曲值仿真结果图

而图 4.4 所示为 200 μm 厚转接板叠层封装的 Z 方向翘曲值仿真结果图，单独读出结构沿 Z 方向的翘曲是因为 Z 方向翘曲过大往往影响关键焊点或互联位置的结合性，且当转接板上的芯片采用 wirebond 形式和 RDL 连接时，过大的 Z 向翘曲有可能会对 wirebond 结构的线弧产生压迫，从而影响互联结构的传输性能。

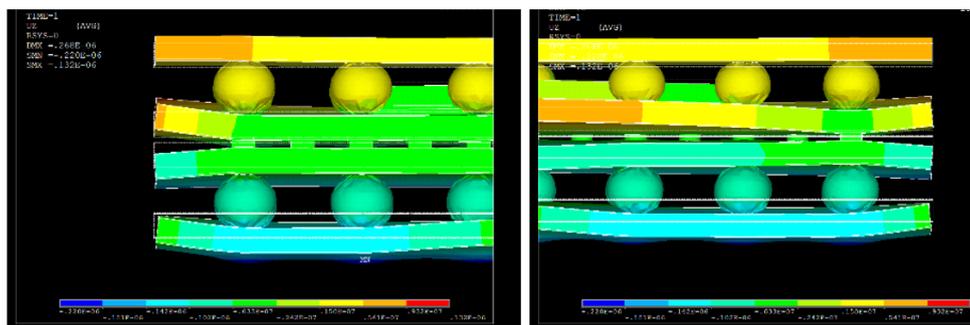


图 4.4 200 μm 厚转接板叠层封装模型 z 向翘曲结果图

仿真结果显示：200 μm 厚转接板的叠层封装在从 260 $^{\circ}\text{C}$ 恢复到室温 22 $^{\circ}\text{C}$ 时，最大正 z 向翘曲为 0.132 μm ，最大负 z 向翘曲为 -0.22 μm ，均为极小的数值，且从最上层硅基板的形貌来看翘曲形式为四周高中间低，即俗称的笑脸形式。

4.1.2.2 100 μm 厚转接板封装翘曲仿真结果

当转接板的厚度为 100 μm 时，叠层封装翘曲仿真模型的网格划分示意如图 4.5 所示，可以看到，与 200 μm 时的网格划分图相比，由于转接板的厚度变为一半，硅转接板层中沿厚度方向划分出的单元数也缩减了一倍，其余部分的网

格划分基本一致，总网格数也相较于 $200\ \mu\text{m}$ 的模型少了一部分，求解设置和 $200\ \mu\text{m}$ 时的设置一致。相应的仿真结果图如图 4.6，图 4.7 所示。

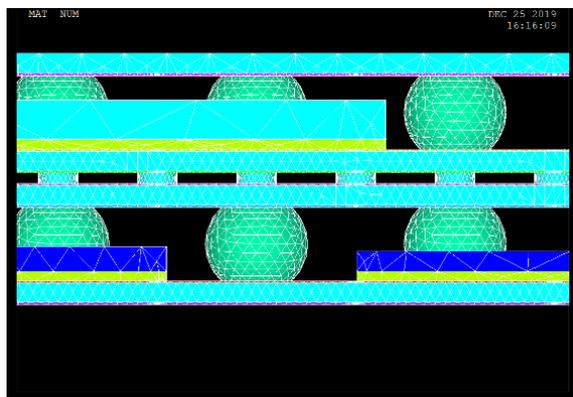


图 4.5 转接板 $100\ \mu\text{m}$ 厚时叠层封装模型网格划分图

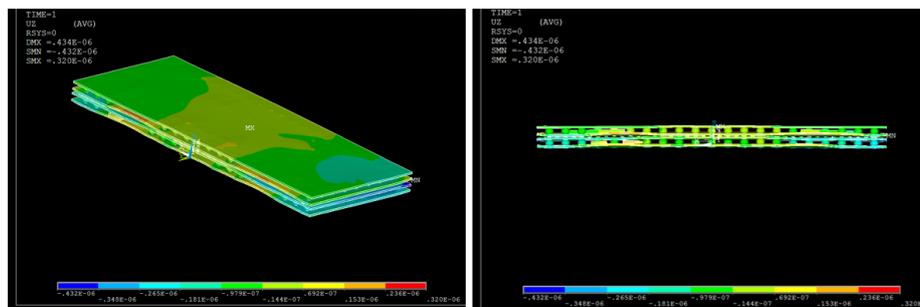


图 4.6 转接板厚度为 $100\ \mu\text{m}$ 时的整体翘曲仿真结果图

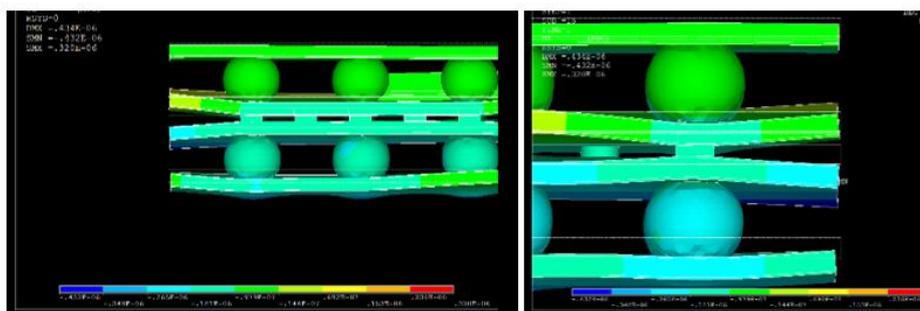
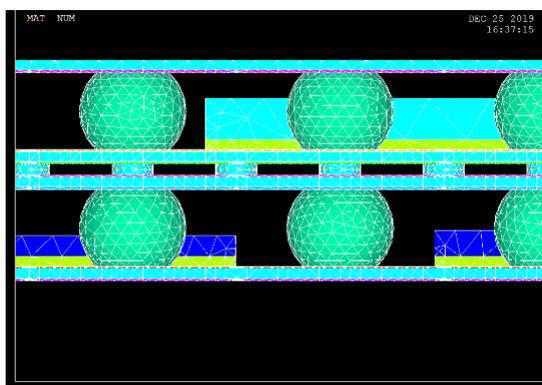
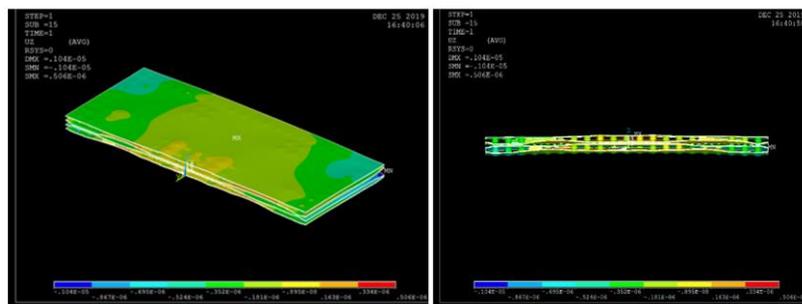
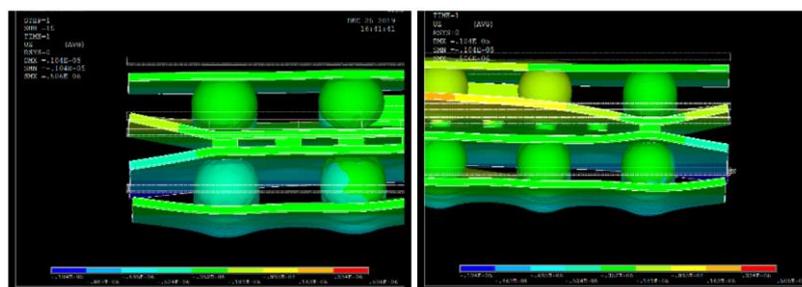


图 4.7 转接板厚度为 $100\ \mu\text{m}$ 时的叠层封装 Z 向翘曲仿真结果图

仿真结果显示： $100\ \mu\text{m}$ 厚转接板的叠层封装在从回流温度 260°C 恢复到室温 22°C 时，最大正 z 向翘曲为 $0.32\ \mu\text{m}$ ，最大负 z 向翘曲为 $-0.432\ \mu\text{m}$ ，相比于 $200\ \mu\text{m}$ 厚时的情况翘曲有微小的增加，但仍为很小的数值。

4.1.2.3 50 μm 厚转接板封装翘曲仿真结果

当转接板厚度为 50 μm 时，叠层封装翘曲仿真模型的网格划分如图 4.8 所示，相比于 100 μm 的情况，硅转接板中的四面体单元数进一步缩减，值得一提的是，在实际设计封装方案时，会考虑到整体封装的尺寸来确定转接板的厚度，50 μm 厚的转接板相对 2.1cm \times 1.7cm 的封装尺寸而言过薄，在实际工艺制造中碎片的风险很大，在此处只是从仿真角度出发的探究厚度与翘曲之间的关系。仿真过程中的求解设置和 200 μm 和 100 μm 时的设置一致。相应的仿真结果如图 4.9，图 4.10 所示。

图 4.8 转接板 50 μm 厚时叠层封装模型网格划分示意图图 4.9 转接板厚度为 50 μm 时的整体翘曲仿真结果图图 4.10 转接板厚度为 50 μm 时的叠层封装 Z 向翘曲仿真结果图

由 50 μm 转接板叠层封装翘曲仿真结果可见，50 μm 厚转接板的封装模型在从回流 260 $^{\circ}\text{C}$ 恢复到室温 22 $^{\circ}\text{C}$ 时，最大正 Z 向翘曲为 0.506 μm ，最大负 Z 向翘曲为-1.04 μm ，翘曲值相比于 100 μm 的情况下有了进一步的增加，但在实际封装中，该翘曲值仍然很小，远远不至于影响封装系统的可靠性。

综合上述的三种情况下的仿真结果可见，在芯片位置不变的情况下，硅基叠层封装的翘曲值随着转接板厚度的减小而增大，且三种情况下硅基叠层封装在回流恢复至室温过程中的翘曲值都很小，最大翘曲仿真值也只有 1 μm ，各不同厚度情况下的翘曲结果对比如下表 4.1 所示。

表 4.1 三种厚度转接板的翘曲值

转接板厚度 (μm)	正 z 向翘曲值 (μm)	负 z 向翘曲值 (μm)
200	0.132	-0.22
100	0.32	-0.432
50	0.506	-1.04

4.1.2.4 硅基叠层封装翘曲实测结果及分析

200 μm 厚转接板的硅基叠层封装样品的翘曲实测采用 TherMoire® Warpage Measurement System 测试系统，该测试系统采用顶层喷金和光照反射的方法测出了叠层封装最顶面的各位置翘曲形貌，且为了模拟整个叠层封装在射频电路实际工作时不同温度下翘曲形态的变化，在实测时对测试系统实施了变温，最终翘曲实测结果如图 4.11 所示，(a) 图为常温 25 $^{\circ}\text{C}$ 时硅基叠层封装顶层的翘曲形貌实测，(b) 图为 150 $^{\circ}\text{C}$ 时硅基叠层封装顶层翘曲形貌实测。由测试结果可见，实测的叠层封装转接板 4 顶面的翘曲形态为四周高中心低，与仿真结果一致，且整体的相对翘曲值为 22 μm ，翘曲值与仿真结果有偏差，原因是因为仿真过程仅研究了微组装工艺流程中的最后一步即整体回流中的封装体翘曲，而在其他步骤如单独的两块转接板的回流焊接或是芯片的贴装过程中引入的封装翘曲没有在仿真过程中考虑，但尽管如此，由实测结果可见，整个硅基叠层封装在完成后的实测翘曲仍为一个很小的值，且在不同温度下整个叠层封装的翘曲值保持稳定，这说明叠层封装的翘曲不会影响接收机系统的电学性能与可靠性。

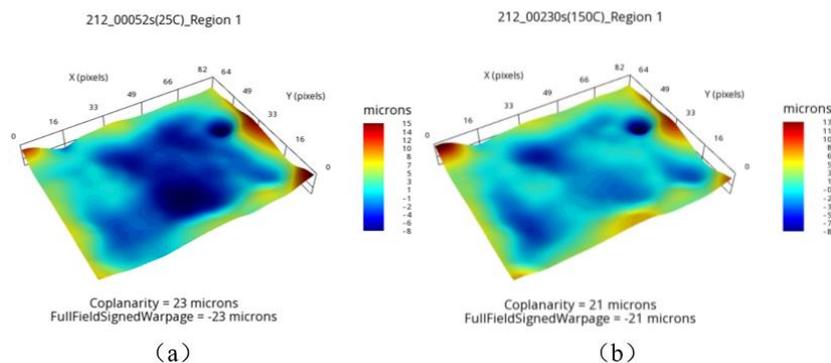


图 4.11 采用 TherMoire® Warpage Measurement System 对叠层封装顶层的翘曲实测结果
图 (a) 室温下的实测结果; (b) 150°C 环境下的实测结果

200 μm 厚转接板叠层封装的翘曲仿真结果中, 在从 260°C 恢复到室温 22°C 时, 最大 Z 向翘曲为 0.22 μm 。叠层封装顶层翘曲形貌实测结果显示: 翘曲形态与仿真结果一致, 呈现笑脸形态, 最大翘曲为 22 μm , 但翘曲值仍在接受范围内。进一步说明硅基叠层封装材料体系的 CTE 与芯片系统匹配, 翘曲较小, 是该集成方案的优势。

4.2 硅基射频叠层封装中的热-电-力耦合特性研究

4.1 大节所研究的翘曲是叠层封装中典型的热-力耦合现象, 属于在热场加载条件下由于结构不对称和材料 CTE 不匹配等原因带来的结构变形和应力问题, 而在叠层封装的实际应用中, 热场作用封装结构的变形会对叠层封装的电学特性产生耦合, 即封装中的热-电-力耦合现象。因此, 本节分析了在叠层封装中, 翘曲造成的结构变形对封装电学特性的影响, 主要包含不同翘曲程度对硅基集成 SIW 滤波器和 wirebond 结构的传输性能影响。

此外, 作为电子系统失效的一个重要原因, 电迁移也是热-力-电多场耦合现象的体现。电迁移失效问题实质上并不是孤立的现象, 在电迁移的过程中往往同时伴随着热迁移、应力迁移或化学迁移等过程。高电流密度产生的焦耳热将形成温度梯度, 这种梯度是热迁移的驱动力; 电迁移形成的孔洞将诱致互连结构内部产生应力, 伴随着机械载荷和热载荷引起的应力, 这些应力叠加起来将形成应力梯度趋势原子进行迁移; 由于迁移导致结构内部原子浓度不均匀, 这种原子浓度梯度引起了化学迁移。因此, 电迁移失效问题实际上是多种迁移

机制耦合作用的共同结果。为了研究电迁移这一多场耦合现象对叠层封装电学性能的影响，设计了 TSV 的电迁移测试结构并进行了电迁移现象实测，针对实测结果中展现出的几种电迁移失效模式，进行了 TSV 结构传输效率的仿真，研究了电迁移对射频叠层封装中高频传输特性的影响。

4.2.1 叠层封装翘曲情况对 SIW 滤波器特性的影响

由于本文第二章中基于转接板设计了一款用于接收机系统的硅基集成 Ka 波段 SIW 带通滤波器，本小节研究了当叠层封装出现不同程度的翘曲时，SIW 带通滤波器的传输特性会受到的影响，当不考虑叠层封装中上层转接板的影响，SIW 滤波器作为一个独立的器件时，滤波器的传输指标仿真结果为：中心频率 29.8 GHz 时的插入损耗 $S_{21} = -4.38\text{dB}$ ，且通带内回波损耗 $S_{11} < -10\text{dB}$ 。独立 SIW 滤波器的仿真模型和结果分别如图 4.12 和图 4.13 所示。

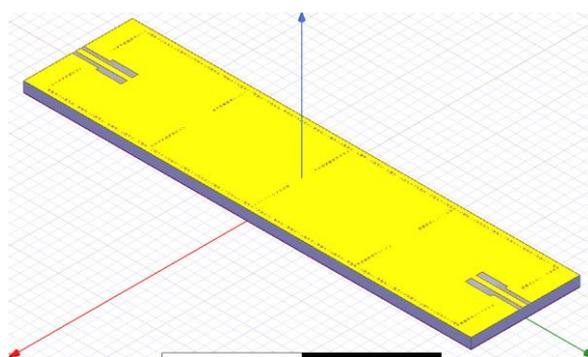


图 4.12 不考虑叠层封装中上层转接板时独立 SIW 滤波器的仿真模型

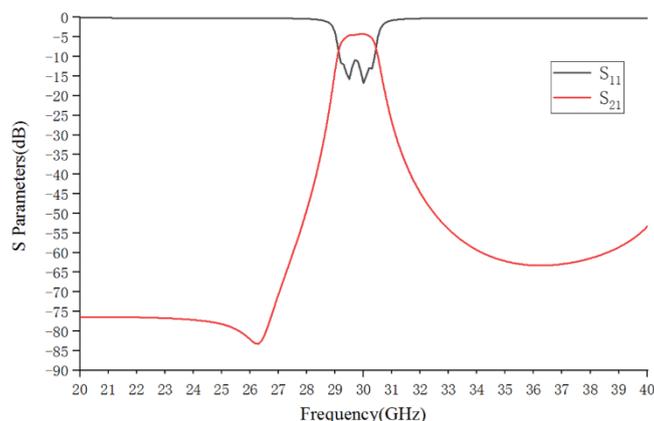


图 4.13 不考虑叠层封装中上层转接板时独立 SIW 滤波器的 S 参数仿真结果

由于在实际设计射频叠层封装中，会考虑各层之间电磁信号的干扰问题，

在对 Ka 波段接收机系统进行电学设计时，为了实现电磁屏蔽，采取上层转接板的背面大面积覆铜的方案，从而避免转接板 1 上的高频信号对上层低频段信号的干扰，因此，在研究叠层封装中翘曲对 SIW 滤波器传输特性影响时，考虑了上层转接板背面覆铜的影响，用理想导体平面 PEC 代替上层转接板背面金属，不同的翘曲程度会决定上层转接板背面金属与 SIW 滤波器顶面的间距，对该间距设置参数扫描，在未翘曲情况下两层金属之间的距离是由回流焊接后 BGA 焊球的原始球高决定的，等于 $374\ \mu\text{m}$ ，考虑到实测中硅基叠层封装的翘曲值很小，因此对该间距值的波动范围也设置得较小，依次为 354，364，374，384，394 μm 。以 PEC 理想导体平面代替上层转接板背面金属的叠层封装中的 SIW 带通滤波器的仿真模型如图 4.14 所示：

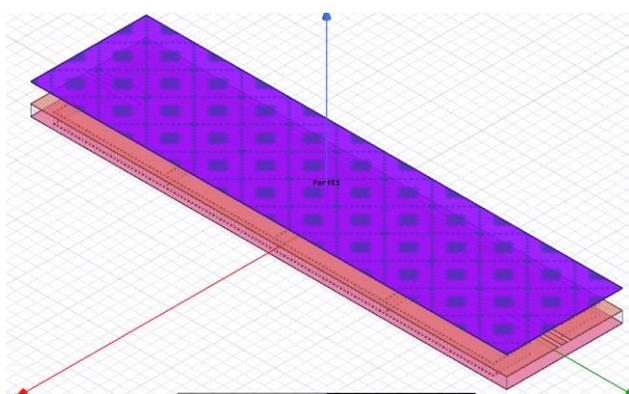


图 4.14 PEC 模拟上层硅基板全背面金属化时的 SIW 滤波器仿真模型

仿真设置和 SIW 滤波器作为单独元件时的一致，将上层转接板背面大面积金属化时的 SIW 滤波器仿真结果及与 SIW 滤波器的独立仿真结果进行对比，如图 4.15 所示。

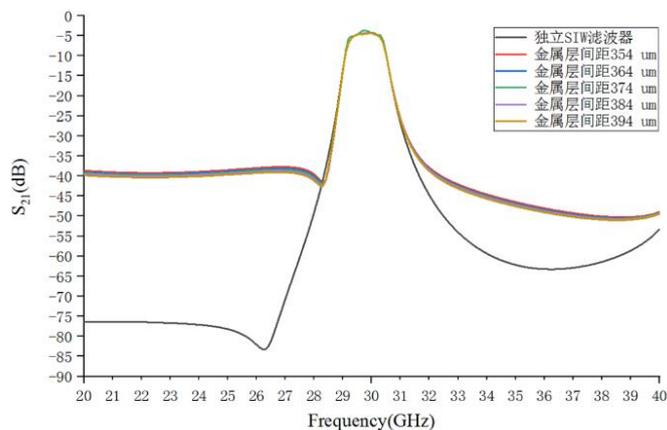


图 4.15 两种情况下的 SIW 带通滤波器仿真结果对比

经过对比可知，上层转接板背面的大面积金属化对带通滤波器的带外抑制特性影响很大，相比 SIW 滤波器独立元件，带外抑制差了近 40 dB。此外，当翘曲引起的上下层金属间距在 50 μm 的范围内变化时，SIW 滤波器 S_{21} 的带内纹波出现小幅度波动，但整体变化相对带外抑制而言较小。

为了解释这一现象，理论分析上层转接板背面金属由于距离下层 SIW 滤波器的正面金属距离较小，且由于滤波器的馈入口选择 CPW 形式，属于半开放式结构，电磁场能量传输时，CPW 馈入口处的电磁场分布在空气中的部分会和上层转接板的背面金属耦合，从而改变了滤波器的馈入口阻抗，影响到滤波器的带外抑制性能，为了避免这一现象，可以采用内缩金属的方式改善滤波器在堆叠后的性能。由于 SIW 滤波器上表面除了 CPW 馈入口这一半开放式结构可能受到来自上层转接板背面金属的电磁耦合干扰外，其余部分均为封闭结构，因此对 CPW 馈入口正上方的上层转接板背面金属进行了切割，形成如图 4.16 所示的内缩型转接板背面金属结构，对采用这种形式的叠层封装中的 SIW 带通滤波器进行仿真，并将仿真结果与独立 SIW 滤波器的传输性能进行对比，如图 4.17 所示。

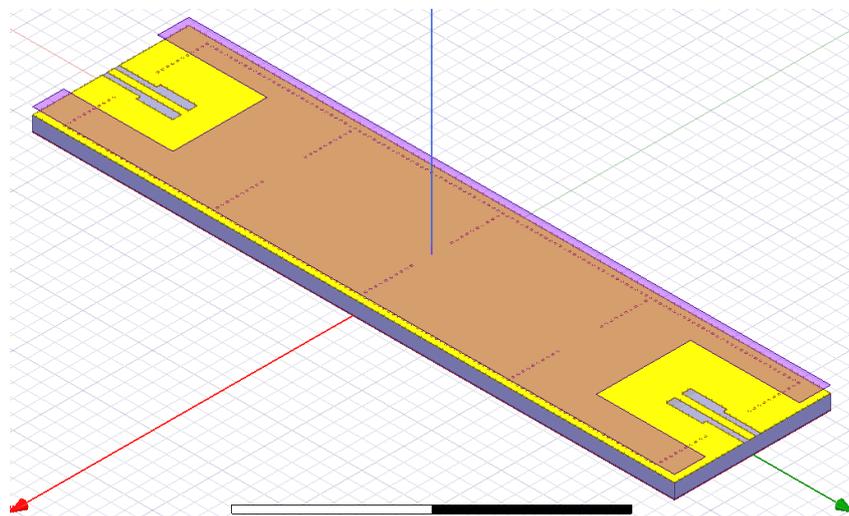


图 4.16 SIW 滤波器上层硅转接板背面金属 PEC 内缩结构仿真模型图

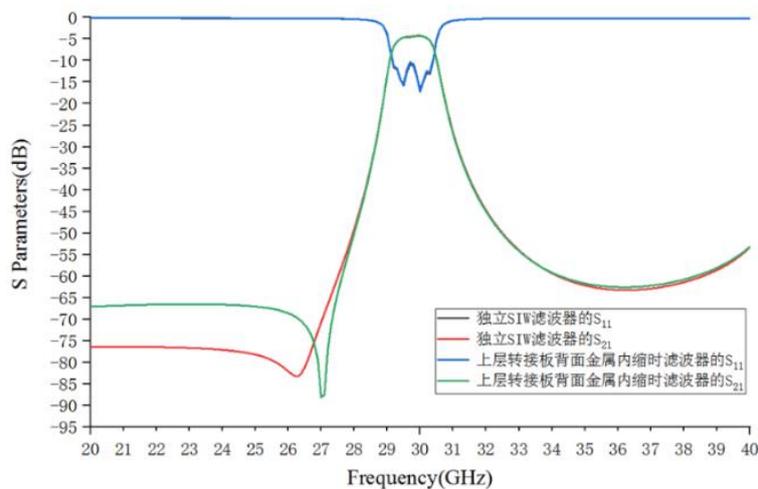


图 4.17 采用内缩式背面金属结构后叠层封装中滤波器特性与独立滤波器传输性能的对比

由仿真结果的对比可知在采用上层转接板背面金属内缩结构时，可以有效避免大面积覆铜对 SIW 滤波器带外抑制特性的影响，基本保持了原始滤波器的带外特性，且在很大程度上保证了不同层之间电磁信号的电磁屏蔽。

4.2.2 翘曲对 wirebond 结构传输特性的影响

另一个电学性能可能受到翘曲状态影响的是典型高频传输结构之一的 wirebond，为了研究翘曲对 wirebond 结构传输特性的影响，同样以 PEC 理想导体平面代替上层硅转接板背面的金属，对两层硅转接板金属层之间的间距设定参数扫描，间距依次为 354，364，374，384，394 μm ，仿真模型如图 4.18 所示：

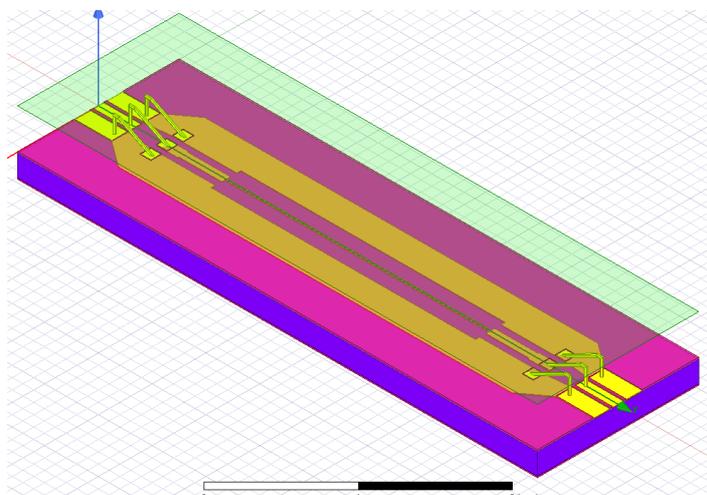


图 4.18 研究翘曲对 wirebond 结构传输特性影响的仿真模型

不同间距时得到的仿真结果如图 4.19 所示，由图可知，当翘曲导致的金属层间距在 $50\ \mu\text{m}$ 的范围内波动时，wirebond 结构的传输特性中回波损耗 S_{11} 的各谐振点出现了小幅度的变化，而插入损耗 S_{21} 的变化则很小，当间距在 $50\ \mu\text{m}$ 的波动范围内， S_{21} 在各个频点处的差异最大值为 $0.1\ \text{dB}$ 。由此可以得出结论，就硅基叠层封装而言，由于其翘曲很小，封装的翘曲对其中的 wirebond 结构的传输效率几乎没有影响。

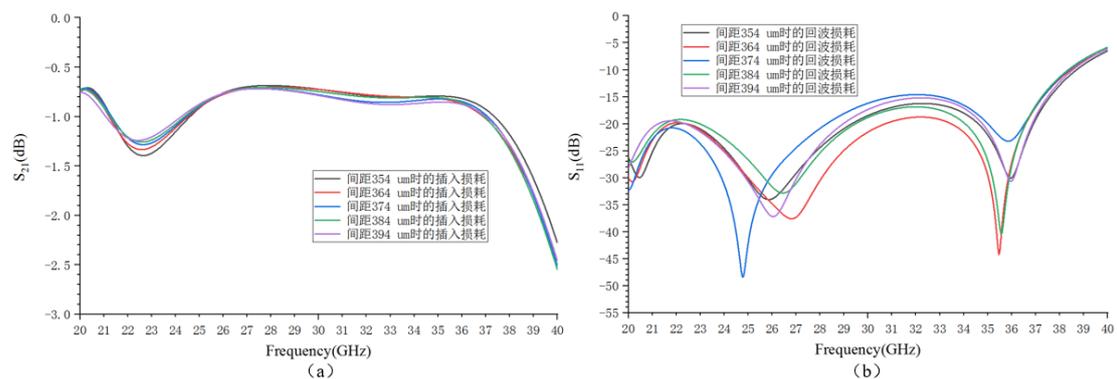


图 4.19 翘曲对 wirebond 结构传输特性影响的仿真结果 (a) 不同间距下的 S_{21} ; (b) 不同间距下的 S_{11}

4.2.3 电迁移现象中的力电耦合研究

电迁移现象作为体现叠层封装中热-力-电多物理场耦合的典型实例，是本小节的主要研究内容，对于电迁移现象的研究，本节将主要从其基础理论、实测结果和其对叠层封装中典型结构的高频传输特性的影响共三个方面来进行论述。

4.2.3.1 电迁移基础理论

造成电迁移现象的原因主要有三种，由电流传输造成的迁移（电子迁移），由温度场推进的迁移（热迁移）和由应力变化引起的迁移（应力迁移）。一般采用通量的概念来表示这三种原因在电迁移现象中的共同作用^[136-139]。

(1) 电子迁移

电子迁移是金属原子在大电流密度下向着电子流向扩散的现象，本质上是原子浓度重新分布的过程。菲克第一定律将扩散通量和浓度梯度联系起来，在稳态扩散的条件下，单位时间内通过垂直于扩散方向的单位面积的扩散物质量

即扩散通量与该截面处的浓度梯度成正比。

$$J_c = -D\nabla c \quad (4.1)$$

式中 J_c 为金属的浓度梯度形成的扩散通量； c 为金属浓度； ∇c 为金属原子沿扩散方向的浓度梯度，负号表示扩散方向与浓度梯度相反，扩散由高浓度区域向低浓度区域进行， D 为有效扩散速率。在实际扩散过程中，不同位置处的金属原子浓度会随时间的变化而改变，基于扩散路径上任意位置处的物质连续性，由菲克第一定律可以推导出菲克第二定律：

$$\frac{\partial c}{\partial t} = \nabla(-D\nabla c) \quad (4.2)$$

在热力学平衡条件下，浓度遵循玻尔兹曼分布，即 $c(x) = c_0 \exp\left(\frac{-\varphi(x)}{k_B T}\right)$ 。其中 $\varphi(x)$ 为势能，对该公式求导得 $\frac{dc}{dx} = -c_0 \exp\left(\frac{-\varphi(x)}{k_B T}\right) \frac{1}{k_B T} \frac{d\varphi}{dx} = -\frac{c}{k_B T} \frac{d\varphi}{dx}$ ， $-\frac{d\varphi}{dx}$ 表示由浓度梯度引起的沿扩散方向的一维势能梯度，该梯度可产生驱动力促使物质从高势能位置向低势能位置迁移，记该驱动力为 $F_c = \frac{d\varphi}{dx}$ 。在引入驱动力 F_c 后，菲克第一定律可表示为：

$$J_c = D \frac{c}{k_B T} F_c \quad (4.3)$$

电子风力为金属原子在电场作用下受到电子碰撞产生动量交换的力，方向与电子运动方向一致；库仑力是指电场对金属原子的静电力，其方向平行于电场。在研究中，通常将电子风力和库仑力的合力统称为电子风力。由该合力产生的原子通量可表示为：

$$J_{EM} = \frac{cD}{k_B T} Z^* e \rho j \quad (4.4)$$

式中 c 为原子浓度， e 为电子电荷， Z^* 为有效电荷数， j 为电流密度矢量， $\rho = \rho_0 [1 + \alpha(T - T_0)]$ 为与温度相关的电阻率。式中 α 为金属材料的温度系数， ρ_0 是初始温度 T_0 所对应的金属电阻率。

由该公式可看出，电流密度是影响电迁移的主要因素之一。电流密度越大，发生电迁移的原子就越多，从而电迁移失效过程越迅速。

(2) 热迁移

热迁移是指金属原子由温度梯度引起的定向移动，这种定向移动在长期积

累下会导致互连结构的金属部分分离。原子存在着从高温区域向低温区域移动的趋势，所以，温度梯度作为原子迁移的驱动力可以导致原子迁移，在射频封装中，系统工作产生的焦耳热会促使互连表面形成温度梯度，在电迁移孔洞和凸丘的形成过程中，局部的焦耳热效应会加速温度梯度的形成，从而进一步促进电迁移现象的产生。由温度梯度引起的原子通量可表示为：

$$J_{TM} = -\frac{cD}{k_B T} \frac{\nabla T}{T} Q^* \quad (4.5)$$

该公式中 Q^* 为摩尔热流量，它表示每摩尔原子运动时的能量与初始状态时能量之差，上式表明，温度梯度越大，原子通量越大，发生电迁移的原子数量越多，电迁移发生越迅速。

(3) 应力迁移

应力迁移是指金属原子在一定的应力梯度下产生定向移动的现象，它最终通常导致微孔洞和裂纹的形成。应力梯度的主要来源两个方面，一是由电迁移引起的“背流应力”，这种类型的应力梯度在电迁移过程中始终存在；二是由于金属互连材料与周围材料的 CTE 不匹配导致非均匀应力分布，这种应力梯度发生在电迁移的开始，当孔洞形成后应力被释放。由应力梯度引起的原子通量可表示为：

$$J_{SM} = \frac{cD}{k_B T} \Omega \nabla \sigma_H \quad (4.6)$$

式中 Ω 为原子体积，而 σ_H 是静水应力，且

$$\sigma_H = \frac{\sigma_{xx} + \sigma_{yy} + \sigma_{zz}}{3} \quad (4.7)$$

其中， σ_{xx} ， σ_{yy} ， σ_{zz} 分别表示各主方向的法向应力分量。

金属原子往往从应力梯度大的地方开始迁移。在应力集中的位置应力梯度较大，当它所产生的驱动力大于原子迁移运动所需的驱动力时就会发生电迁移，导致该位置微孔洞和裂纹的形成，最终导致互连失效。

(4) 电迁移孔洞形成准则和结构失效的判据

电迁移孔洞的形成会增加传输结构的电阻值，这是因为孔洞通常会造成互连结构相关位置横截面变小以及局部温度的上升。当金属接触界面由于电迁移孔洞的出现而被破坏，导致界面电阻突然急剧增大的时刻称为失效时间（Time

to Failure, TTF)。半导体工业界普遍认为的判据是：当互连结构的电阻增加 15% 时，便认定为出现电迁移失效。

4.2.3.2 叠层封装中的 TSV 结构电迁移实测

为了研究电迁移现象导致的缺陷对叠层封装电性能的影响，选择了封装中典型的 TSV 高频信号传输结构作为电迁移缺陷的研究对象，首先设计了一个 TSV 电迁移缺陷测试结构进行实测，并基于实测结果归纳出的 TSV 结构电迁移失效模式和失效位置，构建带有电迁移缺陷的 TSV 仿真模型进行仿真，并根据仿真结果来研究电迁移现象对 TSV 结构高频传输性能的影响。

(1) 电迁移测试条件设计

基于电迁移理论中引起电迁移现象的三大驱动力，可知电迁移现象主要受电流密度和环境温度这两个外界因素影响较大，因此设计了如表 4.2 和表 4.3 所示的测试条件。

表 4.2 TSV 结构电迁移测试条件 1，固定环境温度，改变电流密度

电流密度 (A/cm ²)	加载电流 (mA)	TSV 直径 (μm)
1×10 ⁴ A/cm ²	2	5
	8	10
5×10 ⁴ A/cm ²	10	5
	40	10
1×10 ⁵ A/cm ²	20	5
	80	10
5×10 ⁵ A/cm ²	100	5
	400	10
1×10 ⁶ A/cm ²	200	5
	800	10

表 4.3 TSV 结构电迁移测试条件 2，固定电流密度，改变环境温度

电流密度 (A/cm ²)	环境温度 (°C)	加载电流 (mA)	TSV 直径 (μm)
1×10 ⁴ A/cm ²	100	2	5
	200	8	10
5×10 ⁴ A/cm ²	100	10	5
	200	40	10
1×10 ⁵ A/cm ²	100	20	5
	200	80	10
5×10 ⁵ A/cm ²	100	100	5
	200	400	10
1×10 ⁶ A/cm ²	100	200	5
	200	800	10

(2) TSV 电迁移测试结构

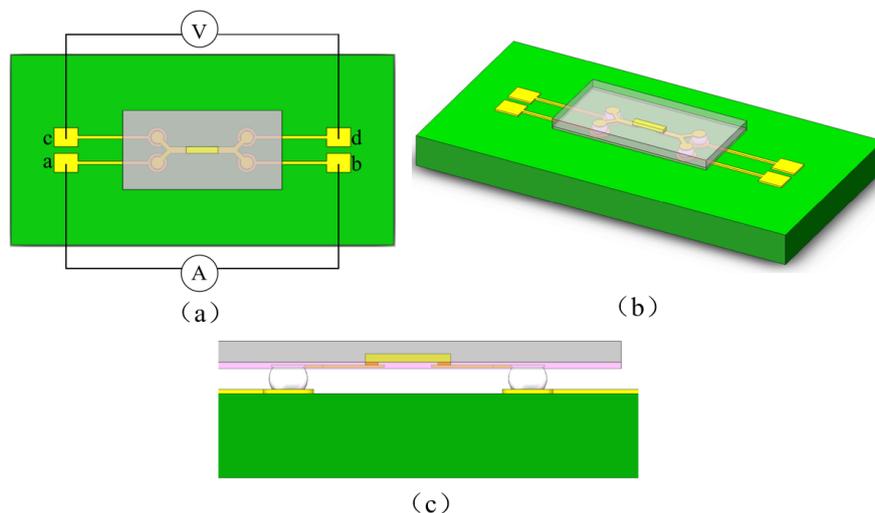


图 4.20 电迁移测试结构示意图 (a) 顶视图; (b) 3D 视图; (c) 侧视图

由电迁移孔洞形成准则和结构失效的判据可知，TSV 结构电迁移失效的电学现象为电阻值变大，因此在输入固定电流密度的条件下，可通过测量 TSV 两端电压来检测是否出现失效。具体测试结构如上图 4.20 所示。图中电流从 a, b 焊盘之间注入。由于 a, c 焊盘之间无电流流过，因此 $V_a=V_c$ ，同理 $V_b=V_d$ 。则通过测量 c、d 点之间的电压可获得 a、b 点之间的电压，也即 TSV 测试结构两端的电压。

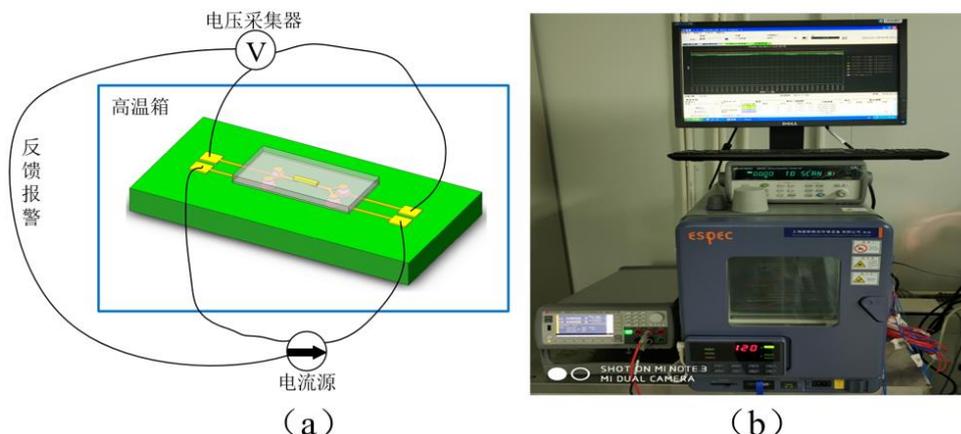


图 4.21 电迁移测试系统图 (a) 测试系统原理图; (b) 测试系统实物图

电压采集装置使用数据采集仪, 可自动连续采集记录所需检测的电压, 并自动生成随时间变化的曲线。同时, 可将采集装置与电流源连接, 设置报警系统, 将失效电压阈值作为报警触发值, 一旦电压值达到阈值, 输出报警信号关闭电流源输出, 测试系统如图 4.21 所示。

(3) 电迁移测试中的电流控制

基于电迁移理论, 在电迁移的原子散度模型中, 存在着临界电流密度 J_{crit} , 当电流密度大于 J_{crit} 时才会产生电迁移缺陷。且测试线条越长, 其临界电流密度 J_{crit} 越小, 越容易发生电迁移。基于原子散度模型, 对于总长为 $50\ \mu\text{m}$ 长的镀铜 TSV 测试结构, 计算出其 J_{crit} 在 2×10^5 到 $8 \times 10^5\ \text{A}/\text{cm}^2$ 的范围内, 对于长度为 $300\ \mu\text{m}$ 的镀铜 TSV 测试结构, 计算出其 J_{crit} 在 3×10^4 到 $1.3 \times 10^5\ \text{A}/\text{cm}^2$ 的范围内。因此, 为了确保在实测过程中 TSV 测试结构中出现电迁移缺陷, 在样品测试时, 注入的电流密度确定为 $1 \times 10^6\ \text{A}/\text{cm}^2$ 。

(4) 电迁移测试实测结果

在确保能出现电迁移失效的电流注入条件下, 改变注入电流密度和环境温度, 通过对 TSV 电迁移结构的实测, 共发现 4 种失效模式:

a) 在高温高电流密度 ($150\ ^\circ\text{C}$ 、 $1 \times 10^6\ \text{A}/\text{cm}^2$) 的测试条件下, 发生蓄水效应, RDL 发生断裂, RDL 先于 TSV 孔失效。

b) 在保持环境温度 $150\ ^\circ\text{C}$ 不变, 降低电流密度为 $4 \times 10^5\ \text{A}/\text{cm}^2$ 的情况下, RDL 出现电迁移现象, 出现小丘和空洞。且当 TSV 制备过程中存在较小

的孔洞或缺陷时，电迁移会进一步扩大孔洞或缺陷的尺寸。

c) 出现电迁移失效后，在某些样品中发生 PI 绝缘层/Cu 界面分层以及 Cu 层开裂现象，且 TSV 中发现孔内铜晶粒凹陷现象。

d) 在 150°C 的高温环境下长期进行测试时，TSV 测试结构与测试板之间焊点会出现融化，IMC 增厚，且焊料中出现大量孔洞，导致结构电阻突然上升，发生电迁移失效。

图 4.22 和图 4.23 中显示的是 TSV 测试结构中出现上面所述的几种电迁移失效模式的典型 X-ray 照片，其中，图 4.22 所示是由于蓄水池效应，与 TSV 连接位置的 RDL 先于 TSV 出现电迁移缺陷从而出现断裂失效的示意图，图 4.23 中显示了测试过程中的其他几种典型电迁移失效模式，其中当 RDL 发生电迁移现象时除了断裂还容易形成孔洞和小丘。此外当 TSV 本身有缺陷时，经过大电流后也会发生孔内铜晶粒凹陷现象，进一步扩大孔洞，导致更严峻的可靠性问题，而图 4.23 的右下角小图显示焊料也是容易产生电迁移的位置，它由于在长时间的高温下转化为金属间化合物而产生大量孔洞。

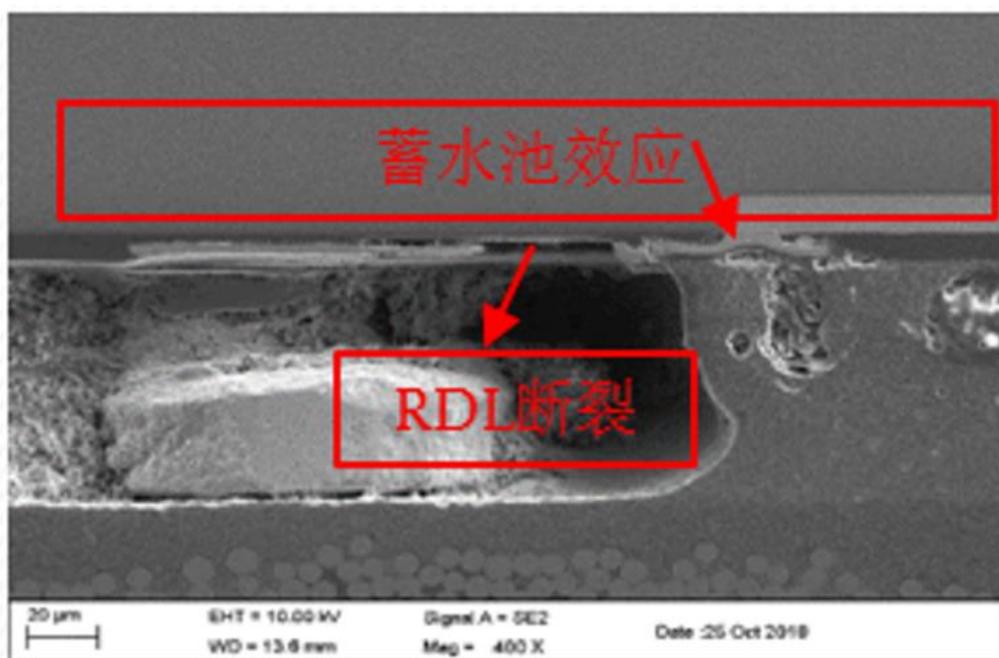


图 4.22 TSV 结构电迁移实测中 RDL 断裂模式的照片

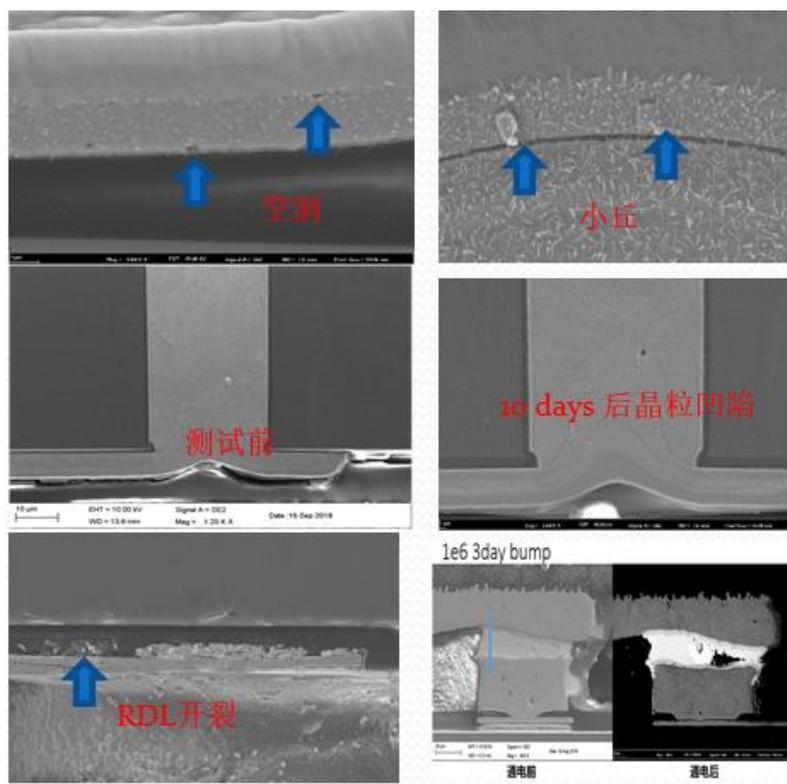


图 4.23 TSV 电迁移测试结构其余几种典型失效模式，包括 RDL 内部的小丘和孔洞现象，TSV 孔内的晶粒凹陷，焊料的孔洞现象

4.2.3.3 电迁移缺陷对 TSV 结构高频传输特性的影响

基于上小节 TSV 结构的电迁移实测，电迁移现象会在关键互连线路中引入各类缺陷，当出现 RDL 和焊点断裂等问题时主要表现是信号的传输通路受到影响。因此，本节采用仿真的方法研究各类缺陷产生时对高频电学信号传输的影响。这些缺陷的类型主要根据实测电迁移结构的几种失效模式，包含 RDL 和 PI 的分层，RDL 的部分熔断以及 TSV 内部的孔洞。用来研究电迁移缺陷对电学性能影响的高频传输结构为 2.1.4 节中提出的共面波导形式 TSV 优化结构，由于实际转接板工艺中采用 $200\ \mu\text{m}$ 厚的转接板和 10 比 1 的深宽比，所以本小节的所有 TSV 传输结构仿真模型中的 TSV 直径为 $20\ \mu\text{m}$ 。

(1) TSV 球型孔洞对传输特性的影响

a) 通过在信号属性的 TSV 中设置球型孔洞，并调整孔洞的直径和位置做参数扫描仿真，基于仿真结果分析此种类型电迁移缺陷对高频传输特性的影响，仿真模型如图 4.24 所示，球型孔洞的直径以 $2\ \mu\text{m}$ 为间隔依次取 $2\ \mu\text{m}$ 到 $16\ \mu\text{m}$

μm 共 8 个值，孔洞相对 TSV 的中心在 Z 方向的偏移量依次取 $-93.5 \mu\text{m}$ ， $0 \mu\text{m}$ 和 $93.5 \mu\text{m}$ 。

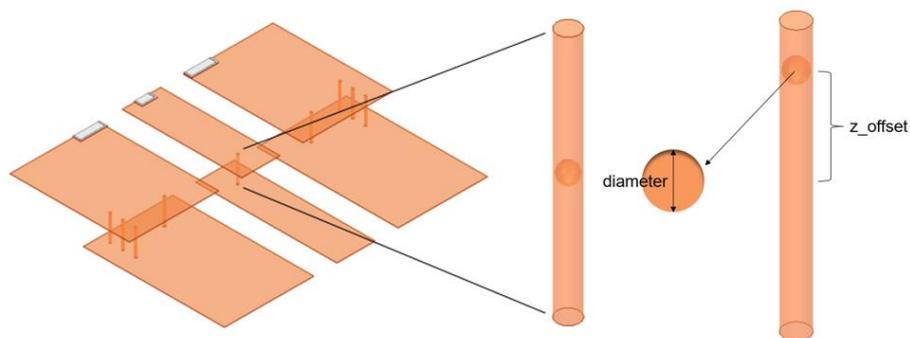


图 4.24 信号属性 TSV 中埋入球形孔洞示意图

当信号属性的 TSV 中存在不同位置不同大小的球型孔洞时，仿真出的 S_{21} 参数特性如图 4.25 (a) 所示，将存在球型孔洞的 S_{21} 参数仿真值与不存在缺陷时 TSV 传输结构的仿真值对比，评估该球型孔洞对 TSV 结构高频传输特性的影响，对比图如图 4.25 (b) 所示。

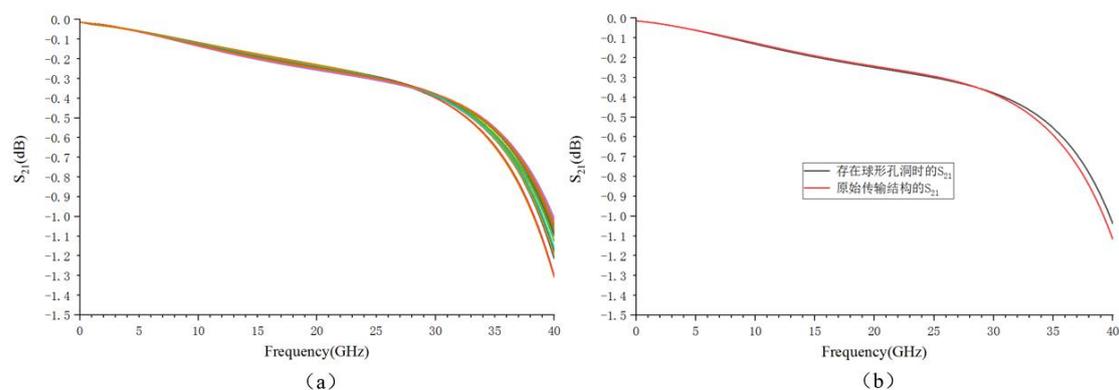


图 4.25 信号属性 TSV 中存在球形孔洞时 S_{21} 的仿真结果 (a) 孔洞位置和大小不同时各模型 S_{21} 仿真结果；(b) 存在孔洞的结构与原始传输结构的 S_{21} 仿真结果对比

结合仿真结果图分析得到，当 TSV 传输结构仅在信号属性的 TSV 内部出现电迁移球型孔洞时，其电学性能基本不受影响，且孔洞的大小和位置也基本不会影响该结构的高频传输特性。

b) 由于仅在信号属性的 TSV 中存在球型孔洞时，孔洞对 TSV 结构的传输性能几乎无影响，因此为了加深电迁移缺陷的程度，在该结构的所有 TSV 中设置球型孔洞，并调整孔洞的直径和位置做参数扫描仿真，参数取值和上一组仿

真设置相同，仿真模型示意图如图 4.26 所示。不同孔洞尺寸和位置情况下 S_{21} 的仿真结果和孔洞存在与否时 S_{21} 的对比分别如图 4.27 (a) 和 (b) 所示。

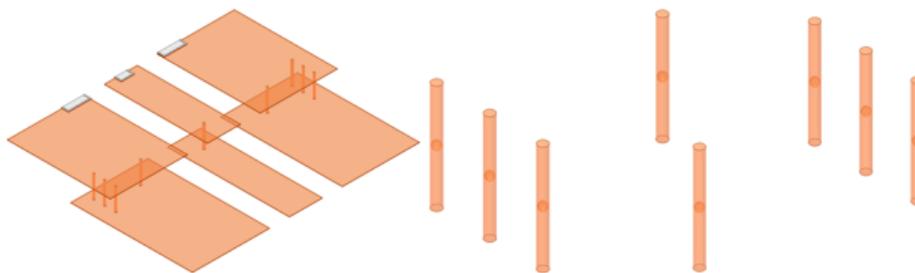


图 4.26 在所有 TSV 中设置球形孔洞的仿真模型示意图

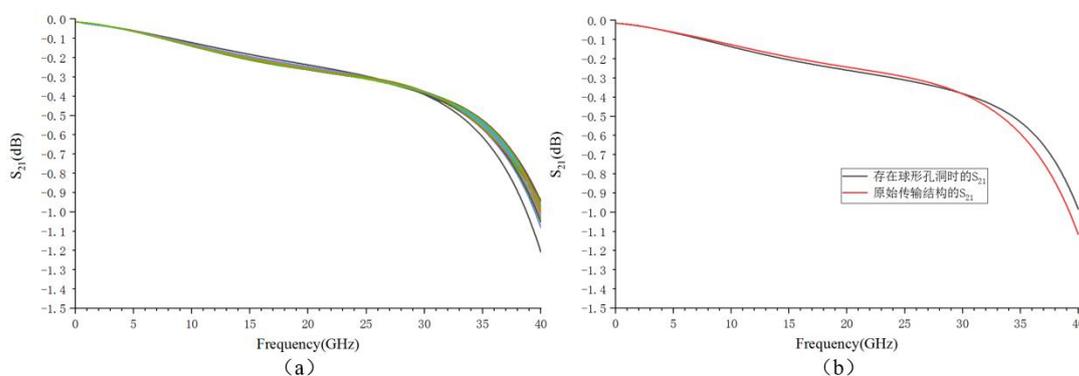


图 4.27 所有 TSV 中存在球形孔洞时 S_{21} 的仿真结果 (a) 孔洞位置和大小不同时，各模型 S_{21} 仿真结果；(b) 存在孔洞的结构与原始传输结构的 S_{21} 仿真结果对比

由上面的仿真结果可知，当 TSV 结构中所有 TSV 内部出现电迁移球形孔洞时，TSV 传输结构的电学性能基本不受影响，且孔洞的大小和位置也基本不会影响该结构的高频传输特性。

(2) TSV 上方 PI 分层对传输特性的影响

TSV 结构电迁移实测的失效模式中存在 PI 与 RDL 分层这种形式，因此分为在信号属性 TSV 上方的 PI 绝缘层中设置裂隙和在所有 TSV 上方的 PI 层中设置裂隙两种情况研究 PI 分层对传输性能的影响。

a) 在信号属性的 TSV 正上方的 PI 中设置方形裂隙，并调整裂隙的厚度和尺寸做参数扫描仿真，仿真结构示意图如图 4.28 所示。裂隙厚度依次取 $1\ \mu\text{m}$ ， $2\ \mu\text{m}$ 和 $3\ \mu\text{m}$ ，裂隙尺寸以 $10\ \mu\text{m}$ 为间隔依次取 $10\ \mu\text{m}$ 到 $60\ \mu\text{m}$ 共 6 个值。不同裂隙尺寸和厚度情况下 S_{21} 特性的仿真结果和 PI 绝缘层中裂隙存在与否时 S_{21}

特性的对比分别如图 4.29 (a) 和 (b) 所示。

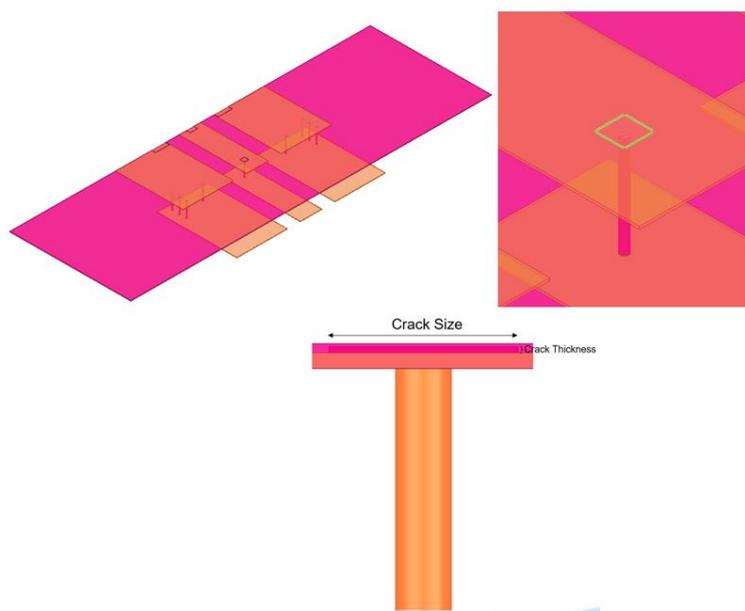


图 4.28 信号属性的 TSV 正上方 PI 中设置方形裂隙示意图

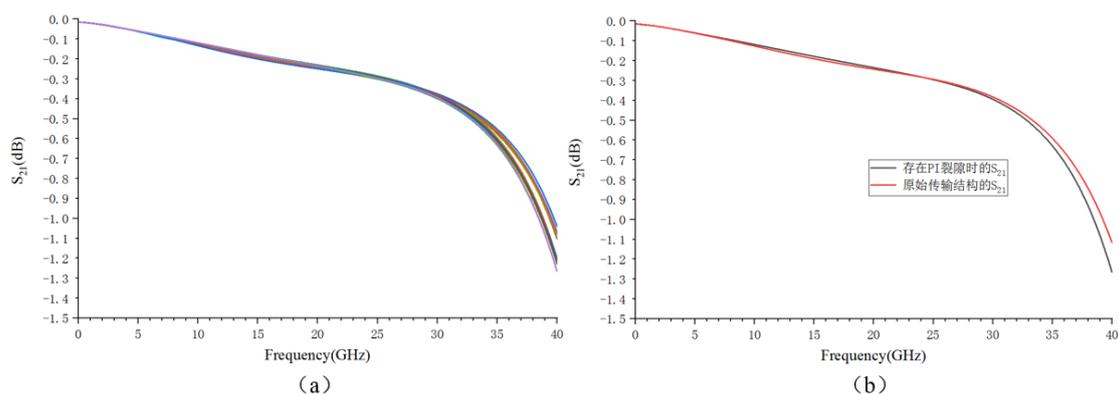


图 4.29 信号属性 TSV 上方 PI 层存在方形裂隙时 S_{21} 的仿真结果 (a) 裂隙厚度和尺寸不同时, 各模型 S_{21} 仿真结果; (b) 存在裂隙的结构与原始传输结构的 S_{21} 仿真结果对比

b) 在所有 TSV 正上方的 PI 中设置方形裂隙, 并调整裂隙的厚度和大小做参数扫描仿真, 研究 PI 裂隙对 TSV 结构高频传输性能的影响, 仿真模型如图 4.30 所示, 不同裂隙尺寸和厚度情况下 S_{21} 特性的仿真结果和 PI 绝缘层中裂隙存在与否时 S_{21} 特性的对比分别如图 4.31 (a) 和 (b) 所示。

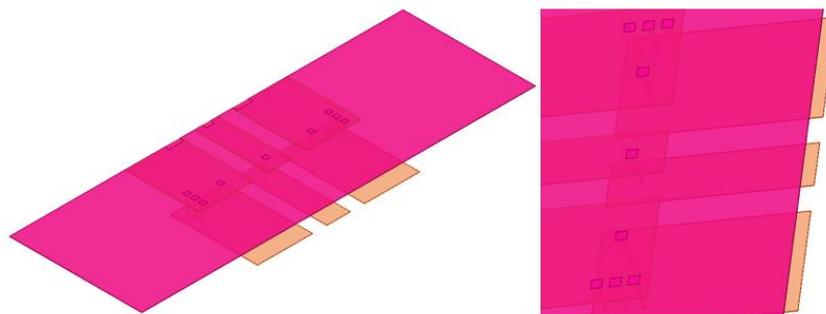


图 4.30 在所有 TSV 正上方 PI 层中设置方形裂隙示意图

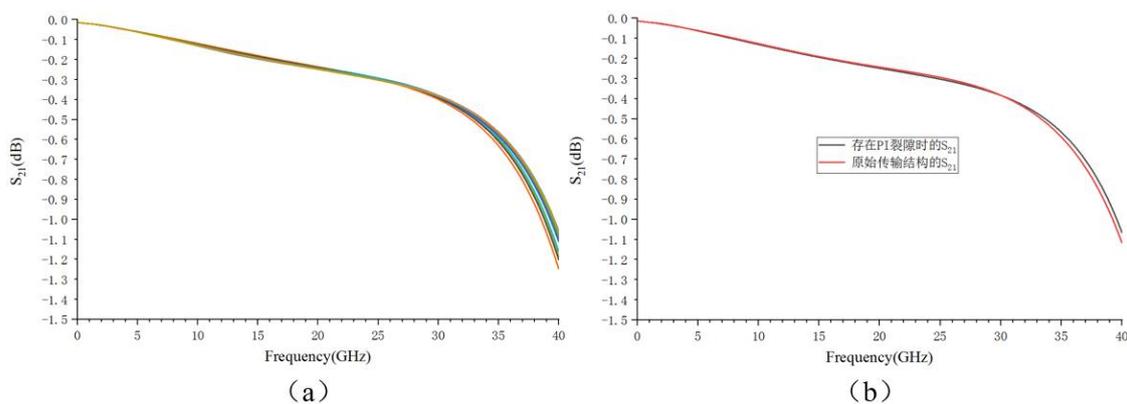


图 4.31 所有 TSV 上方 PI 层存在方形裂隙时 S_{21} 的仿真结果 (a) 裂隙厚度和尺寸不同时各模型 S_{21} 仿真结果; (b) 存在裂隙的结构与原始传输结构的 S_{21} 仿真结果对比

由上面的各仿真结果可知, 当 TSV 结构在 TSV 上方的 PI 出现分层缺陷时, 无论这些缺陷是单独出现还是大量出现, TSV 传输结构的电学性能基本不受影响, 且 PI 绝缘层中缺陷的尺寸和厚度也基本不影响该结构的高频传输特性。

(3) RDL 部分断裂对传输特性的影响

与前面的不同类型缺陷对 TSV 结构传输性能影响的研究相同, 分别在信号属性的 TSV 和所有 TSV 正上方一侧的 RDL 中设置方形裂隙, 并调整裂隙的厚度和尺寸做参数扫描仿真。裂隙厚度依次取值为 1 到 5 μm , 尺寸以 10 μm 为间隔依次取 10 μm 到 60 μm 共 6 个值。

a) 在信号属性的 TSV 正上方一侧的 RDL 中设置方形裂隙, 并调整裂隙的厚度和尺寸做参数扫描仿真。仿真结构示意图如图 4.32 所示。不同裂隙尺寸和厚度情况下 S_{21} 特性的仿真结果和 RDL 中裂隙存在与否时 S_{21} 特性的对比分别

如图 4.33 (a) 和 (b) 所示。

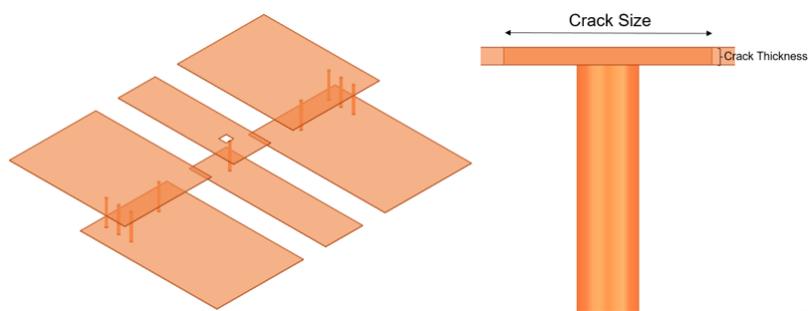


图 4.32 信号属性的 TSV 正上方一侧的 RDL 中设置方形裂隙示意图

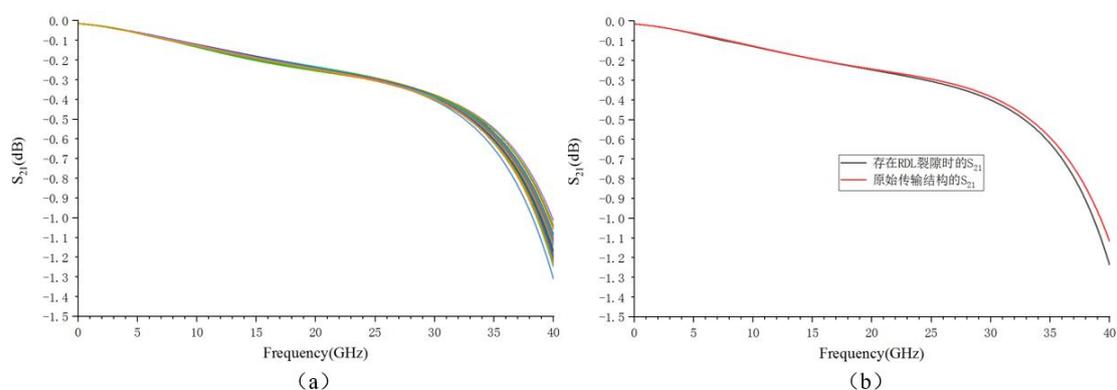


图 4.33 信号属性 TSV 上方 RDL 存在方形裂隙时 S_{21} 的仿真结果 (a) 裂隙厚度和尺寸不同时, 各模型 S_{21} 仿真结果; (b) 存在裂隙的结构与原始传输结构的 S_{21} 仿真结果对比

b) 在所有 TSV 正上方一侧的 RDL 中设置方形裂隙, 并调整裂隙的厚度和尺寸做参数扫描仿真。仿真结构示意图如图 4.34 所示。不同裂隙尺寸和厚度情况下 S_{21} 特性的仿真结果和 RDL 中裂隙存在与否时 S_{21} 特性的对比分别如图 4.35 (a) 和 (b) 所示。

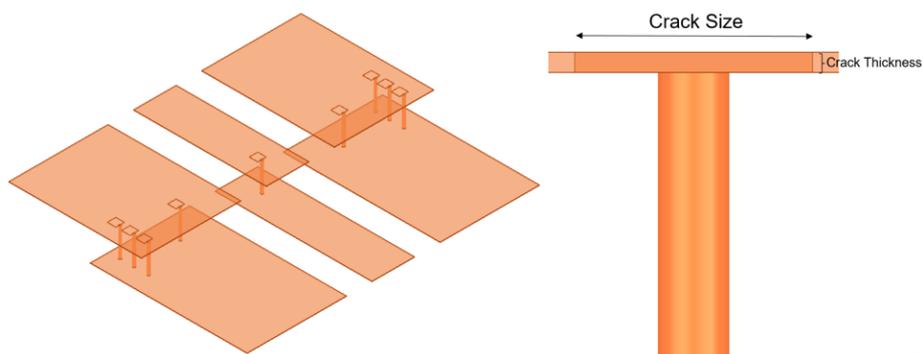


图 4.34 所有 TSV 正上方一侧的 RDL 中设置方形裂隙示意图

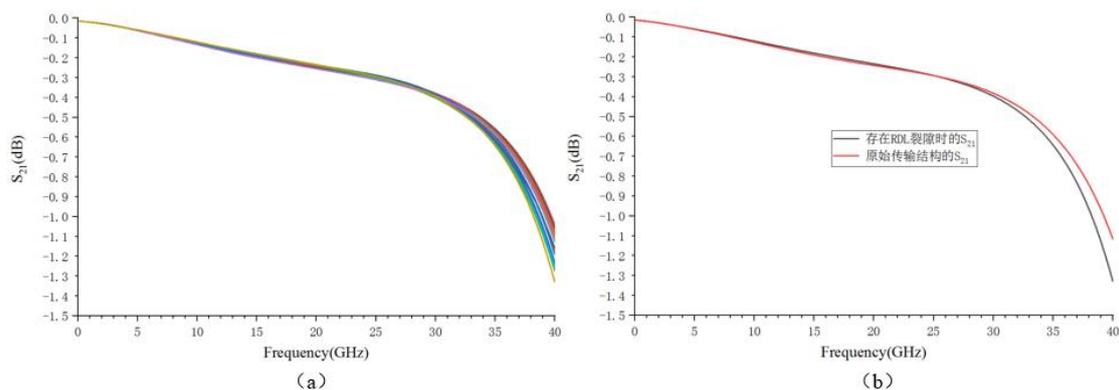


图 4.35 所有 TSV 上方 RDL 存在方形裂隙时 S_{21} 的仿真结果 (a) 裂隙厚度和尺寸不同时, 各模型 S_{21} 仿真结果; (b) 存在裂隙的结构与原始传输结构的 S_{21} 仿真结果对比

由仿真结果可知, 当 TSV 结构在 TSV 上方的 RDL 层出现开裂甚至是断裂时, 无论这些缺陷是单独出现还是大量出现, TSV 传输结构的电学性能基本不受影响, 且 RDL 中的缺陷的大小和厚度也基本不影响该结构的高频传输特性。

综上, 根据电迁移的几种主要失效模式, 本小节采用在仿真模型中设置缺陷的方法对传输结构的高频性能进行了分析。当 TSV 传输结构在 TSV 与 RDL 交界处附近出现 PI 分层或 RDL 断裂以及 TSV 内部有缺陷时, TSV 传输结构的电学性能基本不受影响, 且分层, 断裂和孔洞的大小和位置也基本不会影响该结构的高频传输特性。

4.3 本章小结

本章主要针对硅基叠层封装中存在的热力耦合以及热-力-电耦合现象进行了研究分析, 首先研究了封装回流中的翘曲情况, 且基于此翘曲探究了翘曲引起的结构变化对叠层封装电学性能的影响, 最后还通过理论结合实测的方法研究了体现热-电-力耦合的电迁移现象, 并基于实测结果分析了电迁移对叠层封装中关键结构的电性能影响。本章的研究内容主要分为以下几个方面:

(1) 采用 Ansys APDL 通过对叠层封装结构回流过程中翘曲的仿真, 探讨了不同硅转接板厚度情况下整体封装的翘曲水平, 得到了转接板越厚则回流过程中整体翘曲越小的结论, 且仿真结果中 $200\ \mu\text{m}$ 厚转接板的最大 Z 向翘曲仅为 $0.22\ \mu\text{m}$, 而通过翘曲形貌测试系统的实测, 得到的封装整体结构顶层的最

大相对翘曲为 $22\ \mu\text{m}$ ，虽然两者存在差异，但仿真中没考虑到微组装其他过程引入的翘曲值，而仿真结果与实测的顶层翘曲形貌一致，且实测出的最大翘曲值 $22\ \mu\text{m}$ 在叠层封装实践中也是一个很小的值，通过仿真与实测验证了硅基叠层封装由于 CTE 和芯片匹配等优点从而翘曲很小这一优异的结构力学特性。

(2) 在获得叠层封装的翘曲仿真和实测值后，基于测试结果和仿真软件研究了翘曲导致的金属层间距变化对硅基集成 SIW 带通滤波器性能和 wirebond 结构传输性能的影响，在研究对 SIW 滤波器传输特性影响时，发现了上层转接板背面大面积金属化对滤波器带外抑制这一关键指标的恶化作用，并基于电磁学理论设计了上层转接板背面金属内缩式结构，避免对 SIW 滤波器 CPW 馈入口的影响，采用新结构后仿真值和独立 SIW 滤波器的仿真值相近，且对于 wirebond 结构，翘曲造成上下金属层间距在一定范围内的变化对其传输性能无明显影响。

(3) 基于电迁移理论，设计并实测了一种 TSV 电迁移失效测试结构，通过改变作为电迁移驱动力的重要因素环境温度和电流密度进行实测，得到了 TSV 测试结构电迁移失效的几种典型模式，RDL 断裂，TSV 内部孔洞，PI 绝缘层分层等，并依次基于这些失效模式在 Ansys HFSS 软件中仿真并探究了各类电迁移缺陷对 TSV 结构高频传输性能的影响，获得的结论是，电迁移失效模式中的 TSV 孔洞，PI 分层，RDL 开裂对 TSV 结构在高频传输下的性能影响很小，因此可得电迁移缺陷主要影响 TSV 结构作为直流或电源网络组成部分时的电阻特性。

第 5 章 Ka 波段接收机叠层封装的制备和测试

结合前几章针对叠层封装结构内部多物理场耦合现象的研究，本章实现了 Ka 波段接收机系统的硅基叠层封装，基于该接收机的射频链路完成了转接板 1 上方互联结构的布局，并将第二章中设计制作的硅基集成 SIW 带通滤波器作为接收机射频前端的一部分实现了高集成度封装，而且在转接板 1 上的互联设计过程中提出了补偿 wirebond 结构引入的阻抗不连续的新方法，在工艺方面，介绍了该硅基叠层封装的关键工艺流程和最终的微组装流程，最后对组装完成的 Ka 波段接收机前端叠层封装进行了实测，并对实测结果进行了讨论。

5.1 硅基叠层封装的设计流程

基于前三章的研究内容，在设计硅基叠层射频 SiP 时，需要综合考虑其中存在的多物理场耦合现象，因此，总结出了如图 5.1 所示的一套设计流程。

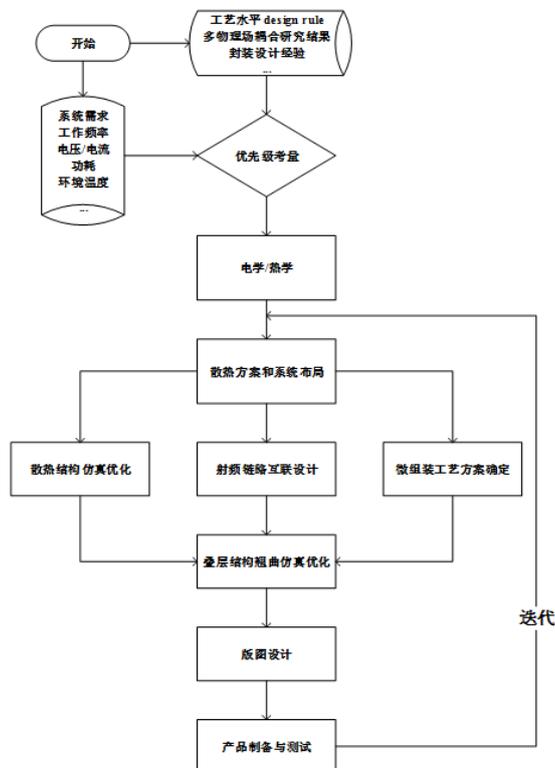


图 5.1 硅基叠层射频 SiP 的设计流程

在该套设计流程中，首先根据工艺平台的工艺水平和设计规则，结合硅基叠层多物理场耦合的研究经验，由所要实现的射频系统的相关指标出发，对射频叠层封装过程中要考虑的难点进行优先级划分，在确定封装系统的设计难点是散热性能或是电学性能以后，通过对系统散热方案的优化或是封装结构中系统的布局来完成初步的设计，接着，综合考量热，电，力三方面的系统性能，对关键散热结构，射频链路中的关键互联进行仿真优化并初步确定微组装工艺方案，再基于微组装工艺方案仿真优化叠层封装系统的翘曲，在确认三方面性能均满足指标后，可以进行各层转接板上的版图设计，并进行封装产品的制备与测试，在测试结果不满足设计指标时，回到整体方案确定的步骤处进行多次迭代直至测试结果满足射频系统设计指标，完成射频叠层封装的设计。

5.2 Ka 波段硅基叠层射频接收机的设计

基于 5.1 节中所述的设计流程，本节主要介绍 Ka 波段硅基叠层接收机封装的设计，设计过程将从接收机系统的介绍，系统中相关芯片的性能实测和 Ka 波段关键互联通路的优化设计这三个方面展开。

5.2.1 Ka 波段接收机射频系统介绍

采用硅基叠层封装方案设计的 Ka 波段接收机系统在前三章中均有过介绍，其系统框图如图 2.1 所示，在这里详细介绍一下，该系统的设计思路和射频信号在系统中的流向。该射频接收机采用常见的超外差式系统架构，在实际的接收机系统封装设计中，由于 Ka 波段的高频率，层间的信号传输结构如 TSV，焊球等会对信号的传输引入极大的传输损耗，因此为了避免这一情况的出现，将 Ka 波段的高频接收机前端全部集成到叠层封装的最底层即转接板 1 上，以双通道接收机的单个通道射频链路为例，转接板 1 上将包含本文第二章中所设计的 Ka 波段 SIW 带通滤波器，两颗 Ka 波段的低噪声放大器芯片，和一块射频输入在 Ka 波段的下变频器芯片。信号的传输路径如下，中心频率为 29.8GHz 的输入 RF 信号经过第一级低噪声放大器的增益进入 SIW 带通滤波器中，通过 SIW 带通滤波器的滤波并再经过第二级低噪声放大器的增益，作为 Ka 波段下变频器芯片的第一个输入，另一侧由系统内部提供的中心频率为

26.8GHz 的本振信号经过功分器衰减 3dB 后，分为两路输出作为下变频器的第二个输入，最终混频产生的中心频率为 3GHz 的中频信号由于频率的大幅降低，在通过层间信号传输结构时遭受的回波损耗极大地减小，可以通过焊球等结构传至上层进行其余的射频信号处理。上层转接板上集成了接收机系统中的中频，基带和数字信号处理的相关芯片。在实际实现时，由于中频和基带频段的芯片以及 Ka 波段的低噪声放大器芯片获取困难，最终仅在转接板 1 上集成了 Ka 波段的功分器芯片和两块无源下变频器芯片，实现了一个简单的 Ka 波段双通道接收机射频前端，在实现该射频前端时，将自行设计并制作的硅基集成 SIW 带通滤波器和 GaAs 工艺制作的下变频器芯片和功分器芯片通过 wirebond 的形式进行互联。而为了研究完整叠层封装工艺流程的可实现性和评估该叠层封装结构在实现完整接收机系统时的翘曲情况，通过硅假片对上层芯片的模拟，实现了四层叠层硅基封装的制作。该 Ka 波段硅基叠层封装的转接板 1 上的射频前端示意图和整体叠层示意图分别如图 5.2、图 5.3 所示。

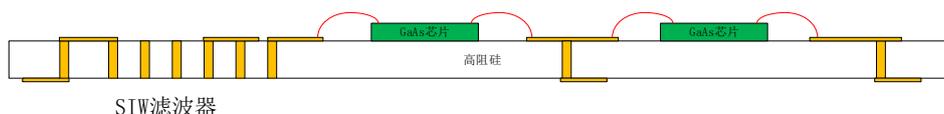


图 5.2 转接板 1 上实现的射频前端示意图

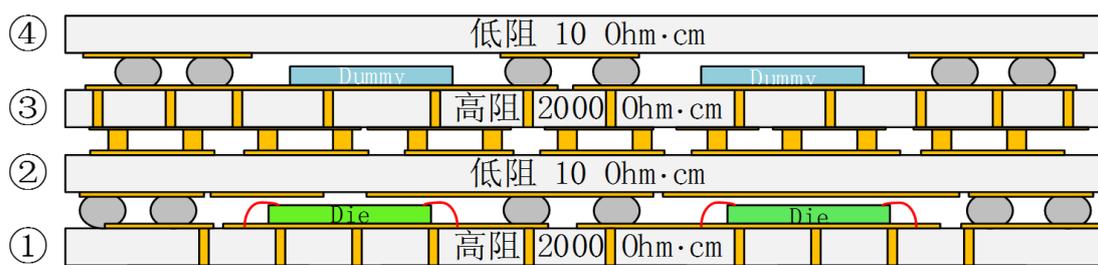


图 5.3 硅基叠层封装整体结构示意图

5.2.2 芯片性能实测

(1) Ka 波段功分器芯片

图 5.4 所示的 Ka 波段功分器芯片由某合作研究所提供。该芯片采用 GaAs 工艺制造，中心工作频率为 26.8 GHz，芯片焊盘为 CPW 形式，如图所示输入焊盘在右侧，两组输出焊盘在左侧，芯片厚度为 125 μm ，在实验室中采用

Cascade 公司的高频探针平台对其进行裸芯片测量，测量结果如图 5.5 所示，由测量结果可以看到，信号插入损耗约为 3 dB，接近功分器的标准插损值。

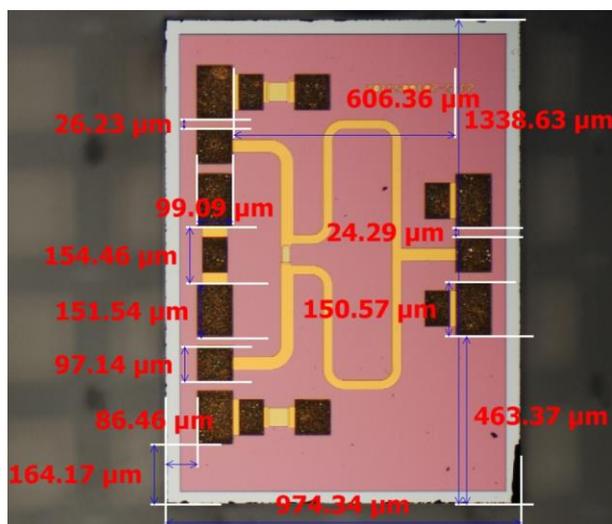


图 5.4 Ka 波段功分器实物图

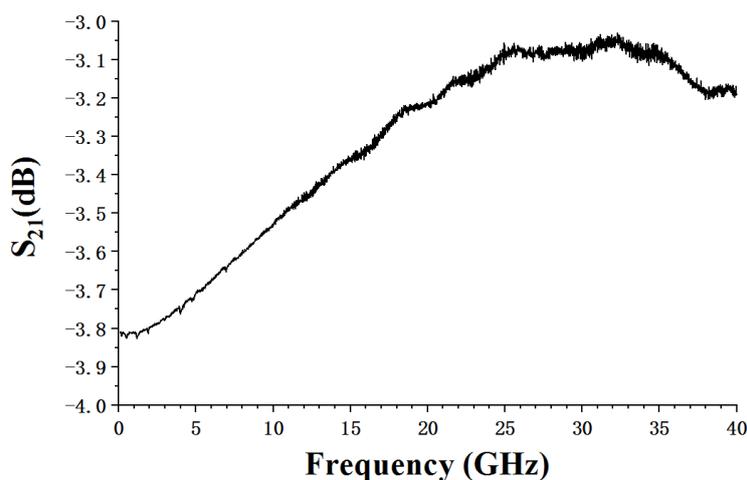


图 5.5 Ka 波段功分器的实测传输效率

(2) 下变频器芯片

图 5.6 所示的下变频器芯片由合作研究所提供。该芯片同样采用 GaAs 工艺制造，两输入端口中心工作频率分别为 29.8 GHz 和 26.8 GHz，前者是其 RF 信号输入频率，后者是其 LO 本振信号输入频率，混频后产生中心频率为 3 GHz 的中频信号。如图 5.6 所示，RF 输入焊盘在左侧，LO 本振输入焊盘在右侧，中频输出焊盘在下方，在实验室中采用 Cascade 公司的高频多探针测试平台对该下变频器芯片进行裸芯片测试，测试结果如图 5.7 所示，由测试结果可以看

出，该 GaAs 工艺下变频器芯片的转换增益在 RF 输入频率范围为 20GHz 至 35GHz 时稳定在 -8.6 dB。

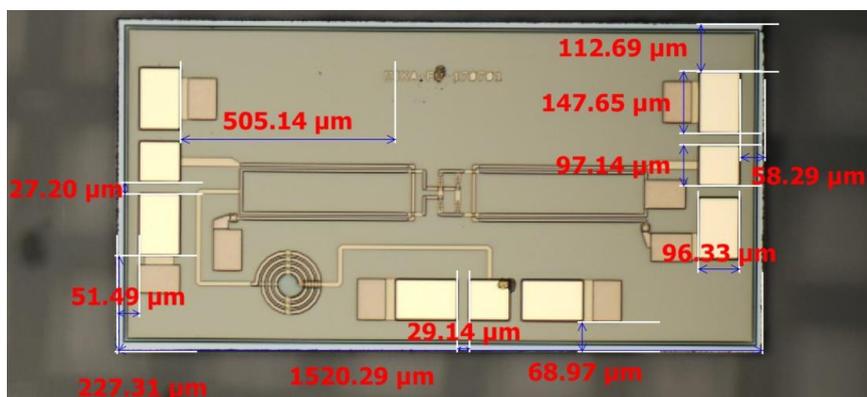


图 5.6 Ka 波段下变频器实物图

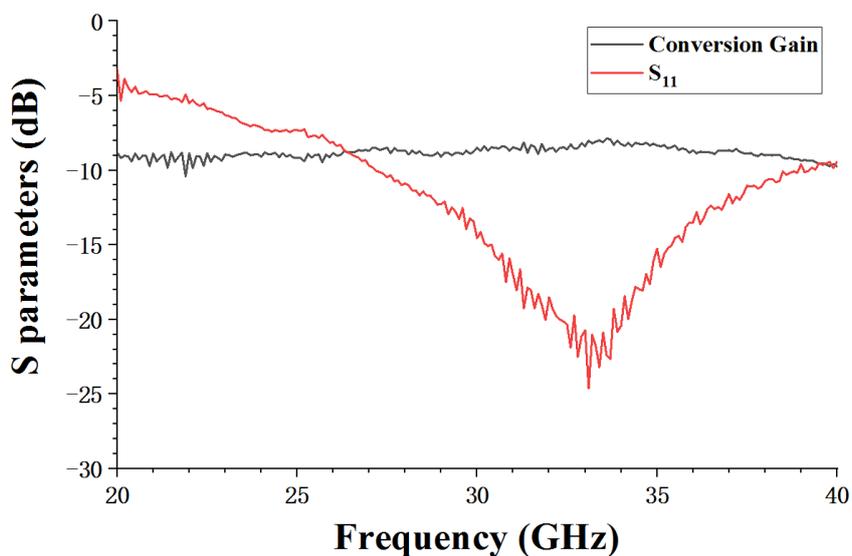


图 5.7 Ka 波段下变频器实测转换增益和射频输入端口的回波损耗

上述两款芯片均通过 wirebond 的形式集成硅基叠层封装中的转接板 1 上，其中，转接板上的 SIW 带通滤波器的 CPW 形式输出馈线直接与下变频器的 RF 输入端通过 wirebond 相接，而功分器的两个输出焊盘通过 wirebond 与转接板上的 RDL 相接，下变频器的本振输入焊盘也通过打线形式与 RDL 连接，最后下变频器的中频输出在通过 wirebond 传至 RDL 上后经过一段匹配好的 50 欧姆 CPW 传输线传至测试焊盘。转接板 1 正面的系统版图如图 5.8 所示。

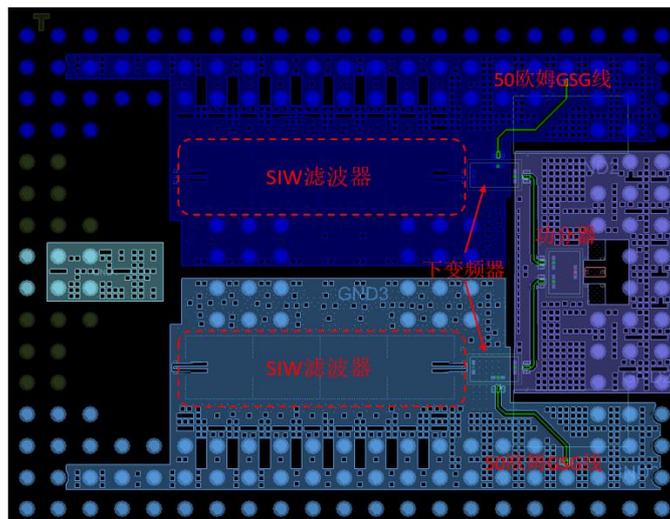


图 5.8 转接板 1 正面 Ka 波段接收机前端的版图

5.2.3 Ka 波段射频前端关键互联通路的传输优化

功分器与下变频器间的信号传输结构模型如图 5.9 所示，由于功分器芯片与下变频器芯片均采用 wirebond 结构与 RDL 连接，在 Ka 波段的高频率下，wirebond 连接结构的电感效应极为明显^[140-145]，会在工作频段内引入恶化传输效率的谐振，使得传输效率在工作频段内迅速衰减，为此，本小节中提出一种阻抗补偿方法来消除谐振点。具体步骤如下：

首先，将该高频传输结构分为三个部分，分别为下变频器芯片加 wirebond（A 部分），功分器芯片加 wirebond（B 部分）以及它们之间的 CPW 传输线（C 部分）。在 Ansys HFSS 软件中分别进行 A 部分和 B 部分模型的 S 参数仿真，并提取 S 参数结果。

其次，将上一步中提取出的 S 参数导入到 ADS 仿真环境的的双端口数据元件模型中，然后将一段 CPW 过渡部分传输线同时添加到导入 A 部分和 B 部分仿真 S 参数的数据元件的一端，并将过渡段传输线的长度设置为参数，添加过渡段以后 ADS 软件中的系统框图如图 5.10 所示，随后对添加的过渡段传输线的长度进行参数扫描仿真，并通过观察史密斯圆图的方式来跟踪传输线过渡段开路一端的输入阻抗。当两个部分的输入阻抗在传输结构工作频带中间的频率处变为纯电阻时，停止对过渡段长度的扫描，并提取出该电阻值。从图 5.11 的史密斯圆图可以看出，当阻抗变换部分的长度为 0.2 mm 时，过渡段传输线开路

端的输入阻抗为 $1.583 \times 50 = 79 \Omega$ ，为纯电阻。

接着，通过添加一段特征阻抗等于该纯电阻（在这个实际例子中为 79Ω ）的传输线，使得这段传输线和两个添加了过渡段的传输结构半模型的输入阻抗相匹配，构建出优化后的完整传输结构。然后在 ADS 中对该优化后的传输系统进行仿真和相关参数的调试。

最后，根据最后一步从 ADS 仿真中获得的参数，在 Ansys HFSS 中修改原始模型。且为了使 HFSS 仿真结果尽可能接近 ADS，对 HFSS 软件中模型的关键参数进行了反复修改，最终达到了优化目标并确定了最终的结构参数。

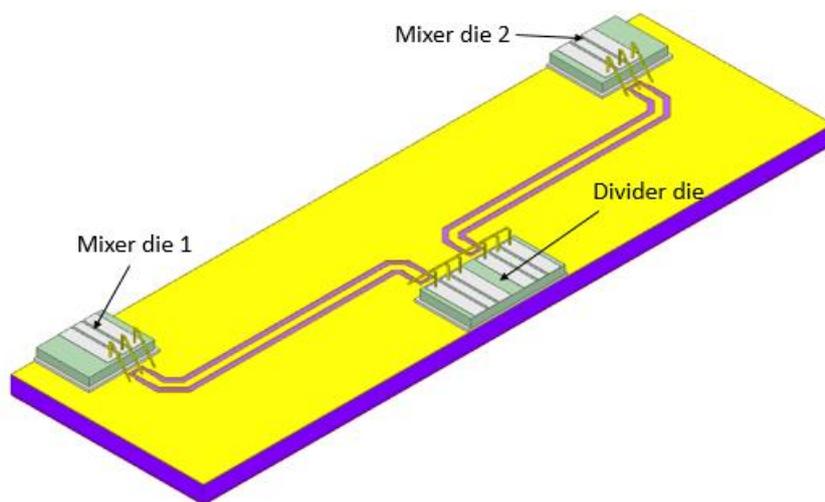


图 5.9 功分器与下变频器间的信号传输结构

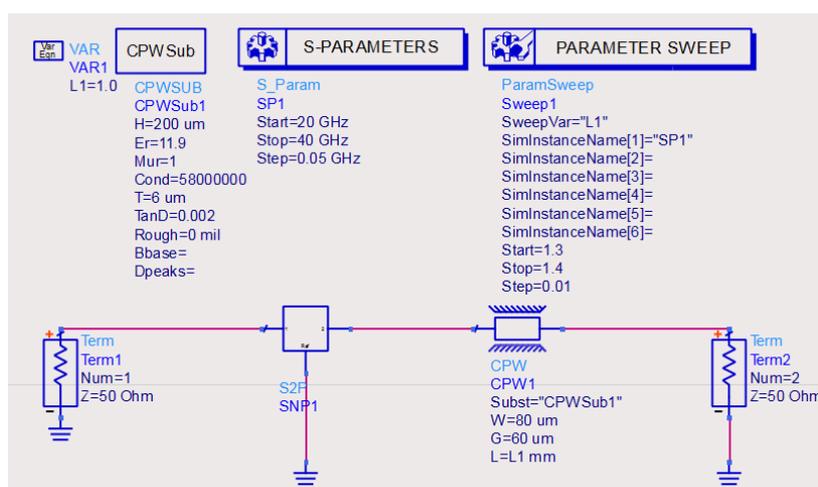


图 5.10 添加过渡段传输线后的芯片加 wirebond 结构的系统框图

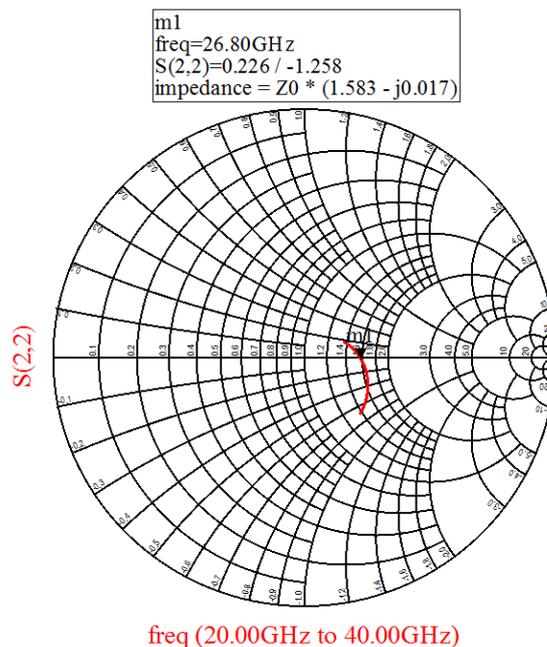


图 5.11 添加过渡段传输线结构的输入阻抗史密斯圆图

采用这一 wirebond 阻抗补偿优化结构前后，该传输结构在 Ansys HFSS 中的 S_{21} 仿真结果对比图如图 5.12 所示，图中黑线为优化后的插入损耗仿真曲线，红线为未优化时的插入损耗仿真曲线。可见，通过采用该优化方法，成功将有可能恶化本振频率 26.8 GHz 处传输性能的谐振点从 33.7 GHz 移至 40 GHz 以外，在从 20 GHz 到 35 GHz 的宽频带内插入损耗均维持在 1 dB 左右。成功保证该传输结构的传输效率不会因为工艺容差等外界因素的影响迅速恶化。

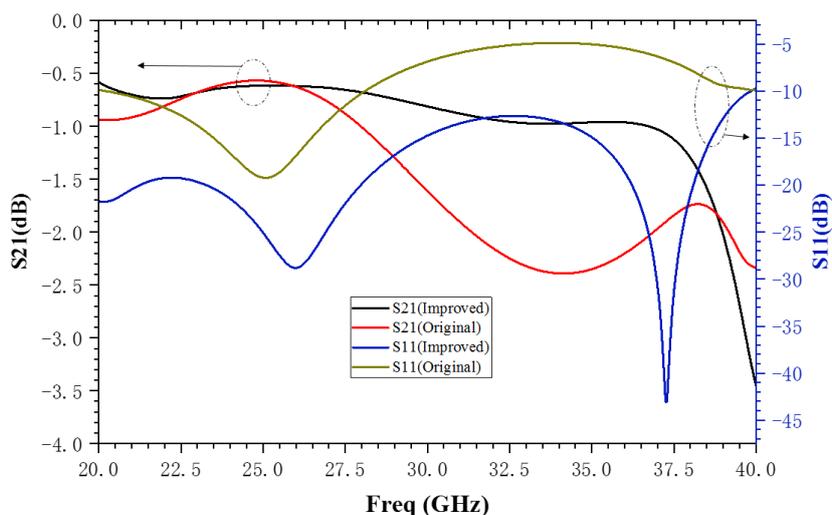


图 5.12 采用优化方法前后，传输结构的插入和回波损耗的仿真结果对比

5.3 硅基叠层射频封装的工艺流程

为了研究完整叠层封装工艺流程的可实现性和评估该叠层封装结构在实现完整接收机系统时的翘曲情况，通过硅假片对 Ka 波段双通道接收机上层芯片的模拟，实现了四层叠层硅基封装的制作。下面分别介绍在四层硅基叠层封装的制作过程中关键的晶圆级 TSV 转接板制造工艺和整个系统的微组装工艺流程。

5.3.1 晶圆级 TSV 转接板制造工艺

在该硅基叠层系统封装中，转接板 1 内部有作为 SIW 滤波器波导侧壁和叠层互联结构的 TSV，而硅基平台的一大好处就是可以实现晶圆级工艺，实现大批量出货，因此，在无锡的华进半导体封装先导技术研发中心有限公司的帮助下，实现了晶圆级 TSV 转接板的制作，工艺流程如图 5.13 所示，共包括 TSV 光刻，TSV 刻蚀，二氧化硅的 PECVD 等多步操作，其中光刻和刻蚀步骤过程中 TSV 结构的透视照片如图 5.14 所示。

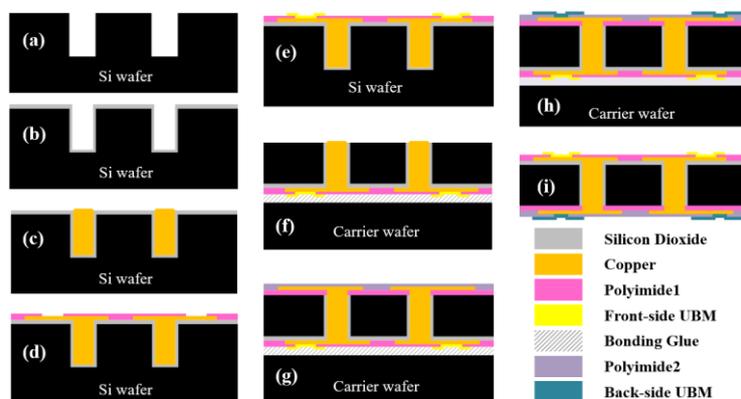


图 5.13 晶圆级 TSV 制作工艺流程图

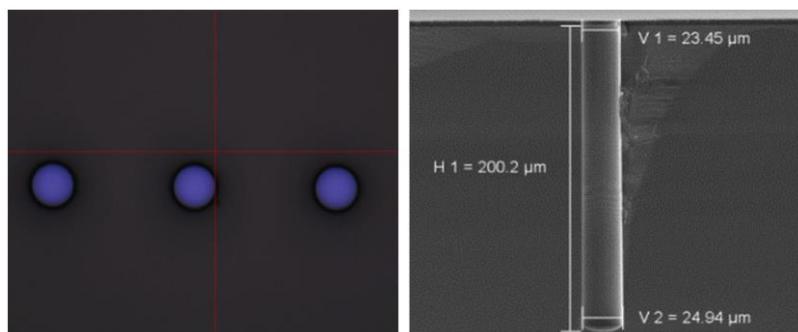


图 5.14 光刻和刻蚀完成后的 TSV 结构透视照片

最终制作完成的晶圆级 TSV 转接板 1 如图 5.15 所示。

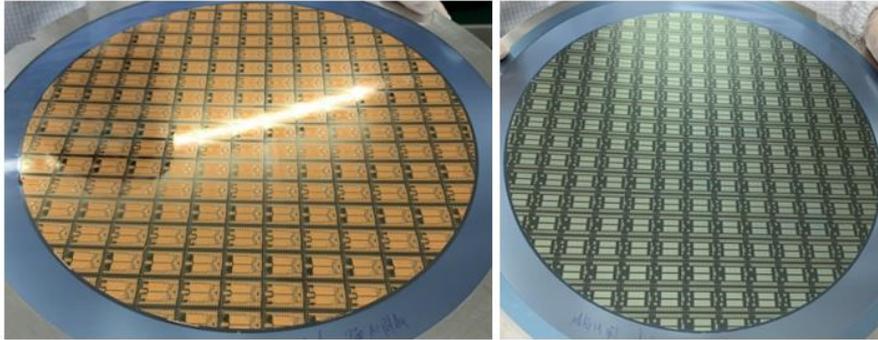


图 5.15 制作完成的晶圆级转接板 1 的正面和背面实拍图

5.3.2 硅基叠层封装的微组装工艺流程

由于硅基叠层封装的整体结构较为复杂且所含芯片较多，在结构力学方面受到的挑战严峻，易产生封装体的翘曲过大，焊球与焊盘焊接处的断裂等可靠性问题^[146-149]，为此需要对叠层封装的整体结构和微组装工艺流程进行优化，为了规避焊球经过多次回流而断开的风险，为该四层硅基叠层封装设计了如图 5.16 所示的微组装工艺流程，封装结构的一二和三四层转接板之间用焊球作为电学和结构连接，二三层转接板之间采用晶圆级工艺制作的铜柱做连接。用来近似中频段和基带芯片的硅假片贴在第三层基板正面。微组装工艺第一步：采用晶圆级工艺分别制作一至四层硅基板，包括基板正面和背面的钝化层，再布线层和 UBM 等，在制作完硅转接板后，第二层和第四层转接板的背面进行晶圆级植球，BGA 焊球直径为 500 μm ，中心间距为 1 mm，而第三层的转接板背面进行晶圆级铜柱电镀，铜柱直径 200 μm ，高度 70 μm ，柱中心距 500 μm 。第二步：将上一步制作完成的晶圆级硅转接板切成单片，将切单后的转接板 3 正面朝下吸附于机台上，并用吸头吸住转接板 2 背面的中心平整区域，将转接板 3 背面的铜柱和转接板 2 正面的 pad 对准并进行回流焊接。第三步：在转接板 3 正面贴装近似低频芯片的 dummy 硅片；第四步：在转接板 1 正面用导电胶贴装下变频器和功分器芯片，并用 wirebond 连接芯片焊盘和 RDL。第五步：将前面步骤完成的四块基板按整体结构堆叠对准，并在回流炉内进行一次回流焊接，完成整个微组装过程。

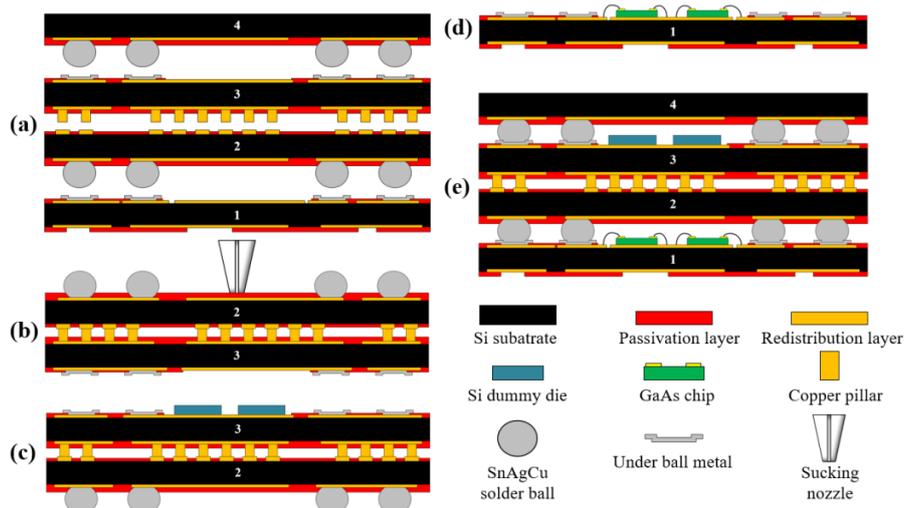


图 5.16 优化设计的 4 层硅基叠层封装的微组装流程

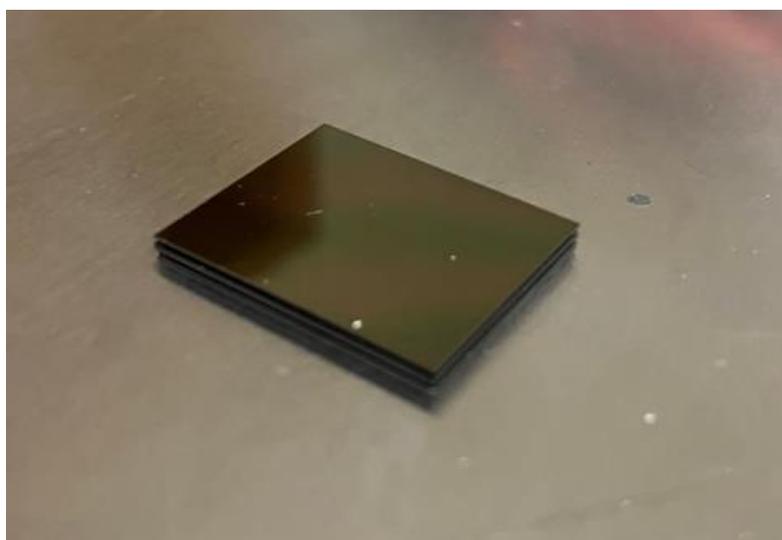


图 5.17 采用优化微组装流程完成制作的四层硅基叠层封装结构实物图

最终制作出的四层硅基叠层封装体如图 5.17 所示。

5.4 Ka 波段接收机前端实测

制作完成的 Ka 波段接收机射频前端实物如图 5.18 所示，图中标出了各芯片和 SIW 带通滤波器在转接板 1 上的位置，并将此射频前端搭载在微电子所高频高压中心的三探针高频测试平台上实测，测试时的各探针操作如下：探针经过校准后，一端口接 SIW 滤波器的输入端，二端口接下变频器的中频输出端，而 26.8 GHz 的本振信号通过罗德施瓦茨公司的高功率信号发生器的输出端口经

过线缆和第三组探针传输到中心工作频率为 26.8GHz 的功分器的输入端口，系统内部的信号传输如前文所述，29.8GHz 的输入信号通过 SIW 带通滤波器滤波后作为下变频器的第一输入，26.8GHz 的本振信号经过功分器衰减后分为两路作为上下两个下变频器的第二输入，而下变频器的输出与 SIW 滤波器输入的信号幅值之比，即矢量网络分析仪二端口的高频电压信号幅值与一端口的高频电压幅值之比即为 Ka 波段接收机前端的转换增益值，测试系统的实拍图如图 5.19 所示，图 5.19 左侧为整体测试系统的搭建图，右侧为实测时三组探针与射频前端测试样品的接触位置近景图。

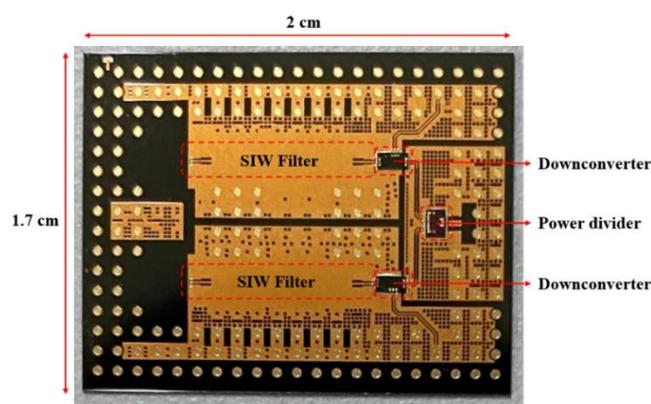


图 5.18 硅基叠层封装转接板 1 上的 Ka 波段接收机射频前端实物图

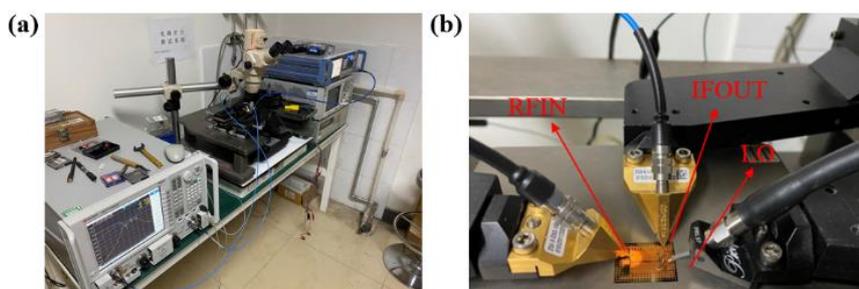


图 5.19 三探针测试系统图 (a) 测试系统远景图；(b) 测试系统 3 探针近景图

该射频前端的实测转换增益如图 5.20 所示，从图中可以看出，整个 Ka 波段射频前端的转换增益为 -13.53 dB；且由于 5.2.2 小节中介绍了变频器的增益为 -8.6 dB 且第二章实测的 SIW 带通滤波器在中心频率 29.8 GHz 处的插入损耗为 3.45 dB，所以射频链路中 RDL 线路和 wirebond 结构引入的损耗为： $13.53 - (8.6 + 3.45) = 1.48$ dB。

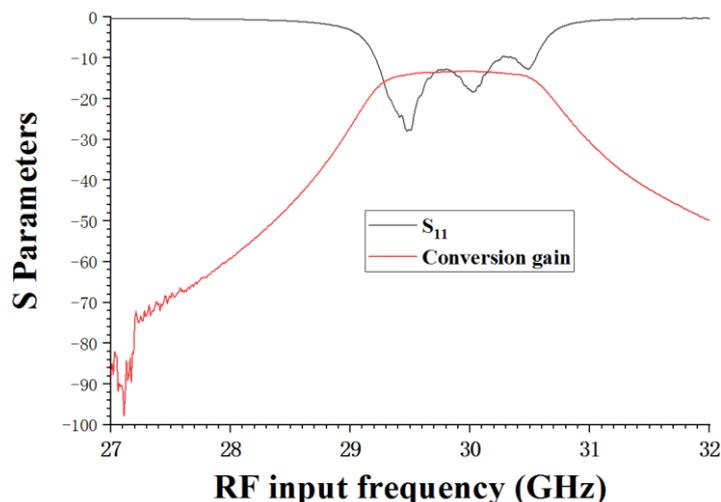


图 5.20 射频前端的实测转换增益和回波损耗

由此可以确认 Ka 波段传输结构优化成功，整体硅基叠层 RF SiP 验证成功。值得一提的是，此链路中由于没有 LNA 有源芯片，因此转换增益小于 0。

5.5 本章小结

本章结合第 2 至 4 章的研究结果，基于硅基叠层封装实现了 Ka 波段双通道接收机的封装，主要研究内容包括下面几个方面：

(1) 基于硅基叠层封装中的多物理场耦合现象研究，提出了一套通过硅基叠层 SiP 实现射频系统封装的设计流程。

(2) 应用设计流程，在缺少 LNA 芯片和低频段工作芯片的情况下实现了 Ka 波段双通道接收机前端的硅基叠层封装，阐明了该硅基叠层射频系统封装的设计思路，在底层转接板上通过贴片打线完成了 SIW 滤波器，GaAs 下变频器和功分器的系统集成，并完成了变频器和功分器芯片的实测，且针对 Ka 波段芯片之间 wirebond 结构引入恶化传输的谐振点这一情况，提出一种优化方法，且仿真结果和后续的实测结果均证实了这一优化方法的实用性。

(3) 为了研究完整硅基叠层封装结构的翘曲和工艺实现性，通过采用硅假片替代的形式，完成了四层硅基叠层封装的实际制作，并介绍了制作过程中的关键晶圆级 TSV 转接板工艺和优化的微组装流程。最后对制作出的 Ka 波段接收机前端进行实测，实测结果显示在无有源芯片的情况下，射频链路转换增益为 -13.53 dB，除去滤波器的带内插损和无源变频器的转换损耗，得到的

wirebond 传输和 RDL 互联结构引入的总插损为 1.48 dB。证实了传输优化方法的实用性，且完成了对硅基叠层方案实现 RF SiP 的实际验证。

第6章 总结与展望

6.1 主要研究内容

本文以 Ka 波段射频接收机系统为应用实例，对硅基叠层射频 SiP 设计中的多物理场耦合现象进行了理论分析和实验研究。研究内容主要包括叠层封装中的硅基集成 SIW 滤波器设计与测试，叠层封装中的热电耦合现象研究，硅基叠层封装中的热-力-电耦合特性研究以及采用硅基叠层方案对该 Ka 波段接收机前端进行实现这四个部分。

(1) 在接收机系统确定的前提下，确定了采用的硅基叠层封装形式，讨论了转接板本身和其中 TSV 结构的相关电学特性，通过在硅基转接板上设计并制作带有 TSV 和不带有 TSV 的典型直流传输通路并采用四探针法实测了通路的电阻值，计算出了硅转接板上一定厚度下 RDL 线条的方块电阻值和单个 TSV 电阻值，其次研究了硅基叠层射频封装中典型传输结构 TSV 的高频传输效率，并针对该结构较差的高频传输性能提出了一种可实现的优化传输结构，通过实际测试数据与仿真数据的对比，验证了优化结构可以在 Ka 频段内有较好的传输效率。最后在硅基转接板内实现了一款用于 Ka 波段射频前端的 SIW 带通滤波器，滤波器中心频率 29.8 GHz，相对带宽为 5%，26.8GHz 时的带外抑制小于 -50 dB。通过使用矩波导等效和耦合系数提取法结合 Ansys HFSS 仿真，在较短的设计周期下完成了滤波器设计，实测结果中心频率处插入损耗为 3.45dB，其余指标均满足系统要求，并讨论了硅转接板上的绝缘材料和硅的体电阻率对滤波器插入损耗特性的影响。

(2) 基于接收机系统研究了叠层封装内部多芯片之间的热耦合现象，根据 Icepak 软件的仿真结果，提取出叠层封装的热阻矩阵，采用热阻矩阵计算的方式研究了封装中不同间距芯片间的热耦合程度，并结合仿真提出了改进系统散热效率可采取减小导电胶厚度的方法，并针对封装体各层转接板覆铜率和对外引脚形式对封装结构散热效果的影响进行了仿真研究，发现均匀的提升金属化程度可提升散热效率，而 LGA 引脚相比于 BGA 焊球而言可使得封装体散热效

率有大幅提升。最后通过测试研究了硅基叠层封装中的热场对关键传输结构 TSV 和 CPW 高频传输线的电学特性影响,随着温度升高,TSV 结构的漏电流增大,且其与温度的相关系数增大,125°C 下的直流漏电约为其他温度时的 2-8 倍;而 CPW 传输线的测试 S 参数通过 matlab 去嵌入算法除去焊盘测试结构的影响,提取出传输线的特征阻抗,衰减常数和相位常数三个关键分布参数并分析了温度场对它们的影响,结果显示温度主要影响传输线的衰减常数,温度越高衰减常数越大且关系成非线性,200°C 时衰减常数为 25°C,75°C 等的 10 倍,且温度恢复后衰减常数未恢复正常,仍达到常温下的 5 倍。

(3) 研究了 Ka 波段接收机硅基叠层封装在回流过程中的翘曲情况,基于仿真分析了不同转接板厚度对封装体翘曲的影响,200 μm , 100 μm , 50 μm 厚的转接板组成的叠层封装结构的翘曲值逐渐增大,但都维持在很小的范围内,200 μm 厚转接板方案下最大仿真翘曲值仅为 0.22 μm ,通过实测,发现封装体的翘曲形貌和仿真结果一致,且最大翘曲值为 22 μm ,尽管和仿真值有差异,但仍远在接受范围之内。接着基于翘曲值的实测结果,研究了叠层封装中翘曲变化对封装中 SIW 滤波器性能和 wirebond 结构传输性能的影响,在上层硅转接板背面大面积覆铜时,会影响到下层 SIW 滤波器的带外抑制性能,为避免这一现象提出了上层转接板背面金属内缩式结构,在带外抑制和电磁屏蔽之间做到了很好的折中。最后,基于电迁移理论,设计并实测了 TSV 电迁移测试结构,根据实测中出现的几种典型失效模型,通过在 TSV 高频传输结构中设置常见的电迁移缺陷并进行仿真,探究了电迁移缺陷对 TSV 结构高频传输性能的影响。结果显示,由于高频电磁场的趋肤效应,电迁移缺陷未能切断表面电流通路所以对高频传输影响很小,而主要影响着 TSV 结构的直流电阻。

(4) 综合前三章对硅基叠层封装中多物理场耦合现象的研究,提出了一套进行叠层射频 SiP 设计时的设计流程,并基于该流程,实现了 Ka 波段双通道接收机前端的硅基叠层封装,该封装在底层转接板上集成了 SIW 带通滤波器,GaAs 工艺制作的下变频器和功分器,为了优化芯片间通过 wirebond 结构进行互联的传输效率,提出了一种对 wirebond 结构进行阻抗补偿优化的方法,并通过仿真和实测验证了该方法的有效性。最后,在测试系统上完成了对该 Ka 波

段接收机射频前端的实测，实测结果显示系统链路在不存在有源芯片的情况下的转换增益为-13.53 dB，通过计算得出所有互联传输结构引入的损耗为 1.48 dB，在 Ka 波段这一高频段下达到要求，验证了硅基叠层封装在实现复杂射频系统中的应用潜力。

6.2 主要创新点

本课题围绕 Ka 波段硅基叠层射频封装中的多物理场耦合现象展开研究，主要有如下几个方面的创新：

(1) 叠层封装内部集成了 Ka 波段 SIW 滤波器，设计过程中采用了全矩形波导滤波器等效法，极大地提升了设计效率（设计时间减少了 96%），且最终滤波器的实测性能达到系统要求，中心频率 29.8GHz，插入损耗 3.46dB，相对带宽 5%，26.8GHz 带外抑制小于-50dB。

(2) 系统地研究了硅基叠层封装中的多物理场耦合现象。针对高功率 RF 系统中可能存在的多热源情况，采用热阻矩阵计算的方式分析不同功耗芯片间的热串扰；考虑了多维度载荷（温度、电压）对 TSV 漏电和 CPW 传输线高频传输特性的影响，在不同温度场下实测了 TSV 漏电和 CPW 传输线的传输效率，并分析了温度对它们的影响。针对射频系统中的大电流应用，基于电迁移缺陷测试结果在关键传输结构中设置相应缺陷并研究了各类型缺陷对电学性能的影响。

(3) 使用晶圆级全硅工艺异质异构集成了 Ka 波段接收机前端，实现了四层硅基叠层的接收机封装。在芯片间互联的设计中，针对高频段下 wirebond 引入的不必要谐振引入了阻抗补偿优化传输结构，最后实测接收机前端的转换增益为-13.53dB（无 LNA），验证了优化传输结构的性能。

6.3 工作展望

在本文所进行的研究基础上，针对硅基叠层射频封装，可以进一步进行以下几个方面的研究：

(1) 针对硅基叠层封装中 SIW 带通滤波器设计研究，为了实现进一步的

硅基封装系统小型化，可以考虑采用其他形式的 SIW 硅谐振腔布局，如折叠式，双模耦合式或是结合 MEMS 工艺实现上下硅腔堆叠式 SIW 滤波器，在研究硅转接板体电阻率对 SIW 滤波器传输效率的影响时，可以结合电磁场理论，综合考虑谐振时硅腔内部的涡流响应等损耗机制，定量分析电阻率对滤波器特性的影响。

(2) 针对温度场作用下的 TSV 直流漏电，可以结合半导体物理学相关原理，并对 TSV 直流漏电结构的漏电路径进行数值积分来构建温度与漏电电流关系的数学模型，研究温度对 CPW 传输线性能的影响时，可通过材料本身特性分析，进行介质材料损耗随温度变化的机制研究。

(3) 针对电迁移缺陷对硅基叠层封装中关键传输结构的影响，还可以进一步设计并实测其他易出现电迁移的关键传输结构，比如通有大电流的电源网络中的 wirebond 线以及叠层间的焊点等，并根据实测的失效模式建立电迁移缺陷结构，仿真分析不同情况下这些缺陷对其直流和高频传输性能的影响。

(4) 针对 Ka 波段接收机叠层封装的实现，可以在进一步获取完整接收机系统中所有芯片的基础上，实现完整的复杂接收机系统的叠层封装，并实测完整射频链路的多项指标，如转换增益，增益压缩点，三阶交调，以及数据传输误码率等，用硅基叠层封装形式实现一个完整的接收机系统，进一步验证该封装形式的优势和潜力。

参考文献

- [1] Geske J, Okuno Y L, Bowers J E, et al. Vertical and lateral heterogeneous integration[C]// American Institute of Physics. American Institute of Physics, 2001:1760-1762.
- [2] Poss R, Lankamp M, Uddin M I, et al. Heterogeneous integration to simplify many-core architecture simulations[C]// Workshop on Rapid Simulation & Performance Evaluation: Methods & Tools. ACM, 2012.
- [3] Gu Q. RF System Design of Transceivers for Wireless Communications[M]. Springer US, 2005.
- [4] Lim K, Pinel S, Davis M F, et al. RF-system-on-package (SOP) for wireless communications[J]. Microwave Magazine IEEE, 2002, 3(1):88-99.
- [5] Tai K L. System-In-Package (SIP): challenges and opportunities[M]. IEEE Computer Society, 2000.
- [6] Kripesh V, Yoon S W, Ganesh V P, et al. Three-Dimensional System-in-Package Using Stacked Silicon Platform Technology[J]. IEEE Transactions on Advanced Packaging, 2005, 28(3):377-386.
- [7] Imanaka Y. Multilayered low temperature cofired ceramics (LTCC) technology[M]. Springer US, 2005.
- [8] Lin M S, Lee J Y, Huang C C. Integrated chip package structure using organic substrate and method of manufacturing the same: US, US7898058 B2[P].
- [9] Lin M S, Lee J Y, Huang C C. Integrated chip package structure using silicon substrate and method of manufacturing the same[J]. US, 2004.
- [10] Jones W K, Liu Y, Gao M. Micro heat pipes in low temperature cofire ceramic (LTCC) substrates[J]. Components & Packaging Technologies IEEE Transactions on, 2003, 26(1):110-115.
- [11] Markov K, Keiler T, Chernyakov A, et al. Thermal Characterisation of LTCC Frontend Modules with Integrated Power Amplifiers for Wireless LAN Application[C]// European Microwave Conference. IEEE, 2007.
- [12] Pinel S, Chakraborty S, Roellig M, et al. 3D integrated LTCC module using /spl mu/BGA technology for compact C-band RF front-end module[C]// International Microwave Symposium Digest. IEEE, 2002.
- [13] Miao M, Fang R, Zhang X, et al. Micromachined cavity-based bandpass filter and suspended planar slow-wave structure for vacuum-microelectronic millimeter-wave/THz microsystem embedded in LTCC packaging substrates[J]. 2015, IEEE 65TH Electronic Components and Technology Conference (ECTC).
- [14] Yeo S K, Chun J H, Kwon Y S. A 3-D X-Band T/R Module Package With an Anodized Aluminum Multilayer Substrate for Phased Array Radar Applications[J]. IEEE Transactions

- on Advanced Packaging, 2010, 33(4):883-891.
- [15] Sun X, Wan L, Yuan L. Fabrication and reliability evaluation of a novel package-on-package (PoP) structure based on organic substrate[C]// Electronic Components & Technology Conference. IEEE, 2014.
- [16] Lin haozhen, Zheng Kuiyi, Jin Zhixian, et al. Thermal Performance Analysis for Cu Block and Dense Via-cluster Design of Organic Substrate in Package-On-Package[J]. Journal of the Institute of Microelectronics and Packaging, 2017, 24.
- [17] Technologies I Q. Qualcomm RF360 Front End Solution Enables Single, Global LTE Design for Next-Generation Mobile Devices.
- [18] Tang J , Ding X , Geng F , et al. Wafer-level multilayer integration of RF passives with thick BCB/metal interlayer connection in silicon-based SiP[J]. Microsystem Technologies, 2012.
- [19] Luo M, Xiao Q, Lu Q, et al. A Compact RF Front-End SiP Using Silicon-Based Integrated Passive Devices[C]// 2018 International Conference on Microwave and Millimeter Wave Technology (ICMMT). 2018.
- [20] Jackson T L, Murphy T E. Methods of fabrication of semiconductor dice having back side redistribution layer accessed using through-silicon vias and assemblies thereof[J]. US, 2005.
- [21] 陆楠. 赛灵思异构 3D 技术详解[J]. 电子设计技术, 2012.
- [22] Lamy Y , Bouayadi O E , Ferrandon C , et al. MmW characterization of wafer level passivation for 3D silicon interposer[C]// Electronic Components & Technology Conference. IEEE, 2013.
- [23] Lamy Y, Dussopt L, Bouayadi O E, et al. A compact 3D silicon interposer package with integrated antenna for 60GHz wireless applications[C]// 3D Systems Integration Conference (3DIC), 2013 IEEE International. IEEE, 2013.
- [24] Dussopt L, Lamy Y, Joblot S, et al. Silicon interposer with integrated antenna array for millimeter-wave short-range communications[C]// Microwave Symposium Digest. IEEE, 2012.
- [25] 李秀清. 高密度三维封装技术[J]. 半导体情报, 1998(6):25-31.
- [26] Lee J, Smith. 堆叠 PoP 封装:业界新宠背后的故事[J]. 集成电路应用, 2007(8):44-47.
- [27] 杨邦朝, 胡永达. LTCC 技术的现状和发展[J]. 电子元件与材料, 2014, 000(011):5-9,13.
- [28] Radosavljevic G J , Zivanov L D , Smetana W , et al. A Wireless Embedded Resonant Pressure Sensor Fabricated in the Standard LTCC Technology[J]. IEEE Sensors Journal, 2009, 9(12):1956-1962.
- [29] Shea, J. J. Electronic materials and processes handbook, 3rd edition [Book Review][J]. IEEE Electrical Insulation Magazine, 2004, 20(5):45-46.
- [30] Mulln T, Ehrhardt W, Drue K H, et al. Optical-fluidic Sensors in LTCC- technology[C]// International Students & Young Scientists Workshop on Photonics & Microsystems. IEEE, 2007.
- [31] Ionescu C, Svasta P, Marghescu C, et al. The design and improvement of LTCC-based capacitive pressure sensors employing finite element analysis[C]// 2009 European Microelectronics and Packaging Conference. IEEE, 2009.

- [32] Marghescu C , Ionescu C , Svasta P , et al. FE modeling of capacitive pressure sensors realized in LTCC technology[C]// 33rd International Spring Seminar on Electronics Technology, ISSE 2010. IEEE, 2010.
- [33] Hoppener R , Olmen R V , MD Moya, et al. Overview and innovations in LTCC manufacturing for 3D, sensors and MEMS applications[C]// International Symposium on Physics & Technology of Sensors. IEEE, 2012.
- [34] Su Y, Li Q, Lee F C. Design and Evaluation of a High-Frequency LTCC Inductor Substrate for a Three-Dimensional Integrated DC/DC Converter[J]. IEEE Transactions on Power Electronics, 2013, 28(9):4354-4364.
- [35] Sobocinski M, Leinonen M, Juuti J, et al. A piezoelectric active mirror suspension system embedded into low-temperature cofired ceramic[J]. IEEE Trans Ultrason Ferroelectr Freq Control, 2012, 59(9):1990-1995.
- [36] Klumbies H, Partsch U, Goldberg A, et al. Actuators to be integrated in Low Temperature Cofired Ceramics (LTCC) microfluidic systems[C]// International Spring Seminar on Electronics Technology. IEEE Xplore, 2009.
- [37] Zarnik M S, Belavic D. Design study for a thick-film piezoelectric actuator in an LTCC structure[J]. IEEE, 2005:338-345.
- [38] Flssel M, Scheithauer U, Gebhardt S, et al. Robust LTCC/PZT sensor-actuator-module for aluminium die casting [C]// 2009 European Microelectronics and Packaging Conference. IEEE, 2009.
- [39] Karppinen M. High bit-rate optical interconnects on printed wiring board: micro-optics and hybrid integration[J]. VTT Publications, 2008(698):1-62.
- [40] Sunappan V , Periannan A , Meng C K , et al. Process issues and characterization of LTCC substrates[C]// Electronic Components & Technology Conference. IEEE, 2004.
- [41] Birol H, Maeder T, Ryser P. Low temperature co-fired ceramic (LTCC) technology: general processing aspects and fabrication of 3-D structures for micro-fluidic devices[J]. Sintering, 2005.
- [42] Zhou Y, Sun A, Zhou J, et al. A compact multi-channel receiver front-end using SiP integration technology on LTCC substrate for wireless communications[C]// International Conference on Wireless Communications & Signal Processing. IEEE, 2015.
- [43] Bhutani A , Goettel B , Lipp A , et al. Packaging Solution Based on Low-Temperature Cofired Ceramic Technology for Frequencies Beyond 100 GHz[J]. Components, Packaging and Manufacturing Technology, IEEE Transactions on, 2019, 9(5):945-954.
- [44] Karim M F , Guo Y X , Mei S , et al. Integration of SiP-based 60-GHz 4 × 4 antenna array with CMOS OOK transmitter and LNA[J]. IEEE Transactions on Microwave Theory & Techniques, 2011, 59(7):1869-1878.
- [45] Kuo C C, Hsu Y W, Huang W C, et al. Performance Comparison of Flip-Chip-Assembled 5-GHz 0.18- μm CMOS Power Amplifiers on Different Packaging Substrates [J]. Components,

- Packaging and Manufacturing Technology, IEEE Transactions on, 2013, 3(12):2014-2021.
- [46] Miao M, Jin Y, Gan H, et al. Investigation of a unified LTCC-based micromachining and packaging platform for high density/multifunctional microsystem integration[C]// IEEE Electronic Components & Technology Conference. IEEE, 2012.
- [47] Kangasvieri T. Surface-mountable LTCC-SiP module approach for reliable RF and millimetre-wave packaging. 2008.
- [48] Jang J W, Byun J, Hai^{TEL}oung Lee. Compact LTCC band pass filter using high-Q bondwire inductor for RF system-in-package applications[J]. Microwave & Optical Technology Letters, 2010, 51(6):1424-1428.
- [49] Zhu L Z, Wei X B, Wang P, et al. Compact LTCC module for WLAN RF front-end[C]// 2011 International Conference on Computational Problem-Solving (ICCP). IEEE, 2011.
- [50] Aliouane S, Kouki A B, Aigner R. Very high-Q solenoid RF inductors for SiP LTCC integration[C]// Microwave Symposium Digest. IEEE, 2011.
- [51] Rusch C, Klein T, Beer S, et al. A Short Distance CW-Radar Sensor at 77 GHz in LTCC for Industrial Applications [J]. Journal of infrared, millimeter and terahertz waves, 2013, 34(12):856-865.
- [52] He S, Huang Z, Wang D, et al. A LTCC-BGA multi-chip packaging technology for MMICs up to Ku-band[C]// 2014 15th International Conference on Electronic Packaging Technology. IEEE, 2014.
- [53] 田民波. 高密度封装基板[M]. 清华大学出版社, 2003.
- [54] 曾小亮. 功能化有机基板材料的制备-结构表征及其性能研究[J]. 2017.
- [55] Pavlidis S, Alexopoulos G, Ulusoy A C, et al. Encapsulated Organic Package Technology for Wideband Integration of Heterogeneous MMICs[J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 65(99):438-448.
- [56] Sitaraman S, Suzuki Y, F Liu, et al. Ultraminiaturized WLAN RF Receiver Module in Thin Organic Substrate[J]. Components, Packaging and Manufacturing Technology, IEEE Transactions on, 2014, 4(8):1276-1283.
- [57] Patterson C E, Khan W T, Ponchak G E, et al. A 60-GHz Active Receiving Switched-Beam Antenna Array With Integrated Butler Matrix and GaAs Amplifiers[J]. IEEE Transactions on Microwave Theory & Techniques, 2012, 60(11):3599-3607.
- [58] Sitaraman S, Suzuki Y, White C, et al. Modeling, design and demonstration of multi-die embedded WLAN RF front-end module with ultra-miniaturized and high-performance passives[C]// 2014 IEEE 64th Electronic Components and Technology Conference (ECTC). IEEE, 2014.
- [59] Suzuki Y, Sitaraman S, Goyal A, et al. Low cost system-in-package module using next generation low loss organic material[C]// Electronic Components & Technology Conference. IEEE, 2012.
- [60] Jow U M, Lai Y J, Weng C L, et al. Functional embedded RF circuits on multi-layer printed

- wiring board (PWB) process[C]// Electronic Components and Technology Conference, 2005. Proceedings. 55th. IEEE, 2005.
- [61] Lee H H, Cheon S J, Cho J H, et al. Fabrication and optimization of organic SIP based FEM for CDMA handset applications[J]. Microwave & Optical Technology Letters, 2006, 48(10):2044-2048.
- [62] Ihm J, Hwang K. RF balun embedded in multilayer organic substrate[J]. Microwave & Optical Technology Letters, 2010, 49(2):473-475.
- [63] Wang L, Wan L. Design of Impedance Matching Network in Organic Substrate with Embedded Capacitor Material for SIP Application[J]. 集成所科研产出, 2010:866 - 869.
- [64] Sankaran N. Electromagnetic coupling in multilayer thin-film organic packages with chip-last embedded actives[J]. Dissertations & Theses - Gradworks, 2011.
- [65] Suematsu N, Yoshida S, Tanifuji S, et al. A 60GHz-Band 3-Dimensional System-in-Package Transmitter Module with Integrated Antenna[J]. Ieice Trans Electron, 2012, 95(7):1141-1146.
- [66] Yi H, Liu F, Peng W, et al. Design and implementation of two different RF SiPs for micro base station. 2014 IEEE 16th Electronics Packaging Technology Conference (EPTC). IEEE, 2014.
- [67] Tan C S, Chen K N, Koester S J. 3D Integration for VLSI Systems[J]. Pan Stanford Publishing, 2011.
- [68] Lau, John H. Through-Silicon Vias for 3D Integration[J]. 科学出版社, 2012.
- [69] Trapp F V. European Trends in 2.5 and 3D[J]. Advancing microelectronics, 2014.
- [70] Zhang X , Lin J K , Wickramanayaka S , et al. Heterogeneous 2.5D integration on through silicon interposer[J]. Applied Physics Reviews, 2015, 2(2):021308.
- [71] William S. Semiconductive wafer and method of making the same[J]. US, 1962.
- [72] Lau J, 刘汉诚, 曹立强, et al. Through-silicon vias for 3D integration[M]. 科学出版社, 2014.
- [73] 罗江波. 高性能硅转接板的系统设计及集成制造方法研究[D]. 上海交通大学, 2019.
- [74] Katti G, Ho S W, Yu L H, et al. Fabrication and Assembly of Cu-RDL-Based 2.5-D Low-Cost Through Silicon Interposer (LC-TSI) [J]. IEEE Design & Test, 2015, 32(4):23-31.
- [75] LEE H, CHOI Y S, SONG E, et al. Power Delivery Network Design for 3D SIP Integrated over Silicon Interposer Platform; proceedings of the Electronic Components and Technology Conference, 2007 ECTC '07 Proceedings 57th, F, 2007 [C].
- [76] Lee H, Choi Y S, Song E, et al. Power Delivery Network Design for 3D SIP Integrated over Silicon Interposer Platform[C]// Electronic Components and Technology Conference, 2007. ECTC '07. Proceedings. 57th. IEEE, 2007.
- [77] Lau J H, Tang G Y. Effects of TSVs (through-silicon vias) on thermal performances of 3D IC integration system-in-package (SiP)[J]. Microelectronics Reliability, 2012, 52(11):2660-2669.
- [78] Gu R T , Ho C Y , Li S M , et al. A Layout-Aware Test Methodology for Silicon Interposer in System-in-a-Package[J]. Proceedings of the Asian Test Symposium, 2013.
- [79] Lau, J.H, Lee, C, Zhan, C, et al. Through-Silicon Hole Interposers for 3-D IC Integration[J]. IEEE Transactions on Components Packaging & Manufacturing Technology, 2017, 4(9):1407-

1419.

- [80] Chaware R, Nagarajan K, Ng K, et al. Assembly process integration challenges and reliability assessment of multiple 28nm FPGAs assembled on a Large 65nm passive interposer[C]// 2012 IEEE International Reliability Physics Symposium (IRPS). IEEE, 2012.
- [81] CHACOS, BRAD. Behold the beast: Full AMD Radeon R9 Fury X tech specs and design details revealed[J]. PC World, 2015, 33(7):16-23.
- [82] A Technica. Nvidia Unveils First Pascal Graphics Card, the Monstrous Tesla P100. 2016.
- [83] 刘松. 反击战的尾声:浅析 AMD Radeon RX VEGA[J]. 电脑爱好者, 2017(18):14-17.
- [84] Zhong W, Li Z, Zeng R, et al. Miniaturized Millimeter-wave silicon-based Transceiver System-in-Package for FMCW Radar[C]// 2018 11th UK-Europe-China Workshop on Millimeter Waves and Terahertz Technologies (UCMMT). IEEE, 2018.
- [85] Kim D W. 3D System-on-Packaging Using Through Silicon Via in SOI for Silicon Photonics Based High-Speed Optical Interconnection of 400 Gbps and Beyond[C]// IEEE 68th Electronic Components and Technology Conference. IEEE, 2018.
- [86] Shi Y, Shao D, Feng W, et al. Silicon Interposer Package for MMIC Heterogeneous Integration Based on Gold/Solder Ball Flip-Chip Technique[J]. Components, Packaging and Manufacturing Technology, IEEE Transactions on, 2019, 9(8):1659-1662.
- [87] Oizono Y, Nabeshima Y, Okumura T, et al. PDN impedance modeling of 3D system-in-package[C]// Electrical Design of Advanced Packaging & Systems Symposium. IEEE, 2012.
- [88] Jourdain A, Buisson T, Phommahaxay A, et al. Integration of TSVs, wafer thinning and backside passivation on full 300mm CMOS wafers for 3D applications[J]. IEEE, 2011.
- [89] Knickerbocker J U, Andry P S, Colgan E, et al. 2.5D and 3D technology challenges and test vehicle demonstrations[C]// Electronic Components & Technology Conference. IEEE, 2012.
- [90] Tsai T C, Tsao W C, Lin W, et al. CMP process development for the via-middle 3D TSV applications at 28 nm technology node[J]. Microelectronic Engineering, 2012, 92(Apr.):29-33.
- [91] Zhan C J, Tzeng P J, Lau J H, et al. Assembly process and reliability assessment of TSV/RDL/IPD interposer with multi-chip-stacking for 3D IC integration SiP[C]// Electronic Components and Technology Conference (ECTC), 2012 IEEE 62nd. IEEE, 2012.
- [92] Cochet K, Mcclary R, Rogoff R, et al. Lithography challenges for 2.5D interposer manufacturing[C]// 2014 IEEE 64th Electronic Components and Technology Conference (ECTC). IEEE, 2014.
- [93] Xu Y, Wang G, Xin S, et al. Study of TSV leakage current and breakdown voltage[C]// International Conference on Electronic Packaging Technology. IEEE, 2014.
- [94] Vos J D, Cherman V, Detalle M, et al. Comparative study of 3D stacked IC and 3D interposer integration: Processing and assembly challenges[C]// 3d Systems Integration Conference. IEEE, 2015.
- [95] Rao C, Wang T, Wang J, et al. Improvement of via dishing and non-uniformity in TSV chemical mechanical planarization[J]. Microelectronic Engineering, 2016, 151(Feb.):38-46.

- [96] Furber S. ARM System-on-Chip Architecture[J]. Network IEEE, 2000, 14(6):4.
- [97] Tummala R R, Madiseti V K. System on chip or system on package?[J]. IEEE Design & Test of Computers, 2002, 16(2):48-56.
- [98] Guo Y, Tapia A, Of N, et al. System-on-Chip Architectures and Design Methodology. 2005.
- [99] Zergainoh N E, Baghdadi A, Jerraya A. Hardware/software codesign of on-chip communication architecture for application-specific multiprocessor system-on-chip[J]. International Journal of Embedded Systems, 2005, 1(1/2):112.
- [100] Patti R S. Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs[J]. Proceedings of the IEEE, 2006, 94(6):1214-1224.
- [101] Sabry Y M, Khalil D. MEMS optical tunable filter based on free-standing subwavelength silicon layers[J]. Proceedings of SPIE - The International Society for Optical Engineering, 2014, 8977(1):89770V-89770V-8.
- [102] Pradhan B, Gupta B. Realization and characterization of surface micromachined tunable band stop CSRR filter using MEMS bridges on silicon substrate[J]. Microelectronic Engineering, 2015, 133:66-72.
- [103] Xi C, Feng L, Ma W, et al. Microwave Band-Pass Filters Based on the Silicon MEMS Cavity Technology[J]. Micronanoelectronic Technology, 2015.
- [104] Koizumi H, Noma A, Tanaka R, et al. A GaAs MMIC chip-set for mobile communications using on-chip ferroelectric capacitors[J]. IEEE Journal of Solid-State Circuits, 1996, 31(6):835-840.
- [105] Scheinberg N R. Low cost monolithic GaAs upconverter chip: US, US5563545 A[P]. 1996.
- [106] Lang M, Wang Z G. 20-40 Gb/s 0.2- μm GaAs HEMT chip set for optical data receiver[J]. IEEE Journal of Solid-State Circuits, 1997, 32(9):1384-1393.
- [107] Wei X, Wu H, Wei H, et al. A 6-10 GHz Multi Function Chip Based on GaAs PHEMT. Semiconductor Technology, 2014.
- [108] Westesson E, Sundstrom L. A complex polynomial predistorter chip in CMOS for baseband or IF linearization of RF power amplifiers. IEEE, 1999, 1:206-209.
- [109] Hollman T, Lindfors S, Lansirinne M, et al. A 2.7-V CMOS dual-mode baseband filter for PDC and WCDMA[J]. IEEE Journal of Solid-State Circuits, 2001, 36(7):1148-1153.
- [110] JinKyung, Kim, JiHoon, et al. A CMOS Baseband Complex Bandpass Filter with a New Automatic Tuning Method for PHS Applications[J]. ITC CICC International Technical Conference on Circuits Systems Computers & Communications, 2006.
- [111] Gatta F, Gomez R, Shin Y, et al. An embedded 65nm CMOS low-IF 48MHz-to-1GHz dual tuner for DOCSIS 3.0[C]// 2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers. IEEE, 2009.
- [112] Kwon I. Low-power design of CMOS baseband analog chain for direct conversion receiver[J]. International Journal of Circuit Theory & Applications, 2010, 38(2):111-122.

- [113] Sicard E. Electromagnetic compatibility of integrated circuits[J]. *Microelectronics Journal*, 2004, 35(6):485-4863.
- [114] Ramdani M , Sicard E , Boyer A , et al. The Electromagnetic Compatibility of Integrated Circuits—Past, Present, and Future[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2009, 51(1):78-100.
- [115] Belopolsky Y. High speed connectors that minimize signal skew and crosstalk: US, US7497735 B2[P]. 2007.
- [116] Bouazza A G, Bouazza B. Crosstalk noise and signal propagation delay analysis in submicron CMOS integrated circuits[C]// *International Conference on Sciences of Electronics*. IEEE, 2013.
- [117] Kim J, Pak J S, Cho J, et al. High-Frequency Scalable Electrical Model and Analysis of a Through Silicon Via (TSV)[J]. *IEEE Transactions on Components Packaging & Manufacturing Technology*, 2011, 1(2):181-195.
- [118] Xu C , Hong L , Suaya R , et al. Compact AC Modeling and Performance Analysis of Through-Silicon Vias in 3-D ICs[J]. *IEEE Transactions on Electron Devices*, 2011, 57(12):3405-3417.
- [119] 周静. TSV 硅基转接板的电学特性机理研究[D]. 中国科学院大学, 2013.
- [120] Bogatin E. *Signal Integrity- Simplified*[M]. Prentice Hall Professional Technical Reference, 2004.
- [121] Yan L, Hong W, Wu K, et al. Investigations on the propagation characteristics of the substrate integrated waveguide based on the method of lines[J]. *Microwaves Antennas & Propagation Iee Proceedings*, 2005, 152(1):35-42.
- [122] Xu F, Wu K. Guided-wave and leakage characteristics of substrate integrated waveguide[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2005.
- [123] Deslandes D, Wu K. Accurate modeling, wave mechanisms, and design considerations of a substrate integrated waveguide[J]. *IEEE Transactions on Microwave Theory & Techniques*, 2006, 54(6):2516-2526.
- [124] Yu L Z, Wei H, Feng X, et al. Analysis of guided-wave problems in substrate integrated waveguides -numerical simulations and experimental results[C]// *International Microwave Symposium Digest*. IEEE, 2003.
- [125] Che W, Deng K, D Wang, et al. Analytical equivalence between substrate-integrated waveguide and rectangular waveguide[J]. *Microwaves Antennas & Propagation Iet*, 2008, 2(1):35-41.
- [126] David K. Cheng, 何业军, 桂良启. *电磁场与电磁波*[M]. 清华大学出版社, 2013.
- [127] Wyndrum. Microwave filters, impedance-matching networks, and coupling structures[J]. *Proceedings of the IEEE*, 1964, 53(7):766-766.
- [128] Hunter I. *Theory and Design of Microwave Filters*[M]. The Institution of Electrical Engineers, 2001.

- [129] Baral R N . Microstrip Filters for RF/Microwave Applications[M]. LAP LAMBERT Academic Publishing, 2010.
- [130] 杨世铭, 陶文铨. 传热学.第4版[M]. 高等教育出版社, 2006.
- [131] 程晓芳. IC 封装技术的发展[J]. 电子世界, 2012, 000(012):73-74.
- [132] Singhal S, Singh A K. Asymmetrically CPW-fed ladder-shaped fractal antenna for UWB applications[J]. Analog Integrated Circuits and Signal Processing, 2017, 92(1).
- [133] Jae, Jin, Lee, et al. Novel GCPW-to-Embedded LTCC Rectangular Waveguide Transition for V-band System-on-Package Applications[J]. ITC-CSCC :International Technical Conference on Circuits Systems, Computers and Communications, 2007:170-171.
- [134] Deluca M R , Cummings R V , Trott K D , et al. Broadband dual polarized slotline feed circuit[J]. US, 2006.
- [135] Pozar D M. Microwave engineering [M]. Publishing House of Elec, 2004.
- [136] Black, J. R. Electromigration—A brief survey and some recent results[J]. IEEE Transactions on Electron Devices, 1969, 16(4):338-347.
- [137] Ho P S, Kwok T. Electromigration in metals[J]. Reports on Progress in Physics, 1999, 52(3):301.
- [138] Tu, K. N. Recent advances on electromigration in very-large-scale-integration of interconnects[J]. Journal of Applied Physics, 2003, 94(9):5451-5473.
- [139] Ames, I, d 'Heurle, et al. Reduction of Electromigration in Aluminum Films by Copper Doping[J]. IBM Journal of Research and Development, 1970.
- [140] Baumann G, Richter H, Baumgartner A, et al. 51 GHz frontend with flip chip and wire bond interconnections from GaAs MMICs to a planar patch antenna[C]// International Microwave Symposium Digest. IEEE, 1995.
- [141] Krems T, Haydl W, Massler H, et al. Millimeter-wave performance of chip interconnections using wire bonding and flip chip[C]// Microwave Symposium Digest, 1996. IEEE MTT-S International. IEEE, 1996.
- [142] Caverly R H. Characteristic Impedance of Integrated Circuit Bond Wires (Short Paper)[J]. IEEE Transactions on Microwave Theory & Techniques, 2003, 34(9):982-984.
- [143] Lim J H, Hwang S W. Analysis of Microwave Resonances in a Wirebond Transition between Conductor-Backed Coplanar Waveguides (CBCPWs)[C]// European Microwave Integrated Circuits Conference. IEEE, 2007.
- [144] Be Er S, Ripka B, Diebold S, et al. Design and measurement of matched wire bond and flip chip interconnects for D-band system-in-package applications. IEEE, 2011:1-4.
- [145] Beer S, Rusch C, Gulan H, et al. An Integrated 122-GHz Antenna Array With Wire Bond Compensation for SMT Radar Sensors[J]. IEEE Transactions on Antennas & Propagation, 2013, 61(12):5976-5983.
- [146] Yamada T, Kinai F, Furuno K, et al. Warpage Analysis of Silicon Wafer in Ingot Slicing by Wire-Saw Machine[C]// Proceedings of The 8th International Conference on Numerical

Methods in Industrial Forming Processes (NUMIFORM 2004), The Ohio State University, Columbus, Ohio (USA), N139, Paper Filed in CD-ROM, pp.1459-1463(2004). American Institute of Physics, 2004.

- [147] Abdelnaby A H , Potirniche G P , Barlow F , et al. Numerical simulation of silicon wafer warpage due to thin film residual stresses[C]// Microelectronics & Electron Devices. IEEE, 2013.
- [148] Kim J H, Chung K. Thermo-mechanical constitutive equations for glass and its numerical formulation for warpage analysis of silicon-glass multilayered structure[J]. International Journal of Plasticity, 2015, 75:204-225.
- [149] Lai C L, Li H Y, Chen A, et al. Silicon Interposer Warpage Study for 2.5D IC without TSV Utilizing Glass Carrier CTE and Passivation Thickness Tuning[C]// Electronic Components & Technology Conference. IEEE, 2016.

附录 Matlab 传输线参数提取程序

```

magS11=10.^(dBS11/20);
magS21=10.^(dBS21/20);
magS12=10.^(dBS12/20);
magS22=10.^(dBS22/20);

realdegreeS11=unwrap(degreeS11/180*pi);
realdegreeS21=unwrap(degreeS21/180*pi);
realdegreeS12=unwrap(degreeS12/180*pi);
realdegreeS22=unwrap(degreeS22/180*pi);

S11=magS11.*(exp(realdegreeS11*i));
S21=magS21.*(exp(realdegreeS21*i));
S12=magS12.*(exp(realdegreeS12*i));
S22=magS22.*(exp(realdegreeS22*i));

for m=1:length(fHz)
S{m}=[S11(m) S12(m);S21(m) S22(m)];
end

for n=1:length(fHz)
Z{n}=50*(eye(2)+S{n})/(eye(2)-S{n});
end

for p=1:length(fHz)
T{p}=[Z{p}(1,1)*Z{p}(2,1)^(-1),Z{p}(1,1)*Z{p}(2,1)^(-1)*Z{p}(2,2)-
Z{p}(2,1);Z{p}(2,1)^(-1),Z{p}(2,1)^(-1)*Z{p}(2,2)];
end

for q=1:length(fHz)
Y(q)=(T{q}(2,2)-T{q}(1,1))/(T{q}(1,2)+T{q}(2,1));
end

```

```

ReY=real(Y);
ImY=imag(Y);
for o=1:length(fHz)
Tt{o}=[1 0;-Y(o) 1]*T{o}*[1 0;Y(o) 1];
end
for h=1:length(fHz)
Zc(h)=(Tt{h}(1,2)/Tt{h}(2,1))^(1/2);
end
for oo=1:length(fHz)
sinhgammal(oo)=Tt{oo}(1,2)/Zc(oo);
end
gammal=asinh(sinhgammal);
alphal=real(gammal);
betal=unwrap(imag(gammal));
beta=betal/l;
alpha=alphal/l;
Ereff=(3*10^8*beta/2/pi./fHz').^2;
ReZc=real(Zc);
ImZc=imag(Zc);
MagZc=abs(Zc);

```

附录 翘曲仿真模型各部分热力学参数

表 A.2.1 翘曲仿真模型各部分热力学参数

模型名称	CTE (ppm/°C)			杨式模量 (GPa)			泊松比			剪切模量 (GPa)		
	X	Y	Z	EX	EY	EZ	XY	YZ	XZ	XY	YZ	XZ
Silicon_Sub	2.8	2.8	2.8	131	131	131	0.28	0.28	0.28			
Silicon_Die	2.8	2.8	2.8	131	131	131	0.28	0.28	0.28			
LGA	48.8	48.8	18	4.3	4.3	53.4	0.37	0.02	0.02	1.6	1.7	1.7
RDL1_1	42.7	42.7	17.6	5.6	5.6	69.1	0.36	0.03	0.03	2.0	2.2	2.2
RDL2_2	46.4	46.4	17.8	4.7	4.7	59.7	0.37	0.02	0.02	1.7	1.9	1.9
RDL2_1	46.6	46.6	17.8	4.7	4.7	59.1	0.37	0.02	0.02	1.7	1.8	1.8
RDL3_2	48.6	48.6	18.0	4.4	4.4	54.0	0.37	0.02	0.02	1.6	1.7	1.7
RDL3_1	44.2	44.2	17.7	5.2	5.2	65.2	0.36	0.02	0.02	1.9	2.0	2.0
RDL4_2	64.0	64.0	24.7	2.7	2.7	11.2	0.38	0.07	0.07	1.0	1.1	1.1
导电胶	72	72	72	0.02	0.02	0.02	0.35	0.35	0.35			
GaAs_Die	5.4	5.4	5.4	85	85	85	0.31	0.31	0.31			
Pillar	16.2	16.2	16.2	110	110	110	0.35	0.35	0.35			
Ball	23	23	23	26.2	26.2	26.2	0.35	0.35	0.35			

表 A.2.2 翘曲仿真中焊球的 Anand 粘塑性模型相关热力学参数

模型名称	S_0 (GPa)	$Q/R(1/K)$	$A(1/S)$	ε	M	h_0 (GPa)	$\hat{\sigma}$ (GPa)	N	a
Ball	0.05	7460	5.87e6	2	0.1	9.4	0.06	0.015	1.5

致 谢

论文结束之际，意味着我在中科院微电子研究所充实而精彩的五年研究生生活即将落幕。此时此刻，我怀着激动的心情表达对许多良师益友的感激之情。

首先要感谢的是我的导师曹立强研究员。本文的撰写是在我的导师曹立强研究员的严格要求和精心指导下完成的。他治学严谨，学识渊博，思维敏捷，视野广阔，为我营造了一种良好的学术氛围；他严以律己、宽以待人的崇高风范，云淡风轻、平易近人的人格魄力，令人倍感温馨。在过去的几年中，他为我提供了优越的平台更为我打开了通往更广阔天地的一扇门。在此，向我的导师曹立强研究员致以最崇高的敬意和最诚挚的感谢。

感谢李君研究员在我的课题研究的整个过程中给予的关心、帮助、支持和细心指导。李老师以其严谨求实的治学态度、高度的敬业精神、雷厉风行的工作作风和大胆创新的进取精神对我产生了深远的影响。她在科研，思想以及生活上给予我的鼓舞、关怀与指导让我一直能以乐观的心态走上博士课题研究的正轨。

感谢苏梅英老师和侯峰泽老师分别在可靠性方面和转接板热学研究方面对我的谆谆教导，他们的指导极大的扩充了我的知识面，让我对结构力学、散热分析，电迁移现象现象等多方面的知识有所了解和掌握，为我能成功完成多物理场耦合的研究打下了牢固的地基。感谢楚姣师妹在热学仿真研究中对我的帮助，和她的交流大大缩短了我学习热学仿真知识的时间，起到了事半功倍的效果。

感谢江苏无锡华进半导体封装先导技术研发中心的范俊老师一丝不苟，严格认真的帮我跟进硅基叠层封装中各块转接板的工艺流程，最终确保了在时间节点前成功完成了样品的制备。在和他的交流中，我加深了对晶圆级硅基工艺的理解，也学到了很多需要多次工艺实践才能知晓的重要经验。

感谢张文雯师姐和朱国鑫师兄能在百忙的工作时间中抽出身来帮由于疫

情原因待在家中的我完成相关测试结构的实测。感谢刘丰满研究员、周云燕副研究员，王启东研究员在工作和学习中对我的悉心指导，和他们的每一次交流都是对我自身的一次提升。

感谢田更新、隗娟、薛梅、陈颖、鲁垚、宗小雪、李志雄、郑奇、元健、陈钊等所有已毕业或还未毕业的九室同学们给予我的支持和富有创造性的建议，感谢你们给我五年研究生生活带来了无限的快乐和美好的回忆。感谢我硕士期间的室友王世海，两年同室的和谐、友好与体贴！

感谢我博士期间的室友兼同窗杨海博，很多个夜里在和他的高谈阔论中我总能暂时放下博士研究的重压，从而以更轻松的态度去迎接面前的挑战。

感谢我的爸爸，妈妈对我多年来学业的充分支持和理解。他们在我成长历程中所给予的悉心照顾、充分的信任和不断的鼓励，给了我奋斗的动力。每当我遇到困难和挫折时，家就是我最温馨的安全港，他们给予我的不遗余力的爱护和家的温暖我无以为报。感谢我的女朋友，你的理解与支持，爱护与鼓励，让我科研更有动力。

最后，感谢我所有的朋友以及所有关心我支持我的人。你们对我的关心和帮助，我都将铭刻在心，永不忘记。

作者简历及攻读学位期间发表的学术论文与研究成果

作者简历:

2012年9月——2016年6月,在北京理工大学信息与电子学院获得学士学位。

2016年9月——2021年6月,在中国科学院微电子研究所攻读博士学位。

已发表(或正式接受)的学术论文:

- [1] **Hanxiang Zhu**, Jun Li, Liqiang Cao, et al. Si-based Ka-band SIW band-pass filter using wafer level manufacturing process[J]. IEICE Electronics Express, 2021, 18 (1): 20200414.
- [2] **Hanxiang Zhu**, Jun Li, Liqiang Cao, et al. Design of a Ka-band receiver front end using Si-based system in package[J]. IEICE Electronics Express, 2021, 18 (8): 20210100.
- [3] **H. Zhu**, J. Li, L. Cao, J. Cao and P. Chen. Design and Simulation of Impedance Matching in RF Wire-bonding Structures[C]// 2020 21st International Conference on Electronic Packaging Technology (ICEPT), 2020.
- [4] J. Chu, J. Li, Y. Zhou, **H. Zhu**, J. Cao and P. Chen. Research on Electrical Characteristics of Multi-chip Itegration for the Fifth-Generation Communication(C)// 2020 21st International Conference on Electronic Packaging Technology (ICEPT), 2020.

参加的研究项目及获奖情况:

- [1] 02 专项高密度三维系统集成技术开发与产品应用 课题 11: 三维系统封装设计与产品导入 (2014ZX02501-011), 经费 5850 万元, 执行周期: 2014.01.01-2018.12.31。
- [2] 联合基金: 叠层型 RF-SiP 多物理场协同分析技术 (U173010085), 经费 65.38 万元, 执行周期: 2018.01.01-2020.12.31。