

密级:



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

应用于短距互连的高速光电系统封装关键技术研究

作者姓名: 何慧敏

指导教师: 曹立强 研究员

学位类别: 工学博士

学科专业: 微电子学与固体电子学

研究所: 中国科学院微电子研究所

2017 年 5 月

**The Key Package Technology Research of High Speed Opto-
electrical Systems Applied in Short Reach Interconnection**

By

Huimin He

A Dissertation Submitted to

The University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of

Doctor of Engineering

Institute of Microelectronics of Chinese Academy of Sciences

May, 2017

中国科学院大学直属院系

研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：

日 期：

中国科学院大学直属院系

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以公布该论文的
全部或部分内容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。
涉密的学位论文在解密后适用本声明。

作者签名：

日 期：

导师签名：

日 期：

摘 要

随着集成电路的飞速发展,芯片处理能力越来越强,对传输速率和传输容量的要求也越来越高。由于电互连在固有损耗、反射及串扰、延时、功耗、成本和重量等方面存在问题,它越来越难以适应发展的需求。而光互连技术具有带宽高、延时低、重量轻等优点,因而具有广泛的市场需求和应用前景。目前多种电子设备的涌现正驱动着互联网业务的快速发展,而网络终端的服务则驱动着数据中心内部通信向着高带宽和低延时发展,因此应用于服务器之间或者服务器与路由器之间的短距光互连传输方案应运而生。这种互连技术的关键是小体积、低功耗和低成本的光电转换模块的制作,而光耦合结构、信号完整性设计以及系统集成设计直接影响着它的实现。

本文深入研究了现有光电系统封装技术中存在的光耦合、信号完整性以及系统集成的问题,并具体完成了 $4\times 10\text{Gbps}$ 和 $4\times 25\text{Gbps}$ 两款光模块的设计和制作,这对未来更高速率和更高密度短距光互连系统的设计和研究有指导意义。本文的主要研究内容有:

(1) 在光耦合方面,主要针对光耦合结构进行了研究。首先分别对目前存在的 45° 反射镜、 90° 光纤弯折及 90° 柔性基板等光耦合结构的优缺点进行总结;然后在此基础上提出了一种基于新型光耦合结构的光组件,采用直接和无源的耦合方式;最后通过光学仿真,对该结构的耦合效率和耦合容差进行光学研究。通过仿真验证,该结构能达到高的耦合效率和大的耦合容差。

(2) 在信号完整性方面,主要针对光电模块中的信号完整性问题进行了研究。首先对与光电模块相关的信号完整性理论进行研究;然后基于理论分析对电学基板的叠层和传输线进行设计,通过三维电磁场仿真软件对系统链路中的接插件、过孔、电容、金手指和键合线等不连续结构进行优化,并且提出了一种高频接插件处不连续结构的优化方法;最后对硅载板上 90° 弯折传输线以及集成方式进行了电学研究。通过电学设计,使整个系统电学性能达到要求。

(3) 在系统集成方面,针对光组件制作、光模块组装和热管理、光互连系统测试进行了研究。首先针对新型光组件结构提出了一种硅载板的加工流程,步骤简单并可以大规模生产制造;其次对光组件的组装工艺和组装容差进行了研究,

可以满足-1dB 的耦合容差；另外对 $4\times 10\text{Gbps}$ 和 $4\times 25\text{Gbps}$ QSFP 系统的热学性能进行了仿真研究，两种光模块在适当散热措施的辅助下都可以稳定可靠的工作；最后，对这两种 QSFP 光模块进行了链路测试，眼图睁开并且误码率小于 10^{-13} ，验证了这种光电系统封装方式应用于高速短距互连时的可行性。

关键词：电互连，短距光互连，光耦合，信号完整性，系统集成

Abstract

With the rapid development of integrated circuits, the processing capacity of the processor increases dramatically, which demands higher data rate and capacity of the transmission. Due to the existing limits of the copper interconnection in aspects of the inherent loss, reflection and crosstalk, delay, power consumption, cost and weight, this technology becomes incompatible with requirements of the development. However, the optical interconnection has the advantages of higher bandwidth, lower delay and lower weight compared to the copper interconnection, thus has wide prospects and application potentials. Currently, the spring out of multiple electronic devices are driving the rapid development of internet services, while the internet terminal service are driving the development of data center communications to have higher bandwidth and lower delay. Thus the short-reach optical interconnection applied between multiple servers or servers and routers have been developed in the last several years. The key technology of the short-reach optical interconnection is the design and implementation of small-volume, low-power-consumption and low-manufacturing-cost optical transceivers. The optical coupling structure, signal integrity and system integration design mainly affect the performance of the optical transceiver.

This thesis researched the existing optical coupling, signal integrity and system integration problems in the current opto-electrical systems. And two kinds of optical transceivers with $4 \times 10\text{Gbps}$ and $4 \times 25\text{Gbps}$ data rate are designed and fabricated in this thesis, which provides abundant theory and design flow for the future design of higher data rate and higher density short-reach optical interconnection. The main contents in this thesis are as follows:

(1) In the optical coupling aspects, this thesis mainly researches the optical coupling structures. Firstly, the advantages and disadvantages of the current optical coupling methods are summarized, such as the 45° reflection mirror, 90° deflection fiber array, 90° deflection flexible printed circuited board and so on. Secondly, based on these methods, a new optical subassembly with a new optical coupling structure

utilizing the direct and passive optical coupling methods is proposed. Lastly, the optical coupling efficiency and alignment tolerance of such structure are researched through optical simulations. Through the simulation, this structure could obtain the high optical coupling efficiency and large coupling tolerance.

(2) In the signal integrity aspects, this thesis mainly researches the signal integrity simulation and optimization in the proposed system. Firstly, the basic signal integrity theory related to the optical system are researched. Secondly, the stack-up are designed based on the signal integrity theory. And the 3D electromagnetic field simulation software (HFSS) are utilized to optimize the discontinuities in the transmission paths, such as the connectors, vias, capacitors, gold fingers, bonding wires. Lastly, electrical performances of the new optical subassembly are studied from the 90°-bend transmission line structure and the system integration method. By the electrical design, the electrical performances of the whole system could meet the requirement.

(3) In the system integration aspects, this thesis mainly researches the fabrication of the optical subassembly and the assembly of the optical transceiver. And thermal management simulation and system measurement are also performed. Firstly, a new fabrication process of the silicon optical bench is proposed, which has a simple processing flow and can be manufactured at a large scale. Secondly, the assembly process and the alignment error of the optical subassembly are researched, which meet the -1dB alignment tolerance. Thirdly, thermal management of both QSFP optical transceivers are simulated and optimized. The junction temperatures of active chips under normal and extreme conditions are able to meet operation temperature limitations by using proper heat dissipation methods. Lastly, the optical transmission of both transceivers are measured and characterized. The eye diagrams are wide open and bit error rate are less than 10^{-13} , which verify the feasibility of this packaging methods applied in the short-reach opto-electrical systems.

Key Words: Electrical Interconnection, Short-reach Optical Interconnection, Optical Coupling, Signal Integrity, System Integration

目录

摘 要.....	I
ABSTRACT.....	III
目录.....	V
第一章 绪论	1
1.1. 研究背景及意义.....	1
1.1.1. 电互连的挑战	1
1.1.2. 光互连的特点	5
1.1.3. 短距光互连的应用背景及特点	6
1.2. 国内外研究进展.....	12
1.2.1. 典型厂商的研究现状	12
1.2.2. 典型技术研究现状	14
1.3. 本论文的主要工作及创新点.....	20
1.3.1. 论文的主要工作	20
1.3.2. 论文的主要创新点	21
第二章 光组件的设计及其光特性研究	23
2.1. 光器件特性.....	23
2.1.1. 垂直腔面发射激光器（VCSEL）	23
2.1.2. 光电探测器（PD）	27
2.1.3. 多模光纤	30
2.2. 光耦合结构分析.....	35
2.2.1. 基于 45°反射面的光耦合	35
2.2.2. 基于 90°光纤弯折的光耦合	36
2.2.3. 基于 90°柔性基板弯折的光耦合	37
2.2.4. 基于新型光耦合结构的光组件	39
2.3. 新型光组件的光学特性.....	40

2.3.1. 直接光耦合的耦合理论	40
2.3.2. 新型光组件的耦合效率	43
2.4. 本章小结	48
第三章 光模块设计及其电学特性研究	49
3.1. 信号完整性基本理论	49
3.1.1. 信号完整性概述	49
3.1.2. 信号完整性理论	52
3.2. 测试板的电学特性研究	61
3.2.1. 测试板的框架结构	61
3.2.2. 信号叠层及传输线阻抗设计	62
3.2.3. 不连续结构优化	64
3.3. 模块板的电学特性研究	69
3.3.1. 模块板的框架结构	70
3.3.2. 信号叠层及传输线阻抗设计	70
3.3.3. 不连续结构优化	72
3.4. SiOB 的电学特性研究	80
3.4.1. 90°弯折传输线的电学性能研究	80
3.4.2. 不同组装方式的电学特性研究	82
3.5. 本章小结	84
第四章 QSFP 光模块的制作与实现	85
4.1. 光模块的封装结构	85
4.2. 新型光组件的制作	87
4.2.1. SiOB 的制造	87
4.2.2. 光组件的组装和误差分析	89
4.3. 新型光模块的组装	92
4.3.1. 基于金丝键合的光模块组装	93
4.3.2. 基于倒装焊的光模块组装	94
4.4. 光模块的热管理特性研究	95

4.4.1. 光模块的热管理设计	96
4.4.2. 40Gbps 光模块的热管理研究	98
4.4.3. 100Gbps 光模块的热管理研究	101
4.5. 本章小结	103
第五章 短距光模块的测试研究	105
5.1. 短距光模块性能测试研究内容	105
5.1.1. 光电特性曲线、光耦合容差测试	105
5.1.2. 时域反射曲线、散射系数 S 参数	106
5.1.3. 眼图、误码率	107
5.2. 光组件测试	108
5.2.1. 光芯片组装测试	108
5.2.2. 光耦合容差分析	110
5.3. 封装基板和测试板信号完整性测试	110
5.3.1. 传输线的 TDR 测试	110
5.3.2. 传输线的 S 参数测试	112
5.4. QSFP 光模块的互连传输测试	116
5.4.1. 光互连传输测试系统构建	116
5.4.2. 4×10Gbps 光互连传输测试	118
5.4.3. 4×25Gbps 光互连传输测试	120
5.5. 本章小结	122
第六章 总结与展望	123
6.1. 本论文主要内容和结论	123
6.2. 未来工作展望	124
参考文献	125
攻读学位期间发表论文、专利及获得奖励	131
致谢	133

第一章 绪论

1.1. 研究背景及意义

1.1.1. 电互连的挑战

随着超大规模集成电路的发展,系统集成度越来越高,整个系统的处理能力越来越强,从而导致对系统 I/O (Input/output) 的数量和传输速率要求越来越高,特别是在计算和网络服务系统中。图 1.1 是来自 ITRS 的高速接口发展趋势图^[1]。从高速接口的发展趋势来看,接口速率呈指数增长。2007 年,数据通信以及存储行业的传输速率已经达到几个 Gbps;到 2009 年,工艺尺寸的缩小使芯片高速接口传输速率达到 13Gbps 以上,如 14Gbps 的 FC 接口和 16Gbps 的 PCIe 接口;而下一代常用电学接口的速率将达到 25Gbps。但不同于长距离数据通信的是,一些短距离通信,如芯片到芯片之间传输,在低成本的新技术出现之前仍然会通过增加端口数量的方式来增大传输速率;一些应用还会通过改变编码方式来增加传输速率。因此未来几年的传输速率发展会比目前的趋势慢,但是几年后传输速率仍会达到目前的 2 倍以上。

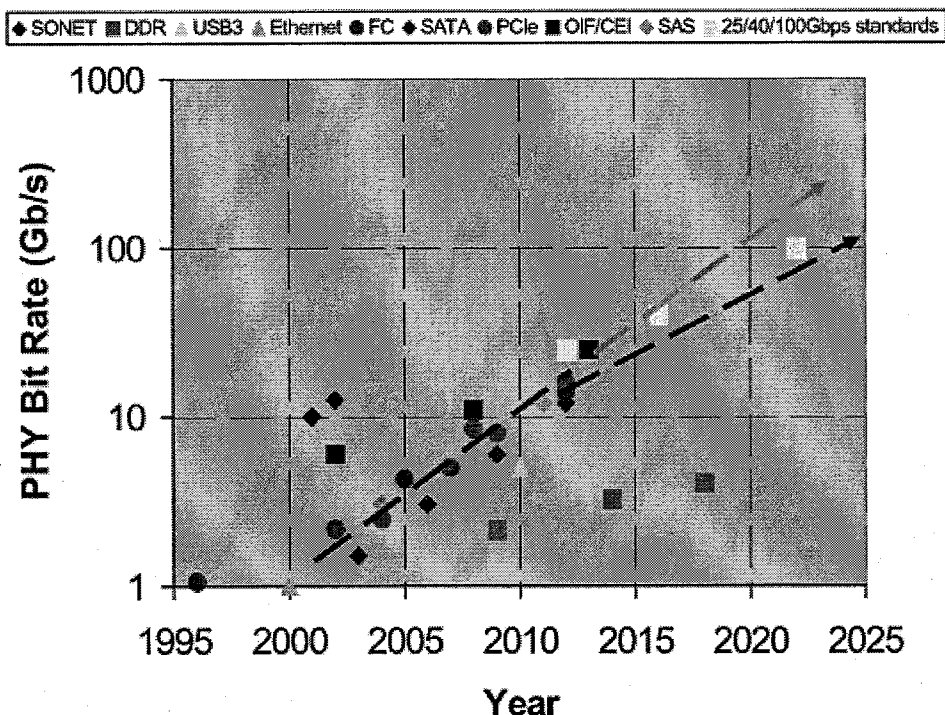


图 1.1 高速接口发展趋势图

目前,在长距离互连中,主要采用的是光互连,因为它能提供更高的带宽和更短的延时。而在短距离互连中,铜互连仍然是目前主流的方式,如在电路板和高速背板上芯片到芯片间的铜互连传输线以及板到板之间的互连同轴电缆等。铜互连成本较低,可靠性较高。但是从上述的高速接口发展趋势来看,短距离铜互连未来能否满足速率指数增加的高速接口要求仍然值得探究。以铜互连传输为代表的电互连技术面临着多个挑战。

首先,铜互连的第一个挑战是损耗问题,经研究^[2],铜互连的带宽与 A/l^2 成正比,其中 A 为信号线的横截面积, l 为信号线的长度。经计算发现,高速互连线的最大传输带宽大概能到 $10^{15} \times A/l^2$ (bit/s)。尽管传输线的设计有好有坏,但上述电互连线有限带宽的本质属性是无法改变的。电互连线带宽受限是由多方面因素引起的,一方面是介质损耗,另一方面是导体损耗,还有一部分是向外的辐射。在这三者损耗中,介质损耗和导体损耗占主要部分:导体损耗是由于有限电导率、高频存在的趋肤效应以及导体粗糙度所造成的;介质损耗是由于偶极子运动产生的热能损耗,与频率、温度、湿度及场强都相关;向外辐射是由场源发出的电磁能量中一部分脱离场源向远处传播,这种损耗无法避免,但是好的设计可以尽量减少此种损耗^[3]。在特定材料属性以及环境下,导体损耗、介质损耗和向外辐射的能量分别与 $\sqrt{f}$ 、 f 、 f^4 成正比。一般而言,对于基于FR4材料的微带传输线,在5GHz(10Gbps的基频)时损耗大概是0.3dB/in;在12.5GHz(25Gbps的基频)时传输线损耗已经增加到1dB/in。其实上述有限带宽的传输线计算忽略了粗糙度和向外辐射造成的损耗,对于真实互连线所能支持的最大传输速率会更低。

铜互连的第二个挑战是反射及串扰问题。信号沿传输线传播时,其路径上的每个点都会有相应的瞬态阻抗。但是如果瞬态阻抗发生变化时,就会有一部分信号发生反射。一般瞬态阻抗发生变化的位置可能是在线末端的阻抗端接处,或者是传输线拓扑结构发生改变的地方,如接插件、T型结构、过孔等^[4]。在某些情况下,发生反射的时域波形如图1.2所示,它是因为传输线中出现分叉导致振铃现象^[5]。另外当传输信号时,两条相邻传输线间不可避免地会有电磁场耦合,它们之间的容性耦合会导致耦合电流,感性耦合会导致耦合电压,耦合的电流和电压附加到传输信号上,将对接收到的有用信号产生影响,严重的将会导致信号的

错误传输，这就是所谓的串扰。

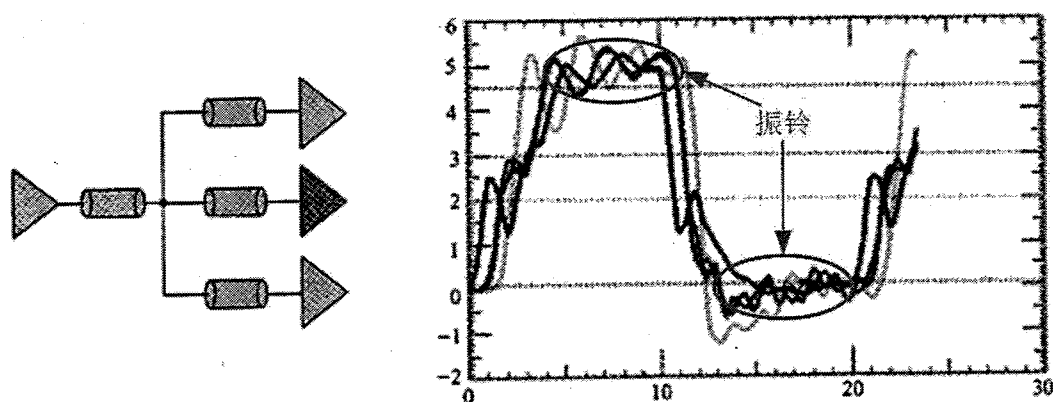


图 1.2 振铃现象^[5]

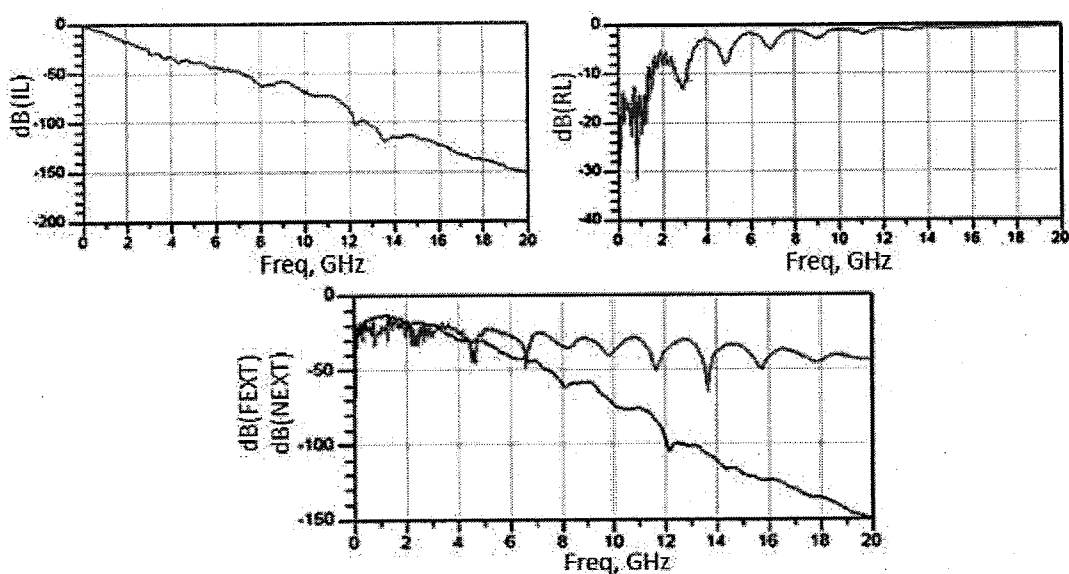


图 1.3 PCIe 接口的频域仿真结果^[6]

图 1.3 是文献^[6]中 PCIe 接口的服务器通道的铜互连频域仿真结果。从中可以看到，在 4GHz 时，插入损耗约为-40dB，回波损耗约为-4dB，近端串扰和远端串扰约为-20dB；而在 8GHz 时，插入损耗约为-60dB，回波损耗约为-2dB，近端串扰约为-30dB，远端串扰约为-60dB；并且插入损耗和回波损耗都随着频率的增加而增大。所以经过分析可知，此接口不能达到 PCIe 3.0（8Gbps）和 PCIe 4.0（16Gbps）的传输要求。PCIe 的插入损耗太大，需要减小互连长度；另外，回波损耗也很大，需要通过阻抗连续性设计来减小反射。

铜互连的第三个挑战是延时问题。铜互连会有分布的 RC 参数，电互连的传

输延时会受到这些分布参数的影响,因此尽管大规模集成电路(VLSI, Very Large Scale Integrated-circuit)的器件处理能力不断得到提高,但是一定距离的铜互连传输会阻碍整个系统的性能^[7,8]。

铜互连的第四个挑战是功耗问题。从上述分析中可知,随着传输速率的增加,铜互连的损耗、反射和串扰会越来越严重,这些特性会引起码间干扰以及信噪比不足等问题。为此,可以通过芯片中的预加重、均衡、中继等额外技术来补偿。经研究发现^[2],在加入这些额外技术后电互连的最大带宽可以提升到 $(10^{17} \sim 10^{18}) \times A/l^2$ (bits/s),好的额外技术可以使互连线带宽提高1-2个数量级。但是这些额外技术会导致功耗的增大。如图1.3所示的PCIe接口就可以通过芯片中的预加重和均衡等技术来补偿,但是典型的均衡动态范围最低是-40dB,所以该PCIe最多也只能支持PCIe 3.0接口,而不能支持到PCIe 4.0^[6]。

铜互连的第五个挑战是成本问题。铜互连的损耗可以通过使用低损耗的介质材料来减小,如Rogers 4350B, PTFE等材料。对于Rogers 4350B和PTFE,在5GHz时,传输线损耗分别是0.1dB/in和0.05dB/in;在12.5GHz时,传输线损耗分别是0.25dB/in和0.15dB/in,远远低于常规FR4材料的损耗;另外,也可以选择低粗糙度的铜箔材料,如电解铜箔、低轮廓铜箔和压延铜箔等。但是这类铜箔材料和常见的低损耗介质材料价格都比较昂贵。

铜互连的第六个挑战是体积和重量问题。在所有种类的电互连线中,同轴电缆损耗小、屏蔽好、串扰小,因此同轴电缆适用于板间互连。但是相比于光纤组成的光缆,同轴电缆体积比较大,并且比较笨重,如图1.4所示^[9]。

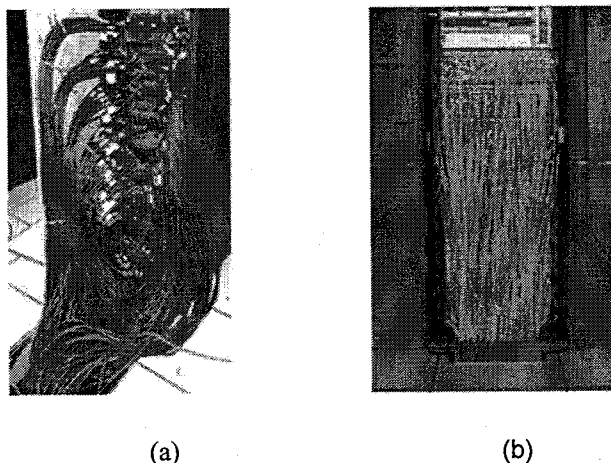


图1.4 互连线缆对比: (a) 同轴电缆; (b) 光纤

由于电互连存在上述这些挑战,在传输速率越来越高和传输容量越来越大的情况下,以铜互连为代表的电互连技术有可能不再满足高速接口的需求。对于此问题, Hoyoel Cho 已经分别对铜互连和光互连系统的传输长度以及功耗做了对比^[10],电互连中的器件采用当时最先进的工艺(100nm 特征尺寸),发送端采用均衡技术,忽略片上噪声;光互连系统也采用最优的方案来减小功耗和提高传输性能,通过对比发现,对于 6Gbps 的传输信号,在互连线长度大于 43cm 时,光互连系统比电互连系统的功耗低,对于更高的传输速率,这个临界长度会更小。因此,为了减小功耗、提高传输速率、增大传输容量,未来光互连技术代替电互连的趋势势不可挡。

1.1.2. 光互连的特点

由于光互连具有带宽大、传输速率快等优越的特性,它已经普遍应用于各个领域。光互连技术从距离上主要可以分为以下几类:广域网(1km 以上)互连、局域网(100m-500m)互连、计算机组(10m-300m)互连、板间(小于 1m)互连、板内(小于 0.3m)互连和片内(小于 1cm)互连,如图 1.5 所示。部分光互连技术已经商用,但是片内光互连由于成本高和工艺难度大等原因,目前仍处于研发阶段。

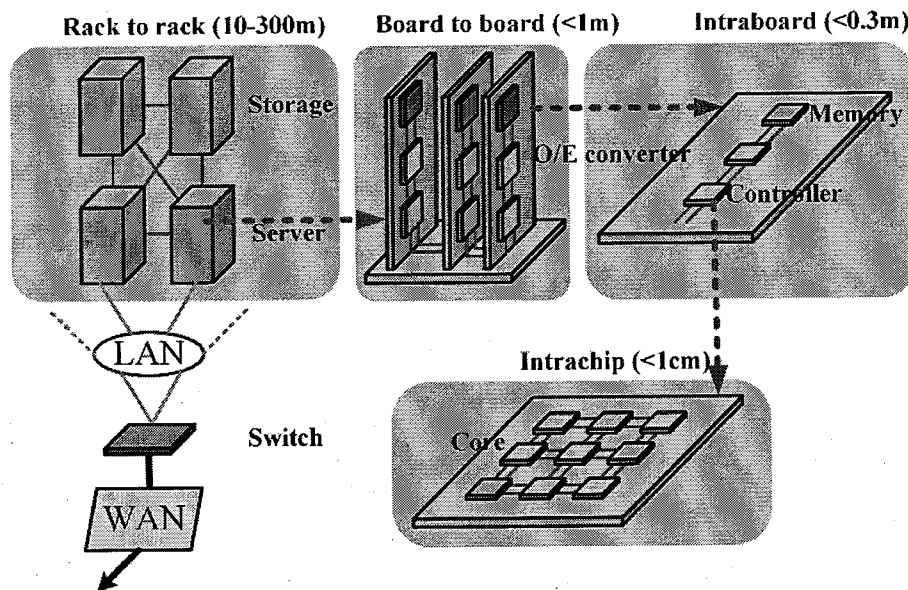


图 1.5 光互连技术从距离上的分类

对于所有的光互连系统,从传输介质上可分为导波光互连和自由空间光互连

两大类，而导波光互连主要包含光纤互连和波导互连两种。由于光纤体积较大，并且不容许有过大的弯曲，因而需要较大的三维空间来保证光纤耦合和信号传输，目前光纤互连主要应用于广域网、局域网、计算机组和部分板间互连。光纤主要分为多模和单模光纤，应用于广域网的长距互连一般采用单模光纤，因为单模光纤只能传播一种模式，模间色散小，传输距离长。而对于多模光纤，它可以传播多种模式的波，模间色散严重，这就限制了传输距离，因此一般适用于局域网、计算机组和部分板间的短距互连；波导具有紧凑性，主要应用于部分板间和板内的光互连；自由空间光互连主要借助于三维互连的特点来实现高密度互连，主要应用于芯片内部，但是由于目前光耦合器件工艺不成熟，使得自由空间光互连技术未能得到充分利用。

长距光互连主要关注于传输的性能和可靠性，需要采用较昂贵的器件和各种补偿方法，因此可以以牺牲设计复杂性和成本的代价来提高传输质量；而短距光互连传输距离近，如果采用与长距光互连类似的方法则比较浪费，它主要关注于体积、成本和功耗，因此需要通过优化设计使光互连系统的性能达到最优，并且减少额外的成本和功耗；而片内光互连目前主要关注于实现难度，仍处在研发阶段^[11]。

1.1.3. 短距光互连的应用背景及特点

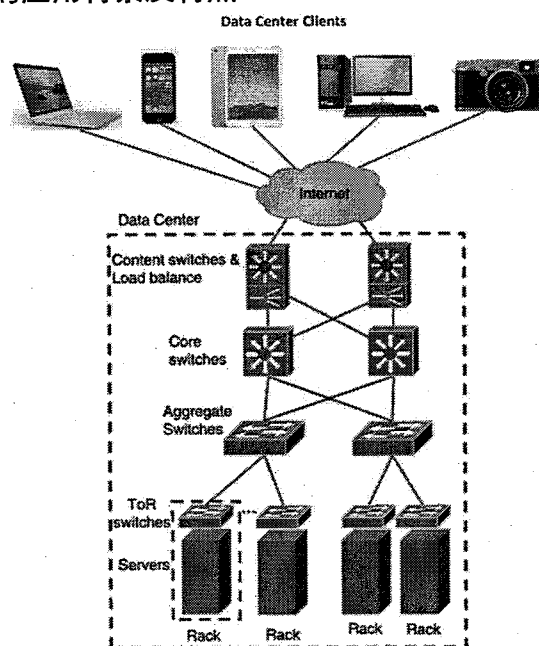


图 1.6 因特网数据服务的示意图

在过去的几十年里,随着个人电脑、平板电脑、手机等电子产品的出现,各式各样的大数据应用应运而生,像多媒体、社交网络和云计算等。而这些应用驱动着 Internet 网络访问业务成指数增长,这些互连网业务的处理都是通过远端的数据中心来实现的,因此高性能的数据中心是目前亟需的。一个强大的数据中心通常由成千上万个服务器组成,这些服务器一般与高性能交换机相连接。网络服务并不是一个服务器就能完成的,而是需要多个服务器交互通信来完成,如图 1.6 所示。例如一个简单的网上搜索就涉及到网页、应用和数据库这三个服务器的通信和同步。因此,越来越多的终端网络服务驱动了数据中心的发展,数据中心内部服务器之间的通信也趋于向高带宽和低延时发展^[12]。

另外驱动服务器之间传输速率和传输带宽增长的还有高性能的服务器应用。由于越来越多的处理核集成在单颗芯片中,这样就导致了两个服务器之间的通信量增加。根据 Amdahl's law,每 1MHz 处理能力就需要 1MB 的存储能力和 1Mbps 的 I/O 接口传输速率。假如数据中心的服务器有 4 个 4 核、工作频率在 2.5GHz 的处理器,那么每个服务器的 I/O 带宽就是 40Gbps;假如有一个数据中心有十万台服务器,那么数据中心的总带宽就将达到 40Pbps,这是一个惊人的数字。图 1.7 展示了在 2012 年 Intel 和 Broadcom 预测的数据中心服务器传输速率。可以看出,到 2017 年大多数服务器的接口将达到 40Gbps 的传输速率,从 2018 年开始,一小部分服务器的接口速率将达到 100Gbps^[12]。

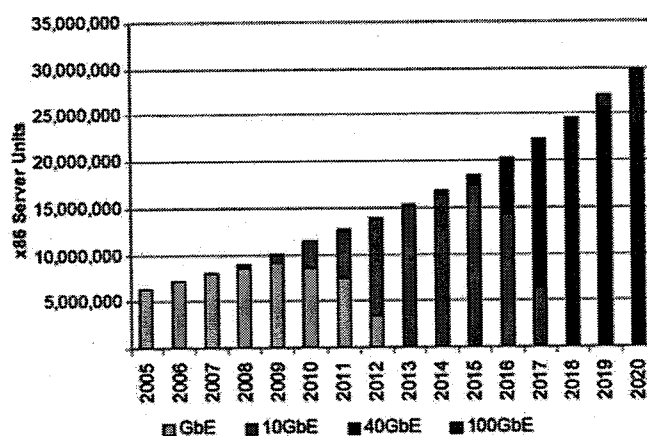


图 1.7 Intel 和 Broadcom 预测的服务器传输速率^[12]

但是,随着数据中心的传输速率和带宽增大的同时,功耗也是另外一个特别需要关注的问题。表 1.1 就是 IBM 关于计算系统的传输性能、带宽和功耗的计

划和预测^[9]，可以看到峰值性能以每 4 年 10 倍的速度在增长；带宽需求以每 4 年 20 倍的速度在增长；功耗尽管增长慢，但是也在以每 4 年 2 倍的速度在增长。数据中心中的总功耗可以分为几大类：服务器本身占有 40%，存储占有 37%，通信网络占有 23%。数据中心中所有器件的功耗在持续增大的同时，散热设备的功耗也在增大来使数据中心的温度保持稳定。因此，数据中心的通信网络功耗的减小对整个系统功耗的减小意义重大^[12]。

表 1.1 IBM 关于计算系统的传输性能、带宽和功耗的计划和预测^[9]

Year	Peak performance (10×/4 years)	Bandwidth requirements (20×/4 years)	Power consumption (2×/4 years)
2012	10PF	1PB/s	5MW
2016	100PF	20PB/s	10MW
2020	1000PF	400PB/s	20MW

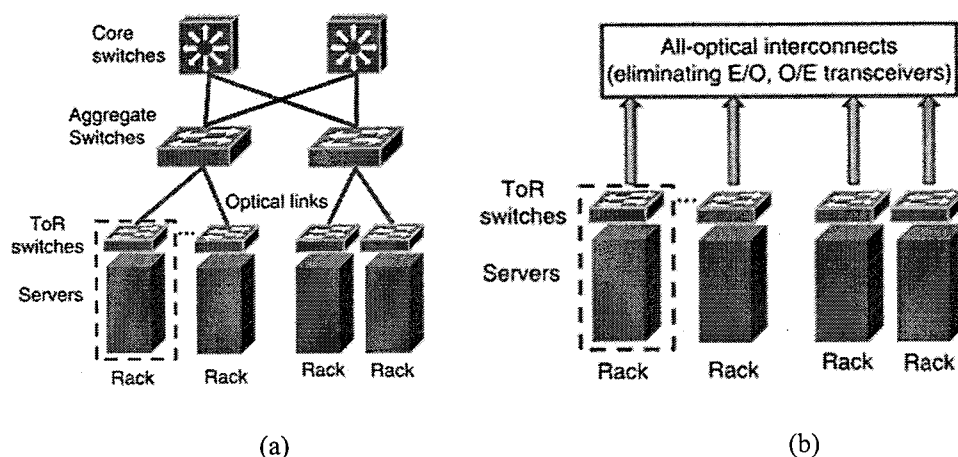


图 1.8 光互连构架 (a)部分光互连构架；(b) 全光互连构架

从上述的分析中可以看出，数据中心内部需要高带宽、低延时、低功耗的通信网络。因此目前光互连以点对点形式被应用到数据中心的服务器与交换机之间进行数据通信，代替了电互连，但是内部器件仍采用电子器件，如图 1.8(a)所示。未来为了进一步加快传输速度、提高传输带宽、减少功耗，数据中心可以采用全光互连构架，也就是将目前数据中心中的交换机换为光交换机，从而避免交换机处的电-光和光-电转换，进一步增大传输容量，减小传输延时，同时也可以减少通信网络的功耗，如图 1.8(b)所示^[13-15]。

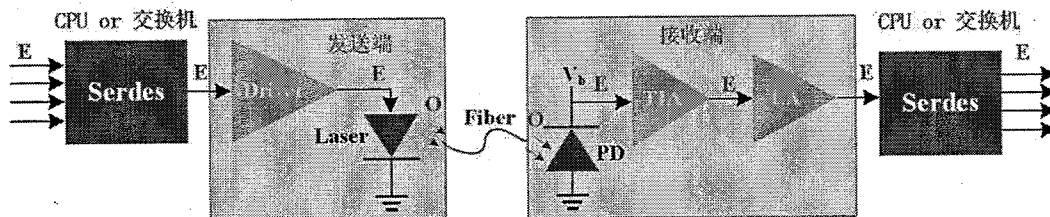


图 1.9 光互连系统的典型构架

在基于光互连的数据中心中，应用于服务器之间的短距光互连系统设计至关重要，需要满足高带宽、小体积、低功耗的特点。对于一个完整的光互连系统，如图 1.9 所示，主要包含发送端、传输介质和接收端三个部分：这种短距光互连系统的传输介质通常都是光纤，由于传输距离在 1 米到 100 米之间，一般采用多模光纤；发送端通过一系列驱动芯片和调制芯片将电信号转成光信号，然后耦合进入光纤进行传输；接收端收到光信号后，再经过一些光电转换芯片将光信号转成电信号。对于有些模块，将收发合为一体，进行双向通信；而有些模块，收发分离，进行单向通信^[16]。

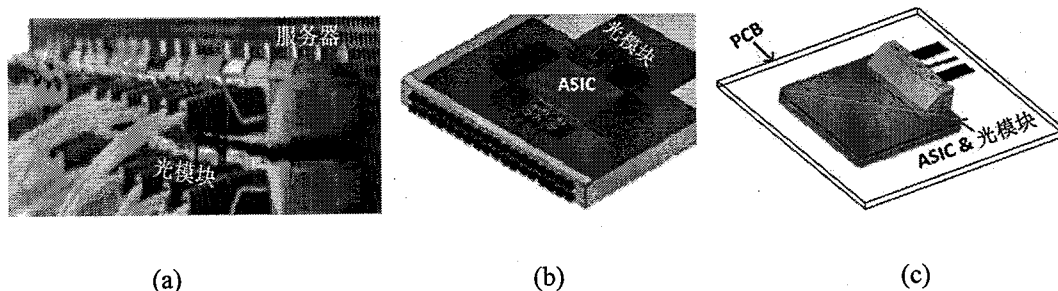


图 1.10 光模块：(a)边沿可插拔光模块；(b) 嵌入式光模块；(c)电芯片与光芯片集成模块

目前，用于数据中心机柜间短距互连的光模块主要有以下几种方式：①光模块以边沿热插拔的方式，通过主板上的电互连线与专用集成电路芯片（ASIC，Application Specific Integrated Circuit）连接，如图 1.10(a)所示。但是热插拔的方式会限制互连的密度，并且随着传输速率的增大，主板上的电互连线会对传输造成越来越大的影响。但是这种光模块更换比较简单，现在大多都已经标准化生产；②光模块移到主板内部，以嵌入式的形式靠近 ASIC 芯片，这样可以减小电互连线的影响，提高互连密度。如果设计接口为可插拔的电接口，光模块的更换会比较方便。该类模块一部分已经标准化，也有一部分仍处于探索中；③还有一种方式是将光芯片和电芯片集成在一起，这样可以简化系统设计并降低功耗，但是目

前具体实现比较困难，它们对器件可靠性要求比较高，如果出现故障，需要更换整个主板。因而此种方式仍在研究中。从目前的发展趋势来看，可热插拔的光模块是主流，嵌入式光模块是辅助，光芯片和电芯片的集成是未来的目标。在未来几年，仍会以热插拔和嵌入式光模块为主^[16, 17]。

服务器之间短距光互连主要通过几个方式来提高传输速率：①提高单通道的传输速率。但是在提高单通道传输速率的同时，对于器件的速率要求以及电学信号完整性的要求也会相应变高。②增加传输通道数量。对于光传输部分，增加通道数量时多通道的光耦合精度要求会变得更高^[18, 19]，而对于电信号传输部分，通道受到的串扰噪声会随着通道数量增加而增大；③改变调制方式。如 PAM4 (4 level pulse amplitude modulation) 调制方式的带宽效率会比目前使用的 OOK (On-Off Keying) 调制方式更高一些，从而带来传输速率的提高，不过 PAM4 对串扰和噪声更加敏感^[20]。

不管是采用上述哪种方式提高传输速率，短距光互连系统对以下几个关键技术都有很高的要求，下面就对这几个关键技术展开介绍：

(1) 光耦合技术

光互连系统的设计目标之一就是要减小光的损耗，使光最大程度地从一个器件传送到另一个器件。驱动电流的大小决定了光强的大小，如果光的损耗较小，那么提供给光芯片的驱动电流也会相应减小，功耗也会降低。

光的损耗主要包含以下两个部分：光器件与光纤之间的耦合损耗和光纤的传输损耗。对于目前商用多模光纤，损耗一般在 3.5dB/km 以内，100 米以内的损耗小于 0.35dB^[21]，此种光纤完全可以满足数据中心服务器之间的光互连，传输损耗较小。为了增大光耦合效率，光器件与光纤之间的耦合结构的设计至关重要。对于一个好的耦合结构要求就是：①高耦合效率。耦合效率越高，激光器输出光的利用率就越高，光互连系统的功耗也会相应减小；②大耦合容差。耦合容差是指耦合效率降低指定数值时所允许的光纤与光器件之间的横向、侧向、竖直和角度偏移大小。如果耦合容差较大，那么对光器件和光纤在封装时的组装精度要求会降低；③简单成熟的制作和组装工艺。光耦合结构制作需要采用简单而成熟的工艺，从而保证较好的可重复性、可靠性和较低的成本^[22]。

(2) 电学信号完整性设计

在光互连系统中,信号在发送端经过光芯片之前和接收端经过光芯片之后都是以电的形式传播,如图 1.9 所示。这些高速电信号在互连路径的传输过程中,会受到损耗、阻抗不匹配、串扰等各种因素的影响。在高速电路中,由于互连结构引起的任何信号质量的问题,都属于信号完整性研究的范畴。随着传输的速率越来越高,由此带来的信号完整性问题也会越来越严重^[4]。

目前为了减少产品的研发周期,通常在生产之前就应该将其物理模型转化成电学模型来对其性能进行分析和预测,及时发现和解决信号完整性的问题。分析的方式主要有三种:经验法则、解析近似和数值仿真^[4]。在这三种分析方法中,设计周期和设计精度是逐级递增的。经验法则是通过一些简单的关系来设计,比较快速但不够准确;解析近似是通过一些近似的公式或者方程进行计算,其精度依赖于公式或者方程的精确度;而对于数值仿真,它是基于麦克斯韦方程,运用导体和介质等边界条件来计算电场、磁场或者等效电路元件的参数值,求解精度较高,但是设计周期也较长。在实际设计过程中往往需要在不同设计阶段选择不同的分析方式,从而使设计周期达到最短,精度满足要求,设计效率达到最优。

另外,通过上述方法设计并生产样品后,需要对整个设计进行测试验证。这也是比较关键的一步,为了减小风险和建立起对仿真精度的可信度。

(3) 系统集成技术

目前比较流行的边沿插拔的光模块和嵌入式光模块中,通常包含光芯片和电驱动芯片。因此在整个模块设计中,需要综合考虑光学组装、电学组装以及光电集成^[23]。

随着光模块的传输速率、互连密度和集成度越来越高,需要在模块尺寸越来越小的情况下保证良好的电性能。在考虑互连性能的同时,整个系统的可靠性和热管理性能也是需要重点考虑的。系统的可靠性跟整个系统的工作状态有关。如果系统的可靠性不好,会在无法预知的情况下出现光学耦合或者电学连接异常,使整个系统无法正常工作。另外,系统的热管理也与系统性能息息相关,如果散热能力差,环境温度超过光器件或者电器件工作范围,就会对其工作状态产生影响,甚至会损坏器件^[24]。

所以在进行光互连系统设计时,需要对系统进行光学、电学、热学的综合考虑,以实现良好的电特性、光特性、热特性和可靠性,保证整个光互连系统长期

稳定地工作。本论文就设计了两种速率（40Gbps 和 100Gbps）的 QSFP 光模块并组成光互连传输系统，主要从光耦合技术、电学信号完整性以及系统集成技术进行了研究，分别从光、电和热三个方面分析了系统的性能，实现了光组件、基板以及光互连系统封装的设计和实现。最终还进行了系统链路的测试，从而验证了提出的光电系统封装技术可行性。

1.2. 国内外研究进展

1.2.1. 典型厂商的研究现状

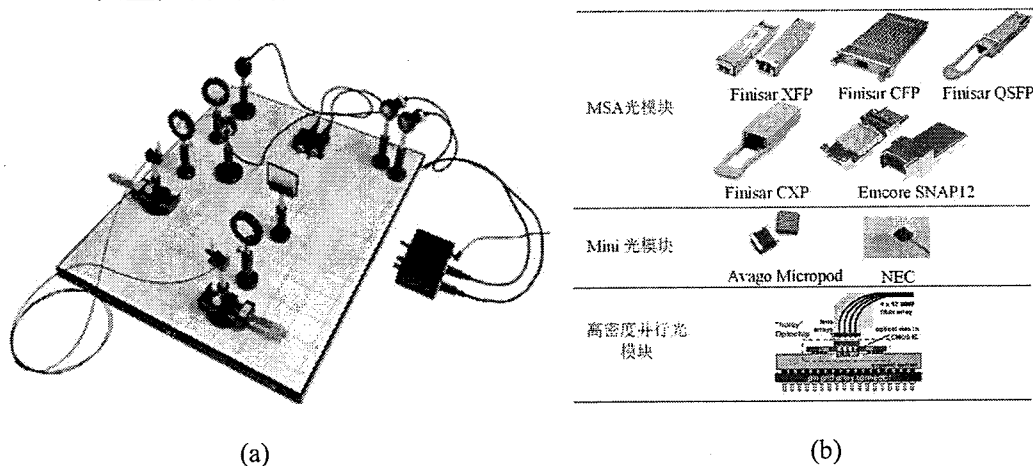


图 1.11 短距光互连模块 (a)原始的光互连系统；(b)目前存在的光互连模块

随着器件小型化以及集成技术的发展，用于短距互连的光模块发展趋向于小尺寸和高传输带宽。在光互连研究之初，这些光互连的实验都是通过分立的器件来完成的，如图 1.11(a)所示^[25]。后来业界建立起多源协议标准，单通道 10Gbps 光模块已经从最初 300 引脚的 MSA 标准过渡到了 30 引脚的 XFP，其尺寸也约为 300 引脚的 1/5，并且进一步开发制定了 4 通道收发一体化的 CFP、QSFP 以及 12 通道的 SNAP12、CXP^[19]等并行光互连模块技术标准^[26]。现在也出现了比 MSA 光模块更小的 mini 光模块等产品^[27]，目前有些公司和研究机构正在采用新技术研究更高密度的并行光模块，未来可能推出集成度更高的光模块，如图 1.11(b)所示。另外，受数据中心发展的驱动，光模块已经朝 10G、40G、100G 的速率发展，未来会进一步朝着 400G 或更高的速率发展。目前生产标准化光模块产品的厂家主要有 Finisar、Avago、FCI、Mellanox、Molex、TE Connectivity 等，它们已经大规模推进 SFP、QSFP、CXP 等完整解决方案；另外也有一些公司研

究 mini 光模块, 如 NEC、Avago 等; 还有一些公司通过新技术来研发高密度的并行光模块, 如 IBM 等。典型厂商的主要研究成果总结如下:

(1) Finisar:

Finisar 公司在光通信器件和子系统研究领域是全球的技术领导者。Finisar 公司处于世界领导地位的产品包括光纤收发器、光引擎、有源光缆、光器件、光子系统、可重构型光分叉复用器和波长管理单元、光纤放大器以及射频光模块等。它们的 40G QSFP 光模块产品在多模光纤上传输距离能达到 300m, 远远超过了 IEEE 40G 以太网的标准传输距离。2010 年以来, 它们已经研制并供应 100Gbps 的 CFP2、CFP4、CXP 和 QSFP28 等模块。目前它们正在研发下一代 400Gbps 以太网的开发, 正积极引领着行业发展^[28]。

(2) Avago:

Avago 是自 1999 年从惠普分拆出来的公司。在光互连部分, 它主要提供复合 III-V 族化合物半导体光电器件及子系统, 包含光电耦合器、光电芯片和光纤收发器等^[29]。目前, 在短距光互连上, Avago 已经可以提供多种不同标准的光模块, 包括 SFP/SFP+、QSFP+、CFP2、CXP 等。2012 年, 它们推出了 4×16Gbps QSFP 光收发器, 能支持 100m 数据传输; 2014 年, 它们推出了 MicroPOD 和 MiniPOD 最新的光互连解决方案, 这是一种嵌入式光互连系统, 12 通道光模块的尺寸仅有 7.8mm×8.2mm, 能支持 550m 的 100Gbps 速率数据传输^[30]。

(3) IBM

IBM 主要研究短距并行光互连技术, 包括板级光互连和机柜间光互连。由于它是芯片设计和制造厂商, 所以它们使用一种先进的集成方法来提高传输带宽和传输速率。它们将光芯片 (VCSEL/PD) 直接倒装到电芯片 (Driver/TIA) 上, 然后在芯片衬底上打通孔来作为光通道。它们最多能实现双向 24 通道的光互连模块。另外它们也设计了先进的 SiGe 和 CMOS 驱动芯片和跨阻放大器芯片, 能实现较高的传输速率。在板级光互连中, 它们还研究了有机光波导。据报道, 目前 IBM 的光互连系统能达到单通道 30Gbps 的传输速率。但是这种集成方法成本较高, 实现难度较大^[31]。

(4) 国内研究单位

国内光互连技术还处于初级发展阶段，研发能力和相应的工艺技术还不够成熟。目前绝大多数公司仍处于研发阶段，主流的光模块速率为 40Gbps。在国内，中科院微电子所、东南大学和华中科技大学等一些科研院所和高校也正在进行着短距光互连技术的研究。

1.2.2. 典型技术研究现状

由于短距光互连系统的传输速率越来越高，传输通道越来越多，因此光模块对器件、光耦合、电互连和系统集成这四个方面有着更高的要求，任何一方面的不足都可能造成光模块发展的滞后。为此，基于这四个方面业界展开了深入的研究，取得了一些积极的成果。

(1) 器件

光芯片是光模块中的重要组成部分，能将电信号转成光信号（激光器）或者将光信号转成电信号（光电二极管）。在传输通道越来越多和传输速率越来越高的情况下，激光器和光电二极管也发生着很大的变化。目前主流的并行短距光互连中基本采用 VCSEL 作光源。相比于发光二极管等光源，它的光源调变频率可达数 GHz，并且出光方向垂直衬底，能够很容易地实现高密度二维面阵的集成，实现更高功率输出，并且因为在垂直于衬底的方向上可并行排列着多个激光器，所以很适合应用在并行光互连领域。

为了推动 VCSEL 在短距数据通信中的应用，目前 VCSEL 性能已经得到了很大的提升，特别是在高速调制特性。据 Petter Westbergh 宣称，在 25℃ 的环境温度下，他们研制的 850nm VCSEL 在 back-to-back 模式下的调制速率能达到 57Gbps^[32]。另外，目前很多厂家都能提供 10Gbps 调制速率的 850nm VCSEL；对于 25Gbps，部分厂家也已经能够实现量产，如 II-VI laser enterprise 和 Vertically Integrated Systems 等公司；此外，也有一些公司和科研机构研究了 980nm 和 1.1μm 的 VCSEL。2007 年，Chang 等利用氧化限制型结构将 980nm 的 VCSEL 的调制速率提高到 35Gbps^[33]；同年，Anan 等研制的 BTJ 结构的 1.1μm VCSEL 的调制速率接近 40Gbps^[34]。因此，目前高频 VCSEL 主要朝 850nm、980nm 和 1.1μm 这三个波段发展。相应的 PD 芯片主要也朝着这几个波段发展。

短距光互连模块中不仅有光芯片，还需要有电芯片，包括发送端的激光器驱动芯片（Driver）和接收端的跨阻放大器芯片（TIA, Trans-Impedance Amplifier）。

如果低速率和少通道光互连系统中电信号受 PCB 损耗、反射或者串扰等影响较小,则可以不依赖电芯片里的预加重、均衡、数据和时钟恢复电路(CDR, Clock and Data Recovery)等来补偿和恢复时钟或者数据信号。但是在高速率和多通道光互连系统中,这些电学问题会越变得非常严重,因而对电芯片在功能和性能上都会有进一步的要求。在 25Gbps 传输速率以下,电学芯片主要采用 CMOS 工艺。但是在 25Gbps 以上,电芯片开始采用 SiGe 工艺,因为其具有较好的高频特性,如 IBM 的 30Gbps 并行多通道光模块就是在 SiGe 芯片上来实现的^[35]。另外,一般在 20Gbps 以上的电芯片中,部分会集成 CDR 来恢复时钟和数据^[36]。目前已有部分 25Gbps 速率的电芯片商用,如 MACOM, Giotix 和 Mellonox technologies 等公司的相应产品。

(2) 光耦合

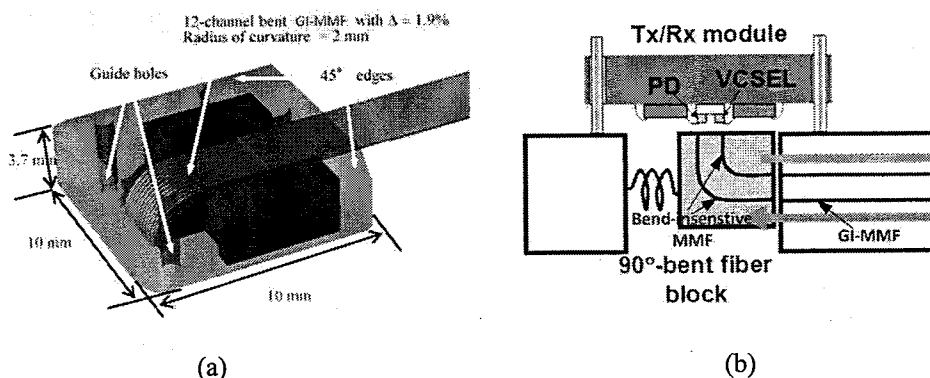


图 1.12 90°弯折光纤耦合方式: (a)用 GI-MMF 光纤^[37]; (b)用对弯折不敏感的光纤耦合和用 GI-MMF 来传输^[40]

光耦合技术一直是短距光互连的研究热点。尽管主流 VCSEL 芯片有较小的发散角和圆形对称的远、近场分布,但是它的光源是垂直表面发射的,如果要耦合到水平的光纤里,需要通过特殊的手段来实现。一种方法是通过 90°光束反转来实现的,如通过 90°光纤弯折能实现光束反转。2009 年, AIST 研发的一款 12 通道的并行小型光模块就是基于 90°弯折的传统渐变多模光纤来实现的,如图 1.12(a)^[37]所示,通常为了减少光纤弯折带来的损耗会选用对弯折损耗不敏感的光纤,但是对于常用的 850nm 光源,不敏感的光纤(如 50/80 μm 和 30/80 μm 多模光纤)带宽一般会比传统光纤带宽更小、传播距离更短^[38]。因此,2008 年 Hwang 在研究板级互连时,90°弯折光纤用不敏感的光纤替换,传输光纤仍采用传统光纤,不过这样存在的问题是不敏感的光纤到传统光纤的耦合损耗会比较高,导致

总损耗仍然较高,如图 1.12(b)所示^[39]。

这种光束反转也可以通过 45°反射镜来实现,不过这种方法对于对准精度的要求非常高。如图 1.13(a)^[40]所示,2008 年 NEC 公司研发的 mini 光模块中采用了 45°反射镜,它通过定位柱(Guide pin)来提高对准精度,并且在光束经过 45°反射镜之前由阵列透镜来聚拢,使耦合效率增大。2016 年 Matsuoka 报道的 12 通道光模块是基于双透镜的 45°反射镜来增加耦合效率,最终能达到 310Gbps 的传输带宽,如图 1.13(b)^[41]所示。

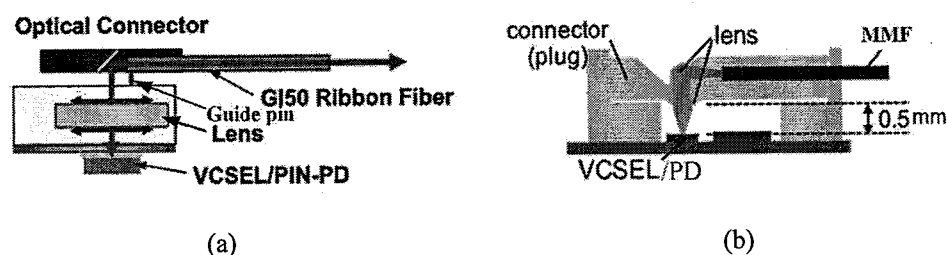


图 1.13 45°反射镜耦合方式 (a) 单透镜^[40]; (b) 双透镜^[41]

另外,还可以通过 90°弯折的柔性基板来保证光束直接耦合,而高速电信号需要进行 90°弯折传输。2004 年 Lisa 提出了基于柔性基板的光耦合结构,整个光组件 CME (Chip-mounted enclosure) 表贴到柔性基板的竖直面面上^[42]。这样光源能直接耦合到光纤中,耦合效率高。但是在该结构中为了组装光器件,还需要硅材料基底来作支撑,另外也需要使用透镜来让光束聚拢,组装较为复杂,如图 1.14 所示。

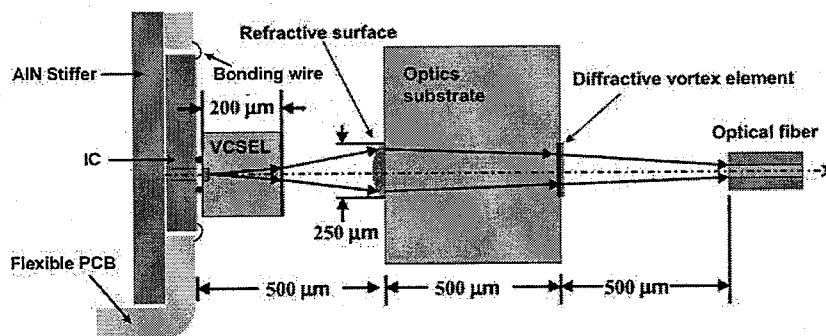


图 1.14 柔性基板光耦合结构

(3) 电互连

随着传输速率的增大和传输通道的增加,传输路径的高频损耗越来越大,同时通道间的串扰也会增大,为了解决这一问题,不同种类的封装基板被尝试用于

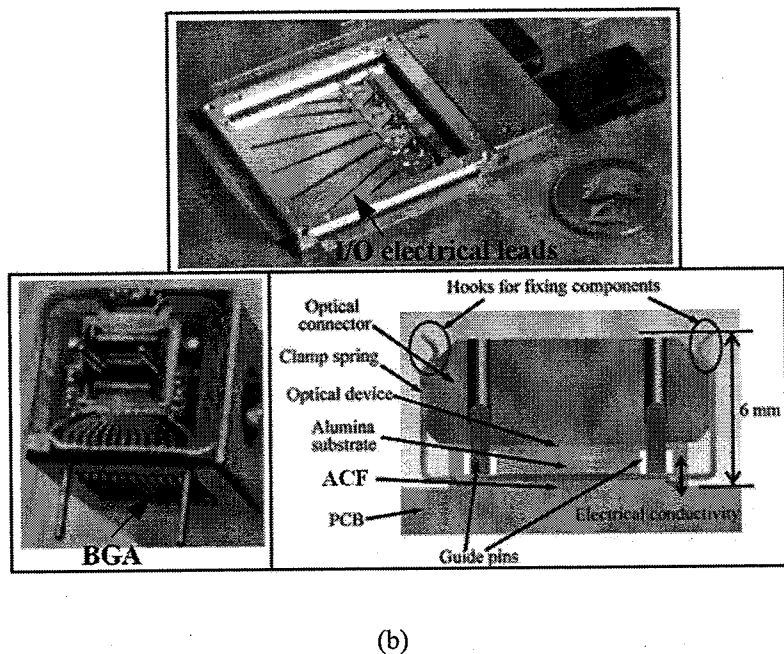
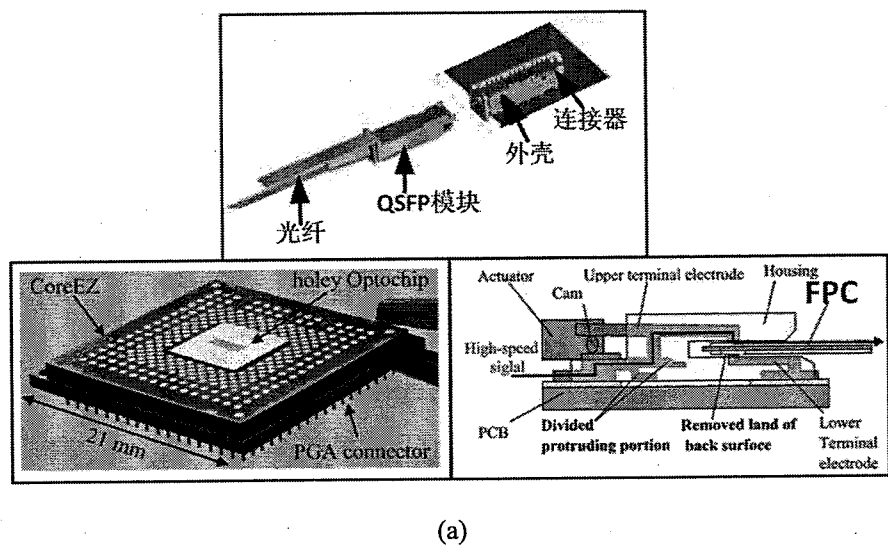


图 1.15 电互连接口：（a）可插拔电接口；（b）贴装互连电接口

光互连系统的实现：有一部分人采用陶瓷基板材料，因为陶瓷基板的介电常数低，容易实现较窄的线条，另外介质损耗低，高频损耗小。1999 年，NTT 实验室采用了氮化铝陶瓷基板，实现了 40 通道的并行光互连^[43]。2012 年，日立公司研究的光模块也采用了陶瓷基板，单通道的传输速率能达到 25Gbps^[44]。不过陶瓷基板的工艺制作较困难，成本较高，重量较重；还有一部分人采用柔性基板，它的电性能较好，重量较轻，且可以实现三维互连，2004 年安捷伦实验室就基于柔性基板实现了 12 通道光互连模块，单通道速率达到 10Gbps^[42]。2013 年，富士通

公司制作的 4 通道光模块也采用柔性基板, 单通道传输速率最高为 25Gbps^[45]。不过柔性基板的组装比较困难, 另外柔性基板受热容易翘曲, 对光耦合会产生一定影响, 因此设计的时候需要重点考虑; 还有一部分人采用低损耗材料的刚性有机基板来实现电互连, 相比于柔性基板, 这种方法成本较低、工艺成熟、组装容易, 不过难以实现三维的高速电信号互连。2014 年, IBM 采用有机基板实现了 4 通道的光互连, 每通道速率达 25Gbps^[35]。2016 年 Matsuoka 提出的 12 通道的光模块也是基于有机基板实现的, 每通道速率达 25Gbps^[41]。

光模块封装基板与测试母板的电学接口也是多种多样。对于可插拔光模块, 一般都是通过连接器与母板相连接, 如图 1.15(a)所示: 如 QSFP 光模块就是通过 QSFP 连接器与母板相连接^[46]; 2010 年 IBM 提出的光模块与母板通过 PGA (Pin group array) 连接器实现电连接, 比较容易替换^[47]; 2013 年富士通提出的光模块通过柔性电路板 (FPC, Flexible Printed Circuit) 连接器将柔性基板与有机测试板进行互连^[45]。另外一种方式是通过贴装的方式来实现光模块与母板的互连, 如图 1.15(b)所示: 1999 年, NTT 实验室提出的 QFN (Quad flat no-leads) 封装的光模块与母板实现焊接^[43]; 2004 年, 安捷伦实验室提出的 BGA (Ball grid array) 封装光模块与母板通过焊球相连^[42]; 2009 年, AIST 提出的小型光模块与母板通过异性导电膜 (ACF, Anisotropic Conductive Film) 互连^[37]。

(4) 系统集成

由于短距光互连系统互连密度和传输速率的快速增长, 光模块的集成方式也发生着很大的变化。目前光模块系统的集成主要朝两个方向发展: 一种是先将光芯片与光纤单独耦合形成光组件 (OSA, Optical Subassembly), 然后再通过某种互连方式与电芯片集成, 形成光模块。在短距互连光模块产生之初, 通常采用 To-can 的封装形式将光芯片与光纤耦合, 然后再与电芯片进行集成, 如图 1.16(a)所示。尽管 To-can 封装密闭性好、可靠性高, 但是尺寸较大, 很难实现多通道的光模块^[48]; 后来, 硅载板 (SiOB, Silicon Optical Bench) 的出现弥补了 To-can 的缺点, 因为在较高加工精度的硅工艺下, SiOB 可以实现较小的尺寸, 便于实现多通道光互连。2004 年, 安捷伦实验室提出的光组件 CME 就是基于 SiOB^[42], 如图 1.16(b)所示, 首先将电芯片放在带槽的 SiOB 上, 再将光电芯片倒装到电芯片上, 同时 SiOB 也为透镜的组装提供了支撑。最终组装好的 CME 通过引线键合

(Wire-bonding) 方式竖直地与电学柔性基板进行互连；2012 年，国立中央大学提出的光组件将光电芯片通过倒装 (Flip-chip) 的形式表贴到 SiOB 上，从光芯片发出的光通过 SiOB 端面的 45° 平面镜耦合到多模光纤中，多模光纤位于 SiOB 的 V 型槽内，组装好的 OSA 与电学 PCB 通过引线键合互连^[49]，如图 1.16(c)所示。该种光组件移植性高，可以方便地与任何一种光模块兼容。

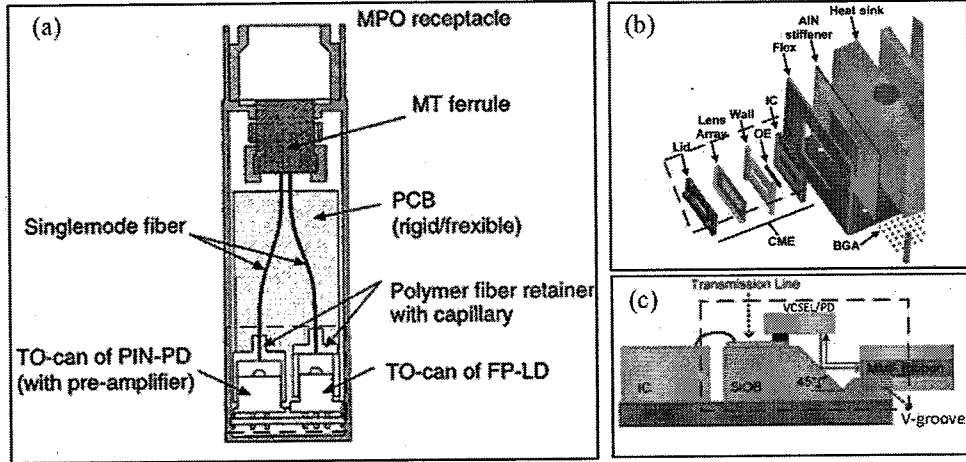


图 1.16 光组件组装而成的光模块 (红框内是 OSA) ; (a) TOSA; (b) CME; (c) 45° 端面 SiOB

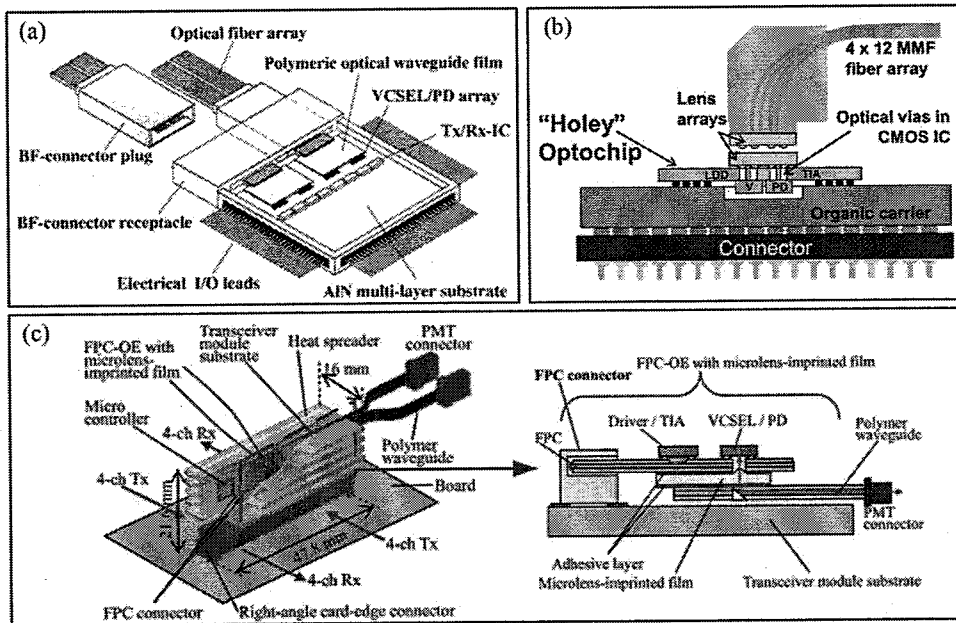


图 1.17 一体化的光模块

另一种就是将光芯片、电芯片以及光纤直接进行系统集成，形成一体化的光模块。1999 年，NTT 实验室研究的光模块就是将光芯片和电芯片通过 COB (Chip

on board) 封装形式组装到基板上, 通过光电芯片上方光波导薄膜的 45° 端面, 将光耦合到光波导中, 再通过 BF (Bare fiber) 连接器将光进一步耦合到多模光纤中^[43], 如图 1.17(a)所示; 2010 年, IBM 提出的光模块通过焊球将光芯片表贴到电芯片电极上, 在电芯片上打光通孔 (Optical vias), 从而 VCSEL 发射的光可以耦合到两层透镜位置处, 然后再进一步耦合到光纤中; 然后形成的 “Holey” 光芯片通过 BGA 贴装到有机基板上, 组装好的模块具有 PGA 封装, 从而可以插到测试母板中^[47], 如图 1.17(b)所示; 2013 年, 富士通提出的光模块将光芯片和电芯片都表贴到柔性基板, 将透镜和带有 45° 反射镜的光波导都贴装到柔性基板背面实现光耦合^[45], 如图 1.17(c)所示。这种一体化的光模块集成度较高, 但是光耦合部分不容易替换。

通常在光模块系统中增加多种形式的热沉 (Heatsink) 来提升散热效果。2004 年, 安捷伦实验室提出的光模块在柔性基板上加入一种特殊结构的热沉, 其内部具有热管, 相当于闭合的冷却系统, 因而比金属块的散热效果更好^[42]。2013 年, 富士通提出的光模块在电学 PCB 板的上下方都安装有金属热沉, 也达到很好的散热效果^[45]。

1.3. 本论文的主要工作及创新点

1.3.1. 论文的主要工作

随着数据中心的规模和性能的不断发展和, 高性能计算机之间数据传输速率和传输容量的要求越来越高。在部分应用场景中电互连已经不能满足传输要求, 而光互连技术正好具有一些优点, 如损耗小、串扰小、带宽高、重量轻等, 可以弥补电互连在短距互连中的不足, 因而在近些年取得了快速地发展。短距光互连主要关注于光模块的小尺寸、低功耗和低成本。本文以应用于短距互连的光电系统封装为研究对象, 提出了一种新型的光耦合结构和组装方法, 并将其应用 QSFP 光模块的设计与实现中, 主要对其中的光学特性、电学特性以及集成方式进行了研究, 经过制作和测试, 本文设计的 QSFP 光模块可以达到 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ 的传输速率。本论文的主要内容和创新点总结如下:

第一章, 主要内容为短距光互连的研究背景及其关键技术的概述。其中包括电互连与光互连的对比、光互连的分类、短距光互连的应用背景及框架、其中存在的关键技术以及国内外的研究现状等。

第二章，主要内容为短距光互连中光耦合结构的研究。其中包括光器件的特性的概述、三种不同光耦合结构的分析、基于新型光耦合结构的光组件提出、新型光组件光耦合效率的研究等。

第三章，主要内容为高速光电系统中信号完整性问题的具体研究，其中包括高速信号完整性概念及基本理论概述、信号完整性问题理论、测试板和模块板的叠层设计与接插件不连续优化方法的改善以及不连续结构的优化、硅载板弯折传输线及组装方式的电学性能研究等。

第四章，主要内容为光电系统的实现。其中包括 SiOB 的工艺实现、光组件的组装及其组装误差分析、光组件与电学部分的集成方式和组装流程、4×10Gbps 和 4×25Gbps QSFP 光电系统的热学特性研究等。

第五章，主要内容为所设计实现的 QSFP 光模块测试研究。其中包括光学组装性能的测试、光学耦合容差的测试、电学阻抗时域反射曲线和 S 参数的测试、系统眼图和误码率的测试等。

第六章，总结与展望。其中包括对目前工作的总结，针对问题进行的下一步的工作计划。

1.3.2. 论文的主要创新点

(1) 论文提出了一种新型直接耦合的光组件结构，耦合效率高、耦合容差大、组装难度小，并且高度仅有 1.32mm，能够很好的应用于小型光收发器中。

(2) 论文提出了一种光模块高频接插件的优化方法。具体在测试 SMA 连接器触点处设计了一种类似“花朵型”的优化结构，能有效地阻止电磁信号的泄露，并且保证阻抗的匹配。

(3) 论文提出了一种成熟的硅基工艺来实现了硅载板的制作。并且通过微组装工艺实现光组件的组装，从而使这种光模块具有很高的光耦合效率，并且易于大规模制造。

(4) 论文提出了两种不同类型的光组件与电学部分的集成方式。基于新型的光组件，这两种集成方式都具有组装简单、尺寸小等优点，具有产业化的前景。

第二章 光组件的设计及其光特性研究

光组件 (OSA) 是 QSFP 光模块中的重要组成部分。由于 QSFP 是 4 收 4 发的光收发器, 因此光组件也是基于多通道并行设计。它除过可以应用于 QSFP 光模块中, 也可以转移和兼容到别的短距并行光互连模块中。传统的光组件是基于 TO-can 封装, 激光器与光纤通过手工组装进行有源对准, 生产效率低, 生产成本低^[50]。我们提出的光组件是基于硅基平台的封装工艺, 生产效率高, 生产成本低, 而且对准精度高。光学部分采用无源直接耦合方式, 能达到高的耦合效率和大的耦合容差。另外, 光组件的组装工艺简单, 并且能达到良好可靠性。本章首先对光器件的基本结构、电特性和光特性进行介绍, 并且给出了我们使用的光器件的性能。针对光器件的特性, 目前主要存在三种耦合结构, 分别对它们光耦合效率、耦合容差、组装难度、尺寸等进行了分析和对比。为了增大光耦合效率和减少组装难度和尺寸, 我们提出了一种基于新型光耦合封装结构的光组件, 并且从理论和仿真角度对其光特性进行了验证。

2.1. 光器件特性

2.1.1. 垂直腔面发射激光器 (VCSEL)

光源是光模块中重要的光电器件。目前短距光互连中, VCSEL 扮演着主要的角色。VCSEL 出射的光垂直于半导体衬底方向, 能在二维空间集成多个激光器, 很适合应用在多通道并行光互连中, 另外它还具有小尺寸、易集成、高调制带宽、低阈值、耦合效率高、成本低等优点。凭借它的优异性能, VCSEL 已经是短距光互连系统的首选光源。

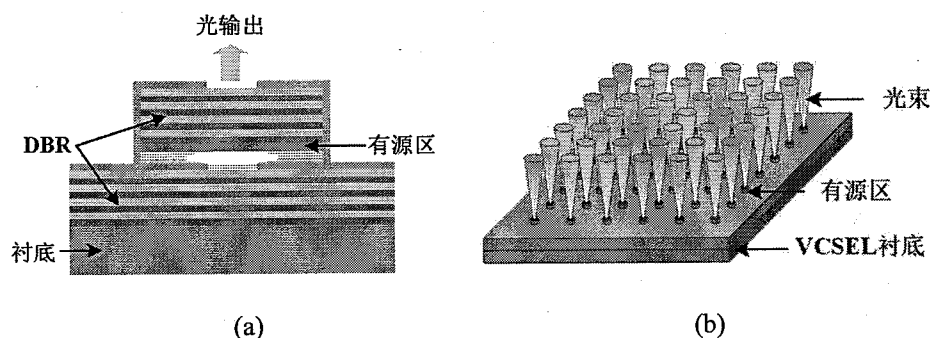


图 2.1 VCSEL 的示意图 (a) VCSEL 的基本结构; (b) VCSEL 阵列

VCSEL 的基本结构如图 2.1(a)所示。VCSEL 的中间是有源区，即光的发射层，由能产生高光增益的薄的半导体材料的组成，如量子阱，典型的量子阱数量是 1 到 4 个。一般有源区是圆形或者方形，基模是高斯分布，光束既窄又圆，并且方向性好，经证实，其与多模光纤耦合效率可以在 90%以上^[51,52]。在有源层的上下分别是高低折射率交替的材料形成的分布布拉格反射镜（DBRs, Distributed Bragg Reflectors），它们由外延生长或者多层介质镜产生。DBRs 可以使在布拉格波长附近的光束反射率达到 99.9%以上^[53]。为了减少串联电阻，可以通过对 DBRs 高掺杂来实现^[54]。取决于 DBR 反射率的取值，光可以从反射镜的顶面或者底面出射。因此，光单元就可以以整列方式排列，实现光集成，特别适合并行光传输，如图 2.1(b)所示。

现在，高速率的 850nm 的 VCSEL 已经被广泛商用。相比于其他波长的光纤，与 850nm 波长兼容的多模光纤损耗更低。另外，在 850nm 波段，自由载流子吸收损耗最低，这就可以通过在 DBR 的高掺杂来减少阻抗。但是，850nm 的 VCSEL 也有缺陷。850nm VCSEL 的基底材料 GaAs 对出射的光波是非透明的。后来出现的 980nm-1100nm 的 VCSEL 补偿了 850nm 的缺点，基底材料采用对出射波长的光透明的衬底材料，例如 InP 材料。但是长波长的多模光纤传播长度很难达到跟业界 850nm 的光纤一样；除此之外，长波长的 DBR 折射率小，需要多层 DBR，这就减小了热导率，影响了散热；另外以目前的工艺水平，长波长的 VCSEL 很难批量生产^[54,55]。

VCSEL 的主要电学参数有阈值电流、饱和电流以及斜坡效率。当 VCSEL 未加偏置时，低能级的电子数目较多，处于激发态的电子数目较少，光子吸收占优势。当 VCSEL 加正向偏置并导通时，不会立即出射激光。尽管一部分电子数目被激发到激发态，但是处于激发态的电子数目没有基态的数目多，光仍在损耗，光的自发辐射和光子吸收占主要部分。因此要获得光的放大，处于激发态的电子数目要大于基态的电子数目，使光的受激辐射占优势，这种情况称为粒子数的反转。当通过激活区域的正向电流大于某个电流值时，就能实现粒子束反转，该电流值称为阈值电流。当工作电流超过阈值电流之后，光输出功率会随电流的增大而增大，在一定电流内一般会呈现一个线性变化趋势^[51,52]。但是在线性范围内，激光器的输出功率随注入电流的变化并不是绝对的直线，因此在设计时，应使其

尽量接近直线，使非线性失真尽可能的小。线性区内电转成光的效率是通过斜坡效率来表征，即变化的光功率与变化的电流之比。当工作电流超过某电流值时，增大注入电流，输出功率反而开始下降，最后截止不再有光输出，该电流值被称为饱和电流。

VCSEL 的另外一个重要特性就是热特性。受热效应导致的折射率变化和半导体材料热膨胀导致的轻微体积变化会对光的增益和电流泄露产生影响，进而改变了 VCSEL 的工作状态。经文献^[57]仿真发现，光增益的温度依赖性影响了阈值电流和斜坡效率；电流泄露影响了热饱和功率的变化。VCSEL 的阈值电流随温度的变化曲线为 $I_0 \exp(T/T_0)$ ，因此，随着温度增大，阈值电流会增大^[56]。在线性区的输出功率也会随温度升高而降低，即斜坡效率会降低。在饱和区，热饱和功率也会随温度升高而严重下降。另外，随着温度升高，VCSEL 的出射波长也会向长波长方向移动，并且器件的工作寿命也会降低^[58]。因此，为了稳定光输出功率，需要采取一定措施来控制温度。图 2.2 显示了 VCSEL 的静态工作曲线及随温度变化的工作曲线。

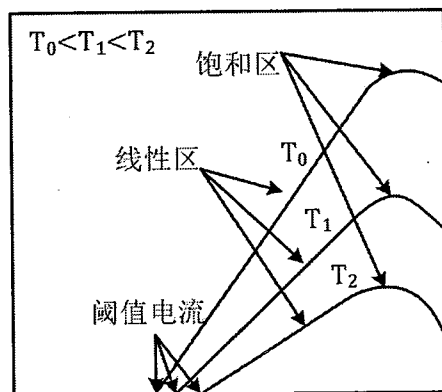


图 2.2 VCSEL 的静态工作曲线及随温度变化的工作曲线

VCSEL 能广泛应用于短距离光互连中，是因为它优异动态特性决定的。VCSEL 动态特性受弛豫振荡和寄生参数等限制，因此，每个 VCSEL 器件的调制带宽都是有限的。弛豫振荡是光子与载流子相互作用的结果。VCSEL 的调制带宽可以用弛豫振荡频率来衡量。所谓弛豫振荡频率是指用调制特性来表示的谐振状态的响应，当频率大于弛豫振荡频率时，调制灵敏度就会急剧下降^[59]。另外，电学寄生参数 RC 也限制了 VCSEL 的调制带宽。因为寄生参数 RC 表现出一阶低通滤波器的特性，限制了高速电流向有源区的注入，从而限制了 VCSEL 的调

制带宽。寄生参数主要受器件结构、掺杂水平、电极结构等的影响^[60]。因此，增大弛豫振荡频率，减小寄生参数 RC，就可以提高 VCSEL 调制带宽。

VCSEL 的光特性是需要重点关注的，因为关系到光的耦合。光场强度在空间稳定分布的形态是光场模式。VCSEL 中包含的光场模式有横模和纵模。在光场的空间分布图中，与光传播方向垂直的截面上呈现的光分布称为横模；沿轴向传播的模式为纵模^[59]。VCSEL 的纵模受谱线宽度、腔长等因素影响。谱线越大，腔长越长，符合谐振条件的纵模个数越多；相反，VCSEL 短的腔长可以实现单纵模工作^[52]。对于 VCSEL 的横模光场，它的基模可以近似为高斯模^[61,62]，但是高阶模不能用高斯光束模型来分析^[63,64]，因此当 VCSEL 辐射少量高阶模时，可以用近似高斯光束来模拟它的光场。如果将 VCSEL 输出的光近似看成是高斯光束，那么它的远场仍是高斯光场。VCSEL 的远场指的是距发射光源 5 个波长或更长距离的光束分布，其输出的光束能量会随输出端的距离增大而发散。发散角 2θ 是主要衡量 VCSEL 远场特性的量。经^[59]估算， 2θ 等于 $0.64(\lambda/2S)$ ，其中 $2S$ 是 VCSEL 输出端的光斑大小， λ 表示波长。因此，为了达到良好的 VCSEL 光特性，需要减小腔长，使其光束单纵模输出；另外还需要尽量增大光斑，减小发散角度。

表 2.1 被采用的两种商用 VCSEL 的特性参数

公司产品		Philips Photonics	II-VI
电学参数	阈值电流	0.7mA	0.7mA
	斜坡效率 (0°C)	0.4W/A	0.5W/A
	输出功耗 (6mA)	2mW	2.5mW
热学特性	热阻	2.5K/mW	3K/mW
	斜坡效率的变化	-0.45%/K	-0.35%/K
调制特性		12GHz (typical)	18GHz (typical)
光学特性	出射波长	850nm	850nm
	光束发散角	25°	27°
工作温度		0°C~85°C	0°C~85°C

我们采用了两种 VCSEL。为了适应 QSFP 光模块的设计，这两种光芯片都是 1×4 阵列的 VCSEL 阵列。一种采用 Philips Photonics 公司的 VCSEL，它的

3dB 调制带宽典型值为 12GHz, 适合应用于 10Gbps 的光互连; 一种采用 II-VI 公司, 它的 3dB 调制带宽典型值为 18GHz, 适合应用于 25Gbps 的光互连。两者的具体参数见表 2.1。

2.1.2. 光电探测器 (PD)

在光组件的接收端, 它需要把接收到的光信号转化为电信号, 其中光电探测器 (PD, photo diode) 就担当着此重任, 它基于光辐射与物质的作用产生光电效应, 将光辐射转换成电能量。

在通信系统中, PD 的分类主要有三种: PIN 光电探测器, 雪崩二极管 (APD, avalanche photodiode) 和金属-半导体-金属 (MSM) 光电探测器。PIN 光电探测器是由最初的 PN 结构成的光电探测器发展而来, 由于最初的光电二极管耗尽区太窄, 器件工作过程存在载流子扩散, 影响器件响应速度, 仅适用于低速光电转换。PIN 通过高掺杂的 P 区和 N 区之间插入了一层本征半导体材料 (I 区), 增加了耗尽层宽度, 从而增大了光吸收和光变换区域, 相比于最初的光电二极管, 提高了响应速度, 消除扩散电流的影响, 其响应波长大致为 $0.4\sim 1.1\mu\text{m}$, 但 I 层厚度的增加, 会影响它的响应速度, 因此 PIN 光电探测器不适合在长距离和特别高的传输系统中^[65,66]。对于 APD, 它利用较高的偏压来加速光生载流子的运动, 高速碰撞产生新的电子-空穴对, 新的电子空穴对又在高速运行下产生更多的碰撞, 具有倍增效应, 但其固有带宽低并且结构复杂, 噪声大, 一般应用于较低速的长距离传输系统中^[67,68]。MSM 光电探测器是两个背靠背的肖特基二极管构成, 寄生电容小, 响应速度快, 另外, MSM 光电二极管的结构简单, 易于制作, 整个生产过程与 FET 兼容, 其响应波长主要为 1300-1500nm 的低损耗窗口波段, 因此, 适应于高速长距离通讯^[68]。目前, 应用于数据中心的短距互连中的光电探测器主要为 PIN 光电探测器。

PIN 光电探测器是利用光伏效应工作的, 当光入射进入 P-N 结, 且光子能量大于带隙能量时, 处于价带的电子在吸收光子能量后, 会跃迁到导带, 导带出现光电子, 同时在价带也会出现光空穴, 该光电子-空穴对被称为光生载流子。当 PN 结加反偏电压时, 由于 P 和 N 区是高掺杂, 电阻小, 反偏电压主要加到本征区, 导致光生电子-空穴对分别向 P 区和 N 区漂移, 产生光生电流。光生电流的大小与光强的大小有关。PIN 光电探测器的工作原理见图 2.3。

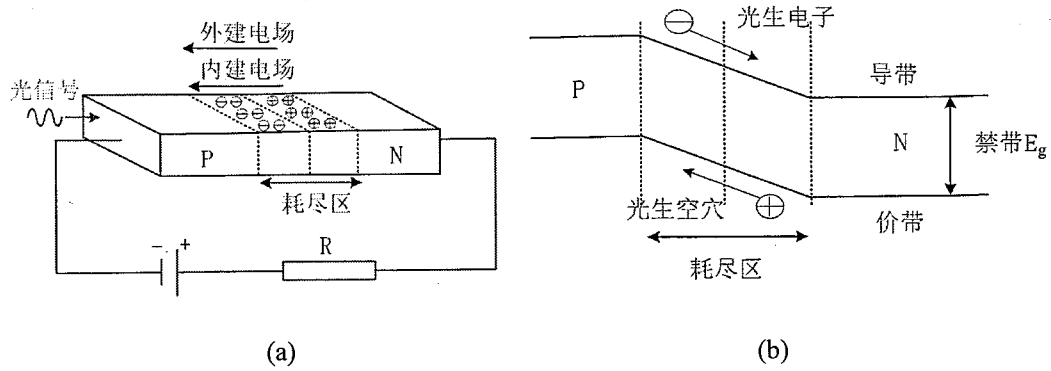


图 2.3 PIN 探测器的工作原理 (a)工作示意图 (b) 工作机制

PIN 光电探测器的基本特性包括响应度、量子效应、击穿电压、暗电流、带宽和噪声等，下面会对它们进行详细介绍。

响应度表征光电探测器的入射光功率与光生电流的转换能力 (I_p/P_{in} , I_p 是光生电流, P_{in} 是输入光功率), 响应度越小, 转换能力越低。响应度是波长的函数, 不同波长下响应度也不同, 一般在某个波长下响应度会有最大值, 但当入射波长增大到截止波长时, 光响应度会快速变为 0。要想提高响应度, 需要改变结构来提高光生电流: ①减小光吸收层来增强光响应度。在光吸收层产生的光生载流子需要通过扩散才能进入耗尽层, 而在扩散过程中有一部分载流子会复合, 因此可以通过薄的光吸收层来减少载流子的复合; ②加宽耗尽层来增强光响应度。耗尽层加宽可以使全程的输入光产生载流子, 光的响应度与耗尽层厚度成正比; ③减小光敏面的反射率来提高响应度。减少反射率可以提高光输入。

量子效率的定义为: 每注入一个入射光子, 所产生的电子-空穴对的个数。一般而言, 入射的光子会被损耗, 比如入射面的反射, 只有部分光子会对电子-空穴对有贡献, 量子效率 η 和响应度 R 这两者之间的关系为 $R = \frac{\eta e}{h\nu}$, 其中 e 为电子电荷, $h\nu$ 为光子能量^[52]。响应度和量子效率都是为了表征从光转成电的能力, 只是响应度是从宏观角度来表征, 而量子效率是从微观角度来表征。

其实在 PIN 光电探测器未入射光信号时, 它的工作状态跟普通的 PN 结二极管一样, 在加反偏电压后, 会有微弱的反向电流产生, 该电流被称为暗电流; 当反偏电压被加到一定值时, 探测器的电流会激增, 从而造成二极管击穿, 使器件发生击穿的反偏电压值被称为击穿电压。暗电流与 PN 结的结面积有关, 因此, 随着外加反向电压的增大, 暗电流也会变大, 但是随着反向电压增大, 暗电流增

大的速度越来越慢。另外暗电流也会随着温度的升高而增大。其实，大的暗电流会对信号电流产生影响，它会造成探测器最小可探测的光功率值减小，使光电探测器的灵敏度下降^[69,70]。击穿电压与耗尽区的宽度有关，耗尽区越宽，需要的击穿电压就越大。另外击穿电压也 PN 结的弯曲程度有关。尽管 PN 结近似平面结，但是大多数 PN 结都是弯曲的。PN 结的曲率会使加在 PN 结的电压增强，从而减小了击穿电压^[71]。曲率越大，击穿电压越小。反向击穿电压可能会造成器件的损坏，一般反向击穿电压被当做最大的工作电压。但是如果通过合理的措施进行了限流，那么反向击穿电压就可以被认为是一个参考电压。PIN 光电探测器的静态工作曲线见图 2.4。

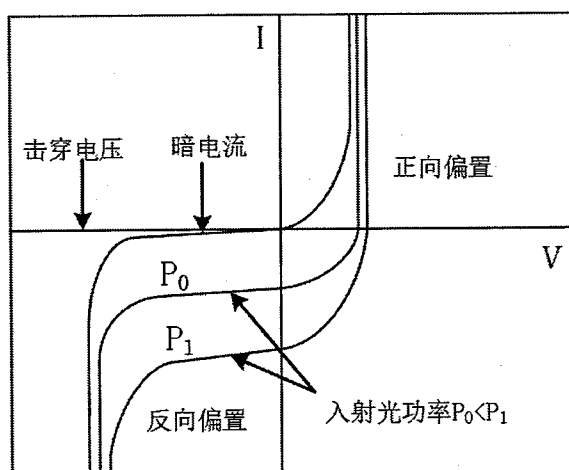


图 2.4 PIN 光电探测器的静态工作曲线

上升时间和带宽是表征光电探测器的响应速度的两个重要参数。上升时间 t_r 是指输出脉冲幅度从 10% 到 90% 所需要的时间，对于全耗尽的光电探测器而言，上升时间和下降时间基本相同，上升时间与光生载流子扩散时间、渡越时间以及 PN 结电容有关^[72]。随着扩散时间、渡越时间以及 PN 结电容的增大，上升时间也会增大。在耗尽层外的光生载流子需要通过扩散进入耗尽区，扩散长度越长，扩散时间越长；在耗尽区的光生载流子在外向偏压下需要进行渡越，渡越的时间随着耗尽层厚度的增大而增大，而随着反向偏压的增大而减小；PIN 相当于 PN 二极管，因此存在一定的结电容，结电容会有分流作用，结电容越大，分流越多，负载电流就会越小，从而增加了上升时间。带宽 νf 是在频域表征了光电转换的速度，一般 3dB 带宽是指信号从输入到输出，功耗降低一半的频点。

光电探测器的噪声主要有暗电流噪声、散粒噪声和热噪声^[71]。光电探测器探

测信号的噪声底限值就是由暗电流大小决定的。当光入射到探测器后,光生载流子不断的复合和产生,该种特性会产生散粒噪声。热噪声是二极管热运动造成的,会引起耗尽区两端的电压发生变化。总噪声越小,探测器探测微弱信号的能力就越强。通常用灵敏度来表示探测器探测微弱信号的能力,能接收到的光功率越小,就表明该探测器的灵敏度越高。

PIN 光电探测器的光敏区域是光入射的区域,它的大小以及材料特性决定了光进入器件的耦合效率。光敏面积大,光的耦合效率会变大,但是大的光敏面积也会带来大的结电容和大的噪声,使灵敏度变小,同时调制带宽也会变低。因此,在设计探测器的光敏面积时需要综合考虑。

表 2.2 被采用的两种商用 PD 特性参数

公司产品	Cosemi	Cosemi
响应度	0.6A/W	0.5A/W
暗电流	1×10^{-10} A(max)	1×10^{-9} A(max)
击穿电压	—	—
3dB 调制带宽	12GHz (V=-3V)	20GHz (V=-3V)
结电容	1.7×10^{-13} F (V=-5V)	1.2×10^{-13} F (V=-5V)
光敏区域	60 μ m	32 μ m
工作波长	850nm	850nm
工作温度	-40 $^{\circ}$ C~125 $^{\circ}$ C	-40 $^{\circ}$ C~125 $^{\circ}$ C

由于我们选用的是 850nm 的 VCSEL,因此对于 PD 仍选用 850nm 的 PIN 光电探测器。选用了两种 PIN PD 芯片,仍是 1 $\times$ 4 的阵列,一种是来自于 cosemi 的,它的调制带宽为 12GHz,适用于 10Gbps 的传输;一种是来自于 Vertically Integrated System 的,它的带宽为 20GHz,适用于 25Gbps 的传输。两者具体的参数指标见表 2.2。

2.1.3. 多模光纤

光纤是传播光信号的媒质,它是一种由纤芯和包层所组成的圆柱形的光波导,将光信号的电磁能量束缚在波导表面以内,并且引导电磁波沿轴向传播。纤芯和

包层的特性用折射率表示, 纤芯的折射率总比包层的折射率大。光纤根据传播模式分为多模和单模光纤, 单模光纤只能传播单个模式, 多模光纤能允许多个模式的传播。多模光纤比单模光纤芯径粗, 能从光源耦合更多的光功率, 可以使用发光二极管(LED, light-emitting laser)作为光源, 并且成本比单模光纤小。但是输入光功率会以不同的光模式来传播, 这就导致携带光功率的不同模式传播到光纤末端的时间不同, 从而使信号在时域展宽, 这就是模间色散; 而在单模中就不存在模间色散^[73]。基于此原因, 多模光纤在带宽特性和传输损耗方面的表现不如单模光纤, 因此多模光纤比较适合应用于短距光互连。多模光纤与单模光纤的示意图如图 2.5 所示。

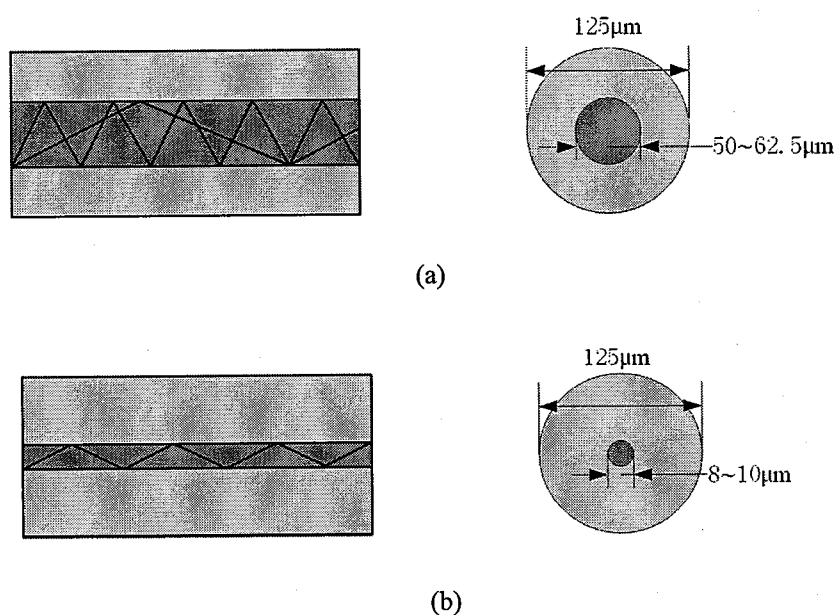


图 2.5 根据纤芯尺寸的光纤分类(a)多模; (b)单模

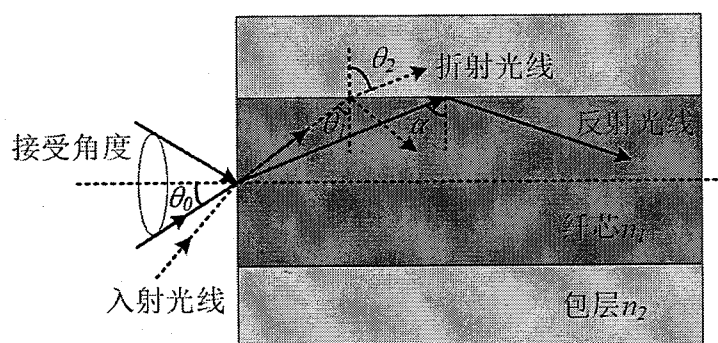


图 2.6 子午光线在光纤中的传播机制

对于多模光纤, 它的光传播特性可以用数值孔径 (NA, numerical aperture)

来表示, 由于多模光纤的纤芯直径远远大于工作波长, 因此在多模光纤中的传播理论可以用简单射线光学来近似^[73]。基于菲涅尔定律, 当子午光束从折射率大的纤芯入射到折射率小的包层中, 会在分界面出现反射和折射。以阶跃光纤为例, 应用光学理论来分析光波在光纤中传播方式, 如图 2.6 所示。首先, 一束子午光纤从折射率为 n_0 的媒质中进入光纤纤芯, 光线与光纤轴的夹角为 θ_0 ; 进入纤芯之后, 光线会以入射角投射到纤芯和包层的截面发生折射和反射。如果满足全反射条件, 则光线会在全反射后沿着纤芯传播。

设纤芯的折射率为 n_1 , 包层的折射率为 n_2 。根据菲涅尔定律,

$$n_0 \sin \theta_0 = n_1 \sin(\frac{\pi}{2} - \theta_1) = n_1 \cos \theta_1 \quad (2.1)$$

$$n_1 \sin \theta_1 = n_2 \sin \theta_2 \quad (2.2)$$

当 θ_1 大于某一个角度 α 时, 就会发生全反射, α 就是发生全反射的最小的角度。根据菲涅尔定律,

$$\sin \alpha = \frac{n_2}{n_1} \quad (2.3)$$

如果光纤的入射角小于 α , 则会有一部分光进入包层而损耗掉。再将菲涅尔定律应用到光纤端面上, 那么根据(2.1), 在光纤端面上存在最大的入射角 $\theta_{0,\max}$, 如果端面入射角小于该入射角, 在纤芯与包层之间会出现全反射。反之, 会有一部分光经过折射而损失掉。

$$\begin{aligned} n_0 \sin \theta_{0,\max} &= n_1 \sin(\frac{\pi}{2} - \alpha) = n_1 \cos \alpha \\ &= n_1 \sqrt{1 - \frac{n_2^2}{n_1^2}} = \sqrt{n_1^2 - n_2^2} \end{aligned} \quad (2.4)$$

在(2.4)式中, 定义了阶跃光纤的数值孔径 NA, 即

$$NA = \sqrt{n_1^2 - n_2^2} = n_1 \sqrt{\Delta} \quad (2.5)$$

在(2.5)式中, Δ 为 $\frac{n_1 - n_2}{n_1}$, 即光纤芯层与包层的相对折射率差。

其实光纤中除过子午光线外, 还存在斜光线, 如图 2.7 所示。子午光线是经过光纤对称轴的子午平面内的射线, 而斜光线是沿一条类似螺旋形路径在光纤中

传播的。斜光线在光纤中传播时，光路不在同一平面上，所以要用射线法追踪斜光线比较难。尽管导波光纤中有一大部分是斜射光，但是获得光纤的一般特性仅分析子午光束就可以达到目的^[73]。

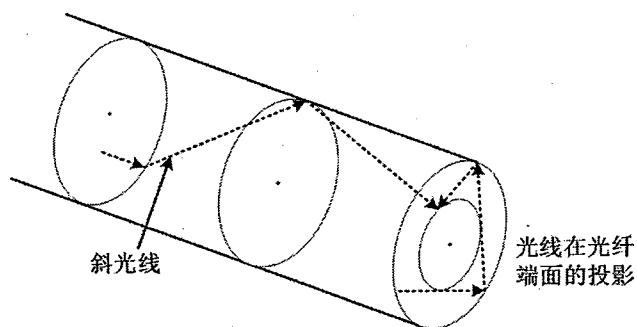


图 2.7 斜光线的传播

多模光纤根据材料可以分为石英光纤和塑料光纤。塑料光纤是用透明的聚合物制成的光纤；石英光纤是由高纯度二氧化硅加入适量掺杂剂组成，因此塑料光纤比石英光纤的成本低。一般塑料光纤的纤芯直径高达 200-1000 μm ，而石英光纤的纤芯直径大概在 50~100 μm ，因此光器件与塑料光纤的光耦合比较容易实现。但是与石英光纤对比，塑料光纤的传输损耗大，这一因素限制了塑料光纤的传输距离^[74]。未来经过优化，聚合物光纤有可能会普遍应用。但是目前，大多数短距光互连中所用的光纤，基本上都是采用石英光纤。

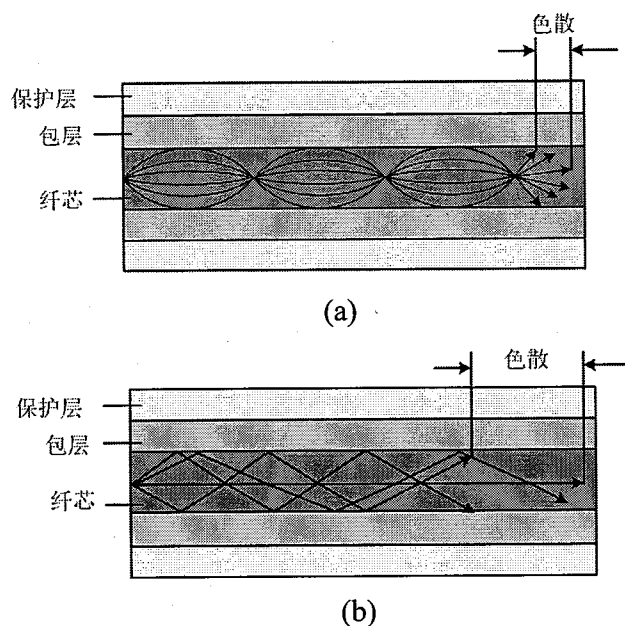


图 2.8 根据光纤结构的光纤分类(a)梯度型光纤；(b)阶跃型光纤

多模光纤根据光纤结构主要分为两种，一种是梯度型光纤，另一种是阶跃型光纤。对于梯度型光纤而言，纤芯的折射率在从纤芯的外围向中心点逐渐增大，这样光线在光纤中传输的轨迹就类似于正弦波，从而减少信号的模间色散，提高了光纤传输带宽，增加了传输距离。而对于阶跃型的多模光纤而言，纤芯和包层折射率基本保持不变，但是纤芯的折射率比包层折射率大，在纤芯和包层的交界面有折射率差。但是在阶跃型光纤中，不同入射角的光纤在光纤中的传播路径是不同的，会导致其到达终端的时间也不同，造成脉冲展宽，因此，阶跃型的光纤一般比梯度型的光纤带宽低，如图 2.8 所示^[73, 75]。随着光信号在光纤中传输距离增加，光纤内的色散现象越来越严重，会影响传输信号性能。因此常用于评估光纤光学特性的一项综合指标就是带宽-距离乘积，它表示一段光纤所能通过的最大调制频率和光纤长度的乘积，单位为 MHz×km。

表 2.3 OM1, OM2 和 OM3 的光纤特性

多模光纤型号	带宽 (850nm) MHz×km	1Gbps 传输距离 (850nm)	10Gbps 传输距离 (850nm)	光纤等级
标准 62.5 μm/125 μm	200	275	33	OM1
标准 50 μm/125 μm	500	550	82	OM2
50 μm/125 μm-110	600	750	110	OM2+
50 μm/125 μm-150	700	750	150	OM2
50 μm/125 μm-300	1500	1000	300	OM3
50 μm/125 μm-550	3500	1000	550	NA

为了光通信的发展，七十年代末到八十年代初，国际电工委员会推荐了四种梯度型多模石英光纤，即 A1a、A1b、A1c、A1d。它们的纤芯/包层直径分别为 50/125、62.5/125、85/125 和 100/140。但是，如果纤芯和包层尺寸大，制作成本会比较高，抗弯性能差，传播模式多，光纤带宽低。因此，100/140 和 85/125 逐渐被市场所淘汰。相比 50μm 芯径多模光纤而言，芯径为 62.5μm 多模光纤芯径大，数值孔径高，能从 LED 光源耦合更多的光功率，因此 62.5/125μm 多模光纤首先被广泛应用，并且将其归为 OM1 光纤等级。但是随着传输速率达到 10Gbps 的 VCSEL 的出现，用 50/125μm 与 VCSEL 光源耦合已经不成问题，并且 50/125μm

多模光纤的高带宽特性备受青睐。因此将 50/125 μm 传统的多模光纤归为 OM2 光纤等级。后来,美国康宁和朗讯等光纤公司向国际标准化机构提出了“新一代多模光纤”的概念^[76]。新一代的多模光纤的纤芯/包层直径也采用 50/125 μm ,由于 50/125 μm 内部包含的光传播模式是 62.5/125 μm 的 1/2.5,减少了模间色散,增加了光纤带宽。新一代的 50/125 μm 的多模光纤被归为 OM3 光纤等级。OM1, OM2 和 OM3 的光纤特性见表 2.3。我们采用的传播光纤是 OM3 多模光纤^[77]。

2.2. 光耦合结构分析

光耦合结构是光组件中的重要部分。好的光耦合结构可以保证高的耦合效率,因为耦合效率与驱动电路的偏置电流有关,高的耦合效率可以减小偏置电流,进而减少功耗。另外,好的耦合结构也需要保证大的耦合容差,这样可以减少光器件的组装难度。但是,由于短距光模块中光电器件的光源是竖直的,而在光纤中传输的光信号是水平的,所以需要采用特殊的方法将光束进行翻转。目前,被提出的光耦合结构主要有以下几种:基于 45°反射镜的光耦合、基于 90°光纤反转的光耦合和基于 90°柔性基板弯折的光耦合结构,下面对现存的光耦合结构进行分析,并且提出了基于新型光耦合结构的光组件。

2.2.1. 基于 45° 反射面的光耦合

一部分光模块是基于 45°反射镜的光耦合结构。此种耦合方式的优势就是高度比较低,很容易在小体积的光模块中应用,但是此种耦合方式需要对光纤做特殊处理或者添加多余的光器件来实现耦合。

对于此种耦合方式,一般将光芯片(PD/VCSEL)以 wirebonding 或者 flip-chip 的形式水平贴装到基板。然后将光芯片输出的竖直光束通过 45°反射面转成水平光束。45°反射面既可以是通过被抛光的 45°传输介质(多模光纤)的端面^[44, 45, 78-81]也可以是基板(硅基等)上形成的 45°斜面^[49]。为了减少光束之间的干扰,可以在光源处加微透镜将光束进行聚焦,进行聚焦的光束经过 45°反射镜反射,转成水平光束,再在水平位置放置合适尺寸的微透镜,将聚焦后的光束耦合到光纤端面。在光源处聚焦的实现可以通过在光芯片的有源面直接加透镜^[44, 82, 83],或者在基板上通过刻蚀^[84, 85]、模具成型^[86]等工艺来形成透镜,也可以直接在特殊材料上形成分立的透镜阵列^[41, 45, 80];水平位置的聚焦可以通过多模光纤端面抛光或者直接放置透镜阵列^[80]等方式来实现。该种耦合方式可以采用有源耦合工艺,在

光芯片光源被点亮后进行光耦合, 该种光组装工艺难度大, 对准精度低^[41, 78]。也可以通过无源对准工艺, 无源对准工艺不需要将光芯片驱动进行工作。一部分无源对准是通过导向插入来实现的, 在无源光器件的部分需要引导针, 在有源光芯片所位于的基板上的合适位置需要做定位插孔来与引导针相匹配^[80], 该种方式适合光芯片光源朝上, 多模光纤位于有源芯片上方的情况; 还有一部分会通过透明基板材料(如石英玻璃、有机玻璃等)^[78, 86]或者基板上 V 型槽^[49, 79]来实现无源对准, 该种方式适合光芯片光源朝下, 多模光纤位于有源芯片下方的情况。相比于有源对准工艺, 采用微组装系统进行无源对准, 难度偏小。但是, 需要进行多个光学器件的对准, 包括光芯片, 透镜, 光纤等光学器件。在该结构中, 光芯片与电芯片的互连仅通过基板上的传输线来实现互连。基于 45°反射面的光耦合的机制见图 2.9。

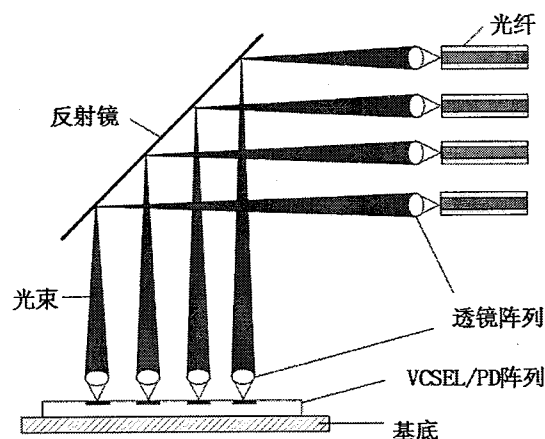


图 2.9 基于 45°反射面的光耦合示意图;

经过调研, 对于 45°光耦合结构, 在 10Gbps 传输速率下, 在没有透镜情况下最大光耦合效率一般在 -2dB 左右, -3dB 耦合容差大致为 10μm 以内; 在加透镜后最大耦合效率一般在 -1dB 左右, 有些甚至能到 -0.5dB, -3dB 耦合容差能到 15μm 左右。在 25Gbps 传输速率下, 一般都需加透镜, 因为随着速率增大, PD 的接收面变小, 不采用透镜, 很难被 PD 接收。此种结构的封装高度大概在毫米量级^[87]。

2.2.2. 基于 90°光纤弯折的光耦合

基于 90°光纤弯折的光耦合结构, 就是将一小段多模光纤进行弯折, 将 VCSEL 的光源耦合到弯折的多模光纤或者将弯折光纤中的光束竖直耦合到 PD

中, 实现光束 90° 的翻转, 如图 2.10 所示。一般该种光耦合结构是通过无源方式进行光对准, 大多数采用导向插入方式来实现^[37, 88]。光芯片与电芯片通过基板进行水平互连。

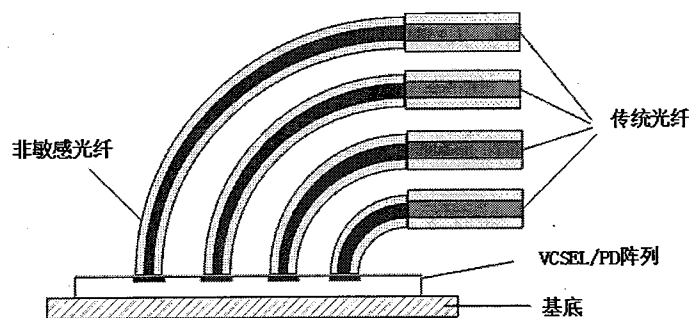


图 2.10 基于 90° 光纤弯折的光耦合结构

但是光纤是很敏感的光器件, 它的弯折损耗很容易受光纤弯折半径的影响, 弯折半径越大, 弯折损耗越小, 但是高度会变高, 制约了光组件在小型光收发器的应用, 为此, 古河电气公司提出用对弯折不敏感的多模光纤代替传统的梯度型光纤, 光纤纤芯与包层分别为 $50\mu\text{m}/80\mu\text{m}$, 两者的折射率相差 2%, 比传统的多模光纤的折射率差大。该非敏感光纤的弯折半径减小到 1mm 时, 弯折损耗仅有 0.1dB, 而传统的 OM3 光纤有 1.5dB, 弯折损耗减小了 93%^[38, 89]。但是非敏感光纤的缺点是传输带宽比较小, 比如非敏感的 $50\mu\text{m}/80\mu\text{m}$ 的光纤的带宽大概为 240MHz.km, 因此, 如果通过光纤进行较长距离传输, 传播光纤仍需要采用传统的梯度型光纤, 仅将弯折的光纤改用于非敏感的光纤。据文献^[87]研究, 从传统的传输光纤到非敏感光纤的耦合损耗仅有 0.1dB, 但是, 该非敏感光纤到传统的传输光纤之间的耦合损耗却有 1.5dB, 大幅度提高了光耦合效率。经 Suzuki 验证, 采用该种耦合结构在平面的 -1dB 耦合容差达到了 $\pm 20\mu\text{m}$, 从 VCSEL 到光纤最大的耦合效率达到 76%。此种结构的封装高度与 45° 反射面耦合结构的类似。

2.2.3. 基于 90° 柔性基板弯折的光耦合

基于 90° 柔性基板弯折的光耦合结构是一种直接耦合方式, 通过 90° 弯曲的柔性电路板, 将电学互连进行 90° 弯折, 光芯片竖直地位于电学基板上, 光源与光纤水平对准, 不需要进行 90° 光束弯折, 具体结构如图 2.11 所示。

在该种耦合方式中需要先通过光透镜对光束进行聚焦, 再将聚焦后的光束传输到光纤中。其中, 实现聚焦的透镜一般采用分立的透镜整列来实现, 因此, 需

要对光纤与光透镜以及光透镜与光纤之间的位置进行调整和对准。该种结构大多采用无源对准,为了组装方便,光纤与光透镜之间的位置会通过导向插入来减小组装的容差,光透镜和光芯片之间的对准通过微组装的系统来实现^[42,90,91]。经^[92]仿真验证,光耦合效率最大为-0.75dB,在平面的1dB耦合误差是 $\pm 10\mu\text{m}$,在轴向的耦合误差是 $60\mu\text{m}$ 。但是,柔性基板的高度一般比较高,限制了该结构在小型光收发器的应用。

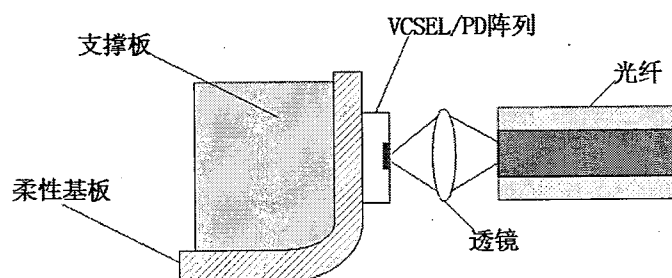


图 2.11 基于 90°光纤反转的光耦合结构

表 2.4 三种耦合结构的对比

耦合结构	电学互连	光学互连	高度	耦合效率 (dB)	耦合容差 (μm)
基于 45°反射镜	无 90°弯折	90°弯折	毫米级	-2 (无透镜) -1 (有透镜)	± 10 (无透镜) ± 15 (有透镜)
基于 90°弯折光纤	无 90°弯折	90°弯折	毫米级	-2 (发送) -0.5 (接收)	± 20
基于 90°弯折柔性基板	有 90°弯折	无 90°弯折	厘米级	-0.75	± 10 (平面) 60 (轴向)

表 2.4 对比了这三种光耦合结构,可以看到,这些结构都有自身的缺点,基于 45°反射镜和 90°弯折光纤的耦合结构高度比较低,电学组装与互连难度小,但是耦合效率都比较小;对于耦合容差,90°弯折光纤比 45°反射镜的略微大一些,组装难度小一些。基于 90°柔性基板的光耦合结构耦合效率高于前两者,但是高度受限于柔性基板的弯折高度,垂直于光轴平面上的耦合容差与前两者相差不大,但是光轴上的耦合容差比较大,方便组装。另外,这三种耦合结构都需要附加的光器件,如透镜,非敏感光纤等。为此,我们提出了一种新的光组件结构,补偿了这些缺点,在没有附加的光器件情况下,既具有低的高度,又具有相对较高的耦合效率以及耦合容差,另外,组装方式也采用常用的微组装方法。

2.2.4. 基于新型光耦合结构的光组件

我们新提出的光组件结构是基于硅基材料 (SiOB), 采用 wafer 后道工艺来实现, 因此, 可以产生小尺寸的元件, 并且生产成本比较低, 另外目前在硅基上的生产工艺比较成熟, 生产尺寸能达到微米级的制作精度, 适合高精度的光学组装。光组件的侧视图如图 2.12(a)所示。

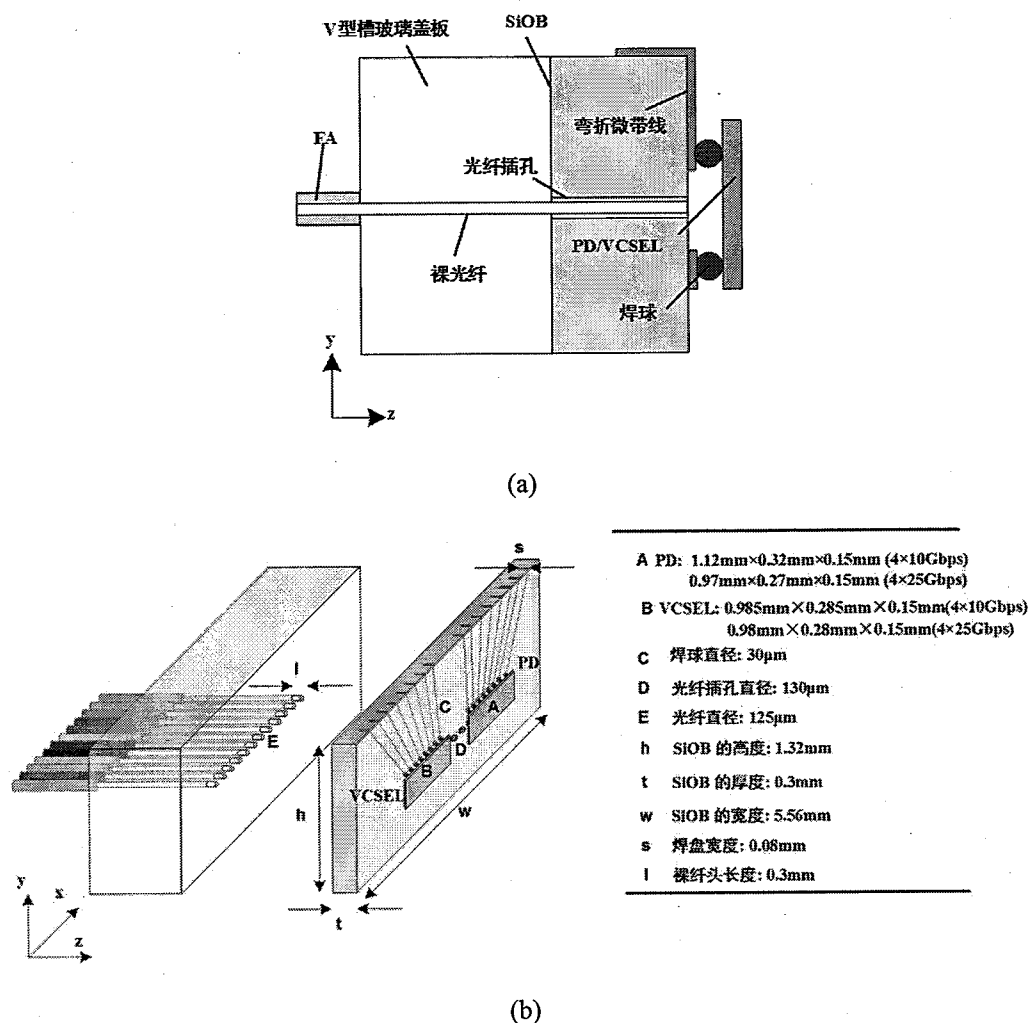


图 2.12 新型光组件结构示意图: (a)侧视图; (b)标有尺寸的斜视图。

该光组件包含的主要器件有: 商用的 4 通道的 850nm 的 GaAs VCSEL 阵列和 PD 阵列, 具体参数见表 2.1 和 2.2; 带光纤插孔和 90°翻转微带线的 SiOB 以及带有 V 型槽玻璃盖板的 12 通道的光纤阵列 (FA, fiber array)。在新提出的光组件中未采用 90°光束方向的翻转, 光器件 (VCSEL 和 PD) 通过 flip-chip 的方式竖直地表贴到 SiOB 的侧面上, 互连焊球的直径为 30μm; 12 根 OM3 多模光纤 (四发四收以及中间四个来隔离收发) 位于 FA 的 V 型槽内, 在 FA 的前端,

有 300 μm 长的裸光纤裸露在外面, 为了插入 SiOB 上间距为 250 μm 的光纤插孔内, 光纤插孔的直径和长度分别为 130 μm 和 300 μm , 在光纤插入孔后, 光纤端面正好与 SiOB 的侧面重合, 光芯片的光源与光纤端面的间距为互连焊球直径, 因此, 在 SiOB 上不需要制作透镜等其他光学器件来使光束聚焦, 光源直接与光纤进行无源和直接地光耦合, 简化了组装流程; 在 FA 的后端, 带导向针的 MT 头通过 MPO 适配器与 MPO 母头连接器相连, 位于光纤阵列的光纤束与外部的多模传播光纤进行光学耦合。

另外光组件与电学芯片的互连也被仔细地进行了分析和研究, 在基于柔性基板的光耦合结构中, 光束没有进行 90° 的翻转, 但是电学互连需要通过柔性基板的 90° 弯折实现翻转^[37, 88]。同样, 在我们提出的新的光组件中也存在这个问题, 因为竖直表贴的光芯片的焊盘与水平表贴的电芯片的焊盘是垂直的, 二者之间直接的电学互连的实现比较困难, 因此, 我们提出在 SiOB 上实现 “ $\neg$ ” 型的 90° 弯折的微带线, 将光芯片竖直的焊盘连到水平的焊盘上, 为了方便后续与电学部分的互连, 互连方式既可以采用低成本的引线键合也可以采用良好电性能的 flip-chip 形式。该方案能有效地实现光组件与电学部分的互连和组装, 简化了组装难度。

由于在硅基上可以实现比较小的尺寸, 该 SiOB 的尺寸仅有 5.56mm $\times$ 1.32mm $\times$ 0.3mm, 高度仅有 1.32mm, 适合应用于小型光收发器中; 另外光芯片直接和无源地与光纤对准, 避免了其他光学器件的应用, 减少了组装难度, 光组件尺寸示意图如图 2.12(b) 所示。尽管在本文呈现的是 4 收 4 发的光组件, 但是此结构仍可根据需求拓展到更多通道。

2.3. 新型光组件的光学特性

采用该种新型的光组件结构, 光学耦合效率和耦合容差是否能够满足要求, 这就需要对其光学特性进行分析与优化。为此, 首先对有源面与多模光纤的两种耦合理论进行了研究, 然后通过光束传播法 (BPM, beam propagation method) 对其耦合结构的光学特性进行了仿真和分析。

2.3.1. 直接光耦合的耦合理论

对于光源与光纤的直接耦合方式既可以通过模式耦合理论^[93]来研究也可以通过射线追踪法^[94]来研究。

(1) 模式耦合理论

对于 VCSEL 的光源, 基模光场类似于高斯光, 高阶模不能用高斯模来等效^[64], 因此在辐射出少量高阶模的情况下, 可以假设 VCSEL 的近场光近似于高斯光, 其远场分布仍是高斯光束^[59], 一般在驱动电流大于阈值电流不多的情况下, 高阶模输出比较少, 可以近似为高斯光束, 它的分布函数为(2.6):

$$I(x, y) = A(z) \exp \left\{ -2 \left[\left(\frac{x}{w_x} \right)^2 + \left(\frac{y}{w_y} \right)^2 \right] \right\} \quad (2.6)$$

其中 w_x 和 w_y 分别为近场高斯光束在垂直于传播轴的平面上 x 和 y 轴上的腰宽; $A(z)$ 是只与 z 有关的常量。

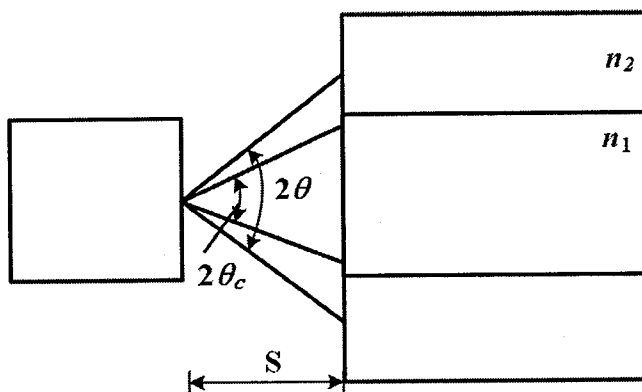


图 2.13 光束直接耦合示意图

基于在 S 截面上高斯分布, 见图 2.13, 可以计算出 VCSEL 发出的全部光功率, 总功率函数为(2.7):

$$\begin{aligned} P_0 &= 2 \int_0^\infty \int_0^\infty I(x, y) dx dy \\ &= 2 \int_0^\infty \int_0^\infty A(s) \exp \left\{ -2 \left[\left(\frac{x}{w_x} \right)^2 + \left(\frac{y}{w_y} \right)^2 \right] \right\} dx dy \\ &= \text{Berf}(\infty) \end{aligned} \quad (2.7)$$

$$\text{其中 } B = \left(\frac{\sqrt{2\pi}}{2} w_y \right) A(s) \int_0^\infty \exp \left[-2 \left(\frac{x}{w_x} \right)^2 \right] dx, \quad \text{erf}(\infty) = \frac{2}{\sqrt{2\pi}} \int_0^\infty \exp \left(-\frac{t^2}{2} \right) dt ;$$

$$\text{另外, } t = \frac{2y}{w_y}, \quad dt = 2 \frac{dy}{w_y} .$$

而在S截面上包含在光纤孔径角 $2\theta_c$ 内的光功率函数为(2.8):

$$P = 2 \int_0^{x_0} \int_0^{y_0} A(s) \exp \left\{ -2 \left[\left(\frac{x}{w_x} \right)^2 + \left(\frac{y}{w_y} \right)^2 \right] \right\} dx dy \quad (2.8)$$

$$= \text{Berf} \left(\frac{2\pi w_{oy} \tan \theta_c}{\lambda} \right)$$

其中 x_0 和 y_0 是在 S 截面的 x 轴和 y 轴上光纤数值孔径所能接收的光斑宽度， w_{oy} 是在 S 截面上的 VCSEL 的光斑大小。

因此，VCSEL 直接与多模光纤耦合时，其耦合效率的理论值为(2.9):

$$\eta = \frac{P}{P_0} = \frac{\text{erf} \left(\frac{2\pi w_{oy} \tan \theta_c}{\lambda} \right)}{\text{erf}(\infty)} \quad (2.9)$$

依照上述理论，如果 VCSEL 光源与多模光纤直接耦合，光纤仅能接收小于多模光纤的数值孔径角 $2\theta_c$ 内的光束，如图 2.13 所示。因此，只要 VCSEL 的光源的发散角 2θ 小于光纤的孔径角 $2\theta_c$ ，并且 S 距离合适，使 S 截面的光斑小于光纤纤芯，VCSEL 输出的全部光都能进入光纤。

(2) 光线追踪法

当光纤纤芯远大于波长时，用光纤追踪法来分析光耦合也能达到很高的精度。假如将 VCSEL 发出的光模式等效为 N_1 根光束，最终经过耦合后，进入光纤纤芯的仅有 N_2 根小于光纤数值孔径的光束，并且能以稳定的波进行传播，那么光的耦合效率为:

$$\eta = -10 \lg \frac{N_2}{N_1} \quad (2.10)$$

如果 VCSEL 发出的 N_1 根光束都能进入纤芯，并且稳定传播，那么，光耦合效率就能达到 100%。

但是上述两种理论都是理想状态，在实际的情况下，在光纤端面仍会产生反射^[95]，根据菲涅尔反射，光纤端面的反射为(2.11):

$$\Gamma = 1 - T = 1 - \frac{4n_1 n_2}{(n_1 + n_2)^2} \quad (2.11)$$

其中, Γ 为反射效率; T 为透射效率; n_1 为与光纤端面接触介质的折射率, 一般为空气; n_2 为光纤纤芯的折射率。

我们采用的传输光纤为 OM3 光纤, 尽管它是梯度型光纤, 但是为了计算方便, 将纤芯的折射率直接等效为有效折射率, 大概为 1.48。通过(2.11)计算, 反射效率大概为 4%

从两种理论推导可以看出, 光源在光纤端面的光斑大小、光束的散射角以及光纤的数值孔径都会影响光耦合效率。

2.3.2. 新型光组件的耦合效率

为了确认上述提到的这些因素对光耦合效率的影响, 通过 BPM 对光组件的光学特性进行了仿真分析, 并且得出了光束在横截面、轴向以及与横截面的夹角的-1dB 耦合容差, 所谓-1dB 耦合容差是指光耦合效率从最大值下降了 1dB 时的容许误差。整个光组件内部光芯片的参数见表 2.1 和表 2.2。传播光纤采用 OM3 光纤, 纤芯直径为 50 μm , 有效折射率设为 1.48, 包层的直径为 125 μm , 有效折射率为 1.46。通过(2.5)计算, 光纤的数值孔径近似为 0.24。

2.3.2.1. 4 $\times$ 10Gbps 光耦合效率分析

基于上述新型光组件结构, 对于 4 $\times$ 10Gbps QSFP 光组件设计, 我们采用了 Philips Photonics 公司的 VCSEL 芯片, 具体的参数见表 2.1, 接收端采用了 Cosemi 公司的光芯片, 3dB 带宽为 12GHz, 具体的参数见表 2.2。

在仿真中, 我们假设 VCSEL 的输出光场为高斯光束。在文献[59]中给出了 VCSEL 输出的光束的发散角 2θ 与光源处的束腰宽度 S_0 有一定的关系, 两者的关系为(2.12):

$$2\theta = \frac{0.64\lambda}{S_0} \quad (2.12)$$

文献[95]中也给出了, 垂直于传输方向距离 VCSEL 光源 z 处的束腰 $S(z)$ 的表达式, 见(2.13):

$$S(z) = S_0 \sqrt{1 + \left(\frac{z\lambda}{\pi S_0^2}\right)^2} \quad (2.13)$$

对于发送端的 VCSEL 芯片, 它的光束发散角是 25°, 可以计算出在 VCSEL

光源处的束腰近似为 $1.23\mu\text{m}$ ；通过表达式(2.13)，当焊球直径为 $30\mu\text{m}$ ，可以计算出在光纤端面的束腰（即光斑大小）近似为 $6.83\mu\text{m}$ 。并且，经计算， $\sin\theta$ 为 0.22，略微小于光纤的数值孔径 0.24，因此，在完全对准的情况下，基本上所有光束能被耦合到光纤中，但是由于在光纤端面，大概有 4% 的反射损耗。经仿真，最大的耦合效率可以达到 -0.18dB。

对于接收端的 PD 芯片，它的接收面大小为 $60\mu\text{m}$ ；从光纤传输出来的光束在 PD 端面的光斑尺寸小于 $60\mu\text{m}$ 的时候才可以被全部接收。当焊球直径为 $30\mu\text{m}$ ，通过仿真，接收端的最大光耦合效率也为 -0.18dB，仅有 4% 的反射损耗。

同时通过 Rsoft-BeamProp 软件对 VCSEL 的 -1dB 耦合容差也进行了分析和研究，具体如下。

(1) 在垂直于光轴的平面上的相对偏移

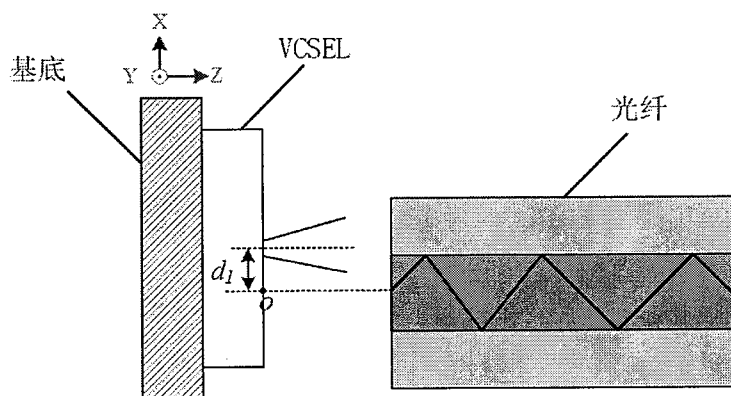


图 2.14 在垂直于光轴的平面上的相对偏移

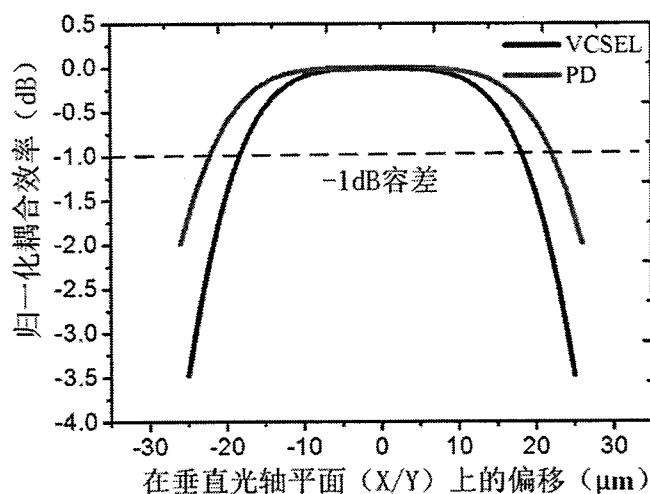


图 2.15 在垂直于光轴的平面上发生偏移后的归一化耦合效率

假如光器件（VCSEL/PD）与多模光纤在垂直于光轴的平面上发生了相对位置偏移（如图 2.14 所示），那么 VCSEL 输出的光场在光纤端面就会发生偏移，导致一部分光场偏离了光纤纤芯的接收范围，从而造成光耦合效率的降低，接收端 PD 也存在同样的问题。图 2.15 为归一化耦合效率的仿真结果，可以看到，在 X/Y 轴，VCSEL 到多模光纤的-1dB 耦合容差为 $\pm 18\mu\text{m}$ ；多模光纤到 PD 的-1dB 耦合容差为 $\pm 22\mu\text{m}$ 。

（2）光器件与光纤在光轴上的相对偏移

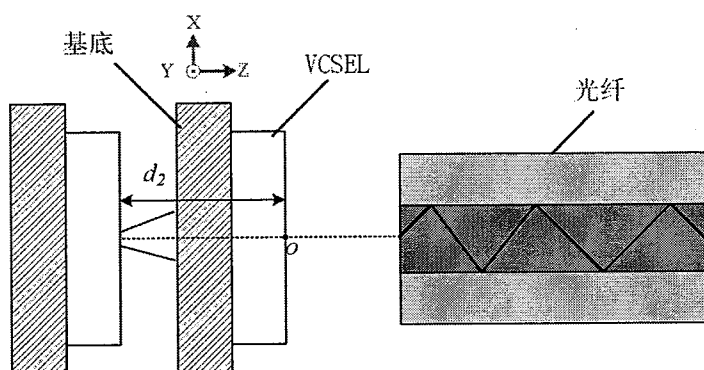


图 2.16 光轴方向上的相对偏移

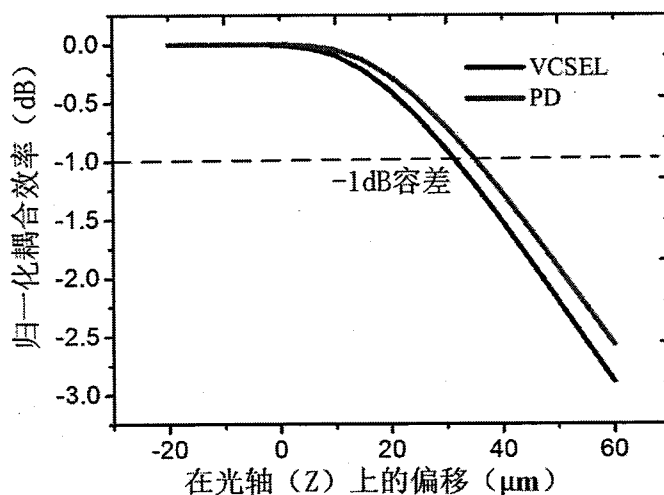


图 2.17 光轴方向上发生相对偏移后的归一化耦合效率

假如光器件（VCSEL/PD）与多模光纤在光轴上的相对位置发生了偏移，如图 2.16 所示，那么，在耦合端面（多模光纤/PD 端面）的光斑尺寸就会发生变化。如果相对位置变小，在端面的光斑尺寸就会变小，耦合效率会更高；如果相对位置变大，在端面的光斑尺寸会变大，耦合效率会变小。图 2.17 为在光轴

(Z 轴) 发生偏移后的归一化耦合效率, 其中 0 表示光纤与光芯片的有源区间距为 $30\mu\text{m}$ 。可以看到, 在光轴 (Z 轴) 发生相对偏移后, VCSEL 到多模光纤的 -1dB 耦合容差为 $\pm 33\mu\text{m}$; 多模光纤到 PD 的 -1dB 耦合容差为 $\pm 38\mu\text{m}$ 。

(3) 光器件的端面与光纤端面在角度上的相对偏移

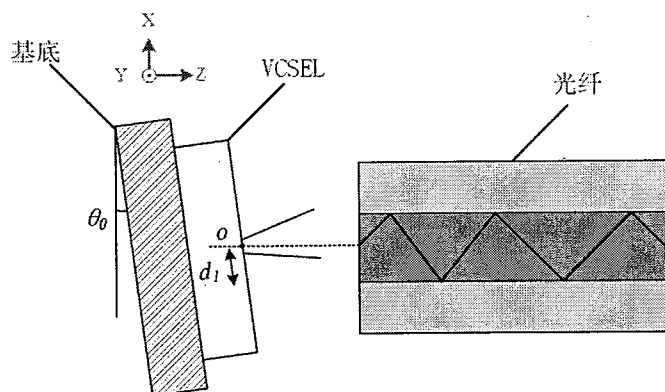


图 2.18 光纤端面与光芯片端面在角度上的偏移

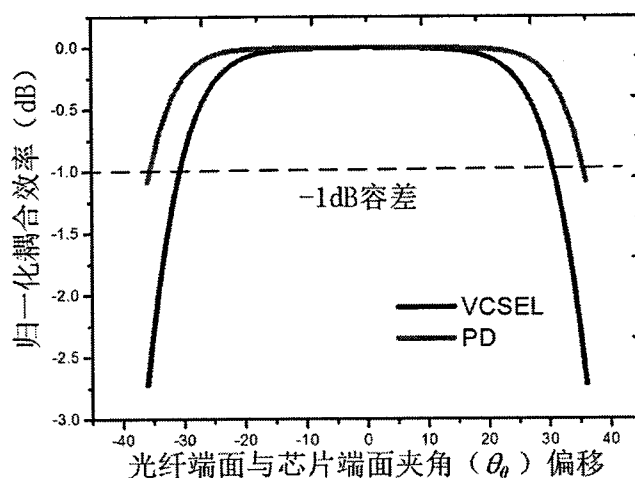


图 2.19 光纤端面与光芯片端面在角度上发生偏移后的耦合容差

假如光器件 (VCSEL/PD) 的端面与多模光纤端面在角度上发生了相对偏移 (如图 2.18 所示), 那么, 在耦合端面 (多模光纤/PD 端面) 的光束与光轴的角度就会发生变化。如果光束角度偏离了多模光纤/PD 的接收角度, 那么光耦合效率就会下降。图 2.19 为角度发生偏移后的归一化耦合效率。可以看到, 在光纤端面与光芯片端面在角度上发生相对偏移后, VCSEL 到多模光纤的 -1dB 角度耦合容差为 $\pm 30^\circ$; 多模光纤到 PD 的 -1dB 角度耦合容差为 $\pm 35^\circ$ 。

从上述分析得知, 在 X/Y/Z 或者角度上, PD 都要比 VCSEL 的 -1dB 容差大一些。另外, 光器件与光纤在 X/Y 轴的偏移对耦合效率的影响最大。

2.3.2.2. 4×25Gbps 光耦合效率分析

我们设计的 4×25Gbps QSFP 的光组件也是基于上述新型光组件结构，只是将光芯片改用为高带宽的光芯片。在发送端，采用的是 II-VI 公司的 VCSEL，它的光散射角 2θ 为 27° ，比 10Gbps VCSEL 的发散角大两度；经计算， $\sin\theta$ 为 0.23，仍略微小于光纤的数值孔径 0.24；在接收端，采用的是 Cosemi 公司的 PD，带宽为 20GHz，它的接收面直径仅有 $32\mu\text{m}$ ，是 10Gbps PD 的接收面的一半；由于高速芯片的光学特性对对准的要求更高，通过仿真验证，如果将光芯片与光纤端面间距减小到 $20\mu\text{m}$ 时，VCSEL 和 PD 才能达到比较大的耦合效率；经仿真，在完全对准的情况下 VCSEL 到光纤的最大耦合效率为 -0.18dB；从光纤到 PD 的最大耦合效率为 -0.23dB。

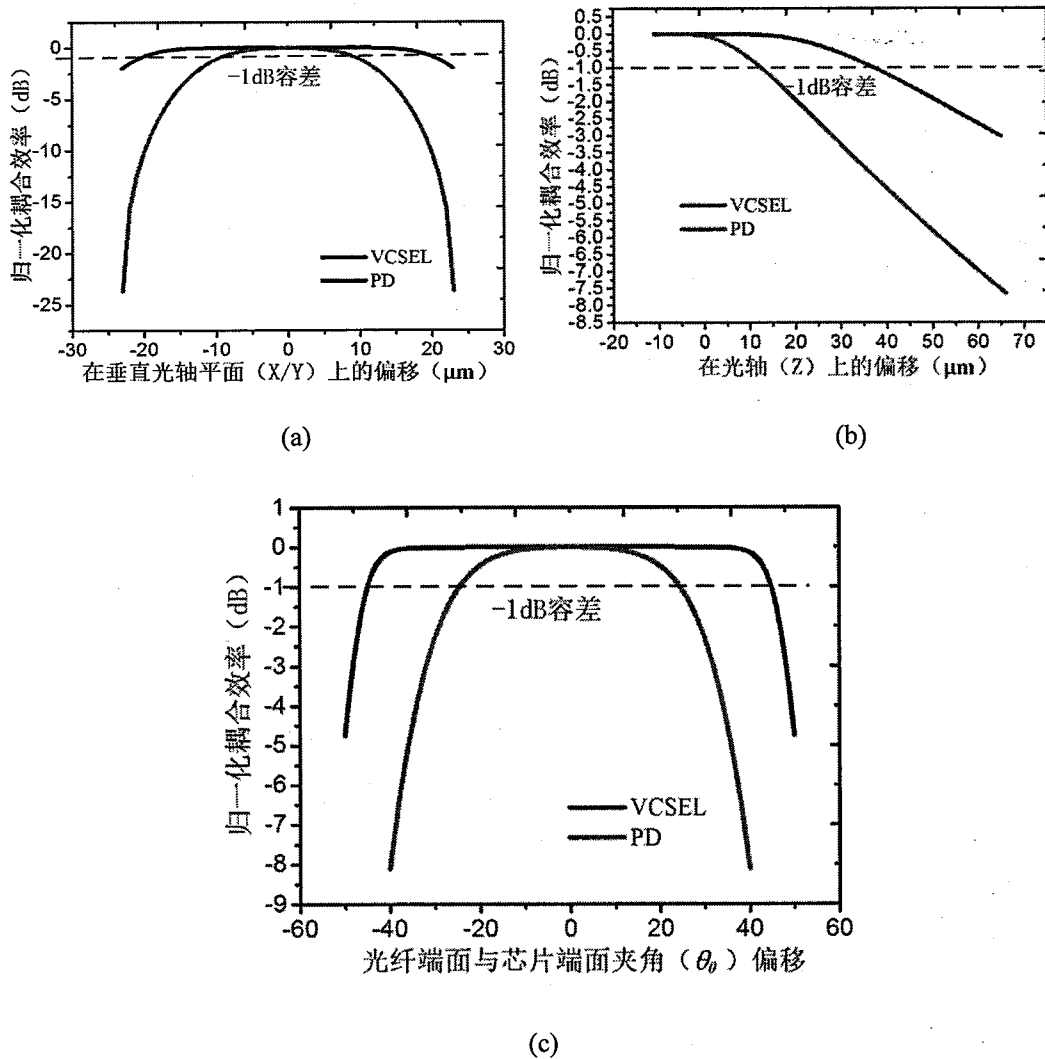


图 2.20 4×25Gbps 的光耦合容差仿真结果

同样，对于发送端和接收端的耦合容差进行了仿真和分析，具体的仿真结果如图 2-20 所示。发送端的-1dB 耦合容差跟之前 10Gbps VCSEL 的类似，在 X/Y 方向和光轴 Z 方向的-1dB 的耦合容差分别为 $\pm 22\mu\text{m}$ 和 $+35\mu\text{m}$ 。由于 VCSEL 与光纤端面的间距太小，因此光纤端面 and VCSEL 端面夹角的-1dB 耦合容差可高达 $\pm 42^\circ$ 。由于 25Gbps PD 接收面远远小于 10Gbps PD 的接收面，导致两者耦合容差有很大的差异。经仿真，在 X/Y 方向和光轴 Z 方向 PD 的-1dB 的耦合容差分别为 $\pm 10\mu\text{m}$ 和 $13\mu\text{m}$ 。光纤端面 and PD 接收面夹角的-1dB 耦合容差为 $\pm 22^\circ$ 。

从上述分析得知，在 X/Y/Z 或者角度上，PD 都要比 VCSEL 的-1dB 容差小一些，主要因为 PD 的接收面变小。另外，光器件与光纤在 X/Y 轴的偏移对耦合效率的影响最大。

2.4. 本章小结

本章对光组件的结构以及光特性进行了分析与研究。首先，介绍了光组件中的光器件（VCSEL/PD）的结构、工作原理以及特性，同时，给出了我们采用的光器件的参数。然后，基于上述光器件，对现存的光耦合的结构进行了研究和分析，从几个方面（包括尺寸、耦合效率、耦合容差、组装难度等）来对比了它们的优缺点。接着，根据现有的光耦合结构，提出了一种基于新型光耦合结构的光组件，尺寸小，组装方便，补偿了现有的光耦合结构的缺点。最后，对新提出的 40G QSFP 和 100G QSFP 光组件的光学特性（包括耦合效率和耦合容差）从理论进行了研究，并且通过光束传播法对其进行了仿真评估。

第三章 光模块设计及其电学特性研究

随着信号传输速率越来越高,信号完整性问题(包括传输损耗、反射和串扰等)变得越来越严重。特别在高速光模块设计中,通过光芯片转成光信号之前,会以电信号形式存在,并且会与光纤中的传输速率一样。但是信号完整性问题会对信号质量产生很大的影响,有可能会造成对传输信号的误判,导致传输错误。为此,本章对高速光模块中信号完整性的问题展开了研究。首先,从理论上对信号完整性的问题做了分析;然后通过正确的仿真方法来解决和优化光电系统(包括测试板、模块板和 SiOB)中存在的信号完整性问题。

3.1. 信号完整性基本理论

要想分析和研究信号完整性的问题,就需要从理论来分析信号完整性的本质,本章从电磁场和传输线的观点分别阐述了信号完整性,并且对信号完整性问题(包括损耗、反射和串扰)进行了理论研究。要想在系统测试之前预知信号完整性的问题,就需要提前进行信号完整性的仿真来验证频域或者时域的性能。信号完整性仿真也需要将场和路相结合来分析信号完整性的问题。基于场的仿真是对物理模型进行电磁场仿真,得到数值解析;基于路的仿真是将仿真或者测试的电学模型(包括 IBIS 模型/S 参数模型)进行链路连接来验证系统性能。本章主要从电磁仿真方面对接插件、无源电容和过孔的仿真方法进行研究。

3.1.1. 信号完整性概述

对于数字电路系统,传输的信号是在时域中的“1”或者“0”方波信号。方波信号主要有两个重要参数:上升时间和信号频率。上升时间是信号幅值从 10%到 90%或者从 20%到 80%的时间;信号频率是信号的传输周期。信号完整性是互连路径引起的问题,会使信号上升坡度变缓,方波幅值下降,信号发生振铃等。信号完整性的问题通过信号质量表征出来。

但是由于时域信号很难从本质上理解并且快速地解决问题,因此一般通过数学构造(傅里叶变换)将其转换成频域正弦波信号。通过转化发现,数字信号中不仅存在低频分量也存在高频分量,而高频分量的多少会决定上升沿的快慢,如图 3.1 所示。因此在信号完整性设计时,需要尽量减少互连线对信号高频部分的

影响来保证信号质量。

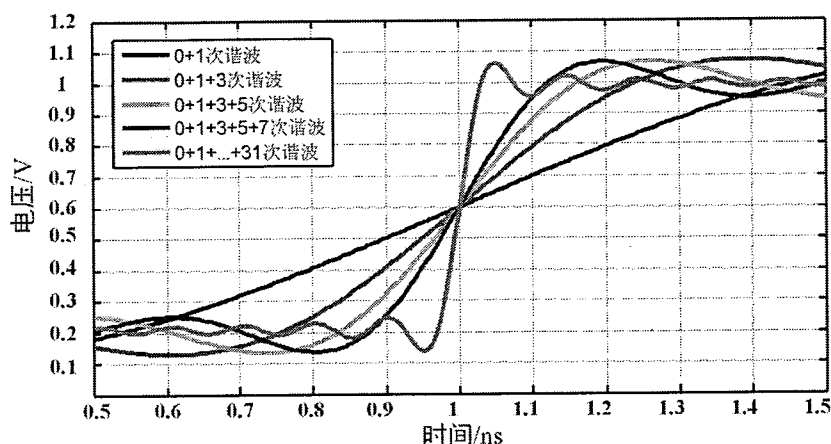


图 3.1 对于 1GHz 理想方波依次叠加各次谐波生成的时域波形

以幅值为 1V 和占空比为 50%的理想方波为例，将其经过傅里叶变换后，它的偶次谐波的幅度是 0，奇次谐波的幅度为(3.1)

$$A_n = \frac{2}{\pi \times n} \quad (3.1)$$

其中 A_n 是 n 次谐波的幅度； n 是奇次谐波数。其实，还包含直流分量，它的幅度大小为信号的均值

对于理想方波，它的带宽是无限的。但是对于实际电路中，它的波形不可能是完全的方波，因此它的带宽是通过有效带宽来表征的。实际波形的谐波幅度是要比理想方波下降得快的，一般下降到理想方波的谐波幅度的 70%以下的高次谐波，是对上升沿没有作用的。因此理想方波的 70%的谐波幅度是分界点，大于 70%的谐波幅度的频率被定义为有效带宽。另外一种解释是，理想方波的谐波幅度下降速率为 $1/f$ ，如果实际波形的谐波分量开始比 $1/f$ 下降的快时的那个频率点称为拐点频率。

其实，实际信号的有效带宽可以从信号的上升沿得到。从理想方波频域转成时域波形过程就是将每个谐波叠加起来，但是从最低频开始每次叠加一个高次谐波，就会改变生成的波形的上升沿，而每次叠加起来的最大谐波的频率就是该信号的有效带宽，如图 3.1 所示。通过经验得出，生成波形的有效带宽BW是可以

通过其上升时间（10%~90%） T_{rise} 得出，关系式见(3.2)

$$BW = \frac{0.35}{T_{rise}} \quad (3.2)$$

当信号从互连线经过时，它的带宽会受到互连线的影响，如果想要让从互连线输出的波形上升沿满足系统要求，那么就需要对互连线的带宽有一定的要求。对于互连线的带宽指的是被互连线所能传输的最高正弦波的频率。一般会用 3dB 带宽来表示互连线的带宽。3dB 带宽表示将信号的幅值减少到入射波的 70% 的频率。假如输入是理想方波，那么从互连线输出的时域波形的有效带宽就是信号的 3dB 带宽，通过(3.2)就能计算出输出波形的上升沿。因此通过互连线的 3dB 带宽，可以计算出互连线的本征上升时间 $T_{rise,0}$ ，而从互连线输入端输入的实际信号的上升沿 $T_{rise,in}$ 应该是大于 0 的，从互连线输出的信号的上升沿 $T_{rise,out}$ 应该为(3.3):

$$T_{rise,out}^2 = T_{rise,in}^2 + T_{rise,0}^2 \quad (3.3)$$

因此，输出信号的上升时间与互连线输入波形的上升时间以及互连线的本征上升时间都有关系。根据(3.3)计算，如果要想互连线输出波形的上升时间仅比输入波形的上升时间大 10%，那么互连线的本征上升时间应该在输入信号上升沿的 50% 以下。从(3.2)可以计算出频域特性，互连线的 3dB 带宽应该至少是输入信号有效带宽的 2 倍。

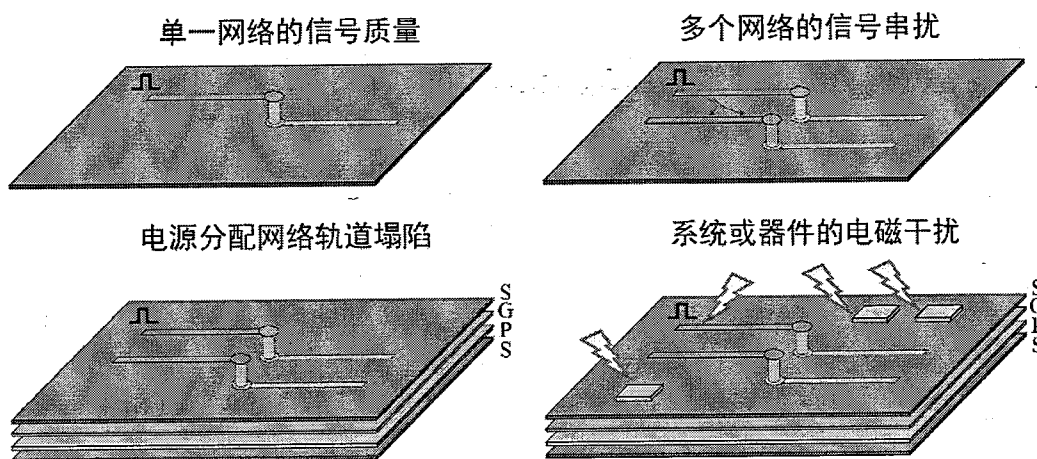


图 3.2 信号完整性的问题

由互连线导致的信号完整性问题主要分为两类：时序和噪声。一般在一个

周期内,在某个较短时间段会发生某种操作,但是互连线会影响这些操作发生的时间,导致时序发生混乱。对于噪声问题,主要分为四类:单一网络的信号质量;多个网络的信号串扰、电源分配网络的轨道塌陷以及由系统或者器件引起的电磁干扰(EMI, electromagnetic interference),如图 3.2 所示^[4]。噪声主要表现为振铃、衰减、地弹和过冲等。这些问题既可以出现在芯片内部,也有可能出现在封装级和系统板级,虽然在不同级别它们的物理互连尺寸不同,但是带来的影响和效应是一样的。

从上述分析可知,实际的时域波形都是可以用频域来表示的,它们的带宽可以用有效带宽来表征,有效带宽可以用时域的上升沿来近似得到。但是信号的传输介质会使波形发生变化,因此为了减小传输介质对信号质量的影响,就需要将传输介质的 3dB 带宽至少增大到输入信号的两次谐波。

3.1.2. 信号完整性理论

3.1.2.1. 信号完整性基本理论

(一)场的理论

1873 年,电磁理论用麦克斯韦方程来描述。用它可以表示材料电学属性与电磁场的关系,并且可以预测电磁波与导体和介质相互作用。麦克斯韦的微分形式如下:

$$\nabla \times \mathbf{E} + \frac{\partial \mathbf{B}}{\partial t} = 0 \quad (\text{法拉第定律}) \quad (3.4)$$

$$\nabla \times \mathbf{H} = \mathbf{J} + \frac{\partial \mathbf{D}}{\partial t} \quad (\text{安培定律}) \quad (3.5)$$

$$\nabla \cdot \mathbf{D} = \rho \quad (\text{高斯定理}) \quad (3.6)$$

$$\nabla \cdot \mathbf{B} = 0 \quad (\text{磁力学高斯定理}) \quad (3.7)$$

其中, $\mathbf{E}$ 表示矢量电场强度(单位: V/m); $\mathbf{H}$ 表示矢量磁场强度(单位: A/m); $\mathbf{D}$ 表示矢量电通量密度(单位: C/m²); $\mathbf{B}$ 表示磁通密度(单位: Wb/m²); $\mathbf{J}$ 表示电流密度; ρ 表示电荷密度(单位: C/m³)

从上述麦克斯韦方程组可以看到,电磁场产生的源头是电流密度 $\mathbf{J}$ 和电荷

密度 ρ 。其实，四个方程并不是独立存在的，在线性、各向同性的介质中，它们之间相互关系如下：

$$\mathbf{J} = \sigma \mathbf{E} \quad (3.8)$$

$$\mathbf{B} = \mu_0 \mu_r \mathbf{H} = \mu \mathbf{H} \quad (3.9)$$

$$\mathbf{D} = \varepsilon_0 \varepsilon_r \mathbf{E} = \varepsilon \mathbf{E} \quad (3.10)$$

其中， σ 表示金属的电导率（单位：S/m）； μ_0 表示自由空间的磁导率，它的常值为 $4\pi \times 10^{-7}$ H/m； ε_0 表示是自由空间的介电常数，它的常值为 8.85×10^{-12} F/m； ε_r 表示介质材料的介电常数，是一个无纲量的值； ε 表示是材料的介电常数（单位：F/m）； μ_r 表示介质材料的相对磁导率，是一个无纲量的值。公式(3.8)考虑了金属材料的有限电导率；公式(3.9)考虑了材料的电磁特性；公式(3.10)考虑了介质的外加电场的响应。

假设介质为无源介质，即电荷密度 $\rho = 0$ ，我们就可以从(3.4)和(3.5)推导出波动方程，见公式(3.11)和公式(3.12)

$$\nabla^2 \mathbf{E} - \mu \varepsilon \frac{\partial^2 \mathbf{E}}{\partial t^2} = 0 \quad (3.11)$$

$$\nabla^2 \mathbf{H} - \varepsilon \mu \frac{\partial^2 \mathbf{H}}{\partial t^2} = 0 \quad (3.12)$$

对于波动方程进行求解，就可以得到每一点的电磁场与电介质尺寸和材料的相互关系。其实，每个矢量场是关于四个维度 (x, y, z, t) 的量；对于信号完整性的大多数情况，可以将场简化成只有一个维度上有非 0 的量^[96]。假设电场被简化为仅在 x 轴有分量即 $a_x E_x(z, t)$ ，那么从波动方程进行推导，可以得到：

$$a_y \left(\frac{\partial E_x}{\partial z} = -\mu \frac{\partial H_y}{\partial t} \right) \quad (3.13)$$

$$a_x \left(\varepsilon \frac{\partial E_x}{\partial t} = -\frac{\partial H_y}{\partial z} \right) \quad (3.14)$$

从(3.13)和(3.14)看到，变化的电场产生磁场，变化的磁场产生电场。并且电

场和磁场的方向垂直，在传播方向没有分量，将这种波称为横电磁波（TEM, transverse electromagnetic mode），如图 3.3 所示。在实际物理结构中，并不是完全是 TEM 波，有可能会在传播方向 z 轴会有微小分量，但是经文献^[96]验证，在 50GHz 以内，目前在数字系统常用的传输线都可以用 TEM 波来假设。

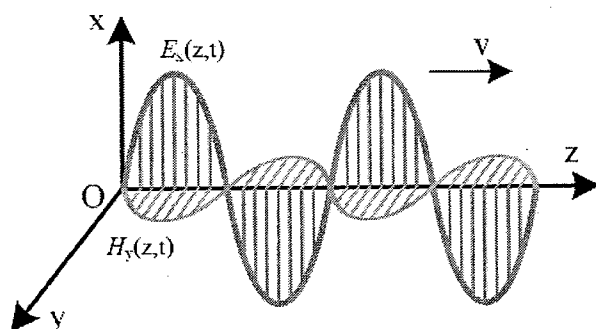


图 3.3 TEM 波的传播模式

从上述理论可知，麦克斯韦方程就是表示电磁场与材料属性的关系式。每一点的电磁场都需要从麦克斯韦方程中求解。但是在实际中，不会用手工来计算电磁场；一般会通过基于电磁场的仿真器来仿真，将无源传输线或者无源元件转换为拥有电学属性和特定尺寸的介质和导体。

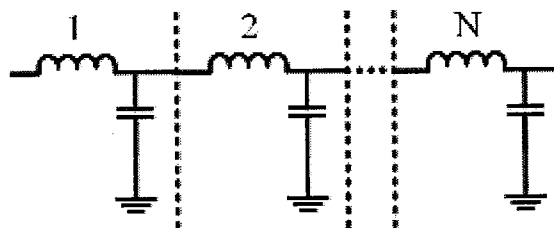


图 3.4 理想传输线的等效模型

(二)传输线理论

传输线理论是介于电磁场理论和基本电路理论之间的理论。基本电路理论是应用于传输的物理尺寸远远小于波长的情况下；而传输线理论是传输线长度远远大于传输波长，或者为几分之一的波长。

传输线是一种用于引导电磁波传播的物理结构，它至少包含两种导体（信号线和参考地），传播模式主要为 TEM 波。由电磁场推导出来的 TEM 波的电场和磁场关系是电磁波在无限空间中传播的形式。而真实情况是需要将电磁场限定在传输尺寸内，因此可以用无损等效电路 LC 来简化，如图 3.4 所示。

(3.13)的左边可以等效为:

$$\frac{\partial \int \mathbf{E} \cdot d\mathbf{l}}{\partial z} = \frac{\partial v(z,t)}{\partial z} \quad (3.15)$$

其中 $v(z,t)$ 为在 t 时刻在 z 处的电压值。

(3.13)的右边可以等效为:

$$\frac{\partial \int \mathbf{B}_y \cdot d\mathbf{S}}{\partial t} = \frac{\partial \psi}{\partial t} = L \frac{\partial i(z,t)}{\partial t} \quad (3.16)$$

其中 ψ 为磁通量; L 为电感。

因此由(3.13)可以得到等效电路方程为:

$$\frac{\partial v(z,t)}{\partial z} = -L \frac{\partial i(z,t)}{\partial t} \quad (3.17)$$

$$\frac{\partial v(z,t)}{\partial z} = -L \frac{\partial i(z,t)}{\partial t} \quad (3.18)$$

同理, 由(3.14)可以等效为:

$$\frac{\partial i(z,t)}{\partial z} = -C \frac{\partial v(z,t)}{\partial t} \quad (3.19)$$

其中 C 为电容。

假如将时域波形经过傅里叶变换分解成各个正弦谐波, 那么(3.18)和(3.19)被分别表示为:

$$\frac{\partial v(z)}{\partial z} = -j\omega L i(z) \quad (3.20)$$

$$\frac{\partial i(z)}{\partial z} = -j\omega C v(z) \quad (3.21)$$

对(3.20)两边对 z 偏微分, 并且将(3.21)带入, 可以得到无损传输线的电压波动方程:

$$\frac{d^2 v(z)}{dz^2} + \omega^2 LC v(z) = 0 \quad (3.22)$$

通过(3.22)可以求出通解为:

$$v(z) = v(z)^+ e^{-jz\omega\sqrt{LC}} + v(z)^- e^{jz\omega\sqrt{LC}} \quad (3.23)$$

$v(z)^+ e^{-jz\omega\sqrt{LC}}$ 描述了电压沿传输线正方向传播; $v(z)^- e^{jz\omega\sqrt{LC}}$ 描述了电压沿传输线负方向传播。在(3.23)通解中, 可以得到传输线的传播常数为:

$$r = \alpha + j\beta = j\omega\sqrt{LC} \quad (3.24)$$

其中 α 为损耗常数, 用来描述电磁波在传输线中的损耗; β 是相位常数, 用来描述电磁波在传输线中传播速度。由于上述推导都是基于无损传输线, 因此 α 为0; β 为 $\omega\sqrt{LC}$ 。

将传输线正向电压通过偏微分带入(3.20), 可以计算出正向电压; 两者之比为无损传输线的特性阻抗(3.25):

$$Z_0 = \sqrt{\frac{L}{C}} \quad (3.25)$$

另外负向电压与负电流之比也为传输线的特性阻抗。

为了使传输线等效成 LC 集总模型, 并且带宽足够高, 需要将一段长的传输线分成 N 段长为 ∇z 的传输线, 每段等效成一对 LC。根据经验法则, 每段 ∇z 长度的传输线的延迟需要小于输入信号上升时间的1/10。在频域情况下需要小于最大频率对应的波长的1/10^[97]。

3.1.2.2. 损耗分析

上述理论推导中, 都是以理想导体和理想绝缘介质做假设。但是实际中的传输线, 导体的电导率是有限的, 介质的也不是理想绝缘的。

电导体的损耗主要由信号路径产生, 参考地平面比较大, 它的损耗可以忽略。另外它产生的损耗主要有直流损耗和交流所产生的趋肤效应引起的损耗, 但是如果比较准确地考虑导体损耗, 铜表面的粗糙度也会影响它的损耗。

电导体的直流损耗主要取决于两个因素: 金属电导率和电流流过的导体的横截面积。当趋肤深度大于传输线导体厚度时, 都可以认为是直流情况, 因为所有的电流会均匀分布在整个横截面上。

交流情况下, 电导体的电流分布会受趋肤效应的影响, 使电流流过的横截

面变小。频变带来的交流电阻是跟频率的平方根成正比的量。具体的公式跟传输线的类型以及电流的分布有关。

但是实际中的铜平面不是光滑的，而是锯齿状的，为了增加铜箔和介质的粘接性。因此当锯齿状的高度与趋肤深度相当时，就会与平滑的铜平面的假设模型有一定的差异。目前，表征粗糙度的模型有 Hammerstad 模型^[98]、半球模型^[99]和 Huray 模型^[100, 101]。Hammerstad 模型中引入了 Hammerstad 系数(K_H)来表征，如公式(3.26)。在趋肤深度小于导体厚度时， K_H 与平滑的铜平面的交流阻抗的乘积为带有粗糙度的交流阻抗，但是该种模型仅适用于零散突出的粗糙度表面。半球模型是用随机半球型的凸起来模拟铜平面的粗糙度，适合应用于比较粗糙的平面，它引入校正因子 K_S 来表征，如公式(3.27)，当 K_S 小于等于 1 时，校正系数为 1，当 K_S 大于 1 时，校正系数为 K_S 。根据 SEM 的照片发现，铜表面的粗糙度近似为很多球型颗粒呈网状结合在一起，因此 Paul 提出了由多球形分布构成的理论模型，该模型比 Hammerstad 和半球模型更优。它引入了校正系数 K_{huray} ，如公式(3.28)。

$$K_H = 1 + \frac{2}{\pi} \arctan[1.4(\frac{h_{RMS}}{\delta})^2] \quad (3.26)$$

$$K_S = \frac{|\operatorname{Re}[\eta(3\pi/4k^2)(\alpha(1) + \beta(1))]| + (\mu_0\omega\delta/4)(A_{tile} - A_{base})}{(\mu_0\omega\delta/4)A_{tile}} \quad (3.27)$$

$$K_{Huray} = \frac{(\mu_0\omega\delta/4)A_{tile} + \sum_{n=1}^N \operatorname{Re}\left[\frac{1}{2}\eta(3\pi/k^2)(\alpha(1) + \beta(1))\right]_n}{(\mu_0\omega\delta/4)A_{tile}} \quad (3.28)$$

其中， A_{base} 为齿底部面积，它与底部宽度 b_{base} 有关 ($A_{base} = \pi\left(\frac{b_{base}}{2}\right)^2$)； A_{tile}

表示矩形平面面积，它与峰峰之间间距 d_{peak} 有关 ($A_{tile} = d_{peak}^2$)。

材料引起的损耗是由于介质的电偶极子来回摆动引起的热损耗。频率越高，电偶极子运动越快，交流电流越大，体电阻率越小，交流电导率变大，损耗越大。一般通过耗散因子来表征介质材料引起的损耗，它是偶极子数目和每个偶极子幅值的度量。由耗散因子引起的泄露电阻为(3.29)：

$$R_{leakage} = \frac{1}{\omega \tan(\delta) C} \quad (3.29)$$

因此，有损传输线模型需要将传输线的电导体的电阻和介质的泄露电阻都考虑在内，有损传输线的电路模型如图 3.5 所示。

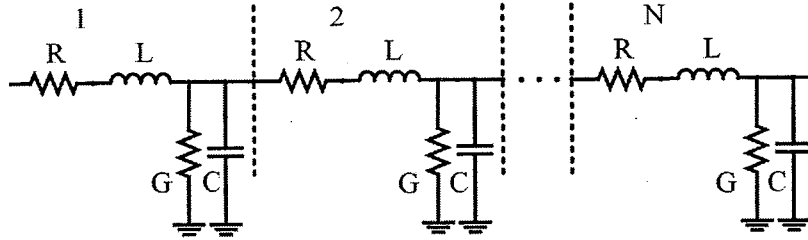


图 3.5 有损传输线的等效模型

在我们设计的光互连模块中，传输速率最大需要达到 25Gbps，因此需要综合考虑导体损耗、介质损耗，甚至粗糙度的损耗，对基板叠层以及传输线线形进行优化设计使传输性能达到最好。

3.1.2.3. 反射分析

当信号沿传输线传播时，信号会受到传输线上的瞬态阻抗的影响。当阻抗发生变化时，一部分信号就会被反射，剩余的信号会被透射。反射的分量通过反射系数 (Γ) 来表征，它定义为反射电压与入射电压的比值，由负载阻抗 (Z_2) 和特性阻抗 (Z_1) 来决定，见公式(3.30)。透射的分量通过透射系数 (T) 来表征，它定义为透射电压与入射电压的比值，见公式(3.31)。

$$\Gamma = \frac{Z_2 - Z_1}{Z_2 + Z_1} \quad (3.30)$$

$$T = 1 - \Gamma = \frac{2Z_2}{Z_1 + Z_2} \quad (3.31)$$

最简单的传输线电路由三部分构成：源端驱动端，传输线以及远端接收端。如果驱动端和接收端的阻抗与传输线阻抗不匹配，经验证，当传输线的延时小于信号上升沿的 20%，反射就会淹没在信号的上升沿，不会造成信号的振铃^[4]；但是如果传输线的延时超过上升沿的 20%，来回反射就会对信号有明显地影响。反射是造成单一网络信号完整性的主要根源。因此为了减小反射，一般需要将传输

线的阻抗变化控制在 $\pm 10\%$,这样才能使得信号的幅值摆动控制在 5% ^[102]。因此,在光模块的设计中,很大一部分研究就是着眼于不连续结构(包含过孔,接插件,无源电容、SMA等)的优化,将其阻抗变化控制在 $\pm 10\%$ 以内。

3.1.2.4. 串扰分析

串扰是指信号从一个网络攻击另一个网络,使另一个网络出现信号完整性的问题,攻击的线条叫做攻击线;受攻击的线条被称为受害线。一般噪声容限占信号幅度的 15% ,在这其中,大概有 5% 是与串扰有关。假如信号摆幅为 3.3V ,最大容许串扰噪声的幅值就是 160mV ,因此,将串扰控制在最小相当重要。串扰不只发生在信号路径,也有可能发生在参考地路径,所以整个信号-返回路径的设计都很重要。

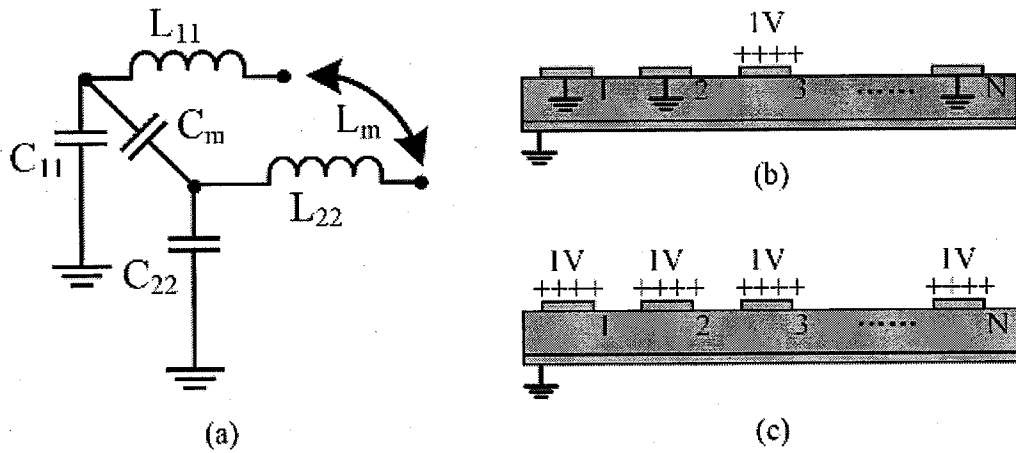


图 3.6 耦合模型; (a)两根传输线的耦合等效电路; (b)SPICE 耦合结构; (c) Maxwell 耦合结构

互感和互容都与串扰有关。图 3.6(a)是两根传输线的耦合等效电路。两者之间的噪声电压幅度由互感和互容引起,见公式(3.32)和(3.33),而两条线上的电压和电流见公式(3.34)和(3.35),当两者都输入电压的情况下,两者互为受害线和攻击线。

$$V_{victim} = L_M \frac{di_{aggressor}}{dt} \quad (3.32)$$

$$I_{victim} = C_M \frac{dV_{aggressor}}{dt} \quad (3.33)$$

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{bmatrix} \frac{d}{dt} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad (3.34)$$

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} \frac{d}{dt} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.35)$$

同时上述的理论也可以推广到多条传输线。N 条线上的电压和电流受电容矩阵(3.36)和电感矩阵(3.37)控制。一般会有两种矩阵：Maxwell 矩阵和 SPICE 矩阵^[103]。在 SPICE 电容中，所有的导体都是信号线，它与地有一个电容，两个导体之间也有电容，见图 3.6(b)。但是 Maxwell 矩阵中是对角线上每一条传输线的负载电容不仅包含导线与返回路径之间的电容，也包含导线与其他导线之间的电容，其他导线与该导线之间的电容带有负号，见图 3.6(c)。电容矩阵(3.36)和电感矩阵(3.37)都属于 SPICE 矩阵，Maxwell 矩阵的对角线元素是该行 SPICE 电容的总和，除过对角线的元素，其他元素都是 SPICE 电容的负值。

$$\mathbf{C}_{SPICE} = \begin{bmatrix} C_{11} & C_{12} & C_{13} & \cdots & C_{1N} \\ C_{21} & C_{22} & C_{23} & \cdots & C_{2N} \\ C_{31} & C_{32} & C_{33} & \cdots & C_{3N} \\ \cdots & \cdots & \cdots & \cdots & \cdots \\ C_{N1} & C_{N2} & C_{N3} & \cdots & C_{NN} \end{bmatrix} \quad (3.36)$$

$$\mathbf{L}_{SPICE} = \begin{bmatrix} L_{11} & L_{12} & L_{13} & \cdots & L_{1N} \\ L_{21} & L_{22} & L_{23} & \cdots & L_{2N} \\ L_{31} & L_{32} & L_{33} & \cdots & L_{3N} \\ \cdots & \cdots & \cdots & \cdots & \cdots \\ L_{N1} & L_{N2} & L_{N3} & \cdots & L_{NN} \end{bmatrix} \quad (3.37)$$

串扰从空间上分为近端串扰和远端串扰。攻击线的一端输入信号源，攻击线的另外一端端接，受害线上两端都端接，避免反射的影响。受害线距离源端近的一端称为近端；距离源端远的一端称为远端。通过^[4]验证，近端和远端测得的串扰曲线会有区别。近端串扰噪声会从开始就存在，在很快的时间上升到某个固定值，并且保持这个值持续时间长达耦合长度延时的两倍，然后再下降，这个固定值达到饱和的值被称为近端串扰系数。瞬态的近端串扰值的大小与信号上升沿的空间延伸有关。如果信号耦合长度大于信号上升沿空间延伸，那么该固定值就能达到饱和，并与传输线的长度无关；如果信号耦合长度小于信号上升沿空间延

伸,那么传输线长度越短,近端串扰越小。因此,近端串扰的减小方法就是增加传输线间的距离。远端串扰需要信号从源端传输到末端才会出现,因此需要1个传输线的延时才会出现远端串扰,出现的串扰幅值很大,但是很短时间后就会消失,串扰幅值大小与相对容性耦合(C_M/C_L)和相对感性耦合(L_M/L_L)有关。减小远端串扰的措施有:减小耦合长度、增加上升时间、加大线条间距、采用带状线等。上述分析都是在两端端接情况下分析的,如果未加端接,反射也会影响到串扰。

3.2. 测试板的电学特性研究

在具体传输结构设计中,既包含传输信号线,也包含不连续结构(接插件、无源不连续结构等)的优化。对于传输信号线的设计,一般通过 Polar Si9000 软件对其进行初步设计;然后通过 3D 电磁场仿真软件 Ansoft HFSS (High frequency software simulator)来进行微调,它需要对物理模型中的材料参数进行正确设置后来模拟电磁场的分布。对于不连续结构的优化,主要通过 Ansoft HFSS 软件来仿真,它能分析结构变化对电磁场分布的影响。下面所有的仿真都是借助于这两种仿真软件。

3.2.1. 测试板的框架结构

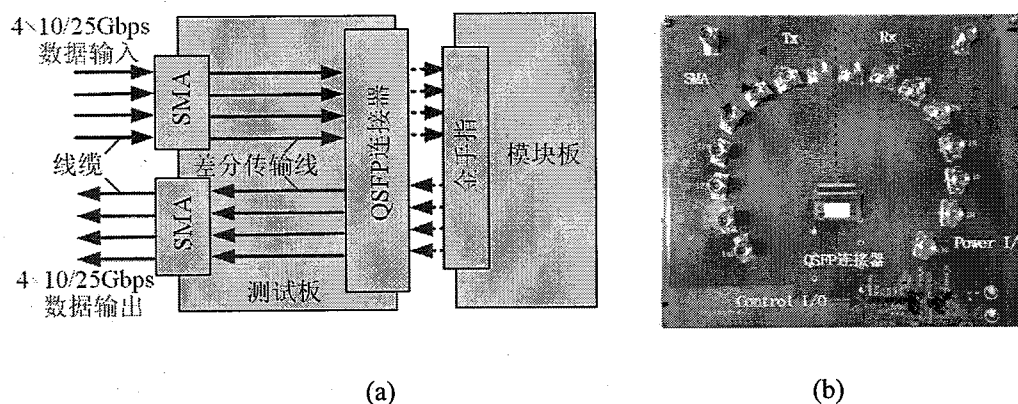


图 3.7 测试板结构图; (a) 测试板中高速传输链路框架图; (b) 测试板实物照片

测试板是用来辅助 QSFP 光模块的测试。由于 QSFP 光模块的 I/O 接口(包括电源、高速数字信号和控制信号)是金手指,它需要插入到 QSFP 连接器,将信号输入和输出。因此,在测试板上包含了 QSFP 连接器;另外还包含了 8 对高速 SMA 连接器(4 对用于接收来自 QSFP 模块的高速信号,4 对用于发送给 QSFP

模块的信号), 将 QSFP 的高速信号扇出, 方便后续线缆的相连。对于电源信号和控制信号, 在测试板上通过别的 I/O 接口与外部进行连接和通信。在测试板中, 高速传输部分是需要特别关注的, 因为它们导致的任何信号完整性的问题都可能造成系统传输性能的下降。高速传输部分框架图如图 3.7(a)所示, 实物图见图 3.7(b), 其中包括从 QSFP 连接器到 SMA 连接器之间的差分传输线、以及差分线与 SMA 和 QSFP 连接器相接位置。下文会对它们的优化过程进行一一介绍。

3.2.2. 信号叠层及传输线阻抗设计

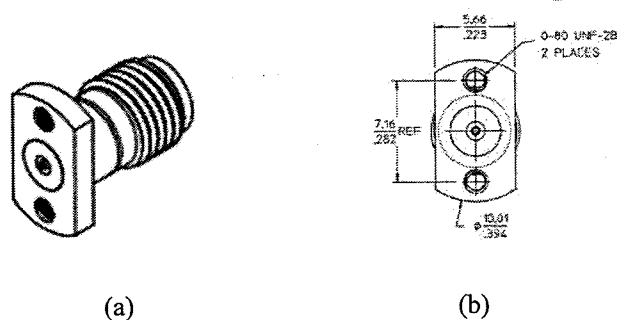


图 3.8 竖直 SMA 连接器示意图: (a) 竖直 SMA 斜视图; (b) 竖直 SMA 连接器低视图

为了减少传输线的损耗, 其中一个方法就是减小传输距离。为了缩短从 QSFP 连接器到 SMA 头的传输距离, 一种特殊的 SMA 连接器被采用, 它能竖直的压到测试板上, 两边通过螺丝拧到 PCB 板上, 尺寸小、支持速率高 (能支持到 40GHz)、并且组装方便, 如图 3.8(a)(b)所示。但是信号引脚周围全部被地包围, 因此与该 SMA 的互连需要采用带状线传输结构, 该带状线位于第二层信号层。

根据信号的类型, 设计了五层叠层。前三层的设计为了保证高速信号的传输, 第二层为高速传输线布线层, 第一层和第三层完整的参考地层为了确保高速信号的回流平面完整。最后两层分别为电源层和地层; 另外, 最后一层地层还是控制线的布线层。因此, 对于后两层之间的介质采用了普通的 FR4 材料; 而前三层之间的介质需要采用低损耗的材料来满足 10Gbps 和 25Gbps 的传输要求。对于前三层的高频材料叠层, 实现方法主要有两种: 一种做法是采用 build-up 工艺来实现^[104], 但是该种工艺方法成本较高, 一般应用于小型封装中; 另外一种做法是采用 lamination 工艺^[105], 将两个双面敷铜板通过半固化片粘结起来, 但是需要将其中一个双面敷铜板的一面铜箔进行腐蚀去除, 才能实现三层叠层。该种做法工艺成熟, 成本较低。因此前三层的叠层工艺采用了第二种方案。双面敷铜板的

介质材料采用介电常数为 3.66、损耗角正切为 0.0037 的 4350B，半固化片的材料采用介电常数为 3.52、损耗角正切为 0.004 的 R4450F，具体的叠层设计如图 3.9。

叠层信息	厚度 (μm)	Material	DK@1GHz	DF@1GHz	Color
1	35	Copper			
	338	Rogers 4350 (core)	3.66	0.0037	
	200	Rogers 4450F (prepreg)	3.52	0.004	
2	18	Copper			
	422	Rogers 4350 (core)			
3	18	Copper			
	100	FR4 (prepreg)	4.4	0.026	
4	18	Copper			
	400	FR4 (core)			
5	35	Copper			

图 3.9 测试板的叠层设计及材料属性

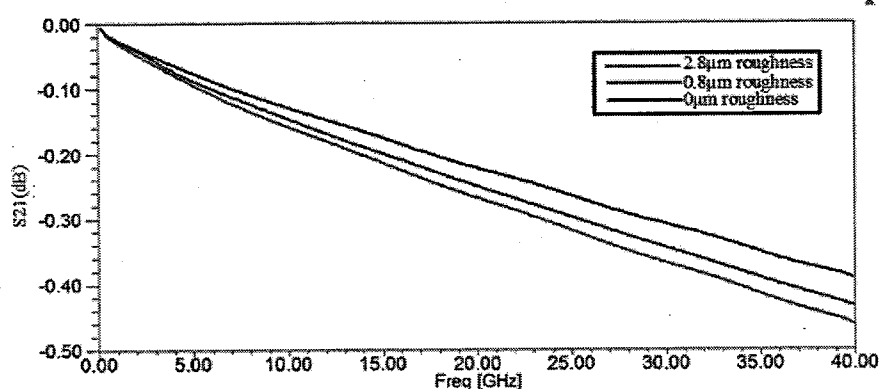


图 3.10 材料粗糙度对带状线的影响，其中红色：电解铜箔，蓝色：低粗糙度铜箔，黑色：平滑结构

对于高速带状传输线，一对差分线的 N 和 P 极分别采用了单端带状线，即无耦合的差分线被用来传输差分信号。其实，从 QSFP 连接器到 SMA 连接器，传输线逐渐扇出，如果采用紧耦合的差分线，在 SMA 连接器附近势必要将差分线转成单端线，两者之间需要采取好的措施将其做好匹配，并且需要在两段线之间进行弯折，从而增加了传输长度。因此，为了减少设计周期和传输长度，两者之间通过单端带状线，实现了直线互连。另外，在同样的叠层条件下，宽线条能减小导体损耗。因此，我们通过 Polar Si9000 和 HFSS 共同仿真匹配，得到的传输线线宽为 $400\mu\text{m}$ ，传输线与共面参考地的间距为 $250\mu\text{m}$ 。另外，通过 Hammerstad (低粗糙度) 和 Huray (高粗糙度) 模型分析了粗糙度对所设计的带状匹配传输线

的影响, 1cm 长的带状匹配传输线分别在电解铜箔 (平均粗糙高度为 $2.8\mu\text{m}$)、低粗糙度的铜箔 (平均粗糙高度为 $0.8\mu\text{m}$) 以及无粗糙度的铜箔 (平均粗糙高度为 $0\mu\text{m}$) 下进行了仿真, 具体的仿真结果如图 3.10 所示, 从仿真结果来看, 在整个频段, 平滑铜箔要比有粗糙度的铜箔插损小, 在 37.5GHz 处大概小 0.05dB ; 但是在整个频段, 电解铜箔和低粗糙度的铜箔插损相差不大。因此为了增加粘接可靠性和减少成本, 我们采用了电解铜箔。

3.2.3. 不连续结构优化

3.2.3.1. QSFP 连接器

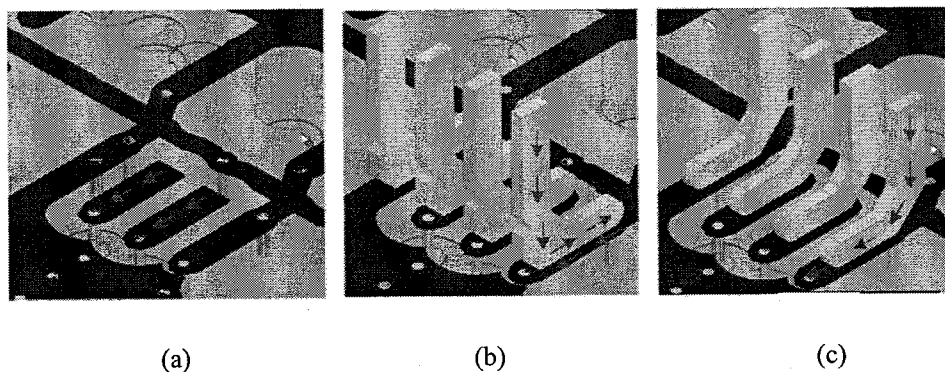


图 3.11 不同仿真结构: (a) 未加 QSFP 连接器的仿真结构; (b) 加 Samtec 连接器部分模型的结构; (c) 加 Molex 连接器部分模型的结构

为了研究接插件对连接器触点的电学影响以确定正确的仿真方法, 一段带过孔的传输线分别在未加连接器以及在加了不同连接器的情况下进行了分析。模型叠层与测试板的叠层设计一致。该段传输线从表层通过过孔到达第二层, 变成带状线。在上层的接触位置兼容 QSFP 连接器, 宽度为 0.35mm , 长度为 1.8mm , 下层的带状线长度大致有 3mm , 宽度为 0.4mm ; 过孔采用 0.15mm 的传输过孔, 都通过背钻将其短桩降至 0.2mm , 并且在第一层的 antipad 直径为 0.62mm , 在第二层的 antipad 直径为 0.45mm ; 加入的连接器部分模型的高度仅为 2mm 。具体的模型如图 3.11 所示。在图 3.11(a)中未加连接器的仿真结构; 在图 3.11(b)中加入了 Samtec 连接器部分模型的仿真结构; 在图 3.11(c)中加了 Molex 连接器部分模型的仿真结构; 两种连接器模型的折向有区别, 但是连接器内部介电材料属性基本一样, 介电常数为 3.4 , 损耗角正切为 0.008 。

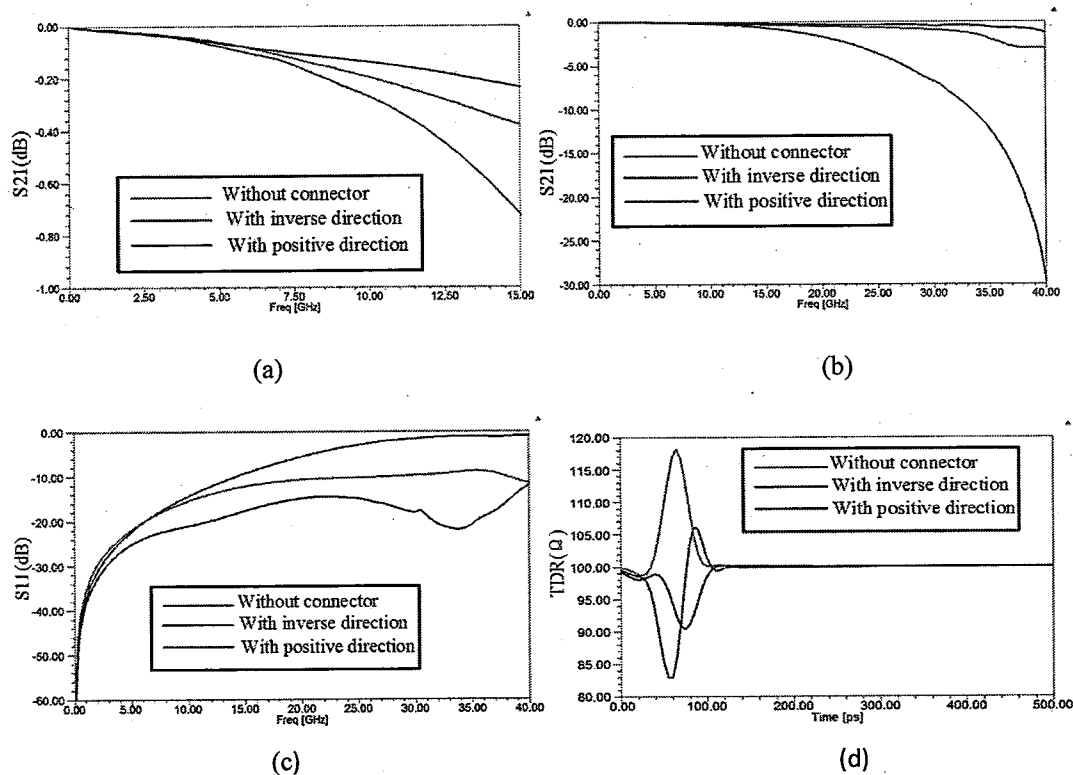


图 3.12 不同结构的仿真结果，其中红色代表没有连接器模型的结果，蓝色代表加了 Samtec 连接器模型的结果，黑色代表加了 Molex 连接器模型的结果；(a)和(b): S21；(c): S11；(d): TDR

图 3.12(a)和(b)为插入损耗的仿真结果，可以看到 7GHz 以内，三种模型基本一致，但是在 20GHz 以后，三者的插损差异特别显著。从图 3.12(c)可以看到，反射损耗也相差很大，主要由于三者的 TDR 阻抗差异很大，如图 3.12(d)所示。对于未加连接器的模型，信号流向直接从传输线的一端流向另外一端，信号感受到的瞬态阻抗为整条线的阻抗；但是对于加了 Molex 和 Samtec 连接器后的模型，信号流向从连接器的一端到传输线的另外一端，而连接器的折向不同，导致与连接器触点的流向也会发生变化。Molex 连接器的信号流向顺着连接器的 PIN 针，与无连接器时的流向一致，只是加了连接器后，在接触点的阻抗与无连接器时的阻抗有很大差异，无连接器时周围的地平面和下层的地平面会对传输线阻抗产生很大影响，但是加了 Molex 连接器后，信号线周围的两个参考地 PIN 针对触点的阻抗影响更大。对于 Samtec 连接器，它的信号流向与传输线的正好相反，因此会导致连接器接触位置产生一个短桩，导致插损有很大地下降，阻抗发生很大变化，在大概 40GHz 处会有谐振。对于 QSFP 连接器，在低频（7.5GHz 以下）

时可以不用加连接器模型，但是高频(7.5GHz 以上)时，仅用传输线模型已经不能准确地反应信号的传输性能。其实，对于别的接插件，也会有同样地问题，所以，在对接插件触点进行高频仿真时，需要添加接插件部分模型来优化触点，但是没有必要添加完整的连接器模型，尽管接插件的完整模型会提高仿真精度，但是会降低仿真速度和优化速度，增加设计周期。因此在设计中需要对仿真速度和仿真精度进行权衡。

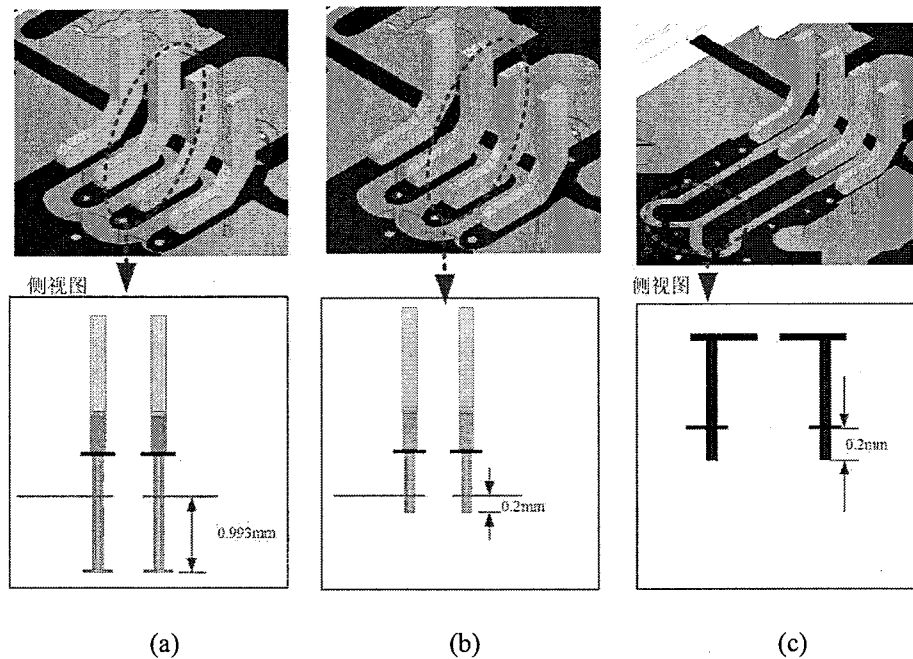


图 3.13 QSFPP 连接器触点优化；(a)未背钻+引脚边沿过孔；(b)背钻+引脚边沿过孔；(c) 背钻+引脚外过孔

在测试板中，QSFPP 连接器采用了 Molex 连接器，由于 Molex 连接器的带宽比较高，3dB 带宽为 28GHz，可以被用于 25Gbps 信号传输。因此，针对 Molex 连接器的触点进行了优化和分析。为了找到最优结构，三种结构被仿真，包括在图 3.13 中(a)(b)和(c)。三者之间的差别为：(a)结构中，信号过孔位于接触引脚的边沿，信号孔未通过背钻，信号孔的短桩长度为 0.993mm，过孔的参数设置与(b)结构中的一致；(b)结构中，信号过孔也位于接触引脚边沿，过孔以及传输线都被匹配到 100 欧姆，但是信号孔经过了背钻处理，并且背钻后的过孔短桩的长度为 0.2mm；(c)结构中，信号孔在接触引脚之外，背钻后的长度为 0.2mm，并且引脚到过孔的传输线和过孔阻抗都被匹配为 100 欧姆。(a)和(b)结构为了对比短桩的影响；(b)和(c)结构为了对比信号孔位于接触引脚边沿和接触引脚外传输线上的

传输效果。

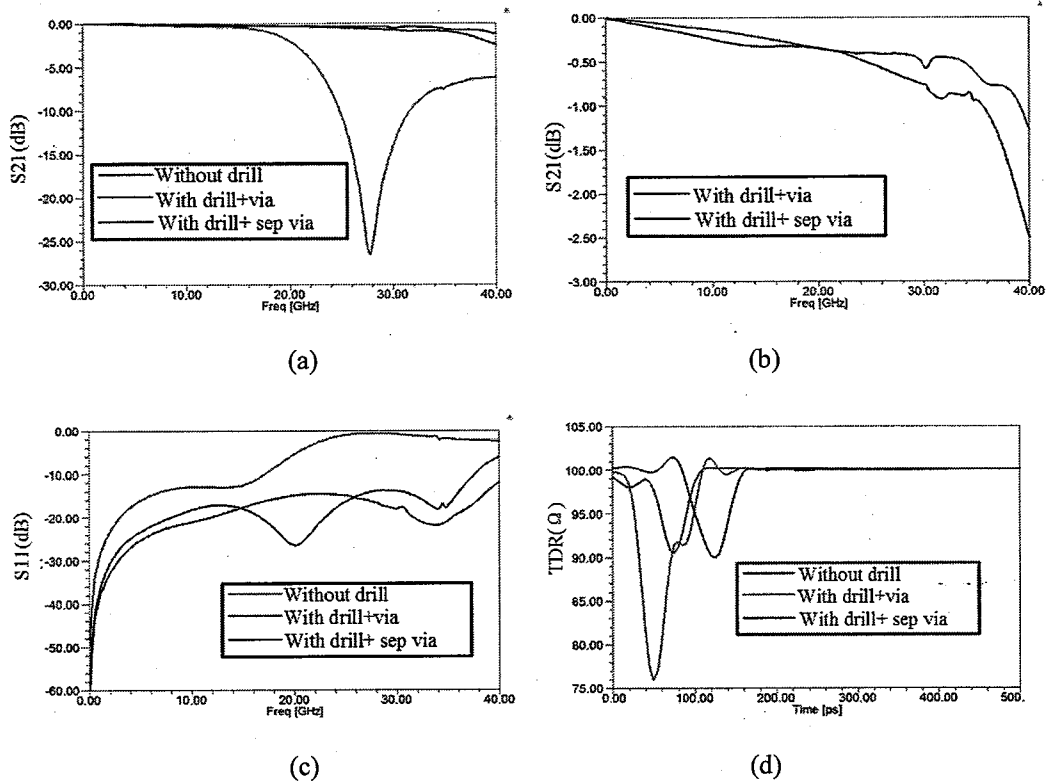


图 3.14 三种 QSFP 连接器优化结构的仿真结果；红色：无背钻，蓝色：有背钻+过孔在边缘，黑色：背钻+过孔在引脚外；(a)和(b)：S21；(c)：S11；(d)：TDR

对比图 3.14(a)和(b)结构的仿真结果，可以看到信号孔未经过背钻时，短桩的长度会比较长，造成阻抗发生容性失配，在 29GHz 处产生了很大的谐振，在 20GHz 以后反射达到了 -10dB 以上。如果信号的传输速率为 25Gbps，那么它的三次谐波大概为 37.5GHz，因此，为了能很好地传输 25Gbps 的信号，需要将信号孔进行背钻。对比(b)和(c)结构的仿真结果，从 TDR 可以看到连接器的阻抗发生了偏移，但是整体的趋势没有太大变化。这是由于(c)结构中将信号孔移到了接触引脚的外面，导致(c)结构中的传输线比(b)长了 5mm，但是传输线被匹配到了 100 欧姆，因此传输线不会带来多余的反射；另外传输线的长度比较短，也不会带来比较大的插损。对比结构(b)和(c)的插损，可以看到在 20GHz 以前，(b)结构的插损比(c)结构的略微小一些；在 20GHz 以后，(b)结构的插损比(c)结构的更小，在 37.5GHz 处，两者的插损差值达到 -1dB。因此，对于 10Gbps 信号，三种结构都可以；但是对于 25Gbps 传输信号，(b)结构的传输效果更好。为了让测试板兼容 10Gbps 和 25Gbps 信号传输，我们采用了(b)方案。

3.2.3.2. SMA 连接器

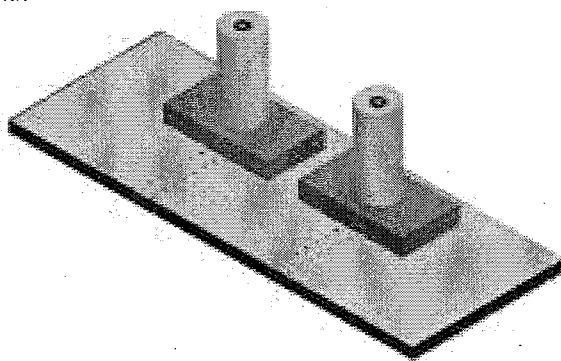


图 3.15 SMA 连接器处触点仿真模型

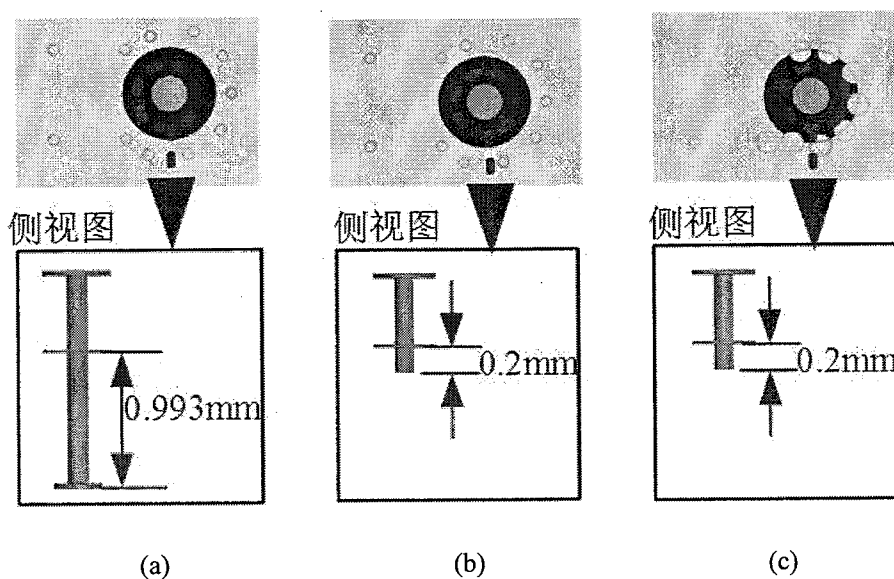


图 3.16 竖直 SMA 处触点的优化结构; (a)未背钻+地过孔在铜平面内; (b)背钻+地过孔在铜平面内; (c)背钻+地过孔在铜平面外

在测试板中另外一个不连续位置是 SMA 连接器的触点。为了保证在高频的仿真准确性，我们将位于触点位置的 Molex 公司的 SMA 同轴模型进行了建立，如图 3.15 所示，同轴结构中的介质材料采用 Teflon 公司的材料，介电常数为 2.1，损耗角正切为 0.001，三种触点的物理模型被用来分析和研究，如图 3.16(a)(b)(c) 所示。在(a)结构中，信号孔未经过背钻处理，周围放置了 9 个地过孔，周围地过孔距信号过孔的间距为 0.86mm；在(b)结构中，信号孔经过了背钻处理，其他的设置与(a)一致；在(c)结构中，我们提出了类似花朵型的结构，将地过孔与信号过孔的间距减小到了 0.65mm，但是又为了在减小间距的同时不改变接触位置的阻抗，因此第一层金属铜皮和第二层金属铜皮到信号孔的间距未做改变，其中的信

号孔经过了背钻处理，其他的设置跟(b)结构一样。同样，(a)和(b)结构为了分析在该结构中的短桩对高速信号传输的影响；(b)和(c)为了分析该结构中周围地过孔的位置对高速信号的影响。

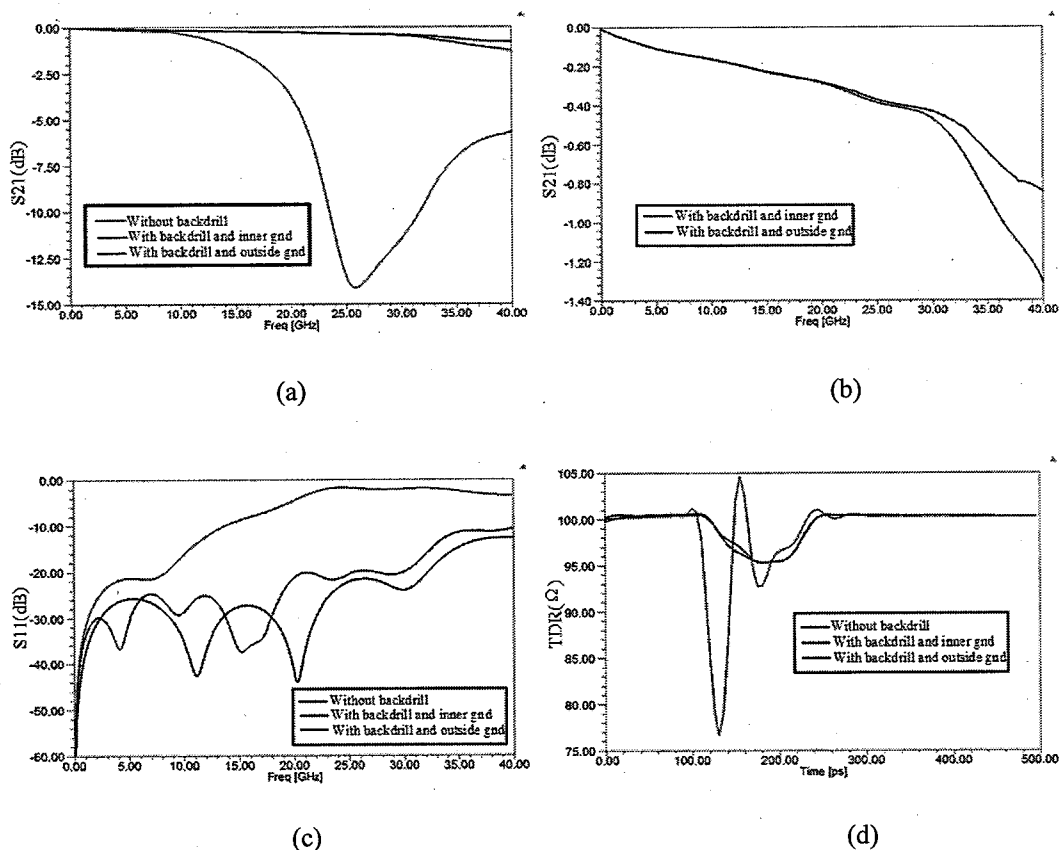


图 3.17 三种 SMA 触点的优化结构的仿真结果；红色：未背钻+地过孔在铜平面内，蓝色：背钻+地过孔在铜平面内，黑色：背钻+地过孔在铜平面外；(a)和(b)：S21；(c) S11；(d) TDR

对比(a)和(b)的仿真结果（如图 3.17 所示），可以看到短桩较长的过孔阻抗(a)仍小于短桩小的过孔阻抗(b)，跟 QSFP 连接器中的结论一致。但是由于谐振点对传输结构有很大依赖性，谐振点转移到了 25Gbps。对比(b)和(c)结构的结果，从 TDR 来看，两者的阻抗基本一致，跟之前的设计目的一致，这样导致两者在整个频段的反射也基本一致，但是在 30GHz 以后，(c)结构的插损比(b)结构的插损更小，由于地过孔与信号孔的间距变小，导致泄漏的信号能量会比较少，因此，我们选择了(c)方案。

3.3. 模块板的电学特性研究

3.3.1. 模块板的框架结构

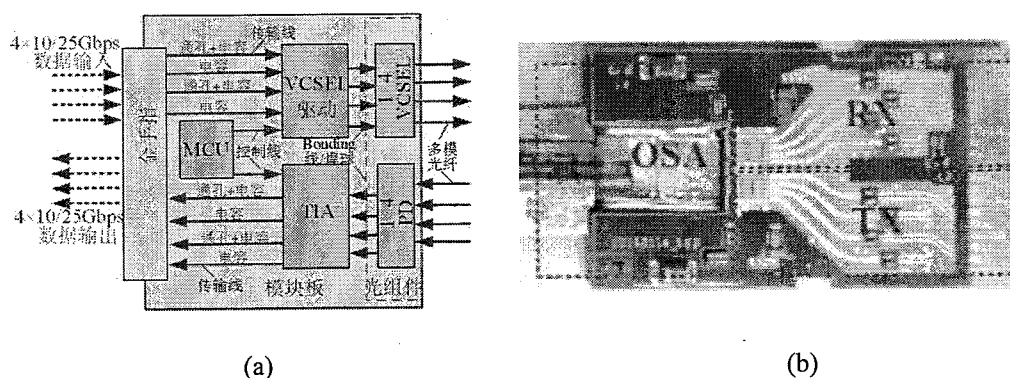


图 3.18 模块板的结构图；(a)模块板高速链路框架；(b)模块板实物照片

在模块板中，包含光学部分和电学部分，光学部分就是上一章讲的光组件（OSA, optical subassembly），电学部分指的是电学 PCB 板，它上面包含电学芯片、金手指 I/O 接口以及从电学芯片到 I/O 接口的无源互连路径。在发送端，高速信号从金手指 I/O 口输入，需要通过光器件的驱动芯片将其转换成调制电流，该调制电流驱动激光器发光，产生调制光强，再通过光纤将光信号传输；在接收端，将光纤中的调制光接收，然后通过光电二极管将其转换为光电流，光电流通过跨阻放大器（TIA, trans-impedance amplifier）芯片将其转换成电压信号，再通过金手指将其输出；跨阻放大器和激光器驱动芯片都通过单片机的 I2C 接口来控制，具体光模块的框架图如图 3.18(a)所示，模块板的照片如图 3.18(b)所示。在模块板中，高速传输路径包含差分传输线、无源耦合电容、过孔、金手指以及从高速芯片到传输线的键合线。无源耦合电容在每条差分链路都存在，为了过滤输入信号的直流偏置；过孔仅存在于需要将传输线连到最低层金手指的传输路径上；金手指是 QSFP 协议标准的要求接口，有固定的宽和长，与传输线宽不一致；由于芯片都是以 wire bonding 的形式互连，因此键合线是另外一个不连续结构。因此，为了保证电学传输性能，不连续结构和差分信号线都需要仔细设计，下文中将对其进行一一介绍。

3.3.2. 信号叠层及传输线阻抗设计

由于金手指在表层和低层都分布着 I/O 接口，但是电学芯片是贴到 PCB 板的表面，所以，有一部分传输线需要通过通孔将信号从表层传输到低层金手指上。因此，为了保证表层和低层传输线的电学性能，需要在上下两层都采用高频介质

材料。我们在上下两层都采用了 Rogers4350B 的双面覆铜板，它的介电常数是 3.66，损耗角正切为 0.0037，其中最上层和最下层铜层都是高速信号层，第二层和倒数第二层是完整的铜平面，作为高速信号线的参考地平面。在中间，我们采用了 FR4 的双面敷铜板，它的介电常数为 3.7，损耗角正切为 0.026，中间的两层分别为电源层和参考地层。三个双面敷铜板通过两层 FR4 半固化片将其粘结。叠层被设计成 6 层，并且它们成对称结构，减少了 PCB 板的翘曲，如图 3.19 所示。

	叠层信息	厚度 (μm)	
1		35	
	Rogers 4350 (core)	101	
2		18	
	FR4 (prepreg)	100	
3		18	
	FR4 (core)	600	
4		18	
	FR4 (prepreg)	100	
5		18	
	Rogers 4350 (core)	101	
6		35	

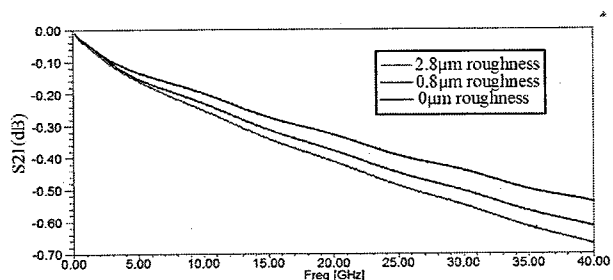
Material	DK@1GHz	DF@1GHz	Color
Rogers4350	3.66	0.0037	
FR4	3.70	0.026	
copper			

图 3.19 模块板的叠层设计及材料属性

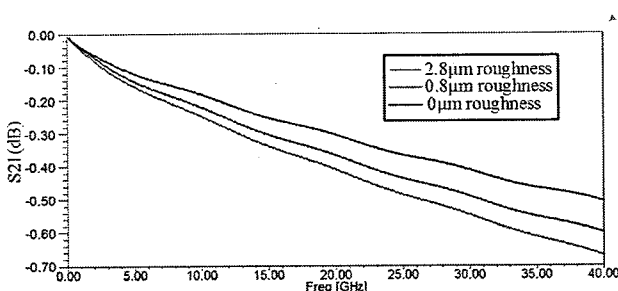
在 PCB 板上设计了两种传输线结构：窄的和宽的传输线。由于我们选用的 Rogers4350B 材料的厚度是 0.101mm，基于该种材料厚度，既可以形成窄的差分微带线，又可以形成宽的差分微带线。由于金手指的引脚宽度为 0.55mm，两个引脚间距为 0.8mm，窄的微带线会造成很大的引脚尺寸的不匹配，两者之间的互连需要一定的设计周期来优化。因此我们在挨着金手指的这一段传输线设计为宽的微带线；具体的尺寸为：线宽为 0.17mm，线间隔为 0.2mm，为了更加接近金手指的引脚尺寸。由于芯片上的引脚间距仅有 0.125mm，为了尽量接近芯片引脚的间距，减小 bonding 的线长，在芯片端，我们采用了窄的差分线；具体的参数为：线宽为 0.135mm，线间距为 0.104mm。

另外，也通过 Hammerstad 和 Huray 模型分析了粗糙度对两种匹配好的微带线影响，两种 1cm 长的被设计的匹配微带线分别在电解铜箔（平均粗糙高度为 2.8μm）、低粗糙度的铜箔（平均粗糙高度为 0.8μm）以及无粗糙度的铜箔（平均粗糙高度为 0μm）下进行了仿真。具体的仿真结果如图 3.20 所示，从仿真结果来看，在整个频段，平滑铜箔比有粗糙度的铜箔插损小，对于窄线条和宽线条，

在 37.5GHz 处两者分别相差 0.08dB 和 0.1dB。但是在整个频段，尽管电解铜箔和低粗糙度的铜箔插损略微有些差异，但两者差异不大。因此，模块基板也采用了电解铜箔。



(a)



(b)

图 3.20 模块板上粗糙度的影响其中红色：电解铜箔，蓝色：低粗糙度铜箔，黑色：平滑结构；(a)窄线条；(b)宽线条

3.3.3. 不连续结构优化

3.3.3.1. 过孔优化

首先，对差分微带线上存在的差分通孔的阻抗进行了匹配。如图 3.21 所示的典型差分过孔的阻抗主要受到四个部分影响：过孔的焊盘、过孔孔径以及过孔的反焊盘。另外，差分过孔还会受到差分对内两过孔的间距的影响。为了节省过孔的占用面积，我们采用了最小的过孔，孔径为 $150\mu\text{m}$ ，焊盘为 $350\mu\text{m}$ ；两过孔间距为 $600\mu\text{m}$ 。因此，仅通过对反焊盘的孔径的优化来使差分阻抗达到 100Ω 。通过对两种反焊盘共同配合优化来使阻抗达到最优值，这种仿真方法不至于错过最优的优化结构。由于叠层的对称性，将第二层和第五层的反焊盘设为一种 anti-pad1，将第三层和第四层的反焊盘设为另外一种 anti-pad2。建立模型进行仿真和优化得到的结果如图 3.22 所示，从 TDR 仿真结果来看，anti-pad1 对过孔的阻抗

影响更大, 达到 100Ω 最优阻抗的组合为 anti-pad1=0.35mm, anti-pad2=0.25mm 或者 anti-pad1=0.25mm, anti-pad2=0.35mm。从 S21 插损曲线来看, 阻抗的改变对于传输线损耗的影响不大, 并且在 35GHz 以后, 损耗下降的比較快。最终, 选用了 anti-pad1=0.25mm, anti-pad2=0.35mm 的组合。

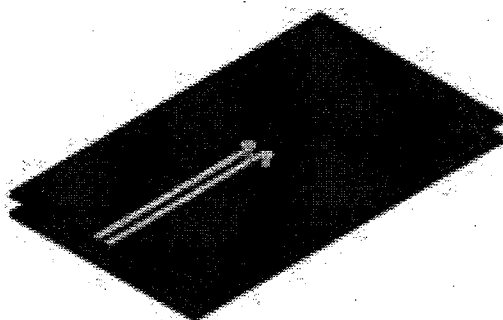


图 3.21 模块板上过孔的结构

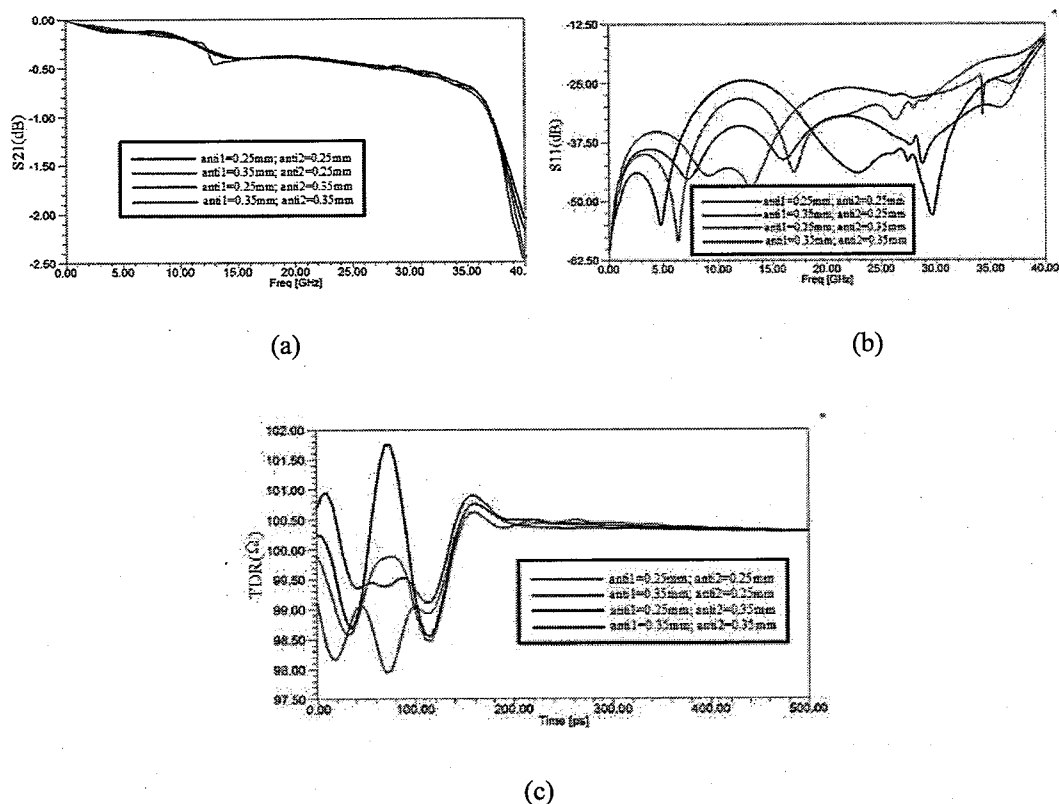


图 3.22 差分过孔的优化结构; anti1: anti-pad1, anti2: anti-pad2; (a)S21; (b)S11; (c)TDR

另外, 对差分通孔内的填充材料的影响也进行了研究。一般 PCB 厂家对过孔的处理有 3 种工艺: 全铜过孔, 空心过孔和介质填孔, 我们分别针对这三种工艺的影响进行了研究。对于全铜过孔, 顾名思义就是孔为实心的铜过孔, 这种工艺

比较昂贵；空心孔一般按国军标的要求来生产，即孔壁厚度平均值为 $25\mu\text{m}$ ；对于介质填充的过孔，一般在空心孔的内层用介质来塞孔。为此，我们建了上述三种工艺的过孔，孔的外层直径为 $150\mu\text{m}$ ；对于塞孔模型，在孔内部采用了树脂材料，它的介电常数为 5.8，损耗角正切为 0.0237。三种孔的模型中，别的参数采用了上述阻抗匹配的孔的参数设置，如图 3.23 所示。

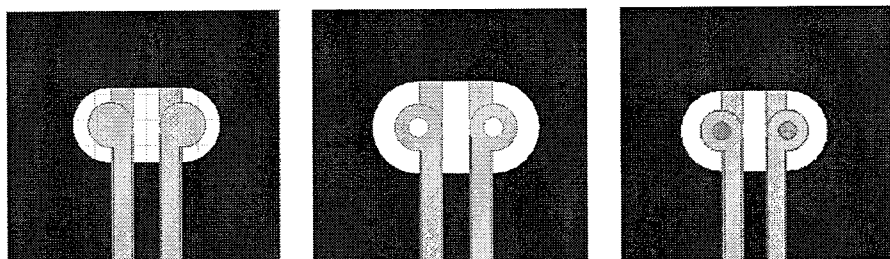


图 3.23 孔的三种形成方式

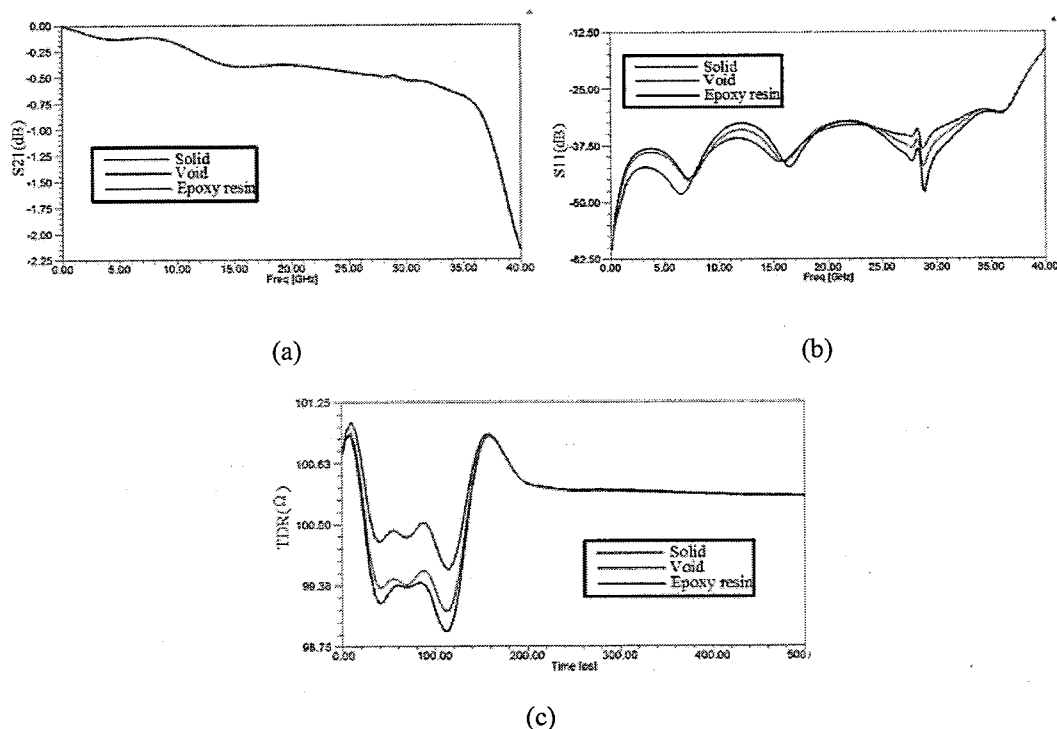


图 3.24 孔的三种结构的电学仿真结果；红色：实心，棕色：空心，蓝色：树脂填充；
(a)S21；(b) S11；(c)TDR

从插损结果和反射损耗的结果（如图 3.24 所示）可以看出，三种模型的仿真结果基本一致。从 TDR 来看，三种结构的阻抗也基本一致。所以，三种工艺对高速信号传输没有太大影响。其实，在高频情况下，由于趋肤效应，信号电流主要集中在比较薄的铜层中。据研究，当信号的频率达到 1GHz 时，电流主要集中在

在 $2.2\mu\text{m}$ 的薄层中, 远远小于空心孔壁厚度, 因此三种模型的仿真结果无差异。所以, 为了建模简单, 孔的模型都可以采用实心孔来代替。但是从仿真结果来看, 35GHz 以后匹配好的差分过孔插损下降比较大, 在 40GHz 快要达到谐振点, 尽管阻抗已经很好地匹配到 100Ω 。

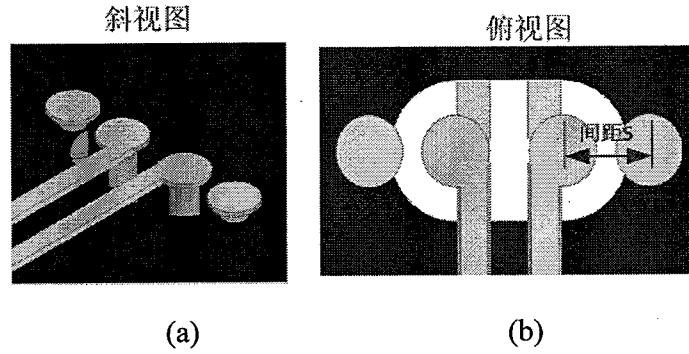


图 3.25 每个信号孔周围加一个地孔, 信号孔与地孔间距为 S ; (a) 斜视图; (b) 俯视图

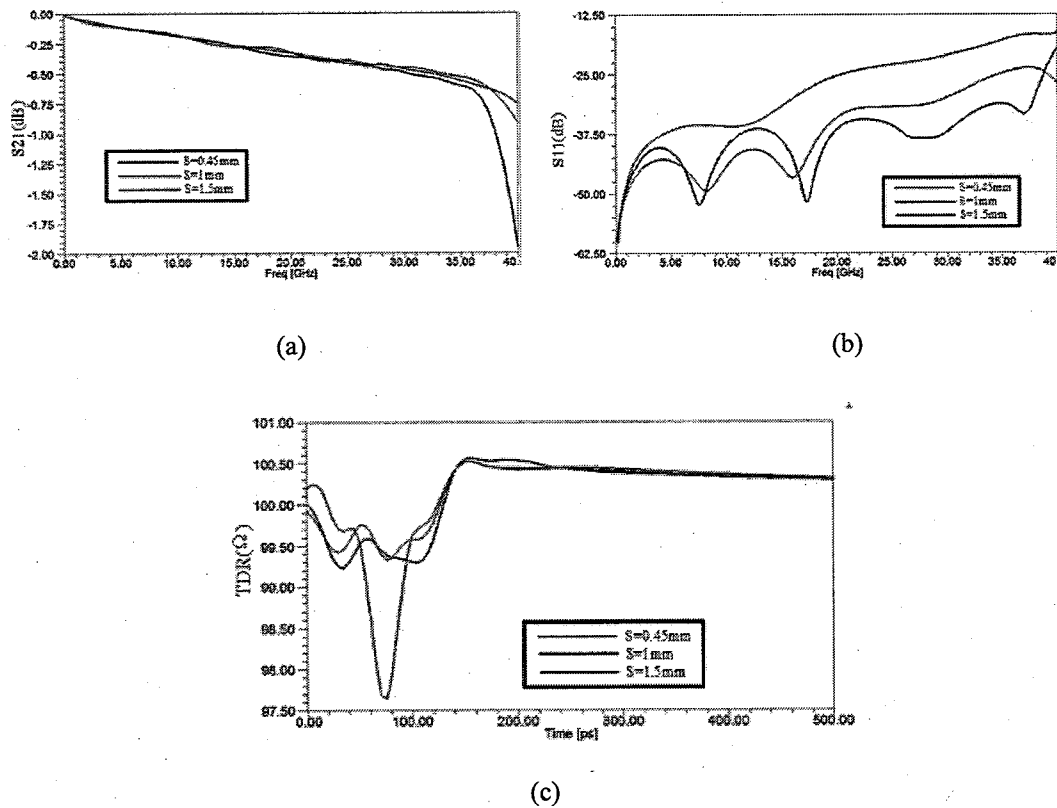


图 3.26 信号孔与地孔间距 S 的变化对电学性能的影响; (a) S_{21} ; (b) S_{11} ; (c) TDR

由于在工艺中信号和地过孔之间所能实现的最小间距为 0.45mm , 因此我们建了三种模型: 间距分别为 0.45mm , 1mm 和 1.5mm , 信号孔的设置跟上述匹配

好的过孔的参数一致。

从 TDR 仿真结果来看,随着间距 S 的减小,信号孔的阻抗逐渐减小;当间距为 0.45mm 时,差分阻抗减小到了 97.8Ω ,另外两种模型的阻抗几乎一致,都是 99.5Ω ,如图 3.26(c)所示。阻抗不连续导致间距为 0.45mm 的模型反射损耗最大,如图 3.26(b)所示。但是从图 3.26(a)插损曲线来看,间距为 0.45mm 的模型的过孔插损最小,特别在 40GHz 处,如图 3.26(a)所示。因此,从图 3.26 的仿真结果可以得出,阻抗匹配的无源链路并不一定能达到最好的插入损耗,插损与多方面因素有关,阻抗不连续带来的反射只是其中一个因素。在过孔模型中,插损与波的泄露有很大关系,如果泄露的波频率正好与 PCB 板的谐振频率一致,就会产生很大的谐振。添加过孔会抑制波的泄露,尽管阻抗有少许不匹配。

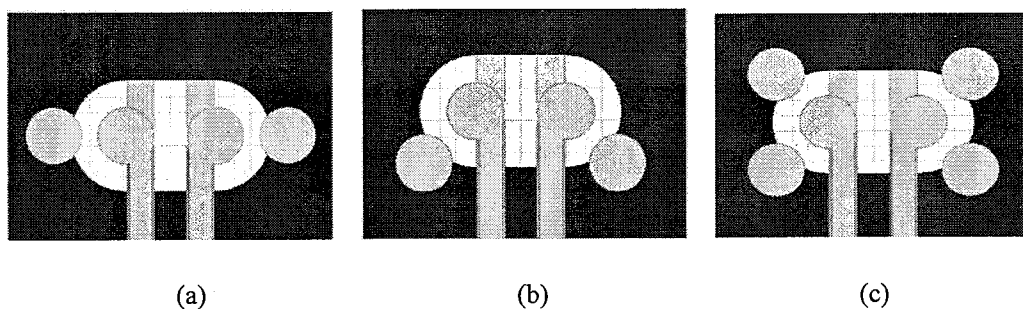


图 3.27 不同的周围地过孔的位置和数量; (a)一个地过孔位于信号过孔 90° 方向; (b) 一个过孔位于信号孔 45° 方向; (c) 两个地过孔分别位于信号过孔 45° 和 135° 方向

最后,我们还研究了周围地过孔的数量以及地过孔的方向对信号传输的影响。我们建了三种模型,分别为图 3.27(a)(b)和(c)。(a)结构中,每个信号孔周围加了一个地过孔,但是信号孔和地孔的连线与传输线成 90° 夹角;在(b)结构中,每个信号孔周围仍然只有一个地过孔,但是信号孔和地孔的连线与传输线成 45° 夹角;在(c)结构中,每个信号孔周围加了两个地过孔,并且地孔分别位于信号孔的 45° 方向和 135° 方向。从(a)和(b)两个模型对比为了研究地孔的方向对损耗的影响;从(a)(b)(c)三个模型对比为了研究地孔数量对损耗的影响。

从仿真结果来看,如图 3.28 所示,在 37.5GHz 以下,三种情况的插损基本一致,并且插损曲线都比较平滑,因此三种方案都可以应用到 40Gbps 和 100Gbps 光模块中;但是到 37.5GHz 以后,(b)结构的插损下降会比较快;(a)结构在 40GHz 处有下降的趋势;(c)结构在 40GHz 内插损一直保持平滑趋势;因此可以得出结论:地孔位于信号孔的 90° 方向比 45° 方向的效果更好,两个地过孔比单个地过

孔效果更好,泄露出去的信号能量会更少。虽然从 TDR 来看, (c)结构的阻抗失配更大, 导致信号反射更大, 但是反射对插损没有造成很大的影响。

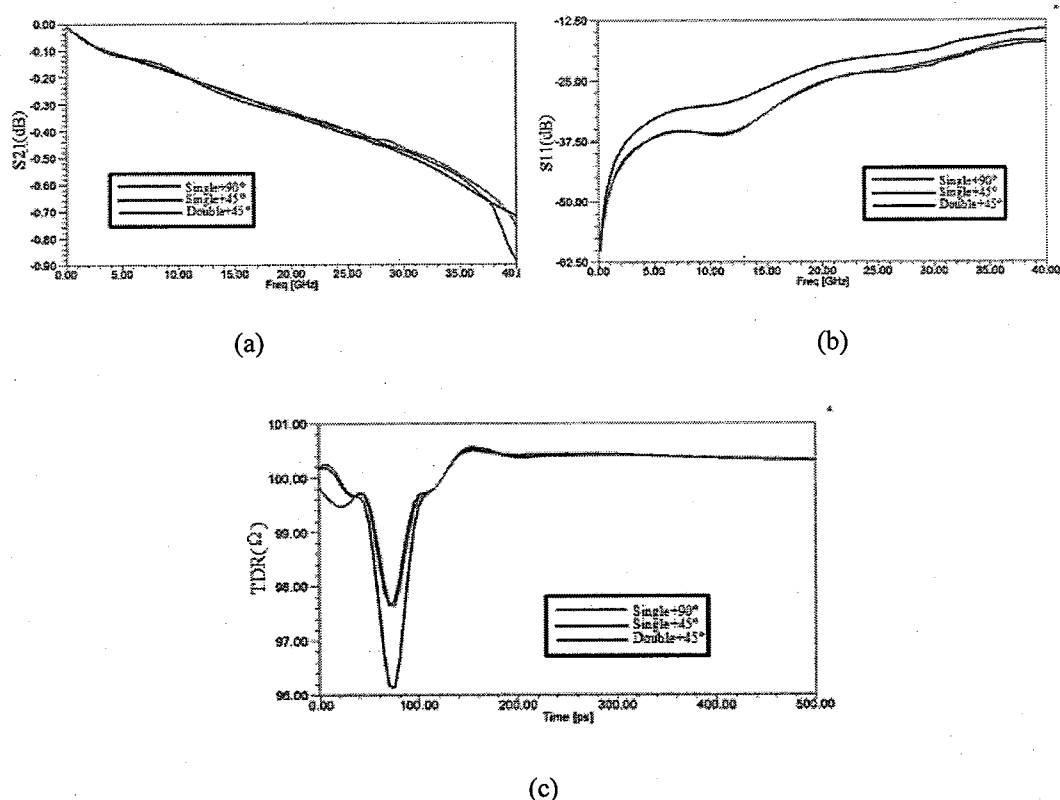


图 3.28 周围地过孔的位置和数量对电学性能的影响; 红色: 单个地孔+90°方向, 蓝色: 单个地孔+45°方向, 黑色: 两个地孔+45°/135°方向; (a) S21; (b) S11; (c) TDR

3.3.3.2. 电容与金手指的优化

对于电容和金手指, 由于二者的引脚都要宽于传输线的线宽, 因此, 两者都属于容性失配。我们通过在电容和金手指下方挖参考地平面的方法来进行匹配。对于电容, 我们仅在电容焊盘相邻层挖掉跟电容焊盘一样的尺寸, 就达到了 100Ω 的阻抗。对于金手指, 由于金手指容性失配太大, 我们将金手指下方所有的参考铜平面都挖掉, 差分阻抗也只能达到 90Ω, 仍然存在 10% 的容性失配, 后续可以考虑将中间层的介质换成介电常数更低的材料, 使阻抗匹配达到最优。仿真模型如图 3.29 所示, 仿真结果图 3.30 所示。从插损来看, 在 13GHz, 23GHz 以及 33GHz 附近, 会有三个小的谐振点, 通过对仿真进一步验证, 发现谐振来自连接器结构, 除过上述几个谐振点外, 其他频段插损都比较平滑, 并且四个通道一致性很好。从 TDR 可以看到, 除过金手指处, 其他部分阻抗都在 100 欧姆附近;

由于金手指处的阻抗不连续性, 导致在 20GHz 以后反射大于-10dB。

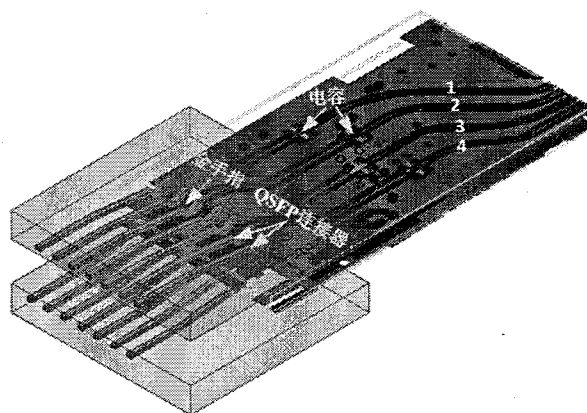


图 3.29 优化后不带键合线的模型

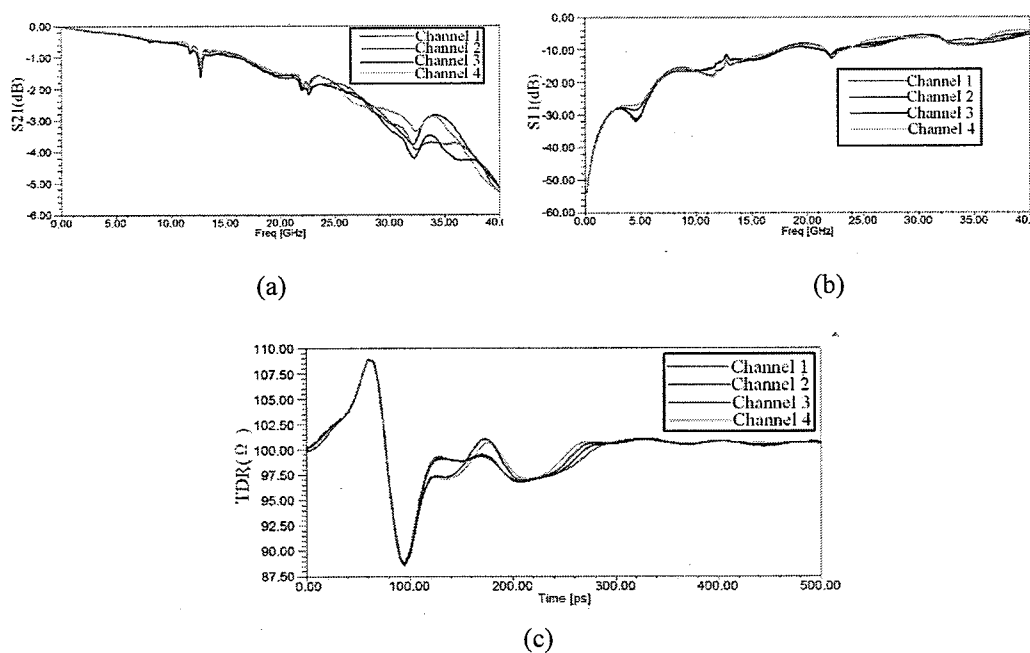


图 3.30 高速传输线上的不连续结构优化后的仿真结果

3.3.3.3. 键合线优化

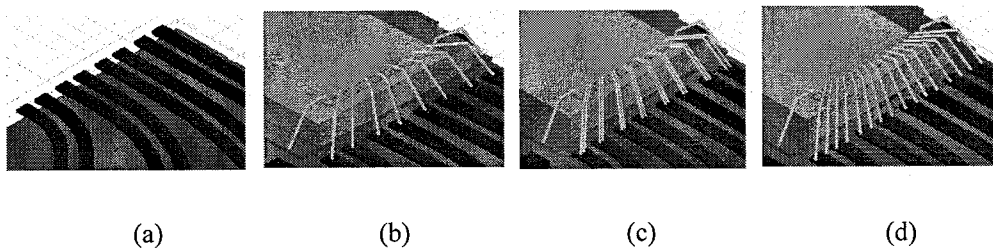


图 3.31 加了键合线后的仿真模型; (a)未加键合线; (b)加一根键合线; (c)加两根键合线, 但两者紧挨; (d) 加两根键合线, 但两者分离

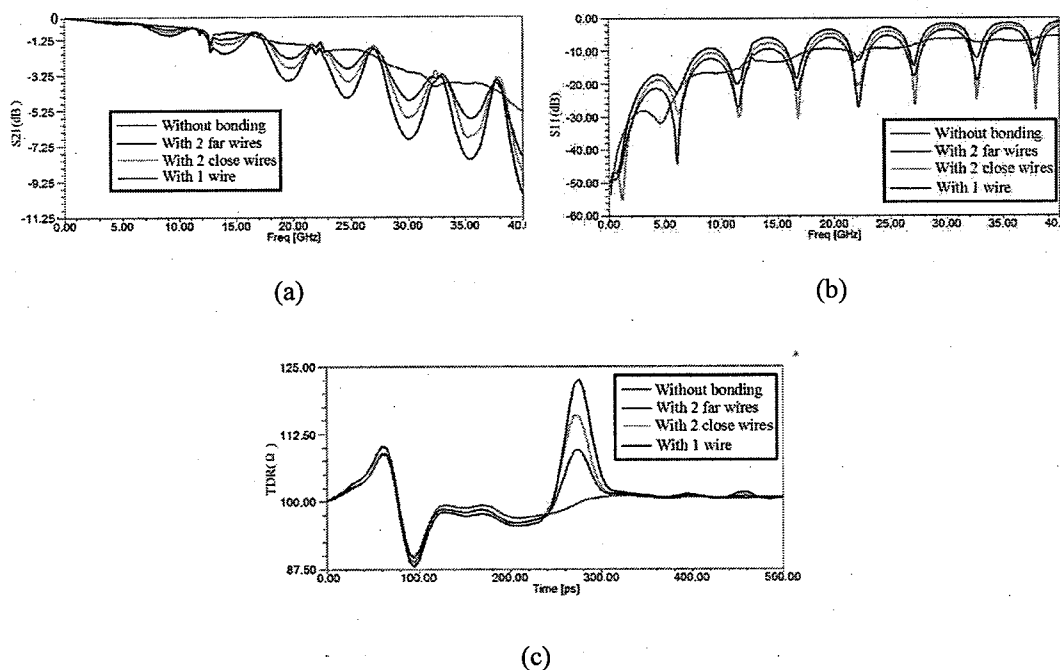


图 3.32 四种模型的仿真结果对比；其中红色：未加键合线；蓝色：加两根键合线但两者分离；绿色：加两根键合线但两者紧挨；黑色：加一根键合线；(a) S21；(b) S11；(c) TDR

在图 3.29 的模型基础上，添加了键合线，来分析其对整条链路的电学特性的影响。键合线的弧高为 $100\mu\text{m}$ ，直径为 $25\mu\text{m}$ 。键合线结构分别采用单根键合线结构、双根键合线并且两者紧挨的结构、双根键合线并且两者分离的结构，如图 3.30 所示。单根键合线是指每根传输线上键合一根金线；双根键合线并且两者紧挨结构是指每条传输线上键合两根金线，但是两根金线相互紧挨；双根键合线并且两者分离结构是指每条传输线上键合两根金线，但是两根金线分别位于传输线的边沿。从图 3.31(a) 的插损结果分析可知，没有键合线的插损最平滑；在加了键合线后，(b) 模型的插损曲线振荡最大，(d) 模型的插损曲线振荡最小。从图 3.31(b) 和图 3.31(c) 仿真结果分析可知，(b) 模型的键合线阻抗高达 123 欧姆，反射最大，而 (d) 模型的键合线阻抗控制在 110 欧姆左右，减小了反射。经研究，如果在一条传输线上仅存在一根键合线，由于键合线的直径太小，所以感性失配严重；如果在一条传输线上存在两根键合线但两者紧挨，传输线的容性会增大，但是同一传输线上金线互感是最大的，同一差分对中的金线互感是最小的，因此感性仅能减小一部分；如果在同一传输线上存在两根键合线但两者分离，传输线的容性会增大，另外，同一传输线上金线的互感是最大的，同一差分对中的金线互感是最小的，因此感性被很大程度地减小。综上所述，在每条传输线上键合两根

金线并且将两者分离是一种有效的互连方式，可以应用于 $4 \times 25\text{Gbps}$ 的光电互连系统中；但是从 TDR 来看，该种方式阻抗仍偏高，未来可以考虑将芯片的互连方式改为 flip-chip 形式。

3.4. SiOB 的电学特性研究

硅衬底上传输线损耗有导体损耗、介质损耗以及对外辐射。一般对外辐射比较少，可以忽略，主要为导体损耗和介质损耗。另外，除过传输线的损耗之外，光组件与电学部分的互连反射也是造成损耗的一部分。两者的互连可能会造成阻抗不匹配，造成大的反射，为此对两种组装结构的电性能也做了评估。

3.4.1. 90° 弯折传输线的电学性能研究

在 SiOB 上，设计了 90° 弯折的 GS 微带线结构来实现电学 90° 弯折。为了保证该弯折传输线的电学特性，通过 3D 电磁仿真软件 HFSS 对其中关键参数的电学影响进行了仿真评估和分析。

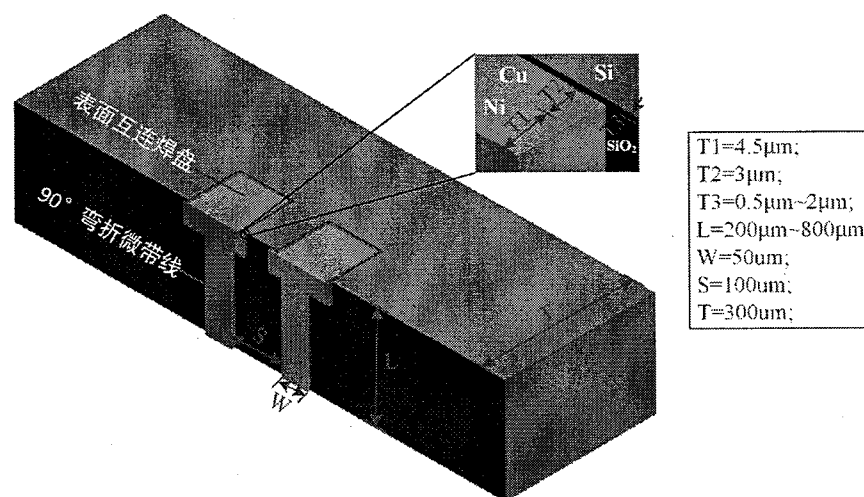


图 3.33 SiOB 弯折传输线的仿真模型及参数设置

根据芯片的引脚尺寸限制，设计的 GS 传输线的宽度和间距分别为 $50\mu\text{m}$ 和 $100\mu\text{m}$ 。微带线的金属层从上向下设计为 $3\mu\text{m}$ 厚的铜 (Cu)、 $4.5\mu\text{m}$ 厚的镍 (Ni) 以及少于 $1\mu\text{m}$ 厚的钯金 (PdAu)。相比于 Cu 和 Ni，由于 PdAu 的厚度太小，因此，建模过程中省略了这一层。具体的 GS 共面微带线如图 3.33 所示。

首先，评估了不同硅电阻率对传输线电学传输特性的影响。在线长 (L) 为 $200\mu\text{m}$ 和 SiO_2 的厚度为 $0.5\mu\text{m}$ 以及其他参数保持不变的情况下，电阻率从 3000

ohm.cm 变化到 30 ohm.cm。尽管线长仅有 200 μ m，但是小的硅电阻率仍会引入大的导体损耗，导致插损变大，如图 3.34。通过仿真可以看到，在 40GHz 以内，在 3000 ohm.cm 的电阻率硅衬底上的微带线插损最小。因此我们选用了 3000 ohm.cm 的硅片作为基底材料。

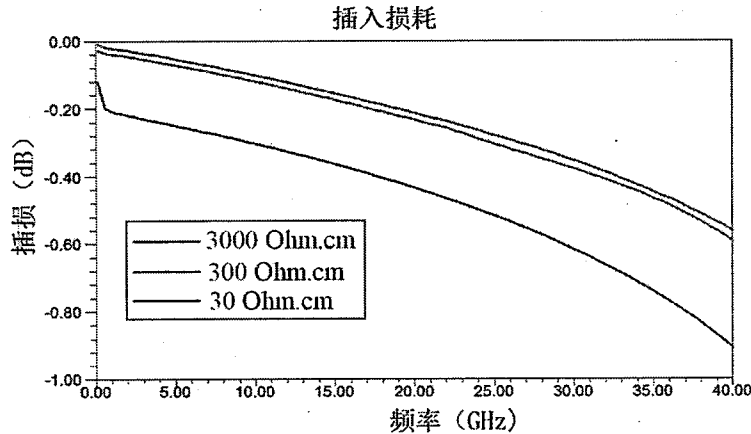


图 3.34 不同硅的电阻率的仿真结果

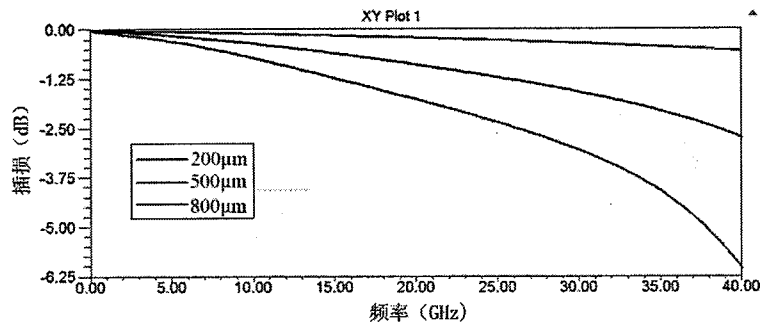


图 3.35 SiOB 上不同长度传输线的损耗

其次，评估了不同长度传输线的电学性能。在硅的电阻率为 3000 ohm.cm 和 SiO₂ 的厚度为 0.5 μ m 以及其他参数保持一样的情况下，传输线的长度从 200 μ m 增加到了 800 μ m。由于传输线长变长，导体损耗和介质损耗也相应的变大。从图 3.35 分析，在 10GHz 处，200 μ m、500 μ m 和 800 μ m 长的微带线的插损分别为 -0.1dB、0.35dB 以及 -0.7dB；在 15GHz 处，200 μ m、500 μ m 和 800 μ m 长的微带线的插损分别为 -0.2dB、0.6dB 以及 -1.2dB；在 25GHz 处，200 μ m、500 μ m 和 800 μ m 长的微带线的插损分别为 -0.3dB、-1.2dB 以及 -2.4dB；在 37.5GHz 处，200 μ m、500 μ m 和 800 μ m 长的微带线的插损分别为 -0.5dB、2.5dB 以及 -5dB。从 0~40GHz 的整个频段上，200 μ m 的微带线的插损远远小于 500 μ m 和 800 μ m 的传输线的插

损。因此，在硅衬底上设计了 $200\mu\text{m}$ 的微带线，为后续的组装带来的损耗预留了空间。

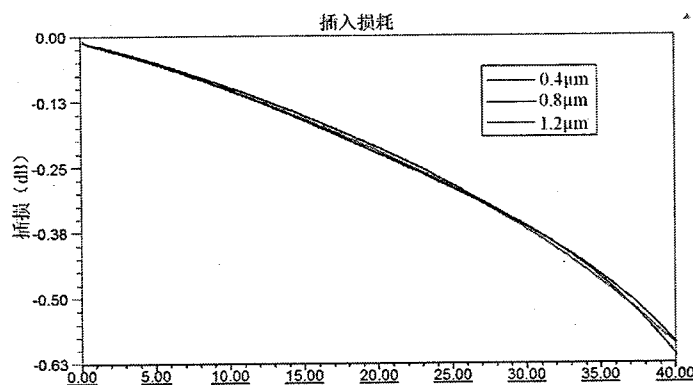


图 3.36 二氧化硅对电学性能的影响

最后，还分析了二氧化硅厚度对传输线传输性能的影响。在硅的电阻率为 3000 ohm.cm 和传输线的长度为 $200\mu\text{m}$ 以及其他参数保持不变的情况下，绝缘层二氧化硅的厚度分别为 $0.4\mu\text{m}$ ， $0.8\mu\text{m}$ 和 $1.2\mu\text{m}$ 的模型进行了仿真分析。仿真结果如图 3.36 所示，绝缘层的厚度对传输线的损耗没有太大影响。

3.4.2. 不同组装方式的电学特性研究

该种新型的光组件的组装可以用两种方式：wire-bonding 以及 flip-chip。因此，对这两种组装方式的电性能做了评估。

(1) 对 wire-bonding 结构进行了评估。

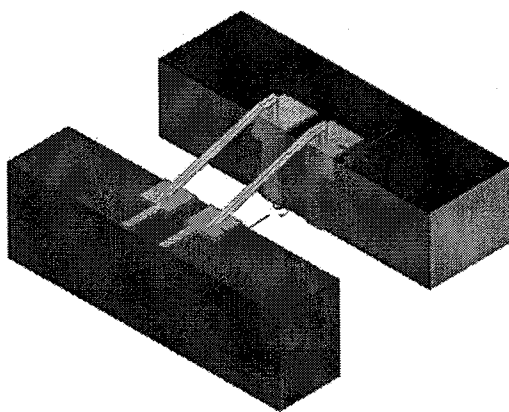


图 3.37 wire-bonding 组装方式

对键合线的电学性能进行了评估，为了减小 PCB 上传输线对其影响，PCB 板

上的长度仅有 $150\mu\text{m}$ ；键合线的弧高控制为 $100\mu\text{m}$ ，具体模型如图 3.37。键合线的键合焊盘间距 $S1$ 分别为 $300\mu\text{m}$ 和 $400\mu\text{m}$ 时对插损进行了分析。从图 3.38 的仿真结果来看，当 $S1=300\mu\text{m}$ 时，在 25Gbps 的二次谐波 25GHz 处，它的插损达到了 -3dB ，从上述理论可知，使信号上升沿增加了大概 10% 。但是当 $S1=400\mu\text{m}$ 时， 25GHz 处的插损已经达到了 -4dB 。因此，为了保证传输性能，需要将 $S1$ 尽量控制在 $300\mu\text{m}$ 以下，工艺难度比较大。

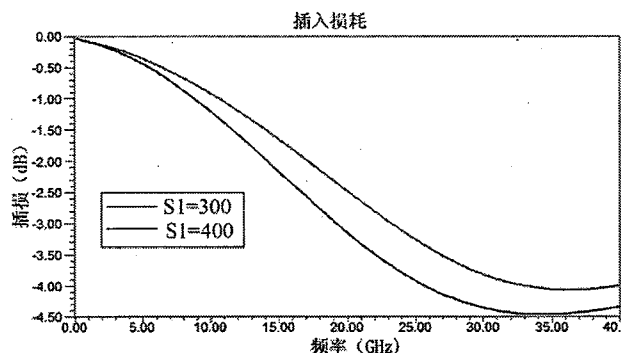


图 3.38 不同长度键合线的插损

(2) 对 flip-chip 结构进行了评估。

另外，对 flip-chip 的组装方式也进行了损耗评估。对于焊球，我们采用了圆柱来等效焊球进行建模，直径为 $60\mu\text{m}$ 。由于互连路径明显变短，并且传输路径感性减弱，因此 flip-chip 组装方式的插损明显小于 wire bonding 的组装方式，如图 3.39。在 25GHz 时，两者插损相差 -1.5dB 左右。

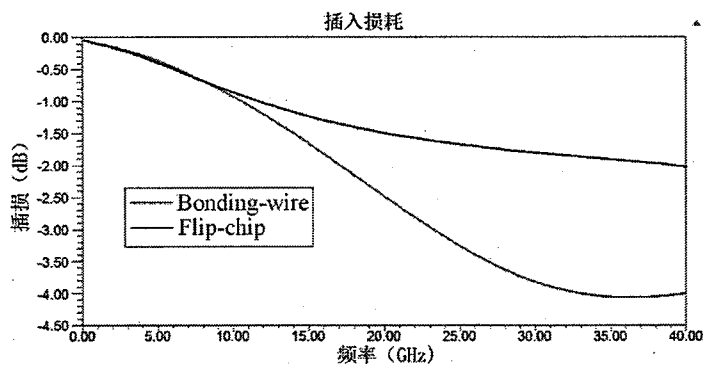


图 3.39 Flip-chip 与键合线的电学性能对比

因此，对于 40G QSFP 的光模块，光组件和电 PCB 板之间的组装仅用低成本的 wire-bonding 的组装方式就可以满足要求；对于 100G QSFP 模块，如果仍采用 wire-bonding 的组装形式，就需要对金线长度进行控制，为了使性能更好，

可以考虑用 flip chip 的结构来实现。

3.5. 本章小结

本章对光电系统中存在的信号完整性问题进行了研究，包括测试板、模块板和光组件中的信号完整性问题。首先，介绍了信号完整性的基本理论，并且对高速系统中的信号完整性问题进行了分析。然后，基于理论分析，从材料叠层、传输线设计、不连续结构设计三个方面对测试板、模块板和光组件的电学特性进行了研究和优化。通过对测试板中的 QSFP 连接器处触点的电学性能研究，提出了一种既高效又准确地对接插件接触位置优化的方法；基于该种优化方法对竖直 SMA 头触点进行了优化，提出了一种类似“花朵型”的方法来有效地解决信号完整性的问题；对三种工艺实现的通孔（空心孔、实心孔以及树脂塞孔）的电学性能以及信号孔周围的地孔数量和位置对电学性能的影响进行了研究；对电容、金手指以及键合线不连续结构进行了优化；同时还研究了 SiOB 关键参数的电学影响以及光组件的两种组装方式的电学特性，以引导后续的制造和组装。

第四章 QSFP 光模块的制作与实现

在本章中我们具体制作和实现了两款新型的 QSFP 光模块结构, 可以获得高光耦合效率、良好的互连性能、大的组装容差、良好的散热性能。首先概述了整个 QSFP 光模块的封装结构, 其次具体研究了其中新型光组件的制造与实现技术, 包括光组件的制造、组装和误差分析。然后分别从金丝键合和倒装焊两种方法角度进行光模块组装技术的研究。最后还对这种光模块结构在 40Gbps 和 100Gbps 光模块中应用时的热管理性能进行研究, 以保证整个系统的高性能工作。

4.1. 光模块的封装结构

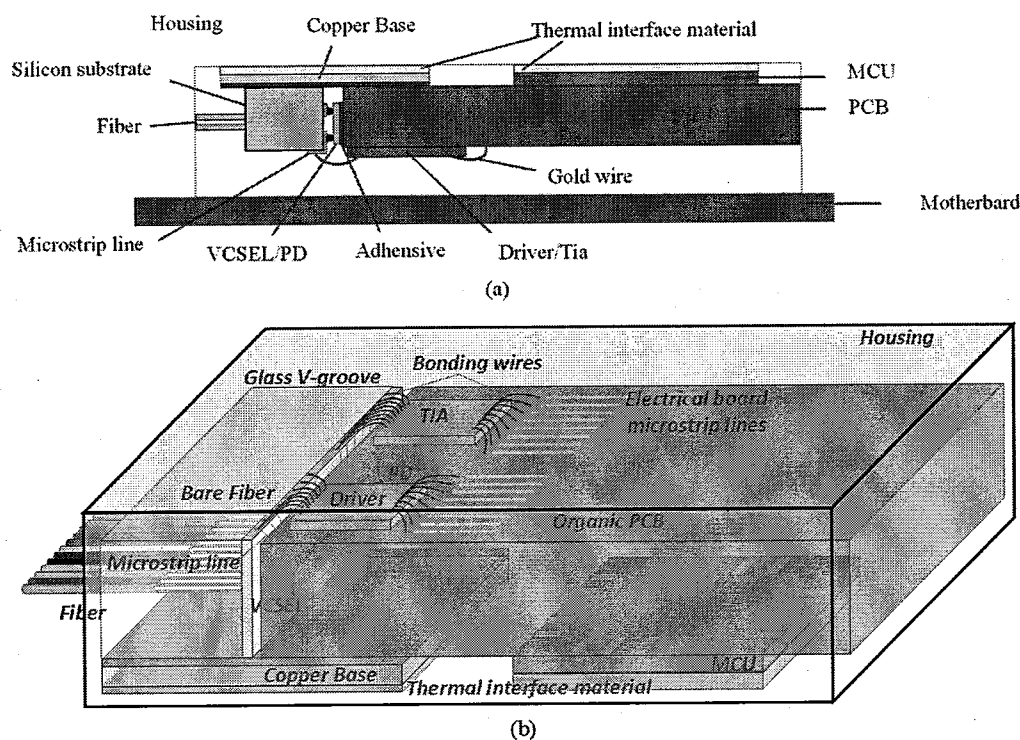


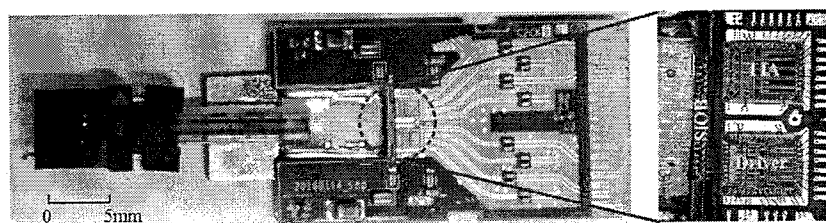
图 4.1 QSFP 光模块封装结构图: (a)侧视图; (b)三维图

整个新型的 QSFP 光模块封装结构如图 4.1(a)所示, 具体包括光组件、电组件和其他一些组成部分。光组件具体包括光纤、玻璃 V 槽、硅载板 (SiOB)、光芯片 (VCSEL/PD) 等。由于采用的是光纤直接耦合, 具有耦合效率高、功耗小、光组装容差大、成本较低等多种优点。不过由于光组件上的光芯片焊盘和电组件焊盘位置相互垂直, 导致光模块的电互连组装较为困难。因此我们基于硅基

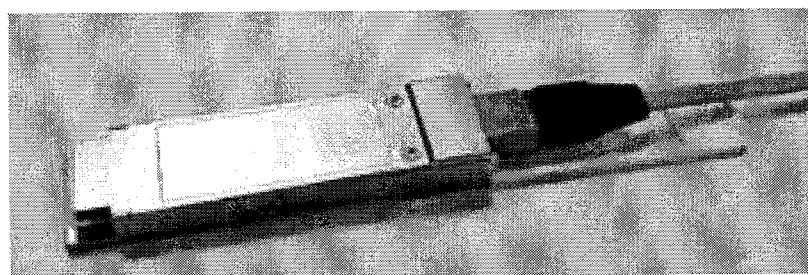
微加工工艺制作出 SiOB, 表面有 90° 的弯折微带线, 且具有良好的传输性能, 另外利于后续整个光模块的组装。

而电组件包括有机基板、电芯片 (Driver/TIA)、控制器芯片 MCU 等。采用有机材料作为封装基板, 具有工艺成熟、成本较低、高频电性能好等优点。电芯片 Driver/TIA 分别与光发送 (TX) /光接收 (RX) 模块对应, 分别与光组件中的 VCSEL/PD 芯片相连, 其电互连是通过硅载板上的 90° 弯折微带线和键合线/焊球完成的。而 QFN 封装 MCU 控制器通过 SMT 技术贴装在有机基板背面, 用来配置光电芯片的寄存器参数。

除了光组件和电组件外, 整个光模块还有一个铜基 (Copper base) 组装在硅载板和有机基板背面位置, 有机基板上在电芯片和 MCU 位置都设计有热孔 (Thermal vias), 用于形成从发热芯片到铜基的良好散热通道。另外, 铜基和 MCU 芯片的表面都涂布有热界面材料 (Thermal interface material) 并与外部的管壳 (Housing) 相接, 可以将热量迅速传导到较大的管壳表面, 实现良好的热管理性能。



(a)



(b)

图 4.2 QSFP 光模块实物图: (a)无管壳模块图; (b)有管壳模块图

利用微组装技术将这些组件进行封装, 可以实现小尺寸、低厚度、高光耦合效率、良好热管理性能的光模块, 具体的 QSFP 光模块的实物如图 4.2 所示, 图 4.2(a)是未安装管壳之前的光模块, 由于采用了新型光组件和光模块封装方式,

制作整体厚度仅为 2mm 左右，远小于 QSFP 标准厚度 1cm 大小。而图 4.2(b)是安装管壳之后的光模块，标准管壳的外面还可以安装热沉（Heatsink）和风冷模块用于进一步提升散热效果。这种封装形式除了用于这种 QSFP 光模块，还可以用于其它形式如 CXP，CFP 等光模块，也具有类似的优势。

在论文接下来的几节中，4.2 节着重于研究新型光组件的制作技术，包括 SiOB 工艺制造、光组件组装以及光学误差分析。而 4.3 节重点研究新型光模块的整体组装。对于组装实现的 QSFP 光模块，4.4 节进一步完成热管理特性的分析研究，分别以 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ 的光模块为对象。最终制作完成的这两种 QSFP 光模块，在相应的散热方式下都具有良好的热管理特性，从而保证光互连功能的实现与稳定工作。

4.2. 新型光组件的制作

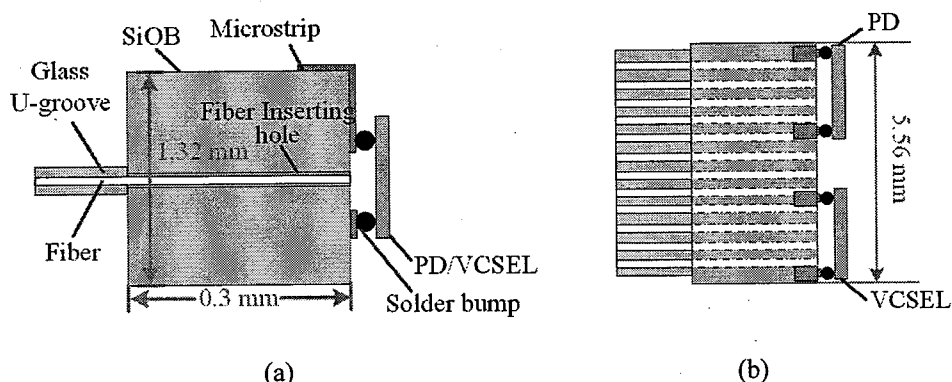


图 4.3 新型光组件: (a)侧视图; (b)顶视图

根据第二章研究的技术，我们设计的新型直接耦合式光组件结构如图 4.3(a)(b)所示。整个光组件包括光纤、玻璃 V 槽、硅载板 SiOB、光芯片。其中 SiOB 的微加工制作是这种光组件的一个关键点，一方面其提供的光纤插入孔可以保证光纤的直接耦合方式，具有较高的精度；另一方面 SiOB 上包含的 90 度弯折微带线，可以保证光芯片和电芯片的可靠性的互连。在本节中，主要按照硅载板的微加工制造、光组件的组装、光耦合的误差分析来进行研究。

4.2.1. SiOB 的制造

整个 SiOB 结构主要包含光纤插入孔（Fiber inserting holes）、90 度弯折微带线（90-deflection microstrip line）、应用于光芯片组装和与电组件互连的焊盘

(Bonding pads) 等。我们采用了晶圆级微加工工艺来加工这些组成部分, 具有可大规模制造、低成本、高精度等优点。图 4.4 是简化的 SiOB 制造工艺流程, 其中图 4.4(a)为侧视的工艺步骤图, 为了进一步直观的展示整个晶圆加工工艺, 其三维的工艺步骤及每个构成部分的说明如图 4.4(b)所示, 与图 4.4(a)一一对应。

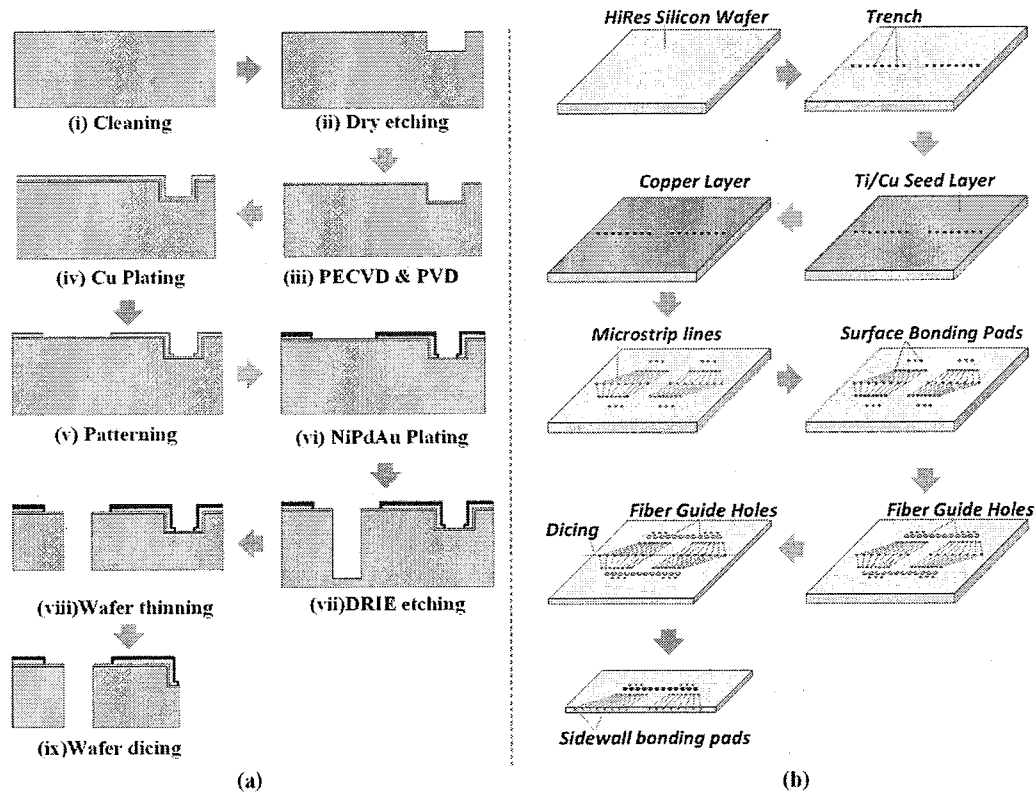


图 4.4 SiOB 的简化制造工艺流程: (a)侧视图; (b)三维图

如图 4.4(i)所示的简化制造工艺流程, 硅载板的制造采用了 12 寸的高阻硅晶圆作为基底, 晶圆厚度为 $700\mu\text{m}$, 首先进行双面抛光和清洗; 其次用干法刻蚀 (Dry etching) 在硅基底表面制造方形槽, 槽深 $80\mu\text{m}$, 用于形成 90 度弯折微带线, 如图 4.4(ii)所示; 然后用等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition) 在表面生长一层 400nm 的 SiO_2 作为绝缘层, 以及用物理气相沉积 (PVD, Physical Vapor Deposition) 的方法在表面生长一层 800nm 的 Ti/Cu 材料作为种子层, 利于进一步更好的电镀铜层, 如图 4.4(iii)所示; 接着如图 4.4(iv)在晶圆表面电镀 $3\mu\text{m}$ 厚的铜层, 在方形槽底和槽壁也有比较均匀的铜厚; 然后进行铜层图形化, 利用传统的光刻胶涂布、烘烤、曝光、显影腐蚀和去胶的方法刻蚀形成线路层, 其中表面微带线的线宽、线距、线长分

别为 $50\mu\text{m}$ 、 $100\mu\text{m}$ 、 $200\mu\text{m}$ 。同时槽底的铜层也相应被刻蚀，利于最终的晶圆划片，如图 4.4(v)所示；接着在铜线表面电镀厚度为 $2.3\mu\text{m}$ 的镍钯金层，形成表面和侧面的焊盘，有利于进一步光芯片的可靠组装和与电芯片的良好连接，如图 4.4(vi)所示；之后制作光纤插入孔，具体用 Bosch 深硅刻蚀工艺（DRIE, Deep Reactive Ion Etching）在硅片上刻蚀圆形深孔，孔径为 $130\mu\text{m}$ ，然后进行硅片背面减薄，将整个 $700\mu\text{m}$ 硅片减薄至 $300\mu\text{m}$ ，有利于直径为 $125\mu\text{m}$ 、长度为 $300\mu\text{m}$ 的裸光纤束较高精度的组装，这两步工艺实现如图 4.4(vii)和图 4.4(viii)所示；最后沿晶圆表面方形槽的方向进行划片，得到加工好的 SiOB，最终制造出的 SiOB 实物如图 4.5 所示，而其在整个光模块中的位置如图 4.2(a)所示。

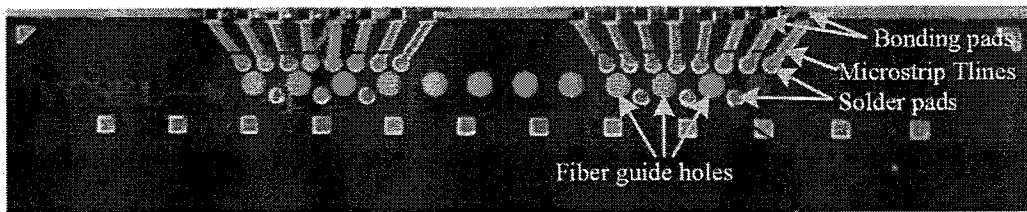


图 4.5 硅载板 SiOB 实物图

4.2.2. 光组件的组装和误差分析

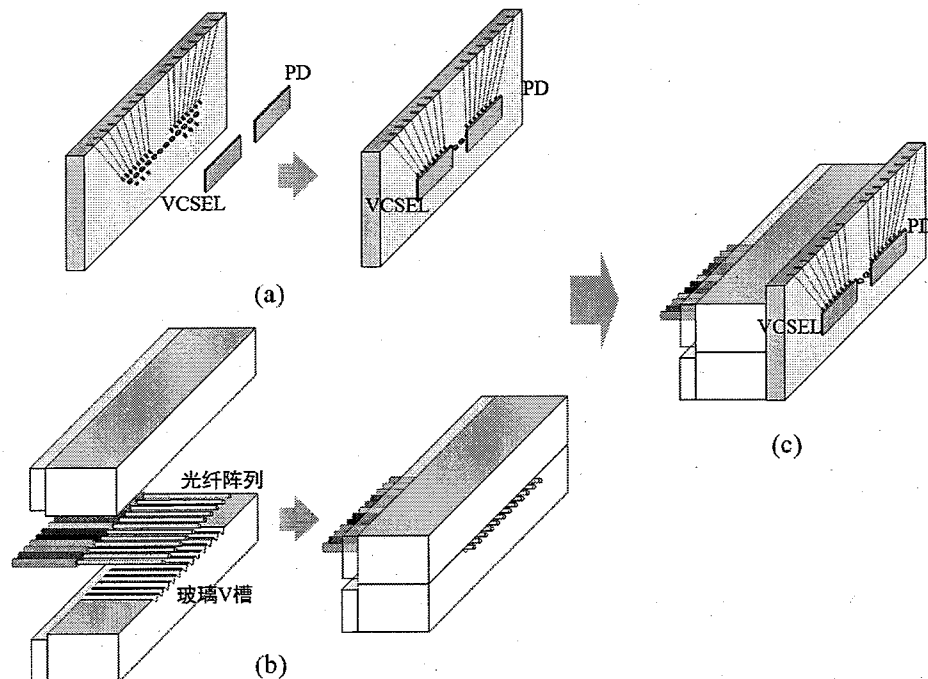


图 4.6 光组件的组装；(a)光芯片 SMT 组装；(b)光纤阵列定位组装；(c)光纤阵列与 SiOB 对位组装

制作好 SiOB, 就可以进行新型光组件的组装, 如图 4.6 所示。首先是光芯片的 SMT 组装, 通过倒装焊机 (Flip chip bonder) 将 VCSEL 和 PD 两个芯片组装在 SiOB 的焊盘上, 并保证较高的组装精度, 如图 4.6(a)所示; 其次是利用玻璃 V 槽来固定光纤阵列, 由于在玻璃板上采用微纳加工工艺制作了精度非常高的 V 型槽, 因此可以用于光纤的精确固定, 减小其在组装过程中的摆动, 如图 4.6(b)所示。另外在两层玻璃板压合之后, 只留出一定长度的裸光纤, 用于进一步插入到 300 μm 厚的 SiOB 中, 因而可以精确控制光纤头与光芯片有源面的距离; 最后将光纤阵列插入到 SiOB 上制作好的光纤插孔中, 在高倍显微镜下可以看到光纤插入孔中的光纤阵列裸光纤部分, 此时光组件对位完成并采用紫外固化胶进行固定, 如图 4.6(c)所示。

最终完成的光组件实物如图 4.7 所示, 其中图 4.7(a)展示的是倒装光芯片的 SiOB 实物图, 而图 4.7(b)所示的是插入光纤阵列的光组件图。制作好的光组件与电芯片的互连组装图如 4.7(c)所示。

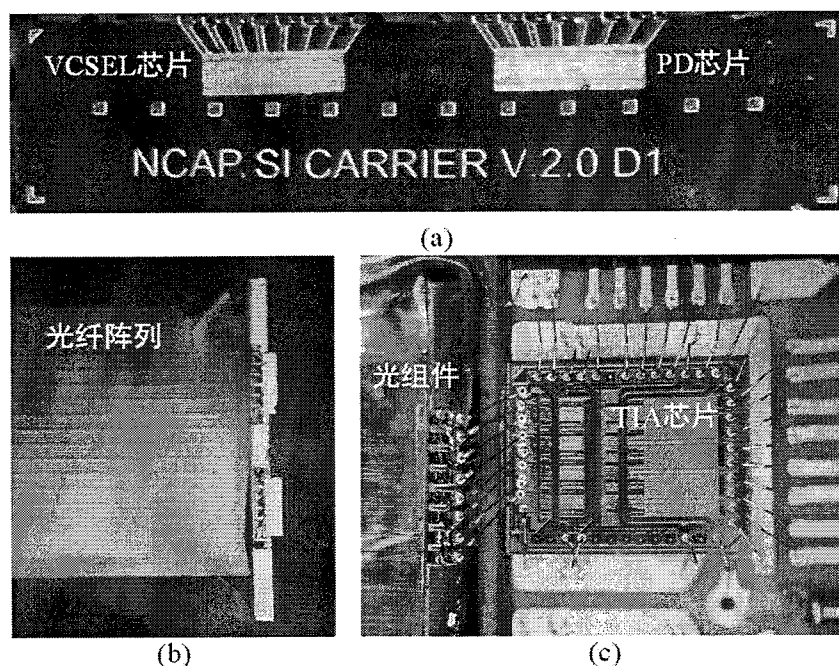


图 4.7 光组件实物图: (a)倒装光芯片的硅载板; (b)插入光纤的光组件; (c)光组件和电芯片邦线互连

由于高速光模块中对于光组件的组装精度要求非常高, 微小的位置偏差就会对光的耦合效率带来较大的影响。因此这一节除了研究光组件的组装过程, 还需要相应的组装误差分析, 具体 4 $\times$ 10Gbps 光组件组装的参数如图 4.8(a)所示。在

4×10Gbps 光组件组装参数中,焊球由 1mil 的金线形成,直径为 $30\mu\text{m}$, SiOB 的厚度和光纤阵列裸光纤部分长度都为 $300\mu\text{m}$, 光纤插入孔的直径为 $130\mu\text{m}$, 光纤的直径为 $125\mu\text{m}$; 而对于 4×25Gbps 光组件,从第二章的仿真分析可知,需要将源面与光纤端面的间距减小到 $20\mu\text{m}$,才能达到比较大的耦合效率和耦合容差,因此,需要将光纤阵列裸光纤部分的长度增长 $10\mu\text{m}$ 来保证两者之间 $20\mu\text{m}$ 的间距,而其他参数保持不变。在 SiOB 的制造和光组件组装过程中, SiOB 上光纤插孔制造偏差、光纤制造长度偏差、光芯片的组装偏差、孔中光纤角度偏差是其偏差的主要来源,影响着最终的光耦合效率。

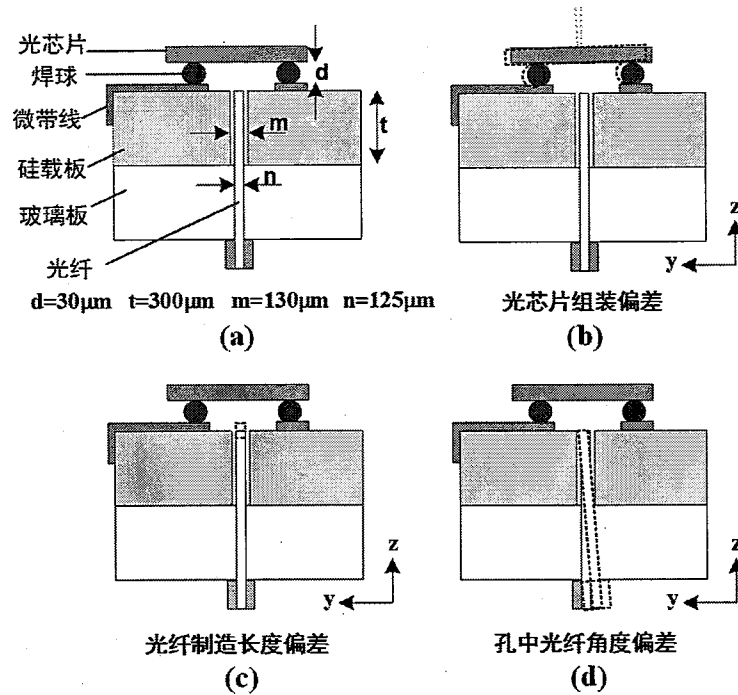


图 4.8 光组件组装偏差: (a)整体组装参数; (b)光芯片组装偏差; (c)光纤制造长度偏差; (d)孔中光纤角度偏差

光芯片的组装,我们采用的是 Finetech 公司的倒装焊机 (Flip chip bonder), 具有较高的组装精度,芯片组装在 x 、 y 轴方向上的偏差小于 $\pm 5\mu\text{m}$, 而由于直径为 $30\mu\text{m}$ 的焊球具有较小的塌陷,芯片组装在 z 轴方向上的偏差也小于 $\pm 5\mu\text{m}$, 另外芯片角度偏差小于 $\pm 1^\circ$, 如图 4.8(b)所示,这些偏差会对光纤和芯片有源面的对准产生影响; 光纤制造长度偏差,我们采用的光纤阵列中裸光纤长度精度小于 $\pm 10\mu\text{m}$, 这种偏差会对光纤端面 and 光芯片的距离产生影响, 如图 4.8(c)所示; 而孔内光纤角度偏差,由于 SiOB 上的光纤插入孔通过微纳加工的 Bosch 深硅刻

蚀完成，孔的直径为 $130\mu\text{m}$ ，尺寸偏差小于 $\pm 5\mu\text{m}$ 。光纤直径为 $125\mu\text{m}$ ，制造偏差相对较小，因此我们设计的光纤插孔可以保证光纤的良好组装。不过因此也带来了孔内光纤对位的角度偏差，如图 4.8(d)所示，光纤插入在 x 、 y 轴上的偏差小于 $\pm 5\mu\text{m}$ ，而在角度上的偏差小于 $\pm 2^\circ$ 。

综合这三种情况，当几种偏差同时存在时，光组件的整体组装偏差在 x 、 y 轴上小于 $\pm 10\mu\text{m}$ ，在 z 轴上的偏差小于 $\pm 15\mu\text{m}$ ，而在角度上偏差小于 $\pm 3^\circ$ 。与第二章仿真得到的-1dB 耦合容差相比（如表 4.1 所示），仅有 $4\times 25\text{Gbps}$ PD 芯片在 Z 轴的组装容差不满足-1dB 耦合容差，但是跟第二章的仿真曲线对比， Z 轴的组装容差仍在-1.5dB 耦合容差范围内，依然可以达到很高的耦合效率。因此正常组装下，本论文设计制作的这款光组件都可以获得比较高的光耦合效率。另外在组装完成之后还用紫外固化胶将 SiOB 中的光纤进行固定，减小其在使用过程中的摆动，从而保证光传输性能的稳定性。

表 4.1 光组件直接耦合-1dB 耦合容差

芯片	参数	-1dB 耦合容差	最大耦合效率
4×10Gbps VCSEL	X/Y (μm)	-18 μm ~18 μm	-0.18dB
	Z (μm)	-30 μm ~33 μm	
	Angle $\theta(^{\circ})$	-30 $^{\circ}$ ~30 $^{\circ}$	
4×10Gbps PD	X /Y(μm)	-22 μm ~22 μm	-0.18dB
	Z (μm)	-30 μm ~38 μm	
	Angle $\theta(^{\circ})$	-35 $^{\circ}$ ~35 $^{\circ}$	
4×25Gbps VCSEL	X/Y(μm)	-22 μm ~22 μm	-0.18dB
	Z (μm)	-20 μm ~35 μm	
	Angle $\theta(^{\circ})$	-42 $^{\circ}$ ~42 $^{\circ}$	
4×25Gbps PD	X/Y (μm)	-10 μm ~10 μm	-0.26dB
	Z (μm)	-20 μm ~13 μm	
	Angle $\theta(^{\circ})$	-22 $^{\circ}$ ~22 $^{\circ}$	

4.3. 新型光模块的组装

当制作好的新型光组件在集成到 QSFP 光模块中时，需要和电组件的基板相互连接，可以通过两种微组装方式来实现，基于金丝键合（WB，Wire Bonding，又称引线键合）连接和倒装焊（FC，Flip Chip）连接，分别用邦定金线和焊球进行连接。因此可以形成两种结构的新型光模块，分别如图 4.9(a)(b)所示。由于金

丝键合和倒装焊连接的工艺和结构不同,因而这两者的组装流程和模块特性也不一样,在这一节中对两者分别进行研究。

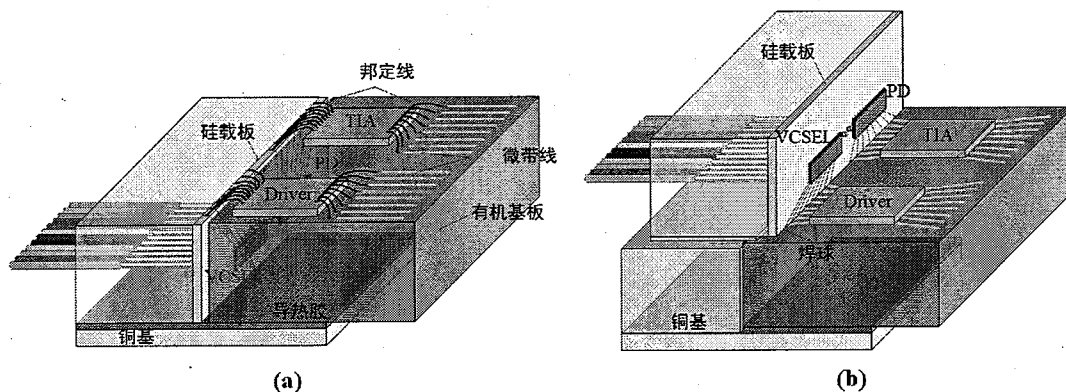


图 4.9 两种光模块的组装结构: (a) 基于金丝键合; (b) 基于倒装焊

4.3.1. 基于金丝键合的光模块组装

如图 4.8(a) 基于金丝键合组装技术的光模块, 其整体高度相对较小, 由于金丝键合不需要经历高温回流, 因此对光纤对位没有影响, 光纤对位可以在光组件组装阶段完成, 整个基于金丝键合的光模块组装流程如图 4.10 所示。

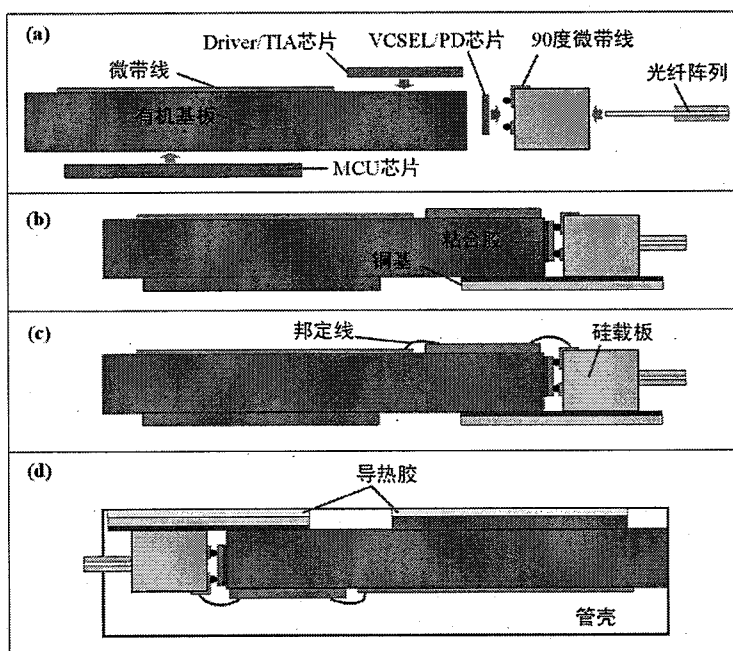


图 4.10 基于金丝键合的光模块组装流程

首先光组件和电组件分别组装, 如图 4.10(a) 所示, 在光组件部分, 把光芯片 (VCSEL 和 PD) 通过倒装在硅载板上, 然后插入光纤阵列并与光芯片有源面对

位，对准好用紫外固化胶固定。在电组件部分，把控制器 MCU 芯片 SMT 贴装在有机基板表面，然后将电芯片（Driver 和 TIA）用导电银浆粘合到有机基板表面；其次将光组件和电组件共同安装在一个铜基上，并用粘合胶固定有机基板、硅载板和铜基，如图 4.10(b)所示；接着进行硅载板、电芯片、有机基板的金丝键合，如图 4.10(c)所示；最后翻转制作好的光模块，在铜基和 MCU 芯片表面涂布导热胶，并粘合到金属 QSFP 管壳上，实现较好的散热路径，如图 4.10(d)所示。当环境温度较高或者模块功耗较高时，还可以在管壳与铜基接触一侧安装散热片，并采用风冷散热，从而进一步提高光模块的热管理性能。

基于金丝键合的光模块，光组件和电组件位于同一个平面上，硅载板、有机基板和 MCU 芯片的厚度都约为 1mm，因而整个模块的厚度只有 2mm 左右，相对较小。这种基于近似键合的光模块结构对于目前的 40Gbps 和 100Gbps 速率光模块能够满足要求。对于 100Gbps 速率的光模块，需要尽量将打线长度控制在 300 μ m 以下。不过对于更高速率 400Gbps 的 QSFP 光模块，因为用于键合的金丝长度较长，较大的寄生电感会引起高频性能的恶化，因而需要采用基于倒装焊的光模块结构，将在下一部分进行研究。

4.3.2. 基于倒装焊的光模块组装

如图 4.8(b)基于倒装焊组装技术的光模块，相比于金丝键合结构，其整体高度有所增加，另外倒装焊需要热压热超声等工艺来实现可靠的焊接，对光纤与光芯片的精确对位有一定的影响，因此一般在光组件和电组件完成整体组装后再进行光纤对位，整个基于倒装焊的光模块组装流程如图 4.11 所示。

首先光组件和电组件分别组装，电组件部分将控制器 MCU 芯片贴装在有机基板表面，把有机基板粘合在铜基上，并且在基板表面相应位置植球。而光组件部分将光芯片（VCSEL 和 PD）通过倒装焊组装在 SiOB 上如图 4.11(a)所示；其次将光组件和电芯片通过倒装焊组装到电组件部分，如图 4.11(b)所示，并且光组件与铜基之间采用粘合胶进行固定；接着在 SiOB 中插入光纤阵列并进行对位，当对准好后采用紫外固化胶进行固定，如图 4.11(c)所示；最后在铜基和 MCU 芯片表面涂布导热胶，并粘合到金属 QSFP 管壳上，完成基于倒装焊的光模块组装，如图 4.11(d)所示。同样当环境温度较高或者模块功耗较高时在管壳与铜基接触一侧安装散热片，并采用风冷散热，可以进一步提高光模块的热管理性能。

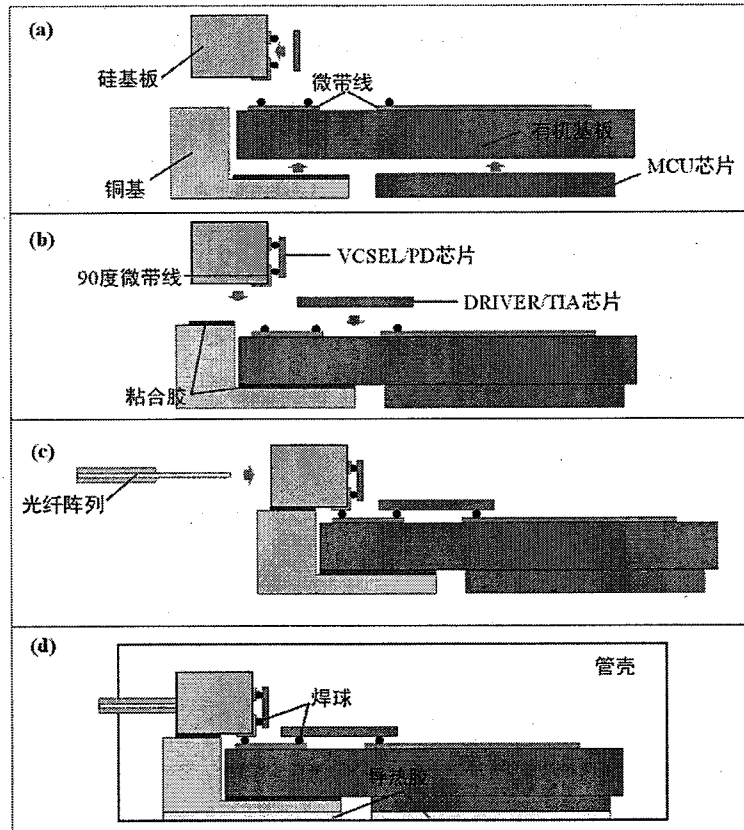


图 4.11 基于倒装焊的光模块组装流程

这种基于倒装焊的光模块，光组件和电组件不在同一个平面上，SiOB、有机基板和 MCU 芯片的厚度都约为 1mm，因而整个模块的厚度超过 3mm，相比于金丝键合结构其厚度较大，不过这样厚度仍然小于 QSFP 光模块的厚度标准（不超过 1cm）。另外，这种基于倒装焊的光模块结构不仅对于目前的 40Gbps 和 100Gbps 速率光模块能够满足要求，对于更高速率 400Gbps 光模块，因为采用尺寸较小的焊球和较短的基板传输线进行连接，具有较小的寄生电感和较好的高频传输性能，因而可以作为高速率光模块的解决方案。不过这种光模块制造的挑战在于，其要求有机基板有较高的线宽线距加工精度，来对应于间距较小的电芯片倒装焊组装，这一点会带来一定的加工难度和较高的基板制造成本，这也是其不足之处。现阶段我们从加工难度、成本以及光模块速率等角度出发，选择了基于金丝键合的光模块作为研究对象，而对于更高速率基于倒装焊的光模块相关技术，则作为未来进一步的研究内容。

4.4. 光模块的热管理特性研究

4.4.1. 光模块的热管理设计

本论文利用金丝键合的组装方法分别制作了 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ 两种速率的光模块，为了保证其正常工作，芯片的最高结温需要满足一定的要求。这种最大结温值随着芯片材料、工作机理、性能要求不同而不一样，如部分 GaAs 芯片的最大结温值可达 125°C ，而某些 Si 芯片只能达到 85°C ；又如光组件中 PD 芯片的最高结温值可达 125°C ，而同样为 GaAs 材质的 VCSEL 芯片只有 85°C ，因为其激光发射的机理受温度影响较为敏感；又如用于 40Gbps 数据率传输的 Driver 芯片最高结温值可达 100°C ，而用于 100Gbps 的 Driver 芯片只有 85°C ，由于其传输性能要求较高。整个系统在工作时的最大结温必须小于最严格的芯片最高结温值，这样才能保证每一部分不会失效。

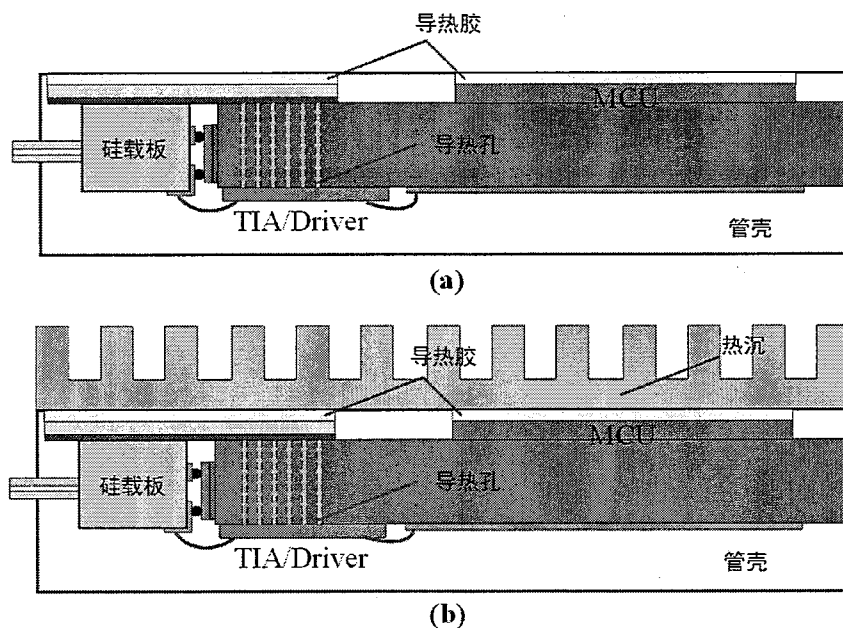


图 4.12 新型 QSFP 光模块的散热结构: (a)不加热沉结构; (b)加热沉结构

光模块在工作时的最高结温受到多个因素的影响，如热源、热传输和环境温度等。首先，光模块包含多个有源芯片，如发送端 VCSEL 和 Driver，接收端 PD 和 TIA，控制器芯片 MCU 等，都具有一定的发热功率，另外用于 100Gbps 数据率传输光模块其电芯片 Driver 和 TIA 的发热功率又比 40Gbps 传输光模块高很多；其次，光模块散热受到模块自身封装结构的影响，较好的散热路径有助于光模块内有源芯片热量的导出。如图 4.12(a)(b)分别是没有热沉和加热沉的 QSFP 光模块结构，其中有机基板在发热功率较大的 TIA/Driver 芯片相应位置处都设计

有导热孔,用于与铜基直接相连,实现良好的散热路径。而对于更高的散热要求,如图 4.12(b)所示,可以在金属管壳与铜基相接触一侧安装一个热沉,实现更大的散热面积,并可以采用强制风冷的方法进一步提升散热效果;最后,环境温度对模块工作的最高结温也有很大的影响,在常规环境温度(20℃)下正常工作的光模块,如果安放到环境较为恶劣的机柜中,其极端环境温度(70℃)有可能使模块最高结温超过限定值,从而导致光模块无法正常工作,因此需要给光模块更好的散热措施,如强制风冷、水冷散热等。

这一节中采用了有限体(FVM, Finite-Volume-Method)仿真软件 ICEPACK 分别仿真了本章制作的 40Gbps 和 100Gbps 数据率的 QSFP 光模块,在常规环境温度和极端环境温度下的最高结温值,从而研究了基于金丝键合的光模块热管理性能,并分析了在不同环境下不同的 QSFP 光模块所应采用的散热方式。

表 4.2 40Gbps 和 100Gbps 数据率光模块各芯片参数

	分类	芯片	尺寸 μm^3	功耗/mW	材料	工作结温/℃
40Gbps 光模块 (总功耗 0.896W)	TX	Driver	1975×1600×250	200	GeSi	0~100
		VCSEL	985×285×150	85.8	GaAs	0~85
	RX	TIA	1975×1600×250	260	GeSi	0~100
		PD	985×285×150	3.6	GaAs	-40~125
	CTL	MCU	5000×5000×900	346.6	Si	-40~85
100Gbps 光模块 (总功耗 1.84W)	TX	Driver	1975×1600×250	640	GeSi	0~85
		VCSEL	980×280×150	85.8	GaAs	0~85
	RX	TIA	1975×1600×250	760	GeSi	0~85
		PD	970×270×150	3.6	GaAs	-40~125
	CTL	MCU	5000×5000×900	346.6	Si	-40~85

这两种光模块所采用的芯片参数如表 4.2 所示:整个系统的光芯片如 VCSEL 和 PD,具有较小的尺寸,功耗也较小,主要基于 GaAs 材料;而控制器芯片采用同一种类型 MCU,因而各项参数相一致,功耗较大,为 340mW;电芯片部分如 Driver 和 TIA 芯片,具有较大的尺寸,其功耗相对较大,而且 100Gbps 的电芯片功耗要明显高于 40Gbps 数据传输的电芯片,并且最高工作结温要小一些。在 ICEPACK 中,我们分别采用相应的芯片参数建立起热仿真模型。另外光模块的最高芯片结温必须在相对应芯片的工作结温内,这样才能保证模块的正常和长时间稳定工作。

表 4.3 光模块热管理仿真材料参数

组件	材料	尺寸(mm)	热导率(W/m*K)
MCU 裸片	Si	3.15×3.15×0.1	148
MCU 塑封料	Epoxy resin	5×5×0.9	0.8
导热胶/粘合胶	Composite	--	2.5
焊球	PbSn(63/37)	0.045	51
PD/VCSEL 裸片	GaAs	--	55
Driver 裸片	Si	--	148
TIA 裸片	GeSi	--	148
SiOB	Si	5.56×1.32×0.3	148
有机基板	FR4/Cu	28.7×16.4×1	53.5,53.5,0.435
铜基	Cu	19.3×16×1	397
管壳、热沉	Al	--	238

另外，在 ICEPACK 中建模时采用的材料参数如表 4.3 所示，其中 MCU 采用的是塑封好的 QFN 芯片，因而采用裸片和塑封料材料建立 MCU 热仿模型；Driver 和 TIA 分别采用的是硅材料和锗硅合金材料，具有较高的热导率和较好的高频性能；而用于固定和导热的铜基具有很高的热导率，达到 397 W/m*K；而管壳和热沉都采用了铝材料，为了减小整个模块的整体重量。建立的仿真模型和多种环境下的热管理仿真结果，具体在后面两部分内容中分别具体研究。

4.4.2. 40Gbps 光模块的热管理研究

40Gbps 的 QSFP 光模块共包含 8 个通道，每个通道都工作在 10Gbps 的速率，其中 4 个通道用于发射而另外 4 个用于接收数据。整个光模块的总功率为 0.896W，光模块和连接器被安装在实际尺寸为 10cm×15cm 的测试板上，据此建立的热仿真模型。在本论文的热管理仿真中，为了提高仿真速度和提升仿真效率，在不影响仿真结果的基础上还作了几点假设：

- 用于裸芯片与有机基板固定的导电胶，具有非常高的热导率和很薄的厚度，因此在仿真过程中可以忽略其影响；
- 所有有源芯片假设具有均一的功率分布，其热源均匀分布在有源面上。
- 整个热仿模型假设具有自然对流的边界条件。
- 用于光电组件互连的金丝键合线具有较小的直径和较少的数量，因而忽略其对整个模块散热的影响。

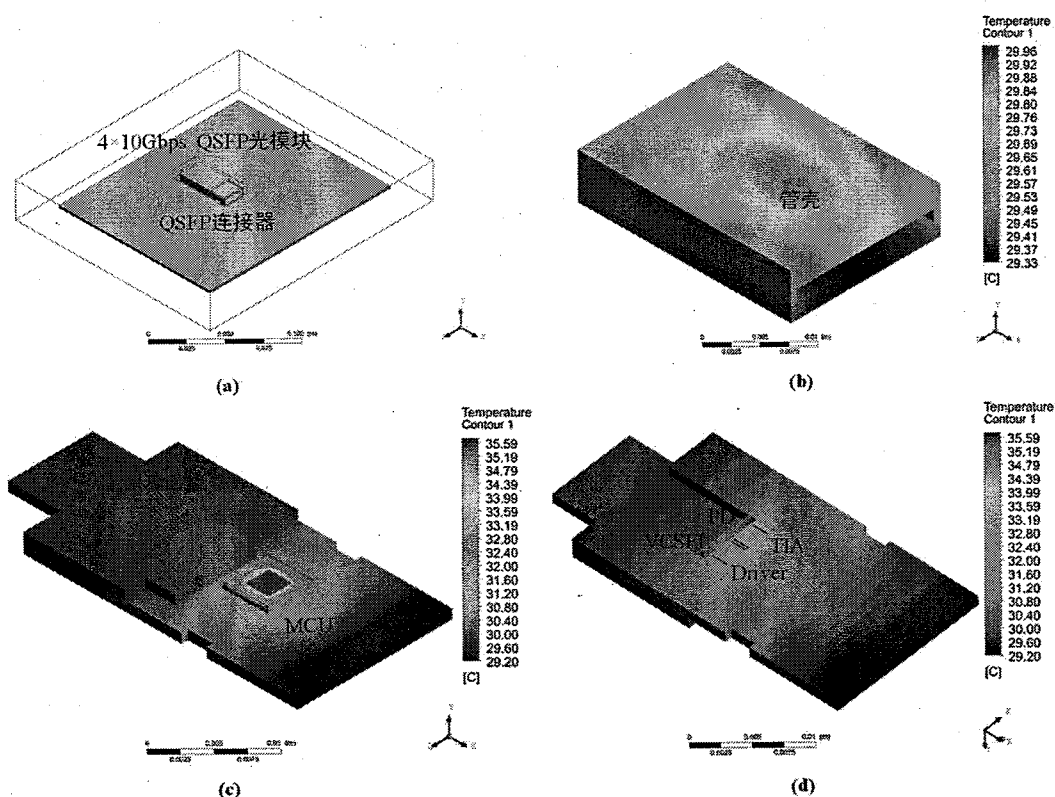


图 4.13 40Gbps 光模块的常温工作热管理分析: (a)热仿真模型; (b)管壳上表面温度分布; (c)光模块上表面温度分布; (d)光模块下表面温度分布;

对于 40Gbps 光模块在常温下环境下的热管理仿真，如图 4.13(a)所示，通过建立 QSFP 光模块插在测试板连接器上的模型，并设定环境温度为 20℃，可以仿真得到 40Gbps 光模块在常温工作时的热管理特性；如图 4.13(b)所示是管壳上表面的温度分布，最高温度出现在与 MCU 直接接触的位置，为 29.96℃；而如图 4.13(c)所示，光模块的 MCU 处具有整个模块最高的结温 35.59℃，这是由于 MCU 具有 40Gbps 光模块中最大的芯片功耗，另外其 QFN 封装的外层塑封料具有较低的热导率（0.8W/m·K），进一步影响了其散热效果^[106]；而如图 4.13(d)所示的光模块下表面温度分布，其中电芯片 TIA 和 Driver 芯片结温相对较低，只有 31℃左右，而这是由于其底部有机基板上具有与铜基直接相连的导热孔，其形成了比较好的散热路径，而光芯片 VCSEL 也具有 31℃左右的结温，而 PD 则结温则小于 29℃，这样较好的散热效果主要归结于其贴装的硅基板与铜基直接相连。整个 40Gbps 光模块的最高结温处在 MCU 芯片处，为 35.59℃，远低于其对应的最高工作温度限值 85℃。因而这种结构的 40Gbps 数据率 QSFP 光模块具有良好的热管理性能，可以在常温下进行长时间稳定工作。

不过同时也可以看出,这样的结构在 20℃环境中最高结温为 35.59℃,而相应的在 70℃极端环境下最高结温则可能达到或者超过 85℃,有可能影响光模块的正常工作。因此对于极端工作环境,我们在 40Gbps 的光模块管壳上表面安装了一个铝材料的热沉,用于增大散热面积,建立的 QSFP 光模块插在测试板连接器上的模型如图 4.14(a)所示,并且设置环境为自然对流的条件,环境温度为 70℃,据此得到的热管理仿真结果如图 4.14(b)(c)(d)所示。

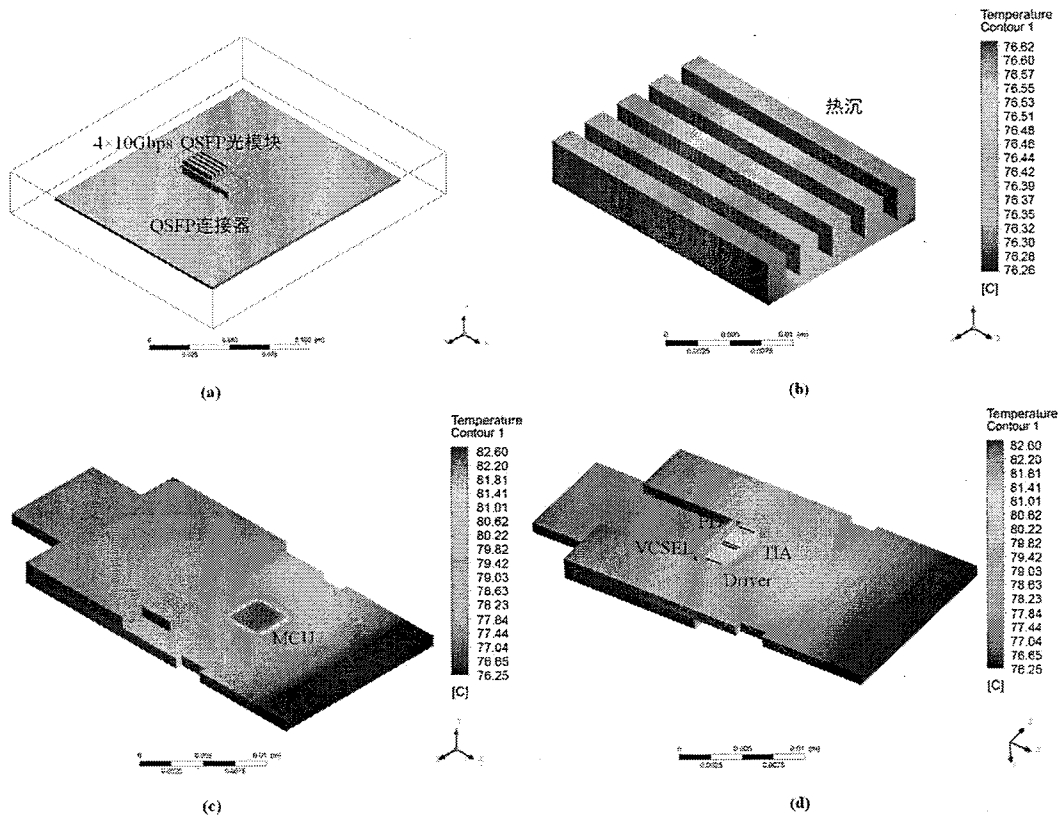


图 4.14 40Gbps 光模块的极端温度工作热管理分析(加热沉): (a)热仿真模型; (b)管壳上表面温度分布; (c)光模块上表面温度分布; (d)光模块下表面温度分布;

对于 40Gbps 光模块在极端温度环境下的热管理特性,如图 4.14(b)所示是管壳和热沉表面的温度分布,同样最高温度出现在管壳与 MCU 接触的位置,为 76.62℃;而如图 4.14(c)(d)所示,光模块的 MCU 处具有整个模块最高的结温 82.6℃,而 TIA 和 Driver 结温相对较低,平均在 80.5℃左右,VCSEL 和 PD 芯片的结温更低,只有 77.5℃左右。整个 40Gbps 光模块的最高结温 82.6℃,低于 85℃的最高工作温度限值。因而这种外加铝制热沉结构的 40Gbps 数据率 QSFP 光模块具有良好的热管理性能,可以在极端温度 70℃下进行稳定工作。如果需

要进一步确保其在极端环境下长期可靠的工作，可以在热沉上方外加强制风冷，从而可以保证光模块内芯片更低的结温和模块更加稳定的长时间工作。

4.4.3. 100Gbps 光模块的热管理研究

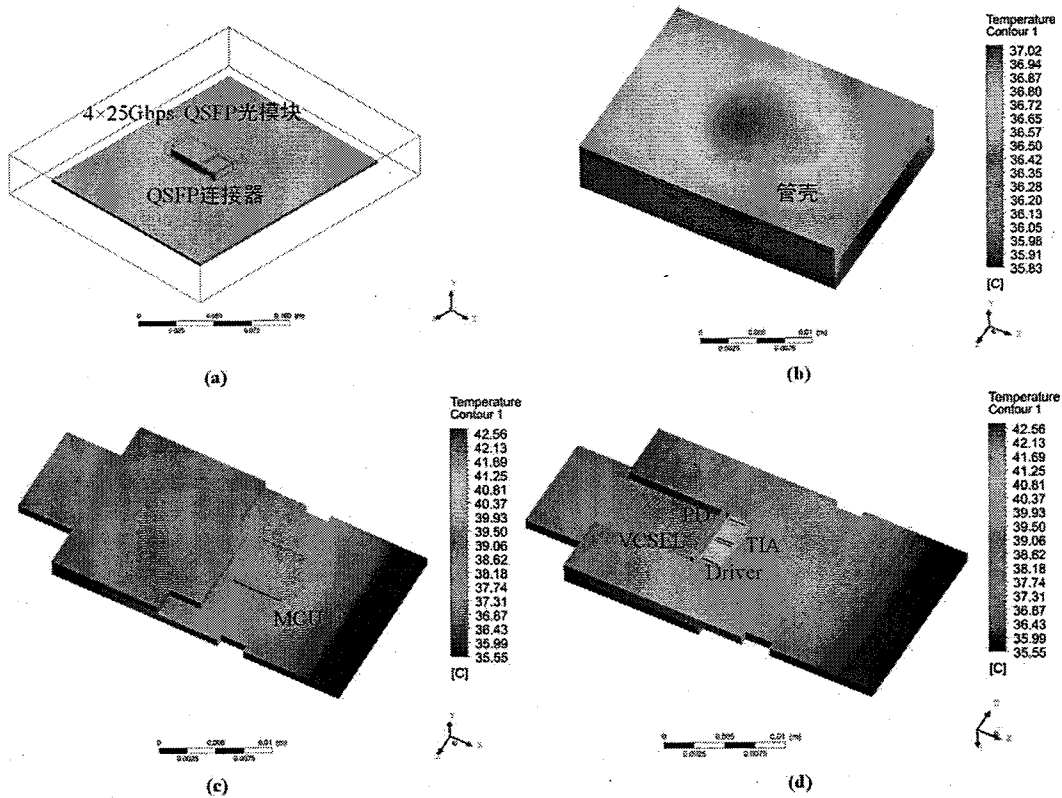


图 4.15 100Gbps 光模块的常温工作热管理分析: (a)热仿真模型; (b)管壳上表面温度分布; (c)光模块上表面温度分布; (d)光模块下表面温度分布;

100Gbps 的 QSFP 光模块也包含 8 个通道，每个通道工作在 25Gbps，其中 4 个通道用于发射而另外 4 个用于接收数据，整个光模块总功率为 1.84W。与 40Gbps 的 QSFP 光模块不同的是，100Gbps 光模块具有更高功率的 Driver 和 TIA 芯片，如表 4.2 所示，其芯片功率为 640mW 和 760mW，远远高于 40Gbps 时的 200mW 和 260mW。因而这种光模块的长时间稳定工作对其热管理特性的要求更加严格。光模块和连接器被安装在实际尺寸为 10cm×15cm 的测试板上，据此建立热仿真模型。和 40Gbps 光模块仿真一样，在建模时进行了类似的几点假设。

对于 100Gbps 光模块在常温下环境下的热管理仿真，如图 4.15(a)所示，通过建立 QSFP 光模块插在测试板连接器上的模型，并设定环境温度为 20℃，可以仿真得到不加热沉的 100Gbps 光模块在常温工作时的热管理特性；如图 4.15(b)

所示是管壳上表面的温度分布, 最高温度出现在与 MCU 直接接触的位置, 为 37.02°C ; 而如图 4.15(c)所示, 光模块的 MCU 处具有结温 37°C 左右, 不是模块最高结温, 这是由于 MCU 不是 100Gbps 光模块最高功率的芯片; 而如图 4.15(d)所示的光模块下表面温度分布, 其中 TIA 和 Driver 芯片结温较高, 为 42°C 和 41°C , 因为其具有最高的功率。而 VCSEL 和 PD 芯片结温较低, 只有 37°C 左右。整个 100Gbps 光模块的最高结温处在 TIA 芯片处, 为 42.6°C , 依然远低于其对应的最高工作温度限值 85°C 。因而这种结构的 100Gbps 数据率 QSFP 光模块具有良好的热管理性能, 在不加外部热沉的情况下也可以在常温环境下进行长时间稳定工作。

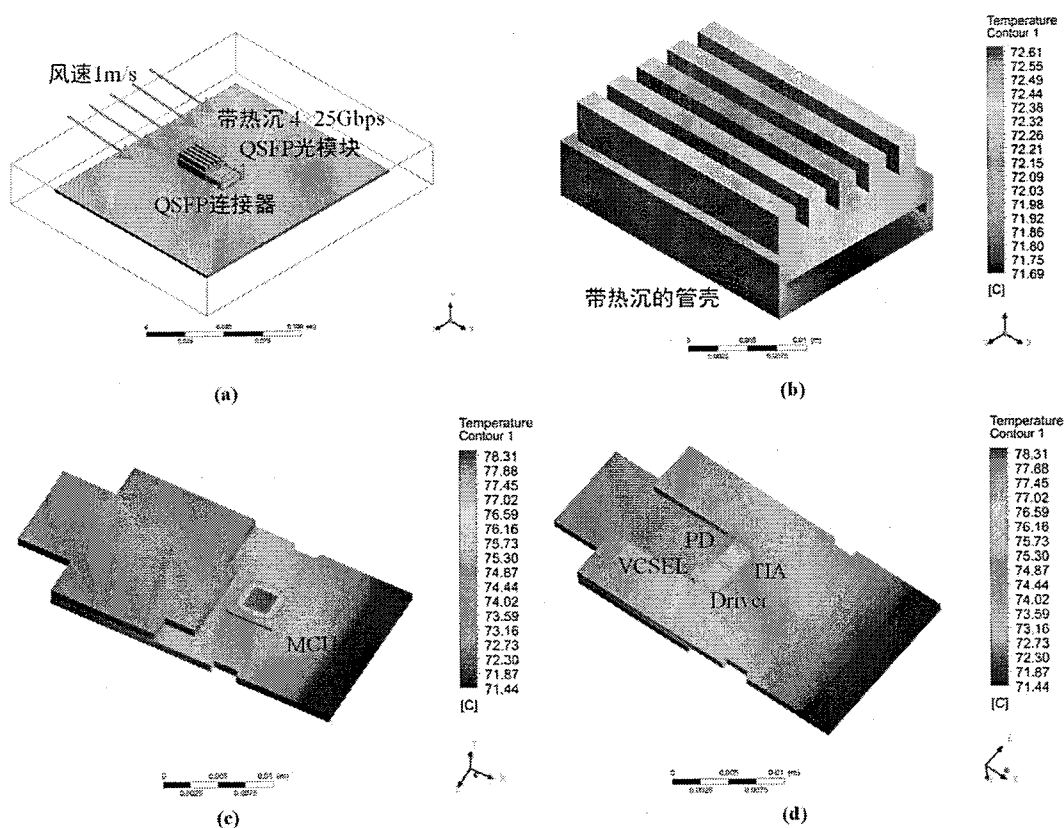


图 4.16 100Gbps 光模块的极端温度工作热管理分析 (加热沉和强制风冷散热): (a)热仿真模型; (b)管壳上表面温度分布; (c)光模块上表面温度分布; (d)光模块下表面温度分布;

同样可以看出, 这样的结构在 20°C 环境中最高结温为 42.56°C , 温升超过 20°C , 因而相应的在 70°C 极端环境下最高结温将超过 85°C , 比如会影响 100Gbps 光模块的长时间正常工作。对于极端工作环境, 我们在 100Gbps 的光模块管壳上表面安装了一个铝材料的热沉, 用于增大散热面积, 并采用强制风冷的方法进行

快速热交换,从而实现极端环境下光模块的散热。可以建立的 QSFP 光模块插在测试板连接器上的模型如图 4.16(a)所示,并且设置环境为风速 1m/s 的强制风冷对流条件,环境温度为 70℃,据此得到的热管理仿真结果如图 4.16(b)(c)(d)所示。

对于 100Gbps 光模块在极端温度环境下,采用外加热沉和强制风冷的方法所仿真得到的热管理特性,如图 4.16(b)所示是管壳和热沉表面的温度分布,同样最高温度出现在管壳与 MCU 接触的位置,为 72.61℃;而如图 4.16(c)(d)所示,光模块的 MCU 处具有整个模块最高的结温 78.31℃,而 TIA 和 Driver 也具有较高的结温,为 77℃左右,而 PD 和 VCSEL 芯片结温相对较低,只有 73℃左右,这样的温度分布与 100Gbps 光模块在常温环境下的结果不一样,主要原因在于 TIA、Driver、PD 和 VCSEL 分别通过导热孔和 SiOB 直接连接在铜基上,可以将这些芯片产生的热量迅速传导到外部热沉上,并进行强制热交换从而降低芯片的结温。在极端环境下整个 100Gbps 光模块的最高结温 78.31℃,低于 85℃的最高工作温度限值。因而这种外加铝制热沉结构和使用强制风冷散热方法的 100Gbps 光模块具有良好的热管理性能,可以在极端 70℃温度下长期稳定工作。

4.5. 本章小结

本章进行了新型 QSFP 光模块的制作与实现研究。首先概述了新型光模块的整体封装结构以及各组成部分;其次具体研究了新型直接耦合式光组件的制作,包括 SiOB 的晶圆级制造、光组件的组装和误差分析;接着研究了基于金丝键合和倒装焊两种工艺的光模块组装方法,分别可以应用于现阶段和未来更高速率的光互连;最后将制作实现的基于金丝键合光模块结构分别应用于 4×10Gbps 和 4×25Gbps 光模块中,进行了常温和极端温度下的热管理仿真和散热性能。

第五章 短距光模块的测试研究

在本章中我们进行了 QSFP 光模块的测试研究。首先概述了整个短距光模块测试的主要研究内容。其次具体研究了光组件部分的测试,包括光电特性曲线和光耦合容差。然后研究了封装基板的信号完整性测试,包括高速传输线的时域反射曲线和 S 参数。最后对完整的光互连系统进行了链路测试,包括测试系统构建、4×10Gbps 和 4×25Gbps 光互连传输性能测试,最终实现了这种封装结构的 QSFP 光模块完整的测试研究。

5.1. 短距光模块性能测试研究内容

本论文中短距光模块的测试研究内容主要包括光组件的测试、电学封装基板的测试、光模块系统链路的测试三个部分。这三个部分分别有着不同的测试参数和测试仪器,在这里作简要的介绍,为下面具体的测试内容奠定基础。

5.1.1. 光电特性曲线、光耦合容差测试

光组件测试部分,主要是光芯片的伏安特性曲线(又称 I-V 曲线)和光纤对准耦合容差的测试。由于光芯片(PD 和 VCSEL)的尺寸非常小,分别只有 1.12mm×0.32mm×0.15mm (4×10Gbps) / 0.97mm×0.27mm×0.15mm (4×25Gbps) 和 0.985 mm×0.285mm×0.15mm (4×10Gbps) / 0.98 mm×0.28mm×0.15mm (4×25Gbps),为了减小芯片有源面到 SiOB 端面的距离,从而采用了金丝制作的焊球,当金丝直径为 1mil 时,焊球直径大约为 30μm,而光芯片与 SiOB 的组装需要进行测试,以确保良好的电性能互连。由于光芯片 PD 和 VCSEL 本质上都是二极管,因而在光组件与电芯片组装之前可以通过 SiOB 上表面的传输线来测试安装好的光芯片的伏安特性曲线,来判断光芯片组装的可靠性。测试二极管的 I-V 曲线可以采用半导体参数分析仪,而利用直流探针可以比较容易的接触 SiOB 上窄间距的焊盘进行测试。如果测得的 I-V 曲线符合二极管伏安特性,则表明光芯片和 SiOB 的连接比较良好。

另外,对于光纤和光芯片有源面的耦合容差,我们也进行了相应的测试,将光纤阵列沿着 x 和 y 轴上进行移动,在光纤的另一端用光功率计测得 VCSEL 输出的光功率,从而得到光耦合功率与相应位移而变化的曲线,进而计算得到光组

件组装过程中 x , y 方向上的 -1dB 耦合容差值。这样测试得到的光耦合容差可以与第二章中采用 BPM 方法仿真得到的光耦合容差结果进行对比, 一起作为光组件组装时误差控制的参考。

5.1.2. 时域反射曲线、散射系数 S 参数

电学封装基板信号完整性测试部分主要包括时域反射曲线 TDR 和传输系数 S 参数的测试。电学封装基板上有多条用来传输高速串行数据的互连线, 如 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ 两种光模块都分别有 4 通道发射和 4 通道接收的差分传输线, 不过前者每个差分对传输是 10Gbps 的串行信号, 而后者传输 25Gbps 信号。对于高速率的信号, 码元 (UI) 周期很小, 如果互连线的传输性能不高, 则经过传输线后的高速信号上升沿会变缓, 数据传输误码率会增高, 造成系统传输错误。因此高速串行传输线的信号完整性不仅需要仿真 (如第三章所示), 还需要进一步的测试验证^[4]。造成传输线信号完整性问题的主要原因之一是传输路径阻抗不匹配会导致反射过大和信号质量下降。因此对于电学封装基板上的高速传输线, 我们进行了时域反射曲线的测量, 通过其可以判断互连线阻抗是否连续; 另外还进行了互连线散射系数 S 参数的测量, 通过插入损耗的优化进一步提高互连线的传输性能。

时域反射曲线可以通过时域反射计 (TDR, Time Domain Reflectometry) 进行测量, 仪器内部产生一个上升沿为 15ps 到 150ps 的阶跃电压信号并且输出阻抗为 $50\ \Omega$, 这个信号沿着传输线传播, 同时仪器也记录着每个时刻反射的电压值, 通过反射电压和输入电压的比值可以计算出传输线上不连续处的阻抗值, 另外还可以通过反射发生的时刻点分析出阻抗不连续的位置^[107]; 互连线散射系数 S 参数可以通过矢量网络分析仪 (VNA, Vector Network Analyzer) 测得, VNA 设备本质上是一个多通道微波接收机, 内部产生某一频点处的正弦波信号来激励被测元件 (DUT, Device Under Test), 然后在接收机端使用窄带滤波器测试 DUT 的响应, 正弦波发生器和窄带滤波器同时在一个宽带范围内进行扫频, 测量出 DUT 在整个频带内的网络响应^[108]。 S 参数中正向传输系数 S_{11} 和 S_{21} , 又称为回波损耗和插入损耗, 代表着互连线传输信号的频域性能, 可以通过 VNA 测量出。

5.1.3. 眼图、误码率

前面的时域反射曲线和 S 参数都是互连线的无源传输特性表征, 而对于有源电路传输信号性能的表示, 一般采用眼图和误码率。采用示波器可以测量一段时间内传输的数字信号波形, 显示的是细节信息, 同时也可以测量链路上传输的所有数字码型信号波形的叠加, 显示的是整体特征, 这种叠加后的图像类似人的眼睛, 故称为眼图, 其合成原理如图 5.1(a)所示。光模块系统链路用于传输高速串行数据, 由于上升时间和码元周期较短, 传输数据码型多样, 因此采用眼图来分析光互连传输码间串扰 (ISI, Inter-Symbol Interference) 和各种噪声对系统性能的影响非常合适^[109]。另外一般采用误码率 (BER, Bit Error Rate) 来评价传输系统的性能, 较差的通道性能会导致传输的高速串行数据波形失真, 如果失真波形影响后续系统的判断, 就会造成误码, 通常通道传输性能越差, 误码率越高^[110]。

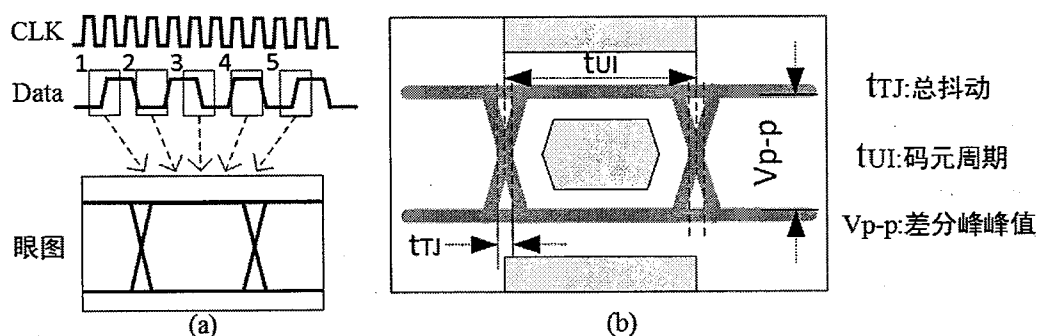


图 5.1. 眼图: (a)眼图合成原理; (b)主要评价参数

通常眼图包含电眼图和光眼图, 分别可以采用电学示波器和光学示波器进行测量, 光眼图的主要评价参数为消光比 (ExdB)、平均光功率 (AOP)、峰峰值抖动 (PFJi) 等^[111-113]。消光比定义为眼图中“1”电平比“0”电平的比值, 而平均光功率, 则是平均发送的光功率值, 与光源器件的输出功率、信号占空比、传输的速率相关。峰峰值抖动可以定性的反映信号抖动大小, 作为链路传输性能的参考。而电眼图部分主要参数有码元周期 (t_{UI})、差分峰峰值 (V_{p-p})、总抖动 (t_{TJ}) 等, 另外眼图的眼高、眼宽、眼皮厚度等参数, 也可以进一步的评价眼图质量。

为了评估光互连通道的传输性能, 通常用误码仪和示波器共同组成测试系统。由误码仪产生伪随机数序列信号送入被测系统中, 并在另一端读出经系统传输后的序列信号, 其中示波器将信号的余晖叠加起来, 获得系统传输的眼图, 而误码仪可以将测得的信号与原始信号作对比, 从而测出误码率。误码率是指数字系统

传输中的误码数与所传输总码数之比,是一种用来衡量数据在规定时间内数据传输精确性的指标,误码率越小,系统传输性能越好。

5.2. 光组件测试

5.2.1. 光芯片组装测试

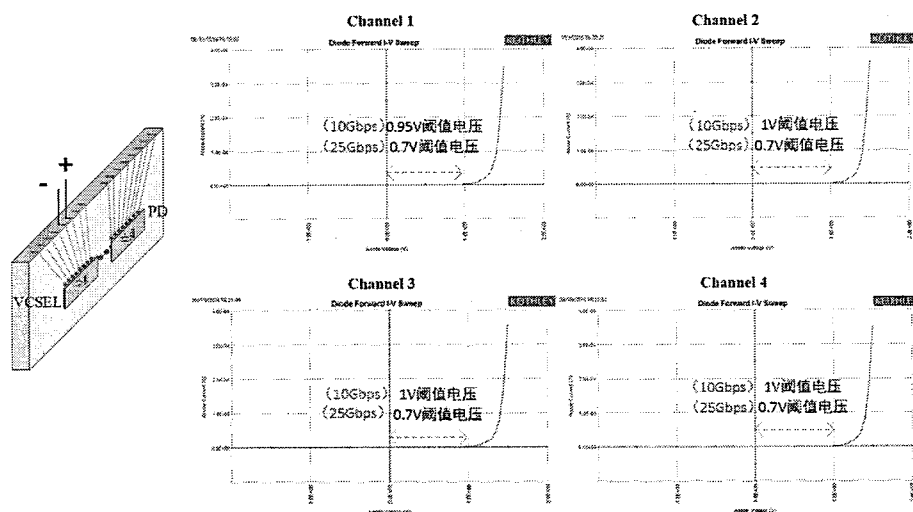


图 5.2. VCSEL 芯片单通道 I-V 特性曲线

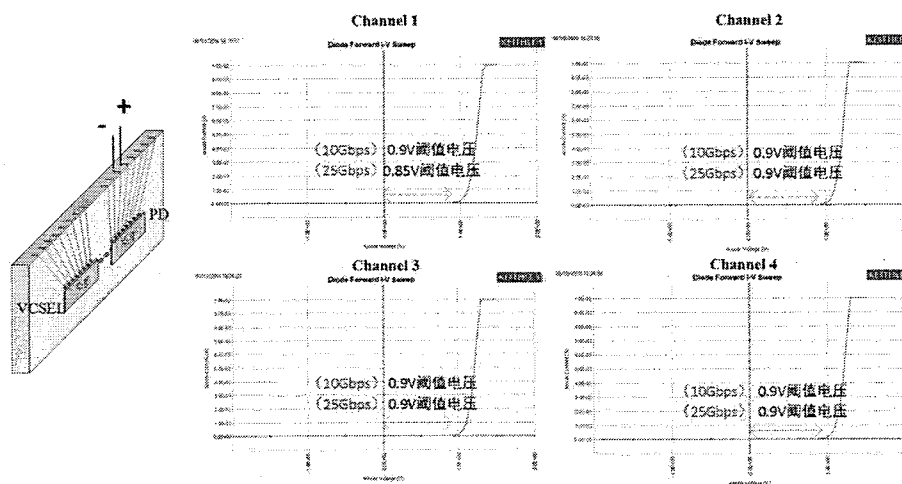


图 5.3. PD 芯片四个通道 I-V 特性曲线

短距光模块一个重要组成部分就是光组件,制作良好的光组件一般会提高光耦合效率。光芯片的组装是光组件制作过程中的一个难点,由于光芯片尺寸较小并采用金丝熔融形成的金球进行连接,因此需要测试光芯片在硅基板上组装的可靠性。我们采用半导体特性分析仪测试光芯片光电二极管的 I-V 曲线,具体采用

的仪器是 Keithley 的 SCS-4200 半导体特性分析仪和直流探针。其测得两种 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ VCSEL 芯片单个通道的 I-V 曲线如图 5.2 所示, 由于 VCSEL 芯片厂家不同, 发光二极管的正向开启电压 (又称阈值电压) 也略有差距, 在 10Gbps VCSEL 的正向开启电压大概为 $0.95\sim 1\text{V}$, 在 25Gbps VCSEL 的正向开启电压大概为 0.7V , 从结果得出, VCSEL 芯片在 SiOB 上的组装较为良好; 另外也采用同样的方法测试了 PD 芯片四个通道的 I-V 曲线, 如图 5.3 所示, 由于接收端的两种芯片来自同一厂家, 四个通道的光电二极管其开启电压都为 0.9V 左右, I-V 曲线相近, 因此同一芯片的四通道较为一致, PD 芯片组装也同样没问题。因而采用金丝焊球和倒装焊机器可以实现可靠的光芯片和 SiOB 的良好组装; 另外, 也提供了一种有效的光组件组装验证方法。

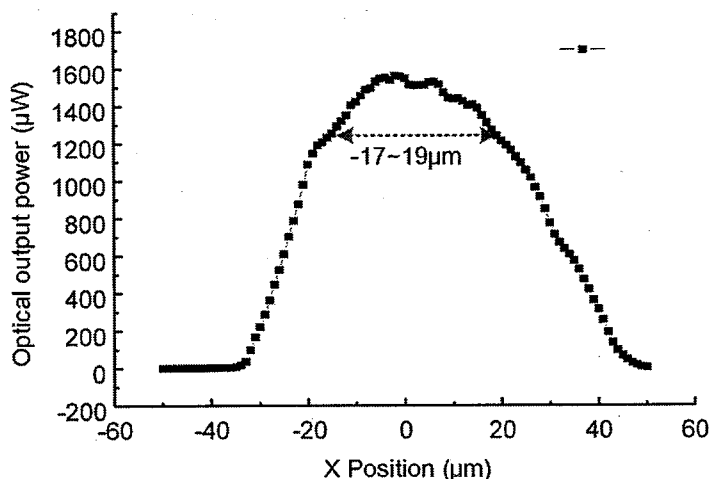


图 5.4. 直接耦合光功率随 X 轴对准位置变化曲线

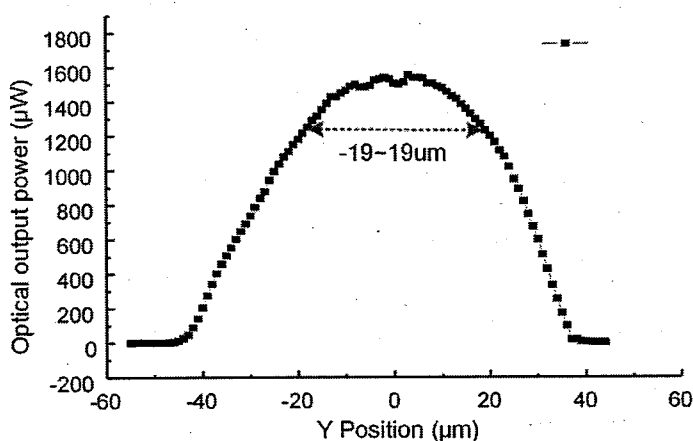


图 5.5. 直接耦合光功率随 Y 轴对准位置变化曲线

5.2.2. 光耦合容差分析

光组件制作过程中的另一个难点在于光对准的控制,因为光纤和光芯片有源面对准的位置偏差会对光耦合效果产生明显的影响,为了进行这种光耦合容差的分析,我们利用光纤和 VCSEL 芯片进行对准和测试,并在光纤另一端接光功率计探测输出平均光功率,由于光纤长度较短,光纤中的光功率损耗可以忽略不计。测得的直接耦合光功率随 X 轴和 Y 轴对准位置的变化曲线如图 5.4 和 5.5 所示。

通过对 4×10Gbps VCSEL 的测试,直接耦合光功率随 X 轴和 Y 轴对准位置的变化曲线可以看出,最高输出光功率并非在 origin,而是分别在 -2 μm 和 3 μm 处,其输出光功率达 1560 μW ,这种偏差来源于对准时光纤的不稳定,存在着 μm 级的位置偏差。另外,光纤端头切面形状和倒装焊的光芯片角度偏差,都会造成最高输出光功率位置的偏差;从曲线中也可以看出, X 轴方向上光耦合 -1dB 衰减的容差为 -17~19 μm ,而 Y 轴方向上为 -19~19 μm ,这与第二章通过 BPM 方法仿真得到的 $\pm 18\mu\text{m}$ 耦合容差基本一致,进一步验证了仿真的正确性,不过存在少许的偏差。这种误差可能来源于光纤截面的角度、光芯片组装的倾角、光纤到光芯片有源面的距离误差等。

5.3. 封装基板和测试板信号完整性测试

5.3.1. 传输线的 TDR 测试

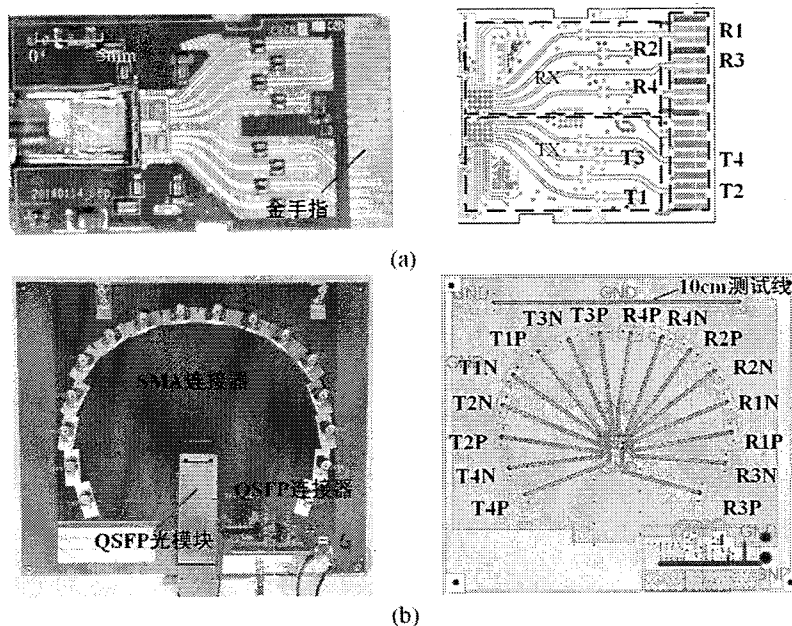


图 5.6. 光模块和测试板实物及版图: (a)光模块; (b)测试板

短距光模块的另一个重要组成部分是电信号传输的基板。其一侧通过金丝与 SiOB 键合,最终与 SiOB 上的光芯片实现互连,另一侧通过金手指(Gold finger)与 QSFP 连接器相连,并在测试板上传输,通过 SMA 连接器和同轴电缆(Coaxial Cable)最终连接到示波器、误码仪或信号发生器等设备上进行测试。由于在这些链路上传输的信号速率较高,对于 $4 \times 10\text{Gbps}$ 光模块每个通道传输 10Gbps 速率信号,而 $4 \times 25\text{Gbps}$ 光模块的每个通道传输 25Gbps 速率信号,并且这些链路上各个部分物理结构不一致,阻抗变化较大,容易导致传输的高速信号产生信号完整性的问题,因此需要进行链路优化,减小阻抗的不连续性。

图 5.6 所示的是本论文制作的光模块及其测试板实物及其版图,可以看出用于传输高速信号的金丝键合线、基板传输线、耦合电容、金手指、QSFP 连接器、测试板传输线、SMA 连接器等,形状各异,因此为了保持阻抗的连续性需要进行一定的优化和测试,保证反射的噪声低于电压摆幅的 5% 的噪声容限以内,即传输线特性阻抗变化控制在 10% 以内。在本论文第三章中具体研究了各种阻抗不连续点的优化方法,并据此设计和制作了光模块及测试板,在此我们利用时域反射计仪器进行差分线阻抗的测量。具体采用了 Tektronix 公司的 DSA8200 内的时域反射计模块,可以产生上升沿为 15ps 到 150ps 的阶跃电压信号并沿着测试板或系统上的传输线进行传播。测得的光模块及测试板时域反射曲线如图 5.7 所示。

整体系统的 TDR 测试结果如图 5.7(a)所示,当 TDR 仪器只连接两根特定长度的电缆时,其差分信号传输路径阻抗基本恒定为 $100\ \Omega$,只在线缆的末端有微小的容性突变,该处为线缆上 SMA 公头处,最终在开路处阻抗无限大;当 TDR 仪器通过电缆连接到测试板上且无模块板时,其差分阻抗在测试板上的 SMA 连接器和 QSFP 连接器处有一定的不连续,其中 SMA 连接器有一些感性突变,阻抗达 $107\ \Omega$,而 SMA 连接器的接触点阻抗大致为 $98\ \Omega$;QSFP 连接器先有一定的容性突变再有部分感性突变,阻抗分别达到 $93\ \Omega$ 和 $110\ \Omega$,QSFP 连接器的接触点阻抗大致为 $95\ \Omega$,经过优化的这两个连接器接触点的差分阻抗变化都在 10% 以内,并且与仿真结果基本一致;当 TDR 仪器通过电缆连接到测试板上且插入模块板时,除了前面所述的测试板 SMA 连接器和 QSFP 连接器处,另外在模块板的金手指处也有一定的阻抗不连续,金手指处的容性突变,其阻抗

达到 90 欧姆, 而由于基板加工的误差, 模块板上传输线的阻抗基本在 95 欧姆左右, 并且耦合电容部分阻抗优化的较好, 整体传输链路的特性阻抗基本连续, 变化在 10% 以内。

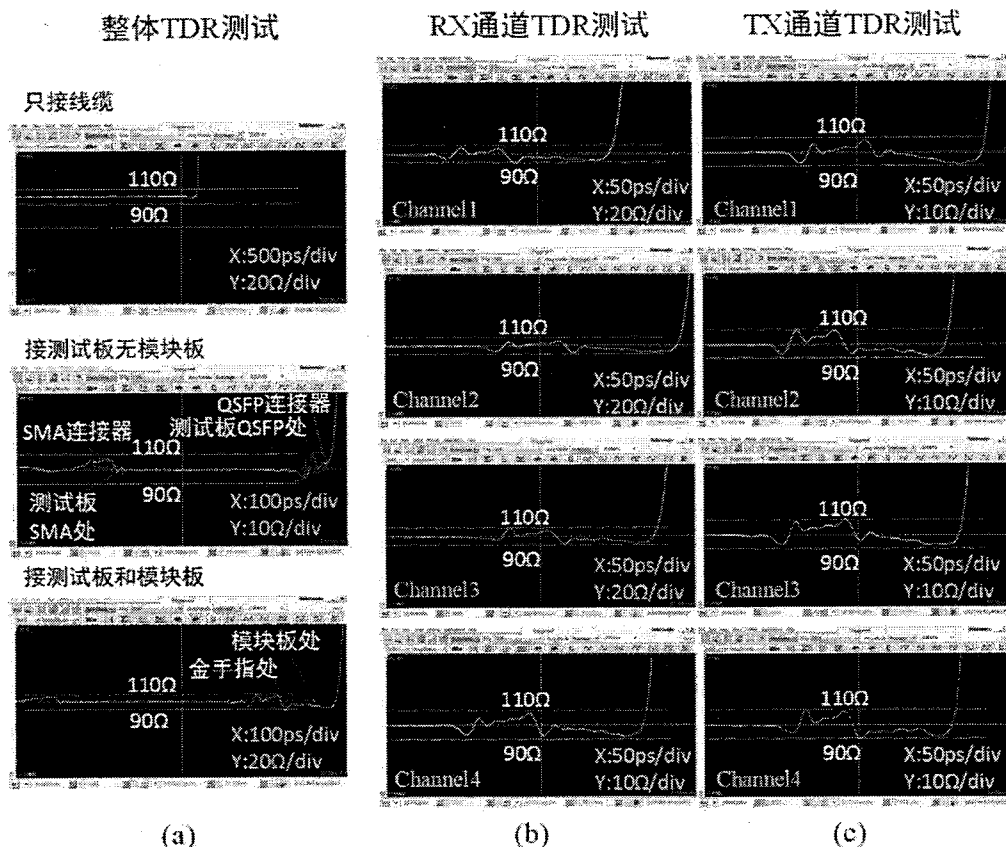


图 5.7. 光模块及测试板时域反射曲线: (a)整体 TDR 测试; (b)接收四个通道 TDR 测试; (c)发射四个通道 TDR 测试

为了进一步比较光模块多个通道的阻抗连续性以及之间的一致性, 图 5.7(b)和图 5.7(c)分别展示了模块的接收部分和发送各 4 个通道的 TDR 测试结果, 并且主要显示了模块板位置处的时域反射曲线。可以看出, 尽管在传输路径存在电容、过孔、金手指, QSFP 连接器等不连续结构, 但是整体的阻抗变化都在 90 欧姆和 110 欧姆之间, 阻抗连续性优化的较好, 并且通道一致性较好。这样变化小于 10% 的传输链路特性阻抗, 可以保证反射的噪声低于电压摆幅的 5% 噪声容限以内。

5.3.2. 传输线的 S 参数测试

封装基板和测试板上高速信号传输线的散射系数 S 参数是互连线的频域特

性, 其中的 S_{11} 和 S_{21} 值分别代表着传输线的回波损耗和插入损耗大小。S 参数可以通过矢量网络分析仪 VNA 测量得到。我们具体采用了 Agilent 公司的 N5244A 型号 VNA, 扫频范围为 0~40GHz, 通过 SMA 连接器和电缆将测试板和模块板连接到 VNA 上进行测试。

对于短距光模块及系统的 S 参数测试分为三个部分: 首先进行了测试板上 10cm 标准传输线的测试, 通过 SMA 的优化提升了高频性能, 使之适合于 4×25Gbps/10Gbps 光模块的传输和测试; 接着进行了测试板上多个通道差分信号线的测试, 通过将相应通道末端用金丝键合, 观察测试板整体的传输性能; 最后将模块板插入到测试板上, 将模块板上相应通道的传输线末端通过金丝键合, 从而进行从测试板到模块的闭合的光电系统传输链路测试, 观察其整体的传输性能。综合对比本章的各种测试结果和第三章进行的有限元电磁场仿真结果, 可以判断封装基板和测试板的信号完整性, 以及各个通道之间传输性能的一致性。

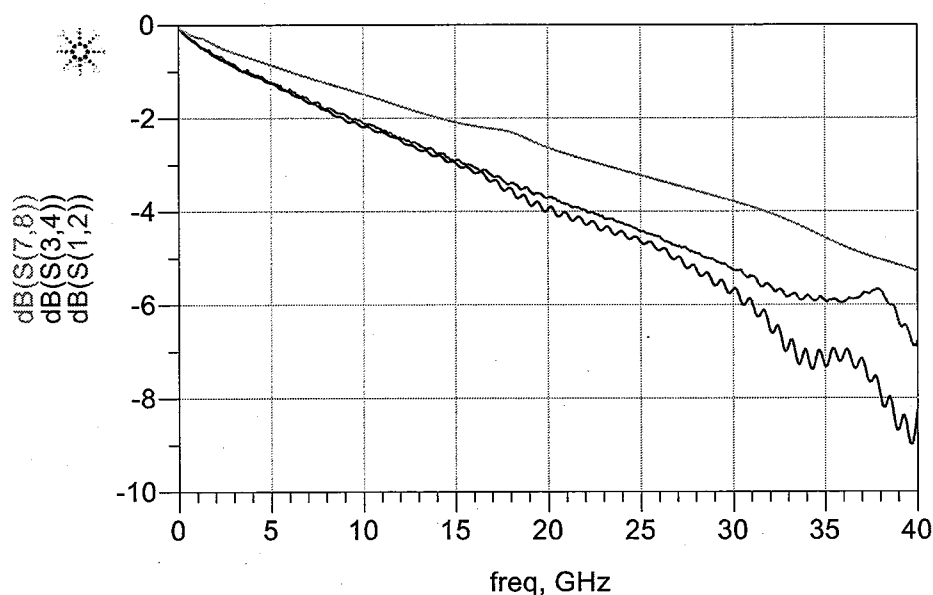


图 5.8. 测试板上 SMA 头连接器优化

图 5.8 所示是我们先后加工的两种测试板上 10cm 长的匹配到 50 欧姆的标准传输线测试结果, 其中蓝色和红色曲线分别代表了第一次 (如图 3.16(b)所示) 和第二次 (如图 3.16(c)所示) 制作的测试板测试的 S_{21} 参数。由于第二次加工的测试板在 SMA 连接器处做了优化, 在整个 37.5GHz 的频段内具有 SMA 连接器的传输线 S_{21} 参数相对比较平滑, 并且在 20GHz 以后的高频部分的插入损耗得到了明显的降低, 因而优化后的测试板可以更好的应用于 4×25Gbps 光模块的测

试, 下面的各部分测试都采用了这种测试板。

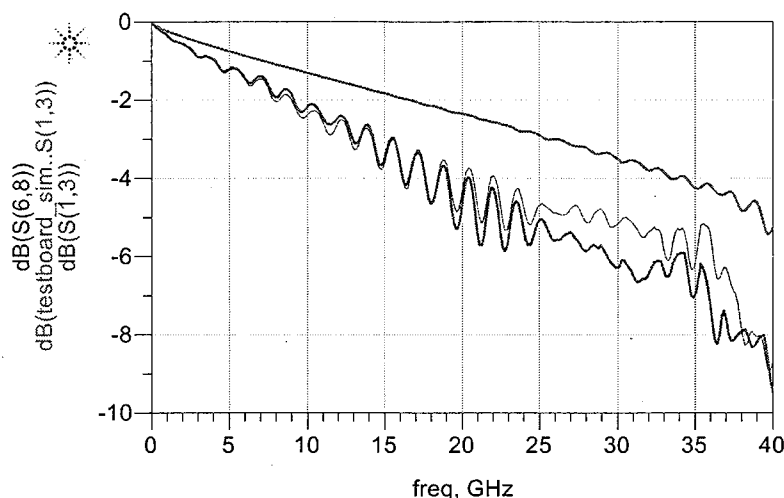


图 5.9. 测试板上高速差分信号 S21 一致性对比图

对于测试板传输链路信号完整性的测试, 除了标准传输线, 还单独进行了测试板上多个接收通道差分信号线的测试。如图 5.6(b)所示的测试板, 将其中的 R3、R4 差分通道以及 R1、R2 差分通道分别用金丝键合, 并利用 VNA 测试其相应差分通道的整体传输性能。测得的高速差分信号 S21 如图 5.9 所示, 由于 QSFP 连接器焊盘的间距限制, 用于连接相应通道的金丝键合线长度达 1.5mm, 尽管每条传输线通过三根键合线相连, 但是长的键合线仍然引起了较大的差分阻抗, 因而测得的 S21 曲线都有比较明显的震荡。从测试结果中可以看出不同通道之间的 S21 曲线基本近似, 只是在高频部分略微有一些差异。整体来看, 从 SMA 到 QSFP 连接器部分传输线的插入损耗在 15GHz 时约为 -1.7dB 左右, 在 25GHz 时约为 -2.7dB。其中粉色为两条传输线的 S 参数相连接的仿真结果, 可以看到, 仿真与测试有一定的差距, 主要由于仿真中未考虑键合线、粗糙度以及传输线的制造工艺的影响。从测试结果可以看到, 测试板上传输线条基本可以满足 4×10Gbps 和 4×25Gbps 光模块的测试要求。

对于系统链路信号完整性的测试, 如图 5.6(a)所示模块板, 将其中 R1 和 R2、R3 和 R4、T1 和 T2、T3 和 T4 部分靠近电芯片一侧的差分传输线分别进行对应的金丝键合, 形成 R1 到 R2、R3 到 R4、T1 到 T2、T3 到 T4 的闭合回路, 相应的金丝键合线长度为 500μm 左右。将模块板插入到测试板上, 从而可以在测试板上进行闭合的高速信号传输链路测试, 观察其整体传输性能。测试得到传输链

路 S21 曲线如图 5.10 和图 5.11 所示。由于测试的是闭合链路，因而从测试板 SMA 到模块板电芯片一侧的单条链路插入损耗约为测得 S21 的一半。

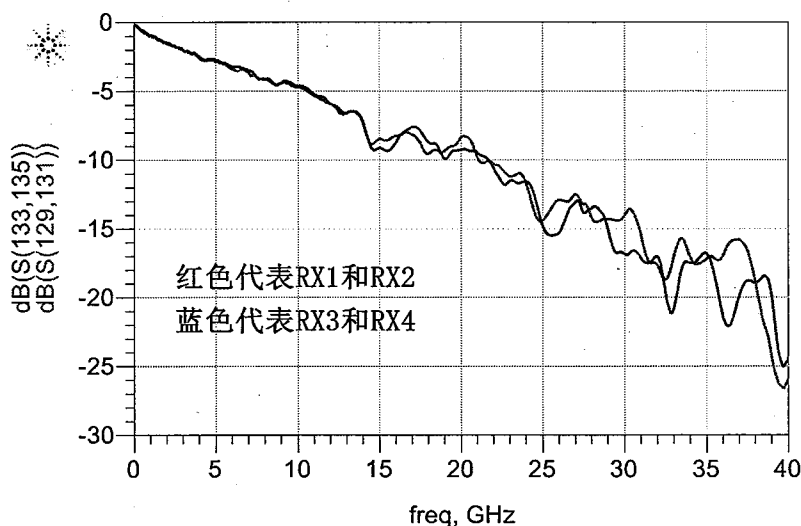


图 5.10. 闭合的高速接收信号传输链路 S21 测试图

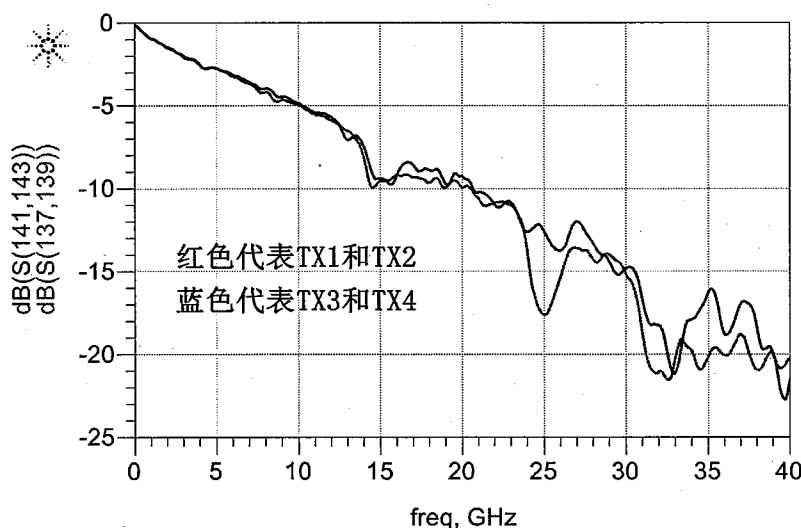


图 5.11. 闭合的高速发送信号传输链路 S21 测试图

如图 5.10 所示的高速接收信号传输链路 S21 测试图，可以看出整体的插损曲线较为平滑，只有在 15GHz 和 25GHz 以及高频部分有波动，两个不同通道互连的 S21 曲线基本一致，因此接收通道性能基本一致。而从图 5.11 所示的高速发送信号传输链路 S21 测试图，可以看出在 25GHz 以内，两通道 S 参数基本一致，而在 25GHz（包括 25GHz）以后两者有区别。同样在 15GHz 和 25GHz 以及高频部分存在插损波动。其实在测试过程中发现，在高频的特性与模块板插入

QSFP 连接器的位置有很大关系,插入太深,短桩会比较长,会导致高频波动较大,因此,在测试中需要控制插入的深度。对于 15GHz 和 25GHz 的插损波动应该与 QSFP 连接器本身的性能有关,如图 3.30 的仿真结果所示。

另外从图 5.10 和图 5.11 所示的发送信号和接收信号传输链路 S21 曲线中可以看出,从 SMA 连接器到模块板电芯片一侧的整个单条链路的插入损耗值,在 15GHz 时约为-5dB 左右,在 25GHz 时约为-7.5dB 左右,在 37.5GHz 时为-11dB 左右,我们使用的有源芯片的均衡最大幅值可达到 5dB,因此将 25GHz 的插损最大可提升到-2.5dB。结合单独测试板测得的 S 参数和单独模块板传输线的仿真 S 参数,可以看出在模块板金手指结合处会产生较大的插入损耗,这是由于其较大的阻抗不连续所引起的,如图 5.7(a)的 TDR 曲线所示,这个位置也是未来我们需要进一步优化的地方。不过整体的发送和接收各通道的链路插入损耗基本一致,插入损耗曲线比较平滑,因而可以用于我们 4×10Gbps 和 4×25Gbps 光模块的测试实现。

5.4. QSFP 光模块的互连传输测试

5.4.1. 光互连传输测试系统构建

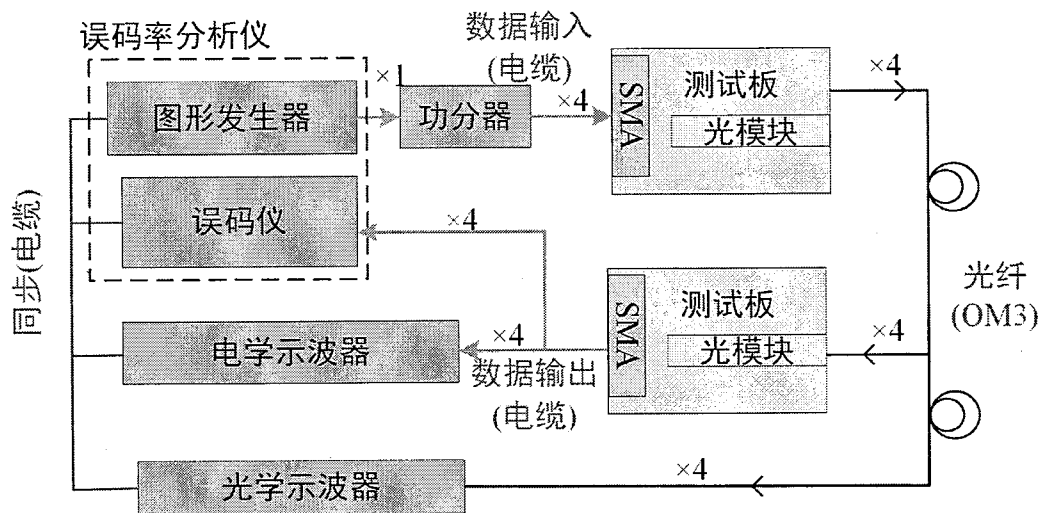


图 5.12. 光互连传输测试系统架构图

短距光模块光互连传输功能的测试需要构建一个完整的测试系统。其系统构架如图 5.12 所示,整个系统包含两个测试板、两个光模块、一根 OM3 光纤和相应的一些测试设备。在进行测试工作时,首先由误码率分析仪中的信号发生器产

生一串速率为 10Gbps 的 $2^{31}-1$ 的伪随机码序列信号和 25Gbps 的 2^7-1 的伪随机码序列信号，分别对应 40Gbps 和 100Gbps 速率的 QSFP 光模块；其次，产生的高速信号进入功分器中，并被分为 4 路信号经由高频电缆和 SMA 传输到测试板上；接着测试板上高速信号经过 QSFP 连接器，进一步传输到光模块的发送部分，由驱动芯片将信号调制，并驱动 VCSEL 光芯片发光，光信号直接耦合到 OM3 多模光纤中进行传输，我们演示用的 OM3 光纤长度为 3 米；经过光纤传输的光信号在另一块测试板中被接收，由 PD 芯片将光信号转为电信号，并由 TIA 芯片放大为电压信号；最终经过测试板和电缆传输到电学示波器中，进行电学眼图的测量。

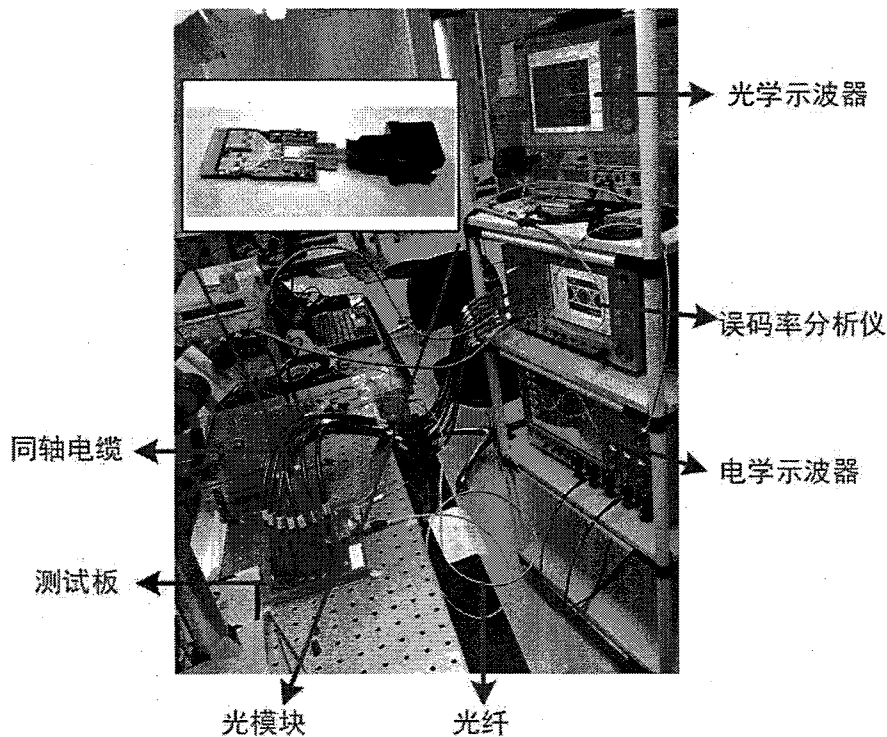


图 5.13. 光互连传输测试系统照片

另外，接收到的电信号也可以连接到误码率分析仪中，其可以将接收到的伪随机码序列和原始产生的序列信号对比，进行误码率的测试。除此以外，也可以将两个光模块之间的光纤断开，将光信号送到光学示波器中进行光眼图的测试。这样组建的光互连传输测试系统如图 5.13 所示。整个测试板与测试设备的连接依靠 8 根同轴电缆和高频 SMA 连接器，而光模块的光纤连接部分采用 MPO (Multi-fiber Push On) 光接口与 OM3 多模光纤进行互连，OM3 光纤的纤芯直径

为 $50\mu\text{m}$ ，其在 10Gbps 的速率下可以传输 300 米的距离，因而非常适合用于短距光模块中，用于目前短距离的高速数据交换。

5.4.2. $4\times 10\text{Gbps}$ 光互连传输测试

发射端TX@10.3125Gbps@PRBS-31

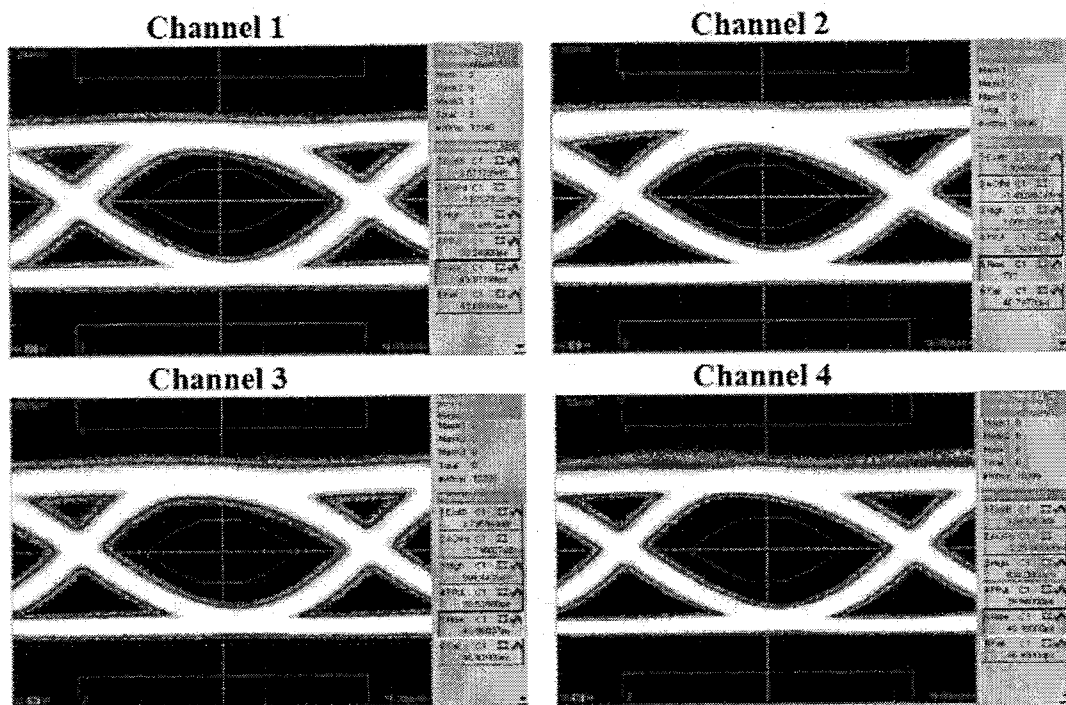


图 5.14. 发送端 4 个通道 10Gbps 传输光眼图

通过构建完整的光互连传输测试系统，可以进行不同速率光模块的链路测试。对于 $4\times 10\text{Gbps}$ 光互连传输测试，误码率分析仪的信号发生器产生 10Gbps 的伪随机码序列信号，光模块中的光芯片（PD、VCSEL）和电芯片（TIA、Driver）都支持 10Gbps 速率，光学示波器带宽为 15GHz，电学示波器带宽为 30GHz，因此构建的系统可以实现 $4\times 10\text{Gbps}$ 光模块的性能测试。

论文提出的 40Gbps 速率的 QSFP 光模块，其测试的 4 个通道光眼图如图 5.14 所示，在设置的调制电流为 6.5mA 时，四个通道的消光比介于 3.79~3.92dB 之间，基本一致，都大于协议要求的 3dB；在设置的偏置电流为 6mA 时，经过传输的四个通道平均光功率都在协议要求的 -7dBm (-3dBm~-1dBm) 以上，并且四个通道的峰峰值抖动都在 29ps 左右；在设置的偏置电流最小为 5mA 时，平均光功率就可以达到 -3dBm。可以看出在没有采用均衡技术 (Equalization Technology)

的情况下，四个通道的光学眼图都可以满足眼图模板（Eye Mask），并且具有较好的一致性。

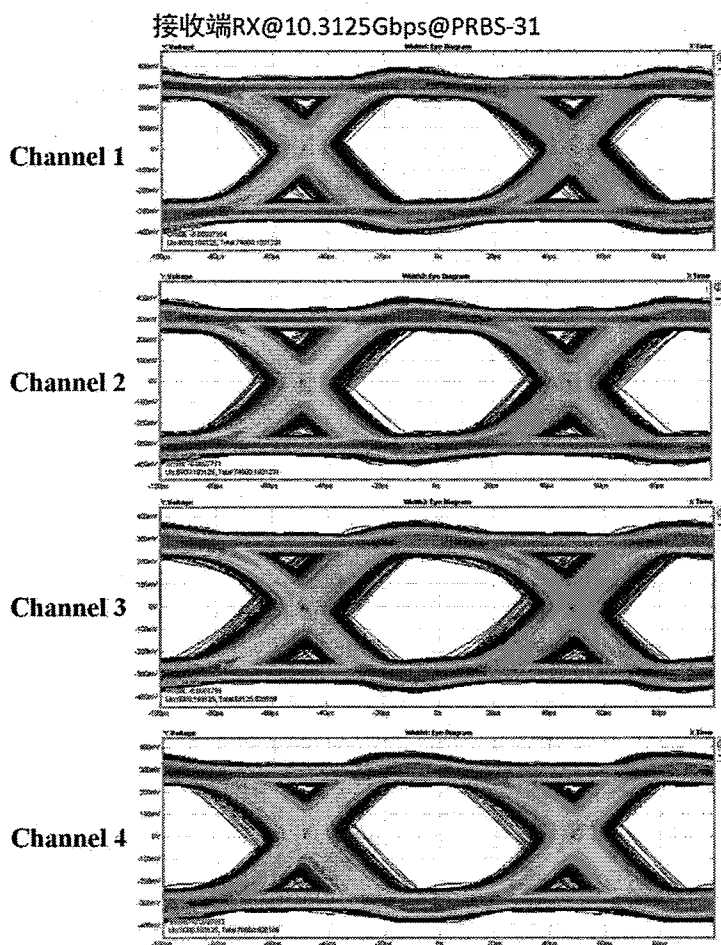


图 5.15. 接收端 4 个通道 10Gbps 传输电眼图

而 40Gbps 速率的 QSFP 光模块其测试的 4 个通道电眼图如图 5.15 所示，采用的 CML（Current Mode Logic）电平，差模电压为 700mV，码元周期为 100ps。整个光模块的工作电流为 299mA，从图中可以看出四个通道的电眼图全部清晰并且张开，并且具有较好的一致性。

为了进一步测试 40Gbps 速率 QSFP 光模块光传输的可靠性和稳定性，我们测试了四个通道传输的误码率，如图 5.16 所示，采用 $2^{31}-1$ 的伪随机码序列信号按照 10Gbps 的速率传输时，经过完整的光互连链路四个通道的误码率都小于 10^{-13} ，在连续测试了 50 分钟的情况下均无误码，显示了良好的光互连传输稳定性。另外，这款 40Gbps 速率 QSFP 光模块在发送和接收都工作的全双工光传输情况下，功耗只有 0.9W，低于 Infiniband QSFP 有源光缆的 1.5W 功耗，因而这

是一个非常好的光模块解决方案，具有在短距离光互连应用领域良好的前景。

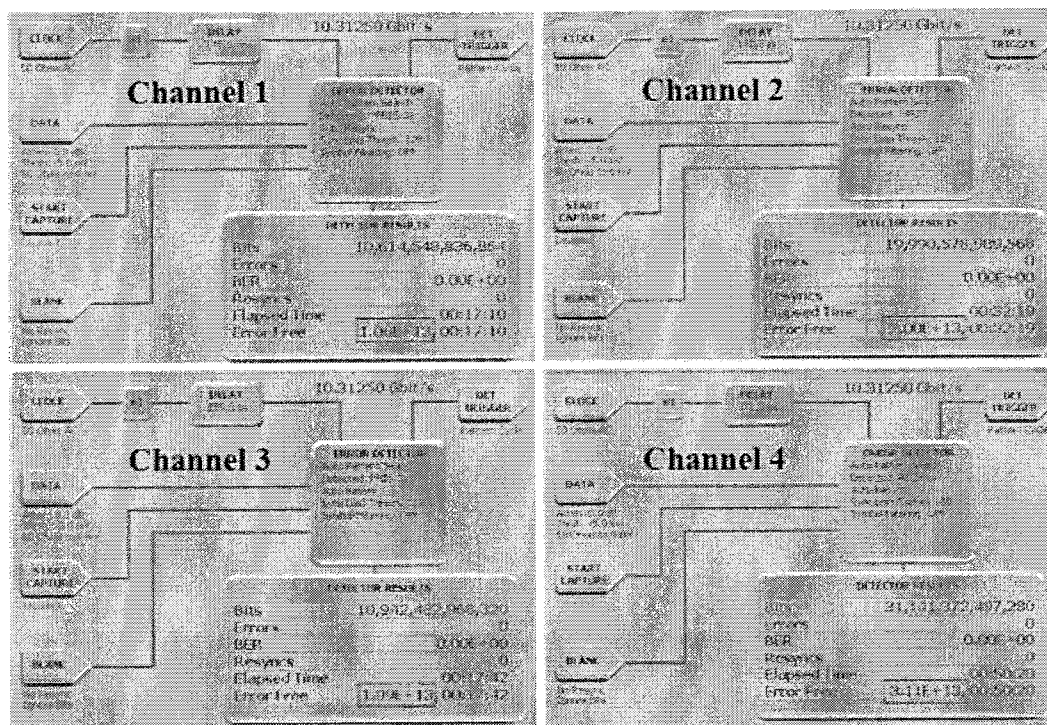


图 5.16.光模块 4 个通道 10Gbps 传输误码率

5.4.3. 4×25Gbps 光互连传输测试

对于 4×25Gbps 光模块，我们同样进行了光互连传输测试研究。误码率分析仪的信号发生器产生 25Gbps 的 2^7-1 伪随机码序列信号，另外光模块中的 PD、VCSEL、TIA 和 Driver 都更换了可以支持更高速率的芯片，能够支持 25Gbps 速率，光学示波器带宽为 32GHz，电学示波器带宽为 30GHz，因此构建的系统可以实现 4×25Gbps 光模块的性能测试。

论文提出的 100Gbps 速率的 QSFP 光模块，其测试的 4 个通道光眼图如图 5.17 所示，四个通道的消光比分别为 2.85dB, 4.31dB, 3.03dB, 3.02dB，都在 3dB 左右，不过通道之间存在一定的偏差；而经过传输的四个通道平均光功率都在分别为 -2.6dBm, -6dBm, -1.82dBm, -1.67dBm，其中通道 2 的平均光功率相对较低。从光眼图中可以看出在加了相应预加重的情况下，4 个通道 25Gbps 的光眼图仍然能够比较好的睁开。

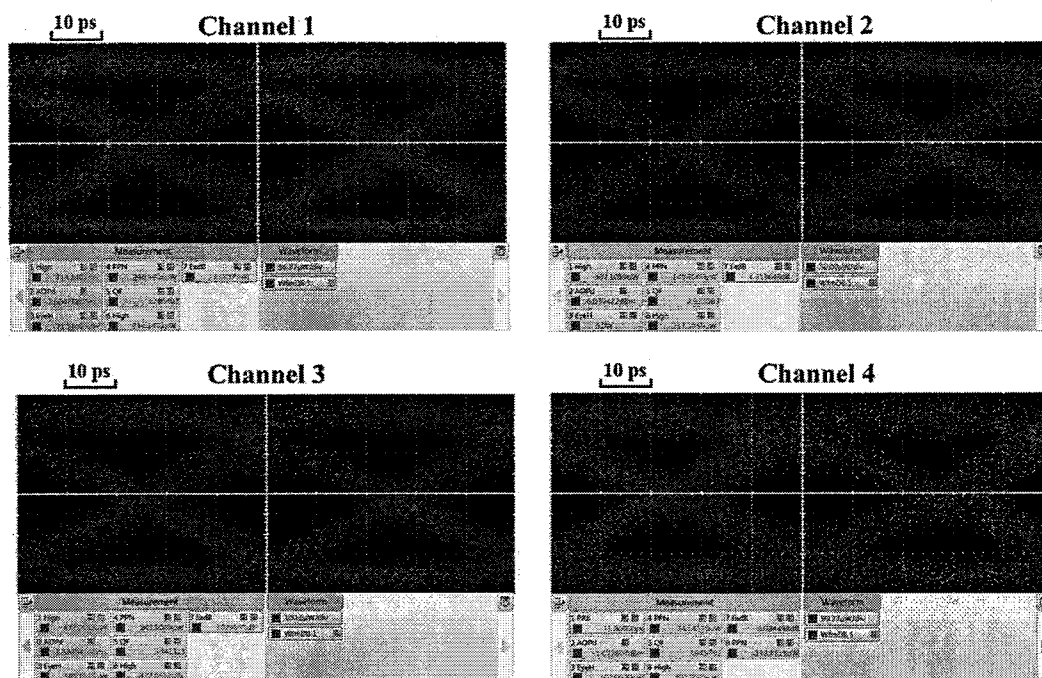


图 5.17. 发送端 4 个 25Gbps 传输通道光眼图

不过目前我们制作的 25Gbps 速率的光模块，同样也存在着一些不足。目前整个光模块接收端的性能仍然不是很好，电眼图没有完全睁开，因此造成了比较多的误码。导致这一问题可能有多种原因：一方面，有可能是电学性能的影响。由于制造周期的问题，目前 25Gbps 光模块沿用了 10Gbps 的 SiOB，但是这种 SiOB 与 25Gbps 光芯片不完全匹配，在倒装焊时焊球连接并不均匀，对传输信号的高频部分有一定影响。另外，我们仍采用打线方式进行光组件与电芯片的互连，对高频部分也会有很大的影响，后续我们会对 flip-chip 的组装方式进一步验证。最后模块板上与 QSFP 连接器接触的金手指部分，也需要进一步的优化；另一方面，也有可能是光学性能的影响。由于 10Gbps SiOB 与 25Gbps 光芯片不完全匹配，因此光的对准会存在比较大的组装容差。另外，25Gbps 和 10Gbps 的 VCSEL 芯片，其散射角分别为 27° 和 25° ，存在一定的差异，对光学耦合会有影响，但是影响不大。而 25Gbps 和 10Gbps 的 PD 芯片，前者的有源面面积只有后者的一半大小，因此采用 10Gbps 的光组件组装方法，25Gbps 光模块的光耦合效率会比 10Gbps 降低很多。为了解决这一问题需要通过一段时间来摸索工艺参数，在光芯片倒装时采用更小的焊球，或者通过加工来伸长来自光纤阵列的裸光纤长度，使光芯片和光纤端面的间距降低到 $20\mu\text{m}$ 以下。对于这些问题，我们将在未来的工作中进行优化和逐步解决。不过目前来说， $4\times 25\text{Gbps}$ 发送模块的良好工作已

经证明了这种结构的 100Gbps 速率 QSFP 光模块的可行性。

5.5. 本章小结

本章进行了新型 QSFP 光模块的测试研究。首先概述了整个短距光模块测试的主要研究内容,包括各种性能参数和相应的测试仪器简介;其次具体研究了光组件部分的测试,包括组装在 SiOB 上的光芯片 I-V 曲线测试和光耦合容差分析;接着还测试研究了封装基板和测试板的信号完整性,包括高速传输线的 TDR 和 S 参数测试。最后对完整的光互连系统进行了链路测试研究,包括测试系统构建、4×10Gbps 和 4×25Gbps 光互连传输性能测试。

第六章 总结与展望

6.1. 本论文主要内容和结论

论文主要研究的内容是短距光互连的应用背景以及内部存在的光学问题、电学信号完整性问题以及集成方式,实现了 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ QSFP 两种光电系统,并完成了系统测试。通过系统功能的验证,该种方案有望实现大规模生产。该种论文的主要结论如下:

1. 深入调研和研究了短距光互连的应用背景和短距光电系统结构,并由此引出目前短距光电系统中存在的三种问题:光耦合、信号完整性和集成方式,并对此三种问题的国内外现状进行了调研。

2. 研究和总结了目前光耦合结构,并提出了一种基于新型光耦合结构的光组件。从耦合效率、耦合容差、组装方式以及尺寸上,对目前存在的三大类耦合结构进行了总结和分析,每种方式都存在一定的缺点。为了补偿各自的缺点,我们提出了一种基于新型光耦合结构的光组件,光束与光纤直接耦合,通过理论以及仿真验证,耦合效率高,耦合容差大;另外,硅载板上的弯折微带线使组装方便,包括光学组装以及光组件与电学部分的组装。

3. 研究了高速光电系统中的信号完整性的问题,研究结果有效地解决了 QSFP 光模块中的问题,并且对后续的更高速率光模块的设计有指导意义。从理论上对高速信号完整性的概念及问题进行了概述和研究。基于理论的研究,通过 HFSS 软件对 QSFP 光电系统中的信号完整性仿真方法以及问题进行了优化和设计,最终的仿真结果满足 QSFP 光电系统的电学性能要求。

4. 研究了光组件以及整个 QSFP 光电系统的实现,类似的实现方案也可以拓展到其他小型短距光电系统中。为了使硅载板的制造方法简单,提出了一种新型的工艺实现方案,仅用极少的工艺步骤就能在硅基上实现 90° 弯折的传输线。为了保证光学组装可行性,对光组件中的光学组装容差进行了分析,通过分析,它的组装容差在 -1dB 耦合容差以内,满足光学要求。另外,两种光组件与电学部分的集成方式也被引入,并且对集成后的 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ QSFP 的热性能进行了仿真验证,仿真结果显示,系统的热性能能满足 $0\sim 70^\circ\text{C}$ 的工作温度。

5. 完成了 $4 \times 10\text{Gbps}$ 和 $4 \times 25\text{Gbps}$ QSFP 光电系统的系统测试。通过 I-V 曲线对光学组装进行了验证；通过光耦合效率对耦合容差进行了验证；通过 S 参数及电学眼图对系统的电学性能进行了验证；通过系统链路眼图对光互连的传输性能进行了验证。

6.2. 未来工作展望

根据本文对短距光互连所展开的工作，取得的成果以及存在的一些问题，下一步的工作可以从以下几点来实现：

1. 对 $4 \times 25\text{Gbps}$ QSFP 光电系统进行进一步的优化设计。将 $4 \times 25\text{Gbps}$ QSFP 的光组件的组装工艺进一步优化，使光学性能达到最优。探索采用 flip-chip 工艺来实现电学芯片的组装以及光与电的集成，使组装的电学性能更好。

2. 基于高速短距光互连的系统链路研究。由于随着传输速率变得更高，对信号完整性的要求会更高，一方面，需要对更高速率的信号完整性设计及优化方法进行分析和研究；另外，也需要对有源芯片的作用加以关注，由于传输信号转成光信号之前的铜互连的限制，基本的有源互连结构有可能已经不能满足系统的性能，需要在链路中加入信号恢复等附加的有源电路来保证信号传输。在系统设计中，需要对无源和有源组成的整个链路性能进行分析和研究，才能准确地预计整个系统的性能。

3. 高密度的光互连系统探索与研究。基于现有 QSFP 的短距光电系统的技术，未来可以实现更高密度的光互连系统。但是随着通道数目的增加，光电系统中存在的光学问题、电学问题以及组装问题就会更加严重，需要更进一步地探索和研究。