

密级: ()



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

24 位低功耗音频 Sigma-Detla 数模转换器数字前端实现

作者姓名: 梁 帅

指导教师: 刘昱 研究员 张海英 研究员

中国科学院微电子研究所

学位类别: 工学硕士

学科专业: 微电子学与固体电子学

研究所: 中国科学院微电子研究所

2015 年 5 月

**Digital Front End Implementation for Low Power
24-bit Audio Sigma-delta DAC**

By

Liang Shuai

Adviser:

Prof. Liu Yu & Zhang Haiying

A Dissertation Submitted to

University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of Master of

Microelectronics and Solid Electronics

Institute of Microelectronics, Chinese Academy of Sciences

May, 2015

关于学位论文使用权声明

任何收存和保管本论文各种版本的单位和个人，未经著作权人授权，不得将本论文转借他人并复印、抄录、拍照、或以任何方式传播。否则，引起有碍著作权人著作权益之问题，将可能承担法律责任。

关于学位论文使用授权的说明

本人完全了解中国科学院微电子研究所有关保存、使用学位论文的规定，即：中国科学院微电子研究所有权保留学位论文的副本，允许该论文被查阅；中国科学院微电子研究所可以公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存该论文。

（涉密的学位论文在解密后应遵守此规定）

签 名：

导师签名：

日 期：

关于学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名：

导师签名：

日 期：

摘要

声音作为移动电子设备的一种重要信息,随着电子设备快速发展,人们需要精度更高、功耗和面积更小的音频数模转换器(DAC)来适应声音的高保真和更长的电池续航能力。同时,便携式医疗设备的火热进一步提高了对于音频 DAC 的设计要求。Sigma-Delta 数模转换器非常适合对于精度要求高、硬件开销低的音频 DAC 的设计需求,因此本文的研究目的是设计一款性能出色的音频 Sigma-Delta DAC。

本论文针对音频 Sigma-Delta DAC 的设计需求,对高精度的 Sigma-Delta DAC 的数字前端部分进行了研究。其中,数字前端部分包含升采样插值滤波器和 Sigma-Delta 调制器,设计中为实现低功耗、微型化的目的,采用了一系列改进与创新的方法。

设计的插值滤波器采用了多级级联的整体结构,提出了一种新型的半带滤波结构,该结构能够很好的实现公共子式消除算法、寄存器共用和加法器共用的方法来减小硬件开销和面积。在插值滤波器的系数处理上,采用正则符号数(CSD)编码方法,有效的减小了逻辑操作数;通过系数的整合处理,降低了滤波器的阶数,减少了系数个数,同时有利于公共子式消除算法的实现;改进了非递归公共子式消除算法,能够降低系数中未配对位数的数目。

针对 Sigma-Delta 调制器的设计,为了降低功耗和硬件开销,在确保性能不变的情况下,精简优化了调制器的结构;采用了级联积分器前馈结构,降低了积分器的位宽;采用 3 比特的量化器是性能与功耗面积的折衷考虑,克服了单比特量化器需随机加抖的问题和减轻对后续模拟重构滤波器的设计要求;对调制器的系数采用了非等字长的定点化处理方法,根据系数精度影响要求来确定,可以有效降低硬件开销。

论文中设计的音频 Sigma-Delta DAC 数字前端采用中芯国际(SMIC) 40 nm 1P6M CMOS 工艺进行设计,芯片的核心版图面积为 0.053mm^2 ,在 1.1V 的供电电压下,功耗为 53 μW ,后仿真测试得到的峰值信噪比(SNR)为 145.8dB,谐波失真为-150dB,满足了高精度、低功耗和微面积的设计要求。

关键词: 音频数模转换器; Sigma-Delta 调制器; 插值滤波器; 半带滤波器

Abstract

Since voice is an important information in mobile electronic devices, people need high resolution, efficient area and low power audio digit to analog converter (DAC) to satisfy the requirement of high fidelity voice and long battery life for portable equipment. At the same time, the popular research of portable medical devices also accelerates the high performance requirement of audio DAC. Sigma-Delta DAC is very appropriate to design high precision and low hardware overhead audio DAC, thence the main purpose of this dissertation is to design a high performance audio sigma-delta DAC.

According to the requirements for audio sigma-delta DAC, this thesis focuses on the research of digital front-end of sigma-delta DAC. The digital front-end of audio DAC includes interpolation filter and sigma-delta modulator. In order to realize the requirement of high precision and low power, a series of new and improved methods are used to reduce the area and power.

In the design of interpolation filter, the top structure of the filter is implemented with multiplied stages including a new proposed half-band filter structure. The proposed structure utilizes a common subexpression elimination (CSE) algorithm, an adder and register reused method to reduce the area and power. To process filter coefficients, canonical signed digits (CSD) coded method is chosen to reduce logic operation; through the integrated operation of coefficients, the order and coefficients of the filter is reduced, which also helps the implementation of CSE algorithm; the improved non-recursive CSE algorithm reduces the unpaired coefficients, so the total operands are reduced.

Sigma-delta modulator is optimized with less coefficient numbers to reduce the hardware overhead with unchanged high performance. Feed-forward structure is used to reduce the bit width of integrators of the modulator; 3-bit quantizer is employed to overcome the need of dither and to relax the requirement of post analog filters; the unequal fixed-point method is used to reduce the hardware overhead without impacting modulator performance.

In this thesis, the digital front-end of audio sigma-delta DAC is designed in SMIC 40nm

1P6M process; the total core area is 0.053mm^2 ; with 1.1v power supply, the simulated power consumption is 53uW; the peak signal to noise ratio is 145.8dB, and the total harmonic distortion is -150dB. The design satisfies the low power and area requirement.

Key Words: Audio Sigma-Delta DAC, Sigma-Delta modulator, interpolation filter, half-band filter

目 录

摘 要.....	I
Abstract	II
目 录.....	IV
图目录.....	VI
表目录.....	VIII
第一章 绪 论.....	1
1.1 课题研究背景.....	1
1.2 国内外音频数模转换器的研究现状.....	2
1.3 论文的主要工作及内容安排.....	3
第二章 数模转换器理论介绍.....	5
2.1 数模转换器基本指标参数.....	5
2.2 Sigma-Delta 数模转换器概述.....	7
2.3 Sigma-Delta 调制器原理.....	8
2.3.1 一阶 Sigma-Delta 调制器.....	10
2.3.2 高阶 Sigma-Delta 调制器.....	12
2.4 插值滤波器原理.....	15
2.5 本章小结.....	17
第三章 插值滤波器的设计.....	18
3.1 插值滤波器的整体结构.....	18
3.2 半带滤波器.....	20
3.2.1 半带滤波器的设计参数.....	22
3.2.2 半带滤波器的结构.....	24
3.2.2.1 常规的半带滤波器结构.....	24
3.2.2.2 新型半带滤波器结构.....	27
3.2.3 半带滤波器的系数处理.....	28
3.2.3.1 正则符号数(CSD)编码.....	30
3.2.3.2 公共子式消除算法.....	30
3.2.3.3 新型半带滤波器的系数处理.....	33
3.3 级联梳状滤波器.....	35
3.4 本章小结.....	39
第四章 Sigma-Delta 调制器的设计.....	41

4.1 Sigma-Delta 调制器的结构选择	43
4.1.1 环路滤波器结构 Σ - Δ 调制器	43
4.1.2 多级级联(MASH)结构调制器	47
4.1.3 误差反馈结构 Σ - Δ 调制器	49
4.2 Sigma-Delta 调制器性能结构优化改进	50
4.3 调制器系数的非等长定点化处理	55
4.4 本章小结	55
第五章 电路实现及结果分析	57
5.1 芯片的 ASIC 实现	59
5.1.1 RTL 代码设计	59
5.1.2 综合实现	62
5.1.3 后端版图	63
5.2 后仿真结果及分析	65
5.3 本章小结	66
第六章 总 结	68
参考文献	70
硕士期间获得的研究成果	72
致 谢	73

图目录

图 2.1 失调误差和增益误差	5
图 2.2 微分非线性误差和积分非线性误差	6
图 2.3 sigma-delta DAC 的整体结构	7
图 2.4 Σ - Δ DAC 中的频谱图	7
图 2.5 (a) Σ - Δ 结构图 (b) 一阶 Σ - Δ 调制器	8
图 2.6 (a) 量化器输入输出曲线 (b) 量化噪声概率密度	8
图 2.7 一阶 sigma-delta 调制器的线性模型	10
图 2.8 一阶 sigma-delta 调制器噪声整形示意图	11
图 2.9 二阶 Sigma-Delta 调制器线性模型	12
图 2.10 L 阶 Sigma-Delta 调制器的线性模型	13
图 2.11 不同阶数的单比特调制器输出 SNR 随 OSR 变化曲线	14
图 2.12 插值滤波器的结构	15
图 2.13 插值滤波原理示意图	15
图 3.1 插值滤波器的整体结构	19
图 3.2 半带滤波器频率特性	21
图 3.3 第一级半带滤波器幅频与相频响应	23
图 3.4 第二级半带滤波器的幅频响应	23
图 3.5 第三级半带滤波器幅频响应	24
图 3.6 各级半带滤波器幅频响应	24
图 3.7 直接型实现结构	25
图 3.8 转置直接型实现结构	25
图 3.9 对称直接型实现结构	26
图 3.10 多相折叠结构	27
图 3.11 新型半带滤波器结构图	28
图 3.12 (a)直接实现 (b)公用子式消除法实现	31
图 3.13 NR-SCSE 算法的应用	32
图 3.14 CIC 结构图	36
图 3.15 CIC 滤波器幅频响应(N=16)	37
图 3.16 k 阶 CIC 插值滤波器结构	38
图 3.17 3-5 阶 CIC 滤波器幅频响应(N=16)	39
图 4.1 Sigma-Delta 调制器的信噪比变化图	41

图 4.2 CIFB 结构调制器	44
图 4.3 CIFF 结构调制器	45
图 4.4 CRFB 结构调制器	46
图 4.5 CRFF 结构调制器	46
图 4.6 MASH 结构调制器框图	47
图 4.7 MASH 结构 1-1 级联 Sigma-Delta 调制器	48
图 4.8 误差反馈结构	49
图 4.9 二阶误差反馈调制器	49
图 4.10 4 阶 CIFF 结构	51
图 4.11 优化的 4 阶 CIFF 结构	53
图 4.12 零极点图	53
图 4.13 STF 和 NTF 特性曲线	53
图 4.14 信噪失真比随输入幅度的变化	54
图 4.15 各级积分器的输出幅度	54
图 5.1 定点化后的插值滤波器 simulink 仿真	57
图 5.2 5.64kHz、0dBFS 输入信号的频谱图	57
图 5.3 定点化调制器 simulink 仿真结果	58
图 5.4 5.64kHz 信号经过调制器后的频谱图	58
图 5.5 SPI 接口连接示意图	60
图 5.6 各级滤波器位宽的设定	60
图 5.7 RTL 代码的仿真结果	61
图 5.8 RTL 仿真结果频谱分析	62
图 5.9 ICC 版图设计流程	63
图 5.10 芯片的核心电路版图	64
图 5.11 芯片的整体版图	64
图 5.12 2.821KHz、-2.5dBFS 信号对应的输出频谱图	65
图 5.13 SNR 随输入幅度变化	66

表目录

表 3.1 各级半带滤波器的设计参数	22
表 3.2 半带滤波器部分系数的实现	34
表 3.3 不同方法实现的插值滤波器比较	35
表 4.1 不同情况下 Σ - Δ 调制器的理想 SNR	42
表 4.2 优化的 CIFF 结构的各个参数值	55
表 4.3 调整后的参数	55
表 4.4 定点化后的参数	55
表 5.1 不同文献设计实现的性能比较	66

第一章 绪 论

1.1 课题研究背景

近年来移动电子设备得到了迅速的发展，尤其是智能手机的普及化，使集成电路行业得到了快速的发展，深刻影响并变革人们的日常生活方式。所有的这些移动电子设备中都不可或缺的一部分就是音频数模转换器，而且声音是人们获取信息的主要途径之一，没有了这部分，移动设备的功能将大受影响，因此音频数模转换器的研制受到越来越多的关注。人们需要精度更高的音频数模转换器来确保音频的高度不失真，需要低功耗的设计来提升电池的续航能力，同时需要更小的面积来增强移动设备的便携性。

另外，除了智能移动设备的大力发展，便携式生物医疗设备这几年也变得越来越火热，将推动集成电路设计的进一步提升，而且音频数模转换器同样作为多种生物医疗设备的重要部分，这再次促发了音频数模转换器的研发热潮。例如生物医疗设备当中的人工耳蜗，就是通过高性能的音频数模转换器将声音信号转化成电信号，来刺激听觉神经，帮助失聪的人们重新能够获取声音信号。人工耳蜗植入技术目前已经开始在全球范围内得到推广和应用，帮助了数万计的失聪患者，但是音频数模转换器的性能还待不断提升，高分辨率、超低功耗和微型化的面积要求亟待解决。

Sigma-delta 数模转换器作为过采样数模转换器非常适合音频领域的设计，也是目前音频领域普遍采用的结构，易于实现高分辨率。音频 sigma-delta 数模转换器能够通过使用过采样技术和噪声整形技术将带内的噪声降低，从而实现高的信噪比，满足高精度的要求；同时随着大规模集成电路技术的发展和工艺水平的提升，更利于低功耗和微面积的设计需求。从目前的智能手机的主流产品，如苹果、三星的音频芯片，都是 sigma-delta 结构的音频数模转换器，因此音频 sigma-delta DAC 也是音频领域研究的热点。

声音作为模拟域的重要信号，也是人们获取信息的重要途径，数模转换器作为连接数字域与模拟域的桥梁，通过利用数字域的高效处理能力之后再将信号转化成为人

们接受的模拟信号，因此研究音频 sigma-delta DAC 具有重要的意义。随着集成电路的迅猛发展，以及市场需求的不断提高，研究具有高精度、低功耗和微面积的音频 sigma-delta 数模转换器变得日益重要。研究高分辨音频 sigma-delta DAC 的设计技术并改进和创新超低功耗和面积微型化电路设计方法来满足高性能音质要求和微型生物医疗设备具有非常重要的意义。

音频 Sigma-Delta DAC 数字前端作为 sigma-delta 数模转换器的重要组成部分，输入数据首先经过数字前端处理，数字部分的性能会直接影响 DAC 的整体指标，因此提出新的算法、结构来优化改进数字设计从而实现高性能、低功耗和微面积显得非常必要。

1.2 国内外音频数模转换器的研究现状

Sigma-delta 调制技术在 20 世纪中期已经提出，但受当时工艺条件的限制，并未引起太多重视；随着工艺的不断推进，电路的大规模集成化技术得到迅速提高，sigma-delta 数模转换器得到了大量的发展应用。目前，音频 sigma-delta 数模转换器的高精度、低功耗和面积微型化是研究的热点。

音频 sigma-delta 调制器在国外研发起步早，性能指标已经做的相当优越，在学术界和工业界都取得了很大的进步。Kye-hyung Lee 等人采用 0.35 μm 的 CMOS 工艺设计出的双通道音频 sigma-delta DAC，数字滤波器采用分时复用技术和模拟重构滤波器共用运放技术，在 0.8V 的供电电压下功耗为 2.6mW，无杂散动态范围为 88dB^[1]。Rahmi Hezar 等人提出能够加权配置的并行电流舵型音频 Sigma-delta DAC，在 45nm 的 CMOS 工艺下，功耗为 0.5mW，信噪比达到 110dB^[2]。Min Gyu Kim 等人提出了采用 MASH 调制器结构来克服谐波失真的具有 G 类耳机放大器的音频 DAC，无杂散动态范围能够达到 110dB，单通道的功耗为 4.03mW^[3]。

在工业界，目前 ESS 公司的音频 sigma-delta DAC 性能做的最好，主流产品为 32 比特，无杂散动态范围能够达到 135dB；wolfson 公司（已被 Cirrus Logic 公司收购）的 24 比特的音频 DAC 芯片性能比较出众，得到了许多手机厂商的采用；TI 公司的 PCM 系列音频 DAC 目前也达到了 32 比特，具有较高的信噪比；ADI 公司目前的主流音频芯片为 24 比特的 sigma-delta DAC。

在国内，音频 sigma-delta DAC 主要是一些高校从事研究，清华大学、浙江大学和复旦大学研究设计的 DAC 代表了国内的发展水平，但和国外相比还存在一定的差距。浙江大学在音频 sigma-delta DAC 一直有持续的研究，提出分割的双向循环移位数据加权平均技术，目前在 0.18 μm CMOS 工艺下，1.5V 的供电电压下，无杂散动态范围为 103.6dB，功耗为 3.54mW^[4]。清华大学设计的 20 比特 DAC 数字前端，提出的混合基数数字表示算法有效的降低了数字滤波器的开销^[5]。对于国内的企业来说，中星微在 2010 年设计出了 24 比特的 sigma-delta DAC，在 0.13 μm CMOS 工艺下，无杂散动态范围达到 100dB^[6]。

从国内外对音频 $\Sigma\Delta$ DAC 的研究设计来看，高精度才能目前满足人们对音质的要求，24 比特的 DAC 已经是主流，32 比特已经开始进入电子消费市场，同时为了便携移动化的要求，功耗和面积要越来越低，设计的难度在不断增加。

1.3 论文的主要工作及内容安排

论文主要对插值滤波器和 Sigma-Delta 调制器这两个音频 $\Sigma\Delta$ 数模转换器的数字部分进行设计研究，针对低功耗和微面积的要求，对数字滤波器和调制器的设计进行了优化改进。

文章对插值滤波器进行了深入、细致的研究，从插值滤波器的整体结构入手，确定级联结构中每级子滤波器的类型、系数，提出了一种新的改进型滤波器结构，能够有效的减少寄存器和加法器的数目，对于滤波器的系数，通过整合处理，有效利用改进的公共子式消除方法，减少了系数相乘带来的逻辑操作数，有效的降低了面积和功耗。

针对 sigma-delta 调制器的设计，通过对不同结构的调制器进行分析和选择，在保证良好的噪声整形性能下，需要对调制器的结构进行优化，精简调制器的系数，采用前馈结构有效减小积分器的位宽，同时利用了非等长定点化技术，进一步减小硬件开销。

文章的主要内容安排如下：

第一章介绍了音频数模转换器的研究背景，研究发展的现状及趋势，以及研究的意义，并给出了本文的主要工作内容和论文的安排；

第二章对 sigma-delta 数模转换器的基本理论进行介绍,对数模转换器的信噪比、谐波失真、无杂散动态范围、有效位基本指标概念进行解释,对 sigma-delta 调制器工作原理进行介绍,阐述了噪声整形原理,并对插值滤波器如何升采样和滤波的原理进行了详细说明。

第三章主要对插值滤波器的具体设计进行分析研究,采用级联结构设计,对子滤波器一半带滤波器和梳状滤波一进行设计分析,提出了能够有效减少寄存器和加法操作的新型半带滤波器结构,采用的正则符号数(CSD)编码和改进的公共子式消除算法来降低系数的逻辑操作数,以到达低功耗、微面积的设计要求。

第四章对 Sigma-Delta 数字调制器结构和参数设计上进行深入研究,对于调制的单级、多级结构的确定,量化器比特数的确定,都需要根据性能和功耗进行折衷,分析确定了单级多比特量化器结构的调制器,采用了前馈结构,降低了对积分器的位宽要求,并对调制器结构进行了优化,有效减少了参数,采用非等长定点化方法来降低逻辑操作。

第五章介绍了对 DAC 的数字前端部分进行数字实现,完成 RTL 代码的设计和综合,通过门控时钟技术和采用高阈值电压来降低功耗,完成数字后端版图的实现,并对后仿真结果进行了测试和分析。

第六章对全文进行了总结,首先总结了论文中完成的工作和取得的研究成果,然后对研究进行了后续展望。

第二章 数模转换器理论介绍

数模转换器是将离散的数字信号转变成连续的模拟信号，并在转换过程保持线性相关。DAC 起着连接数字域和模拟域的重要作用，基本工作原理是将输入的数字编码信号对应转换为与参考电气量成线性比例的模拟信号。DAC 的分类可以根据转换单元分为电阻型、电流型和电容型，又可以根据输入信号频率和采样频率的关系划分为奈奎斯特采样型 DAC 和过采样型 DAC，Sigma-Delta DAC 便属于过采样类型。本章将对 DAC 的基本指标参数和 Σ - Δ DAC 的工作原理进行说明。

2.1 数模转换器基本指标参数

数模转换器的性能指标可以分为静态特性和动态特性指标参数两类，分辨率、失调误差、增益误差、积分非线性和微分非线性属于静态特性；信噪比、无杂散动态范围、谐波失真和信噪失真比属于动态特性。下面就这些特性参数分别进行说明。

（1）分辨率

分辨率指的是 DAC 能够转换的最小模拟信号的能力，通常以最低有效位 LSB (least significant bit) 为参数来表示。若 DAC 为 N 比特，输出满量程值为 V_{ref} ，那么 LSB 可以表示为 $V_{\text{ref}}/2^N$ 。

（2）失调误差/增益误差

失调误差指的是 DAC 初始输出的实际值与理想值的偏差，增益误差指的是 DAC

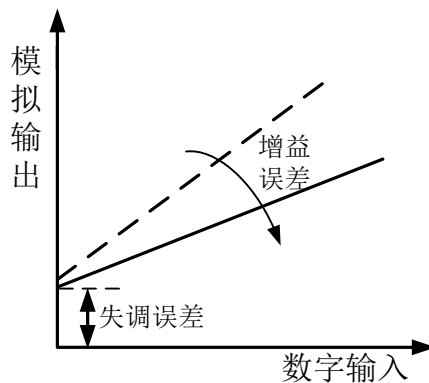


图 2.1 失调误差和增益误差

转换曲线的实际斜率与理想斜率的偏差，如图 2.1 所示。失调误差和增益误差都可以用满量程的百分比或者 LSB 为单位来表示。

（3）微分非线性/积分非线性

微分非线性 DNL(Differential Nonlinearity)指的是相邻码元对应的输出模拟量的跳变值与理论 1LSB 的差值。通常要求 DNL 在 $\pm 0.5\text{LSB}$ 范围内，如果 $\text{DNL} < -1\text{LSB}$ ，将会出现非单调性，如果 $\text{DNL} > 1\text{LSB}$ 时将会出现失码。DAC 的整体微分非线性误差为所有编码对应的微分非线性的最大值。积分非线性指的是实际输出值与理想值的偏差，DAC 的整体积分非线性为所有积分非线性的最大值。

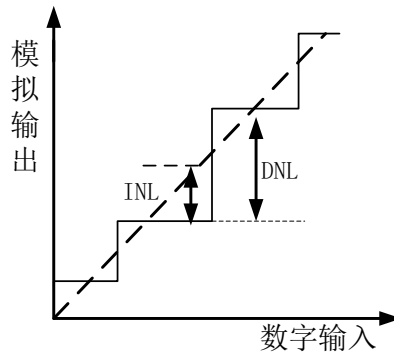


图 2.2 微分非线性误差和积分非线性误差

（4）信噪比（SNR）

信噪比指的是信号功率和噪声功率的比值，这里的噪声不含有谐波失真和直流分量。用公式可以表示为：

$$\text{SNR} = 10\lg\left(\frac{P_{\text{signal}}}{P_{\text{noise}}}\right) \quad (2-1)$$

（5）无杂散动态范围

无杂散动态范围 SFDR (Spurious Free Dynamic Range) 是指信号功率与带内的最大假信号，在频谱图上表示为信号幅度与噪声和谐波失真当中最大值的差值。

（6）总谐波失真

总谐波失真 THD (Total Harmonic Distortion) 指的是带内所有谐波功率和与信号功率的比值。用公式可以表示为：

$$\text{THD} = 20\lg\sqrt{\frac{V_{f2}^2 + V_{f3}^2 + \dots + V_{fn}^2}{V_{f1}^2}} \quad (2-2)$$

其中, V_{f1} 为基波信号有效幅值, V_{f2} , $V_{f3} \dots V_{fn}$ 为谐波信号的有效幅值。

(7) 信噪失真比

信噪失真比 SNDR (Signal to Noise and Distortion Ratio) 指的是 DAC 输出信号功率与所有带内噪声和谐波失真功率的比值。

2.2 Sigma-Delta 数模转换器概述

Sigma-Delta 数模转换器主要由四部分组成, 结构框图如图 2.3 所示, 插值滤波器和 Σ - Δ 调制器为数字部分, 如图中虚线包含的部分; 数模转换单元和重构滤波器为模拟部分。离散的数字信号以 f_s 的采样频率输入, 经过插值滤波器的升采样处理, 采

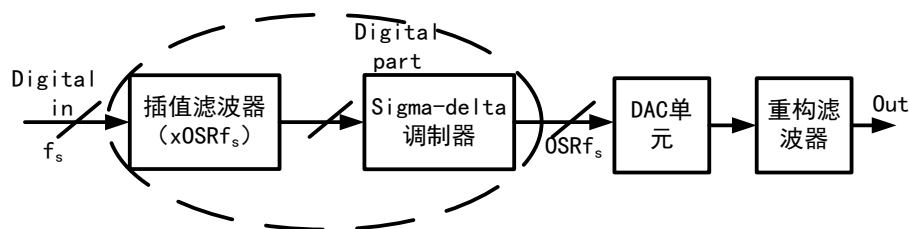


图 2.3 sigma-delta DAC 的整体结构

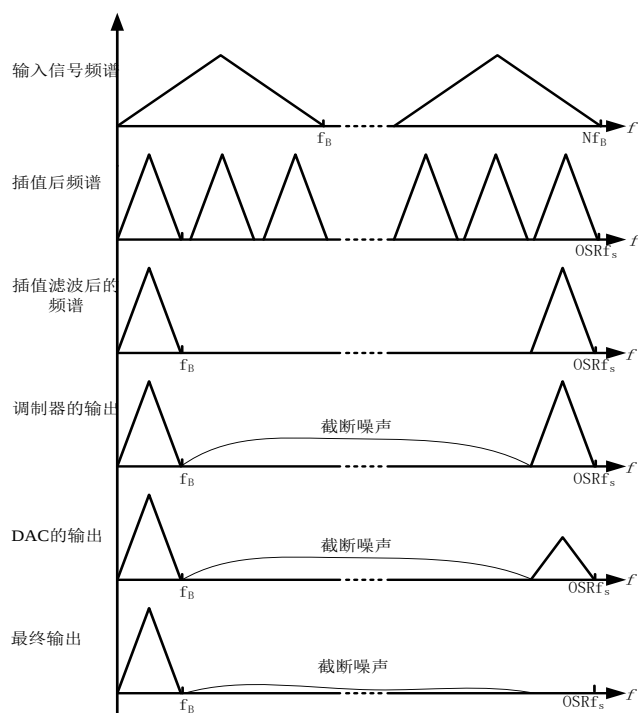


图 2.4 Σ - Δ DAC 中的频谱图

样频率升高到过采样率 OSR (Over Sample Rate) 倍的 f_s 频率处, 其中过采样率定义为 $\frac{f_s}{2f_B}$, f_B 表示为信号带宽。噪声被认为是均匀分布在 $OSR \cdot f_s$ 频带范围内, 提高采样频率可以降低频带内的噪声密度。 Σ - Δ DAC 工作过程中的频谱变化如图 2.4 所示, 信号经过插值升采样之后, 滤波器滤出插值所带来的镜像信号, 然后经过 Σ - Δ 调制器进行噪声整形处理, 将带内的噪声推置到带外。调制器内部的量化器将高比特流的数字信号量化成低比特数字流, 这种截位会带来截断误差, 但会被推置到信号频带外, 经过奈奎斯特 DAC 将数字信号转换为模拟信号, 最后通过重构滤波器滤掉带外的噪声。

2.3 Sigma-Delta 调制器原理

Sigma-delta 调制器是一个信号反馈环路, 基本结构模型如图 2.5 (a) 所示, 能够抑制带内噪声, 将噪声推置到带外, 提高信噪比。图 2.5 (b) 是实际的一阶 Σ - Δ 调制器

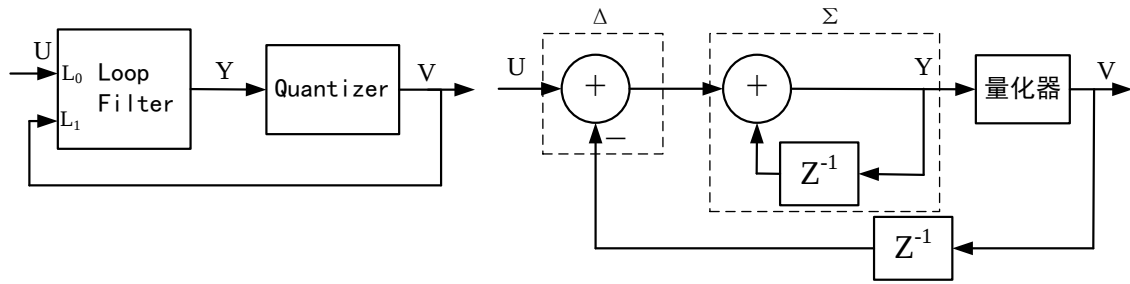


图 2.5 (a) Σ - Δ 结构图

(b) 一阶 Σ - Δ 调制器

器, 前馈通路上的积分器实现“ Σ ”功能, 反馈通路上将输出信号与输入信号相减, 实现“ Δ ”功能, 量化器是将高比特数的数字幅度信号转化为低比特数的数字幅度信号,

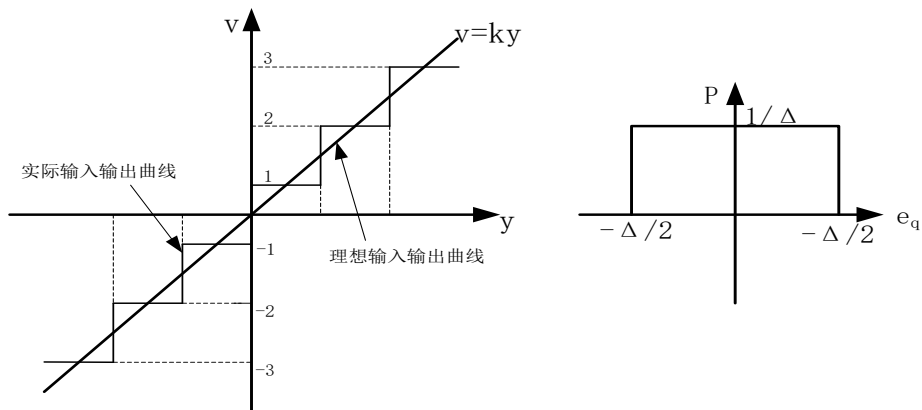


图 2.6 (a) 量化器输入输出曲线

(b) 量化噪声概率密度

为保证信噪比不损失，使用了过采样方法。量化器有限的量化精度会导致在量化过程中带来量化误差，也就是量化噪声，如图 2.6(a)所示。根据图 2.6(a)中的调制器的线性模型，可以得到：

$$Y(z) = L_0(z)U(z) + L_1(z)V(z) \quad (2-3)$$

其中， $L_0(z)$ 表示的为信号环路滤波器的传输函数， $L_1(z)$ 表示的是反馈环路滤波器的传输函数。对于量化器，令 $E(z)$ 表示量化器的误差，那么有：

$$V(z) = Y(z) + E(z) \quad (2-4)$$

对于输出信号 V 可以表示为输入信号 U 和量化误差 E 的线性函数：

$$V(z) = STF(z)U(z) + NTF(z)E(z) \quad (2-5)$$

其中， STF (Signal Transfer Function)表示信号传输函数， NTF (Noise Transfer Function)表示噪声传输函数。根据式(2-3)~(2-5)可以得到：

$$L_0(z) = \frac{STF(z)}{NTF(z)}, \quad L_1(z) = 1 - \frac{1}{NTF(z)} \quad (2-6)$$

通常在进行理论分析时，将量化噪声认为是与输入信号无关的白噪声，如图 2.6(b)所示，量化噪声在 $-\frac{\Delta}{2}$ 与 $\frac{\Delta}{2}$ 范围内均匀分布，根据概率密度可以计算出量化噪声功率为：

$$P_e = \int_{-\Delta/2}^{\Delta/2} e_q^2 P de_q = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e_q^2 de_q = \frac{\Delta^2}{12} \quad (2-7)$$

当输入信号为正弦信号，对于量化位数为 N 的量化器来说，对应的正弦信号幅度为 $\Delta \cdot 2^{N-1}$ ，输入信号功率为：

$$P_s = \left(\frac{\Delta \cdot 2^{N-1}}{\sqrt{2}} \right)^2 \quad (2-8)$$

那么该量化器的信噪比可以表示为：

$$SNR = 10 \lg \frac{P_s}{P_e} = 10 \lg(3 \times 2^{2N-1}) = (6.02N + 1.76)dB \quad (2-9)$$

从公式(2-9)可以看出量化器每增加一位，信噪比将会增加 6dB，但对于高精度的 DAC 来说，需要很高的信噪比，如果只靠增加量化器的位数这是不现实的，因此需要采用过采样技术来提高信噪比。

以过采样频率 f_s 进行采样时，认为噪声在 $-f_s/2$ 和 $f_s/2$ 频率范围内均匀分布，噪声功率谱密度为：

$$S_e(f) = \frac{P_e}{f_s} = \frac{\Delta^2}{12f_s}, \quad -f_s/2 < f < f_s/2 \quad (2-10)$$

那么，频带内 $-f_B$ 到 f_B 频率范围内量化噪声功率则变为：

$$P_{e_BW} = 2f_B \cdot S_e(f) = \frac{2f_B \Delta^2}{12f_s} = \frac{\Delta^2}{12OSR} \quad (2-11)$$

从公式(2-11)可以看出过采样使单位频带内的噪声降低，信噪比提升为：

$$SNR = 10\lg \frac{P_s}{P_{e_BW}} = 10\lg(3 \times 2^{2N-1} OSR) = (6.02N + 1.76 + 10\lg(OSR))dB \quad (2-12)$$

根据公式(2-12)可以得知过采样率 OSR 每升高 2 倍，信噪比提高 3dB。然而，过采样率的提高是有限的， OSR 的提高受电路的最高工作频率的限制，而且频率的升高会导致功耗的增加，因此单纯依靠提高过采样率也是不能满足目前高精度音频 DAC 的要求，还要需要调制器的噪声整形作用，来抑制信号频带内的量化噪声。下面以一阶 $\Sigma\Delta$ 调制器为例，阐述调制器的噪声整形作用。

2.3.1 一阶 Sigma-Delta 调制器

将量化器用线性随机模型代替，一阶 $\Sigma\Delta$ 调制器线性模型如图 2.7 所示，对调制

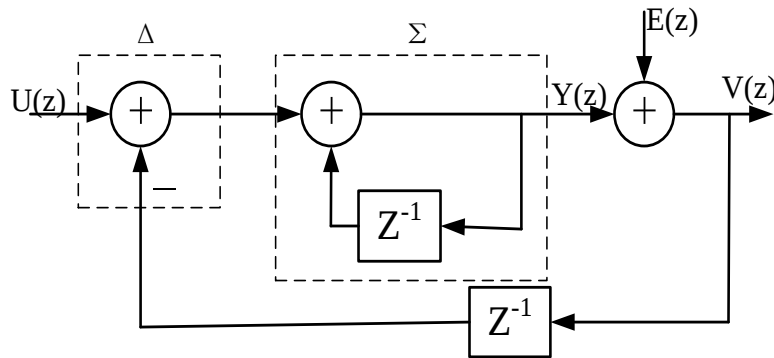


图 2.7 一阶 sigma-delta 调制器的线性模型

器环路进行时域和频域分析则有：

$$\begin{cases} y(n) = u(n) - v(n-1) + y(n-1) \\ v(n) = y(n) + e(n) \end{cases} \quad (2-13)$$

$$Y(z) = z^{-1}Y(z) + U(z) - z^{-1}V(z) \quad (2-14)$$

从上述公式(2-13)可以得出公式 $v(n) = u(n) + e(n) - e(n-1)$ ，从式(2-14)可以推导得到公式 $V(z) = U(z) + (1 - z^{-1})E(z)$ ，从而可以得到一阶 Sigma-Delta 调制器的量化误差为 $q(n) = e(n) - e(n-1)$ ，噪声传递函数 NTF 为 $NTF(z) = 1 - z^{-1}$ 。将 z 用 $e^{j2\pi fT_s}$ 代替， $T_s = 1/f_s$ 代表采样周期，在频域中则有：

$$|NTF(e^{j2\pi fT_s})|^2 = (2\sin(\pi fT_s))^2 \quad (2-15)$$

被一阶 sigma-delta 调制器处理后的噪声频谱密度为：

$$S_q(f) = (2\sin(\pi fT_s))^2 S_e(f) \quad (2-16)$$

公式(2-16)所表示的噪声整形作用如图 2.8 所示，带内的噪声得到抑制，进一步提高了信噪比。将 $S_q(f)$ 在信号带宽 $-f_B$ 到 f_B 内进行积分，其中，认为当 $OSR \gg 1$ 时，

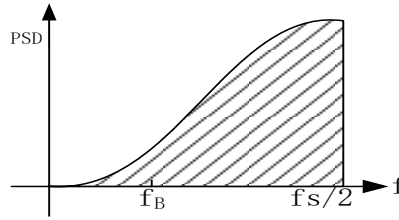


图 2.8 一阶 sigma-delta 调制器噪声整形示意图

$\sin(x) \approx x$ ，那么可以近似得到带内噪声功率为：

$$\begin{aligned} P_{n_BW} &= \int_{-f_B}^{f_B} |NTF(f)|^2 S_e(f) df = \int_{-f_s/(2OSR)}^{f_s/(2OSR)} |2\sin(\pi fT_s)|^2 S_e(f) df \\ &\approx \int_{-f_s/(2OSR)}^{f_s/(2OSR)} (2\pi fT_s)^2 \frac{\Delta^2}{12f_s} df \\ &= \frac{\pi^2 \Delta^2}{36(OSR)^2} \end{aligned} \quad (2-17)$$

根据公式(2-17)所得结果，一阶 Sigma-Delta 调制器输入正弦信号时，只考虑量化噪声，此时的信噪比变为：

$$\begin{aligned} SNR &= 10\lg\left(\frac{P_s}{P_{n_BW}}\right) = 10\lg\left(2^{2N-3} \Delta^2 / \frac{\pi^2 \Delta^2}{36(OSR)^3}\right) \\ &= [6.02N + 1.76 + 30\lg(OSR) - 5.17]dB \end{aligned} \quad (2-18)$$

从公式(2-18)中可以看出,正如期望的噪声整形效果,经过一阶 sigma-delta 调制器之后,过采样率(OSR)升高一倍,信噪比提升 9dB,量化噪声在信号带内得到了抑制。根据有效位数 ENOB (Effective Number of Bits) 的定义,如公式(2-19)所示,

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2-19)$$

OSR 升高一倍, ENOB 增加 1.5 比特。一阶 sigma-delta 调制器的噪声整形能力有限,通常采用增加调制器的阶数来提高噪声整形能力。

2.3.2 高阶 Sigma-Delta 调制器

高阶 Sigma-Delta 调制器具有更高阶的滤波环路,需要更多的硬件开销,但是显著提高了噪声整形能力。下面以二阶 Sigma-Delta 调制器为例,来说明高阶调制器的工作原理。图 2.9 为二阶 $\Sigma\text{-}\Delta$ 调制器 Z 域的线性模型,可以根据模型对反馈环路进行

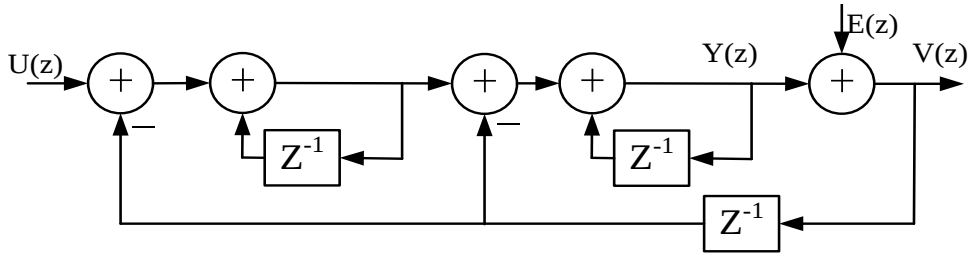


图 2.9 二阶 Sigma-Delta 调制器线性模型

分析,相应的可以得到:

$$U(z) = E(z) + \frac{1}{1 - Z^{-1}} \left[\frac{1}{1 - Z^{-1}} (U(z) - Z^{-1}V(z)) - Z^{-1}V(z) \right] \quad (2-20)$$

通过对公式(2-20)整理可以得到输出信号 $V(z)$ 与输入信号 $U(z)$ 和量化噪声 $E(z)$ 之间的关系为:

$$V(z) = U(z) + (1 - Z^{-1})^2 E(z) \quad (2-21)$$

从公式(2-21)中可以看出,输入信号经过二阶 $\Sigma\text{-}\Delta$ 调制器后并未改变,保持了信号的线性度,对于噪声则起到了整形作用,相当于对噪声进行高通滤波,量化噪声传输函数 NTF(z)为:

$$NTF(z) = (1 - Z^{-1})^2 \quad (2-22)$$

将公式(2-22)转化成频域,则有:

$$|NTF(e^{j2\pi fT_s})|^2 = [2 \sin(\pi f)]^4 \quad (2-23)$$

将经过二阶 Sigma-Delta 调制器整形过的噪声在频带内进行积分，则可以得到：

$$\begin{aligned}
 P_{n_BW} &= \int_{-f_B}^{f_B} |NTF(f)|^2 S_e(f) df = \int_{-f_s/(2OSR)}^{f_s/(2OSR)} |2\sin(\pi f T_s)|^4 S_e(f) df \\
 &\approx \int_{-f_s/(2OSR)}^{f_s/(2OSR)} (2\pi f T_s)^4 \frac{\Delta^2}{12 f_s} df \\
 &= \frac{\pi^4 \Delta^2}{60(OSR)^5}
 \end{aligned} \tag{2-24}$$

假设量化噪声为主要噪声，那么该 Sigma-delta 调制器的输出信噪比为：

$$\begin{aligned}
 SNR &= 10\lg\left(\frac{P_s}{P_{n_BW}}\right) = 10\lg\left(2^{2N-3} \Delta^2 / \frac{\pi^4 \Delta^2}{60(OSR)^5}\right) \\
 &\approx 10\lg\left(\frac{15 \times 2^{2N-1} \times (OSR)^5}{\pi^4}\right) \\
 &= (6.02N + 1.76 + 50\lg OSR - 12.9)dB
 \end{aligned} \tag{2-25}$$

由式(2-25)可知，经过二阶 Σ - Δ 调制器处理后，过采样率每增加一倍，信噪比增加 15dB，ENOB 提高了 2.5 比特。通过和一阶 Σ - Δ 调制器相比，具有对带内噪声更强的抑制能力。

同理，可以根据二阶 Σ - Δ 调制器的推导方式来得到 L 阶 Σ - Δ 调制器的噪声作用。L 阶 Σ - Δ 调制器的 Z 域线性模型如图 2.10 所示，可以参考二级调制器的推导方法，能够得到输出信号 $V(z)$ 与输入信号 $U(z)$ 和量化噪声 $E(z)$ 之间的关系为：

$$V(z) = U(z) + (1 - Z^{-1})^L E(z) \tag{2-26}$$

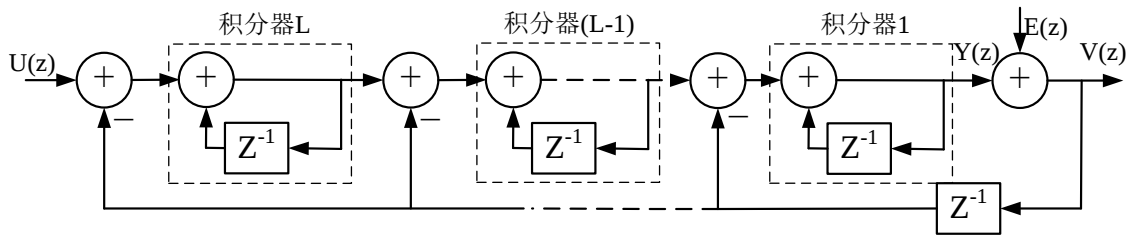


图 2.10 L 阶 Sigma-Delta 调制器的线性模型

根据公式(2-26)可知 L 阶 Σ - Δ 调制器的噪声传输函数为：

$$NTF(z) = (1 - Z^{-1})^L \tag{2-27}$$

$$|NTF(e^{j2\pi f T_s})|^2 = [2\sin(\pi f)]^{2L} \tag{2-28}$$

量化噪声经 L 阶 Σ - Δ 调制器处理后，在频带内进行积分，可以得到带内噪声功率为：

$$\begin{aligned}
 P_{n_BW} &= \int_{-f_B}^{f_B} |NTF(f)|^2 S_e(f) df = \int_{-f_s/(2OSR)}^{f_s/(2OSR)} |2\sin(\pi f T_s)|^{2L} S_e(f) df \\
 &\approx \int_{-f_s/(2OSR)}^{f_s/(2OSR)} (2\pi f T_s)^{2L} \frac{\Delta^2}{12 f_s} df \\
 &= \frac{\pi^{2L} \Delta^2}{12(2L+1)(OSR)^{2L+1}}
 \end{aligned} \tag{2-29}$$

根据公式(2-29)，可以计算得出 L 阶 Sigma-Delta 调制器输出信号的信噪比为：

$$\begin{aligned}
 SNR &= 10\lg\left(\frac{P_s}{P_{n_BW}}\right) = 10\lg\left(2^{2N-3} \Delta^2 / \frac{\pi^{2L} \Delta^2}{12(2L+1)(OSR)^{2L+1}}\right) \\
 &\approx 10\lg\left(\frac{3 \times 2^{2N-1} \times (2L+1)(OSR)^{2L+1}}{\pi^{2L}}\right) \\
 &= (6.02N + 1.76 + 10(2L+1)\lg OSR + 10\lg(\frac{2L+1}{\pi^{2L}}))dB
 \end{aligned} \tag{2-30}$$

从公式(2-30)中可以得知对于 L 阶的 Σ - Δ 调制器来说，过采样率 OSR 每增加一倍，信噪比提高 $(6L+3)$ dB，相当于有效位数增加了 $(L+0.5)$ 比特。当量化器为单比特，即 $N=1$ 时， L 在 1 到 4 内变化时， Σ - Δ 调制器输出信噪比随过采样率的变化曲线如图 2.11 所示，可以看出随着 OSR 和 L 的增加，调制器的噪声整形能力不断提高。由此可见， Σ - Δ 调制器主要依靠过采样技术和噪声整形技术来提高 Sigma-Delta

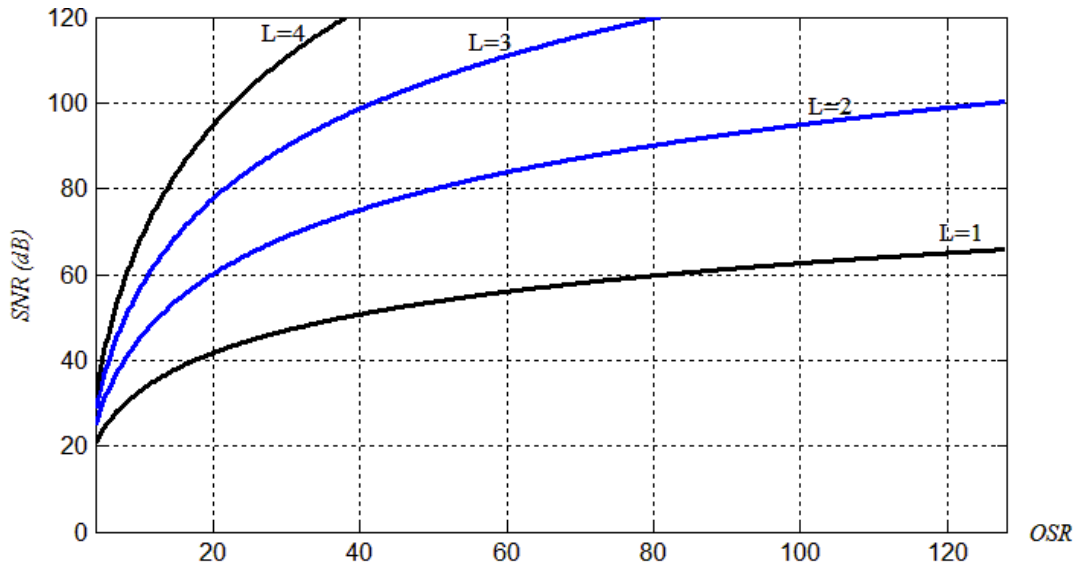


图 2.11 不同阶数的单比特调制器输出 SNR 随 OSR 变化曲线

DAC 的精度。但是，阶数 L 的升高会带来调制器的稳定性问题，通常调制器在 3 阶及 3 阶以上时，就会存在问题性问题，因此对于高阶 Σ - Δ 调制器设计时要首先保证调制器是稳定的，所以说 L 也不可能设计的很高。

2.4 插值滤波器原理

插值滤波器具有提高数据采样频率的功能，其结构图如图 2.12 所示，插值增加了单位时间内输出的数据量，同时滤波保证了数据的信噪比不受影响。在音频 Sigma-Delta DAC 中，插值滤波器是为了提高数据的过采样率，以便 Σ - Δ 调制器的噪声调制。

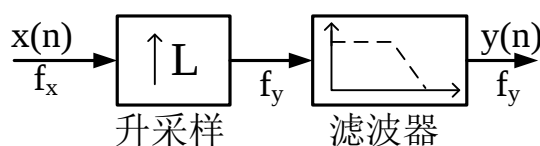


图 2.12 插值滤波器的结构

插值是在数据之间插入新的采样值，使采样率升高，完成采样率的转换。下面对插值原理加以说明。假设 $x(n)$ 是以 f_x 采样频率对模拟信号采样得到的数字信号，其在时域和频域的表示如图 2.13(a)所示； $y(n)$ 是以 $f_y = Lf_x$ 采样频率对模拟信号进行采样得到的数字信号，图 2.13(b)表示的是当 $L=4$ 时的 $y(n)$ 的频谱图；图 2.13(c)表示的是在 $x(n)$ 相邻的两个数据之间插入 $L-1$ 个零之后的数字频谱 $W(e^{j\omega})$ 。根据图 2.13(c)与图 2.13(b)比较可以看出，要想实现频谱 $W(e^{j\omega})$ 向 $Y(e^{j\omega})$ 的转换，只需要设计一个数字低通滤波器滤出 $f_x/2$ 以外的频率分量。

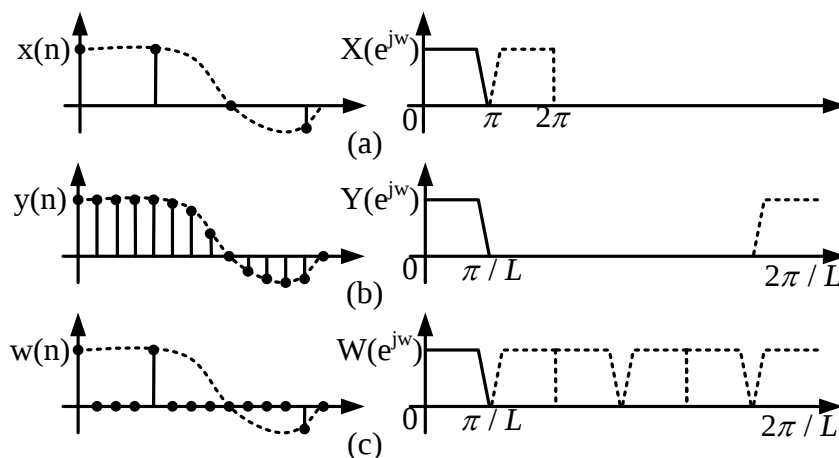


图 2.13 插值滤波原理示意图

若在 $x(n)$ 相邻的两个数据之间插入 $L-1$ 个零值，并用数字低通滤波器滤除 $f_x/2$ 以外的镜像信号，则可以实现频谱 $X(e^{j\omega})$ 向 $Y(e^{j\omega})$ 的转换，使其等效效果相当于以 Lf_x 为采样频率对模拟信号采样得到的数据，实现了升采样。插值有很多算法，其中插零是比较常用的算法，对于音频 DAC 来说，插零算法既能满足要求又比较经济合算^[7]。

下面用数字信号处理方法的具体推导证明插零过程。信号 $w(n)$ 是 $x(n)$ 经过插零后得到，那么 $w(n)$ 的表达式为：

$$w(n) = \begin{cases} x(n/L) & n = 0, \pm L, \pm 2L, \dots \\ 0 & \text{other} \end{cases} \quad (2-31)$$

$X(e^{j\omega_x})$ 和 $W(e^{j\omega_m})$ 分别代表 $x(n)$ 和 $w(n)$ 的傅里叶变换，则可以得到：

$$X(e^{j\omega_x}) = \sum_{n=-\infty}^{\infty} x(n) e^{-jn\omega_x} \quad (2-32)$$

$$W(e^{j\omega_m}) = \sum_{n=-\infty}^{\infty} w(n) e^{-jn\omega_m} \quad (2-33)$$

其中， ω_x 和 ω_m 分别是信号 $x(n)$ 和 $w(n)$ 的归一化角频率：

$$\omega_x = 2\pi f T_s \quad (2-34)$$

$$\omega_m = 2\pi f (T_s / L) = \omega_x / L \quad (2-35)$$

由公式(2-32)~(2-35)可以推导出：

$$W(e^{j\omega_m}) = \sum_{n=-\infty}^{\infty} x(n/L) e^{-jn\omega_x/L} = X(e^{j\omega_x}) \quad (2-36)$$

将公式(2-36)转换到 z 域，即用 $z = e^{j\omega_m}$ 来替换，则有：

$$W(z) = X(z^L) \quad (2-37)$$

当信号的角频率 ω_x 在 $0 \sim 2\pi$ 变化时， ω_m 在 $0 \sim 2\pi/L$ 范围内变化，由式(2-36)可知 $w(n)$ 的频谱以 π/L 为中心对 $x(n)$ 的频谱进行周期重复， $W(e^{j\omega_m})$ 在 $(-\pi/L \sim \pi/L)$ 内等于 $X(e^{j\omega_x})$ 。整个插值过程相当于对信号 $X(e^{j\omega_x})$ 进行了周期压缩，在 ω_x 单个周期内，插值信号 $W(e^{j\omega_m})$ 存在 L 个周期。当 $|\omega_m| \leq \pi/L$ 时， $W(e^{j\omega_m})$ 与 $X(e^{j\omega_x})$ 一一对应，多余的 $L-1$ 个周期为 $X(e^{j\omega_x})$ 的镜像信号。因此，需要截至频率在 π/L 处的低通滤波器对 $w(n)$ 进行滤波，以能够消除镜像信号完成插值滤波的操作。理想的低通滤波器频率特性可以表

示为:

$$H(e^{jw_m}) = \begin{cases} C & |w_m| \leq \pi / 2 \\ 0 & \text{other} \end{cases} \quad (2-38)$$

可以得到经过滤波后的输出信号 $y(n)$ 的频谱为:

$$Y(e^{jw_y}) = H(e^{jw_y})X(e^{jw_x}) = CX(e^{jw_x}) \quad |w_y| \leq \pi / L \quad (2-39)$$

将式(2-39)进行反傅里叶变换则有:

$$\begin{aligned} y(n) &= \frac{1}{2\pi} \int_{-\pi/L}^{\pi/L} Y(e^{jw_y}) dw_y \\ &= \frac{C}{2\pi} \int_{-\pi/L}^{\pi/L} X(e^{jLw_y}) dw_y \\ &= \frac{1}{2\pi} \cdot \frac{C}{L} \int_{-\pi/L}^{\pi/L} X(e^{jLw_y}) dw_x = \frac{C}{L} x(n) \end{aligned} \quad (2-40)$$

为保证插值滤波前后的初始值相等 $y(0)=x(0)$, 则应有插值滤波器的直流增益 $C=L$ 。

根据上述分析, 对信号进行插零操作时, 会产生镜像信号, 这些镜像信号是不希望得到的干扰信号, 因此需要低通滤波器来滤出镜像信号, 同时为了保证滤波操作之后信号的幅度不发生变化, 滤波器的增益应该等于插值比 L 。可以得到低通滤波器的传输函数为:

$$H(e^{jw_m}) = \begin{cases} L & |w_m| \leq \pi / L \\ 0 & \text{other} \end{cases} \quad (2-41)$$

其中, w_m 为升采样之后的频率 $f_y = Lf_x$ 的归一化角频率。

2.5 本章小结

本章对数模转换器的基本指标参数进行了介绍, 然后介绍了 Sigma-Delta 数模转换器的整体结构, 着重对数字前端包含的插值滤波器和 Σ - Δ 调制器模块的工作原理进行了详细说明。

详细介绍了 Σ - Δ 调制器的过采样技术和噪声整形技术。推导证明了过采样能够降低单位频带内的噪声密度, 噪声整形能够对噪声起到高通滤波的效果, 有效抑制了频带内的噪声, 进一步提高信噪比。

说明了插值滤波器的插值原理, 使以奈奎斯特采样率输入的数字信号升采样到过采样频率, 同时介绍了滤波的工作原理, 滤除了镜像信号, 使信噪比不受影响。

第三章 插值滤波器的设计

插值滤波器作为 Sigma-Delta 数模转换器的第一级输入模块,起着升采样的作用,其性能指标对于整个数模转换器有着重要影响,因此实现性能好、硬件开销小和功耗低的设计非常必要。插值滤波器的设计主要取决于数字滤波器类型的选取,结构的设计和系数的处理,本章将会详细介绍插值滤波器的具体设计。

3.1 插值滤波器的整体结构

插值滤波器包括插值器和低通滤波器两个部分,数字低通滤波器是设计的重点部分,其性能直接会影响插值滤波器纹波与阻带衰减,进而影响整个 DAC 的信噪比。

数字滤波器的具体实现方法上可以分为有限冲击响应滤波器(FIR)和无限冲击响应滤波器(IIR)这两种类型,FIR 滤波器由于不存在反馈回路,因此滤波器的传递函数只有零点没有极点,不存在稳定性的问题。FIR 滤波器的时域数字表达式如式(3-1):

$$y(n)=\sum_{k=0}^N h_k x(n-k) \quad (3-1)$$

其中, h_k 为系数,相应的 FIR 滤波器在 Z 域上的表达式为:

$$H(z)=\sum_{k=0}^{M-1} h_k z^{-k} \quad (3-2)$$

从式(3-2)可以看出 FIR 滤波器不存在反馈链路,稳定性好,而且可以实现线性相位。对于 IIR 滤波器,具有反馈回路,滤波器的传输函数中既存在零点又存在极点,所以会有稳定性的问题。IIR 滤波器的传输函数可以表示为:

$$H(z)=\frac{\sum_{r=0}^M b_r z^{-r}}{1-\sum_{r=0}^N a_r z^{-r}} \quad (3-3)$$

IIR 滤波器与 FIR 滤波器相比,实现相同的滤波效果,IIR 滤波器需要的阶数比 FIR 滤波器少,需要的硬件开销小,但是 IIR 滤波器的相位具有非线性,限制了 IIR 滤波器在具体工程中的应用。

对于音频信号而言，需要信号的高保真度，因此要保证在滤波处理中信号具有很高的线性度，而 FIR 滤波器可以做到很好的相位线性度，所以在设计插值滤波器时采用 FIR 类型的滤波器。

根据设计 24 比特音频 DAC 的要求，理论上信噪比需要达到 146dB，过采样率的大小需要 Sigma-Delta 调制器的噪声整形能力来确定（第四章将会详细说明），为达到 24 比特的分辨率，最终选取的过采样率 OSR 为 128。人耳能够区分的音频范围在 0~20kHz，所以插值滤波器的频带带宽为 20kHz。

在设计过采样率为 128 倍的插值滤波器时，如果采用单级结构来实现，需要很高的阶数，硬件开销会非常大。FIR 滤波器的阶数 N 由过渡带带宽 f_{tran} 、最大通带纹波 δ_{pass} 、阻带纹波 δ_{stop} 和滤波器的频率 f_s 确定^[8-9]：

$$N = \frac{D_{\infty}(\delta_{pass}, \delta_{stop})}{f_{tran} / f_s} \quad (3-4)$$

其中，有：

$$f_{tran} = f_{pass} - f_{stop} \quad (3-5)$$

$$D_{\infty}(\delta_{pass}, \delta_{stop}) = [0.005309(\lg \delta_1)^2 + 0.7114(\lg \delta_1) - 0.4761](\lg \delta_2) - [0.00266(\lg \delta_1)^2 + 0.5941 \lg \delta_1 + 0.4278] \quad (3-6)$$

在式 (3-5) 中， f_{pass} 表示滤波器的通带频率， f_{stop} 为阻带频率。根据式 (3-4) 可知， f_s 越高或者 f_{tran} 越小，滤波器所需要的阶数就越高，当实现 128 倍过采样率滤波器时，采用单级结构，FIR 滤波器所需的阶数非常大，硬件实现几乎不可能，所以通常在设计多倍插值时采用多级级联的方式。

在本文设计实现的插值滤波器采用多级级联结构，具体结构如图 (3-1) 所示，前三级为实现两倍升采样的半带滤波器，最后一级保持/采样电路实现 16 倍的升采样，采用级联梳状 (CIC) 滤波器来实现。

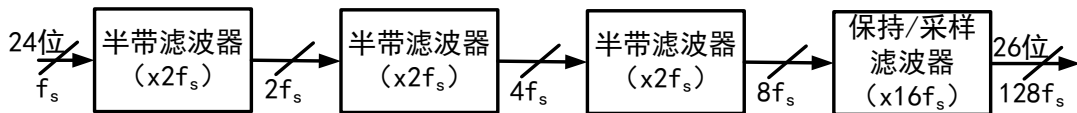


图 3.1 插值滤波器的整体结构

半带滤波器属于 FIR 滤波器的一种，具有一半系数为零的特点，因此可以减少系

数的个数，降低硬件的开销。CIC 滤波器结构简单，具有线性相位，适合过渡带较宽的滤波器设计，因此用在插值滤波器的最后一级做保持/采样滤波器非常合适。

3.2 半带滤波器

半带滤波器是能够减小硬件开销的线性相位 FIR 滤波器，具有线性相位 FIR 滤波器的普遍特点，下面就线性相位 FIR 滤波器的特点同时也是半带滤波的特点作出解释。

线性相位滤波器的相频特性与频率成正相关，根据不同频率传输速度都一致，所以信号通过系统产生的时间延时 τ 为常数^[10]，那么有：

$$\varphi(w) = -\tau w \quad (3-7)$$

根据相时延 τ_p 和群时延 τ_g 的定义分别为：

$$\tau_p = -\frac{\varphi(w)}{w} \quad (3-8)$$

$$\tau_g = -\frac{d\varphi(w)}{dw} \quad (3-9)$$

当数字滤波器具有严格线性相位时，应有：

$$\tau_p = \tau_g = \tau = \text{常数} \quad (3-10)$$

对于长度为 N 的 FIR 滤波器，频率响应函数为 $H(e^{jw}) = \sum_{n=0}^{N-1} h(n)e^{-jwn}$ ，满足线性

相位时有：

$$\varphi(w) = \tan^{-1} \frac{-\sum_{n=0}^{N-1} h(n) \sin(wn)}{\sum_{n=0}^{N-1} h(n) \cos(wn)} = -\tau w \quad (3-11)$$

进而可得到：

$$\tan(w\tau) = \frac{\sum_{n=0}^{N-1} h(n) \sin(wn)}{\sum_{n=0}^{N-1} h(n) \cos(wn)} = \frac{\sin(w\tau)}{\cos(w\tau)} \quad (3-12)$$

将公式（3-12）上下交叉相乘可以得到：

$$\sum_{n=0}^{N-1} h(n) \sin[(\tau - n)w] = 0 \quad (3-13)$$

利用数学归纳法可以得到以下结果：

$$\tau = \frac{N-1}{2} \quad (3-14)$$

$$h(n) = \pm h(N-1-n) \quad (3-15)$$

从上面的证明可以得到线性相位的 FIR 滤波器满足式 (3-15)，滤波器的系数具有对称性或反对称性^[11]。考虑到 N 可以分为偶数和奇数的情况，线性相位 FIR 滤波器可以分为四种类型：I 型 $h(n)=h(N-1-n)$ ， N 为奇数；II 型 $h(n)=h(N-1-n)$ ， N 为偶数；III 型 $h(n)=-h(N-1-n)$ ， N 为奇数；IV 型 $h(n)=-h(N-1-n)$ ， N 为偶数。

半带滤波器的脉冲响应被限制在除了中心点外，其余偶序列号点上的样本值都为零，也就是说系数中一半为零，同时线性相位使系数具有对称性，属于 I 型线性 FIR 滤波器。由于半带滤波器属于 I 型 FIR 滤波器，因此滤波器的长度 N 为奇数，冲击响应 $h(n)$ 为实数且偶对称，那么冲击响应表达式为：

$$h(n) = \begin{cases} h(n) & n - (N-1)/2 = \text{odd} \\ 0 & n - (N-1)/2 = \text{even} \\ 1/2 & n = (N-1)/2 \end{cases} \quad (3-16)$$

半带滤波器的频率特性如图 3.2 所示，具有以下特点：

- (1) 频率响应函数满足条件 $H(e^{j\omega}) + H(e^{j(\pi-\omega)}) = 1$ ；
- (2) 通带误差容限(δ_p)和阻带误差容限(δ_s)相等，即 $\delta_p = \delta_s$ ；
- (3) 通带宽度和阻带宽度相等，通带截止频率和阻带截止频率相对于 $\pi/2$ 对称，

即有 $\omega_p + \omega_s = \pi$ ；

- (4) 当 $\omega = \pi/2$ 时，有 $H(e^{j\pi/2}) = 0.5$ 。

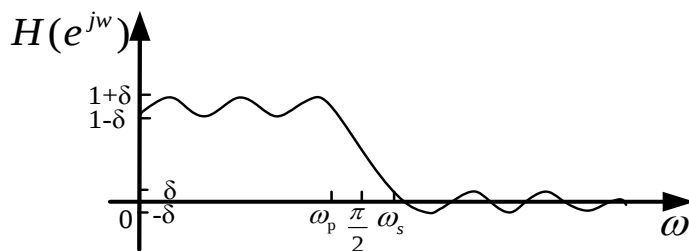


图 3.2 半带滤波器频率特性

3.2.1 半带滤波器的设计参数

实际设计线性相位 FIR 滤波器时，是建立在对理想滤波器频率特性作某种近似基础上得到的，主要方法有窗函数法、频率取样法和最优等纹波法。三种方法比较来看，窗函数法缺少关键频率的精度控制，也不能对给定的 N 阶滤波器设计出最佳的 FIR 滤波器^[12]；频率取样法是一种优化的设计方法，但在优化设计时使用的变量仅限于过度带上的几个采样值；等纹波法利用切比雪夫逼近方法对滤波器技术指标提供总控制，使得实际滤波器的频率响应与理想滤波器的频率响应之间的最大绝对误差最小，能够准确的制定通带和阻带边缘，比上述的两种方法要好。本文在设计半带滤波器时采用的是最优等纹波法。

对于音频 Sigma-Delta DAC 来说，输入信号的带宽为 20kHz，输入端的采样频率是奈奎斯特采样频率，工业上常用的音频采样频率为 44.1kHz，经过 128 倍升采样之后，采样频率变为 5.6448MHz，这也是电路工作的主频率。通过借助 matlab 中的 Filter Design 工具，利用等纹波法来设计半带滤波器，三级半带滤波器的设计指标如表 3.1 所示。

表 3.1 各级半带滤波器的设计参数

参 数	第一级半带滤波器	第二级半带滤波器	第三级半带滤波器
插值率	2	2	2
通带纹波/dB	<0.02	<0.02	<0.02
输出频率/kHz	88.2	176.4	352.8
通带截至频率/kHz	20	20	20
阻带截至频率/kHz	24.1	68.2	156.4

第一级半带滤波器对整个插值滤波器指标有着重要影响，如果一级没有将带内的镜像信号滤出掉，后面的几级滤波器同样不会滤除掉，因此需要足够的阻带抑制率；同时通带纹波具有累加效果，所以为了保持信号的线性度，通带纹波要尽可能的小。对于第一级半带滤波器，根据上述，最终确定归一化通带截至频率 ω_p 为 0.44，通带纹波为 0.01dB，幅频与相频响应如图 3.3 所示，阻带衰减达到了 -68dB，滤波器的阶

数达到了 62 阶。

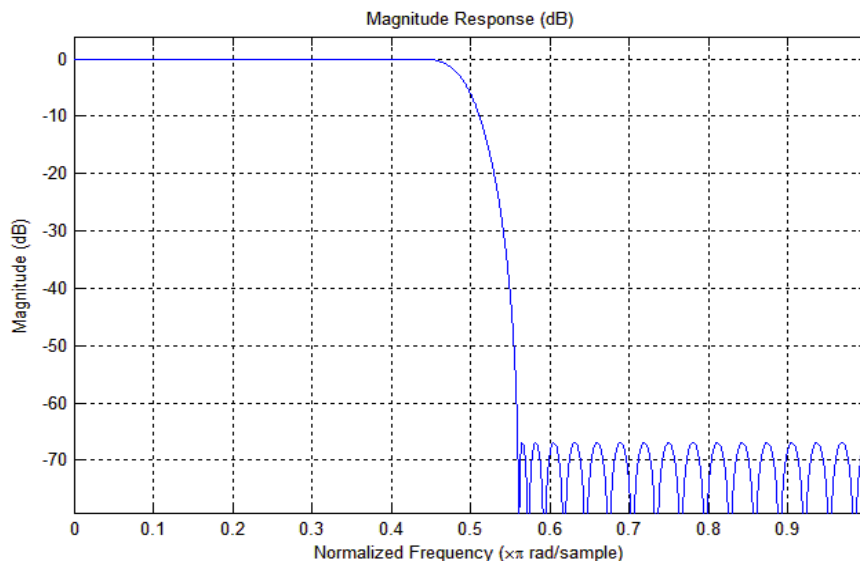


图 3.3 第一级半带滤波器幅频与相频响应

第二级半带滤波器设计的归一化的通带截至频率 ω_p 为 0.22，由于输出频率为 4 倍的输入采样频率 f_s ，过渡带变宽，所需的滤波器阶数降低，因此可以适当减小通带纹波来提高滤波器的性能，最后确定通带纹波为 0.002dB。利用等纹波法得到的滤波器的幅频响应如图 3.4 所示，滤波器的阶数为 14 阶，阻带衰减达到-80dB。

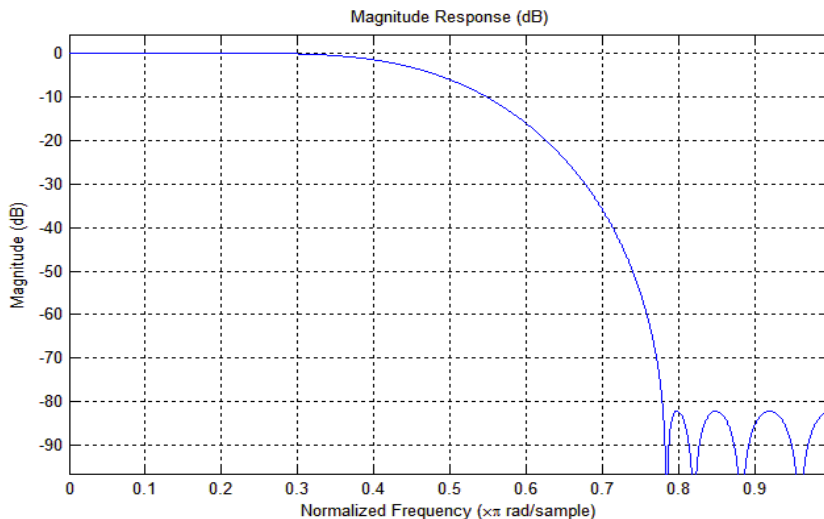


图 3.4 第二级半带滤波器的幅频响应

第三级半带滤波器通带截至频率为 0.11，通带纹波设为 0.002dB，设计得到的幅频响应如图 3.5 所示，滤波器的阶数为 10 阶，阻带衰减为-100dB。

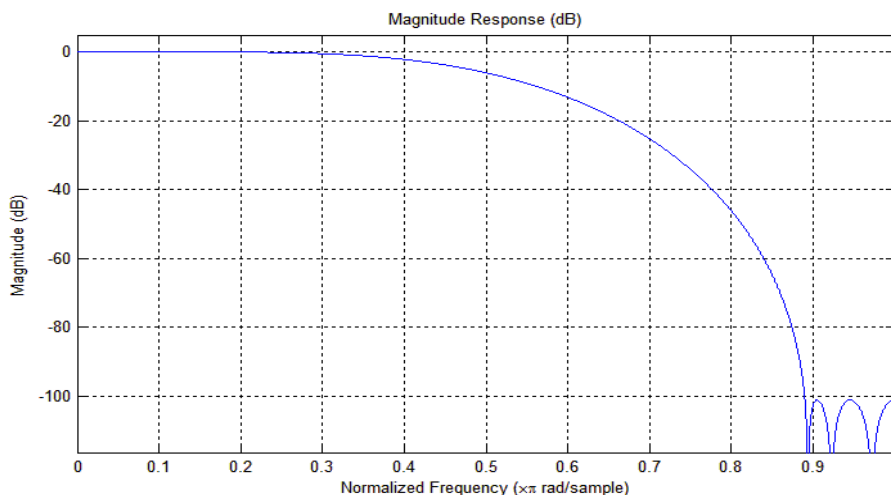


图 3.5 第三级半带滤波器幅频响应

各级半带滤波器的幅频响应如图 3.6 所示，级联的半带滤波器阻带衰减能够达到 -68dB，纹波在 0.008dB 以内，能够满足 24 比特音频 DAC 的要求。

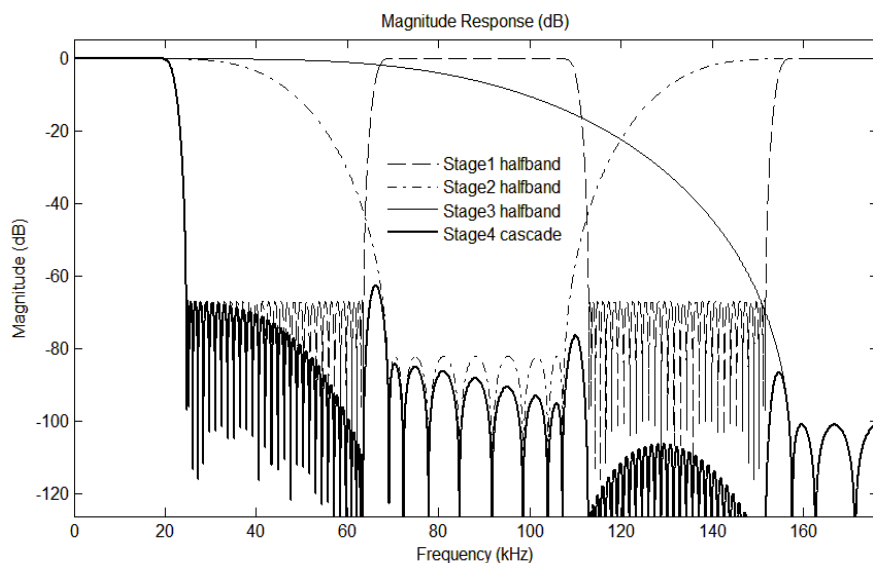


图 3.6 各级半带滤波器幅频响应

3.2.2 半带滤波器的结构

3.2.2.1 常规的半带滤波器结构

半带滤波器的通常的实现结构分为两种类型，直接型结构和相位折叠对称型结构，下面针对于这两种结构进行具体说明。由于半带滤波器是 I 型线性相位 FIR 滤波器，滤波器的长度 N 为奇数，且有 $h(n)=h(N-1-n)$ ，那么半带滤波器的传输函数可表示为：

$$\begin{aligned}
 H(z) &= \sum_{n=0}^{\frac{N-1}{2}-1} h(n)z^{-n} + h\left(\frac{N-1}{2}\right)z^{-\frac{N-1}{2}} + \sum_{n=\frac{N-1}{2}+1}^{N-1} h(n)z^{-n} \\
 &= \sum_{n=0}^{\frac{N-1}{2}-1} h(n)[z^{-n} + z^{-(N-1-n)}] + h\left(\frac{N-1}{2}\right)z^{-\frac{N-1}{2}}
 \end{aligned} \quad (3-17)$$

其中，系数满足条件(3-18)：

$$\begin{cases} h(n) = 0, n=\text{even} \\ h\left(\frac{N-1}{2}\right) = 0.5 \end{cases} \quad (3-18)$$

根据上述公式，不利用系数的对称性特点时，直接型实现结构的 2 倍插值半带滤波器如图 3.7 所示，这种结构需要 $N-1$ 个寄存器来存储数据，需要 $(N+3)/2$ 个乘法器，同时最长延时链路存在较多的加法器，工作频率受限。

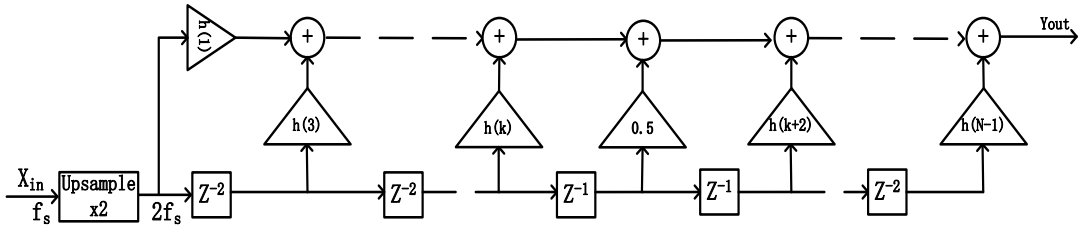


图 3.7 直接型实现结构

为了改善直接型实现结构中最大延时链路过长的问题，将寄存器放到加法链路中，做成流水线的形式，减小了延时链路，具体结构如图 3.8 所示。该转置结构的输入数据首先经过系数相乘处理，该结构方便系数提取公共子式，采用公共子式消除算法来减小系数的逻辑操作，从而降低硬件的开销。

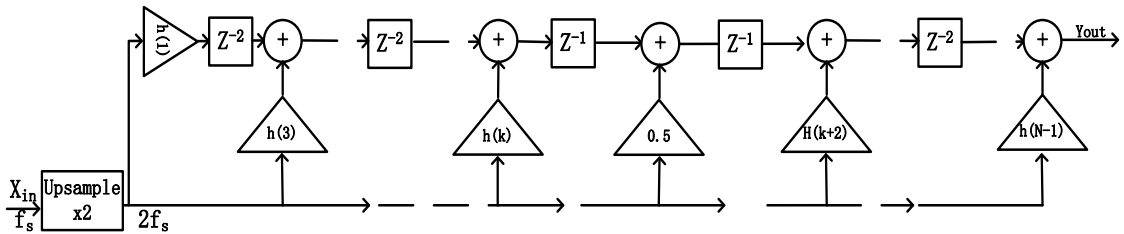


图 3.8 转置直接型实现结构

上述两种直接型结构没有利用半带滤波器的系数的对称性特点，考虑到对称性特

点，可以得到对称直接型实现结构如图 3.9 所示，可以看出该对称结构可以减少一半的系数开销，数据首先经过寄存器延时链路，然后将相同系数的数据对相加之后再乘以系数。

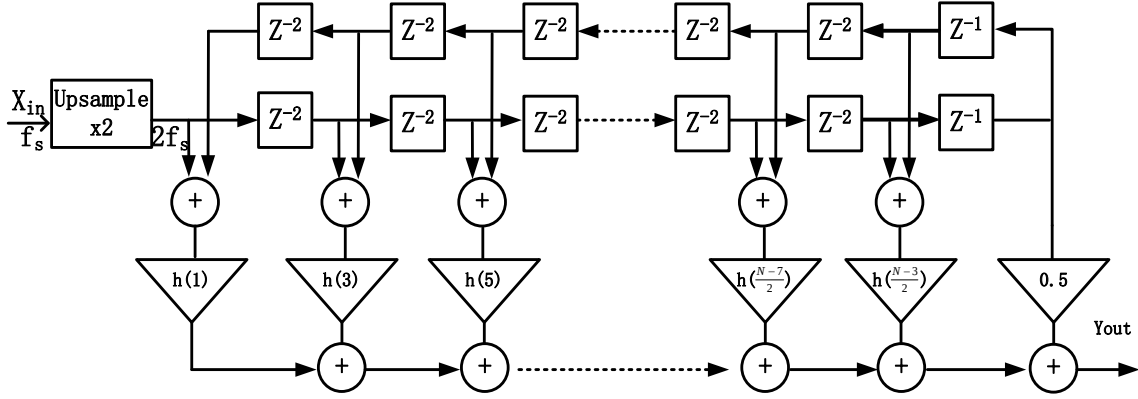


图 3.9 对称直接型实现结构

上述的直接型结构在寄存器的使用上都是 $N-1$ 个，为了减小寄存器的使用数量，提出了多相折叠结构。为了证明多相折叠结构的具体实现原理，下面以 10 阶半带滤波器为例进行解释，其传输函数可表示为：

$$H(z) = h_1 + h_3 z^{-2} + h_5 z^{-4} + h_6 z^{-5} + h_7 z^{-6} + h_9 z^{-8} + h_{11} z^{-10} \quad (3-19)$$

若将 $H(z)$ 表示为如式 (3-20) 的形式：

$$H(z) = F(z^2) + z^{-1}G(z^2) \quad (3-20)$$

那么 $F(z)$ 和 $G(z)$ 的表达式应为：

$$F(z) = h_1 + h_3 z^{-1} + h_5 z^{-2} + h_7 z^{-3} + h_9 z^{-4} + h_{11} z^{-5} \quad (3-21)$$

$$G(z) = h_6 z^{-2} \quad (3-22)$$

根据 2 倍插值滤波器的特点，表达式 $F(z^2)$ 和 $G(z^2)$ 可以放在插值模块之前，让这部分工作在 f_s 频率处，工作在 f_s 频率处的单个寄存器的延时效果等效于工作在 $2f_s$ 频率处的两个寄存器的延时效果，从而能够有效的减少寄存器的使用数量。

根据上述的推导，可以得到多相折叠结构的实现方式如图 3.10 所示，可以看出电路大部分工作在 f_s 频率处，只有输出数据时工作在 $2f_s$ 频率处，因此可以降低功耗，同时电路使用的寄存器数量比直接型的实现方式要减少一半，因此可以减小硬件开销。

该多相折叠结构虽然具有较小寄存器数目和工作频率的优点,但转置直接型结构相比,不能够在滤波器的系数中采用公共子式消除的算法来减少系数带来的逻辑操作。

从上面的几种半带滤波器的实现结构来说,多相折叠结构整体的性能要好,也是在论文中应用较多的一种结构。本论文采用的结构是基于这些结构创新改进出一种新的实现结构,论文后面将会讲到。

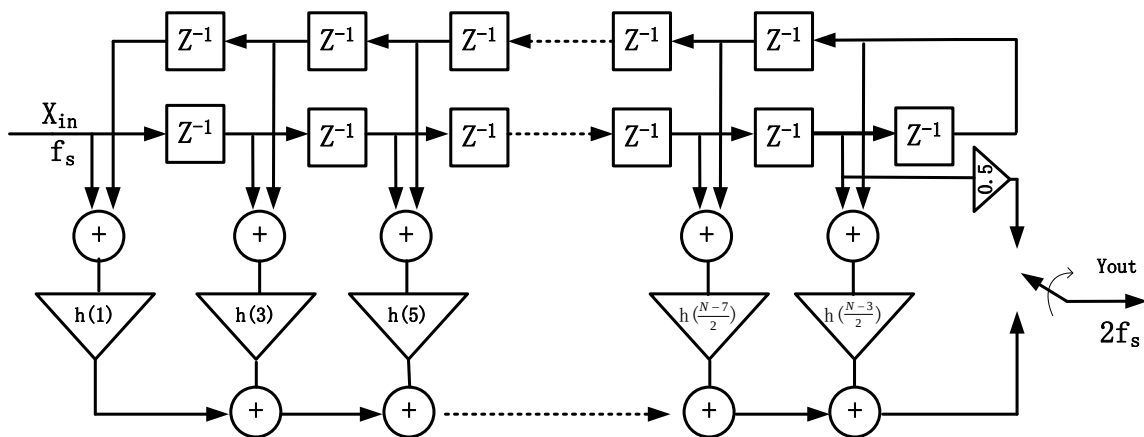


图 3.10 多相折叠结构

3.2.2.2 新型半带滤波器结构

本论文中设计的半带滤波器不仅降低了滤波器的阶数,减少了系数的数量,采用了改进的公共子式消除算法降低了逻辑开销(在半带滤波器的系数处理章节部分将会具体讲述),而且使用寄存器和加法器共用的方法能够降低寄存器和加法器的开销,下面将对提出的新型半带滤波器的结构进行详细的说明。

本文提出的优化的半带滤波器的结构如图 3.11 所示,整体滤波器的长度比多相折叠结构低一阶。阶数加法器通过经多路选择开关 MUX1 和 MUX2 选择输入的一个多路复用加法器^[21]来代替。多路复用加法器需要在单个周期内进行多次加法操作,因此需要工作在较高的时钟频率(64fs)下。寄存器 Register2 保存延时链路上每个延时对数据的求和结果,Register1 是保存寄存器 2 中数据累加求和的结果。从 Register2 输出的数据与滤波器的系数进行相乘操作,由于这里的系数相乘操作都是从 Register2 过来的数据,因此滤波的系数方便提取出共同的公共子式。本文中系数部分采用改进的 NR-SCSE 算法来降低系数加法器的开销。滤波器的输出结果 Y_{out} 是工作在 $2f_s$ 频率处,完成 2 倍的升采样过程。

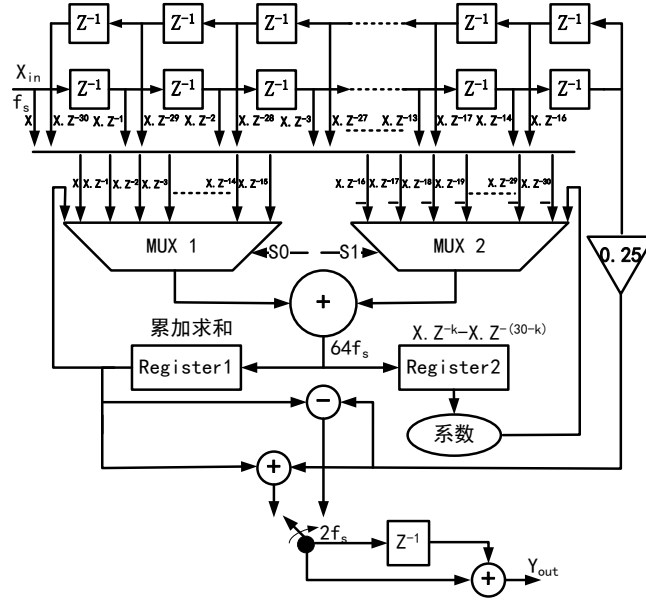


图 3.11 新型半带滤波器结构图

3.2.3 半带滤波器的系数处理

在实际的硬件设计中，滤波器的系数需要进行定点化处理，转换成为特定位数的二进制形式才能进行硬件操作。使用有限字长的滤波器系数时将会出现量化误差，导致滤波器的性能下降，因此在进行系数定点化操作时需要保证量化误差在允许的范围内，量化后的滤波器能够确保性能满足要求。

通常量化的方法有两种：截尾法和舍入法^[13]。在进行截尾处理时，若将一个数 x 从 b_u 位量化到 b 位，定义截尾误差为：

$$E_t = Q_t(x) - x \quad (3-23)$$

对于正数 x ，截尾后的数 $Q_t(x)$ 小于或等于 x ，当舍弃的位数均为 0 时，截尾误差 E_t 等于 0，当丢弃的位数都为 1 时，截尾误差 E_t 最大，为 $2^{-b} - 2^{-b_u}$ ，故正数 x 的截尾误差范围为：

$$-(2^{-b} - 2^{-b_u}) \leq E_t \leq 0 \quad (3-24)$$

当 x 为负数时，有二进制的表示方法有原码、反码和补码三种不同形式，下面分三种情况对其截尾误差作出说明。对于原码形式的负小数，有 $x \geq Q_t(x)$ ，那么响应的截尾误差为：

$$0 \leq E_t \leq 2^{-b} - 2^{-b_u} \quad (3-25)$$

对于反码形式的负小数 x ，形如 $1, a_{-1}a_{-2}\cdots a_{-b_u}$ ，其数值为：

$$-(1 - 2^{-b_u}) + \sum_{i=1}^{b_u} a_{-i} 2^{-i} \quad (3-26)$$

相应的截尾后 $Q_t(x)$ 的数值可以表示为：

$$-(1 - 2^{-b}) + \sum_{i=1}^b a_{-i} 2^{-i} \quad (3-27)$$

可以得到截尾误差 E_t 为：

$$E_t = Q_t(x) - x = (2^{-b} - 2^{-b_u}) - \sum_{i=b+1}^{b_u} a_{-i} 2^{-i} \quad (3-28)$$

那么反码形式的截尾误差为：

$$0 \leq E_t \leq 2^{-b} - 2^{-b_u} \quad (3-29)$$

当 x 以补码形式表示时，如 $1, a_{-1}a_{-2}\cdots a_{-b_u}$ ，则其表示的数值为 $(-1 + \sum_{i=1}^{b_u} a_{-i} 2^{-i})$ ，截尾之后表示的数值为 $(-1 + \sum_{i=1}^b a_{-i} 2^{-i})$ ，那么可以得到截尾误差应为：

$$-(2^{-b} - 2^{-b_u}) \leq E_t \leq 0 \quad (3-30)$$

在进行舍入操作时，若 $a_{-(b+1)}$ 位是 0，则舍入操作等效于截尾法，若 $a_{-(b+1)}$ 为 1 时，则 1 被加到截尾数的最低位。舍入处理数字被量化到最接近的量化级，同时该处理基于数的幅度，因此舍入误差 E_r 并不依赖数的表示形式，舍入范围为：

$$-(2^{-b} - 2^{-b_u}) / 2 \leq E_r \leq (2^{-b} - 2^{-b_u}) / 2 \quad (3-31)$$

从上面可以舍入误差要比截尾误差小，因此对滤波器的系数定点化处理时采用舍入法进行处理。

对于一个传输函数为 $H(z) = \sum_{n=0}^N h(n)z^{-n}$ 的滤波器，系数 $h(n)$ 量化后为 $\hat{h}(n)$ 之后，会引入误差 $e(n)$ ，即有：

$$\hat{h}(n) = h(n) + e(n) \quad (3-32)$$

量化之后的传输函数可以表示为：

$$\hat{H}(z) = \sum_{n=0}^N h(n)z^{-n} + \sum_{n=0}^N e(n)z^{-n} \quad (3-33)$$

将式 (3-33) 转化成 z 域，令 $\sum_{n=0}^N e(n)z^{-n} = E(z)$ ，若 z 在单位圆上取值，即有 $z = e^{j\omega}$ ，

可以得到：

$$|E(e^{j\omega})| \leq \sum_{n=0}^N |e(n)| |e^{-j\omega n}| \leq \sum_{n=0}^N |e(n)| \quad (3-34)$$

由式（3-34）可知滤波器系数的量化会使传输函数产生误差，且误差不会超过 $\sum_{n=0}^N |e(n)|$ 。若对系数采用舍入法处理是， $|e(n)| \leq \delta/2$ ，其中 $\delta = 2^{-b}$ ，那么则有：

$$|E(e^{j\omega})| \leq \sum_{n=0}^N |e(n)| \leq (N+1)\delta/2 \quad (3-35)$$

可以根据式（3-35）来估计定点化时所需要的字长，同时根据插值滤波器的设计指标要求，结合实际量化后的仿真验证，最终本设计确定的定点化位数为 16 比特，满足了设计要求。

3.2.3.1 正则符号数(CSD)编码

滤波器系数所进行的逻辑操作取决于定点化的系数中含有“1”的数目，为了降低面积和功耗，可以将系数进行编码，使其含有的非零项最少，正则符号数（*Canonic Signed Digit*）编码方法则可以实现这种目的^[14]。下面介绍一下 CSD 编码的具体方法。

设数 $A = a_{N-1}a_{N-2}\cdots a_1a_0$ ，其中 a_i 属于集合 $\{-1, 0, 1\}$ ，A 的数值为：

$$A = \sum_{i=0}^{N-1} a_i 2^{-i} \quad (3-36)$$

CSD 编码作用就是将普通的二进制转换成不含有连续“1”的二进制码，具有以下特点：

- （1）CSD 编码表示的数中不存在连续的两个非零位；
- （2）一个数的 CSD 编码表示方式是含有非零位最少的，因此被称为正则的。

具体举例来说明，如二进制数“111”用 CSD 编码的方法可以表示为“100-1”，“111”对应的操作是 $1/2+1/4+1/8$ ，需要两次加法计算，CSD 编码对应的是 $1-1/8$ ，这样可以将用两个加法器完成的操作就可以用一个加法器来实现。

本论文对滤波器的系数采用 CSD 编码方式，将滤波器系数所进行的乘法作用加法移位器来实现，能够有效的降低功耗和硬件开销。

3.2.3.2 公共子式消除算法

公共子式消除算法是提取出系数当中相同的逻辑操作部分，然后将这一部分采用共用的方式来代替重复的逻辑部分，这种操作能够有效的减少硬件的开销。例如执行系数 a_1 “10100101” 乘以数据 x 的操作，用加法和移位器的来代替乘法操作来直接实现的方法如图 3.11(a)所示，需要 3 个加法器来完成操作；图 3.11(b)是采用公共子式消除方法，可以看到只需要 2 个加法器就能完成操作，节省了硬件开销。

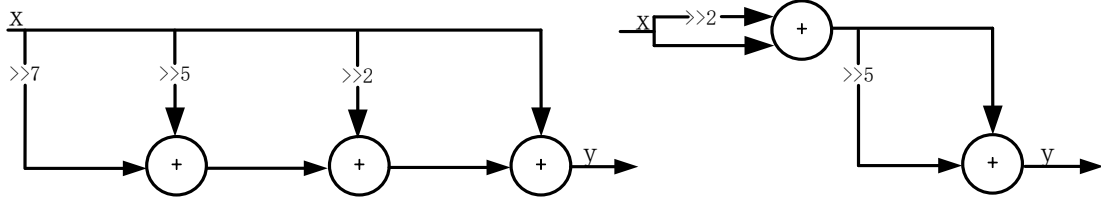


图 3.12 (a)直接实现

(b)公用子式消除法实现

上述的例子是公共子式消除法的基本方法，但具体的实现有不同的算法，根据文献[15]-[20]采用的公共子式消除算法，效率比较高的算法为非递归公共子式消除算法（Non-Recursive Signed Common Subexpression Elimination, NR-SCSE），该方法通过提取系数中出现频率最高的子式来作为公共子式，从而减小系数操作中的加法器和降低逻辑深度。对于阶数较低 FIR 滤波器来说，采用 Macros Martinez-Peiro 等人提出的基于 CSD 编码的 NR-SCSE 算法是比较有效的一种方法，经过提取公共子式后系数中未配对的位数较少。对于阶数较高的 FIR 滤波器来说，R. Mahesh 等人提出的基于二进制的公共子式消除法（B-SCSE）是相对高效的一种方法，系数在二进制的编码表示方法下能够提取出更多的公共子式。

本论文中的设计的半带滤波器最高只有 62 阶，因此采用基于 CSD 编码的 NR-SCSE 算法能够更加有效的降低硬件的开销。下面具体介绍非递归公共子式消除算法的工作方法。

比如以长度为 4 的 FIR 滤波器为例，其系数定点化后再经过 CSD 编码，如式（3-37）所示：

$$Y_{\text{CSD}} = \begin{pmatrix} 1 & 0 & 1 & 0 & 0 & \bar{1} & 0 & \bar{1} \\ 1 & 0 & \bar{1} & 0 & 0 & 0 & 1 & 0 \\ \bar{1} & 0 & 0 & 1 & 0 & 1 & 0 & \bar{1} \\ \bar{1} & 0 & 1 & 0 & 0 & 1 & 0 & \bar{1} \end{pmatrix} \quad (3-37)$$

式 (3-37) 中‘ $\bar{1}00001$ ’或‘ $1000\bar{1}$ ’出现的频率为 5, ‘ $\bar{1}01$ ’或‘ $10\bar{1}$ ’出现的频率为 4, ‘ $\bar{1}01$ ’或‘ $\bar{1}0\bar{1}$ ’出现的频率为 3, ‘ $\bar{1}001$ ’或‘ $100\bar{1}$ ’出现的频率为 2, 由于因式‘ $\bar{1}00001$ ’或‘ $10000\bar{1}$ ’出现的频率最高, 因此将其作为优先提取的公共子式, 将其提取出之后, Y_{CSD} 变为:

$$Y'_{CSD} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & \bar{1} & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & \bar{1} \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{pmatrix} \quad (3-38)$$

式 (3-38) 中仍旧可以提取出公共子式‘ $\bar{1}001$ ’或‘ $100\bar{1}$ ’, 提取之后 Y'_{CSD} 变为:

$$Y''_{CSD} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{pmatrix} \quad (3-39)$$

Y''_{CSD} 中不再含有公共子式, NR-SCSE 算法提取公共子式的操作到此结束。那么采用该算法得到的 FIR 滤波器结构如图 3.12 所示, 这里系数相乘的操作用移位加法操作来代替, 不使用乘法器能够降低硬件开销。从图中可以看出通过公共子式的共用, 加法器的使用数量大大减少, 非常有利于微面积、低功耗的设计要求。但同时也可以看出采用 NR-SCSE 算法时 FIR 滤波器的结构是直接型结构, 不利于寄存器数量的减少, 多相折叠结构不能够采用公共子式消除算法, 因为该结构的数据首先经过了寄存器延时链路, 不能提取出公因式。

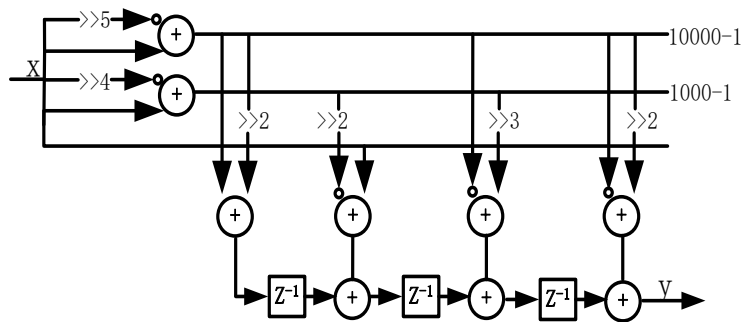


图 3.13 NR-SCSE 算法的应用

在本论文中提出改进了 NR-SCSE 算法, 使系数中未配对的位数降低, 提高了公共子式消除效率。

3.2.3.3 新型半带滤波器的系数处理

(1) 整合系数，降低滤波器阶数

根据等纹波法设计的半带滤波器具有 $H(e^{jw})+H(e^{(\pi-jw)})=1$ 的特点^[12]，当 $w=0$ 时， $H(1)+H(-1)=1$ 。因此，可以得到系数满足^[21]：

$$\sum_{k=1}^{(N+1)/4} h(2k-1) = 1/4 \quad (3-40)$$

其中 N 是滤波器的长度。对于本文中设计的第一级 62 阶的半带滤波器来说，滤波器的长度为 63，那么有中间系数 $h_{32}=0.5$ ，其传输函数为：

$$H(z) = h_1 + h_3 z^{-2} + h_5 z^{-4} + \cdots + h_{31} z^{-30} + h_{32} z^{-31} + h_{33} z^{-32} \\ + \cdots + h_{59} z^{-58} + h_{61} z^{-60} + h_{63} z^{-62} \quad (3-41)$$

根据公式 (3-40) 可以得到：

$$h_1 + h_3 + h_5 + \cdots + h_{29} + h_{31} = 1/4 \quad (3-42)$$

根据文献[21]中公式(5)的推导方法，可以将第一级半带滤波器的传输函数变换为：

$$H(z) = (1+z^{-1})[h_1 + (-h_1)z^{-1} + (h_1+h_3)z^{-2} + (-h_1-h_3)z^{-3} + (h_1+h_3+h_5)z^{-4} \\ + (-h_1-h_3-h_5)z^{-5} + \cdots + (h_1+h_3+h_5+\cdots+h_{29})z^{-29} \\ + (-h_1-h_3-h_5-\cdots-h_{29})z^{-30} + \cdots + (-h_1-h_3)z^{-58} \\ + (h_1+h_3)z^{-59} + (-h_1)z^{-60} + h_1 z^{-61}] \quad (3-43)$$

若定义有： $b_1 = h_1$ ， $b_2 = h_1 + h_3$ ， $b_3 = h_1 + h_3 + h_5$ ， $\cdots$ ， $b_{14} = h_1 + h_3 + h_5 + h_7 + \cdots + h_{29}$ ，
 $b_{15} = h_1 + h_3 + h_5 + h_7 + \cdots + h_{29} + h_{31}$ ，那么可以得到：

$$H(z) = (1+z^{-1})\{(1-z^{-1})[b_1(1-z^{-60}) + b_2(z^{-2} - z^{-58}) + b_3(z^{-4} - z^{-56}) \\ + \cdots + b_{14}(z^{-24} - z^{-36}) + b_{15}(z^{-28} - z^{-32})] + b_{16} z^{-30}\} \quad (3-44)$$

根据公式(3-44)可以看出经过系数整理后与多相折叠实现结构^[12]相比，省掉了一个系数，阶数降低一阶，同时变化后的系数变小，最大值 b_{15} 为 $1/4$ ，需要的移位操作相应减少，相应的经过系数整理之后更有利于公共子式消除算法的实现，为配对的位数减少，这些特点将会很大程度上降低对硬件的开销。

若令有 $M(z)=N(z^2)$ ，且使有：

$$M(z) = [b_1(1-z^{-60}) + b_2(z^{-2} - z^{-58}) + b_3(z^{-4} - z^{-56}) \\ + \cdots + b_{14}(z^{-24} - z^{-36}) + b_{15}(z^{-28} - z^{-32})] + b_{16} z^{-30} \quad (3-45)$$

则可以得到：

$$N(z) = [b_1(1 - z^{-30}) + b_2(z^{-1} - z^{-29}) + b_3(z^{-2} - z^{-28}) + \dots + b_{14}(z^{-12} - z^{-18}) + b_{15}(z^{-14} - z^{-16})] + b_{16}z^{-15} \quad (3-46)$$

表达式(3-46)放在插值升采样之前就可以实现 $N(z^2)$ 的效果，这样和直接型结构^[14]相比，减少了一半的寄存器的开销。

(2) 改进的 NR-SCSE 算法

滤波器加法器的开销可分为阶数加法器、系数加法器^[22]这两类开销，采用提取公共子式的方法，还会有子式加法器的开销。阶数加法器的数目为部分积的个数减 1，阶数越小开销就会越少，但会降低滤波器的滤波性能，本文采用了加法器的共用方法解决了该问题。系数加法器取决于系数中非零位的个数，CSD 编码可以减少“1”的个数，同时提取出更多的共用子式也很大程度上减少系数加法器的开销，本文采用了改进的 NR-SCSE 算法降低其开销。子式加法器的开销取决于公共子式的种类数，因此减少子式加法器需要寻找包含最少种类的公共子式集合。

系数部分在提取公共子式时，与 NR-SCSE 算法不同的是，不仅考虑子式出现的频率，而且考虑子式的字长，因此字长较长的情况下，布局布线时会有过多的走线，不利于面积的减小。本文首先将 2 个非零位之间 0 个数最少的子式(101)和(10-1)放到子式集合中，而不是以出现频率最高的子式作为优先考虑的子式。

表 3.2 半带滤波器部分系数的实现

	4	5	6	7	8	9	10	11	12	13	14	15
b ₅						-1				-1		1
b ₆						1		1			-1	
b ₇					-1							1
b ₈					1		1			1		-1
b ₉				-1			1			1		-1
b ₁₀				1			1					-1
b ₁₁			-1		1		-1		1			1
b ₁₂			1				1		-1			-1
b ₁₃		-1		1				-1		1		

具体实现方法是逐行扫描系数矩阵，利用子式集合中的子式来构建滤波器的系数，若当前子式构建后的系数矩阵中仍存在较多的未配对位数，则需要创建新的公共子式

放入子式集合中，重新扫描系数矩阵，继续构建滤波器的系数。行子式构造完后，逐列扫描系数矩阵，构建列上的垂直公共子式^[20]。以第一级半带滤波器的部分系数为例，具体操作如表 3.2 所示，可以看出滤波器的大部分系数能够通过公共子式来构建，不能构建的部分需要单独实现。

硬件的开销可以通过逻辑操作数和逻辑深度作为衡量的指标，表 3.3 表示的是以不同方法实现的插值滤波器前三级半带滤波器所使用的加法器和逻辑深度的数目，可以看出采用本文的方法，在加法器开销上比 CSD 编码方法提升了 61%，比 NR-SCSE 方法提升了 41%，比改进的 CSE 方法提升了 37%。

表 3.3 不同方法实现的插值滤波器比较

方法	加法器	逻辑深度	归一化
CSD 编码[14]	114	5	1
NR-SCSE[18]	91	3	0.80
改进 CSE[22]	87	3	0.76
本文	44	3	0.39

本论文提出的新型半带滤波器的结构既克服了直接型结构不能够减少寄存器使用数量的缺点，同时又克服了多相折叠结构不能采用公共子式消除算法来降低系数逻辑操作的缺点，该新型结构能够同时降低了滤波器的寄存器使用数量和逻辑硬件开销。

3.3 级联梳状滤波器

级联梳状滤波器（Cascade Integrator Comb Filter, CIC）是一种简单、高效的滤波器，其滤波器的系数恒定为 1，硬件实现过程不需要乘法运算，硬件开销非常小^[23-24]。CIC 滤波器的冲激响应为：

$$h(n) = \begin{cases} 1 & 0 \leq n \leq N-1 \\ 0 & \text{others} \end{cases} \quad (3-47)$$

其中 N 指的是滤波器的长度。将式（3-47）转换成 z 域对应的传输函数为：

$$H(z) = \frac{Y(z)}{X(z)} = \sum_{n=0}^{N-1} z^{-n} \quad (3-48)$$

从式（3-48）可以看出 CIC 滤波器源于一种结构非常简单的 FIR 梳状滤波器，然而对于 N 阶的滤波器，仍需要 N-1 次的运算。为了对结构进行优化，E.B.Hogenauer 提出

了目前常用的级联型结构^[25]，即是 Hogenauer 结构类型，将 (3-48) 可以转换为：

$$H_{cic}(z) = \frac{Y(z)}{X(z)} = \frac{1-z^{-N}}{1-z^{-1}} = H_1(z) \cdot H_2(z) \quad (3-49)$$

CIC 滤波器实际上采用了零/极点消除原理，即同时加入了一个 $z=1$ 的零点和极点来实现，这样能够保持滤波器的线性相位，同时硬件实现简单。图 3.14 表示的为 一阶 CIC 滤波器，滤波器由积分器 $1/(1-z^{-1})$ 和梳状结构 $1-z^{-N}$ 组成。积分器是一个累加器组成，梳状结构是将当前输入值减去延时单元的输出数值得到。

为了进一步了解 CIC 滤波器的幅频响应特点，将 $z = e^{j\omega}$ 代入式 (3-49) 可以得到

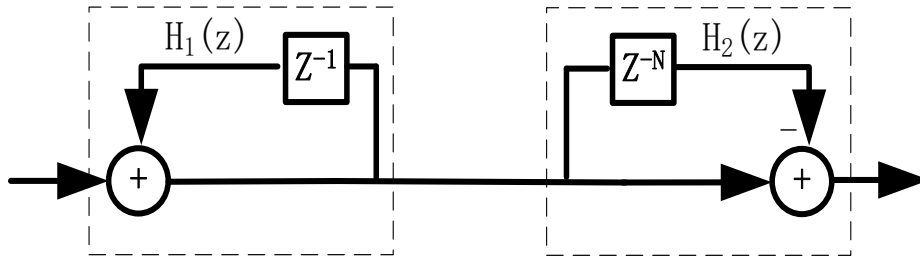


图 3.14 CIC 结构图

传输函数的表达式为：

$$\begin{aligned} H(e^{j\omega}) &= \frac{1-e^{-j\omega N}}{1-e^{-j\omega}} = \frac{e^{-j\omega N/2}}{e^{-j\omega/2}} \frac{(e^{j\omega N/2} - e^{-j\omega N/2})}{(e^{j\omega/2} - e^{-j\omega/2})} \\ &= \frac{e^{-j\omega N/2}}{e^{-j\omega/2}} \frac{2j \sin(\omega N/2)}{2j \sin(\omega/2)} = e^{-j\omega(N-1)/2} \frac{\sin(\omega N/2)}{\sin(\omega/2)} \end{aligned} \quad (3-50)$$

从式 (3-50) 中可以看出存在一个 $\sin(x)/x$ 型的中心位于零赫兹的低通滤波器，因此 CIC 滤波器也称为 sinc 滤波器。考虑 CIC 滤波器的直流增益，令 $\omega=0$ ，则可以得到：

$$H_{cic}(e^{j\omega})|_{\omega=0} = N \quad (3-51)$$

因此，CIC 滤波器的直流增益为梳状结构的延时 N ，为了使直流增益为 1，在传输函数中要乘以 $1/N$ ，所以 CIC 滤波器的传输函数就转化为：

$$H_{cic}(z) = \frac{1}{N} \frac{1-z^{-N}}{1-z^{-1}} \quad (3-52)$$

下图 3.15 是 N 为 16 时的一阶 CIC 滤波器的幅频响应图，可以看出 CIC 滤波器具有低通特性，随着频率的增加，旁瓣幅度不断减小，因此可以把主瓣的低频部分看

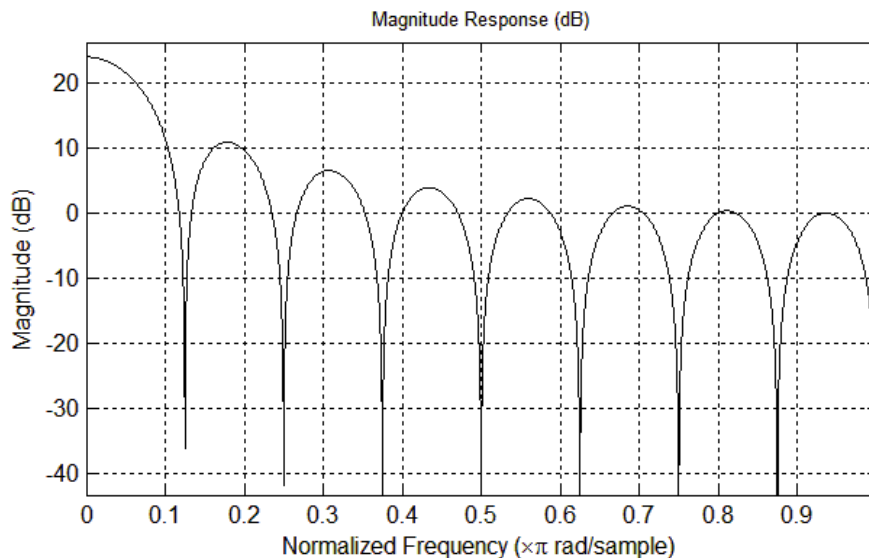


图 3.15 CIC 滤波器幅频响应(N=16)

为通频带，其它的部分可以看成为阻带。其中， $(0, 2\pi/N)$ 频率范围内的幅频响应曲线称为主瓣， $(2\pi/N, 4\pi/N)$ 频率范围内的幅频响应曲线称为第一旁瓣， $(4\pi/N, 6\pi/N)$ 频率范围内的幅频响应曲线称为第二旁瓣，以此进行类推。

主瓣的幅度峰值在 $w=0$ 处，第一旁瓣的峰值约在 $w=3/2(2\pi/N)$ 处，将上述值代入式 (3-50) 中可以得到：

$$|H_{cic}(e^{jw})|_{w=0} = N \quad (3-53)$$

$$|H_{cic}(e^{jw})|_{w=(3/2) \times (2\pi/N)} = \frac{\sin(\frac{3}{2} \times \frac{2\pi}{N} \times \frac{N}{2})}{\sin(\frac{3}{2} \times \frac{2\pi}{N} \times \frac{1}{2})} = \frac{1}{|\sin(3\pi / 2N)|} \quad (3-54)$$

根据上面公式可以计算出第一旁瓣相对于主瓣的衰减，当 $N \gg 1$ 时可以粗略估计出相对最大衰减为：

$$\begin{aligned} A &= 20\lg(|H_{cic}(e^{jw})|_{w=0} / |H_{cic}(e^{jw})|_{w=(3/2) \times (2\pi/N)}) \\ &\approx 20\lg(\frac{3\pi}{2}) = 13.5\text{dB} \end{aligned} \quad (3-55)$$

从公式 (3-55) 可以看出对于一阶的 CIC 滤波器，其在第一旁瓣产生的阻带衰减能力最大只能达到 13.5dB，在阻带的抑制能力较差，因此在实际应用当中常采用多级级联的方式。由 k 级级联的 CIC 滤波器实现的升采样率为 N 的传输函数为：

$$H_{cic}(z) = N \cdot \left(\frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} \right)^k = \frac{1}{N^{k-1}} \left(\frac{1 - z_x^{-1}}{1 - z_y^{-1}} \right)^k \quad (3-56)$$

其中，输入信号的频率为 f_s ，该频率上每个延时单元对应 z_x^{-1} ，经过 N 倍的升采样之后，数据采样频率为 Nf_s ，这时每个延时单元对应 z_y^{-1} 。

对于 k 阶升采样率为 N 的 CIC 插值滤波器，其结构框图如图 3.16 所示，由 k 个

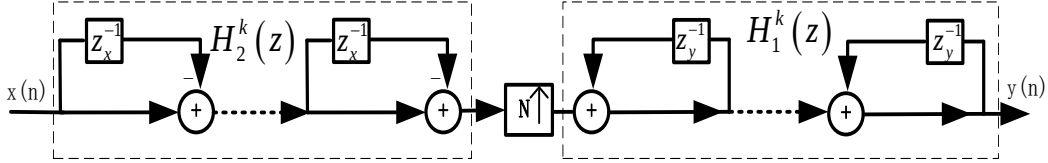


图 3.16 k 阶 CIC 插值滤波器结构

梳状结构单元和 k 个积分器单元组成。CIC 滤波器中包含有积分器，积分器的输出位宽不仅与输入数据有关，而且还与积分器延时单元中的数据有关，因此在硬件实现时需要确定积分器运算单元的位宽，位宽过大会导致硬件浪费，位宽过小会导致数据溢出，下面将对位宽问题进行讨论分析。

对于 CIC 滤波器中的梳状结构中的加法器 G_i ，由于其没有反馈回路，位宽是由输入信号的幅度决定的，若 CIC 滤波器的输入最大幅度为 A ，那么 G_i 的最大输出幅度为：

$$G_i \leq A \cdot 2^i \quad i=1,2,\dots,k \quad (3-57)$$

对于积分器 I_i 来说，其输出与输入信号和历史状态都有关，输出表达式可表示为：

$$I_i = \frac{(1 - z_x^{-1})^k}{(1 - z_y^{-1})^{i-k}} = \left[-\frac{1}{N^{i-k-1}} \left(\frac{1 - z_x^{-1}}{1 - z_y^{-1}} \right)^{i-k} \right] \cdot (1 - z_x^{-1})^{2k-i} \cdot N^{i-k-1} \quad i=k+1, k+2, \dots, 2k \quad (3-58)$$

在输入最大幅度为 A 的情况下，有：

$$I_i \leq A \cdot (1 - z_x^{-1})^{2k-i} \cdot N^{i-k-1} \leq A \cdot 2^{2k-i} \cdot N^{i-k-1} \quad i=k+1, k+2, \dots, 2k \quad (3-59)$$

在硬件电路中，数据都是以二进制的形式进行存储，根据上述推导，每级减法器 and 积分器所需的数据位宽 B_i 为：

$$B_i = \begin{cases} \log_2 G_i = B_{in} + i & i=1,2,\dots,k \\ \log_2 I_i = B_{in} + 2k - i + (i - k - 1) \log_2 N & i=k+1, k+2, \dots, 2k \end{cases} \quad (3-60)$$

本文设计的 CIC 滤波器作为插值滤波器的最后一级, 实现 16 倍的插值升采样, 根据音频输入信号的带宽为 20kHz, 经过 128 升采样后 CIC 滤波器的最高时钟频率为 $f = 128 f_s$, 为 5.6448MHz, 将带宽归一化($2 f_B / f$)为 0.007。对于 CIC 滤波器本身来说, 非常适合过度带比较宽的滤波要求的设计。通常 CIC 滤波器设计时, 3-5 阶的比较常用, 下面就对此进行分析。

图 3.17 是 3-5 阶 CIC 滤波器的幅频响应图, 实现 16 倍的插值升采样, 从图中可以看出随着阶数增加, 在阻带衰减的能力越强, 5 阶 CIC 滤波器的阻带抑制能力最强, 在离带内信号最近的镜像信号频带中心 $f / 16$ 处的衰减为 -140dB, 具有足够的能力抑制镜像信号。对于 3 阶的 CIC 滤波器来说, 在 $(f / 16 - f_B)$ 处的阻带衰减到了 -93dB, 已经能够满足对 24 位音频 DAC 的设计指标要求, 因此在本论文中最终采用的是 3 阶的 CIC 插值滤波器。

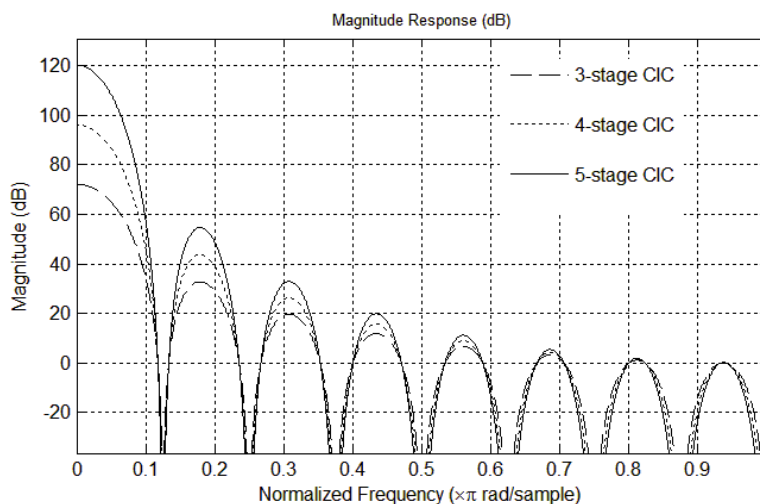


图 3.17 3-5 阶 CIC 滤波器幅频响应(N=16)

3.4 本章小结

本章介绍了插值滤波器的具体设计过程, 根据 24 位 DAC 的性能指标, 确定了 4 级级联结构实现的 128 倍升采样插值滤波器。由于半带滤波器具有一半系数为零和线性相位的特点, 非常有利于 2 倍插值滤波器的实现, 因此整个插值滤波器的前三级采用的都是半带滤波器。然后详细分析了半带滤波器的设计方法, 介绍了直接型结构和多相折叠结构的区别, 得出直接型结构能够方便系数采用公共子式消除算法的实现, 而不利子寄存器数量的减少, 而多相折叠结构相反, 能够减少寄存器而不能降低系数

的逻辑操作,因此本文根据以前文献综合分析,提出了一种新型的半带滤波器的结构。

该新型半带滤波器结构能够同时降低寄存器的使用数量和加法器的开销,同时系数处理中降低了滤波器的阶数,整合后的系数采用的改进的非递归公共子式消除算法能够更有效的较少系数中未配对的位数,很好的降低了逻辑开销。在系数硬件实现的过程中,介绍了定点化操作和 CSD 编码,为了减小硬件开销,乘法器都用移位加法操作来代替。

在插值滤波器的最后一级采用了结构相对简单了 CIC 滤波器,由于该滤波器不存在有系数,所以非常利于硬件的实现。本论文的下一章将会详细介绍 Sigma-Delta 调制器的设计过程。

第四章 Sigma-Delta 调制器的设计

对于高精度要求的 24 比特音频 DAC 来说，常规的奈奎斯特数模转换器已经很难实现，因此需要借助于过采样数模转换器来实现，Sigma-Delta 调制器正是利用了这种过采样技术降低带内噪声密度，同时通过噪声整形技术抑制带内的噪声信号，从而能够大幅度的提高信噪比。本章主要对 Sigma-Delta 调制器的设计作出详细说明。

对于 24 比特的音频 $\Sigma\text{-}\Delta$ DAC 来说，理论上需要信噪比需要达到 146dB，因此需要选择合理的量化器比特数和调制器的阶数以及过采样率来满足精度要求。根据第二章中介绍的理论可知 N 比特量化器 L 阶调制器的处理过后理论上的信噪比为：

$$SNR = (6.02N + 1.76 + 10(2L + 1)\lg OSR + 10\lg(\frac{2L + 1}{\pi^{2L}}))dB \quad (4-1)$$

下图 4.1 是根据理论公式(4-1)得到的不同 L 和 N 的情况下，信噪比随着过采样率 OSR 的变化图，可以得到当 OSR 为 128，L 为 4 阶时，信噪比能够满足 24 比特

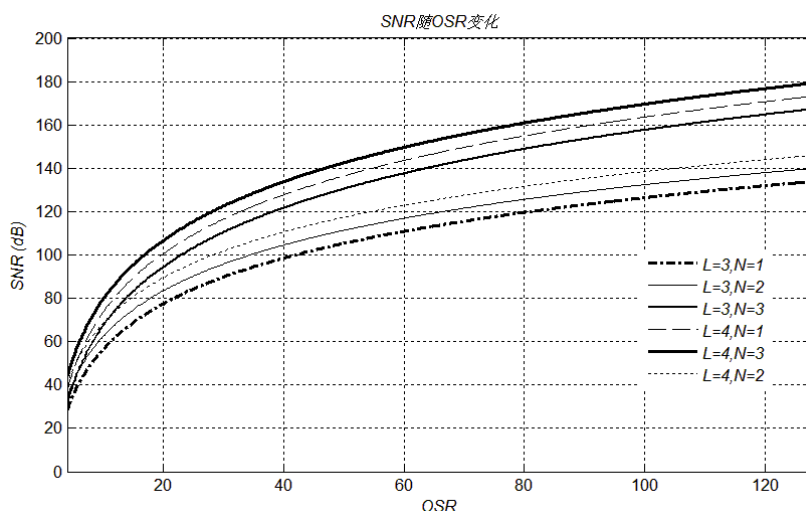


图 4.1 Sigma-Delta 调制器的信噪比变化图

音频 DAC 的精度要求。如果过采样率 OSR 达到 256 时，3 阶单比特的 Sigma-Delta 调制器的理想信噪比也能够达到 155dB，但是过采样率越高的电路工作频率也越高，过高的工作频率会带来过大的功耗，因此 OSR 是越低越好。下面主要考虑 OSR 为 128，调制器阶数为 4 时不同量化器位数的情况。当 N=1 时，此时属于单比特量化器，当 N 为 2 及以上数值时称为多比特量化器。单比特量化器具有结构简单，线性响应

的特点，但是单比特量化器会出现周期性的式样噪声(Pattern Noise)或者称为 Idle Tone^[26]，需要加入随机抖动(dithering)信号来克服，单比特量化器容易引起过载，造成调制器不稳定，同时单比特量化器两个量化层级间的范围较宽，对后端数模转换器中的运放要求比较高，需要较高的转换速率和增益带宽积。而对于多比特量化器不需要 dithering，对后面的数模转换器中的运放和模拟低通滤波的设计指标要求降低，可以降低模拟部分设计的面积和功耗，但多比特量化器存在元器件匹配的问题，需要动态单元匹配算法来校准。

根据表 4.1 中的几种方案的比较，以及单比特量化器与多比特量化器的特点，最终确定了采用了方案 4 的方法，本来设计的 Sigma-Delta 调制器为 3 比特 4 阶，过采样率为 128 倍。

表 4.1 不同情况下 $\Sigma\Delta$ 调制器的理想 SNR

方案	调制器阶数	量化器位数	过采样率	SNR
方案 1	3	4	128	152
方案 2	4	1	128	167
方案 3	4	2	128	173
方案 4	4	3	128	179

在确定采用方案之后，需要确定调制器的噪声传输函数的具体设计，并能够将该噪声传输函数用电路进行实现，同时能够满足稳定性要求，确保电路能够正常工作。可以将噪声传输函数的类型分为纯微分型，巴特沃斯(Butterworth)型和反切比雪夫(Inverse Chebyshev)型，所以说设计 NTF 需要选择设计出合适的噪声高通滤波器类型。

纯微分型的滤波器形式如 $H(z) = (1 - z^{-1})^N$ ，极点全部集中在 $z=0$ 处，高频处的增益不断升高，不利于调制器的稳定，因此需要将极点从 $z=0$ 处转移到其他地方，设计出带外最大平坦的滤波器，该类滤波器常见的就是 Butterworth 滤波器。

Butterworth 滤波器形式如 $H(z) = (1 - z^{-1})^N / D(z)$ ，其零点全部集中在 $z=1$ 处，通过调节极点，是滤波器高频处平坦化，从而使设计出的 Sigma-delta 调制器具有较好的稳定性。但是 Butterworth 滤波器的所有零点在 $z=1$ 处，导致带内边缘处噪声幅度较大，因而影响信噪比，所以为了提高带内的信噪比需要调节零点的位置，这便是 Inverse-Chebyshev 滤波器。

Inverse-Chebyshev 滤波器的形式可以表示为 $H(z) = \prod_{i=1}^N (z - z_i) / \prod_{i=1}^N (p - p_i)$ ，可以

同时优化滤波器的零点和极点，通过将零点分布在带内，有效降低带内的噪声功率，提高信噪比。

通常设计出的噪声传递函数是 Butterworth 或者 Inverse-Chebyshev 高通滤波器，不同的 sigma-delta 调制器结构就是不断优化的 Butterworth 或 Inverse-Chebyshev 滤波器的具体实现，下面将具体介绍 Sigma-Delta 调制器的实现结构。

4.1 Sigma-Delta 调制器的结构选择

对于数模转换器中的 Sigma-Delta 调制器，具体实现结构可以分为环路滤波器结构，多级级联(MASH)结构和误差反馈结构。下面将对这几种结构的特点作出说明。

4.1.1 环路滤波器结构 Σ - Δ 调制器

环路滤波结构的 Sigma-Delta 调制器又可以分为级联积分器反馈结构(Cascade Integrator with Distributed Feedback, CIFB)，级联积分器前馈结构(Cascade of Integrators Feedforward, CIFF)，级联谐振器反馈结构(Cascade-of-resonators feedback, CRFB)，级联谐振器前馈结构(Cascade-of-resonators feedforward, CRFF)这四种类型。

下图 4.2 是一个 2 阶级联积分器反馈结构(CIFB)，其中 b_i 是输入信号的权重因子， a_i 是反馈信号的权重因子， c_i 是积分器的权重因子，防止积分器的输入信号幅度过大，造成积分器过载，导致 Σ - Δ 调制器不稳定， g_i 是反馈调节因子。下面具体说明一下 CIFB 结构的噪声传输函数(NTF)的推导过程。信号滤波器的 L_0 的传输函数为：

$$L_0(z) = \frac{(z-1)b_2c_2 + b_1c_1c_2}{(z-1)^2 + c_1g_1} + b_3 \quad (4-2)$$

从 $v(n)$ 到 $x_2(n)$ 的传输函数为：

$$\left. \frac{X_2(z)}{V(z)} \right|_{U(z)=0} = -\frac{a_2(z-1) + c_1a_1}{(z-1)^2 + c_1g_1} \quad (4-3)$$

相对应的反馈滤波器 L_1 的传输函数为：

$$L_1(z) = c_2 \left. \frac{X_2(z)}{V(z)} \right|_{U(z)=0} = -c_2 \cdot \frac{a_2(z-1) + c_1a_1}{(z-1)^2 + c_1g_1} \quad (4-4)$$

根据公式(2-6)可以得到噪声传输函数 NTF 为：

$$NTF(z) = \frac{1}{1 - L_1(z)} = \frac{(z-1)^2 + c_1 g_1}{(z-1)^2 + a_2 c_2 (z-1) + c_1 c_2 a_1 + c_1 g_1} \quad (4-5)$$

从公式(4-5)中可以看出, CIFB 结构中的因子 g_i 能够调节零点和极点, 能够改善对带内噪声的抑制。

信号传输函数为:

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)} = \frac{(z-1)b_2 c_2 + b_1 c_1 c_2 + b_3 [(z-1)^2 + c_1 g_1]}{(z-1)^2 + a_2 c_2 (z-1) + c_1 c_2 a_1 + c_1 g_1} \quad (4-6)$$

根据公式(4-6)可知, 当 $a_1=b_1$, $a_2=b_2$, $b_3=1$ 时有 $STF=1$ 。

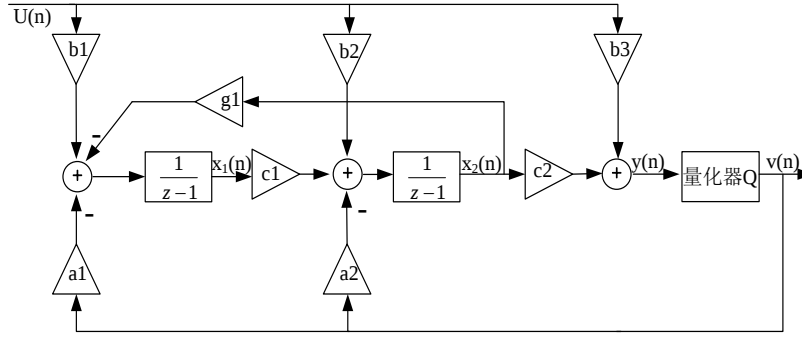


图 4.2 CIFB 结构调制器

下图 4.3 是 2 级级联积分器前馈结构的 Sigma-Delta 调制器, a_i 是前馈权重因子, 将前馈信号直接加载到量化器上, 没有了从输出信号过来的反馈链路。该结构的反馈滤波器传输函数为:

$$L_1(z) = -\frac{c_1 c_2 a_2 + a_1 c_1 (z-1)}{(z-1)^2 + g_1 c_2} \quad (4-6)$$

对应的信号滤波器传输函数为:

$$L_0(z) = \frac{(a_2 b_2 + a_1 b_1)(z-1) + a_2 b_1 c_2 - a_1 g_1 b_2}{(z-1)^2 + g_1 c_2} + b_3 \quad (4-7)$$

根据公式(4-6)可以得到 2 阶 CIFI 结构的噪声传输函数为:

$$NTF(z) = \frac{(z-1)^2 + g_1 c_2}{(z-1)^2 + a_1 c_1 (z-1) + c_1 c_2 a_2 + g_1 c_2} \quad (4-8)$$

该结构的信号传输函数为:

$$STF(z) = \frac{L_0(z)}{1-L_1(z)} = \frac{(a_2b_2 + a_1b_1)(z-1) + a_2b_1c_2 - a_1g_1b_2 + b_3[(z-1)^2 + g_1c_2]}{(z-1)^2 + a_1c_1(z-1) + c_1c_2a_2 + g_1c_2} \quad (4-9)$$

对于公式(4-9)来说, 当 $b_1 = c_1$, 且有 $b_2 = 0$, $b_3 = 1$ 时, $STF=1$, 这说明此时信号不经过调制器的处理, 因此具有非常好的线性度, 只有量化噪声经过了调制的噪声整形处理, 这种情况是实际设计中所需要的。

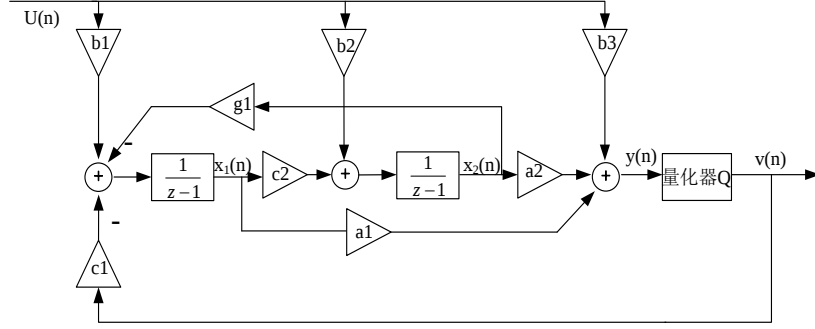


图 4.3 CIFF 结构调制器

下图 4.4 是 2 阶的级联谐振器反馈结构(CRFB)的调制器, 可以看出该 $z/(z-1)$ 和 $1/(z-1)$ 组成谐振器, 信号从 $v(n)$ 到 $x_2(n)$ 的传输函数为:

$$R(z) = \left. \frac{X_2(z)}{V(z)} \right|_{U(z)=0} = -\frac{a_2(z-1) + a_1c_1z}{(z-1)^2 + g_1c_1z} \quad (4-10)$$

调制器的滤波器传输函数为:

$$L_1(z) = c_2R(z) = -\frac{a_2c_2(z-1) + a_1c_1c_2z}{(z-1)^2 + g_1c_1z} \quad (4-11)$$

相应的 Sigma-Delta 调制器的噪声传输函数为:

$$NTF(z) = \frac{1}{1-L_1(z)} = \frac{(z-1)^2 + g_1c_1z}{(z-1)^2 + g_1c_1z + a_2c_2(z-1) + a_1c_1c_2z} \quad (4-12)$$

调制器的信号滤波器的传输函数为:

$$L_0(z) = c_2R(z) = \frac{b_2c_2(z-1) + b_1c_1c_2z}{(z-1)^2 + g_1c_1z} + b_3 \quad (4-13)$$

调制的信号传输函数为:

$$STF(z) = \frac{L_0(z)}{1-L_1(z)} = \frac{b_3(z-1)^2 + b_3g_1c_1z + b_2c_2(z-1) + b_1c_1c_2z}{(z-1)^2 + g_1c_1z + a_2c_2(z-1) + a_1c_1c_2z} \quad (4-14)$$

根据公式(4-14)可知, 当 $b_3=1$, $a_2=b_2$, $a_1=b_1$ 时有 $STF(z)=1$, 此时信号的线性度最好。

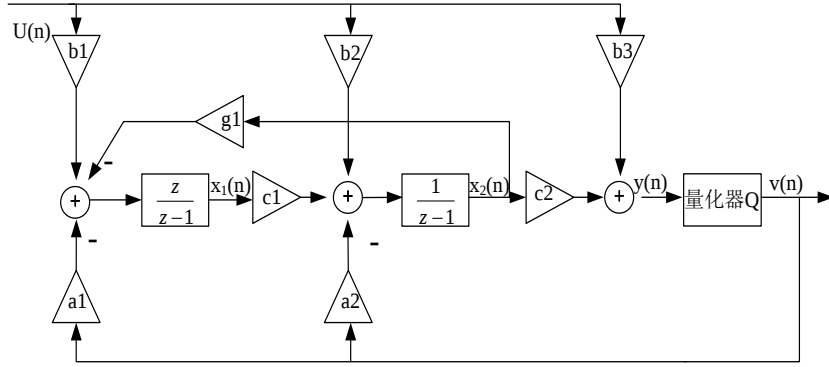


图 4.4 CRFB 结构调制器

下图 4.5 是 Sigma-Delta 调制器的级联谐振器前馈(CRFF)结构, 该结构的噪声滤波器传输函数为:

$$L_1(z) = -\frac{a_1 c_1 (z-1) + c_1 c_2 a_2 z}{(z-1)^2 + g_1 c_2 z} \quad (4-15)$$

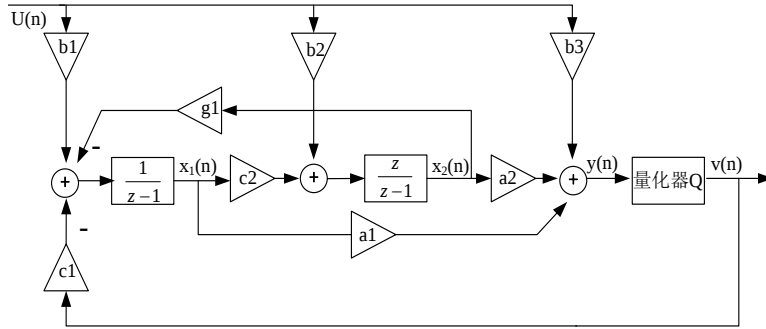


图 4.5 CRFF 结构调制器

噪声传输函数为:

$$NTF(z) = \frac{(z-1)^2 + g_1 c_2 z}{(z-1)^2 + a_1 c_1 (z-1) + c_1 c_2 a_2 z + g_1 c_2 z} \quad (4-16)$$

信号滤波器的传输函数为:

$$L_0(z) = \frac{(a_2 b_2 + a_1 b_1)(z-1) + a_2 b_1 c_2 z - a_1 g_1 b_2 z}{(z-1)^2 + g_1 c_2 z} + b_3 \quad (4-17)$$

调制器的信号传输函数为:

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)} = \frac{(a_2 b_2 + a_1 b_1)(z-1) + a_2 b_1 c_2 z - a_1 g_1 b_2 z + b_3 [(z-1)^2 + g_1 c_2 z]}{(z-1)^2 + a_1 c_1 (z-1) + c_1 c_2 a_2 z + g_1 c_2 z} \quad (4-18)$$

根据信号传输函数式(4-19)，当 $b_1=c_1$ ， $b_2=0$ ， $b_3=1$ 时有 $STF=1$ 。

4.1.2 多级级联(MASH)结构调制器

MASH 结构的 Sigma-Delta 调制器同时也称为 Cascade 型调制器，采用多个 $\Sigma\Delta$ 调制器级联实现，采用的每级调制器多是一阶或者二阶，因此在实现高阶噪声整形效果的同时，又克服了高阶调制器的稳定性问题。输入信号首先会被第一级 $\Sigma\Delta$ 调制器处理，之后后级的调制器将会处理前级调制器的量化误差噪声，最后的输出是各级调制器输出信号的叠加，MASH 结构的框架图如图 4.6 所示。对于图 4.6 中的总数为 L 阶 MASH 结构来说，除第一级其它级的输入信号均为上一级量化器产生的量化噪声，系数 $H_{2N-3}(z)$ 是为了每级的输出信号经过适当处理和运算，以抵消最后一级外的所有量化噪声，使得调制器的最后输出量化噪声能够到达 L 阶的整形效果。

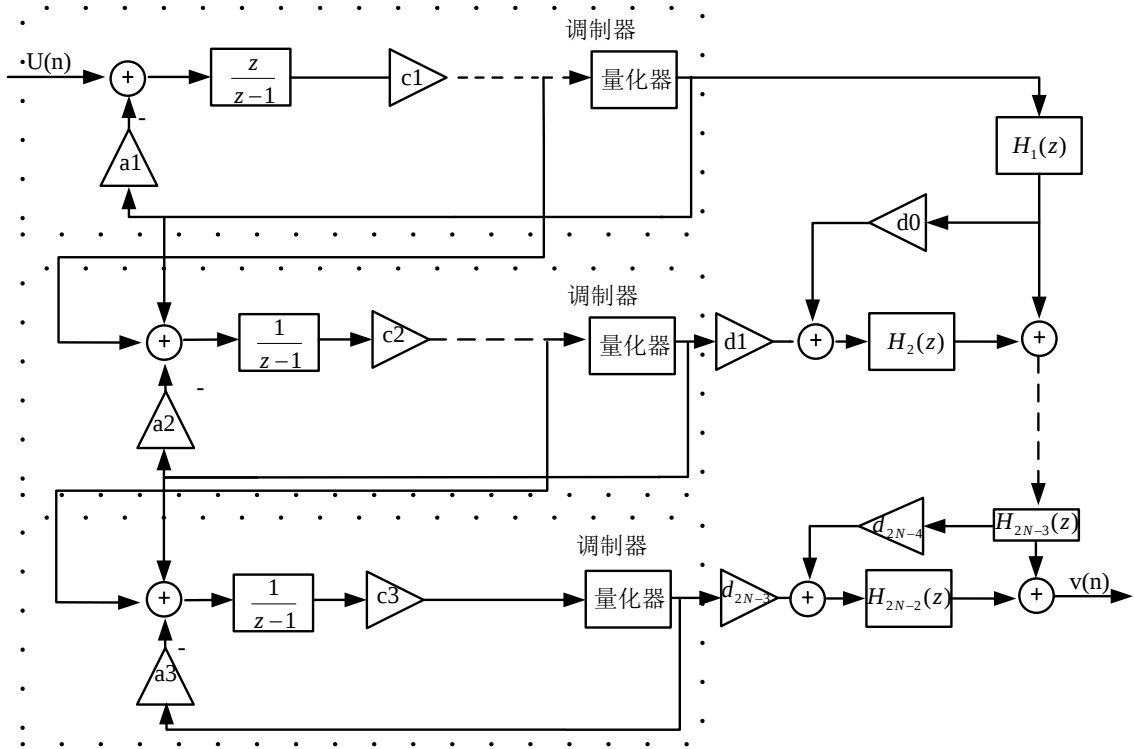


图 4.6 MASH 结构调制器框图

推导 L 阶 MASH 结构调制器的信号传输函数和噪声传输函数可以得到：

$$STF(z) = z^{-L} \quad , \quad NTF(z) = d_{2N-3}(1 - z^{-1})^L \quad (4-19)$$

MASH 结构的带内的噪声功率为:

$$P_{noise_BW} \approx \frac{\Delta^2}{12} d_{2N-3}^2 \left[\frac{\pi^{2L}}{(2L+1)OSR^{(2L+1)}} \right] \quad (4-20)$$

其信噪比为:

$$SNR = 20\lg(2^B - 1) + 10(2L+1)\lg OSR + 10\lg \frac{2L+1}{\pi^{2L}} - 20\lg d_{2N-3} + 1.76 \quad (4-21)$$

下图 4.7 是由两个一阶 Σ - Δ 调制器构成的 MASH 结构 1-1 级联调制器, 可以得到以下推导:

$$Y_1 = X + (1 - z^{-1})E_1 \quad (4-22)$$

$$Y_2 = z^{-1}(-E_1) + (1 - z^{-1})E_2 \quad (4-23)$$

将第一级调制器的输出 Y_1 和第二级调制器的输出 Y_2 经过叠加之后可以得到:

$$V(z) = z^{-1}Y_1 + (1 - z^{-1})Y_2 = U(z) + (1 - z^{-1})^2 E_2 \quad (4-24)$$

从公式(4-24)中可以看出, MASH 结构的 1-1 级联调制器的噪声整形效果等效于 2 阶调制器, 同时一阶调制器不存在有稳定性的问题, 所以这种 MASH 结构的调制器稳定性非常好。

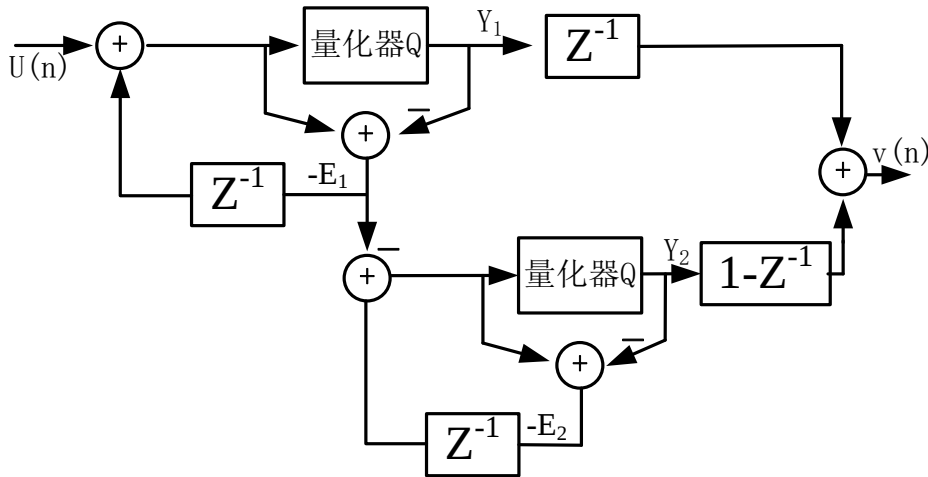


图 4.7 MASH 结构 1-1 级联 Sigma-Delta 调制器

根据以上论述, 多级级联结构的调制器需要使最终的运算将前面几级的噪声抵消掉, 从而只有最后一级噪声输出, 但实际的设计实现中, 各种参数的失配造成的电路不匹配会引起前面几级电路噪声根本无法通过最后的运算进行消除, 因此会导致信噪

比的下降。同时 MASH 结构调制器的传输函数形式比较固定，零极点位置可调范围小，相对环路的 sigma-delta 调制器，实现相同的信噪比会占用更多的硬件资源。

4.1.3 误差反馈结构 Σ - Δ 调制器

误差反馈结构是将量化器截尾量化的低位 LSB 反馈^[27]，而一般的调制器通常是将高位 MSB 进行反馈。误差反馈结构的框图如图 4.8 所示，反馈回来的 LSB 信号经过环路滤波器 H_e 滤波，叠加到输入信号上，可以得到：

$$V(z) = U(z) + [1 - H_e(z)]E(z) \quad (4-25)$$

根据公式(4-25)可得知其信号传输函数为 $STF=1$ ，噪声传输函数为 $NTF(z) = 1 - H_e(z)$ 。

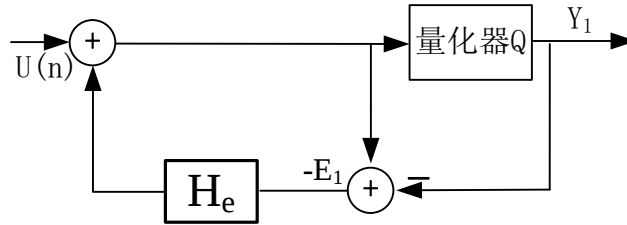


图 4.8 误差反馈结构

根据上述的推导，要实现一阶调制器的噪声整形效果，即 $NTF = 1 - z^{-1}$ ，只需要使 $H_e(z) = z^{-1}$ ，也就是一个延时时钟的效果。对于二阶噪声整形，噪声传输函数 NTF 有两个零点在直流位置时，可得：

$$H_e(z) = 1 - (1 - z^{-1})^2 = z^{-1}(2 - z^{-1}) \quad (4-26)$$

根据式(4-26)，二阶噪声整形的 $H_e(z)$ 实现需要两个延时单元，两个加法器和一个移位器，具体结构如图 4.9 所示。

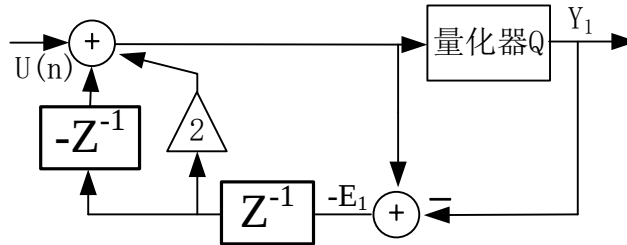


图 4.9 二阶误差反馈调制器

对于高阶的误差反馈 Sigma-Delta 调制器，仍要考虑稳定性的问题，通常是在信号输入截尾量化器前做限幅处理，以防信号幅度过大导致环路进入不稳定状态。

通过上面对环路结构调制器，多级级联结构调制器和误差反馈结构调制器的分析，对于设计一个 4 阶 3 比特的 Sigma-Delta 调制器，在保证稳定性的情况下，采用环路结构的调制器能够在较高的信噪比的同时具有较低的硬件开销。CIFB 和 CIFF 结构的调制器传递函数基本一致，都可以实现 Inverse-Chebyshev 型高通滤波器，反馈系数 g 用于调整零点的位置，能够优化带内的噪声，反馈系数 a 能够调整极点位置，提高系统的稳定性。同时，CIFB 和 CIFF 结构也能实现 Butterworth 型高通滤波器，反馈系数 $g=0$ 时可以使所有零点在 $z=1$ 处。CRFB 和 CRFF 结构的调制器同样也都能实现 Inverse-Chebyshev 型和 Butterworth 型高通滤波器。CIFX 结构和 CRFX 结构从噪声传输函数上区分，可以看出 CIFX 结构中传输函数的表达式关于 z 的最高次和次高次系数是固定的，对零点的调整是通过 z 变量的低次系数和常量进行；CRFX 结构是除了最高次和常量外固定外，其他的可以调整。

本文最终采用的 Sigma-Delta 调制器的结构是 CIFF 结构，前馈结构和反馈结构相比，输入积分器的信号没有反馈回来的信号，幅度相对较小，可以减小积分器的位宽，不会导致积分器的溢出。前馈结构的信号主要加载到量化器上，相应的增加量化器的位宽就可以防止量化器过载。级联积分器类型和级联谐振器类型相比较而言，在对于数字硬件电路实现上来说，谐振器类型的关键路径延时要比级联积分器的要长，影响电路的工作速度，不利于硬件电路设计。

4.2 Sigma-Delta 调制器性能结构优化改进

本文设计的音频 DAC 中的调制器为 4 阶 3 比特 CIFF 结构的 Sigma-Delta 调制器，其结构如图 4.10 所示， a_i 作为前馈因子，用以调整极点的位置，反馈因子 g_i 用来调节零点的位置，使用该结构用来实现噪声传输函数为 Inverse-Chebyshev 型高通滤波器，达到高效的噪声整形效果。

该结构的滤波器传输函数为：

$$L_1(z) = -c_1 \frac{a_1[(z-1)^2 + g_1c_2] \cdot [(z-1)^2 + g_2c_4] + a_2c_2(z-1)[(z-1)^2 + g_2c_4]}{(z-1)[(z-1)^2 + g_1c_2][(z-1)^2 + g_2c_4]} + \frac{a_3c_2c_3[(z-1)^2 + g_2c_4] + c_2c_3c_4a_4(z-1)}{(z-1)[(z-1)^2 + g_1c_2][(z-1)^2 + g_2c_4]} \quad (4-27)$$

其中，令 $Q_1 = (z-1)^2 + g_1c_2$ ， $Q_2 = (z-1)^2 + g_2c_4$ ，相应的该结构噪声传递函数为：

$$\begin{aligned}
 NTF(z) &= \frac{1}{1-L_1(z)} \\
 &= \frac{(z-1)[(z-1)^2 + g_1c_2][(z-1)^2 + g_2c_4]}{(z-1)Q_1Q_2 + a_1c_1Q_1Q_2 + c_1c_2a_2(z-1)Q_2 + c_1c_2c_3a_3Q_2 + c_1c_2c_3c_4a_4(z-1)}
 \end{aligned} \tag{4-28}$$

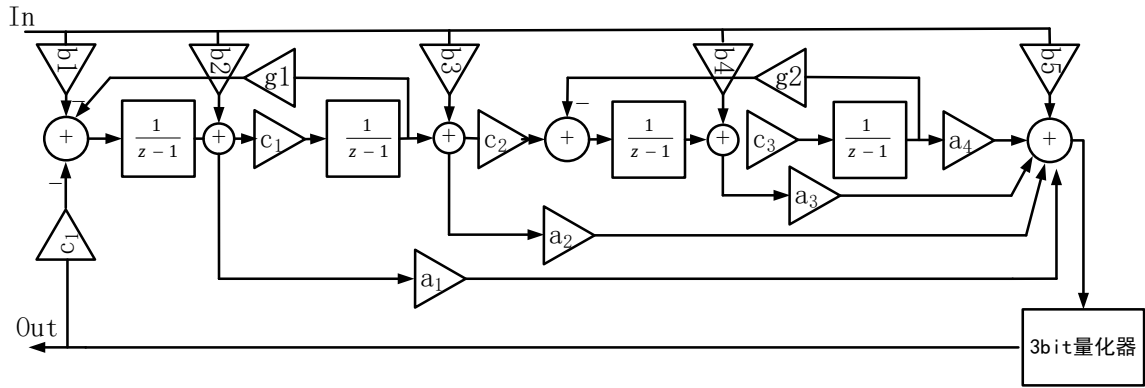


图 4.10 4 阶 CIFF 结构

在设计当中需要对噪声传输函数的零极点进行优化，通过对零点的优化，能够使带内的积分噪声最小，提高信噪比；对极点的优化能够使带外具有合理的增益，保证系统的稳定性，同时要保证信号在带内具有合理的增益和平坦度，这样能够使信号具有良好的线性。由于调制器的稳定性对电路的设计具有重要影响，是保证电路正常工作的必要条件，下面对 Sigma-Delta 调制器的稳定性进行分析。

调制器是否稳定影响到调制器能否实现高信噪比^[28]，当输入信号超出稳定的输入范围或者信号出现大幅度阶跃时，会导致调制器进入不稳定状态，同时量化器的过载也会导致不稳定。调制器的稳定性主要取决于 NTF 和量化器的位数，下面对单比特的调制和多比特调制器的稳定性分别进行讨论。

对于单比特的调制器，其稳定性的判定主要依靠经验公式，比较常用的判别依据是 Lee 判则^{[29][30]}。Lee 判则认为对于一位量化器的 $\Sigma\text{-}\Delta$ 调制器来说，如果满足式(4-29)，那么认为调制器是稳定的。

$$\max_w |H(e^{jw})| < 1.5 \tag{4-29}$$

该判定准则既不是必要条件（比如对于 2 阶调制器， $\max |H(e^{jw})| = 4$ 时也会稳定），也不是充分条件（这个判则没有对输入信号的幅度做出限制），但鉴于该判则的简单方便，Lee 判则比较常用。 $\max |H(e^{jw})|$ 表示 NTF 在整个频率上的最大增益，也可以

用 $\|H\|_{\infty}$ 来表示。Lee 判则最初限定 $\|H\|_{\infty}$ 不能大于 2，但是根据高阶调制器的设计经验， $\|H\|_{\infty}$ 的经验值变为 1.5。对于中阶调制器（如 3 或 4 阶）来说， $\|H\|_{\infty}$ 略高一些也是能够容忍的，但对于相对高阶的调制器（如 7 阶以上）， $\|H\|_{\infty}$ 取小于 1.4 的值更合适。Lee 判则可以作为设计预测单比特调制器的先验法则，但缺乏理论基础，需要具体仿真验证确定。

对于多比特量化器的调制器来说，其稳定性的确定需要保证量化器不过载，下面对保证量化器不过载的条件进行讨论。对于 M 阶的量化器，具有 $M+1$ 级量化电平，当量化器的输入初始值 $y(0)$ 不使量化器过载，并且有 $\max |u(n)| \leq M + 2 - \|h\|_1$ ，这样能够保证调制器一定不过载（其中， $u(n)$ 为调制器的输入， $h(n)$ 为噪声传输函数 $H(z)$ 的逆 z 变换， $\|h\|_1 = \sum_{n=0}^{\infty} |h(n)|$ ）。

对于 N 阶差分 NTF， $H(z) = (1 - z^{-1})^N = 1 - Nz^{-1} + \dots$ ，有 $|h(n)| = (-1)^n h(n)$ ，因此可得到 $\|h\|_1 = H(-1) = 2^N$ ，同时量化器为 $M=2^{N+1}$ 阶，根据上述规则，则有满足条件 $\max |u(n)| < 2^{N+1} + 2 - 2^N = M/2 + 2$ 时，能够保证调制器的稳定性，即输入信号小于量化器输入范围的一半幅度都可以防止量化器过载。

根据以上的稳定性判定条件以及零极点优化的要求，下面对调制器进行优化设计。首先，考虑到调制器输入信号为音频信号，要能够保证音频信号不失真，因此要求输入信号本身具有良好的线性度，根据 4 阶 CIFF 结构调制器的特点，当 $b_1=c_1, b_2=b_3=b_4=0, b_5=1$ 时能够使 $STF=1$ ，这能够保证了音频信号被调制后仍保持线性度，同时省略掉了系数 b_2, b_3 和 b_4 ，有利于降低调制器的硬件开销。为了使硬件电路实施起来比较精简，同时不影响调制器的调制能力的情况下，直接让 $b_1=c_1=1$ ，这样减少了系数的逻辑开销。同时从式(4-28)中可以看出，系数 g_1 和 g_2 用来调节调制器零点的位置，考虑音频信号的输入频率范围为 0~20kHz，需要抑制在直流 DC 处的噪声，因此需要放置一个零点对在 $z=1$ 处，若令 $g_1=0$ ，这样正好能够保证有一个零点对在 $z=1$ 处。将 CIFF 结构经过初步优化精简，精简后的结构如图 4.11 所示，其噪声传递函数变为：

$$NTF(z) = \frac{(z-1)^3[(z-1)^2 + g_2 c_4]}{(z-1)^3 Q_2 + c_1 a_1 (z-1)^2 Q_2 + c_1 a_2 c_2 (z-1) Q_2 + c_1 c_2 c_3 a_3 Q_2 + c_1 c_2 c_3 c_4 a_4 (z-1)} \quad (4-30)$$

下面对精简后的结构进行零极点的优化，借助 matlab 的仿真验证，确定另外一个零点对，使带内的噪声密度达到最低，同时优化极点，保证系统的稳定性，且能使

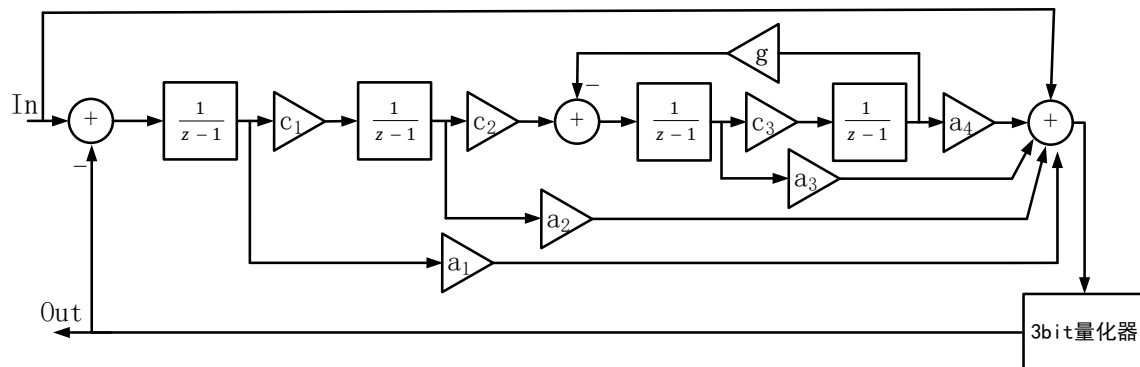


图 4.11 优化的 4 阶 CIFF 结构

带内的噪声平坦，提高信号的线性度。根据仿真得到的式(4-30)对应的零极点图如图 4.12 所示，可以看到 4 个极点都在单位圆内，保证系统是稳定的，不会发生震荡。同时，有两个零点在 $z=1$ 处，另外两个零点在 $z=1\pm 0.02113i$ 位置处。图 4.13 是调制器的信号传输函数 STF 和噪声传输函数 NTF 的特性曲线图，可以看到在归一化频带内

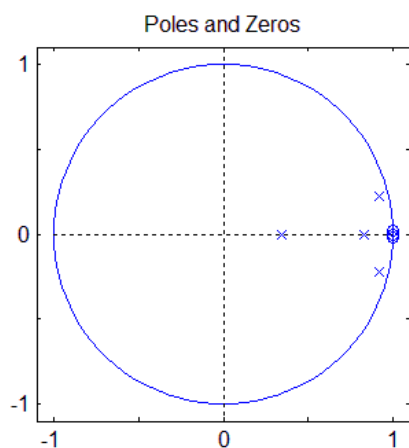


图 4.12 零极点图

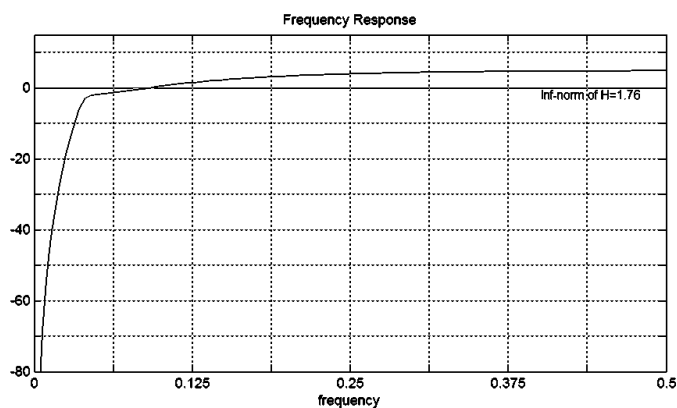


图 4.13 STF 和 NTF 特性曲线

STF=1, NTF 的最大增益为 1.76。图 4.14 是仿真中信噪失真比随着输入幅度的变化, 可以得知当输入幅度为满输入幅度的-0.5dBfs 处达到峰值信噪比, 为 146.7dB, 能够满足 24 比特音频 DAC 的分辨率要求。

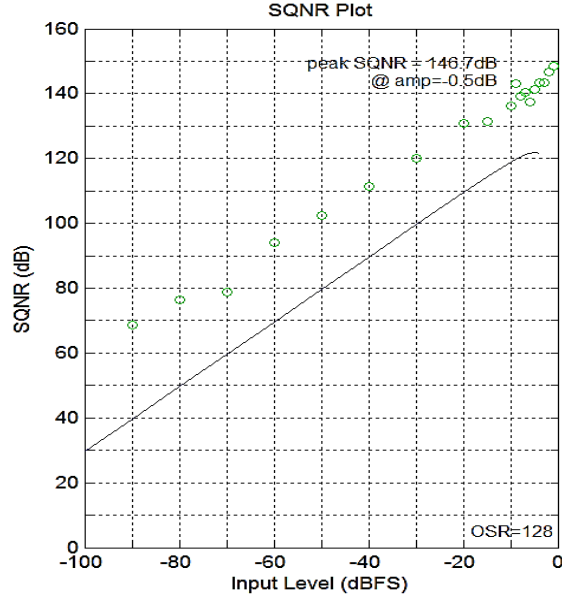


图 4.14 信噪失真比随输入幅度的变化

同时为了保证每级积分器能够不溢出导致系统不稳定, 需要对系数进行调整, 可以通过缩放系数 c_i 来调整输入积分器的信号幅度, 图 4.15 表示的仿真调整系数后各级积分器输出的归一化幅度, 可以看出最大输出为满幅度的 0.9, 能够确保整个系统具有良好的稳定性。

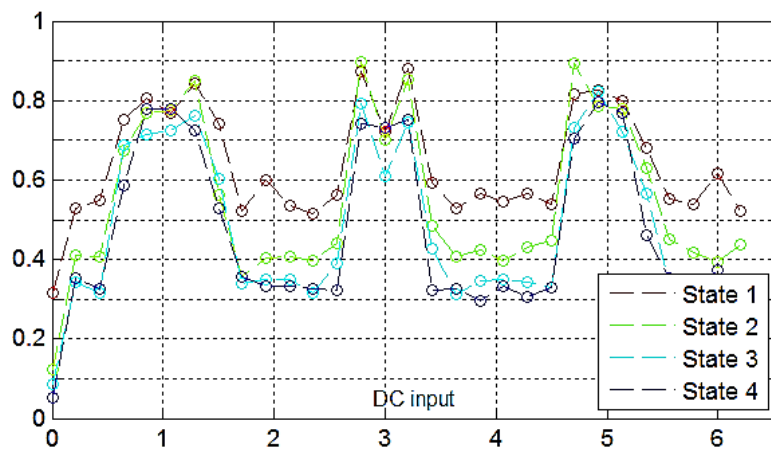


图 4.15 各级积分器的输出幅度

通过 matlab 的仿真得到的初步参数值如表 4.2 所示:

表 4.2 优化的 CIFF 结构的各个参数值

a_1	3.4356	a_3	2.1609	b_1	0.2345
a_2	2.8876	a_4	1.1241	b_5	1
c_1	0.2345	c_2	0.4551	g_2	0.0025
c_3	0.2793	c_4	0.1794		

由于上述优化的 CIFF 结构中使 $a_1 = b_1 = 1$ ，这样是为了简化系数，方便硬件的实施，因此可以根据 NTF 来将表 4.2 中的参数转化成为表 4.3 中的参数，同时能够保证调制器的性能不发生变化。

表 4.3 调整后的参数

a_1	0.8057	a_3	0.5068	b_1	1
a_2	0.6772	a_4	0.2636	b_5	1
c_1	1	c_2	0.4551	g_2	0.0025
c_3	0.2793	c_4	0.1794		

上表得到的数值是对零极点优化之后得到的参数，但实际的硬件操作需要定点化处理，因此下面将将会介绍定点化之后的数据。

4.3 调制器系数的非等长定点化处理

不同的系数对调制器具有不同的影响度，因此可以根据不同系数的影响因子来确定不同系数的精度^[31]。不同精度意味着不同字长，对于影响因子较大的系数可以通过增加字长来提高性能，对于影响因子较小的系数可以减少字长来降低硬件开销，本文采用了非等字长的定点化处理调制器的系数，减少了硬件开销。根据系数对调制器的影响，通过仿真保证定点化之后尽量不影响调制器的噪声整形效果。

表 4.4 定点化后的参数

参数	定点化	位数	参数	定点化	位数	参数	定点化	位数
a_1	0.7969	7	a_3	0.5	1	b_1	1	
a_2	0.6719	7	a_4	0.2656	7	b_5	1	
c_1	1		c_2	0.4531	7	g_2	0.002	9
c_3	0.2813	7	c_4	0.1797	7			

从表中可以看出非定点化处理之后，可以精简系数，方便 CSD 编码，有效的减小系数的逻辑操作。

4.4 本章小结

本章对调制器的整体设计流程进行了详细的说明,首先根据调制器的噪声整形能力和 24 比特音频 DAC 的设计指标要求来确定调制器的过采样率、阶数和量化器的位数。通过根据 OSR 不能过高,过高会导致功耗过大,以及总体上多比特量化器性能要优于单比特量化器,确定采用了过采样率为 128 倍,4 阶 3 比特的 Sigma-Delta 调制器。确定了调制器的采用方案之后,需要具体设计出噪声传输函数,也就是设计出一个高通的滤波器。噪声函数的设计可以根据 Butterworth 滤波器和 Inverse-Chebyshev 滤波器的设计方法,来设计出满足要求的噪声传输函数。噪声传输函数的实现需要借助具体的电路结构,所以需要对 sigma-delta 调制器的结构类型进行分析。调制器的结构类型可以分为环路滤波器结构、多级级联结构和误差反馈结构,同时环路结构又有 CIFB、CIFF、CRFB 和 CRFF 这四种结构,综合分析之后采用了 CIFF 结构,这种结构更有利于硬件电路的实现。确定采用 CIFF 结构后,需要对 NTF 和 CIFF 结构进行优化。通过对 NTF 的零极点进行优化,使带内的积分噪声最小和保证系统的稳定性。通过对 CIFF 结果的优化,使该机构的系数能够最少,这样能够降低硬件的开销,优化的 CIFF 结构通过反馈系数 g 来优化零点,降低带内噪声,提高信噪比;输入信号直接连接至量化器是保证了信号传输函数(STF)为 1,这样使调制器环路不再处理输入信号,只处理量化噪声,使输入信号具有更好的线性度,调制器内的积分器的输出数据幅度减小,有利于调制器的稳定,减小积分器的字长;系数 c_1 - c_2 是用来缩减积分器的输入数据幅度,防止积分器溢出。最后通过非等长的定点化处理方法进一步精简系数,降低系数的逻辑开销。

第五章 电路实现及结果分析

通过对 24 比特音频 DAC 中插值滤波器 4 级级联结构确定, 根据设计指标确定每级滤波器的结构和系数, 然后有了具体的电路实现结构和系数, 便可以进行硬件电路设计, 设计时由于硬件的处理位数有限, 需要对系数定点化处理, 以能够进行硬件处理。在采用 Verilog HDL 硬件语言对插值滤波器进行行为级代码(Register Transfer Language, RTL)设计之前, 需要借助 Matlab 的 Simulink 工具对定点化之后的插值滤波器进行功能验证, 确保 RTL 设计出来的滤波器性能能够满足 Sigma-Delta DAC 的指标要求。图 5.1 是 simulink 的仿真结果, 可以表明定点化处理之后的插值滤波器功能正常, 很好的实现了 128 倍的插值升采样, 采样点越来越多, 输出越来越平滑。

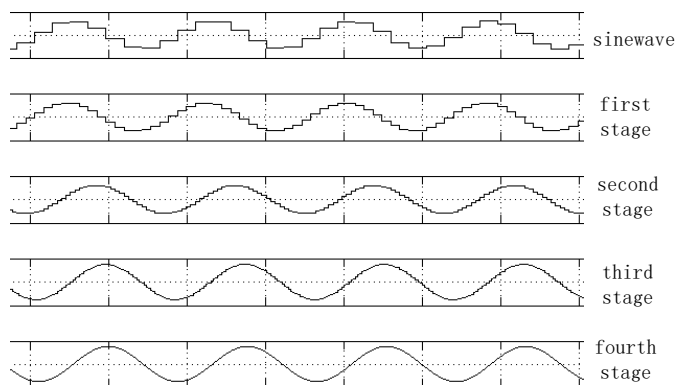


图 5.1 定点化后的插值滤波器 simulink 仿真

同时在频域上进行分析, 对 5.64kHz 的满量幅输入信号进行分析, 可得到图 5.2, 其信噪比能够达到 142.6dB。

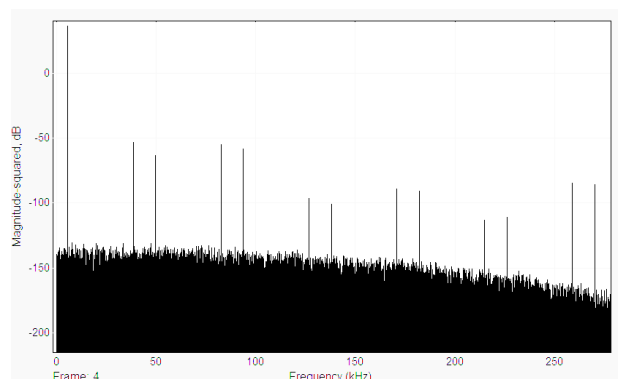


图 5.2 5.64kHz、0dBFs 输入信号的频谱图

通过对插值滤波器经过 matlab 仿真验证之后, 确保性能没有问题之后, 就可以进行 RTL 代码设计。在设计 RTL 代码时, 可以采取优化的滤波器结构和改进的公共子式消除方法进行设计。

在对 Sigma-Delta 调制器进行硬件实现时, 也需要对优化的 CIFF 结构的调制器进行 simulink 建模仿真验证, 以便确定设计调制器能够正常工作。图 5.3 表示的是调制器的 simulink 模型的仿真结果, 可以看出定点化处理后调制器能够很好的工作。

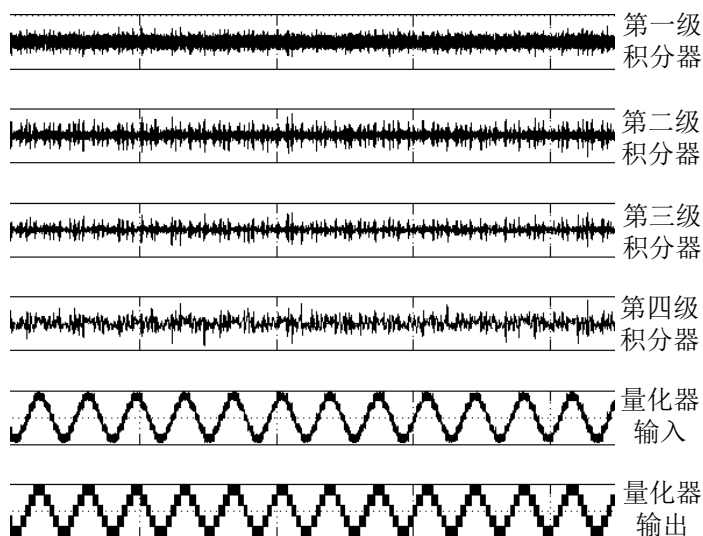


图 5.3 定点化调制器 simulink 仿真结果

将模型仿真输出的结果进行频谱分析, 得到图 5.4, 通过计算可以得到信噪比 SNR 达到 142.9dB。

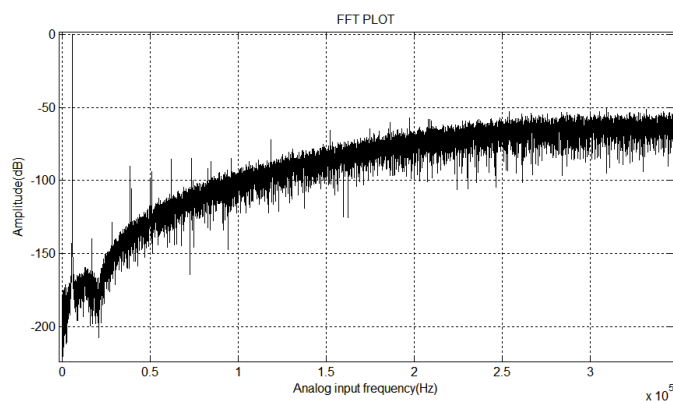


图 5.4 5.64kHz 信号经过调制器后的频谱图

调整器的模型仿真没问题后便可以根据模型设计的结构和参数进行 RTL 代码设计, 进行硬件电路的实现。在完成整体系统的仿真后, 下面将介绍插值滤波器和调制

器数字电路的具体设计实现操作。

5.1 芯片的 ASIC 实现

5.1.1 RTL 代码设计

在进行 RTL 代码设计时,就要考虑到低功耗、微面积的设计要求,使代码能够精简高效。RTL 代码设计当中,将会用到 CSD 编码技术,寄存器和加法器共用技术和公共子式消除技术来减小硬件的开销和功耗。编写 RTL 代码时,需要将电路划分成各个模块,方便设计,同时也对后续的 RTL 代码综合成网标时,有利于对时序的优化。

由于该音频 DAC 的数字前端是一个多采样频率的系统,插值滤波器的各个滤波器工作在不同的时钟频率,需要工作在 5 种频率下,因此在 RTL 设计中,电路模块划分时需要特别设计时钟模块。时钟电路模块的设计非常关键,这关系到整个电路的工作时序,所以要对时钟模块进行合理的划分。

如果每个电路采用不同的时钟来单独输入频率,电路中将存在多个不同时钟频率,在实际的电路中很容易出现各个模块之间的数据传送时会出现时钟沿不齐的现象,数据的建立时间和保持时间不够,出现亚稳态的问题,导致时序出错,电路无法正常工作。本论文采取的方法是使整个电路设定一个主时钟频率,各个子模块需要的时钟根据主时钟频率进行分频,这样能够在电路综合时,时序建立时间和保持时间的优化。

电路当中最高的工作频率为 128 倍过采样之后的频率,即为 5.6448MHz,因此设定了时钟模块的主频率为 5.6448MHz,其他的时钟频率通过分频电路来实现。

同时,在设计 RTL 代码时,考虑到 24 比特的音频 DAC,单独数据的输入就要占用 24 个输入引脚,对后续实际芯片的版图设计不利,会使用大量的 I/O 口导致占用大量的版图面积,因此设计了串行外设接口(Serial Peripheral Interface, SPI)来解决该问题。SPI 接口是一种高速、全双工、同步的通信总线,通常其接口示意图如图 5.5 所示,其中 Sclk 为同步时钟信号线,用来同步主从设备的数据传输,由 Master 驱动输出,slave 设备按照 Sclk 频率接收或者发送数据;mosi 为串行数据线,主设备输出,从设备接收;miso 也为串行数据线,从设备输出,主设备输入;ss 为设备选择线,用于选择或者激活从设备。可以看出采用 SPI 方案,将并行数据转换成为串行数据,原

本需要 24 个引脚现在只需要 4 个引脚就能实现。设计的 SPI 模块中数据传输长度为 16 位，每次传送 16 个数据，24 为数据要分两次传送，传送的第一组数据中前 8 位数据定义为地址位，这样两次传送的 32 为数据中有 8 位是地址为，另外的 24 位为数据位。

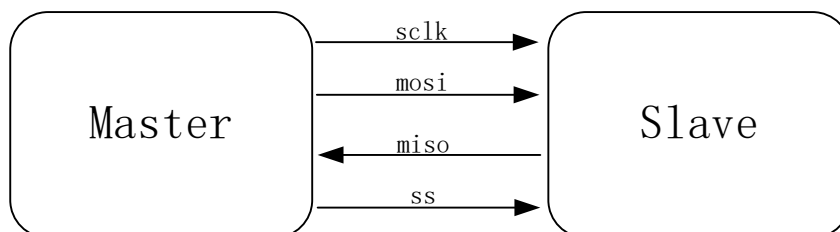


图 5.5 SPI 接口连接示意图

在 RTL 设计中，插值滤波器和调制器中存在不少加法和移位操作，由于操作位宽有限，随着数据不断的进行加法运算，数据字长会增大，导致运算会溢出，所以在数据完成一定的操作之后，需要进行一定的截尾操作，但是截尾会导致出现截尾误差，会降低硬件运算的精度，所以在设计时需要综合运算的精度和硬件资源的开销，在两者之间要进行折衷。图 5.6 中可以看到设计时每级滤波器的输入输出位宽，保证运算有足够的精度。在滤波器内部的加法器位宽设定时，需要根据具体的系数完成的移位操作来具体设计，防止造成溢出，导致运算出现错误。运算位数设计时需要借助仿真来具体确定和调整位宽。

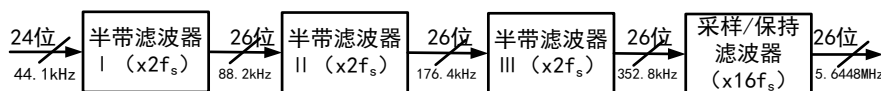


图 5.6 各级滤波器位宽的设定

RTL 代码设计中要借助 Modelsim 软件进行仿真验证，确保代码实现的功能能够和设计的目标效果相一致。图 5.7 是完成 RTL 代码设计之后，利用 modelsim 进行仿真得到的结果，图中从上到下分别表示的是输入信号波形，经过第一级半带滤波器的输出波形，第二级半带滤波器的输出波形，第三级半带滤波器的输出波形，梳状滤波器的输出波形，Sigma-Delta 调制器的输出波形。从图中可以看出 RTL 设计达到的效果和 simulink 模型仿真得到的结果能够保持一致。同时，需要对信号进行频域上的分析，在频域上分析通常会用到快速傅里叶变换(FFT)，下面简单说明 FFT 频谱分析时

需要注意的问题。

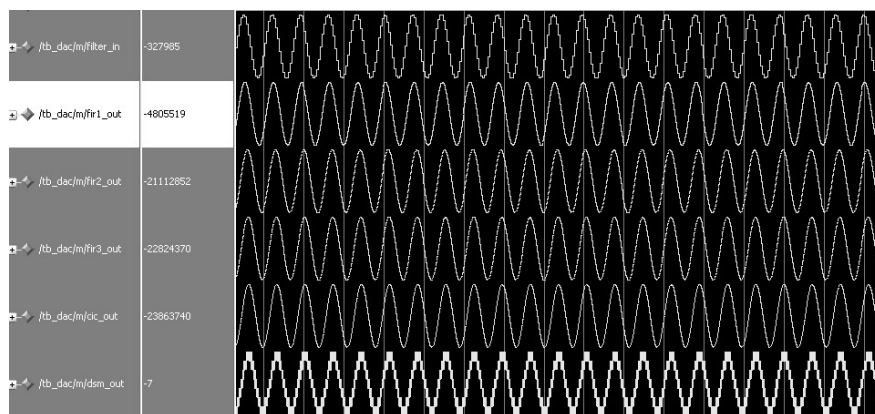


图 5.7 RTL 代码的仿真结果

通常 FFT 分析时，会用到窗函数，选择合适的窗函数能够有效的防止频谱泄露。在 FFT 计算时，是基于假设离散时间序列可以准确在整个时域上周期拓展来分析的，如果时间序列的长度不是信号周期的正数倍，假设的条件不成立，这样就会造成频谱泄漏。频谱泄漏导致信号频率分量的能量泄漏到相邻的频点上，从而导致测量出现误差，所以合适的窗函数可以有效的减少频谱泄漏。对于信号中有许多远离被测频率的强干扰分量，此时应选择旁瓣衰减较快的窗函数，如果是较强的干扰频率分量紧靠目标频率时，应选择旁瓣峰值较小的窗函数。本文中使用了汉宁窗(Hanning)，汉宁窗具有较好的频率分辨率和抑制频谱泄漏的能力。

同时为了防止频谱泄漏，可以对 DAC 的输入信号进行相关采样，相关采样指的是采样率和输入频率满足以下关系式：

$$\frac{1}{f_{sample}} \cdot M_{record} = \frac{1}{f_{in}} \cdot J_{cycle} \quad (5-1)$$

其中， M_{record} 指的是采样的样本点数， J_{cycle} 指的是输入信号的周期数。满足式(5-1)的就成为相干采样，不满足该条件时为非相干采样^[32]。本文 FFT 分析时，输入信号与采样频率满足相干采样。下图 5.8 中的频谱分析图是采用汉宁窗和输入信号为相干采样信号进行的 FFT 分析，分析的信号是 Sigma-Delta 调制器的输出结果，图中的输入信号为 2.821kHz，输入幅度为-3dBFS，得到的信噪比 SNR 为 140.8dB，信噪失真比 SNDR 为 140.4dB，无杂散自由动态范围为 126.2dB，能够达到 24 比特音频 DAC 的解析度要求。

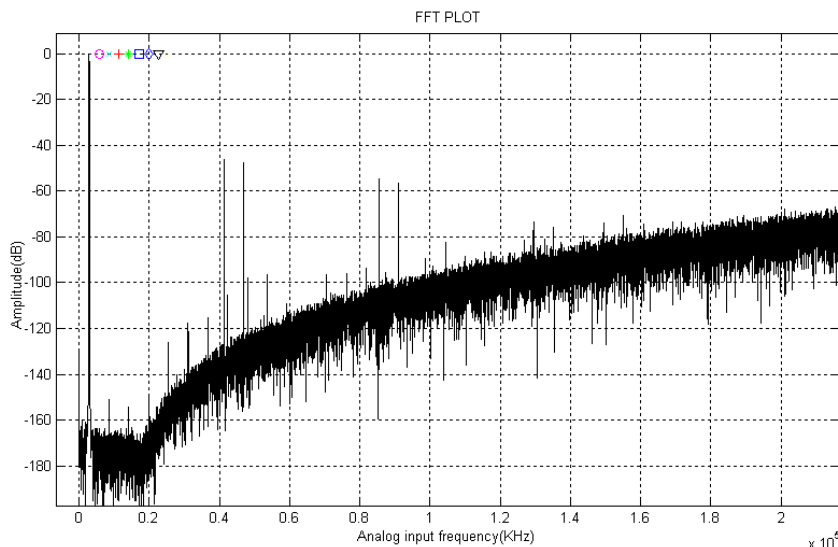


图 5.8 RTL 仿真结果频谱分析

设计的 RTL 代码经过仿真分析验证之后，满足设计的指标要求时，接下来需要对代码进行综合，转化成门级网标。

5.1.2 综合实现

综合是将用 Verilog 语言描述的 RTL 代码从寄存器级进行转换和优化，映射到工艺厂商提高的标准电路库，并生成门级网标。门级网标描述的是门级电路，对应到具体的逻辑电路^[33]。本文中采用的工艺是中芯国际(SMIC)40nm 1P6M CMOS 工艺，综合时需要调用 SMIC 的库文件，这样在使用 Design Compiler (DC)软件进行综合时，DC 能够知道每个逻辑单元的具体功能。为了降低芯片的功耗，采用了工艺库中的高阈值栅压的 MOS 管，高阈值栅压的 MOS 管具有较小的静态泄漏电流，能够降低芯片的整体功耗。

在 DC 进行综合时，为了对电路的功能和时序进行了解和分析，需要设计约束，综合会按照约束条件将 RTL 代码转换成门级网标^[34]。约束条件主要包括环境属性约束、设计规则约束和时序约束，DC 综合时会对时序进行严格的分析和优化，要使电路能够满足建立时间，这样数据才能够稳定的接收和发送。DC 在综合当中会产生时序报告，要求报告中建立时间的时间裕度(slack)为正，保证有足够的建立时间。对于保持时间，是在后端版图中的布局布线时进行优化和修复的，在 DC 综合阶段只对建立时间进行优化和修复。

本文中的电路是工作时钟来自同一个时钟源下的同步电路，不同采样频率下的电路时钟都是通过主时钟频率分频得到的，因此在设置时钟约束时需要特别考虑到分频时钟的特殊约束设置要求。在 DC 脚本操作中，用“create_clock”命令可以定义主时钟的频率，使用“create_generated_clock”命令来定义分频时钟，用这种约束命令时，能够将时钟源的任何变化都能传递到分频时钟当中，这样约束更准确，也能更接近电路工作的真实情况。

DC 综合完成后，需要查看时序报告，确保建立时间有足够的裕量，整体电路时序没有问题后将综合产生的约束文件和网标文件交予后端版图设计使用。在 DC 综合过程中，可以借组 Prime Time(PT)软件进行静态的时序分析^[35]，动态的时序分析可以借助 modelsim 进行仿真分析。

5.1.3 后端版图

综合完成之后，将进行后端版图的设计，利用 DC 产生的门级网标文件和时序约束信息文件，借助 IC Compiler(ICC)软件来实现版图的绘制。ICC 软件将会调用 SMIC 40nm1P6M CMOS 工艺库中的标准逻辑单元的版图和 I/O 库中的版图，将门级网标转换为电路版图。

ICC 的设计基本流程如图 5.9 所示^[36]，其中设计规划中包括芯片版图大小和形状的规划，I/O PAD 的放置，电源环和电源网格的放置；布局和优化主要是逻辑单元版图

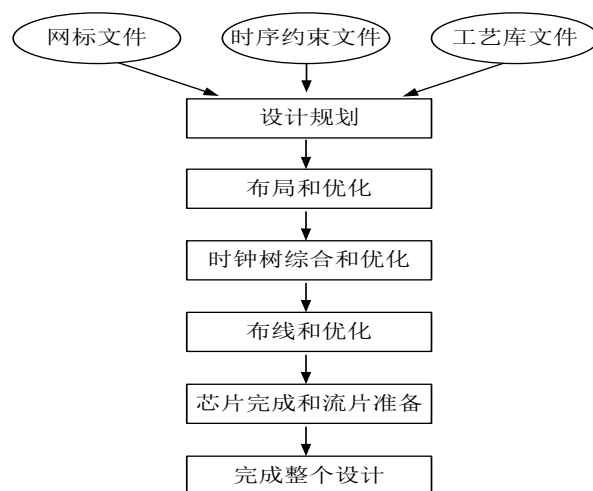


图 5.9 ICC 版图设计流程

的放置，并对放置位置根据约束要求进行优化；时钟树整合和优化主要包含对时钟线的预布线，会在时钟树上加入一些逻辑门来修复保持时间的问题；布线和优化主要是完成版图的连线，并保证建立时间和保持时间满足要求；芯片完成和流片准备主要是对版图进行局部修改，添加一些填充层满足 DRC 规则的要求；完成设计之后会生成一系列文件，这些文件可以用来后仿真和导出版图。

下图 5.10 是 ICC 完成的版图核心电路的面积，大小为 $0.23\text{mm} \times 0.23\text{mm}$ ，添加上 I/O PAD 之后版图的整体面积为 $0.73\text{mm} \times 0.73\text{mm}$ ，版图如图 5.11 所示，共有 16

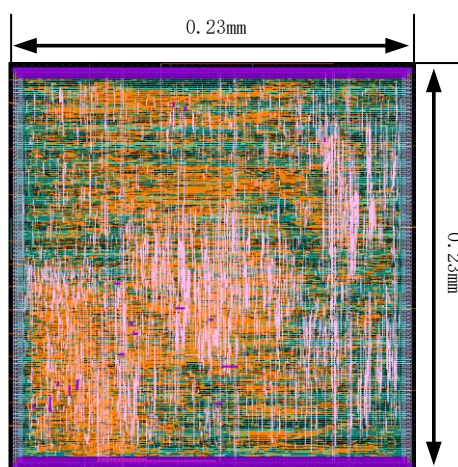


图 5.10 芯片的核心电路版图

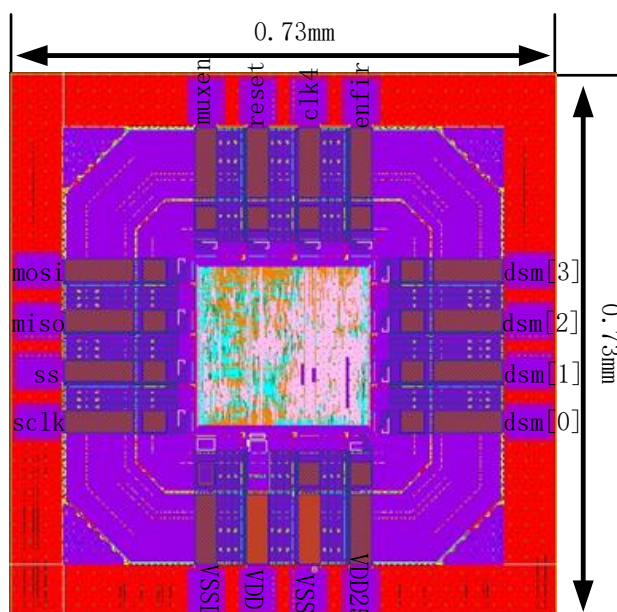


图 5.11 芯片的整体版图

个 I/O，芯片的内核供电电压为 1.1v，为了测试时方便和外部常用的 3.3v 的逻辑单元连接。I/O 的工作电压设为 3.3v，这样 I/O 同时能够起到电平转换的作用，将内部 1.1v 的逻辑电平转到外部的 3.3v 逻辑电平，同时外部传输的 3.3v 能够转为 1.1v。

ICC 产生的版图需要导入到 Cadence 当中进行 DRC 规则的检查 and LVS 检查，DRC 检查是让版图的设计符合工艺厂商提供的设计规则，LVS 检查是为了使该版图的电气连接和网标文件中的电路对比使其保持一致。

在版图完成之后，需要对版图进行寄生电阻、电容参数的提取，将寄生参数和布局布线的延时信息反标到网表中，进行后仿真验证电路的功能，下面将会介绍后仿真。

5.2 后仿真结果及分析

后仿真用来验证芯片版图的性能情况，确定其性能是否满足设计要求，若满足要求则可以向工艺厂商投片。后仿真借助软件 modelsim 来完成，将 ICC 产生.sdf 文件反标到网表中进行后仿真，仿真会考虑到寄生参数和布线延时因素的影响。

本文设计的音频 Sigma-Delta 数模转换数字前端用 2.821KHz、-2.5dBFS 正弦信号作为输入进行后仿真测试，输出数据经过傅里叶分析，得到的频谱图如图 5.12 所示，信号与噪声、谐波失真比(SNDR)达到 141dB，无杂散自由动态范围(SFDR)为 136dB。

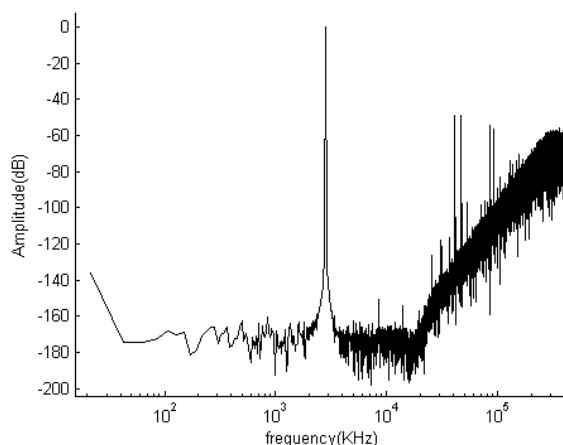


图 5.12 2.821KHz、-2.5dBFS 信号对应的输出频谱图

下图 5.13 是后仿真测试得到的输入信号为 2.821KHz 时信噪比随输入幅度的变化，该芯片能够达到的峰值 SNR 为 145.8dB，完全满足对于 24 位音频 DAC 性能的要求。当采用 1.1v 电源电压供电时，仿真得到芯片的功耗为 53uW，满足了低功耗的

设计要求。

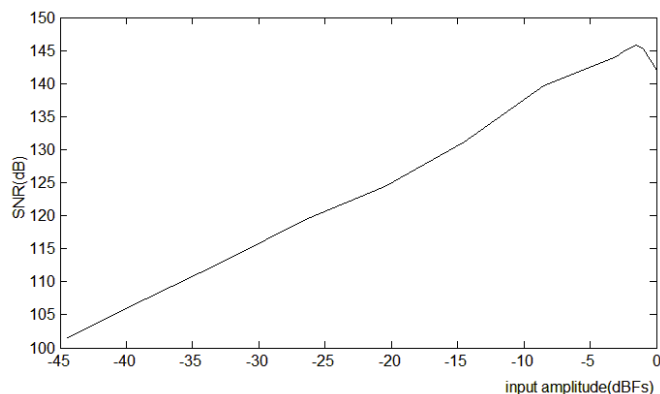


图 5.13 SNR 随输入幅度变化

该音频 DAC 数字前段模块与已发表论文中的模块性能比较见表 5.1，可以看出该模块在实现高精度的同时，面积和功耗具有很大的优势，满足功耗低、面积小的要求。

表 5.1 不同文献设计实现的性能比较

方法来源	工艺/nm	电源电压/V	OSR	SNDR /dB	面积/mm ²	功耗/mw
[1]	350	0.8	64	95.6	1.44	0.128
[4]	180	1.5	64	104.4	0.44	0.12
[37]	150	1.8	88.2	94*	0.36*	2.47*
[38]	130	1.2	128	88*	0.3	0.75
[39]	45	1.5	8	103*	0.327*	4.8*
本文	40	1.1	128	145.1	0.053	0.053

注：加*号表示为 DAC 的整体指标

5.3 本章小结

本章主要介绍了音频 Σ - Δ DAC 数字前端的芯片设计过程，详细介绍了从电路结构的确定到后端版图设计的数字电路设计流程。在 DAC 数字前端电路实现时，首先需要确定插值滤波器和 Σ - Δ 调制器的整体结构，经过 simulink 系统仿真确定系统结构满足设计要求时，再进行 RTL 代码的编写。RTL 作为一种硬件语言，可以描述电路的功能，经过 DC 综合后将 RTL 代码转变成门级网表，门级网表对应实际的逻辑电路。门级网表通过检验满足时序要求后，通过 ICC 进行后端版图设计工作，调用工

艺库中的门级电路的版图来进行布局布线操作。布局布线过程中会按照一定的规则文件进行，对建立时间和保持进行修复，满足逻辑电路的时序要求。设计的版图核心面积为 $0.23\text{mm} \times 0.23\text{mm}$ ，整个芯片的面积为 $0.73\text{mm} \times 0.73\text{mm}$ 。后端版图设计完成后，需要进行后仿真，将版图的寄生电阻、电容和连线延时考虑进行，用来确定最终的版图是否满足性能要求。在后仿真中，音频 DAC 的数字前端模块的峰值信噪比 SNR 达到 145.8dB，满足了 24 比特的精度要求，同时在 1.1V 的供电电压下，功耗达到 0.53uW。

第六章 总结

音频 DAC 设计需要满足高精度、低功耗和微面积的要求,而 sigma-delta 结构的 DAC 恰好能够达到这些要求,因此本文针对 Σ - Δ DAC 的数字前端部分进行了低功耗和面积微型化的设计研究。音频 Σ - Δ DAC 的数字前端部分包括插值滤波器和 Σ - Δ 调制器,本论文围绕这两部分进行研究,提出了一种新型的插值滤波器结构,并对 Sigma-Delta 调制器进行精简和优化,降低了硬件的开销。设计的数字前端部分采用 SMIC 40nm 1P6M 工艺,完成芯片的核心版图面积为 0.053mm^2 ,后仿真得到的峰值 SNR 为 145.8dB,在 1.1v 电源电压下功耗为 53uw。本论文的主要工作总结如下:

(1)对过采样 Sigma-Delta 调制器的基本工作原理进行了介绍,详细介绍了调制器的过采样技术和噪声整形原理,分析得到调制器输出信噪比的经验公式。讲述了插值滤波器的升采样原理,介绍了插零算法来实现升采样。

(2)对插值滤波器的结构进行了详细分析,比较得知采用多级级联的结构能够很大程度上降低滤波器的阶数,从而选择了 4 级级联的整体结构来实现 128 倍的升采样。采用的 4 级结构中前三级都为半带滤波器,最后一级为 CIC 滤波器。半带滤波器具有线性相位且一半系数为零的特点,非常有利于硬件实现。考虑到半带滤波器在电路硬件实现中占有绝大部分资源,因此对现有的直接型和相位折叠型结构进行分析,提出了一种新的半带滤波器结构。并对滤波器的系数算法进行研究分析,对公共子式消除算法进行了改进。半带滤波器的创新主要体现在一下几个方面:能够有效的进行寄存器和加法器的共用,减少寄存器和加法器的数量;通过系数提取公因子的整合处理,能够降低滤波器的阶数,即减少了系数,同时整合过的系数更有利于采用改进的非递归公共子式消除算法,减少系数中未配对的位数,降低了逻辑操作,减小了面积和功耗。

(3)详细介绍了 Sigma-Delta 调制器各种实现结构,区分了环路滤波结构、多级级联结构和误差反馈结构的差别,综合噪声整形性能和面积、功耗的考虑,采用了环路滤波结构中级联积分器前馈(CIFF)结构,该结构具有相对较小的硬件开销。对 CIFF 结构的调制器在保证噪声整形功能不受影响的情况下进行了精简,减少了调制器的系数,

降低了硬件开销。同时对调制器噪声传输函数的零极点进行了优化,提高调制器输出的信噪比。对调制器的系数进行了非等长定点化处理,有效降低了逻辑操作,减少了硬件开销。

(4)在对音频 DAC 的数字前端实现过程中,详细介绍了数字前端到后端的设计过程,主要经过了系统结构仿真,RTL 代码编写,DC 综合和 ICC 后端版图设计这几个步骤,通过后仿真来确定芯片版图的性能是否达到设计要求。最后设计的整体数字前端模块在实现 145.8dB 峰值 SNR 的高精度的同时,面积和功耗分别仅为 0.053mm^2 和 53uW,实现了低功耗、高性能和面积小的设计目标。

参考文献

- [1] Kyehyung Lee, Qingdong Meng, et al. A 0.8V, 2.6mW, 88dB Dual-Channel Audio Delta-Sigma D/A Converter With Headphone Driver[J]. IEEE Journal of Solid-State Circuits, 2009, 44(3):916-927.
- [2] Rahmi Hezar, Lars Risbo, et al. A 110dB SNR and 0.5mW Current-Steering Audio DAC Implemented in 45nm CMOS[C]. International Solid-State Circuits Conference(ISSCC), 2010:304-305.
- [3] Min Gyu Kim, Dongtian Lu, et al. A Stereo 110 dB Multi-rate Audio Sigma-delta DAC with Class-G Headphone Driver[C]. Custom Integrated Circuits Conference(CICC), 2014:1-4.
- [4] 赵津晨, 高性能音频 Delta-Sigma 数据转换器的设计与优化技术研究[D], 浙江大学, 2013.
- [5] Run Chen, Liyuan Liu, et al. A Cost-effective Digital Front-End Realization For 20-bit $\Sigma\Delta$ DAC in 0.13 μ m CMOS[C]. Custom Intergrated Circuits Conference(CICC), IEEE, 2007:447-450.
- [6] Yuyu Liu, Jun Gao, Xiaodong Yang. 24-bit Low-Power Low-Cost Digital Audio Sigma-Delta DAC[J]. Tsinghua Science and Technology, 2011, 16(1):74-82.
- [7] Fujimori, I., Sugimoto, T. A 1.5v, 4.1mW Dual Channel Audio Delta-Sigma D/A Converter[C]. IEEE International Solid-State Circuits Conference, 1998:60-61.
- [8] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes. Delta-Sigma Data Converters[M], 1996:14-16.
- [9] R. E. Crochiere, L. R. Rabiner, Multirate Digital Signal Processing, Englewood Cliffs, NJ, 1983.
- [10] 刘涛, 过采样 DAC 中数字滤波器设计[D]. 合肥工业大学, 2007.
- [11] 张小红, 数字信号处理[M]. 北京: 机械工业出版社, 2004.
- [12] John G. Proakis, Dimitris G. Manolakis. Digital Signal Processing Principles, Algorithms, and Applications[M]. Pearson Education Publisher, 2007.
- [13] Sanjit K. Mitra, Digital Signal Processing: A Computer based Approach[M]. 北京, 清华大学出版社, 2006.
- [14] R. Hartley. Optimization of canonic signed digit multipliers for filter design[C]// Proc. IEEE Int. Symp. Circuits and Systems, Singapore, June 1991:1992-1995.
- [15] S Vijay, A.P Vinod, E.M.K Lai. A Greedy Common Subexpression Elimination Algorithm for Implementing FIR Filters[C]. IEEE International Symposium on Circuits and Systems, 2007, pp:3451-3454.
- [16] K.G Smitha, A.P Vinod. A new binary common subexpression elimination method for implementing low complexity FIR filters[C]. IEEE International Symposium on Circuits and Systems, 2007, pp:2327-2330.
- [17] R. Mahesh. A New Common Subexpression Elimination Algorithm for Realizing Low-Complexity Higher Order Digital Filters[J]. IEEE Trans. Compt.-Aided Design Integr. Circuits Syst., Feb. 2008, vol. 27, no. 2: pp.217-229.
- [18] Marco Martinez-Peiro, et al. Design of High-Speed Multiplierless Filters Using a Nonrecursive Signed Common Subexpression Algorithm[J]. IEEE Trans. Circuits Syst. II, March 2002, vol. 49, no.3:196-203.
- [19] A. P. Vinod and Edmund M.-K. Lai. An Efficient Coefficient-partitioning Algorithm for Realizing

- Low-Complexity Digital Filters[J]. IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., Dec. 2005, vol. 24, no.12:1936-1946.
- [20] Youngbeom Jang and Sejung Yang. Low-power CSD linear phase FIR filter structure using vertical common sub-expression[J]. IEEE Electronics Letters, Jul. 2002, vol. 38, no.15:777-779.
- [21] Jing Li, et al. An improved Area-Efficient Design Method for Interpolation Filter of Sigma-Delta Audio DAC[C]// 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology. Shanghai, China: IEEE, 2010:327-329.
- [22] 赵津晨等. 音频 delta-sigma 数模转换器中高性能数字前端模块设计[J]. 浙江大学学报(工学版), 2013, 47(9):1560-1564.
- [23] Liu Yuyu, et al. 24-bit Low-Power Low-cost Digital Audio Sigma-Delta DAC[J]. Tsinghua Science and Technology, Feb. 2011, vol.16:74-82.
- [24] Yonghong Gao, LiHong Jia, Hannu Tenhunen. A fifth-order comb decimation filter for multi-standard transceiver applications[C]. IEEE International Symposium on Circuits and Systems, 2000, pp:89-92.
- [25] E. Hogenauer. An Economical Class of Digital Filters for Decimation and Interpolation[J]. IEEE Transactions on Signal Processing, 1981, 29(2):155-162.
- [26] 曹桂平. 高精度 Sigma-Delta 调制器研究及 ASIC 实现[D]. 中国科学技术大学, 2012.
- [27] P. J. Naus, E. C. Dijkmans, E. F. Stikvoot, et al. A CMOS stereo 16-bit D/A converter for digital audio. IEEE Journal of Solid-State Circuits, 1987, 22:390-395.
- [28] S. Norsworthy, R. Schreier, G. Temes, Delta-Sigma Data Converters, Theory, Design and Simulation[M]. 1997, New York:IEEE Press.
- [29] W.L. Lee, A novel higher order interpolative modulator topology for high resolution oversampling A/D converters[D]. Master's Thesis, Massachusetts Institute of Technology, Cambridge, MA, June 1987.
- [30] K.C.H. Chao, S. Nadeem, W.L. Lee, and C.G. Sodini, A higher order topology for interpolative modulators for oversampling A/D conversion[J]. IEEE Transactions on Circuits and Systems, 1990 3(27):309-318.
- [31] 王婷. FIR 数字滤波器的设计和研究[D]. 上海交通大学, 2007.
- [32] 陈雷. Sigma-Delta DAC 中插值滤波器的研究与实现[D]. 浙江大学, 2007.
- [33] Design Compiler Workshop. Synopsys, Inc, 2007.
- [34] 虞希清, 专用集成电路设计实用教程[M]. 杭州: 浙江大学出版社, 2007.
- [35] PrimeTime Workshop. Synopsys, Inc, 2010.
- [36] IC Compiler Workshop. Synopsys, Inc, 2010.
- [37] A. Baschiroto, G. Bollati, et al. A 94 dB-SNR-76 dB-THD high-efficiency hybrid audio power-DAC for loudspeaker ($4\Omega/8\Omega$) and earphone ($16\Omega/32\Omega$)[C]//Proceedings of the ESSCIRC, 2010. Seville, Spain: IEEE, 2010:226-229.
- [38] V. Colona, M. Annovazzi, et al. A 0.22mm^2 7.25mW per-channel audio stereo-DAC with 97dB-DR and 39dB SNR_{out}[J]. IEEE Journal of Solid-State Circuits, 2005, 40(7):1491-1498.
- [39] Yong-Hee Lee, Chun-Kyun Seok, et al. A Self-Calibration 103-dB SNR Stereo Audio DAC with True-GND Class-D Headphone Drivers in 45nm CMOS[C]// 2010 International Soc Design Conference (ISODC). Seoul, Korea: IEEE, 2010: 336-337.

硕士期间获得的研究成果

发表论文:

- [1] 梁帅, 卫宝跃, 刘昱, 张海英. 24 位低功耗音频 Sigma-Delta 数模转换器数字前端实现[J]. 微电子学与计算机, 2015, 5.

申请专利:

- [1] 梁帅, 刘昱, 张海英. 一种插值滤波器, 申请号为 201510149083.5.

致 谢

时间总是太匆匆，三年的研究生学习即将结束，充满了太多美好与难忘的瞬间，足够人生去回味与留恋。这三年来的学习生涯得到许多人的帮助，正是由于这多人的无私帮助，让研究生生活变得更加丰富多彩和有意义，在科院中学到了严谨的科研精神和正直、奉献的做人准则，这将使我受益终身。在论文的完成之际，将对那些帮助过我的人聊以表达感激之情！

首先感谢射频实验室中的所有老师和学生，在这个实验室中让我学习到了芯片设计的众多知识，了解到了芯片研究的前沿领域，学习到了如何开展科学研究，培养了发现问题和解决问题的能力，个人研究生活的开展与进行离不开实验室全体人员无私与热情的帮助，在这里必须向他们表示感谢。

感谢刘昱老师，刘昱老师在科研上给予我很大的耐心、细心的帮助，指导我如何对科研工作进规划和总结，如何对问题进行深入透彻的分析以便找到解决的办法。刘老师为人亲切、和蔼、平易近人，从他身上学习到了作为一个科研人员的严谨、勤奋和执着，在这里向刘老师表达衷心的感谢和敬意！

感谢张海英老师，张老师具有渊博的学识，丰富的经验，为整个研究室的发展付出了毕生的精力和心血，其超凡的见识和豁达的心胸给我带来了很大的影响，从她身上可以看到科院中研究人员无私奉献的精神。张老师对待学生总是能够给以极大的指导和鼓舞，在此特意向张老师表示谢意！

感谢实验室的郝明丽老师、李志强老师、黄水龙老师、张以涛老师、王云峰老师、杨浩老师、尹军舰老师在工作、学习当中给予的帮助。

特别感谢卫宝跃师姐、王晓松师兄、张永琥师兄和王倩师姐在日常的生活学习中无微不至的帮助，在科研的细节问题上不少给予耐心的讲解和帮助。

感谢谢祎师兄在数字芯片设计上给予的大力帮助，他在数字电路的众多细节方面都给予了指导，是带领我掌握数字电路设计的带路人。感谢王明华师兄、张明磊师兄和王硕师兄，他们给予了很多手把手的指导，在此特意表示感谢。

感谢实验室的魏子辉、杨雪、范舟、张健、萧延斌、孙凯、武丽伟、陈泽锋、姜大伟和李仲茂同学，同窗学习之情将会永远记得，是你们让我的研究生学习生涯变得

更加丰富多彩。感谢吴书园和王敏同学，谢谢你们给予我的热心帮助。感谢柯强、邸士伟、谢灿、胡世林和赵雯等师弟、师妹给整个实验室增添了新活力。

最后感谢我的家人，感谢他们默默无闻的无私奉献，是他们的支持、期望与鼓励让我在求学的道路上不断前行，是他们赋予我众多的本领，是我不断奋斗的动力，他们那朴实和醇厚的品德也终生影响和感染着我！

谢谢所有曾经关爱和帮助过我的人，正是由于你们，我才能够不断的进步和成长！