

密级:_____



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

多芯片封装设计及其信号完整性研究

作者姓名: _____ 潘茂云

指导教师: _____ 曹立强 研究员

_____ 中国科学院微电子研究所

学位类别: _____ 工程硕士

学科专业: _____ 集成电路工程

培养单位: _____ 中国科学院微电子研究所

2013 年 3 月

Multi-chip package design and
signal integrity study

By

Maoyun Pan

A Dissertation Submitted to

University of Chinese Academy of Sciences

In partial fulfillment of the requirement

For the degree of

Master of Engineering

Institute of Microelectronics of Chinese Academy of Sciences

March, 2013

关于学位论文使用权声明

任何收存和保管本论文各种版本的单位和个人，未经著作权人授权，不得将本论文转借他人并复印、抄录、拍照、或以任何方式传播。否则，引起有碍著作权人著作权益之问题，将可能承担法律责任。

关于学位论文使用授权的说明

本人完全了解中国科学院微电子研究所有关保存、使用学位论文的规定，即：中国科学院微电子研究所有权保留学位论文的副本，允许该论文被查阅；中国科学院微电子研究所可以公布该论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存该论文。

（涉密的学位论文在解密后应遵守此规定）

签 名：

导师签名：

日 期：

关于学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名：

导师签名：

日 期：

摘要

为了不断满足人们对电子产品的多功能、小型化的需求,电子系统的集成度变得越来越高,速度越来越快,由此产生了许多新设计与新技术。SiP(System in Package)技术应运而生,多芯片封装(Multi-chip Package, MCP)技术作为 SiP 技术在微电子封装中的一种典型应用已经变得越来越重要,按照集成度可以分为 2D-MCP 和 3D-MCP。2D-MCP 能在二维上集成多个芯片与无源器件于一个封装体中,极大的减小了封装的面积,3D-MCP 是在三维上进行封装,能进一步的减小封装体面积,它可以由多种形式实现。随着柔性印制电路新材料的开发和相关工艺能力的提高,柔性材料在电子产品中的应用范围越来越广泛,基于柔性基板的 3D-MCP 技术是当下的一个热点研究方向,柔性基板具有轻、薄、短、小的特点,结构灵活,能高密度布线,且利用柔性基板的可弯折特性,我们可以很方便的得到三维封装芯片,实现高密度的微电子封装。

近年来,随着半导体工艺能力的提高,数字芯片中信号的上升时间越来越小,已经达到 ps 级,从频谱的角度来看,意味着信号带宽的增加,信号中有更多的高频分量,此时封装中的互连线必须看成传输线结构, MCP 中会出现反射、串扰和同步开关噪声等信号完整性问题。针对这些问题,本文进行了详细的讨论,并对封装中关键的信号完整性问题进行仿真分析,提出改善信号质量的解决办法。

本文设计并制造了两款多芯片封装实例,一款是 2D-MCP 设计,另一款是基于柔性基板的 3D-MCP 设计。对两设计布局布线中的信号完整性问题进行了详细的设计与分析。在两个设计中都始终贯穿了电学设计与 DFX 设计的理念,确保了信号的传输质量、工艺的可行性和封装中热管理的可靠性。另外对基于柔性基板的 3D-MCP 的微组装工艺流程进行了详细的描述。经功能测试,两款 MCP 设计均能达到应用指标,并且基于柔性基板的 3D-MCP 能更进一步减小约 30% 的封装面积,因此基于柔性基板的 3D-MCP 技术有着广阔的应用前景。本论文中两款 MCP 的设计,对丰富微电子封装形式的研究,具有十分重要的实践意义。

关键词: 多芯片封装, 柔性基板, 信号完整性, 微组装

Abstract

In order to constantly satisfy people's demand for the multi-function and the miniaturization of electronic products, electronic system integration becomes higher and higher, faster and faster, resulting in a lot of new design and new technology. SiP technology arises at the historic moment, MCP technology as a typical application of SiP technology in microelectronics packaging has become more and more important, MCP can be divided into 2D-MCP and 3D-MCP in accordance with the level of integration, 2D-MCP can integrate multiple chips and passive components into one package in the two-dimensional, it can greatly reduce the packaging area. 3D-MCP is packaged in three-dimensional, which can further reduce the packaging area. It has a variety of forms for 3D-MCP. With the development of new materials and related technology of the flexible printed circuit, the application of flexible materials in electronic products becomes more and more widely, there is a hot research direction based on the 3D-MCP technology of flexible substrate, the flexible substrate has the characteristics of light, thin, short, small, flexible structure, and high density routing, we can easily obtain the 3D packaging chip with the bendable characteristics of flexible substrate, and realize the high density of microelectronic packaging.

In recent years, with the improvement of semiconductor technology, the signal rise time of digital chip gets smaller and smaller, has reached the level of ps, from the point of view of the spectrum, which means that the bandwidth of the signal increases, the signal has more high frequency components, the interconnection line in the package must be seen the transmission line, the signal integrity problems such as reflection, crosstalk and simultaneously switching noise will appear in the MCP. To solve these problems, the simulation analysis of key signal integrity problems and the solutions to improve the quality of signal were done in this thesis.

This thesis designs and manufactures two kinds of multi-chip package instance, one is 2D-MCP design, the other is 3D-MCP design based on flexible substrate.

Signal integrity problems are designed and analyzed in detail in layout of the two designs. The concept of electrical design and DFX design runs throughout the two designs, it can ensure the transmission quality of signal, the feasibility of process and the reliability of the thermal management in package. In addition, the micro assembly process of the 3D-MCP design based on flexible substrate is described in detail. Through the functional testing, both MCP designs can achieve the design specifications, and the 3D-MCP based on flexible substrate can further reduce about 30% of the packaging area, so the 3D-MCP technology based on flexible substrate has a wide application prospect. The two kinds of MCP design in this thesis have very important practical significance in enriching the research of microelectronic packaging forms.

KEY WORDS: MCP, flexible substrate, signal integrity, micro assembly

目录

摘要	I
Abstract.....	III
目录	i
第一章 绪论	1
1.1 课题背景及意义	1
1.2 国内外研究现状	4
1.3 本文的主要工作及章节安排	6
第二章 信号完整性基本问题	9
2.1 引言	9
2.2 封装基板介绍	9
2.2.1 基板分类与结构	9
2.2.2 裸芯片与基板连接方式	10
2.3 传输线基本理论	11
2.3.1 传输线模型	11
2.3.2 传输线特征阻抗和传播延迟	12
2.4 信号的反射	13
2.5 串扰	14
2.5.1 容性串扰	15
2.5.2 感性串扰	16
2.5.3 总串扰	17
2.6 同步开关噪声	18
2.7 本章小结	19
第三章 MCP 中信号完整性分析	21
3.1 引言	21
3.2 阻抗匹配与端接技术	21
3.2.1 何时需要端接	21

3.2.2 端接技术	23
3.2.3 端接技术的仿真分析	26
3.3 参考平面切换	28
3.3.1 相同电位参考平面的切换	28
3.3.2 不同电位参考平面的切换	31
3.4 串扰分析	35
3.4.1 耦合长度 L 对串扰的影响	36
3.4.2 两线间距 M 对串扰的影响	36
3.4.3 驱动信号上升时间 t_r 对串扰的影响	37
3.4.4 介质厚度 H 对串扰的影响	37
3.5 本章小结	38
第四章 多芯片封装设计	39
4.1 引言	39
4.2 电学与 DFX 设计	39
4.2.1 电学设计	39
4.2.2 DFM 设计	40
4.2.3 DFT 设计	44
4.2.4 DFR 设计	44
4.3 2D-MCP 设计	45
4.3.1 应用背景	45
4.3.2 设计软件介绍	45
4.3.3 2D-MCP 设计概况	46
4.3.4 2D-MCP 中的 SI 设计	47
4.3.4.1 2D-MCP 叠层设计	47
4.3.4.2 封装引脚排布设计	48
4.3.4.3 布局中的 SI 设计	49
4.3.4.4 布线中的 SI 设计	51
4.3.5 2D-MCP 中的热分析	52
4.4 3D-MCP 设计	53

4.4.1 3D-MCP 设计概况.....	53
4.4.2 3D-MCP 中的 SI 设计	54
4.4.2.1 3D-MCP 叠层设计.....	55
4.4.2.2 端接匹配设计	55
4.4.2.3 传输线类型转化	56
4.4.2.4 回流过孔设计	57
4.4.3 3D-MCP 中的关键工艺.....	58
4.4.3.1 芯片减薄	58
4.4.3.2 倒装焊凸点制作	58
4.4.3.3 各向异性导电胶(ACF)的使用	59
4.4.4 3D-MCP 微组装步骤.....	60
4.5 MCP 的检测与功能测试	62
4.6 两种设计实例的对比	64
4.7 本章小结	66
第五章 总结与展望	69
5.1 本论文主要工作	69
5.2 未来工作展望	69
参考文献	71
已发表文章	75
致谢	77

第一章 绪论

1.1 课题背景及意义

为了不断满足人们对电子产品的多功能、小型化需求,电子系统的集成度变得越来越高,速度越来越快,这些都要归功于集成电路设计与制造方面坚持不懈的努力创新,在微电子领域有一个很有名的摩尔定律。它由英特尔公司的创始人之一,戈登·摩尔在 1965 年的 Electronics 杂志上所发表^[1],摩尔认为:在单块硅芯片上集成的晶体管数量每年增加一倍,后来修改为每两年加倍。这一预言在过去的数十年内有着惊人的准确性,微处理器等 IC 芯片几乎都遵循这一定律进行不断的更新换代,如今 Intel 公司新一代安腾 Poulson 处理器采用 32nm 制程工艺,集成了创纪录的 31 亿个晶体管^[2],集成度可谓空前之高。但是,我们可以清醒的知道,当 IC 中的晶体管尺寸缩小到与原子尺寸相当时,就会逼近物理定律的极限,量子力学规则就会起作用,电子就会在原子级尺寸的引线和绝缘体之间喷射,形成致命的短路电流^[3],这样不仅不能很好的控制芯片制造的良率,而且还会由于晶体管的开关操作,在极密的空间里热量急剧增加,导致烧毁芯片,所以 IC 芯片的集成度不可能无限制的增加下去。甚至有人说用不着达到物理极限,摩尔定律就会提前失效,比如,iSuppli 的半导体制造业主管和首席分析师 Len Jelinek 认为摩尔定律将会在 2014 年左右被打破,那时半导体生产工艺将会在 18nm 工艺制程时达到它的极限产能,半导体制造设备会变得越来越昂贵,成本将会变得非常高,那时摩尔定律就不会再指导半导体厂商去制造如此昂贵的芯片了^[4]。

如今手机、便携式笔记本电脑、手持电视等电子产品正发生着日新月异的变化,它们的体积和重量不断减小,性能不断提高,这就要求组成他们的 IC 芯片朝多功能,微型化方向发展,当下主要有两种解决办法。一种是片上系统(SoC)技术,另一种是系统级封装(SiP)技术^{[5][6]}。SoC 技术继续朝着使 IC 芯片特征尺寸不断缩小的方向发展,它把高性能的数字电路和模拟电路集成在一块芯片中,能实现最小尺寸和最高性能,但这种技术拥有研发周期长、成本高、测试困难和工艺复杂的缺点,另外 SoC 技术目前还不能把 MEMS 同 CMOS 或双极型芯片集

成到一起，主要是因为 MEMS 往往有体硅腐蚀、深槽刻蚀等硅芯片工艺中没有的工艺^[7]。因此我们从微电子封装的角度，用 SiP 技术把多个有源器件如数字集成电路、模拟集成电路、射频集成电路甚至传感器等，以及无源器件如电阻、电容、电感、天线等集成在一个封装体中^{[8][9]}，突破不同工艺间不兼容的限制，实现电子系统的高集成度化。图 1-1 是 Georgia Institute of Technology 应用 SiP 技术的一个典型产品实例，该产品用于智能网络交换器的宽带应用。

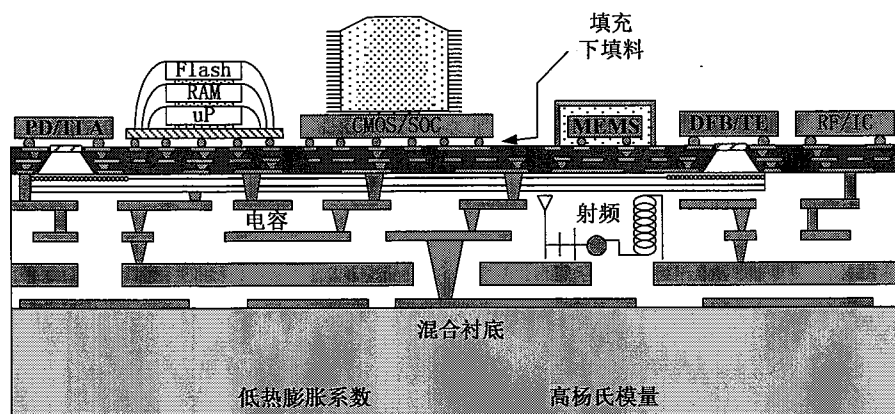
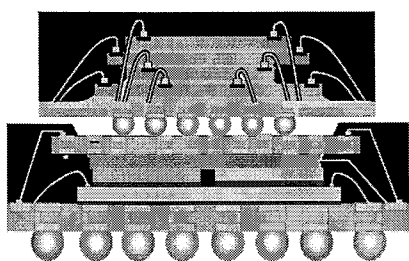
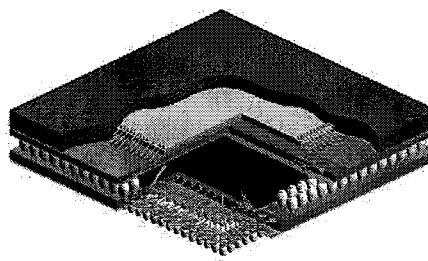


图 1-1 应用 SiP 技术实现的智能网络交换器芯片^[10]

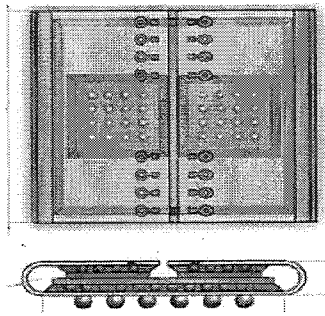
多芯片封装 (MCP) 技术作为 SiP 技术在微电子封装中的一种典型应用已经变得越来越重要，它并非是个全新的概念，它属于 SiP 技术范畴内，MCP 技术顾名思义就是在一个封装体中集成了多个芯片与其它无源器件，按照集成度可以分为 2D-MCP (Two-dimensional multi-chip package) 和 3D-MCP (Three-dimensional multi-chip package)。两者相对于单芯片封装都能大大的减小封装体的面积，提高芯片的集成度，并且 3D-MCP 相对于 2D-MCP，可进一步缩小封装体的体积和重量。随着工艺能力、设备精度和材料性能的提高，涌现出越来越多的 3D-MCP 的形式，有基于有机基板的叠层芯片封装 (Stacked Die Package) 及 PoP (Package on package) 形式，也有基于柔性基板的三维封装形式，更有基于埋入式技术的埋入式芯片封装形式等等，如图 1-2 所示。



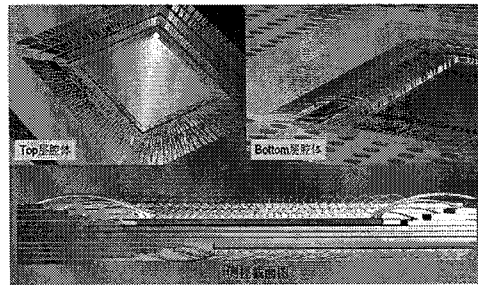
(a) 叠层芯片封装图



(b) PoP 形式结构图



(c)基于柔性基板三维封装图



(d)埋入式芯片封装形式图

图 1-2 各种三维多芯片封装形式图

随着柔性印制电路新材料的开发和相关工艺能力的提高,柔性材料在电子产品中的应用范围越来越广泛,基于柔性基板的折叠式三维封装是当下的一个热点研究方向,利用柔性基板的可弯折性,可以开辟另外一条三维多芯片封装的道路,柔性基板具有轻、薄、短、小的特点,结构灵活,能高密度布线,因此柔性基板能够实现高密度的微电子封装。

近年来,随着半导体工艺能力的提高,数字芯片中信号的上升时间越来越小,已经达到 ps 级,从频谱的角度来看,意味着信号带宽的增加,信号中有更多的高频分量,此时封装中的互连线必须看成传输线结构,封装中会出现反射、振铃、串扰、地弹、轨道塌陷、电磁辐射等信号完整性问题。对大多数电子产品而言,当数字信号的上升边小于 1ns 或者系统的时钟频率高于 100MHZ 时,就会出现信号完整性问题^{[11][12]}。事实上信号的带宽是由信号的上升时间决定,并非由时钟频率决定,上升沿变陡是产生信号完整性问题的罪魁祸首。

在高密度的多芯片封装中,有源芯片间的距离很近,会引起各芯片之间的电磁干扰;基于柔性基板的 MCP 中,由于柔性基板的应用,允许基板中的介质更薄,走线更密,从而会导致层与层间和相同层间的走线产生串扰问题;柔性基板的弯曲还会引起信号的延迟和反射。因此对于多芯片封装的设计,不仅要从工艺上能有制造的可行性,而且对于封装中可能出现的信号完整性问题,要通过 SI 仿真的手段加以分析解决,提高设计的成功率。另外多芯片封装比普通封装的功率密度更大,因此 MCP 的热分析显得尤为重要。本课题采用仿真手段对多芯片封装中的一些信号完整性问题进行了理论研究并提出了相应解决办法,在理论的指导下成功完成了两款多芯片封装设计,包括相应的热分析,并比较两者的优缺点,这对丰富微电子封装形式的研究,具有十分重要的实践意义。

1.2 国内外研究现状

近年来,微系统复杂性不断增加,单芯片封装已经不能满足人们对电子产品在低功率和小型化方面的需求。随着微电子封装技术不断提高,多芯片封装技术得到了广泛的使用,目前封装中二维组装效率高达85%,而采用三维封装可实现更高的组装密度,组装效率已可达200%以上^[13]。2D-MCP技术在国外由来已久,相关方面技术都很成熟,广泛应用于计算机、通讯和自动化领域的电子设备,目前国内各大封装厂也有能力自主进行基板制造和微组装,正在逐步缩小和国外的差距。为了追求更高的芯片集成度,人们开始研究3D-MCP技术,近几年来,美国、日本、欧洲等国很重视3D-MCP技术的研发,并取得了相当可观的成果。如美国的Dense-Pac公司采用叠层芯片侧面锡焊式垂直互连的技术应用于存储器封装;日本的富士通公司把无隔板的叠层芯片倒扣焊技术应用于ASIC封装中;法国的Matra Marconi空间技术公司采用MCM基板垂直互连的方式得到存储器的三维封装;Valtronic SA在一个SiP中集成了逻辑电路、存储器和无源器件,并折叠封装,该产品应用于助听器和心脏起搏器。相比较而言,国内在三维封装方面起步较晚,尚处于理论研究和技術积累阶段,复旦大学、清华大学、中科院微电子所等学校和科研单位正开展相关方面的理论研究和实践工作。

3D-MCP形式多样化,有直接三维组装的,也有基于柔性基板的设计,它是二维组装完后,弯折实现三维封装。为了满足三维封装中高密度互连的要求,文献(Ultra-Fine Via Pitch on Flexible Substrate for High Density Interconnect (HDI))中提出了一种填铜盲孔的制作技术,该盲孔开口直径只有20 μm ,且盲孔之间的pitch为30 μm ,该技术能广泛用于柔性基板的高密度互连^[14]。文献(3D integration of micro optical components on flexible transparent substrate with through-hole- vias)中利用通孔在柔性透明的基板上实现了微型光学器件的3D集成,成功的完成了微组装工艺,通过在集成的芯片上增加聚合物覆盖层,利用柔性基板的可弯折性,可以垂直集成多个光学器件,形成三维集成^[15]。

MCP不仅需要先进微电子封装工艺技术的支持,而且需要解决高密度封装中出现的信号完整性(Signal Integrity, 简称SI)问题。随着数字系统的高速化和小型化,信号完整性的研究对保证产品的成功具有重要的意义,在国外对于SI设计已经是一种专门的职业,国内除了几个知名企业专门有团队从事SI设计外,其它

几乎是个空白。然而前人对SI方面的研究主要是侧重PCB级的信号完整性研究，对封装基板上的SI研究较少。封装中对于2D传输线阻抗匹配很容易解决，然而像3D的绑定线和过孔的阻抗匹配问题却很难解决。传统的解决过孔阻抗匹配的方法是在信号过孔四周增加一些接地过孔，然而这很占空间，这在高密度封装基板的设计中很难实现，为此文献（3D Interconnection Using Butterfly Via for High Speed and RF Package Design）中提出了一种蝶形过孔用于过孔阻抗匹配^[16]。封装中的信号完整性，电源完整性和EMI问题相互作用，相互影响，文献（Novel Electromagnetic Bandgap Array Structure on Power Distribution Network for Suppressing Simultaneous Switching Noise and Minimizing Effects on High-Speed Signals）介绍了一种在电源分布系统中能抑制同步开关噪声的电磁带隙结构，以往的电磁带隙结构需要很多层，结构复杂，工艺很难实现，为了克服这个缺点，该文章提出了一种新奇的电磁带隙结构单元的方法，它只在敏感源和敏感器件附近的关键区域的电源/地平面使用电磁带隙结构单元。通过不同尺寸的电磁带隙单元的组合能构成滤波器扩展禁止频率范围^[17]。文献18-21中着重研究了三维封装中的近场电感性耦合问题，利用屏蔽结构能有效降低多芯片封装中芯片间的近场耦合^{[18][19][20][21]}。

目前市场上已有多款成熟的针对封装设计和信号完整性、电源完整性及 EMI 仿真的软件工具，如 Cadence 公司的 SiP 套件可以与 Encounter 整合实现裸片抽象协同设计，与 Cadence Virtuoso 整合实现 RF 模块设计，并与 Cadence Allegro 整合实现封装与电路板的协同设计；Mentor 公司也提供了 Expedition Advpkg bundle 的 SiP 设计平台和 HyperLynx 系列的电、热仿真平台；Agilent 公司的 ADS 和 Ansys 公司的 HFSS、SIwave 等在仿真建模分析方面更具实力。

针对越来越广泛的 SiP 设计需求，MentorGraphics 公司在 Expedition Enterprise PCB 板级设计系统的基础上推出了专门针对 SiP/MCM/Package 设计的 Expedition Advanced Packaging Bundle，配置了诸如 AdvPkg、3Dcheck、EP(Embedded Passive)、AI(Advanced Interconnection)、RF 以及 Fablink XE pro 等模块，专门支持 SiP/MCM/Package 及混合电路的设计、验证、输出。Mentor Graphics 公司 SiP 设计仿真平台提供全面的系统级 SiP/MCM/Package 设计及仿真工具，如图 1-3 所示。本课题采用 Mentor Graphics 软件设计并实现了两款多芯

片封装。

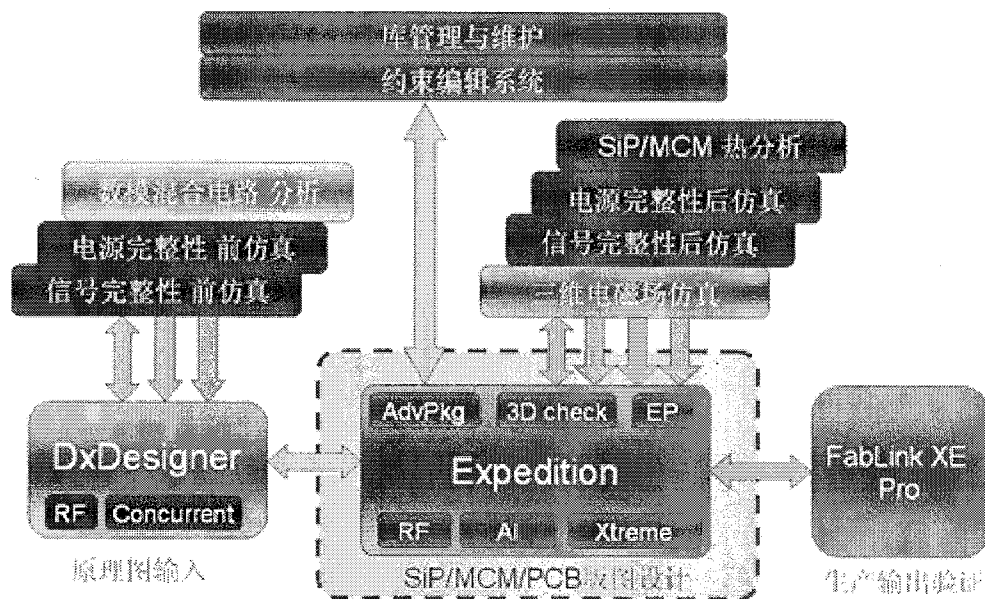


图 1-3 Mentor Graphics SiP 设计与仿真平台^[22]

1.3 本文的主要工作及章节安排

基于多芯片封装中的信号完整性问题,可以将本文所做的主要工作分为以下几个方面:

一、封装基板介绍及信号完整性问题的分析

介绍了 MCP 中基板的分类及 Die(裸芯片)与之相连的几种方式。基于传输线理论,详细讨论了封装基板中可能出现的反射、串扰和同步开关噪声等信号完整性问题,并提出了相应的解决方法和措施,为以后信号完整性问题的仿真提供必要的理论依据。

二、对 MCP 设计中经常出现的信号完整性问题进行仿真分析

针对封装中出现的反射问题,详细介绍了几种阻抗匹配与端接技术,并通过仿真手段分析了几种端接技术的优缺点,为以后使用此技术提供指导。封装基板中会出现信号换层问题,信号的参考平面切换有相同电位的参考平面切换和不同电位的参考平面切换两种,针对这两种情况分别加以详细介绍并提出改善信号质量的方法,同时阐述了电容的特性,指出如何选择合适的电容用于提供信号的低阻抗返回路径。对影响 MCP 中串扰的几个因素进行时域仿真,给出了减小串扰的一些措施。

三、设计了两款多芯片封装

介绍 MCP 设计中的电学设计与 DFX 设计理念，并成功设计了两款多芯片封装，一款是 2D-MCP 设计，另一款是基于柔性基板的 3D-MCP 设计，分别对其进行电、热仿真分析和功能测试，并对 3D-MCP 的微组装工艺步骤流程进行了详细的介绍，验证了工艺的可行性，最后得出两种封装形式的优缺点。

本章后面的章节安排如下：

第二章：信号完整性基本问题

第三章：MCP 中信号完整性分析

第四章：多芯片封装设计

第五章：总结与展望

第二章 信号完整性基本问题

2.1 引言

为了适应系统的小型化,多功能的需求,高密度的多芯片封装设计显得越来越重要,不论 2D-MCP 还是 3D-MCP 设计,如果封装中存在高速信号就会带来信号完整性问题。在 2D-MCP 中主要是基板上的噪声耦合问题,而 3D-MCP 中不仅有基板上的耦合、各堆叠芯片邦定线间的容性和感性串扰问题,而且还存在有源芯片间的近场耦合问题,封装中的电磁环境异常复杂,因此需要采取一些措施减小各个芯片间的近场耦合噪声,一般采用给主芯片加屏蔽罩的方法来降低电磁干扰,这给 MCP 中的微组装工艺带来巨大挑战。本章主要针对 MCP 中的反射、串扰及 SSN 问题进行详细的阐述,并提出了相应的解决办法,为了了解信号传输的物理环境,先对 MCP 中的基板加以介绍。

2.2 封装基板介绍

传统的 IC 封装是通过引线框架实现芯片内部电路与外引线之间的连接,引线框架主要应用于 QFP、SOP、DIP 等封装形式中。随着 IC 芯片的引脚增多(超过 300 个引脚时,传统的封装形式已经不能满足高密度封装的需求,在 20 世纪 90 年代中期,BGA 和 CSP 形式的新型 IC 封装得以问世,随之而来的,就产生了 IC 芯片的新载体,这就是封装基板。

2.2.1 基板分类与结构

封装基板有很多种分类,目前业界普遍认可的是从增强材料和结构两方面进行分类。

从增强材料方面分类,封装基板可分为有机基板(树脂类)、无机基板(陶瓷类、金属类)和复合基板。有机基板作为电子封装基板有以下优点:(1)较低的介电常数,与陶瓷基板相比,更适用于高频信号的传输。(2)高耐吸湿性。(3)密度比陶瓷基板轻。陶瓷基板耐热性很好,具有热导率高、热膨胀系数小、微细化布线较容易等优点,广泛用于混合电路 IC 的封装^[23]。有机基板和无机基板各有优缺点,而复合基板综合了两者的优点,成为以后基板研究发展的方向。

从结构方面分类,封装基板可分为刚性基板和柔性基板两大类,其中刚性基

板使用较多，主要是覆铜板，它是把增强材料浸以树脂，经烘干、剪裁后，再在其一面或两面覆以铜箔，经热压而成，图 2-1(a)是一个典型的四层刚性基板结构示意图，中间是一个双面覆铜的芯板(Core)，再在其两边依次加上 Prepreg (PP) 和铜就能制作多层板。图 2-1(b)是一个典型的两层柔性基板结构示意图，可以看到，柔性基板是用粘结剂分别在基底膜（聚酰亚胺、聚酯、芳香族聚酸胺、碳氢化合物）的两边粘上铜箔形成，然后再使用覆盖膜保护铜箔不受腐蚀。

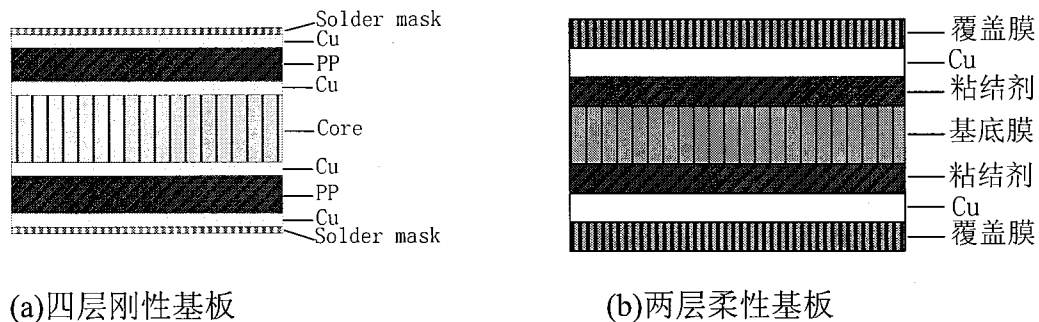


图 2-1 基板结构图

2.2.2 裸芯片与基板连接方式

裸芯片采用基板作为载体，通过基板把电信号引出去，裸芯片与基板的连接方式主要有四种，图 2-2 给出了这四种微组装方式。

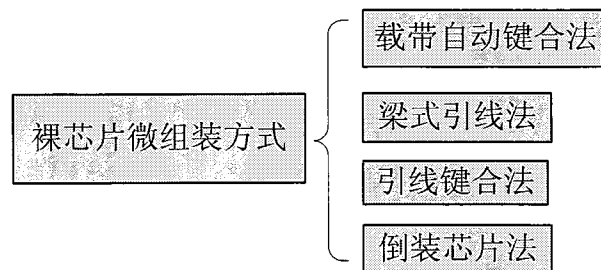


图 2-2 裸芯片微组装方式图

- (1) 载带自动键合法是将芯片表面的微凸点与载带的引线相连接，并经过切断、冲压等步骤完成封装的一种技术。
- (2) 梁氏引线法是指采用复式沉积的方式在裸芯片上制备出多层金属组成的梁，再用它实现裸芯片与基板的相连。
- (3) 引线键合法是用金丝把裸芯片表面的微凸点与基板上相应的焊盘相连接的一种技术，主要有热压键合法、超生键合法和热超声键合法三种。
- (4) 倒装芯片法是指将裸芯片的 I/O pad 上沉积锡球，然后将裸芯片翻转，再经过加热，使裸芯片与基板相连。

以上四种裸芯片微组装方式，在高密度封装中，引线键合法与倒装芯片法运用比较广泛，尤其倒装芯片法逐渐成为未来封装的潮流，它把裸芯片直接倒扣在基板上，互连线的长度大大缩短，可减小 RC 延迟，同时信号的回路电感大大减小，高频时提高了电性能，图 2-3 是引线键合法和倒装芯片法的示意图。

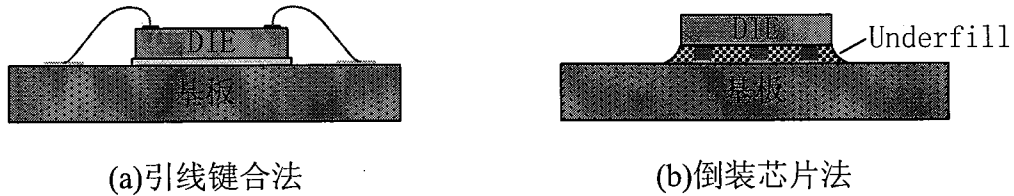


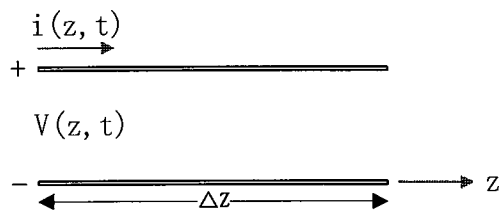
图 2-3 两种裸芯片微组装法

2.3 传输线基本理论

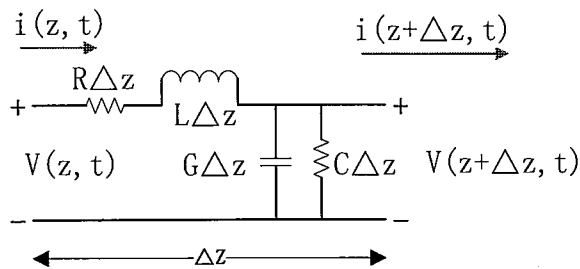
2.3.1 传输线模型

上一节中阐述了封装中基板的结构，这可以使我们对封装中产生的信号完整性的物理环境有个良好的认识。由于信号完整性问题的分析基于传输线理论，本节介绍下传输线基本理论。

传输线由两条具有一定长度的导线构成，一条称为信号路径，另一条称为返回路径^[24]。当基板上两条导线的长度与传输电磁波的波长比值大于或接近 1 时，该组导线就要看作传输线。



(a) 电压和电流定义



(b) 集总元件等效电路

图 2-4 传输线的一个长度增量上的电压、电流定义和等效电路

为了便于分析，假设传输线是均匀的，我们可以把传输线分为成许多个微元

段 ΔZ ，这样每一段都具有分布电容、电感、电导和电阻，如图 2-4 所示，显然当 ΔZ 无穷小时，就可以近似用集总参数模型来描述传输线的实际情况。

对于图 2-4(b)所示电路，应用基尔霍夫定律，分别列出电压电流方程：

$$v(z + \Delta z, t) - v(z, t) = -R\Delta z i(z, t) - L\Delta z \frac{\partial i(z, t)}{\partial t} \quad (2.1a)$$

$$i(z + \Delta z, t) - i(z, t) = -G\Delta z v(z + \Delta z, t) - C\Delta z \frac{\partial v(z + \Delta z, t)}{\partial t} \quad (2.1b)$$

式(2.1a)和 (2.1b)除以 ΔZ ，取 $\Delta Z \rightarrow 0$ 时的极限，得到以下偏微分方程：

$$\frac{\partial v(z, t)}{\partial t} = -Ri(z, t) - L \frac{\partial i(z, t)}{\partial t} \quad (2.2a)$$

$$\frac{\partial i(z, t)}{\partial t} = -Gv(z, t) - C \frac{\partial v(z, t)}{\partial t} \quad (2.2b)$$

其中 R 、 L 、 C 、 G 是传输线的分布参数，分别代表单位长度的电阻、电感、电容和电导。实际应用中，传输线上的损耗很小，因此电导和电阻的作用可以忽略，因而 $G=R=0$ ，上式化简为：

$$\frac{\partial v(z, t)}{\partial t} = -L \frac{\partial i(z, t)}{\partial t} \quad (2.3a)$$

$$\frac{\partial i(z, t)}{\partial t} = -C \frac{\partial v(z, t)}{\partial t} \quad (2.3b)$$

此方程组的解就是均匀传输线上任意一点的电压和电流。

2.3.2 传输线特征阻抗和传播延迟

传输线上电压和电流的比值即为信号沿传输线传播所受到的瞬态阻抗，对于均匀传输线，信号在传输线上任何一处所受的瞬态阻抗都相同，因此我们用传输线的特征阻抗来反映这种恒定的瞬态阻抗。

传输线特征阻抗为：

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (2.4)$$

无耗传输线情况下时：

$$Z_0 = \sqrt{\frac{L}{C}} \quad (2.5)$$

另外，传播延迟可由下式得到：

$$T_D = \frac{Len\sqrt{\epsilon_r}}{c} = Len\sqrt{LC} \quad (2.6)$$

其中 T_D 为信号经过一段传输线的传播延迟，单位为 s； Len 为传输线的长度，单位为 m； ϵ_r 为相对介电常数； c 为光速，单位为 m/s； L 为传输线的单位长度回路电感，单位为 H/m； C 为传输线的单位长度电容，单位为 F/m。

可见，传输线的特征阻抗是传输线的固有属性，仅与传输线单位长度的回路电感和分布电容有关，而与传输线长度无关，传输线的延迟仅取决于材料的介电常数和线长。

2.4 信号的反射

只要信号在传输过程中遇到瞬态阻抗突变，反射现象就会发生，这可能是因传输线的特征阻抗与信号源阻抗或负载阻抗不匹配，也可能是基板上传输线本身的不连续结构（拐角、过孔、wire bonding、焊盘等）引起的。图 2-5 是传输线反射图，图中， V_s 为驱动源的电压， Z_s 为驱动源的内阻， Z_L 为负载阻抗，传输线的特征阻抗为 Z_0 。

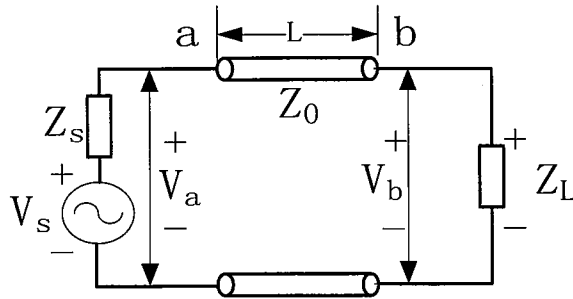


图 2-5 传输线反射图

当 $Z_s = Z_0 = Z_L$ 的理想情况下时，传输线和驱动源及负载是匹配的，不会发生任何反射，驱动源的能量一半消耗在负载阻抗 Z_L 上，另一半消耗在驱动源内阻 Z_s 上（传输线是无耗的）。如果负载阻抗 Z_L 小于传输线的特征阻抗 Z_0 ，负载会通过反射来通知驱动源输送更多的能量给它，这种情况称之为过阻尼。如果负

载阻抗 Z_L 大于传输线的特征阻抗 Z_0 ，负载端不能吸收全部的能量，多余的能量通过反射回到源端，称这种情况为欠阻尼。不管欠阻尼还是过阻尼情况，都会在负载端产生向源端传播的反射波，影响基板中传输线上的信号质量。当负载阻抗 Z_L 等于传输线的特征阻抗 Z_0 时，负载端能完全吸收全部的能量，不会产生任何反射信号回源端，这种情况称为临界阻尼。一般临界阻尼情况很难满足，实际应用的情况是过阻尼，因为此时没有能量反射回源端。

在图 2-5 中的负载端 b 点，如果负载阻抗 Z_L 与传输线特征阻抗 Z_0 不匹配就会有一部分信号反射回源端，反射信号与入射信号的幅值之比为：

$$\rho_L = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (2.7)$$

其中， ρ_L 为负载电压的反射系数，由式(2.7)可知， $-1 \leq \rho_L \leq 1$ ，当 $Z_L = Z_0$ 时， $\rho_L = 0$ ，此时负载阻抗与传输线特征阻抗相匹配，负载端 b 点不会发生反射。当 $Z_L < Z_0$ 时， $\rho_L < 0$ ，反射信号为负，处于过阻尼状态。当 $Z_L > Z_0$ 时， $\rho_L > 0$ ，反射信号为正，处于欠阻尼状态。

当从负载端 b 点反射回源端的信号到达 a 点时，又将再次反射回负载端，形成二次反射，在源端 a 点的反射信号和入射信号的幅值之比为：

$$\rho_s = \frac{Z_0 - Z_s}{Z_0 + Z_s} \quad (2.8)$$

其中， ρ_s 为源端反射系数。封装基板中信号发生反射后，就会导致出现信号波形的过冲和下冲，多次反射会引起振铃现象的产生，引起信号完整性问题。为了消除或减小信号反射，在第三章将会详细介绍源端和负载端的阻抗匹配与端接技术。

2.5 串扰

串扰是指相邻传输线间由于电磁场的相互耦合而产生的不期望的噪声电压，过大的串扰会引起电路的误触发，导致封装芯片不能正常工作^{[25][26][27]}。

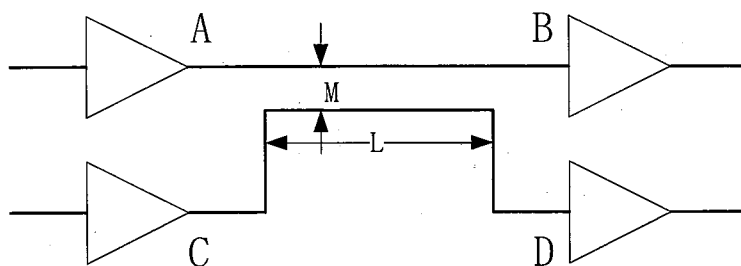


图 2-6 串扰中的干扰源网络与被干扰对象网络

图 2-6 中，A 点为驱动源，如果 A 点为干扰源，则 A、B 之间的网络称为干扰源网络，位于 D 点的接收器为被干扰对象，C、D 之间的网络称为被干扰对象网络，位于 C 点的串扰称为近端串扰，位于 D 点的串扰称为远端串扰，当干扰源状态发生变化时，被干扰对象网络上会产生串扰脉冲，影响信号质量。

基板中一条传输线上传输的信号会耦合到相邻的传输线上去，这种电磁耦合包括容性耦合、感性耦合和辐射耦合^{[28][29][30]}。串扰现象就是由这三种耦合引起的，其中辐射耦合通常在 EMI 设计时进行处理，本论文主要讨论容性耦合和感性耦合引起的串扰。

2.5.1 容性串扰

任意两导体之间都会存在互容，干扰源网络会通过分布电容把电流耦合到相邻的被干扰对象网络上去。图 2-7 是两传输线之间容性耦合的等效模型，截取一小段 ΔX ，设单位长度互容为 C_m ，当在干扰源网络的源端加一电压为 U_s 的激励信号后，会有容性耦合电流流向被干扰对象网络的近端和远端，设远端耦合电压为 U_f ，近端耦合电压为 U_b 。

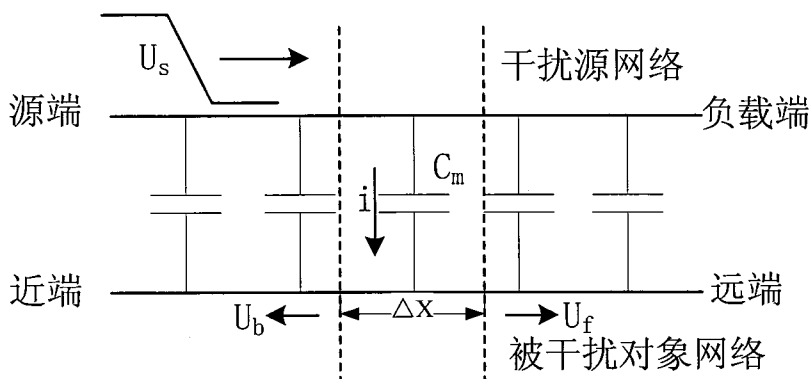


图 2-7 容性耦合等效模型

由于对称，容性耦合噪声电流，一半流向近端，一半流向远端，由基尔霍夫

电流定律可得：

$$\frac{U_b}{Z_0} + \frac{U_f}{Z_0} = C_m \Delta X \frac{dU_s}{dt} \quad (2.9)$$

并且由于对称， $U_b = U_f$ ，所以有：

$$U_b = U_f = \frac{1}{2} Z_0 C_m \Delta X \frac{dU_s}{dt} \quad (2.10)$$

远端容性耦合噪声跟着干扰源信号一起向远端传播，干扰源每走一步都会在被干扰对象网络上产生远端容性耦合噪声，这些噪声会一直累加，当信号到达负载端的同时，远端容性耦合噪声也会到达远端，因此对于线长为 L 的远端，远端噪声电压为：

$$U_{FEN} = \frac{1}{2} Z_0 C_m L \frac{dU_s}{dt} \quad (2.11)$$

假如源端激励信号的边沿是线性上升的，上升时间为 Δt ，则远端容性耦合噪声波形为一个宽为 Δt 的矩形脉冲，脉冲幅度与耦合长度 L 成正比，与激励信号的上升时间成反比。

近端容性耦合噪声和干扰源信号的传播信号方向相反，因此干扰源注入电流的交迭时间只有干扰源信号上升时间的一半，为 $\Delta t/2$ 。之后随着干扰源向负载端的移动，会不断的产生近端容性耦合噪声向近端传播，当干扰源信号到达负载端时，就不再有耦合噪声出现，但被干扰对象网络上的串扰脉冲会经过 TD 时间从远端传回近端。因此近端容性耦合噪声电压先上升到一个恒定值并持续时间 $2 \times TD$ ，然后下降到 0，此噪声电压幅值为：

$$U_{NEN} = \frac{1}{4} Z_0 C_m v U_0 \quad (2.12)$$

其中 U_0 为干扰源的峰值电压。因此当耦合长度大于干扰源信号前沿的空间延伸时，近端容性耦合噪声电压的幅值与耦合长度无关，近端容性耦合噪声波形的宽度与耦合长度成正比。

2.5.2 感性串扰

干扰源网络上变化的电流产生的磁场会通过互感在被干扰网络上激励出相应的电压，进而形成感性耦合电流。图 2-8 是感性耦合等效模型，其中 I_s 为激励

源电流， m 为单位长度的互感。由电流的连续性可知，近端感性耦合噪声与远端感性耦合噪声的极性相反，因此可以得到：

$$U_b = m\Delta X \frac{dI_s}{dt} + U_f$$

$$\frac{U_b}{Z_0} = -\frac{U_f}{Z_0} \quad (2.13)$$

将 $I_s = \frac{U_s}{Z_0}$ 带入式(2.13)中得到：

$$U_b = \frac{1}{2} \frac{m}{Z_0} \Delta X \frac{dU_s}{dt} \quad (2.14)$$

$$U_f = -\frac{1}{2} \frac{m}{Z_0} \Delta X \frac{dU_s}{dt} \quad (2.15)$$

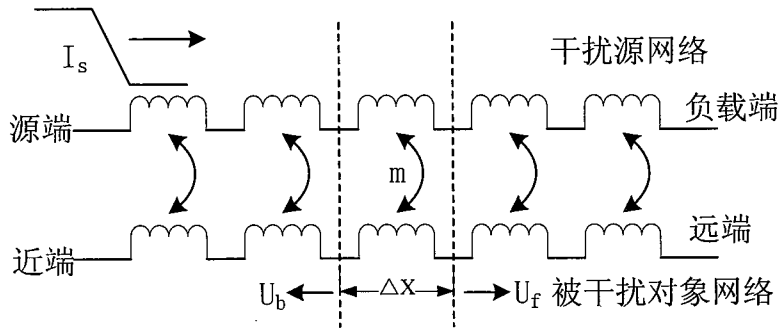


图 2-8 感性耦合等效模型

同容性串扰一样，感性串扰的远端和近端噪声幅值为：

$$U_{FEN} = -\frac{1}{2} \frac{m}{Z_0} L \frac{dU_s}{dt} \quad (2.16)$$

$$U_{NEN} = \frac{1}{4} \frac{m}{Z_0} v U_0 \quad (2.17)$$

2.5.3 总串扰

封装基板中相邻传输线间的串扰既有容性串扰又有感性串扰，它们是同时发生的，在近端，容性耦合噪声和感性耦合噪声极性相同，因此近端串扰是两者总和。在远端，容性耦合噪声和感性耦合噪声极性相反，可以抵消一部分串扰，对于典型的微带线，感性耦合噪声要大于容性耦合噪声，从而在远端出现一个负脉冲。下面两式代表近端和远端的总噪声电压。

$$U_{FEN} = -\frac{1}{2} \left(\frac{m}{Z_0} - Z_0 C_m \right) L \frac{dU_s}{dt} \quad (2.18)$$

$$U_{NEN} = \frac{1}{4} \left(\frac{m}{Z_0} + Z_0 C_m \right) v U_0 \quad (2.19)$$

由上可知,两相邻传输线的单位长度的互容和互感以及传输线的特征阻抗和耦合长度都会对串扰产生影响。不管远端串扰还是近端串扰,当增加两传输线间的距离,都能大大的减少串扰噪声,一个通常的设计准则是 3W 准则,即传输线的中心距不少于 3 倍线宽。针对远端串扰,应用带状线能基本消除远端串扰噪声。减小并行走线的长度增加防护布线都能在一定程度上降低串扰,对于串扰的仿真详见第三章 3.5 节。

2.6 同步开关噪声

同步开关噪声 SSN(Simultaneous Switch Noise)是指芯片处于开关状态时,产生瞬间变化的电流,当这些电流流经回路上时,形成交流压降,从而引起噪声,也称为 Δi 噪声。这些噪声不仅仅在信号路径上产生,而且还会在电源和地分配网络上产生电源反弹和地弹。下面简单介绍下引起地弹噪声的原因,图 2-9 所示即为一个典型的 IC 逻辑门输出的等效电路图。

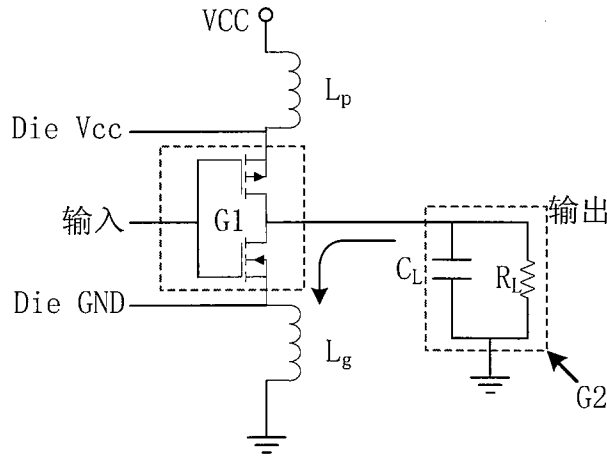


图 2-9 典型 IC 逻辑门输出的等效电路图

其中 L_p 是封装电源引脚到 Die 电源引脚间的电感, L_g 代表封装地引脚到 Die 地引脚间的电感, C_L 和 R_L 分别表示第二级逻辑门 G2 的输入电容和输入电阻,它们也作为第一级逻辑门 G1 的负载。当 G1 状态为高时, VCC 会使 C_L 充电,当 G1 的状态由高转为低时, C_L 会沿图 2-9 所示路径对地放电,放电电流 I 经过

封装中地引脚上的分布电感时, 会产生地弹噪声, 可由下式得到:

$$U_{GB} = L_g \frac{dI}{dt}, \quad I = C_L \frac{dU_{1-0}}{dt} \quad (2.20)$$

式 2.20 中, $\frac{dU_{1-0}}{dt}$ 代表信号的变化速率, 合并两式得地弹噪声为:

$$U_{GB} = L_g C_L \frac{d^2 U_{1-0}}{dt^2} \approx L_g C_L \frac{\Delta U_{1-0}}{t_r^2} \quad (2.21)$$

其中 ΔU_{1-0} 表示信号高低电平的差值, t_r 为信号的上升时间。芯片实际工作情况下往往有大量的逻辑门同时翻转, 流过基板中的地引脚 (如金线和地过孔) 上的瞬时变化的电流会很大, 我们很难量化地弹噪声的大小, 但基本公式可由式 (2.22) 表示, 其中 N 代表同时翻转的逻辑门个数。

$$U_{GB} = N L_g C_L \frac{\Delta U_{1-0}}{t_r^2} \quad (2.22)$$

因此由上式可知, 地弹噪声的大小与地回路分布电感和信号上升时间有很大关系, 其实地弹现象作为 SSN 在电源完整性中的一种主要表现, 从原理上来分析它也能知道引起 SSN 的罪魁祸首就是回路分布电感, 因此降低回路电感成为减小 SSN 的一种有效手段, 通常的措施有: ①使基板中电源和地平面尽量接近; ②采用倒装芯片法微组装 Die; ③在封装中 Die 的电源引脚边添加合适的旁路电容, 给高频瞬变电流提供低电感路径; ④增加电源和地引脚的数量。

2.7 本章小结

本章首先介绍了多芯片封装中的基板分类与结构以及 Die 与之相连的几种方式, 指出在目前高密度封装中引线键合法和倒装芯片法应用较广泛, 然后从传输线基本理论着手, 分析了传输线的特征阻抗和传播延迟, 为之后分析解决 MCP 中信号完整性基本问题提供必要的理论依据, 最后对反射、串扰和同步开关噪声这三个主要的信号完整性问题进行了详细的阐述并提出相应的解决办法, 为下一章的信号完整性问题的仿真分析提供相应的理论根据。

第三章 MCP 中信号完整性分析

3.1 引言

现如今集成电路工作速度越来越快,几百兆赫兹的时钟频率已经很普遍,再加上 IC 制造工艺能力的提高,使得数字芯片中的信号上升时间变得越来越小,无论是 2D-MCP 还是 3D-MCP,如果在基板中对这些高速信号处理不好,就会引发上一章所述的信号完整性问题。为了消除或减小信号反射,我们可以在信号的发送端和接收端进行阻抗匹配与端接,因此本章首先详细介绍了几种阻抗匹配与端接技术。对于多层高密度基板,难免会涉及到信号的换层,信号的回流参考平面会发生切换,切换前后的参考平面可以是相同电位的,也可以是不同电位,本章对这两种情况分别加以讨论,并通过仿真分析给出改善信号传输质量的方法。MCP 中的串扰现象也比较普遍,因此本章详细分析了影响串扰的各种因素,给出了减小串扰的一些措施。

3.2 阻抗匹配与端接技术

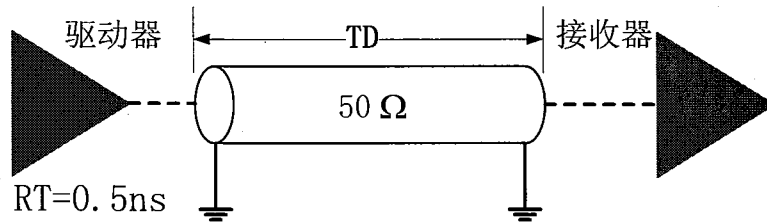
在多芯片封装中,多个芯片之间会相互连接通信,通常驱动器的输出阻抗小于基板中信号线的特征阻抗,而接收器的输入阻抗要大于基板中的信号线的特征阻抗,因此就会产生阻抗的不连续,导致封装中出现反射现象,多次反射就会出现振铃现象,影响信号质量,可能会引起接收器的误触发,使芯片功能紊乱。为了解决上述不可避免的阻抗不连续问题,一般是在驱动器或接收器端的传输线上端接一些无源元件,来消除或减少反射。

3.2.1 何时需要端接

由第二章信号的反射一节可知,任何阻抗突变都会引起信号反射问题,信号会在近端驱动器和远端的接受器之间来回反弹,形成多次反射,如果传输线过长,就会引发信号完整性问题,如振铃问题。如果传输线足够短,虽然信号会发生反射,但反射的信号会被上升沿所淹没,就不会对信号的质量产生很严重的影响。图 3-1 给出了传输线时延是信号上升时间 50%, 40%, 30%和 20%的接收器端的波形,传输线特征阻抗是 50Ω , 驱动器给出的信号上升时间是 $RT=0.5ns$ ^[31]。

图 3-1(b-e)是通过 Mentor HyperLynx 仿真软件仿真所得,由图可知,随着传

输线时延的减小,接收端的振铃噪声越来越小,当传输线的时延减小到信号上升时间的 20%(即为 0.1ns)时,驱动器和接收器端的反射现象依然会全部发生,反射信号每 0.2ns 完成一个来回的振荡,但此时多次的反射信号将会被信号的上升沿所掩盖,不会引起明显的振铃现象,因此我们可以得到一个粗略的经验法则:当传输线的时延 TD 大于信号上升时间 RT 的 20%时,在接收端就会引发振铃噪声,此时需要终端端接无源器件来消除或减小反射。如果传输线时延 TD 小于信号上升时间 RT 的 20%时,信号反射几乎看不见,振铃噪声可以忽略,此时终端无需端接匹配。



(a)发送端和接收端模型

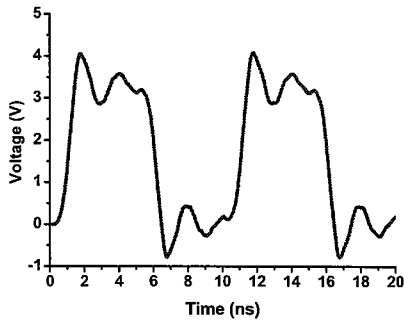
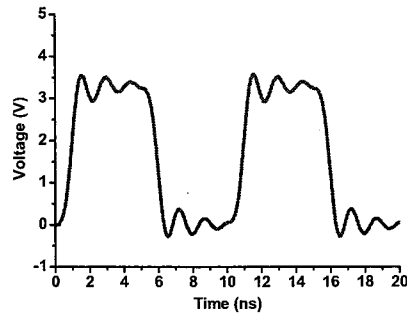
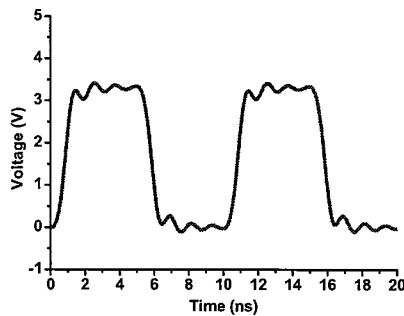
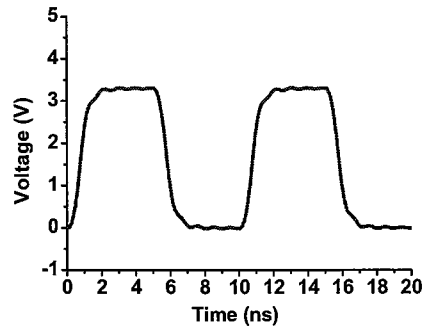
(b) $TD=50\%RT$ (c) $TD=40\%RT$ (d) $TD=30\%RT$ (e) $TD=20\%RT$

图 3-1 通过不同延迟传输线后,接收端的信号波形

考虑到信号在一般 FR4 基板中的传播速度为 6in/ns , 我们也可以得到: 无需

终端端接的传输线的最大长度约为: $Len_{\max} < RT$, 其中, $Len_{\max}$ 代表传输线长度, 单位为 in, RT 表示信号的上升时间, 单位为 ns。

3.2.2 端接技术

目前 IC 数字芯片的输入阻抗大多是在几十千欧到几百千欧范围内, 并且它们的输出阻抗都很小, 所以为了解决信号反射问题, 主要有两种端接策略^[32]。一种是使负载与传输线特征阻抗相匹配, 消除在负载端的一次反射, 此方法称为并联端接技术。另一种是使驱动源端与传输线相匹配, 消除源端的二次反射, 此方法称为串联端接。我们从系统设计的角度, 应该选择并联端接, 因为它能在负载端消除一次反射, 使能量不能返回源端, 从而降低电磁干扰和辐射, 而串联端接是在源端消除从负载端反射回的信号, 因此传输线上会存在反射信号, 较高频率的信号会引起电磁辐射, 造成其它邻近传输线的串扰噪声, 然而串联端接实现起来简单方便, 也有自己的一些优点, 实际应用也很广泛。下面依次介绍下串联端接和并联端接技术, 其中并联端接又分为上拉并联端接、下拉并联端接、戴维宁端接、RC 端接和二极管端接。

(1) 串联端接

图 3-2 所示为串联端接, 它是在靠近源端的位置串联一个电阻 R_T 用于匹配传输线的阻抗, 消除从负载端返回源端的信号, 防止它再反射回负载端。匹配的条件为匹配电阻的阻值加上驱动源的内阻应等于传输线的阻抗, 即: $R_T + R_S = Z_0$ 。

在串联上匹配电阻 R_T 后, 源端发出的信号会在 R_S 、 R_T 和传输线 Z_0 间进行电压分配, 由于 R_S 的阻值很小, 因此加在传输线上的信号电压大约只有源端信号电压的一半, 当信号传输到负载端时, 由于负载的输入阻抗远远大于传输线的特征阻抗, 信号在负载端几乎全部反射回去, 因此再加上原信号电压, 负载端能接收到完整的信号电压。

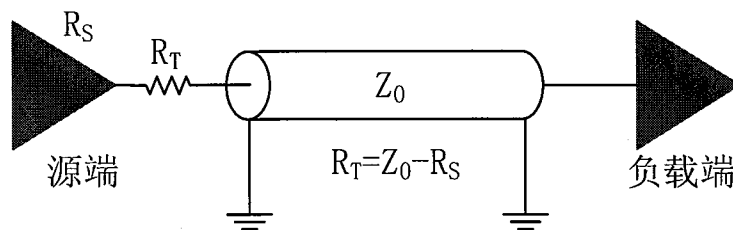


图 3-2 串联端接

串联端接的优点在于仅为每个驱动器添加一个匹配电阻，无任何额外的直流电源相连接，当驱动器驱动高容性负载时，还可以提供限流作用。当一个驱动器只驱动一个接收器的情况下时，选择串联端接是最佳选择。

串联端接的缺点是由于 R_T 对信号的分压，会出现一个半波幅度的信号朝负载端传播，然后再反射回源端，共持续 $2TD$ （ TD 为传输线延迟）时间，因此在这 $2TD$ 时间内的传输线上，如果接入其它接收器，会出现错误的逻辑。另外串联匹配电阻还会增加接收端信号的上升时间，因此不适合用于高频信号匹配。

(2) 上拉并联端接

图 3-3 所示为上拉并联端接，它是在负载端将负载通过一个电阻 R_T 接到偏置电源 V_B 上，匹配电阻 R_T 的阻值等于传输线特征阻抗 Z_0 ，这样可以在负载端消除信号的反射，上拉并联端接的优点是可以提高驱动器的驱动能力，但缺点是需要一个能快速跳变的电压源来满足信号的跳变速度，如果偏置电压 V_B 是负电压，则当负载端输入为高电平时有直流功耗，如果为正，则当负载端输入为低电平时有直流功耗。

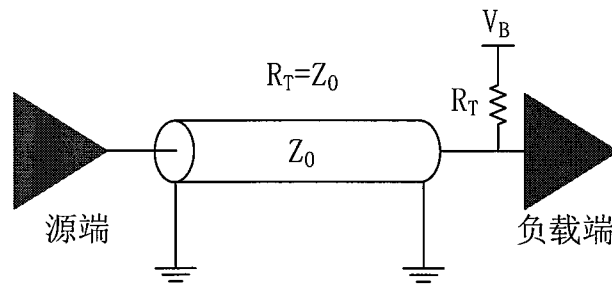


图 3-3 上拉并联端接

(3) 下拉并联端接

图 3-4 所示为下拉并联端接，它是在负载端通过一个电阻连接到地，匹配电阻 R_T 的阻值等于传输线特征阻抗 Z_0 。此端接方式需要驱动源提供额外的电流给匹配电阻，增加了直流功耗，同时还会在接收负载的输入端降低信号的电平，从而降低接收器输入端的抗噪声干扰能力。

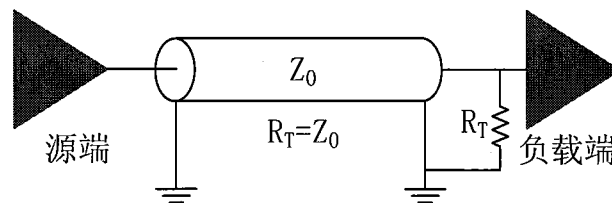


图 3-4 下拉并联端接

(4)戴维宁端接

图 3-5 所示为戴维宁端接，它是由上拉电阻 R_1 和下拉电阻 R_2 组成，能在负载端消除信号的反射。对于下拉电阻上的电压必须要保证驱动器的 I_{OH} 和 I_{OL} 在驱动器的性能指标范围之内，上拉电阻 R_1 使驱动器更容易达到高电平状态，下拉电阻 R_2 通过对地释放电流，使驱动器更容易达到低电平状态。 R_1 、 R_2 和传输线特征阻抗 Z_0 需满足 $Z_0 = \frac{R_1 R_2}{R_1 + R_2}$ ，才能达到最佳匹配效果。

戴维宁端接的优势在于它能有效的抑制由于信号反射引起的振铃噪声，提高了系统的噪声容限，而且这种端接为负载提供了额外的电流，降低了对源端驱动器驱动能力的要求。但与此同时，不管驱动器的输出为高电平还是低电平，VCC 都会通过 R_1 和 R_2 有一个对地的直流通路，这会导致匹配电阻上一直产生直流功耗。

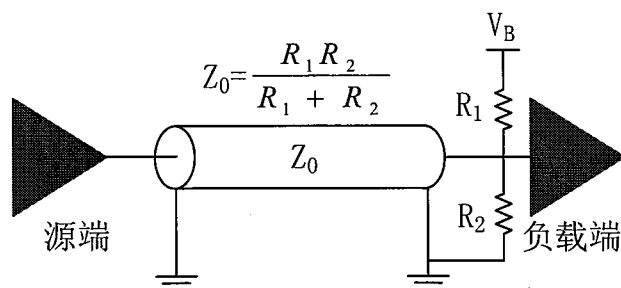


图 3-5 戴维宁端接

(5)RC 端接

图 3-6 所示为 RC 端接，它是在负载端加上电容和电阻，为了达到理想的匹配状态，电阻 R 的值应等于传输线的特征阻抗 Z_0 ，电容 C 的挑选主要受 RC 时间常数和功耗制约。较小的电容会导致 RC 时间常数过小，引起信号的过冲和下冲；较大的电容又会带来更大的功耗。因此根据经验，实际应用中通常使用 $0.1\mu\text{F}$ 的多层陶瓷电容，RC 时间常数应大于传输线时延 T_D 的两倍。

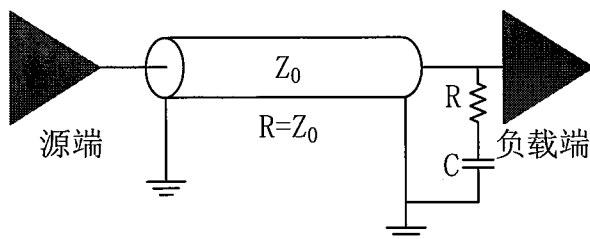


图 3-6 RC 端接

RC 端接的优点在于匹配电容 C 不仅隔断了直流，大大降低了电路的功耗，而且还能起到低通滤波器的效果，能滤去信号中的高频噪声，使信号波形接近理想方波。缺点在于存在的 RC 时间常数会降低信号速率，引起信号线上数据的抖动。

(6) 二极管端接

二极管端接是指在负载端端接两个二极管，如图 3-7 所示。在负载端信号发生反射，如果电压超过 V_{CC} 加二极管正向偏置电压 V_F 之和，二极管会正向导通，信号过冲电压会被钳位在 $V_{CC}+V_F$ 上。同理，信号下冲电压会被钳位在 $-V_F$ 上，因此可以有效的抑制信号过冲和下冲。

二极管端接的优势在于它是通过二极管的钳位作用来减小信号的过冲和下冲，不需要与传输线进行阻抗匹配，因此不必考虑传输线的特征阻抗值。缺点在于对二极管的开关速度要求很高，通常使用肖特基二极管。

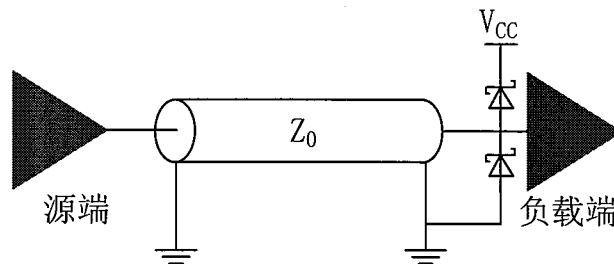


图 3-7 二极管端接

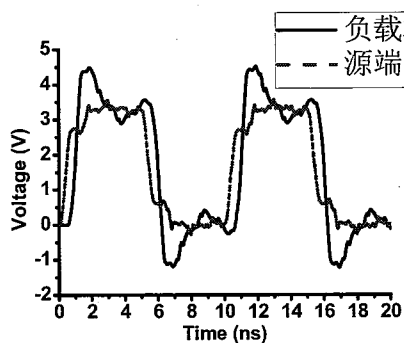
对于解决信号的反射问题，上述几种端接方法各有优缺点，因此在多芯片封装设计中要根据具体的电路、拓补结构以及负载的情况通过仿真分析来选取最适合的端接匹配方式，以获得最佳的信号质量。

3.2.3 端接技术的仿真分析

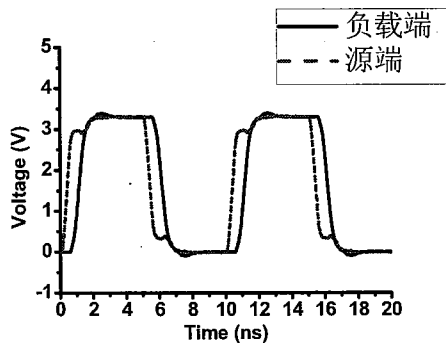
以下给出了上一节所述的几种端接技术的仿真结果。仿真软件采用 HyperLynx LineSim，仿真对象是基板上的一根 50 欧姆特征阻抗的微带线，线长 3.3cm，驱动源端信号的频率为 100MHz，驱动源内阻为 10 欧姆。

图 3-8(a-f)是无端接和采用不同端接技术下的仿真结果。图 a 中未进行匹配端接，我们可以看到，接收负载端的波形有明显的振铃现象。图 b 中采用了串联端接，串联电阻为 40 欧姆，可以看到上升沿有所变缓。图 c 是在终端接 50 欧姆上拉电阻后的信号波形，信号的低电平接近低电平门限。图 d 是在终端接 50 欧

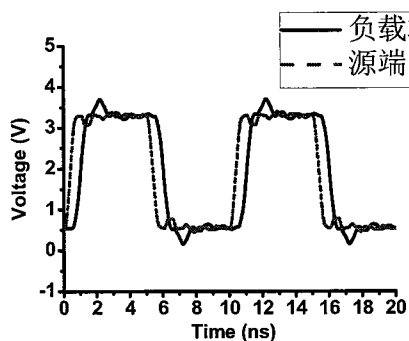
姆下拉电阻后的信号波形，可以看到信号的高电平有所减小，接近高电平门限。图 e 是 RC 端接后的信号波形，电阻为 50 欧姆，电容为 $0.1\mu\text{F}$ ，信号上升沿有所变缓。图 f 是戴维宁端接后的信号波形，上拉和下拉电阻都是 100 欧姆，由图可知，信号的高电平降低，低电平升高，降低了噪声容限。



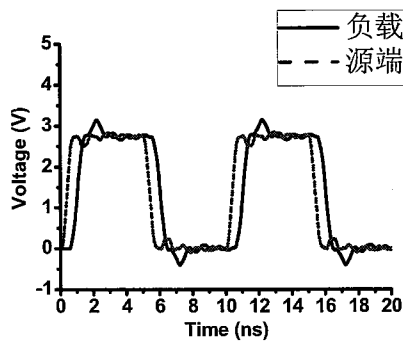
(a) 未端接时的信号波形



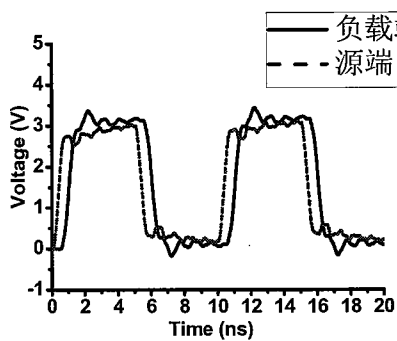
(b) 串联端接后的信号波形



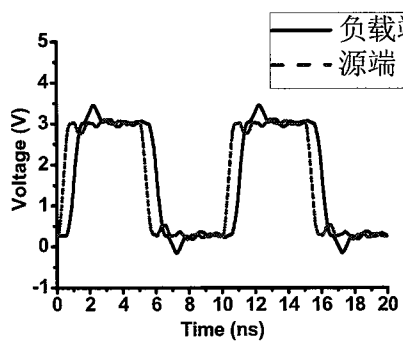
(c) 接 50 欧姆上拉电阻后的信号波形



(d) 接 50 欧姆下拉电阻后的信号波形



(e) RC 端接后的信号波形



(f) 戴维宁端接后的信号波形

图 3-8 不同端接情况下，源端和负载端的信号波形

从上述几种端接方式的仿真结果可知，它们都能很好的改善信号的波形，但也会带来一些相应的问题，比如信号上升沿的变缓，信号噪声容限的降低等问题。因此在实际应用中，我们要综合考虑各方面因素，来选取最适合的端接方式。

3.3 参考平面切换

在高密度封装中，一般要采用多层基板完成信号线之间的互连，信号的跨层传输问题避免不了。图 3-9 中所示是一根信号线通过过孔从第一层转到第四层，信号的返回路径从第二层切换到第三层，信号电流由于趋肤效应的影响，只分布在导体的表面，返回路径中的电流集中分布在信号路径电流的正下方，这样才能保证整个回路电感最低。

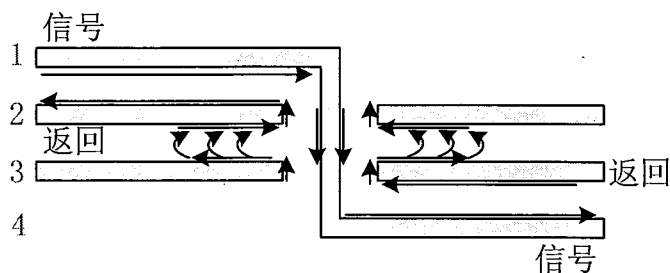


图 3-9 参考平面切换，电流流动示意图

由于返回路径在两相邻平面之间切换，返回电流会受到一个阻抗，此阻抗就是两平面间的传输线瞬态阻抗。返回电流在流过这个阻抗时，会产生地弹噪声，影响信号质量，且该瞬态阻抗越大，信号产生的地弹噪声就会越大，因此要想保证信号的完整性，必须要设法降低该阻抗，通常的做法是使这两个相邻的参考平面尽量靠近，然而有时在一个四层的封装基板中，中间两层通常是电源、地层，它们同时构成基板的 Core 层，为了防止基板的翘曲，增加基板的机械强度，Core 层的厚度不宜过小，此时就要寻找别的办法使信号的返回路径阻抗尽量变小。

相邻参考平面可以是同电位的，也可以不是同电位，我们分别称之为相同电位参考平面和不同电位参考平面，下面首先对具有相同电位参考平面的情况进行仿真分析。

3.3.1 相同电位参考平面的切换

当下采用 BGA 形式封装的芯片大小都是几厘米×几厘米，为了增加仿真结果的典型性和实用性，本论文在 SIwave 软件中构建了 $2\text{cm} \times 2\text{cm}$ 大小的基板进行仿真。基板顶层和底层都是信号层，信号线宽为 $100\mu\text{m}$ ，特征阻抗为 50 欧姆，顶层之上和底层之下有 $25\mu\text{m}$ 厚的绿油层，中间两层是具有相同电位的参考平面层，信号层和参考平面层之间的介质厚度为 $70\mu\text{m}$ ，两参考平面之间的介质厚度为 $300\mu\text{m}$ ，基板介质都是 FR4，介电常数为 4.4，损耗正切角为 0.02，铜厚为 $18\mu\text{m}$ 。

图 3-10(a)所示是基板的顶部示意图, 在基板的四角, 有四个连接两参考平面的短路过孔。图 b 是基板的侧视图, 仿真所需的三个端口如图中所示, port1 和 port2 用于 S 参数的仿真, port3 用于查看在信号过孔处, 两参考平面间的阻抗变化情况。

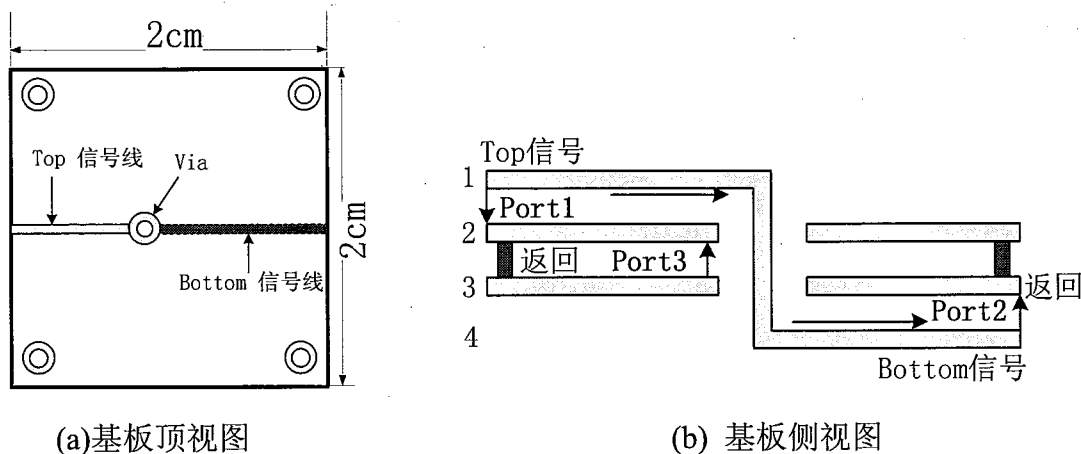


图 3-10 基板叠层设计图

图 3-11 是在相同电位参考平面切换情况下的 S_{21} 曲线图和参考平面间的瞬态阻抗 Z_{33} 曲线图。从图中可以看出, 插入损耗 S_{21} 的极小值正好和 Z_{33} 的反谐振峰相对应, 由此证明前文所述, 信号的传输质量与信号过孔处参考平面间的阻抗大小有关。阻抗越大, 引起的噪声越大, 信号的插入损耗越小。因此可以在信号过孔附近添加一个或多个两参考平面间的短路过孔, 降低过孔处参考平面间的阻抗, 为信号提供低阻抗返回路径。

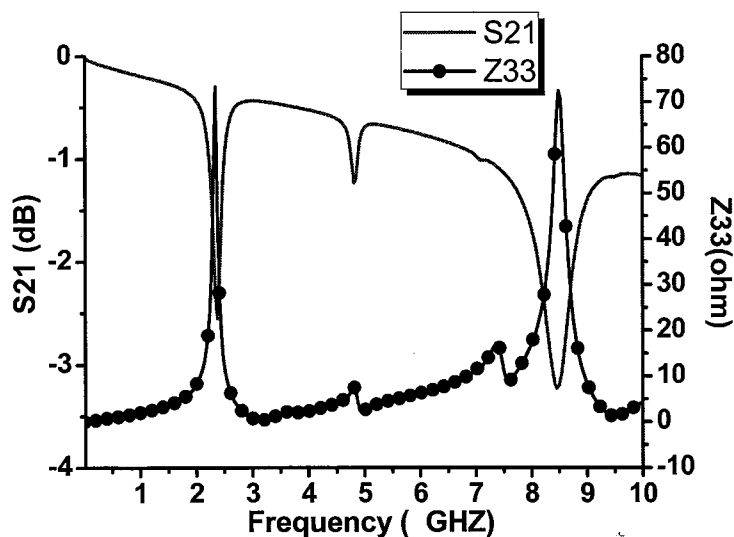


图 3-11 相同电位参考平面的 S_{21} 和 Z_{33} 曲线图

图 3-12 是在信号过孔附近添加短路过孔的示意图，参考平面间的短路过孔要尽可能的靠近信号过孔，以便给信号提供最低阻抗的返回路径。图 3-13 所示是添加不同数量过孔后的 S_{21} 曲线图，图中比较了三种情况的结果：没有短路过孔、一个短路过孔（Via1）和两个短路过孔（Via1 和 Via2）。从仿真结果可知，信号过孔附近没有短路过孔时， S_{21} 曲线会存在一些极小值，这是由参考平面间的瞬态阻抗引起的。当信号过孔附近添加一个过孔 Via1 后， S_{21} 曲线明显变平滑，这是因为短路过孔的存在为返回电流提供了低阻抗路径。如果在信号过孔周围添加两个过孔 Via1 和 Via2 后， S_{21} 曲线有了进一步的改善。

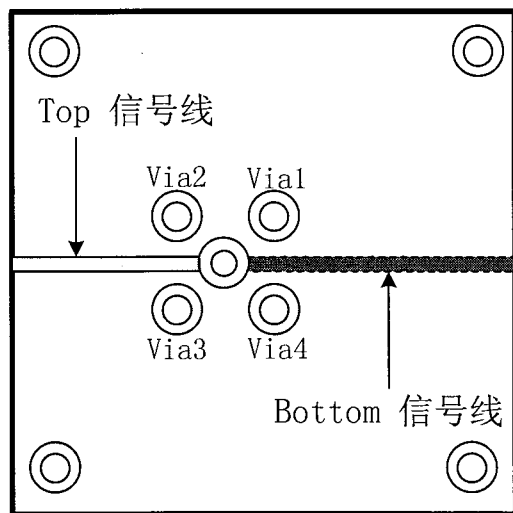


图 3-12 短路过孔示意图

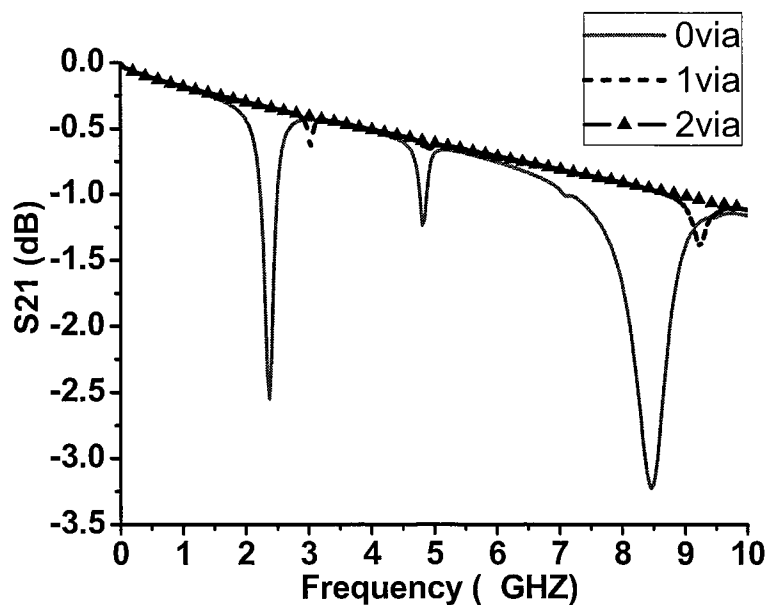


图 3-13 不同数量短路过孔的仿真结果图

可以发现添加一个或两个短路过孔情况下，对于插入损耗的改善已经很大。下面对添加四个过孔的情况加以仿真，看看信号质量会不会有更进一步的明显改善。图 3-14 中比较了两个短路过孔和四个短路过孔情况下的仿真结果，可以发现， S_{21} 曲线基本重合，所以再增加短路过孔的数量已经变的没有意义了，相反，随着多余短路过孔的存在，反而会降低基板面积的可利用率，增加了后续布线的难度。由此可知，添加短路过孔的数量并不是越多越好，我们要根据电路要求的性能指标进行仿真来确定最佳数量值。

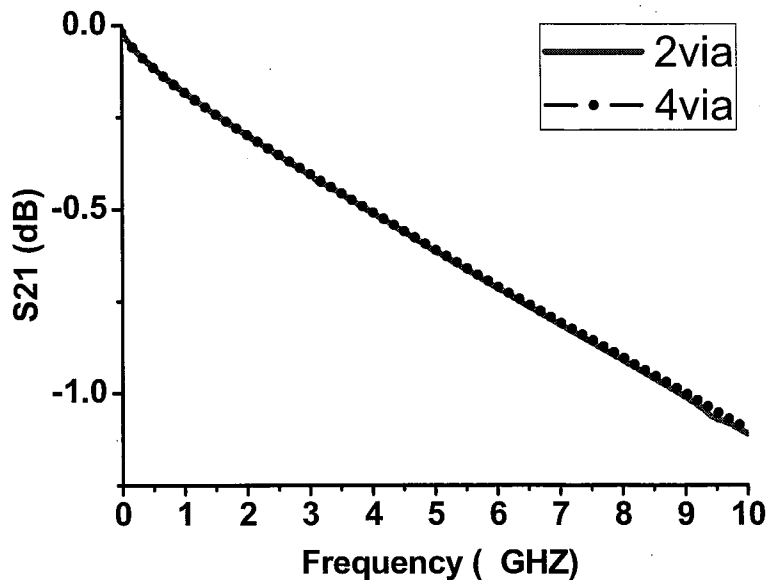


图 3-14 添加两个和四个短路过孔时的仿真结果图

上述仿真只是针对相同电位参考平面切换情况下，给出了一个改善信号质量的方法，实际的封装基板设计中，参考平面上会有许多不同网络属性的过孔穿过，信号线有可能会多次穿过平面，信号线过孔附近有可能也有其它信号过孔，此时需要抽取版图中的信号线进行仿真，以便精确确定需要添加的过孔数量。

3.3.2 不同电位参考平面的切换

在一般的四层封装基板中，中间两层是电源、地层，这就会涉及到信号在不同电位参考平面间的切换。同样使用如图 3-10 中所示大小的基板，由于两参考平面的电压值不同，去除图中基板四角的短路过孔进行仿真。跟上一节仿真手段相同，同样使用 S_{21} 参数来表示传输线的传输特性，用 Z_{33} 曲线来描述信号过孔处，两参考平面间的瞬态阻抗。仿真结果如图 3-15 所示，从图中可以看出 S_{21}

曲线有一定的起伏，它的极小值正好对应 Z_{33} 的反谐振峰。因此在两个参考平面间并接一个合适的去耦电容，有助于减小返回路径的阻抗。

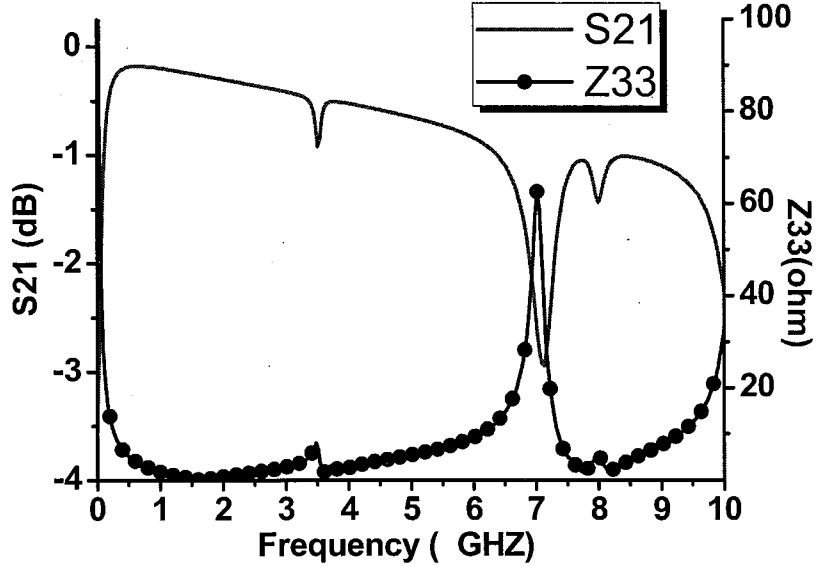


图 3-15 不同电位参考平面的 S_{21} 和 Z_{33} 曲线图

正确使用去耦电容改善信号质量，必须要了解实际电容的频率特性，事实上理想的电容器在实际中是不存在的，实际的电容都会有相应的寄生电感和等效串联电阻，这些寄生参数在低频段的时对电容器的性能影响不大，但是在高频段的时候，它们的影响就会突显出来，因此实际的电容模型应该如图 3-16 中所示， C 即为理想电容值， ESL 是等效串联电感， ESR 是等效串联电阻， ESL 和 ESR 只能减小，是无法消除的。

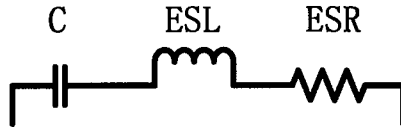


图 3-16 实际电容模型

对于图 3-16 中的实际电容模型，它的阻抗为：

$$Z = ESR + j2\pi fESL + \frac{1}{j2\pi fC} = ESR + j\left(2\pi fESL - \frac{1}{2\pi fC}\right) \quad (3.1)$$

当频率很低时， $2\pi fESL$ 远小于 $\frac{1}{2\pi fC}$ ，电容器呈现为容性， ESL 作用可以忽略，

当频率很高时, $2\pi fESL$ 远大于 $\frac{1}{2\pi fC}$, 电容器表现为感性, 当 $2\pi fESL = \frac{1}{2\pi fC}$ 时,

此时 $f = \frac{1}{2\pi\sqrt{ESLC}}$, 电容的阻抗等于 ESR, 表现为纯电阻特性, 此时的频率点

就是该电容器的自谐振频率。图 3-17 所示为实际电容的频率特性曲线, 在低于自谐振频率范围内的电容器呈现容性, 高于自谐振频率时, 电容器已经表现为感性, 因此 ESL 的存在是限制电容器自谐振频率提高的一个重要制约因素。

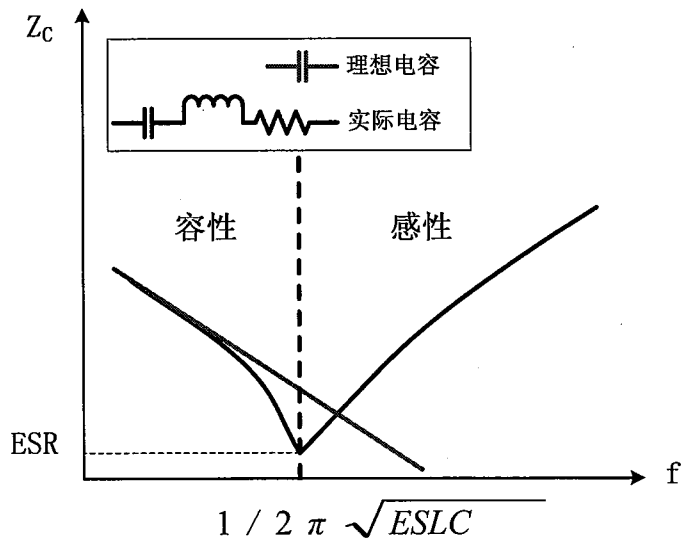


图 3-17 电容频率特性图

在正确了解了实际电容的特性之后, 为了解决不同电位参考平面切换的问题, 我们要选择合适的电容并接在两参考平面间, 由图 3-15 可知, S_{21} 曲线的第一个极小值所在频率约为 3.5GHZ, 这个极小值点表示在此频率点上由于信号返回路径的阻抗较大, 降低了信号质量, 需要降低信号过孔处的参考平面间的阻抗。因此, 我们在信号过孔附近添加一个合适的电容, 如图 3-18 所示。

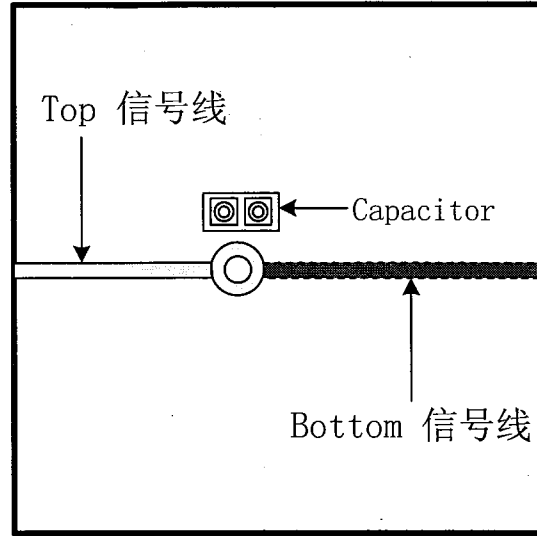


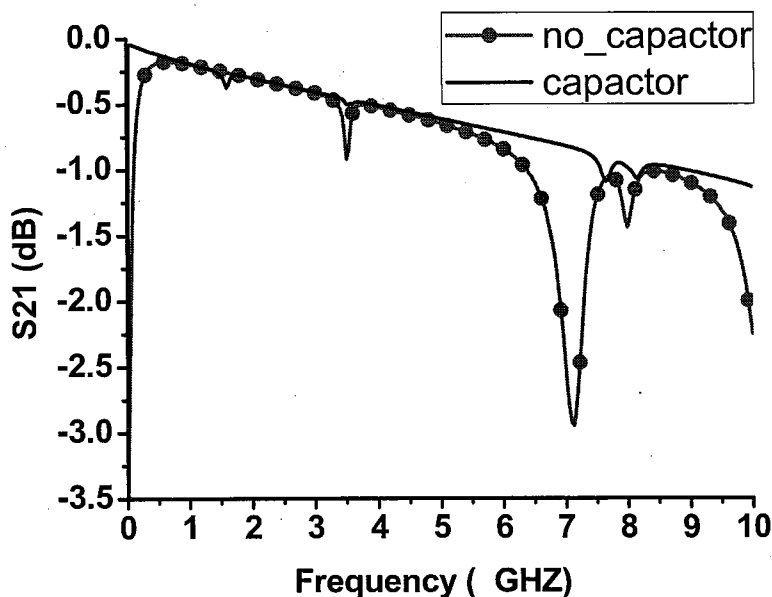
图 3-18 添加电容示意图

电容表贴到基板上时，会存在引线、焊盘和过孔等，这些都会引入额外的寄生参数，引起电容自谐振频率的偏移，寄生电感是我们主要考虑的参数，一般过孔的寄生电感会相对大点，因此我们仿真时需要考虑过孔的寄生电感，过孔的寄生电感公式为：

$$L = 5.08h \left[\ln \left(\frac{4h}{d} \right) + 1 \right] \quad (3.2)$$

其中 L 为过孔的寄生电感，单位是 nH 。 h 为过孔的长度，单位是 μm 。 d 为过孔的直径，单位是 μm 。图 3-18 中所示的电容安装过孔直径为 $150\mu\text{m}$ ，过孔长度平均为 $300\mu\text{m}$ ，代入式(3.2)中得：单个过孔的寄生电感为 0.184nH 。电容表贴在基板上，至少需要两个过孔与电源、地平面相连，则引入的过孔寄生电感是 0.368nH 。为了消除图 3-15 中 S_{21} 曲线的第一个极小值，选择自谐振频率等于该频率点的表贴电容，具体参数为： $C=1.14\text{pF}$ ， $L_{\text{total}}=1.8\text{nH}$ ， $R=0.06\Omega$ ，自谐振频率约为 3.5GHz 。其中 L_{total} 是安装之后的总的电感值，因此去掉两个安装过孔的寄生电感就是我们最终选取的电容本身的寄生电感，为 1.432nH 。

在添加了上述参数的电容后，对传输线的传输特性进行仿真，结果如图 3-19 所示，可以发现添加电容后， S_{21} 曲线明显变滑，从而改善了由于参考平面切换引起的信号完整性问题。

图 3-19 有无电容的 S_{21} 图

本小节所仿真的两参考平面（电源、地）是完整的，大小是 $2\text{cm} \times 2\text{cm}$ ，实际封装的基板中，可能平面并不是完整的，上面会有很多过孔穿过，这些都会导致传输线的传输特性有一定程度的恶化。对于换层的信号线，我们应该先要了解信号线工作在哪个频率以内，然后选用合适的电容改善信号质量，对于改善很高频率的信号换层问题时，我们需要选用更低寄生电感的表贴电容，以使电容的自谐振频率能达到信号的频率，对于更高频率信号的换层，添加电容这一方法已经显得的无能为力了，此时改善信号质量的唯一方法就是减小参考平面间的介质厚度。

3.4 串扰分析

2.5 节详细描述了串扰现象，此节通过仿真的手段对影响串扰的各种因素进行仿真分析，图 3-20 是在 HyperLynx Linesim 中建立的两线串扰系统，可以看到静态线的两端都有 50 欧姆的匹配电阻，因此可以消除反射对串扰结果的影响。两根传输线都是微带线，两线的参数默认为：表层绿油厚 $25\mu\text{m}$ ，线宽 $W=100\mu\text{m}$ ，线间距 $M=100\mu\text{m}$ ，耦合长度 $L=1\text{cm}$ ，介质厚度 $H=70\mu\text{m}$ ，这样可以保证微带线的特征阻抗约为 50 欧姆。攻击线上驱动器输出信号的上升时间为 100ps，信号频率为 100MHz。

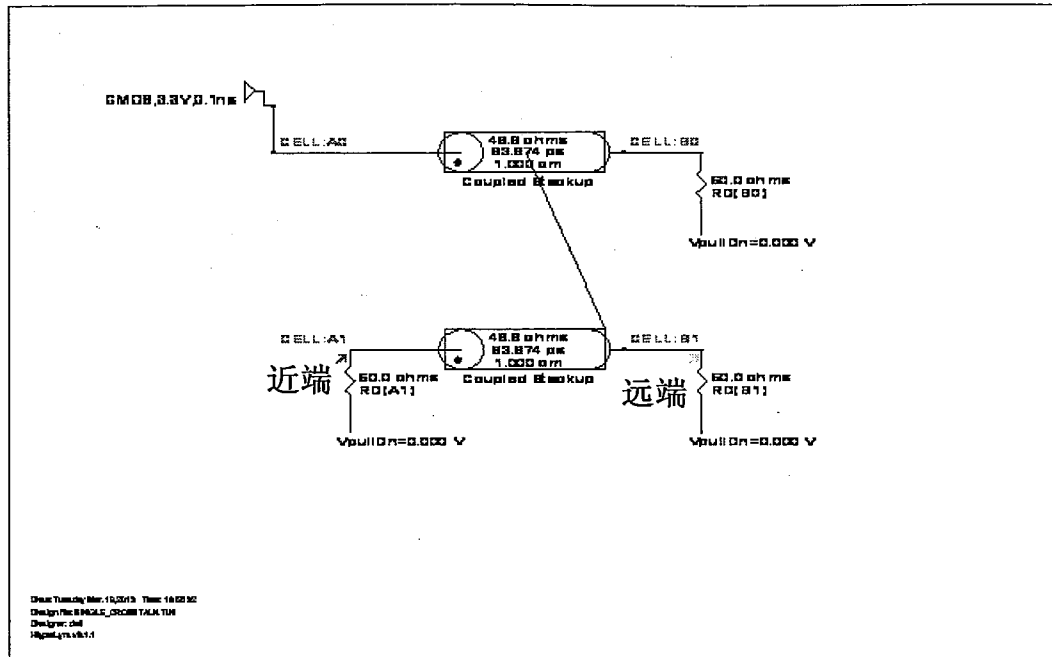
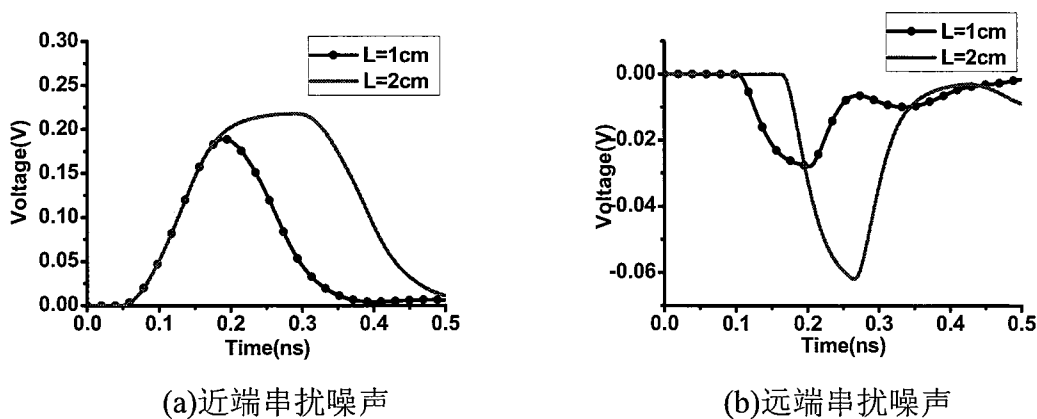


图 3-20 近端、远端串扰仿真模型图

3.4.1 耦合长度 L 对串扰的影响

保持其它参数不变, 分别比较耦合长度 L 为 1cm 和 2cm 两种情况下, 静态线上近端和远端串扰噪声的大小。由于驱动信号的上升时间为 100ps, 则在介质为 FR4 的基板中近端串扰的饱和长度为 $0.6\text{in}=1.524\text{cm}$, 耦合长度如果在 1.524cm 内, 近端串扰噪声峰值与耦合长度成正比, 因此图 3-21(a)中, 当耦合长度为 2cm 时, 近端串扰噪声峰值大于 1cm 耦合长度时的噪声峰值。如图 3-21(b)所示, 耦合长度的增加会导致远端串扰噪声的增加。

图 3-21 耦合长度 L 对串扰的影响

3.4.2 两线间距 M 对串扰的影响

保持其它参数为默认值, 比较 $M=100\mu\text{m}$ 和 $M=300\mu\text{m}$ 两种情况的串扰结果。

仿真结果如图 3-22(a-b)所示, 可以看到随着两线间距的增加, 近端串扰噪声大幅度减小, 远端串扰噪声也有一定减小, 由于两微带线的耦合长度为 1cm, 比较小, 远端串扰噪声不是很大, 峰值最大不超过 30mV, 所以图 b 中远端串扰噪声减小不明显。

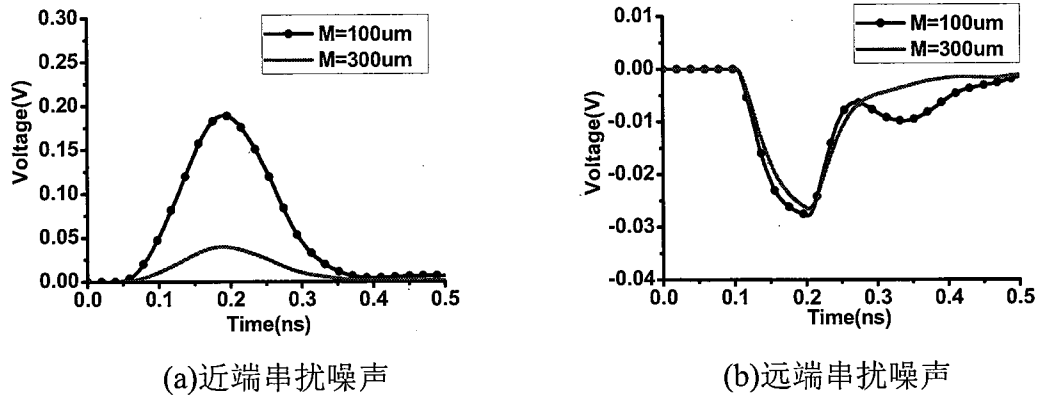


图 3-22 两线间距 M 对串扰的影响

3.4.3 驱动信号上升时间 t_r 对串扰的影响

驱动信号的上升时间 t_r 对串扰也有影响, 如图 3-23(a-b)所示, 当驱动信号的上升时间从 100ps 减小到 30ps 时, 近端和远端串扰噪声幅值都会增加, 由此可见, 即使 MCP 中信号频率不是很高, 但信号上升沿缩小的趋势, 给串扰带来很大的影响。

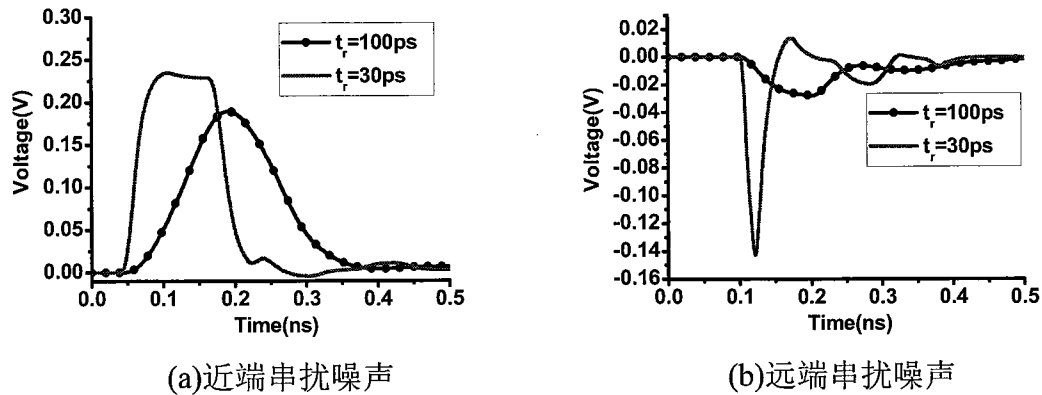


图 3-23 驱动信号上升时间 t_r 对串扰的影响

3.4.4 介质厚度 H 对串扰的影响

比较介质厚度 $H=70\mu\text{m}$ 和 $H=40\mu\text{m}$ 两种情况下的串扰结果。当介质厚度减小时, 传输线的特征阻抗变小, 因此为了保持两线串扰系统中的两根微带线的特征阻抗保持 50 欧姆, 当 $H=70\mu\text{m}$ 时, 两微带线的线宽相应的减小为 $50\mu\text{m}$, 其

它参数不变。串扰仿真结果见图 3-24(a-b)所示,可见介质厚度减小后,近端和远端串扰噪声都减小。

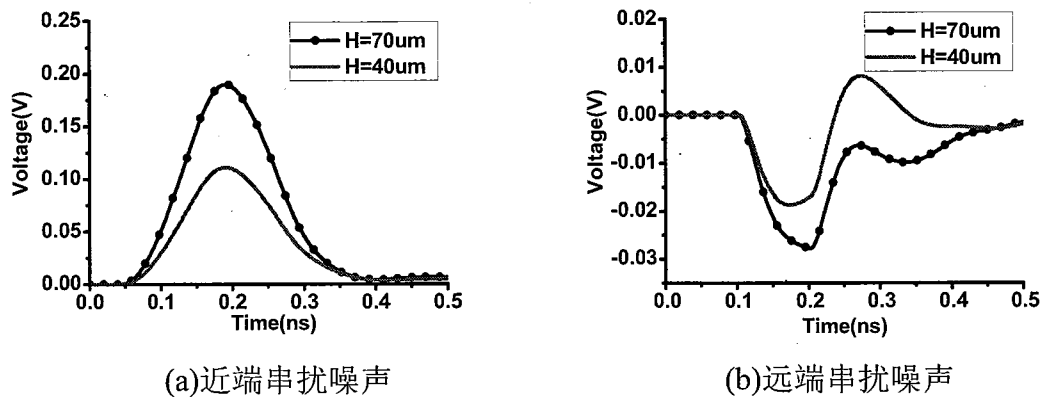


图 3-24 介质厚度 H 对串扰的影响

由上面串扰的仿真分析再结合 2.5 节的理论分析可知,针对 MCP 中的传输线之间的串扰现象,可以通过以下措施加以减小:

- 1、在布线空间允许的情况下,尽量加大线间距。
- 2、合理设计叠层结构,尽量减小信号线和参考平面间的距离。
- 3、在串扰严重的信号线中间插入地线或地过孔。
- 4、尽量减小信号线间的耦合长度,以短平行线布线,相邻层相互正交布线。
- 5、重要信号线以带状线的形式布线,减少远端串扰。

3.5 本章小结

本章首先为了解决信号的反射问题,提出并详细介绍了几种端接技术,包括:串联端接、上拉并联端接、下拉并联端接、戴维宁端接、RC 端接和二极管端接,通过仿真可知,每种端接技术都能很好的解决由反射带来的问题,都能有效的改善信号质量,但也会对信号产生一定的影响,如使信号上升时间变缓,信号噪声容限降低等。在封装基板中,信号难免会换层走线,导致信号返回路径的阻抗增大,严重影响信号的传输质量。信号的参考平面切换主要有两种,一种是相同电位参考平面间的切换;另一种是不同电位参考平面间的切换,针对第一种,我们采取在信号过孔附近加短路过孔的方式,改善信号质量。对于后一种,在信号过孔附近,两参考平面间并接一个合适的电容也能减小噪声。另外还详细介绍了电容的特性,指出如何选择合适的电容用于提供信号的低阻抗返回路径。最后详细分析了影响 MCP 中最普遍的串扰现象的各种因素,给出了减小串扰的一些措施。

第四章 多芯片封装设计

4.1 引言

目前电子系统越来越小型化、多功能化,对高集成度芯片的需求越来越迫切,多芯片封装技术的应用,大大提高 IC 芯片的集成度。一个完整的多芯片封装设计流程基本包括布局布线、信号/电源完整性、EMI 分析、可制造性设计(Design for Manufacture)、可测性设计(Design for Test)、可靠性设计(Design for Reliability)及后期相应的测试板设计,其中涉及到电学、热学和力学方面的仿真分析,保证封装后的芯片质量满足相应的应用指标。本章首先介绍下多芯片封装中涉及到的电学设计与 DFX (即 DFM、DFT、DFR 等)设计,然后设计了两款 MCP(一款是 2D-MCP 设计,另一款是基于柔性基板的 3D-MCP 设计),并对其进行了电和热方面的仿真分析,给出了它们的优缺点。

4.2 电学与 DFX 设计

如今电子产品的研发周期越来越短,如何更高效的设计出客户满意的新产品已经成为各公司追求的目标。长期以来产品的设计与制造是脱节分离的,之间没有过多的联系,导致设计出来却没能力制造生产,或制造有缺陷,给产品的质量带来严重问题。为此越来越多的公司引入 DFX (DFM、DFT、DFR 等)设计方法来缩短产品面市的时间,提高产品竞争力。DFX 设计能保证产品高度的可靠性和可测试性,因此 DFX 应用于多芯片封装设计中,能与电学设计紧密结合起来,各部分密不可分,封装设计首先对工艺的可行性进行分析,确定封装类型及电学设计中的相关物理参数,然后通过电学、热机械仿真确保设计的有效性,最后形成用于制造的文件,进行生产加工。

4.2.1 电学设计

封装电学设计主要是指对封装中的器件进行布局布线,并解决封装中可能出现的信号完整性(SI)、电源完整性(PI)和电磁干扰(EMI)问题,通过电磁仿真软件建模仿真,优化器件的布局和信号传输路径的设计。

为了确保 MCP 的性能,在版图设计前后都得根据相应的封装性能指标,进行前仿真和后仿真,不经过仿真的设计通常很难达到设计之初所定的指标,因此

在封装的电学设计中，除了基板版图的设计，SI、PI 和 EMI 的仿真占了很大一部分的工作量。如图 4-1 是一个典型的 MCP 示意图，图中描绘了设计中可能存在的 SI、PI 和 EMI 问题。SI 问题主要包括信号路径和返回路径上由于阻抗突变引起的反射问题、相邻传输线之间的串扰问题和 SSN 问题。PI 问题主要是指电源、地平面间的 SSN 问题即地弹噪声和电源噪声，电源电压的波动主要是由封装中电源或地引脚上的寄生电感引起的。封装中的 EMI 有些来源于电源分配网络谐振引起的基板边缘辐射，还有些是有源芯片的辐射和基板上走线环路的辐射。

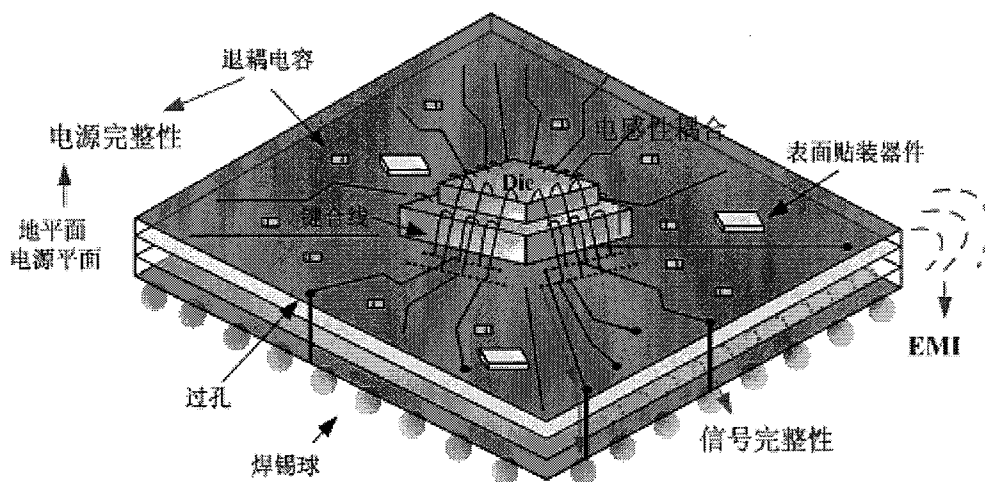


图 4-1 MCP 示意图^[33]

SI、PI 和 EMI 三者紧密联系，电源分布网络上的 SSN 噪声可以通过过孔耦合到信号线上，产生 SI 问题；SI 设计中涉及到信号线的阻抗设计，而阻抗与介质厚度密切相关，进而会影响 PI 设计；电源分布系统中的电源、地层构成一个谐振腔体，很容易被噪声源所激发，产生 EMI 问题；基板中的走线环路在高频信号的激励下，同样会产生 EMI 问题，因此三者密切联系，相互影响。

4.2.2 DFM 设计

DFM 设计是指可制造性设计，即设计出来就可制造，设计与制造相结合。最典型的就高速数字电路中的传输线的阻抗匹配问题，研究传输线的特征阻抗跟哪些传输线的物理参数有关，有助于为封装基板加工制造提供指导意见，本小节以微带线的特征阻抗为例加以说明。

图 4-2 所示为一个典型的微带线示意图， H 为介质厚度， T 为铜线的厚度， C 为表层的绿油层厚度，真正制作出来的铜线是近似呈梯形状的， $W1$ 和 $W2$ 分

别表示该梯形的上底和下底。

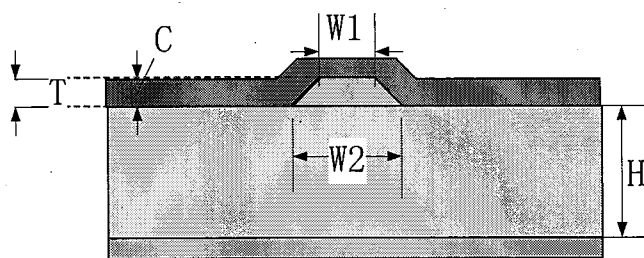


图 4-2 微带线示意图

在高速电路的封装中，精确控制传输线的特征阻抗显得非常重要，首先考察下微带线的特征阻抗与频率的关系，在 HFSS 三维电磁仿真软件中构建有耗传输线的模型，如图 4-3 所示。具体参数为：绿油层厚度为 $25\mu\text{m}$ ，介质厚度为 $105\mu\text{m}$ ，两者介电常数都为 4.4，损耗角为 0.02，铜线厚度为 $18\mu\text{m}$ ，铜线上底为 $138\mu\text{m}$ ，下底为 $150\mu\text{m}$ ，线长为 2cm，模型中假设介质的介电常数和损耗角不变。仿真得到有耗微带线的特征阻抗如图 4-4 所示。

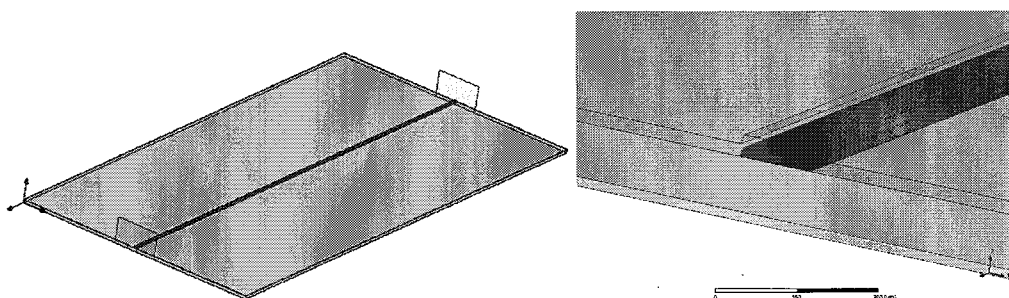


图 4-3 HFSS 中有耗微带线模型

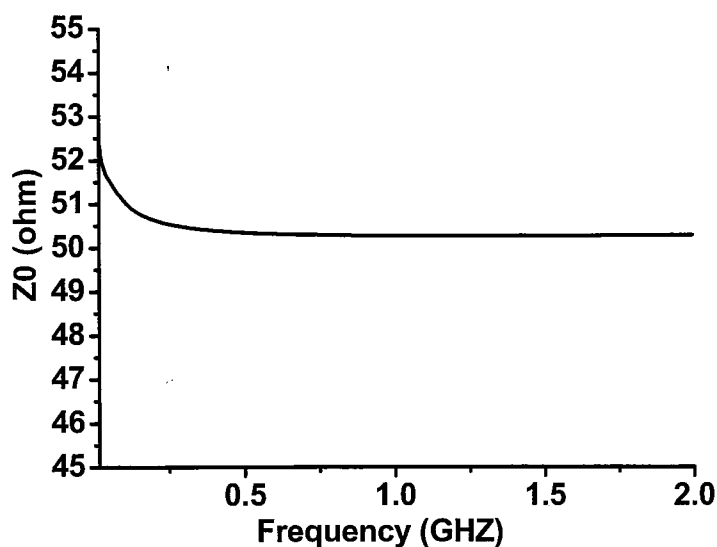


图 4-4 有耗微带线特征阻抗随频率变化曲线图

可以看出低频时，微带线的特征阻抗比高频时要高近 2 欧姆，随着频率的升高，特征阻抗将下降到某一恒定值，这是由于频率越高，分布在导体表面的电流越多，引起回路电感的减小，如果频率远高于趋肤效应的频率，电流全部分布在导体的表面，频率再升高时，特征阻抗将不再变化。

微带线的特征阻抗不仅跟频率有关，还跟其它的一些物理参数有关，其中跟 DFM 有关的主要有微带线表面绿油厚度、蚀刻因子和介质厚度。这些物理参数跟生产制造密切相关，制造人员就通过调整这些参数来精确控制微带线的特征阻抗。

(1) 绿油厚度

通常基板的表面都得涂覆绿油，用于阻焊和防止基板上线条的氧化，绿油厚度的典型值为 $12\mu\text{m}$ 到 $50\mu\text{m}$ 之间，绿油的厚度会影响微带线的特征阻抗。在 HFSS 中对绿油厚度进行参数扫描，得到如图 4-5 所示的仿真结果。从图中可以看出当微带线表面涂覆绿油时，会引起特征阻抗的减小，且绿油越厚，特征阻抗越小，这是由于绿油层的存在，增加了边缘场的电容，引起特征阻抗的减小。

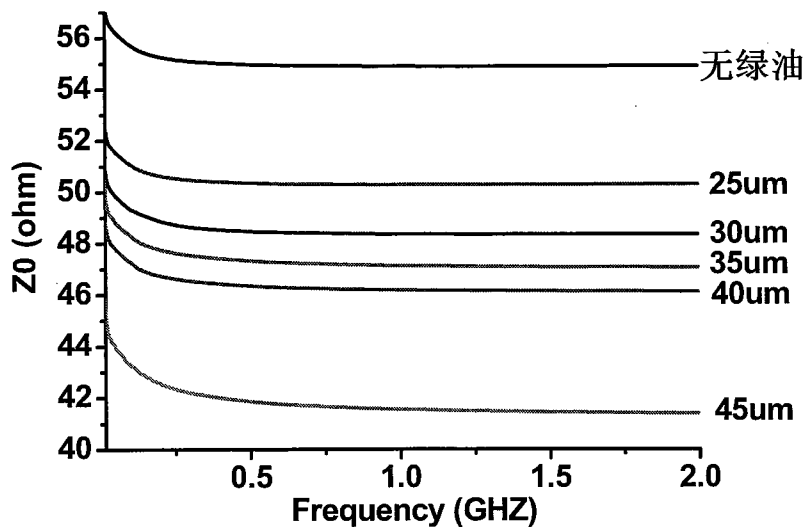


图 4-5 绿油厚度和微带线特征阻抗之间的关系

(2) 蚀刻因子

如图 4-2 中的微带线模型所示，生产制造出的铜线都是近似呈梯形状的，蚀刻因子的定义为： $\alpha = \frac{2T}{W_2 - W_1}$ ，在 HFSS 中对蚀刻因子进行参数扫描，得到它与

微带线特征阻抗之间的关系,如图 4-6 所示。从图中可以看出蚀刻因子对微带线的特征阻抗也会带来影响,通常蚀刻因子越大,越有利于控制精细导线的完整和均匀性。

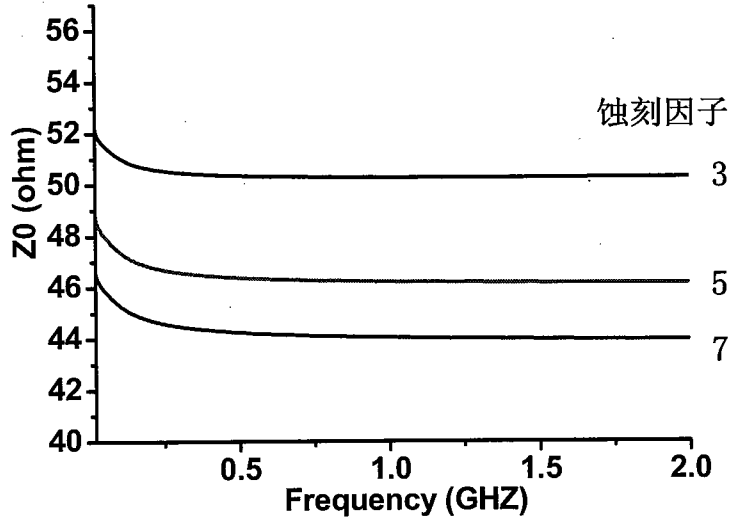


图 4-6 蚀刻因子和微带线特征阻抗之间的关系

(3)介质厚度

生产制造中,介质厚度的不同会给微带线的特征阻抗带来很大的影响。图 4-7 给出了基板中几种常见介质厚度跟特征阻抗之间的关系,可以发现介质厚度越大,特征阻抗越高。

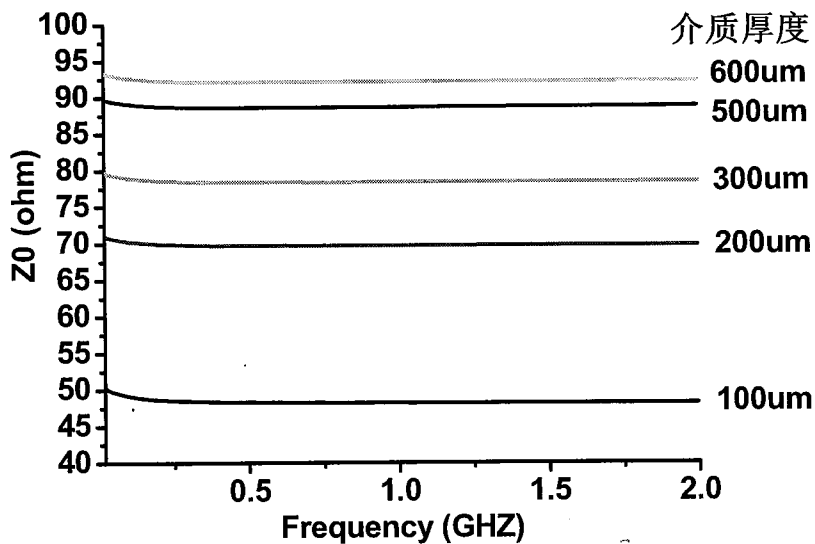


图 4-7 介质厚度和微带线特征阻抗之间的关系

设计人员设计出版图,生成光绘文件交予制造人员,如果由于种种原因需要改变传输线的特征阻抗,而制造人员又很难改变文件中的线宽,所以可以微调表层微带线的绿油厚度和介质厚度,以达到目标特征阻抗。而对于每个制板厂家,他们应尽量保持均匀的蚀刻速度,提高蚀刻的均匀性和蚀刻因子,以便建立适合自己生产能力的设计规范,建成库,充分发挥 DFM 设计的优点。

4.2.3 DFT 设计

DFT 就是可测性设计,即针对测试进行设计,体现在芯片测试中,就是扫描路径法和内建自测试法的应用,在多芯片封装主要是对基板和微组装的质量进行测试。

基板的典型故障类型分为开路 and 短路两种,测试探针有接触性的机械式探针,也有非接触性的电子束式探针。机械的探针容易损伤基板上的走线,且测试速率很慢,电子束式探针成本高,这两种测试方法都可以有效测试基板中存在的问题。

在 MCP 中,Die 以引线键合或者倒装焊的方式安装到基板,通常通过 X 射线检测金线有无断开和倒装焊的质量,这种方法有其局限性,在高密度 MCP 中,尤其对于 3D-MCP,封装中器件很多,有可能在一个角度上会重叠多个器件,用 X 射线就很难发现组装中的问题点,因此需要在基板的正面或背面引出测试点,用于检测封装中 Die 间的连接情况。为了提高封装的可测试性,基板上的测试点不涂绿油,测试点 Pad 或 Via 不可距离基板边缘或 Die 太近,测试点最好镀锡或金。

4.2.4 DFR 设计

在封装设计中,可靠性设计(DFR)是需要重点考虑的问题,可靠性不是制造出来的,而是设计出来的,DFR 贯穿整个封装设计的始终。通常封装失效原因有很多^[34],如:机械振动、冲击造成封装形变或者断裂;突然的电冲击造成介电击穿,漏电流等;环境中的湿气进入封装,降低封装芯片的性能;封装内部材料的 CTE (Coefficient of thermal expansion, 热膨胀系数)失配,产生热应力,导致封装失效。

多芯片封装由于体积小,相对于单芯片封装,单位面积集成的 IC 芯片数量比较多,会消耗更多的功率,导致封装的散热成为问题,有资料表明,微电子器件的温度每升高 10℃,它的失效率就会增加一倍^[35]。温度与电子元器件的失效

时间的关系可由阿伦尼斯经验方程得出，如式(4.1)所示：

$$A_T = \frac{t_1}{t_2} \exp \left[\frac{E_a}{K_b} \left(\frac{1}{T_1} - \frac{1}{T_2} \right) \right] \quad [36] \quad (4.1)$$

上式中： A_T 代表不同温度下元器件失效的时间比值； E_a 表示激活能(cV)； K_b 表示波尔兹曼常数 (cV/K)； t_1 和 t_2 分别表示温度 T_1 、 T_2 下的元器件失效时间(h)。可以看出，元器件的失效率与结温成指数关系，性能随结温的升高而降低。封装内部过高的温度会引发一系列问题，如引起 IC 中晶体管的烧毁，使基板产生翘曲裂纹，甚至会由于热分布不均匀影响电信号的传输特性。因此，多芯片封装中 DFR 研究的重要内容是可靠性的热设计。

热设计的主要内容就是根据封装设计的物理参数和性能指标，构建封装的热分析模型，借助计算机进行分析求解，得到封装中的温度场分布及其极值点，反馈至结构设计及布局布线中去，从而积极的从封装材料的选取、封装结构设计和工艺制造参数方面着手，消除过热点，改善封装中的热分布，避免芯片封装后发生失效。

目前针对封装中的热分析，业内已有多款仿真软件，如 Flomerics 公司的 3D 热设计软件；基于有限元分析算法的 Ansys 软件；Mentor 公司的 HyperLynx Thermal 热分析软件，它是采用了局部可变步长的有限微分算法，相比传统的有限元算法，计算速度可大大提高，因此本文采用此软件对 MCP 进行热仿真分析。

4.3 2D-MCP 设计

4.3.1 应用背景

本论文把一款智能系统中的四部分模块封装在一个封装体中，每个模块都有一颗芯片和若干相应的电阻电容，实现了多个芯片的一体化封装，大大缩小了封装的整体尺寸，增加了互连的电性能，提升了整体系统的稳定性。这种小型化、低成本的解决方案具有很强的市场竞争力。

4.3.2 设计软件介绍

本论文中的多芯片封装设计是利用 Mentor Graphics 软件完成的，它具有强大的原理图和版图设计功能，并且集成了多种仿真工具支持原理图和版图的仿真

和验证,其中包括信号完整性、电源完整性仿真,热分析、EMI/EMC 专家系统^[37]。它们在同一个平台下进行设计和仿真,各工具之间能实现无缝的连接,同时软件还支持多人协同设计,非常适合大型的 SiP 设计,大大提高了工作效率。另外版图文件可以通过 Ansoft Links 软件导入到 Ansys 公司开发的 HFSS 和 SIwave 电磁仿真软件中进行频域的仿真,提取封装中的寄生参数。

图 4-8 所示为 Mentor Graphics 软件的设计仿真环境,环境实现了从原理图到版图再到生产验证的一体化设计流程,也能跟 IC 和 PCB 设计实现无缝连接。

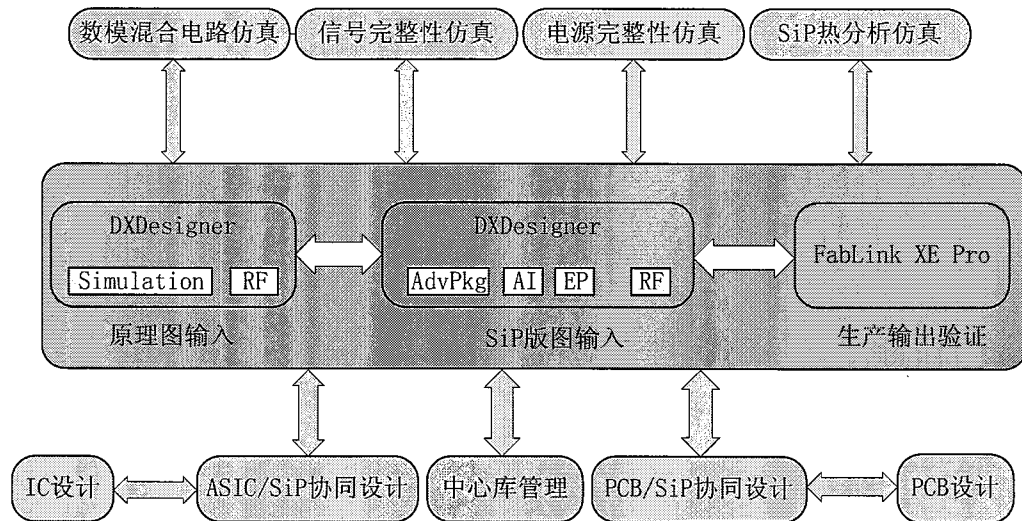
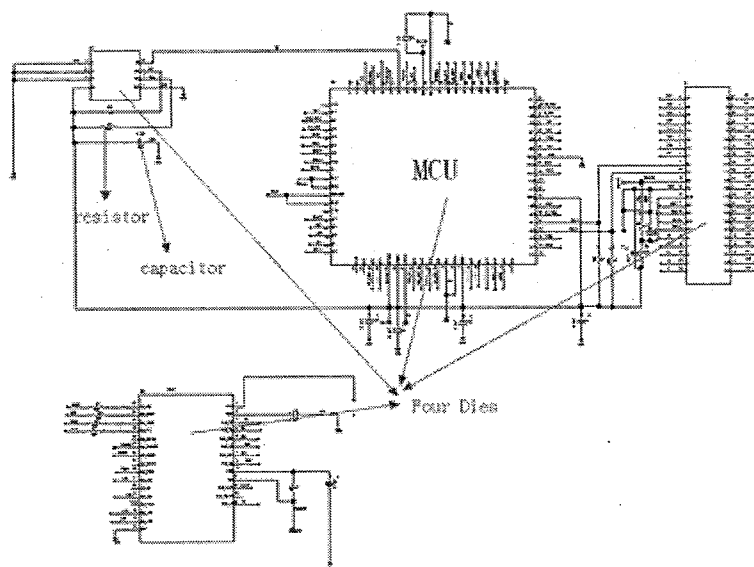


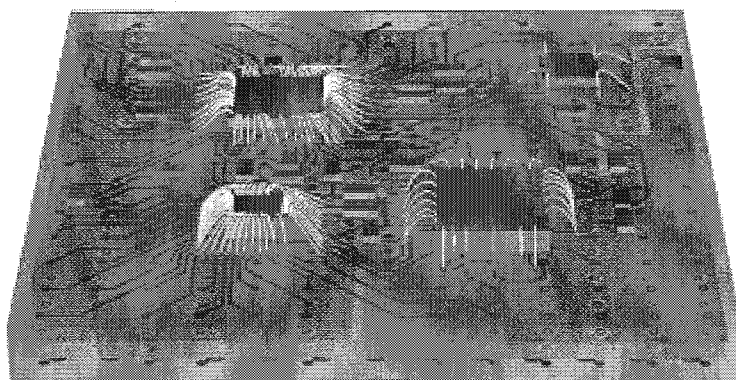
图 4-8 Mentor Graphics 软件的设计仿真环境

4.3.3 2D-MCP 设计概况

封装对象是四颗裸芯片(Die)及若干 0201 封装的电阻电容,由于没有 0201 封装类型的 $10\mu\text{F}$ 电容,封装原理图设计之初,就已经注意到,体现了良好的 DFM 设计理念。对于四颗 Die,一颗是模拟 Die,其它三颗是数字 Die。布局时尽量使飞线不交叉,大小芯片和电阻电容均匀分布在基板上,图 4-9(a-b)所示分别为 2D-MCP 设计的原理图和版图,从图 4-9(b)中可以看出四颗裸芯片采用的是引线键合(Wire Bonding)的方式与基板相连。整个封装采用球栅阵列封装,尺寸为 $20.5\text{mm} \times 20.5\text{mm}$,封装球栅阵列中相邻两 BGA 球间距 1.5mm ,球直径为 0.6mm 。



(a)2D-MCP 设计原理图



(b)2D-MCP 设计基板版图

图 4-9 2D-MCP 设计的原理图及基板版图

4.3.4 2D-MCP 中的 SI 设计

4.3.4.1 2D-MCP 叠层设计

对于封装中基板的叠层设计大体遵循两个方面的原则，即对称原则和信号完整性原则。对称原则是指，基板的各层要对称分布，防止基板受压力、热等因素发生变形。信号完整性原则是指，每个信号层都应该有一个相邻的地层或电源层；地层和电源层应该紧密相邻；高速信号线应当尽量在两个铜层之间，减少电磁辐射。

2D-MCP 的叠层设计情况如图 4-10 中所示，可以看出，封装基板是四层板：第一层是信号 Top 层，第二层是地，第三层是电源层，第四层是信号 bottom 层，top 层之上和 bottom 层之下都有一层 solder mask 绿油层覆盖，core 层介质厚度

为 $300\mu\text{m}$ ，其余介质厚度为 $70\mu\text{m}$ ，基板板材为 FR4。

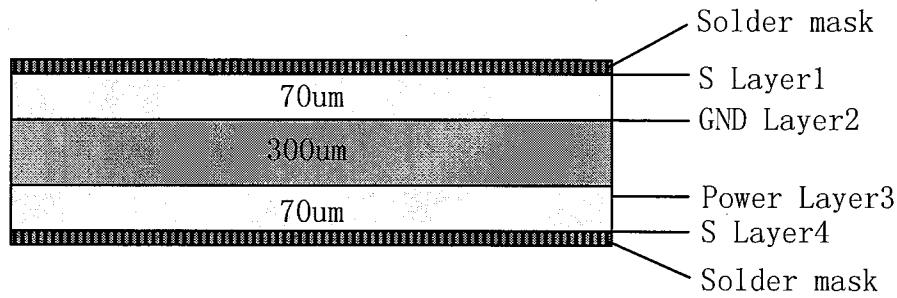


图 4-10 2D-MCP 叠层设计示意图

图 4-10 中所示叠层设计符合上述两个原则，Top 层和 bottom 层的信号都有一个相邻的铜层，这样不仅可以很好的控制信号的特征阻抗，还能为信号提供良好的信号回路，减小信号的反射，提高信号的质量。图中的电源层和地层相邻，能有效的减小回路电感，减小电源和地的分布阻抗，进而减小地弹噪声。

4.3.4.2 封装引脚排布设计

本论文设计的 2D-MCP 形式是 BGA(Ball Grid Array, 即球栅阵列)封装, BGA 本身是封装中的一个不连续结构, BGA 的排布, 影响整个封装芯片的性能, BGA 引脚的分布要尽量使芯片的引脚就近打孔连到底部 BGA 上, 高速信号的 BGA 周围要分布有相应的地属性的 BGA, 尽量给每一个电源 BGA 分配一个地 BGA, 降低电源地的分布阻抗, 信号 BGA 需要分布在封装 BGA 的外围, 有利于在 PCB 上的扇出布线, 同时, 在多电源和地的封装中, BGA 的分布也要考虑到电源或地平面的划分问题, 因此封装中的引脚排布设计是基板布线的第一步, 也是整个封装设计至关重要的一环。

图 4-11 所示为 2D-MCP 设计中的引脚分布图, 图中有三种电源和两种地, 可以看出每种电源引脚的邻近都分配有相应的地引脚, 这能有效减小地弹噪声。图中的电源引脚、地引脚和信号引脚数量的比例约为 1:1:4, 符合正常 BGA 封装的标准。并且三种电源引脚和两种地引脚的分配有利于电源和地平面的划分。BGA 阵列中有两个引脚作为测试引脚, 分布在 BGA 的右下侧, 体现了 DFT 设计的理念。

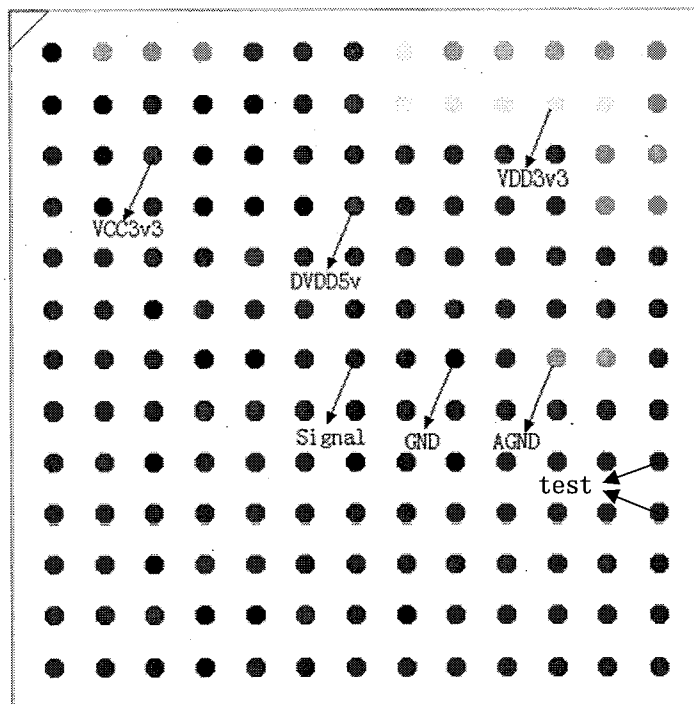


图 4-11 2D-MCP 引脚分布图

4.3.4.3 布局中的 SI 设计

在封装基板设计中，布局是设计的第一步，元件布局是否均匀合理直接影响到之后的布线环节。布局要尽量做到使飞线不交叉，电阻电容摆放整齐。下面是本论文中 2D-MCP 设计在布局中需要考虑的问题。

(1) 去耦电容的摆放

由于数字电路芯片中的晶体管，不断的高低翻转，必然会给电源分布系统带来噪声，我们可以分别在片上级、封装级和 PCB 板级对电源进行滤波，控制电源噪声在一定范围内。2.6 节中曾提到过减小同步开关噪声的办法之一就是，在封装中 Die 的电源引脚边添加合适的旁路电容，给高频瞬变电流提供低电感路径。

当基板中电源平面的一个很小的局部区域发生电压波动，电容会延迟一定的时间感知这个波动，同样电容输出的补偿电流也会经过一定的时间达到波动区域，因此就会造成电压波动源和电容补偿电流的相位上的不一致。设电容的自谐振频率为 f ，对应波长为 λ ，补偿电流表达式可写为：

$$I = Ae^{i2\pi f \frac{2R}{c}} \quad [38] \quad (4.2)$$

式中， A 是电流幅度， R 为电容离波动区域的距离， c 为信号速度。当电容

离波动区域的距离达到 $\frac{\lambda}{4}$ 时,补偿电流的相位为 π ,正好和波动源反相,此时补偿电流便不再起作用,因此去耦电容的作用失效,所以为了使电容起到很好的去耦作用,电容距离波动源要远小于 $\frac{\lambda}{4}$,通常工程中,这一距离控制在 $\frac{\lambda}{40} \sim \frac{\lambda}{50}$ 之间。

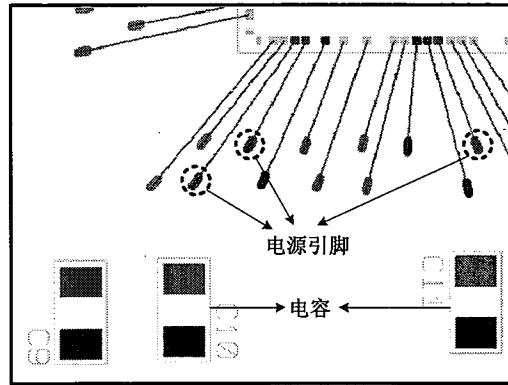


图 4-12 2D-MCP 中电容布局图

图 4-12 所示为 2D-MCP 设计中的部分电容布局图,从图中可以看到,对于芯片的三个电源引脚,都分别摆放一个相应的电容在其附近,且摆放整齐,电容值为 $0.1\mu\text{F}$,表贴在基板上后总的寄生电感约为 1.5nH ,则表贴后的电容的谐振频率为 13MHz ,信号在一般 FR4 基板中的传播速度为 6in/ns ,因此得到波长为 461.5in ,电容的去耦半径为 $461.5/50=9.23\text{in}=23.4\text{cm}$,说明电容只要摆放在该范围内就具有去耦效果。这一数值远远大于整个封装的尺寸,所以设计中,电容尽量靠近电源引脚摆放即能很好的解决电源的去耦问题。

(2)电源层、地层分割

为了减少基板的层数,在同一层上可能会存在多个电源或多个地,本文中的 2D-MCP 设计涉及到三种电源,两种地,因此为了避免各电源之间,模拟地与数字地之间产生干扰,要对平面进行合适的分割。图 4-13(a-b)中所示分别为电源层和地层的分割,电源层是按照为正上方芯片供电的电源种类来分割的。模拟芯片的正下方保证是模拟地,并且将模拟地和数字地分割开来,这样可以有效的防止模拟信号通过地层干扰数字信号。传输线的信号回流路径是与它邻近的敷铜面,所以本设计中良好的布线避免了跨不同参考平面的走线,防止形成大的环形天线,影响信号质量。

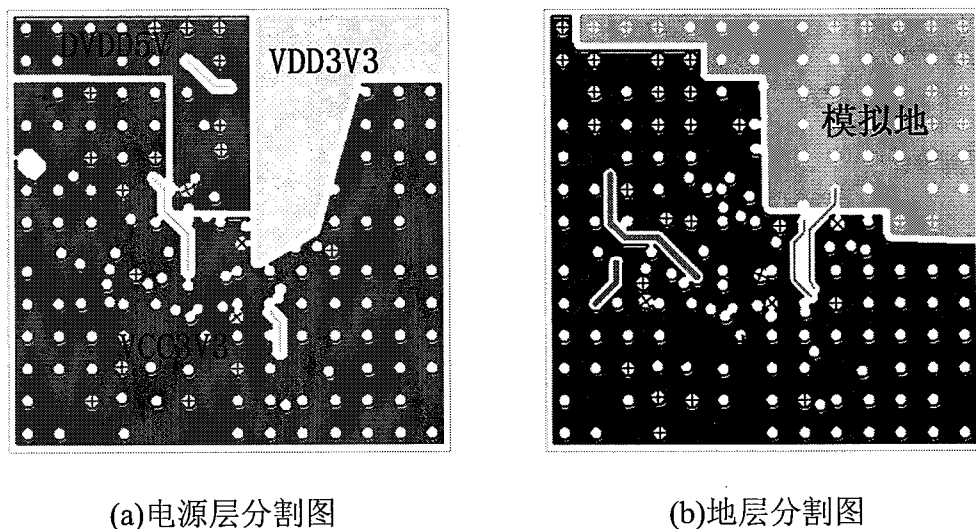


图 4-13 电源层、地层分割图

4.3.4.4 布线中的 SI 设计

布线受各种物理和电气规则所约束，技巧性体现多，工作量大，布线过程中会涉及到反射、串扰等问题。

(1) 反射

封装内部只要有不连续结构的存在就会出现信号反射，第三章 3.2 节中详细给出了阻抗匹配与端接的技术用于解决反射问题，但并不是所有的反射都需要端接，参照 3.2 节中给出的结论：无需终端端接的传输线的最大长度约： $Len_{max} < RT$ ，假设信号的上升时间是 1ns，则 $Len_{max} = lin = 2.54cm$ 。本论文 2D-MCP 设计中，Die 之间连线的最大长度为 1.43cm，因此无需端接，信号也不会产生明显的振铃现象。

BGA 封装中有种特殊的不连续结构——泪滴，如图 4-14(a)所示。BGA 通常会比过孔大，添加泪滴可以平滑阻抗，减小过孔和 BGA 之间的阻抗剧变程度，同时可以加强连接的可靠性，防止由于生产过程中蚀刻不均匀，导致过孔偏位出现裂缝。泪滴的不连续性会严重影响关键信号的质量，图 4-14(b)给出了解决办法，如图中所示，泪滴的平均线宽约为 $500\mu m$ ，为了保持阻抗匹配，泪滴的正上方覆铜平面进行挖空处理，阻抗由挖空前的 $18.67\ \Omega$ 变为挖空后的 $57.97\ \Omega$ ，如图 4-15 所示。大大的改善了阻抗匹配情况，提高了关键信号的质量。

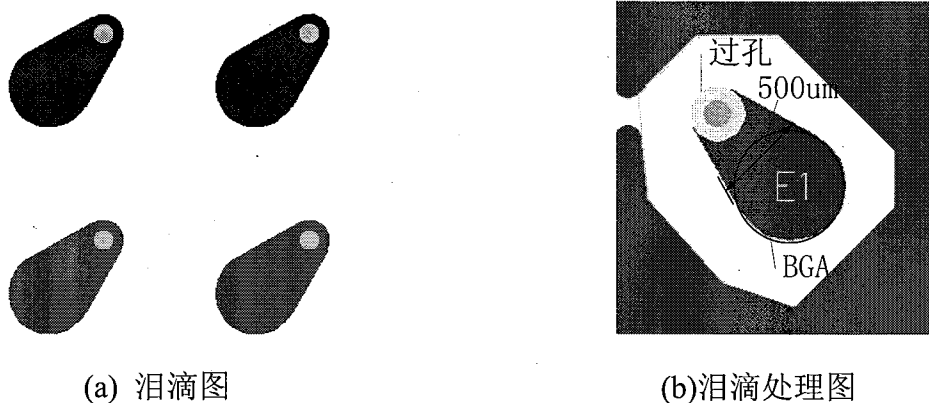
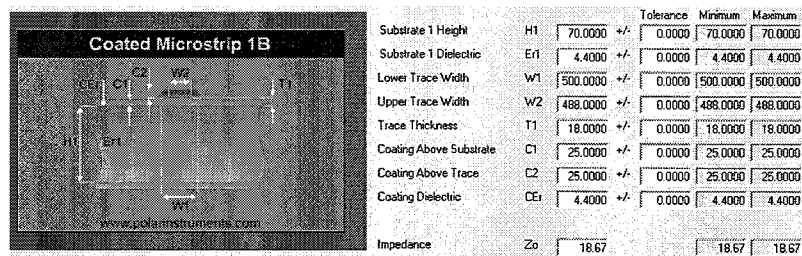
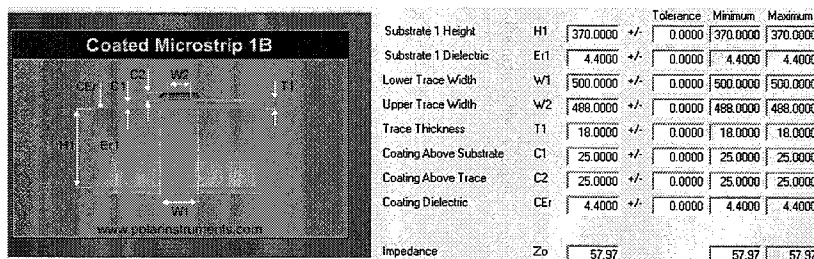


图 4-14 泪滴处理图



(a)正上方挖空前阻抗



(b)正上方挖空后阻抗

图 4-15 泪滴正上方覆铜面挖空前后阻抗对比图

(2)串扰

噪声容限通常是电压摆幅的 15%，其中大约 1/3 即信号摆幅的 5%与串扰有关，设计中信号摆幅为 3.3V，则最大串扰电压为 165mV，在 HyperLynx Boardsim 中设置串扰门限值为 165mV，发现有个别信号线上的串扰噪声超过设定的门限值，不过通过增加信号线之间的距离就能很好的解决这些信号线上的串扰问题。

4.3.5 2D-MCP 中的热分析

对 MCP 中的 DFR，最需要注意的就是可靠性的热设计。本文采用 Mentor 公司的 HyperLynx Thermal 热分析软件对基板版图进行仿真，用以确定基板设计中潜在的热可靠性问题。封装中各芯片最大极限功耗见表 4-1。

表 4-1 各芯片最大极限功耗

芯片	极限功耗
E2PROM (U1)	3.3mW
6523 (U2)	80mW
MCU (U3)	1W
5507 (U4)	400mW

空气流方向设为-X方向，表4-1中的各芯片功耗都是极限功耗，实际工作总功耗比这要小的多，仿真中对于有最大功耗的MCU，我们把它设为平均功耗为0.5W。仿真结果如图4-16所示，最大温度为75℃左右，因此封装基本不需要外加散热装置，该MCP的热设计安全可靠。

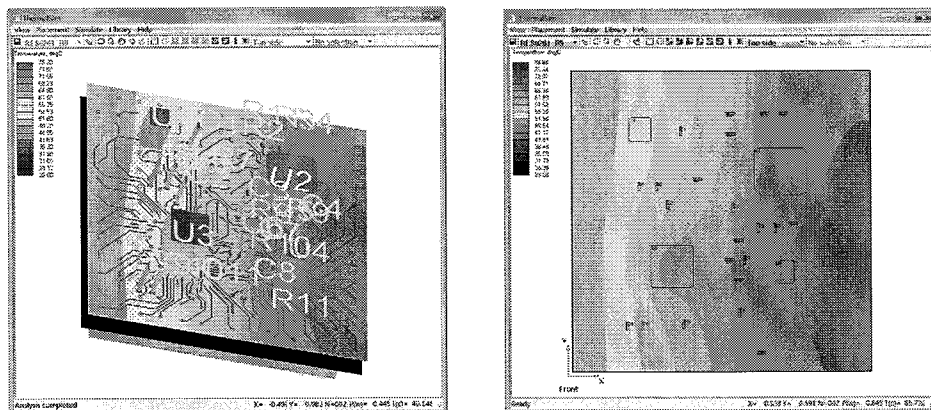


图 4-16 2D-MCP 热分析仿真结果

本论文设计的 2D-MCP 将四颗裸芯片和一些无源器件封装到一起，大大缩小了电路的体积，提高了产品的竞争力，而且从电性能上来说，滤波电容更接近数字芯片的电源管脚，对于电源地平面间的噪声有更好的抑制性。总体来说该 2D-MCP 设计实例的工艺实现不是太复杂。

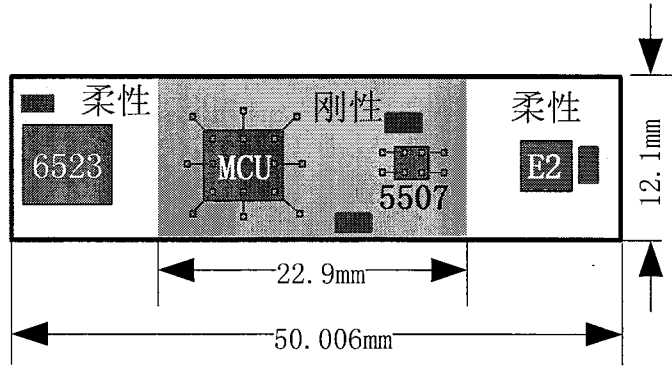
4.4 3D-MCP 设计

3D-MCP 的形式多种多样，有三维叠层封装，也有基于埋入技术的埋入式芯片封装，而本文中设计的 3D-MCP 形式是基于柔性基板的 3D-MCP，基板采用刚柔结合的形式。

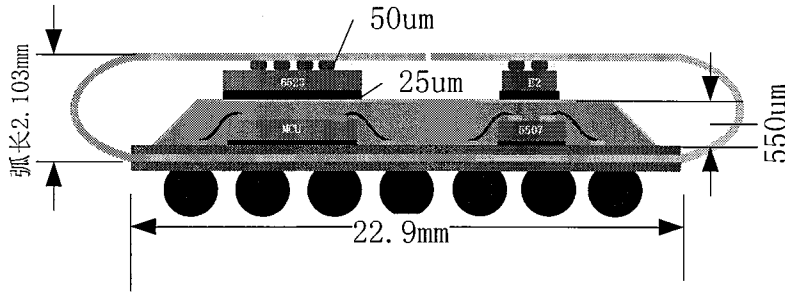
4.4.1 3D-MCP 设计概况

本文中两款多芯片封装设计实例是针对同一设计对象的，即在基于柔性基板的 3D-MCP 设计中，封装对象和电信号的连接与 2D-MCP 中的相同。

基于柔性基板的 3D-MCP 设计是在二维上进行设计，三维进行安装，二维平面图和三维折叠图如图 4-17(a-b)所示。



(a)3D-MCP 设计平面图



(b)3D-MCP 设计折叠图

图 4-17 3D-MCP 设计示意图

整块基板是刚柔结合板，图 4-17(a)中的两边区域为柔性板，中间区域是刚性板，两层柔性板夹在刚性板之间，在考虑各个 Die 的尺寸和管脚疏密的情况后，按以下进行布局，两颗 Die 以引线键合(Wirebonding)形式安装在刚性板上，另两颗 Die 以倒装焊(Flipchip)形式安装在柔性板上，另外还有一些 0201 封装形式的电阻电容表贴在基板上，为了尽可能的减小由于柔性基板折叠对表贴元器件可靠性带来的影响，在布局时，弯折区域不表贴器件。整个封装也是采用球栅阵列封装，考虑到柔性板折叠会有个弧度，封装总尺寸略大于 $22.9 \times 12.1\text{mm}$ ，采用基于柔性基板的 3D-MCP 的面积相对于 2D-MCP 能减小 30%，同时位于柔性基板上的两芯片之间的互连线长度不可避免的增加了，会在一定程度上影响信号传输质量。

4.4.2 3D-MCP 中的 SI 设计

4.4.2.1 3D-MCP 叠层设计

3D-MCP 的叠层设计情况如图 4-18 中所示,可以看出,基板共六层,中间两层是柔性板,第一层和第六层是信号层,第二层和第五层是地层,第三、四层是电源层,刚柔基板的表面都被 solder mask 绿油层覆盖,中间柔性基板的介质厚度为 $65\mu\text{m}$ 。图中所示的叠层设计能很好的体现对称性的原则信号完整性的原则。

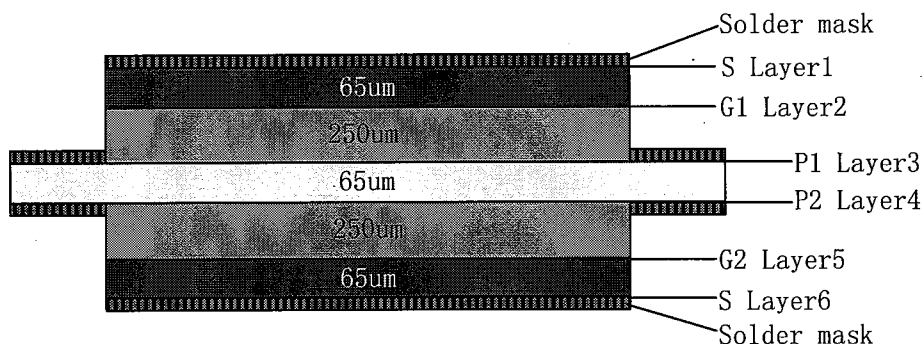
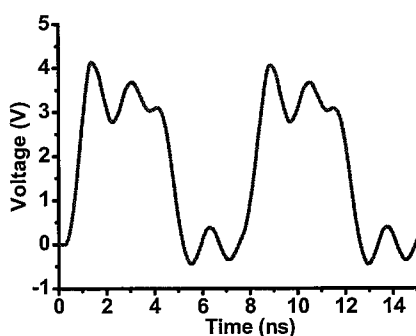


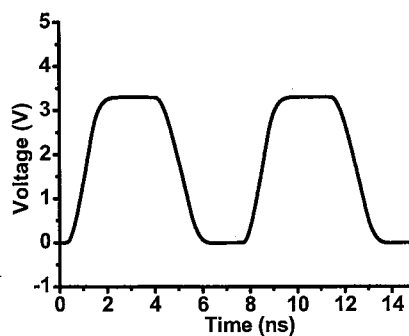
图 4-18 3D-MCP 叠层设计示意图

4.4.2.2 端接匹配设计

3D-MCP 中两个 Die 之间的连线最长的是 3.31cm ,大于无需端接的最大长度值,理论上要进行端接以消除反射现象,下面用仿真的方法验证理论的正确性。在两 Die 端加入 IBIS 模型,一个作为驱动端,另一个作为接收端,驱动源信号频率约为 135MHz 。接收端的信号波形如图 4-19(a)所示,可以看出波形出现了比较严重的振铃现象,因此需要在驱动器端或者接收器端进行阻抗匹配与端接。第三章 3.2 节详细描述了各种端接方式的优缺点,通过比较发现,源端串联端接是此处的最佳选择方案,它只用一个电阻又不会破坏信号的噪声容限。



(a)端接匹配前的波形



(b)端接匹配后的波形

图 4-19 3D-MCP 源端端接仿真图

如图 4-20 所示, 在 3D-MCP 中靠近驱动芯片端的位置, 串接一个 $45\ \Omega$ 的电阻来消除振铃噪声, 端接匹配后的信号波形如图 4-19(b)中所示, 可见源端串接电阻后, 信号质量得到大大改善, 振铃噪声几乎没有。

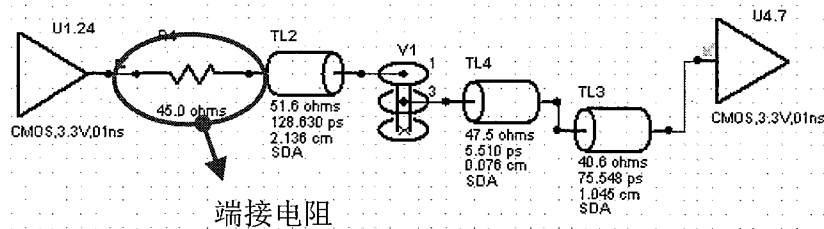


图 4-20 3D-MCP 源端端接图

4.4.2.3 传输线类型转化

在基于柔性基板的 3D-MCP 中, 柔性板与刚性板的交接处会出现微带线转化为带状线的情况, 如图 4-21 所示, 虚线的左边是刚性板, 右边是柔性板。这些信号线是 Die 间的连线, 最大程度的减小这些走线上信号的反射至关重要, 因此基板在叠层设计时就考虑到了阻抗匹配的情况, 依据各层的介质厚度得到微带线线宽为 $100\ \mu\text{m}$, 带状线线宽为 $70\ \mu\text{m}$ 时阻抗匹配状况良好。计算由 Polar 软件实现, 阻抗匹配计算图如图 4-22(a-b)所示。

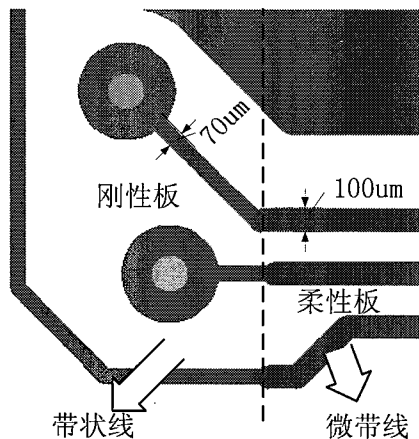
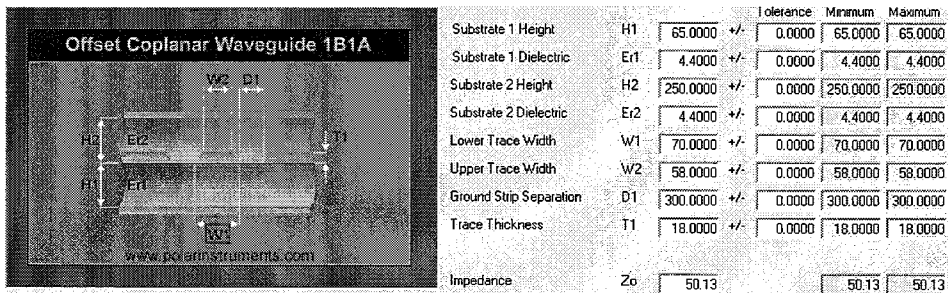
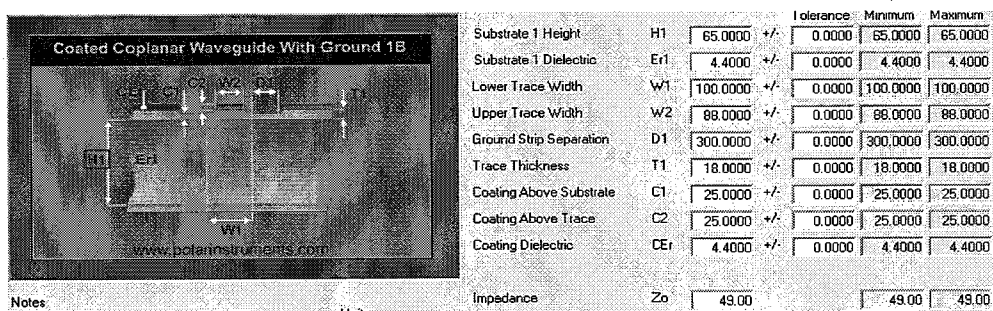


图 4-21 3D-MCP 中微带线转带状线图



(a)3D-MCP 中带状线阻抗



(b)3D-MCP 中微带线阻抗

图 4-22 polar 计算 3D-MCP 中传输线阻抗图

4.4.2.4 回流过孔设计

本文中基于柔性基板的 3D-MCP 的基板层数较多，导致信号线的参考平面会有切换，图 4-23 中高亮的走线是 3D-MCP 设计中两芯片（Die1 和 Die2）间的最长的连线（为了便于观察，隐藏了其余网络），该信号换层前后的参考平面都是地平面，因此由第三章 3.3 节可知，对于有相同电位的参考平面的切换，我们需要在信号过孔附近添加一个或数个回流过孔，给信号提供最短的回流路径。图 4-23 中只添加了一个接地过孔。

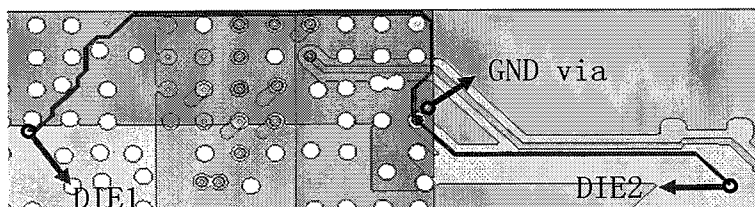


图 4-23 3D-MCP 中 Die 间最长信号线

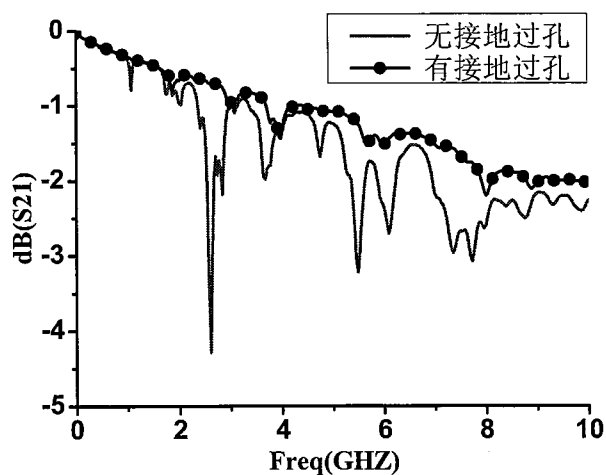
图 4-24 3D-MCP 中信号线有无接地过孔的 S_{21} 曲线图

图 4-24 显示了该信号网络在信号过孔附近有无接地过孔的频域仿真结果,从图中可以看出关键信号在信号过孔附近如果没有接地过孔,它的插入损耗谐振现象比较严重,在 2.6GHz 时,插入损耗已经小于-4dB 了。如果添加有接地过孔, S_{21} 曲线就会变得比较平滑,没有大的波动,且在 DC-10GHz 的频段内,插入损耗大于-3dB,符合正常的应用指标。由于在设计中,对于关键信号线的特性阻抗严格控制在 50 欧姆左右,信号的反射主要由过孔以及参考平面的切换引起的,因此本文两封装设计中,对于芯片间的关键信号互连线都尽量减少换层过孔的数量,并且在它的换层过孔附近都添有接地过孔,以提供最短的回流路径,提高信号传输质量。

4.4.3 3D-MCP 中的关键工艺

4.4.3.1 芯片减薄

晶圆的正面是电路层,其厚度一般为 5-10 μm ,再加上一定厚度的衬底,IC 芯片的厚度极限能达到 20~30 μm ,通常晶圆的原始厚度比较厚,因此我们在封装之前需要对芯片进行减薄,使其达到需要的厚度。芯片减薄后会有以下优点^[39]:

- (1) 有利于降低热阻,提高芯片的热扩散效率。
- (2) 有利于封装体积和重量的减小,增加封装芯片的集成度。
- (3) 能增强芯片的机械性能,芯片越薄,产生的应力越小,柔韧性也就越好。
- (4) 在三维叠层封装中,芯片越薄,芯片间的互连线就越短,提高了信号传输质量。
- (5) 有利于划片,减小划片的工作量,降低由划片带来的崩边现象的发生率。

目前,芯片的背面减薄技术主要有研磨、化学机械抛光(CMP)、干式抛光(Dry Polishing)、湿法腐蚀(Wet Etching)、等离子辅助化学腐蚀(PACE)、常压等离子腐蚀(Atmospheric Downstream Plasma Etching, ADPE)等。

本文中所封装的裸芯片,在未减薄之前厚度分别为: 559 μm 、730 μm 、736 μm 和 800 μm 。采用研磨的芯片减薄技术使它们统一减薄到 300 μm ,相同厚度的 Die 便于 3D-MCP 中的折叠组装。

4.4.3.2 倒装焊凸点制作

倒装芯片法作为一种 Die 与基板的连接方式,在高密度封装中应用越来越广泛。倒装芯片上的凸点制作方法多种多样,主要包括电镀法、蒸发/溅射法、化

学镀法、植球法、印刷焊膏法、钉头法等。

电镀法可以在芯片 Pad 上电镀上金、铜或焊料凸点，步骤少、操作简单，适合批量生产。蒸发/溅射法是在芯片 Pad 上溅射沉积上多层金属凸点，但生产效率较低。化学镀法是利用化学还原剂在芯片 Pad 上还原出金属凸点，但凸点高度受限。植球法是在芯片 Pad 上进行植球再回流焊形成凸点，该方法高效可靠。印刷焊膏法是在芯片 Pad 表面刷上 Pb-Sn 焊膏，再回流形成 Pb-Sn 凸点，该工艺简单，成本低，凸点尺寸均匀性差，适于宽间距的凸点制造。钉头法是用引线键合机在芯片 Pad 表面直接用金丝引线制作金球凸点。

本论文中采用自动引线键合机在芯片 Pad 表面超声压焊金球凸点，所用金丝直径 $\phi 25.4\mu\text{m}$ ，纯度 99.99999%。之后通过计算机程序控制键合机把凸点的尾状物压平，得到高度一致的凸点，便于后期的倒装焊的质量。该方法可以利用现有的键合设备，工艺简单，能用于小批量的生产。

4.4.3.3 各向异性导电胶(ACF)的使用

本论文 3D-MCP 设计中的柔性基板上有两颗倒装芯片，芯片的 pad 大小都约为 $50\mu\text{m} \times 50\mu\text{m}$ ，Pad 间最小边到边距离约为 $100\mu\text{m}$ ，这对普通的热压焊工艺是很难做到的，另外由于柔性基板有弹性，把倒装芯片直接热压到柔性基板上有一定的难度，连接性不是很强。因此我们就寻找一种既能解决窄节距问题又能提高倒装芯片与基板之间连接质量的方法，发现 ACF 的使用能很好的解决这两个问题。

各向异性导电胶（ACF，Anisotropic Conductive Adhesive Film）的组成主要包含导电粒子和绝缘聚合物两部分，导电粒子是表面镀有 Ni/Au 的球形树脂颗粒，大小一般在 $2\mu\text{m}$ - $10\mu\text{m}$ 之间。

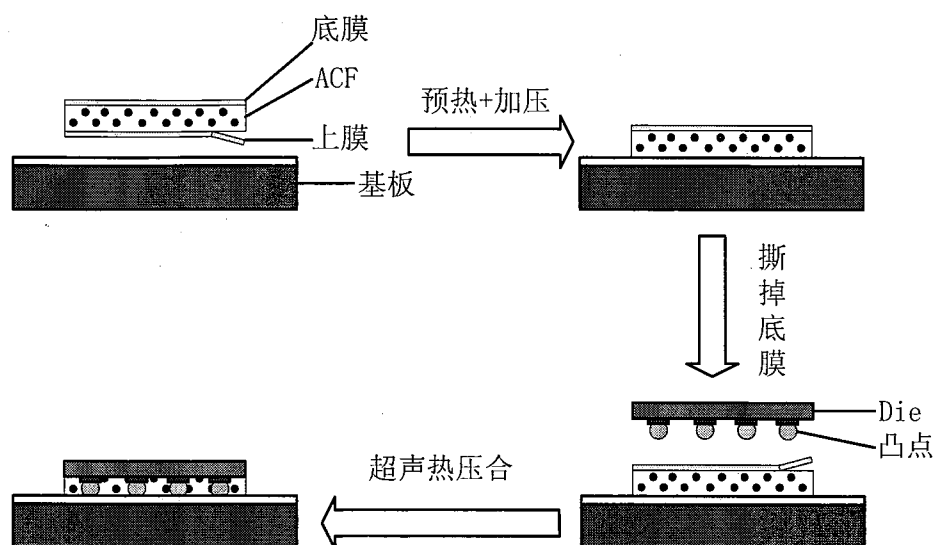


图 4-25 3D-MCP 中 ACF 使用步骤

未使用之前的 ACF 有上下两层绝缘保护膜，使用时先将上膜撕去，将 ACF 贴到基板上的对应 Die 凸点的 Pad 上，再把 ACF 的底膜撕去，然后对准 Die 凸点和基板上的 Pad，进行加热加压，导电粒子外层的绝缘聚合膜破裂，使 Die 凸点和基板上的 Pad 相连，而其它方向不导通，因此实现了各向异性的互连。ACF 使用的整个过程如图 4-25 所示，本设计使用 ACF 应用于倒装焊中的压合温度为 180°C ，压合时间是 15S。

4.4.4 3D-MCP 微组装步骤

基板制作完之后就是 Die 和电阻电容的微组装，微组装工艺涉及到 SMT、Wirebonding、Flipchip 等技术。本文的 3D-MCP 的微组装具体步骤如下：

- (1) SMT (Surface Mount Technology)。将 0201 封装类型的电阻电容表贴在基板上，回流焊固定。
- (2) 倒装芯片上植金球。采用自动引线键合机在芯片 Pad 表面超声压焊金球凸点，所用金丝直径 $\phi 25.4\mu\text{m}$ ，纯度 99.99999%。
- (3) 柔性基板上倒装焊。在柔性基板的 Pad 上预贴上 ACF，然后放在温度为 80°C 的热台上加热 1min30s，之后将基板放置在热压倒装焊机的承片台上，用捡拾头吸附带有金凸点的芯片，通过光学摄像调整芯片的位置，使芯片上的金凸点对应基板上相应的 Pad，再超声热压合，完成倒装焊芯片的安装。

- (4) 刚性基板上引线键合。用引线键合机对刚性基板上的两颗 Die 进行打金线安装，金丝直径 $\phi 25.4\mu\text{m}$ ，纯度为 99.99999%。

至此整个刚柔结合基板的二维微组装已经完成，如图 4-26 所示。下面步骤就是三维上的折叠安装。

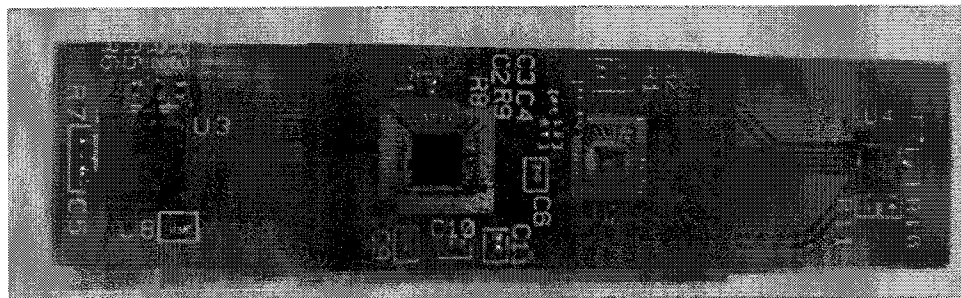


图 4-26 刚柔结合板二维安装图

- (5) Molding 保护。对打完金线的两颗 Die 进行点胶保护，防止在柔性板弯折时对金线造成破坏，造成微组装的失败。
- (6) 柔性板弯折。把两边的柔性板一起向中间折叠，使柔性基板上的两颗 Die 与刚性基板上的两颗 Die 形成背靠背接触，并用夹具固定，完成三维弯折。
- (7) 灌封。选用流动性适中的灌封胶将弯折后基板中的缝隙灌封填满，放入烘箱中烘烤 30min 后取出。
- (8) BGA 植球。首先制作用于本设计的钢网，然后在基板上均匀的刷一层锡膏，再把钢网上的孔洞对准基板背面的 BGA Pad，往上放置锡球，拿掉钢网后通过回流炉回流固定 BGA 球。

至此一个完整的 3D-MCP 的微组装已经完成，图 4-27 所示为整个微组装的流程示意图。图 4-28(a-b)所示为封装完成后的背面与正面图。

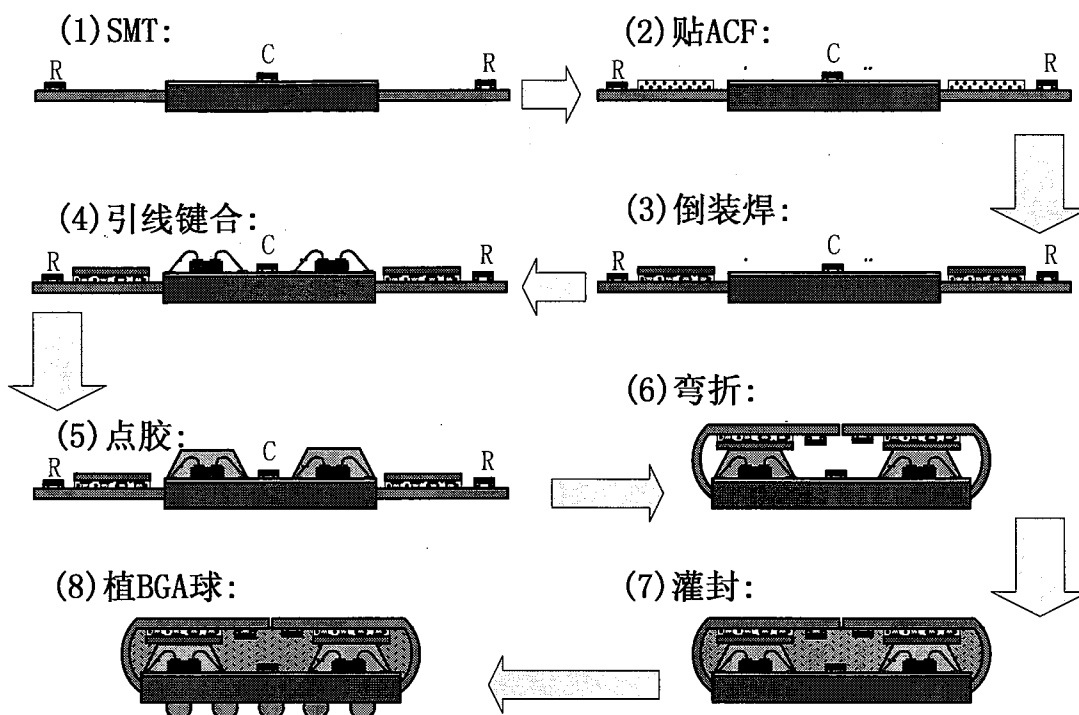
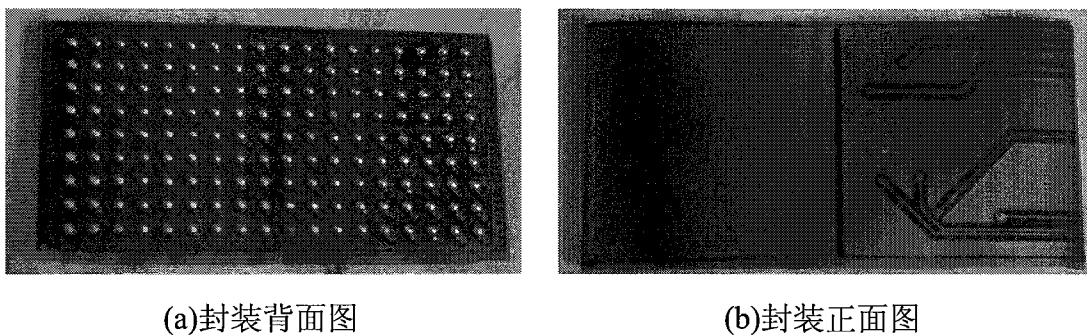


图 4-27 3D-MCP 的微组装流程示意图



(a)封装背面图

(b)封装正面图

图 4-28 刚柔结合板二维安装图

4.5 MCP 的检测与功能测试

我们对两款 MCP 设计分别进行了电学、热学方面的设计仿真分析，保证了它们的信号完整性和热管理的可靠性。待它们微组装完成后，利用 X-ray 对封装进行扫描，查看微组装的连接质量，主要是检查邦定线是否出现脱落、接触和断开等现象。我们用 X-ray 抽样检测了几个设计实例，发现有个别实例的绑定线脱落或断开，如图 4-29(a)所示，但大部分绑定线正常可靠，如图 4-29(b)所示，是一个正常的邦定线图。

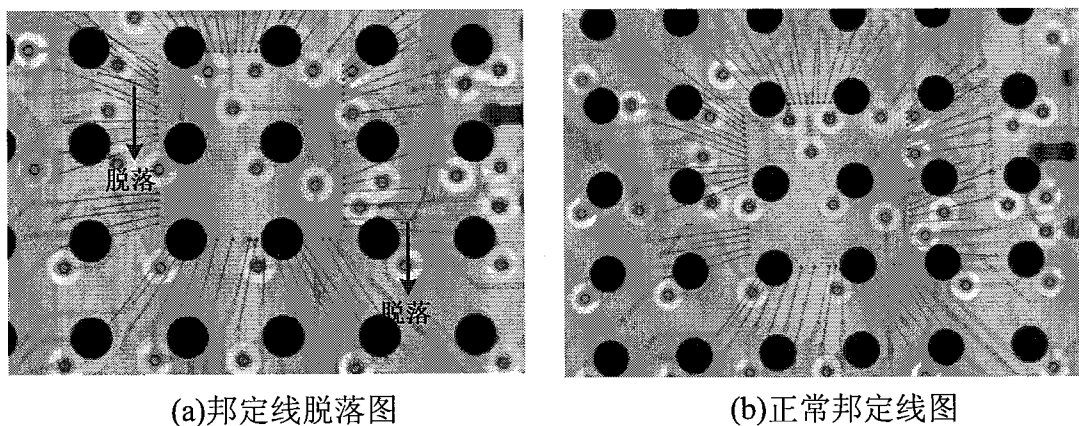


图 4-29 MCP 实例在 X-ray 检测下的邦定线图

我们挑选经过 X-ray 检测过的正常 MCP 设计实例进行测试,因为考虑 DFT,两款 MCP 设计中都预留了几个测试管脚,封装后往单片机(MCU)烧录程序,初始化这些管脚为 IO 模式,观察这些管脚信号是否有高低电平的变化输出。图 4-30(a)所示为用于测试的测试板,图 4-30(b)就是两种 MCP 设计中一个典型 IO 信号 OSC1 的测试波形,可见两款 MCP 的测试管脚均能达到预期结果。

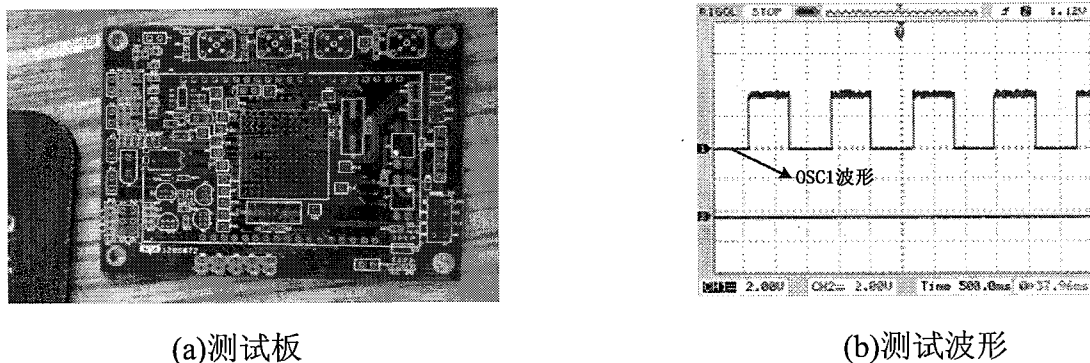


图 4-30 MCP 测试结果

图 4-31 所示是我们在整个系统中应用 MCP 进行功能测试,经测试两款设计都能很好的满足工作指标。

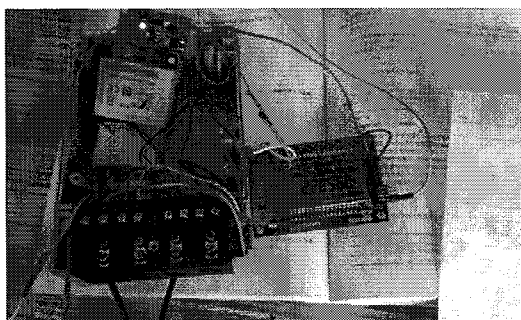


图 4-31 功能测试系统

4.6 两种设计实例的对比

采用多芯片封装技术能大大减小整个系统的体积和重量，从图 4-32 中可以直观的感受这种变化，图中对比了 2D-MCP 和 PCB 板的体积，在图片的上方可以看到许多无源器件和四颗芯片杂乱无章的分布在 PCB 板上，这将会大大增加整个 PCB 板的尺寸，如果运用 MCP 技术，这些无源器件和芯片可以集成到一颗封装芯片中，之后设计的 PCB 板尺寸就会大大的减小，从而减小整个系统的体积和重量。

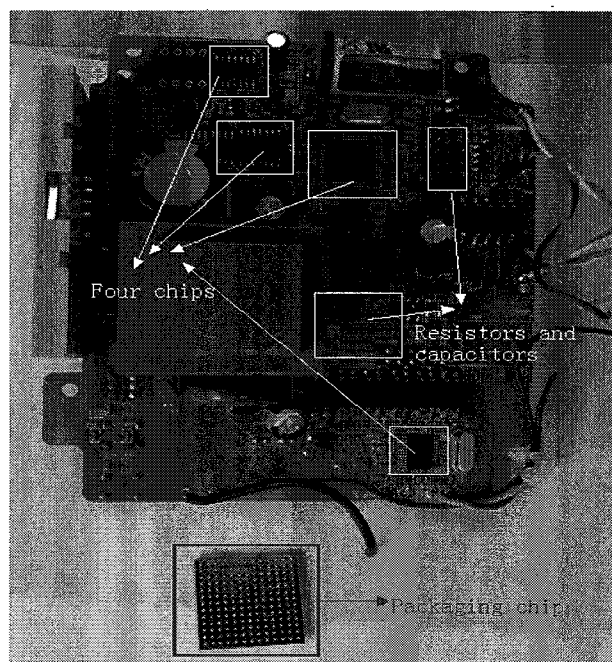
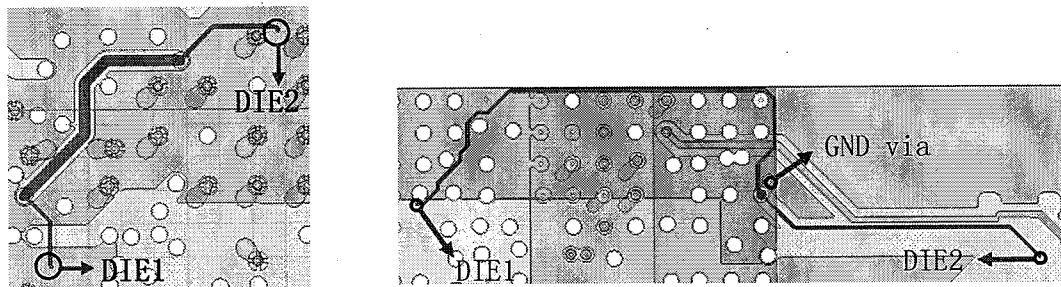


图 4-32 2D-MCP 和 PCB 的对比

本论文设计了两款多芯片封装实例，一款是 2D-MCP，另一款是基于柔性基板的 3D-MCP。2D-MCP 可以大大减小系统的体积，并且 3D-MCP 相对于 2D-MCP，面积还能进一步减小 30%。

两封装中 Die 间的互连线的传输特性，能反应封装内部信号的传输质量，下面我们比较下两封装中关键信号的电性能，图 4-33(a-b)为两封装中 Die 间最长的互连线。可以看出 3D-MCP 中的互连线较 2D-MCP 中的要长，这是由本文中 3D-MCP 的基板结构决定的，本文中的 3D-MCP 的基板是刚柔结合板，在二维平面上必然导致 Die 间的连线较长。仿真后的 S_{21} 参数对比结果如图 4-34 所示，可以看出 2D-MCP 的 S_{21} 曲线从总体趋势上稍优于 3D-MCP。两封装中对于关键的信号线都有良好的阻抗匹配设计，因此传输特性在 DC 到 10GHz 范围内都不错，

都在-3dB 以上,符合正常指标。为了最大程度的降低成本,两封装设计都是采用的通孔用于信号转层传输,这样就会存在过孔短桩,在高频时会出现谐振效应,再加上基板平面间的固有谐振和过孔的影响,会在一定程度上引起 S_{21} 曲线的起伏。



(a)2D-MCP 中 Die 间最长的互连线

(b)3D-MCP 中 Die 间最长互连线

图 4-33 两封装中 Die 间走线图

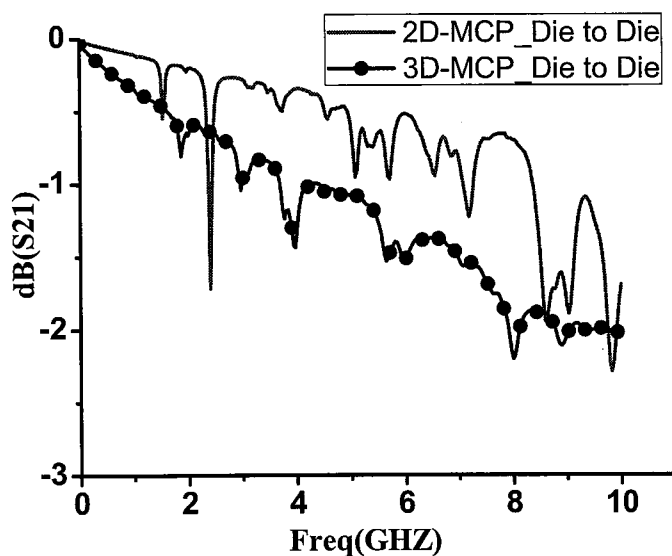


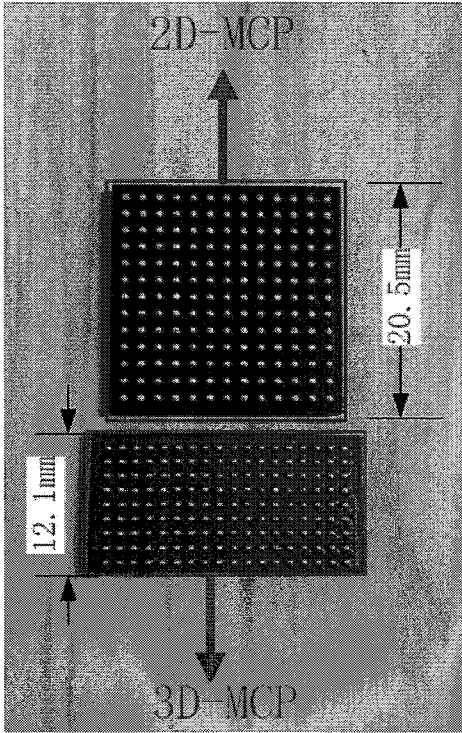
图 4-34 两封装中 Die 间互连线的 S_{21} 曲线图

由于基于柔性基板的 3D-MCP 最后要进行三维组装,在几百兆频率以下,柔性基板的弯曲对信号质量的影响完全可以忽略,在高频时由于柔性基板的弯曲会导致电磁场的集中从而引起电磁干扰和信号完整性问题,但从文章^[40]中可知,在 3GHZ 以后,柔性基板的弯曲半径每减小一倍,插入损耗约减小 0.9dB,因此组装后的 3D-MCP 在高频时对信号传输虽有一定影响但不是很严重。针对 3D-MCP 芯片之间的电磁耦合问题,涂覆屏蔽胶可以很好的解决此问题。

由频域分析可知,两封装中芯片间关键互连线的传输特性,在 DC 到 10GHZ

范围内，2D-MCP 的性能稍优于基于柔性基板的 3D-MCP，主要因为 3D-MCP 的层数多，信号换层较多，基板结构决定了信号线也较长，而且当 3D-MCP 完成三维组装时，还会涉及到信号线的弯折，这都会影响互连线的传输质量。从之前的时域分析可知，在正常工作情况下，对于基于柔性基板的 3D-MCP 中芯片间的关键互连线，仅需在驱动芯片端串联一个端接电阻，就能改善信号质量，满足设计要求，对于两封装设计各方面的比较见表 4-2，如今随着柔性基板的研究成果越来越多，由于具有面积减小的优势，相信基于柔性基板的 3D-MCP 技术今后能得到很好的发展。

表 4-2 两种封装形式的对比

参数 类型	面积	工艺 实现	系统 功能	电性 能
2D-MCP	 3D-MCP 面积相对 2D-MCP 减少 30%	容易	正常	优
3D-MCP		稍难	正常	较好

4.7 本章小结

本章首先介绍了 MCP 设计中的电学设计与 DFX 设计的内容，然后设计了两款 MCP 实例，一款是 2D-MCP 设计，另一款是基于柔性基板的 3D-MCP 设计，之后对它们进行了相应的电和热方面的仿真分析，并对工艺较复杂的 3D-MCP

的微组装步骤做了详细的介绍，封装完成后，用 X-ray 筛选出微组装良好的封装在系统中进行功能测试，发现两款设计实例均能正常工作，最后从各方面对两款 MCP 设计实例进行了对比分析。

第五章 总结与展望

5.1 本论文主要工作

本文以传输线基本理论为基础,详细分析了封装基板中存在的反射、串扰和同步开关噪声等信号完整性问题,得出了一些解决 MCP 基板设计中的信号完整性问题的办法。之后对几种阻抗匹配与端接技术进行了详细的阐述,并分别进行了仿真分析,得出它们各自的优缺点。提出了封装基板中由于信号换层带来 SI 问题的解决方法和措施。基于电学设计与 DFX 协同设计的理念,设计并制造了两款多芯片封装的实例,一款是 2D-MCP,另一款是基于柔性基板的 3D-MCP,针对封装中可能出现的问题,借助 HyperLynx SI、Thermal 和 Ansoft 系列的电磁仿真软件,进行电学和热学的仿真,提高 MCP 设计的成功率。对相对比较复杂的 3D-MCP 的微组装工艺流程进行了详细的介绍,验证了微组装中关键工艺的可行性。经 X-ray 检测,封装中会有个别邦线出现问题,筛选出微组装合格的封装进行功能测试,均能正常工作。最后对两款设计进行了各方面的对比,发现基于柔性基板的 3D-MCP 技术有广阔的应用前景。

5.2 未来工作展望

多芯片封装中会出现各种 SI、PI 和 EMI 问题,由于涉及面较广,时间紧迫,本文只对多芯片封装中可能出现的 SI 问题进行了重点考虑。

封装芯片在推出市场之前要进行各种检测和实验,以确保它的性能稳定可靠,文中设计的两款 MCP 设计,由于时间紧迫未做温度循环及振动等可靠性试验。

两款 MCP 设计实例都能大大的减小系统的尺寸,增加芯片的集成度,但还是有更进一步减小尺寸的余地,下一步工作可以尝试在考虑 DFR 的前提下,运用埋入式芯片封装技术或者芯片堆叠技术进一步增加芯片封装的集成度。