

密级: _____



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

SOI 隧穿场效应晶体管的制备、表征和逻辑应用研究

作者姓名: _____ 刘 畅 _____

指导教师: _____ 王 曦 院士 _____

_____ 中国科学院上海微系统与信息技术研究所 _____

_____ 赵清太 教授 _____ Siegfried Mantl 教授 _____

_____ 德国于利希研究中心 (Forschungszentrum Jülich) _____

学位类别: _____ 工学博士 _____

学科专业: _____ 微电子学与固体电子学 _____

培养单位: _____ 中国科学院上海微系统与信息技术研究所 _____

二零一七年五月

Fabrication, Characterization and Logic Application of SOI
Tunnel Field Effect Transistors

By
Chang Liu

A Dissertation Submitted to
University of Chinese Academy of Sciences
In partial fulfillment of the requirement
For the degree of
Doctor of Engineering

Shanghai Institute of Microsystem and Information Technology
Chinese Academy of Sciences
May, 2017

致谢

光阴似箭，五年博士求学时光转瞬即逝。值此论文完成之际，对所有曾经给予我指导、关心与帮助的各位老师、同学和朋友们致以最诚挚的谢意。

首先将最真诚的感谢致以我的四位导师，王曦院士、赵清太教授、Siegfried Mantl 教授和俞文杰副研究员。

感谢王曦老师。我有幸拜王院士为导师，在他的教导与关心下，我的博士生涯收获颇丰。从科研方向的选择、阶段性成果汇报到最终论文的完成，王院士都给予了我高屋建瓴的指导。他严谨的治学态度、深远的战略眼光、高效的行事作风，给我树立了学习的榜样，将使我受益终生。

感谢俞文杰老师。俞老师带我进入 SOI 器件课题组，感谢他这几年对我一点一滴的指导和关怀。在科研道路上，俞老师是我的启蒙老师，一点点教会了我如何做科研、如何写论文、如何讲报告等，使我快速地成长起来。五年来，我们也共同见证了 SOI 器件小组从两个人起步，逐渐发展壮大过程。在科研起步阶段实验总会遇到各种困难，俞老师极力创造各种条件，为我科研工作的顺利开展提供了坚实的保障。还要感谢俞老师为我创造了出国联合培养的机会，大大开拓了我的眼界，让我的博士生涯更加丰富多彩。

感谢赵清太老师。赵老师带领我进入了低功耗器件这一前沿的科研领域，感谢他几年来对我科研工作的悉心指导，尤其是在德国于利希研究中心联合培养期间无微不至的指导与关怀。本论文从选题立项、实验设计、结果分析到论文撰写都凝结了赵老师的智慧和心血。感谢赵老师给予我到德国联合培养的机会，给我提供了优越的实验条件，为本论文的顺利完成奠定了基础。赵老师在半导体器件领域经验丰富，其渊博的知识另学生叹服，其严谨的治学态度更是令人钦佩。赵老师对我的每一次实验结果都会进行详细地讨论，对每一篇大小论文都会认真细致地修改，没有他的指导就没有本论文的成功撰写。此外，赵老师还为我创造了参加国际学术会议的机会，让我可以有机会跟本领域国际顶尖的科学家们展开沟通和交流，大大提高了见识、拓展了眼界。最后，还要感谢赵老师在德国期间对我生活上的关心和照顾。

感谢 Mantl 教授。感谢他对我在德国期间的科研工作提供的指导与帮助。特别感谢他在我联合培养延期的一年中给予的经济上的支持，使我顺利完成了本论文的主要工作。虽然已经 70 岁高龄，但 Mantl 教授依然思维活跃，每次组会上都会对我的工作进行指点与激励，给了我很多灵感。衷心祝他退休后的生活继续精彩。

还要感谢德国于利希研究中心 PGI-9 研究所的所有同学和同事们。感谢韩清华、

刘林杰、张晶、高安然和李璟，感谢你们多次有益的学术讨论，以及在德国期间平日生活上的关心和照顾。感谢 Stefan Glass, Gia Vinh Luong, Christian Schulte-Braucks, Keyvan Narimani, Sebastian Blaeser, Dan Buca 等在 TFET 器件方面的无数次有益讨论，你们扎实的科学素养、出色的动手能力令我钦佩不已，也教会了我很多有用的知识和技能。感谢 Brigitte Modolo 秘书在日常事务上的帮助。感谢 Andreas Tiedemann, Karl-Heinz Deussen, Patric Bernardy, Christian Scholtysic, Katja Palmen, Andre Dahmen 等工程师们在 ALD、离子注入和退火等工艺上的帮助。感谢 Stefan Trelenkamp 在电子束光刻工艺方面的帮助。感谢 Alfred Fox 在低温测试上的帮助。感谢净化间中 Jürgen Moers, Janine Worbs, Iris Klaassen, Rainer Benczek, Matthias Geitner, Anja Zass, Mona Nonn, Stephany Bunte, Elmar Neumann, Torsten Rieger, Georg Mathey, Nadja Braun, Natalie Bruger, Ralf Lehmann 等在工艺上的协助与支持。

感谢 SOI 器件课题小组的师弟和师妹们。感谢文娇、刘强、王翼泽、蔡剑辉等同学，大家一起做实验、一起讨论学术问题、一起娱乐，这段美好时光我将永远记得，也希望你们能将 SOI 器件小组壮大起来，在未来取得更辉煌的成果。

感谢 SOI 课题组的前辈和老师们的帮助。感谢狄增峰老师、程新红老师、陈静老师、张苗老师、俞跃辉老师、柳襄怀老师、薛忠营老师、张波老师、武爱民老师、魏星老师等在科研上给予的有益讨论和帮助。感谢汤玉琼秘书、樊琳秘书和曹建楠秘书在日常事务上的帮助。

感谢同行们的有益科研讨论。感谢 Anita Farokhnejad, David Esseni, Pierpaolo Palestri, Tommaso Rollo 等人在关于 TFET 器件方面的深入探讨。

感谢微系统所其他给予我帮助的老师们的帮助。感谢研究生部罗琦、余翔波、解佳、邵天浩等老师们对我的关心、照顾和支持。感谢工艺实验室景东、周民、李晓良、陈洁珺、张祁莲、郝幼申等工程师们在实验上的协助和支持。

感谢中科院前沿科学与教育局提供的出国联合培养机会。感谢中科院院部夏洁、苗海霞、李文宣等老师们在各项事务上的协助和支持。

感谢 SOI 组的同学们。他们是宋雷、史晓华、陈卓俊、常永伟、朱雷、母志强、陈龙、黄海阳、戴家赞、陈达、王刚、叶林、郭庆磊、郑晓虎、王中健、徐大伟、夏超、曹铎、郑理、张栋梁、王谦、李静杰、樊双、何伟伟、吕凯、贾棋、黄凯等同学，与你们相处的时光是我博士阶段弥足珍贵的回忆。

最后，将我最真挚的感谢献给我的父母和爱人。感谢父亲刘宏才和母亲孙兰芬对我的养育之恩，你们一直以来对我无条件地付出、理解和支持，给予了我奋斗的动力。感谢我的爱人沈玲燕博士对我生活和工作上的关爱和照顾。在微系统所能够遇见你是我最大的幸运。你们的爱是我最坚强的后盾，谨以此文献给你们。

SOI 隧穿场效应晶体管的制备、表征和逻辑应用研究

刘畅（微电子学与固体电子学）

指导老师：王曦 院士，赵清太 教授，Siegfried Mantl 教授

摘要

随着集成电路技术的飞速发展，作为集成电路核心器件的金属-氧化物-半导体场效应晶体管（MOSFET）的特征尺寸依从“摩尔定律”不断缩小，已经步入纳米节点。在器件性能不断提升的同时，芯片的功耗却在不断上升，成为限制集成电路技术进一步发展的瓶颈。对于 MOSFET 器件来说，阻碍其功耗降低的关键因素是器件的亚阈值摆幅（SS）受到热电势的限制存在理论极限，在室温下最小为 60mV/dec。隧穿场效应晶体管（Tunnel FET, TFET）由于其特有的带间隧穿（Band to band tunneling, BTBT）导通机制，可以克服传统 MOSFET 器件的物理极限，被认为是最有潜力用于未来面向超低功耗应用的新型陡峭开关器件之一。然而目前国内外报道的 TFET 器件的研究结果显示，其还面临诸多技术难点，例如较小的开态电流、缺陷辅助隧穿（TAT）等寄生效应引起的 SS 退化、双极导通效应限制其逻辑上的应用、缺乏关于 TFET 器件的精确模型等。

鉴于此，本论文围绕如何解决这些技术难点和填补研究空白而展开，对基于 SOI 衬底的新型 TFET 器件的设计、制备、表征和逻辑应用等进行了实验研究，具体如下：

1. 提出一种使用 MOSFET 器件的栅致漏极泄漏电流（GIDL）分析提取材料关键隧穿参数的方法。成功提取了 Si 和不同 Ge 组分 SiGe 材料中的关键隧穿参数，并分析了 TAT 过程的影响，定义和提取了缺陷的等效缺陷能级 E_t 。这一方法可用于对更广泛材料的隧穿参数进行研究，并对 TFET 器件的性能进行更精确的仿真预测。

2. 在超薄顶层硅 SOI（UTB-SOI）衬底上，采用优化的硅化物中离子注入工艺形成陡峭的隧穿结，成功制备了电学性能优异的平面 P 型 TFET 器件。其开态电流和亚阈值特性较之前文献报道的平面 TFET 器件的性能都得到了明显提升，器件的电流开关比在 $V_{ds}=-0.5V$ 时达到了 10^7 ，开态电流 I_{on} 在 $V_{dd}=1V$ 时达到了 $2\mu A/\mu m$ ，最小亚阈

值摆幅 SS_{\min} 低至 60mV/dec 左右。此外,通过对器件进行低温电学特性测试,分析了 TFET 器件中不同电流形成机制间的竞争关系。最后基于该器件构成了一个 TFET 基本电流镜电路,测试结果表明其具有很高的镜像系数并展现了良好的输出特性。

3. 在国际上首次全面地测试和分析了 TFET 器件的电容-电压特性,填补了 TFET 器件在该方面的实验研究空白。结果显示,TFET 器件的电容响应特性由于其独特的 P-I-N 结构,与传统 MOSFET 器件的电容特性有很大不同。此外,与之前文献报道的 TFET 器件电容特性的 TCAD 仿真结果不同,实验结果发现 TFET 器件的栅源电容 C_{gs} 在较大的 $|V_g|$ 和 $|V_{ds}|$ 偏压下随着 BTBT 的增强会有明显的响应,并使 C_{gd} 也相应地减小。这一结果表明 TFET 器件中的米勒电容 C_{gd} 并不像之前理论模拟推测的那样大,其电容模型等需要被重新考虑。

4. 为了抑制 TFET 器件中的双极导通效应,提出了一种 T 形结构的 TFET 器件。实验结果表明,随着漏极隧穿结宽度的减小,TFET 器件的双极导通效应得到了明显抑制,其电流开关比在 $V_{ds}=-0.5\text{V}$ 时高达 10^8 。此外,对在不同厚度顶层硅 SOI 衬底上制备的 TFET 器件的电学性能进行了对比研究,结果表明较薄的顶层硅膜有利于实现更大的隧穿效率,使器件的开态电流与亚阈特性得到提升。

5. 还设计了一种多指栅结构的 TFET 器件,以抑制双极导通效应。在超薄顶层硅和超薄埋氧层 SOI (UTBB-SOI) 衬底上,成功制备了 N 型多指栅 TFET 器件,结果显示其双极导通电流得到了较好地抑制。此外,还研究了背栅偏压对 TFET 器件电学性能的影响,实验结果表明,在负背栅偏压下该 N-TFET 器件的开态电流和亚阈特性都得到了明显提升,这可能是由于在沟道中形成了电子-空穴双层隧穿所导致的。

6. 结合多指栅结构和硅化物中离子注入技术的优势,设计了一种源极采用硅化物中离子注入形成隧穿结的多指栅 TFET 器件。在 UTB-SOI 衬底上成功制备出抑制了双极导通效应的互补 N 型和 P 型 TFET 器件。其中 N-TFET 器件的电流开关比进一步提高到 5×10^8 ,室温下测得的 SS_{\min} 低至 40mV/dec 。最后,基于抑制了双极导通效应的互补器件,构建了 C-TFET 反相器。该反相器在 V_{dd} 从 1.2V 至 0.2V 的偏压下,都可以实现完整的输出逻辑摆幅,并展现了良好的电压增益和噪声容限等特性。

关键词: 隧穿场效应晶体管, 绝缘体上硅, 低功耗, 反相器

Fabrication, Characterization and Logic Application of SOI Tunnel Field Effect Transistors

Chang Liu (Microelectronics and Solid-State Electronics)

Directed by: Prof. Xi Wang, Prof. Qing-Tai Zhao and Prof. Siegfried Mantl

Abstract

With the rapid development of semiconductor industry, the feature size of metal oxide semiconductor field-effect-transistor (MOSFET) continues scaling down to nanometer node following Moore's Law. However, power dissipation issue has become the biggest challenge and the bottleneck for development of IC technology. The key obstacle for power reduction is the un-scalable subthreshold swing (SS) of MOSFET, which has a physical limit of 60mV/dec at room temperature resulting from the carrier thermal emission mechanism. Tunnel field-effect-transistors (TFETs), based on a distinct operation mechanism of band-to-band tunneling (BTBT), are regarded as one of the promising candidates to replace MOSFETs for low power applications, as they allow for steep SS <60mV/dec at room temperature. However, TFETs still face a lot of challenges, such as lower on-currents, SS degradation caused by trap-assisted-tunneling (TAT), ambipolar switching behavior limiting their application in logic circuits, lack of accurate DC and AC models for TFETs.

To mitigate the above-mentioned problems of TFETs, this dissertation focuses on the design, fabrication, characterization and logic application of novel TFETs on silicon-on-insulator (SOI) substrates. The main innovations of this dissertation are following:

1. A novel method to extract the tunneling parameters by analyzing the gate-induced-drain-leakage (GIDL) current of conventional MOSFETs is proposed. The key tunneling parameters for Si and SiGe with various Ge content are successfully obtained. In addition, the impact of TAT process is also investigated, and the equivalent trap energy level E_t is defined and extracted for Si and SiGe. This GIDL analysis method for tunneling investigation is verified and can be used for more extensive materials. The extracted parameters can also be used for more precise TCAD simulations of TFETs.

2. Improved planar P-TFETs are successfully fabricated on ultra-thin body SOI (UTB-SOI) substrates using optimized implantation into silicide (IIS) process. The on-current and SS characteristics of the fabricated devices are significantly improved compared to previous reported planar TFETs. The fabricated device shows a high I_{on}/I_{off} ratio of 10^7 , a relative high $I_{on}=2\mu A/\mu m$ at $V_{dd}=1V$ and a minimum subthreshold swing (SS_{min}) of around 60mV/dec at room temperature. BTBT dominant transport with a sharp transition from TAT to BTBT regime is confirmed by activation energy measurements. In addition, a simple current mirror for analog applications based on two P-TFETs is fabricated and characterized. A high mirror ratio along with good current saturation is revealed.

3. The capacitance-voltage (C-V) characteristics of TFETs are first comprehensively measured and analyzed. Compared with conventional MOSFETs, TFETs show different capacitance distributions due to the P-I-N geometry. In contrast to the published simulation results, the C-V analysis indicates surprisingly that the gate-to-source capacitance (C_{gs}) of TFET increases with enhanced BTBT at higher $|V_g|$ and $|V_{ds}|$, and correspondingly the gate-to-drain capacitance (C_{gd}) decreases. These results imply that the Miller capacitance of TFETs-based circuit is less pronounced than the theoretical simulations predicted and thus should be reconsidered for circuit design.

4. A T-shape TFET design is proposed to increase the on-currents and suppress the ambipolar switching behavior of TFETs. The experimental results show that the ambipolar current of fabricated T-shape TFETs is successfully suppressed by decreasing the width of drain/channel tunnel junction, and the I_{on}/I_{off} ratio reaches 10^8 at $V_{ds}=-0.5V$. In addition, the results indicate that the on-current and SS characteristics of TFETs are improved with a thinner top Si film.

5. A multi-finger gate TFET design is demonstrated to increase the tunneling currents and suppress the ambipolar switching. The multi-finger gate N-TFETs are fabricated on ultra-thin body and ultra-thin buried oxide SOI (UTBB-SOI) substrate, and the ambipolar current is successfully suppressed. The impact of back-gate bias on TFET performance is also investigated, and the experiment results indicate improved on-current and SS characteristics of N-TFETs at negative back-gate bias, which could be attributed to the electron-hole bilayer tunneling formed in the ultra-thin channel.

6. Based on the above multi-finger gate structure and IIS technology, a novel TFET design is proposed to improve the device performance. Complementary N- and P-

multi-finger gate TFETs with source IIS are fabricated on UTB-SOI substrate and the ambipolar behavior for both devices are successfully suppressed. The I_{on}/I_{off} ratio is improved to 5×10^8 at $V_{ds}=0.5V$, and the measured SS_{min} is down to 40mV/dec at room temperature. Finally, a complementary TFET (C-TFET) inverter is fabricated based on above N- and P-TFETs with suppressed ambipolarity. The C-TFET inverter shows a sharp transition with stable high/low logic levels and high voltage gain and noise margins at a very low V_{dd} even down to 0.2V, demonstrating the potential for ultra low power applications.

Keywords: TFET, SOI, low power, inverter

目 录

致 谢	I
摘 要	III
Abstract	V
目 录	IX
第一章 绪论	1
1.1 引言	1
1.2 面向低功耗应用的陡峭开关器件	3
1.3 隧穿场效应晶体管(TFET)	7
1.3.1 TFET 的工作原理	7
1.3.2 亚阈值特性	9
1.3.3 缺陷辅助隧穿	9
1.3.4 双极导通效应	10
1.3.5 TFET 面临的技术难点	11
1.3.6 TFET 设计要点	13
1.3.6.1. 绝缘体上硅 (SOI)	13
1.3.6.2. 高 κ 栅介质	14
1.3.6.3. 应变硅	15
1.4 本论文的主要工作	16
第二章 硅(锗)关键隧穿参数提取	19
2.1 引言	19
2.2 MOSFET 器件中的带间隧穿过程	19
2.3 KANE 带间隧穿模型	20
2.4 通过 GIDL 电流分析进行硅(锗)关键隧穿参数提取	21
2.4.1 缺陷辅助隧穿的影响	22
2.4.2 等效缺陷能级	23
2.5 小结	27
第三章 使用硅化物中离子注入技术的平面 TFET 制备与表征	29
3.1 引言	29

3.2 器件结构	29
3.2.1 镍硅化物	30
3.2.2 硅化物中离子注入	31
3.2.3 器件工作原理	33
3.3 器件制备	34
3.4 器件电学特性表征与分析	39
3.4.1 电流-电压特性	39
3.4.2 沟道长度的影响	41
3.4.3 低温电流特性分析	42
3.4.4 缺陷辅助隧穿	45
3.5 器件电容-电压特性分析	46
3.5.1 栅电容特性分析	48
3.5.2 栅源电容与栅漏电容特性分析	50
3.6 TFET 电流镜	57
3.7 小结	59
第四章 抑制双极导通效应的 T 形 TFET 制备与表征	61
4.1 引言	61
4.2 器件结构	61
4.3 器件制备	62
4.4 器件电学特性表征与分析	65
4.4.1 电流-电压特性	65
4.4.2 双极导通效应的抑制	67
4.4.3 SOI 顶层硅厚度的影响	68
4.4.4 低温电学特性	69
4.5 器件的 MOSFET 工作模式与电学特性	70
4.5.1 MOSFET 工作模式	70
4.5.2 电流-电压特性	71
4.5.3 沟道偏压的影响	74
4.6 小结	75
第五章 抑制双极导通效应的互补多指栅 TFETs 及反相器	77
5.1 引言	77
5.2 UTBB-SOI 上制备的多指栅 TFET 器件及其电学表征	77

5.2.1 器件结构	77
5.2.2 器件制备	79
5.2.3 电流-电压特性	81
5.2.4 背栅偏压的影响	83
5.2.5 电子-空穴双层隧穿效应	86
5.3 源极采用硅化物中注入技术的多指栅 TFET 器件的制备与表征	89
5.3.1 器件结构	89
5.3.2 器件制备	90
5.3.3 电流-电压特性	92
5.3.4 转移曲线中的 Kink 效应分析	95
5.3.5 互补 N 型与 P 型 TFET 器件	97
5.4 互补多指栅 TFET 反相器	98
5.5 小结	102
第六章 研究总结与展望	103
参考文献	107
攻读博士学位期间发表的学术论文和申请专利目录	123
作者简介	127

第一章 绪论

1.1 引言

晶体管被认为是 20 世纪最伟大的发明之一。基于其而发展的集成电路(Integrated Circuits, IC) 技术, 在过去半个世纪迅猛发展。如今, IC 芯片已经成为信息产业的血液, 成为现代社会结构不可或缺的一部分。

从信息技术的发展来看, 低功耗集成电路的应用已经成为主流。一直以来, 集成度和性能都是衡量 IC 芯片的两个关键因素。但随着芯片集成度和设计复杂度的提升, IC 芯片面临日益严重的热量管理的挑战, 功耗已经成为集成电路的又一关键指标。近年来, 移动通信、智能设备、可穿戴设备、物联网等便携式设备已经在消费电子市场占有一席之地并迅速增长^[1]。人们对电子产品可移动化要求的提高受到电池容量发展的限制, 低功耗的设计也越来越受到人们的重视。

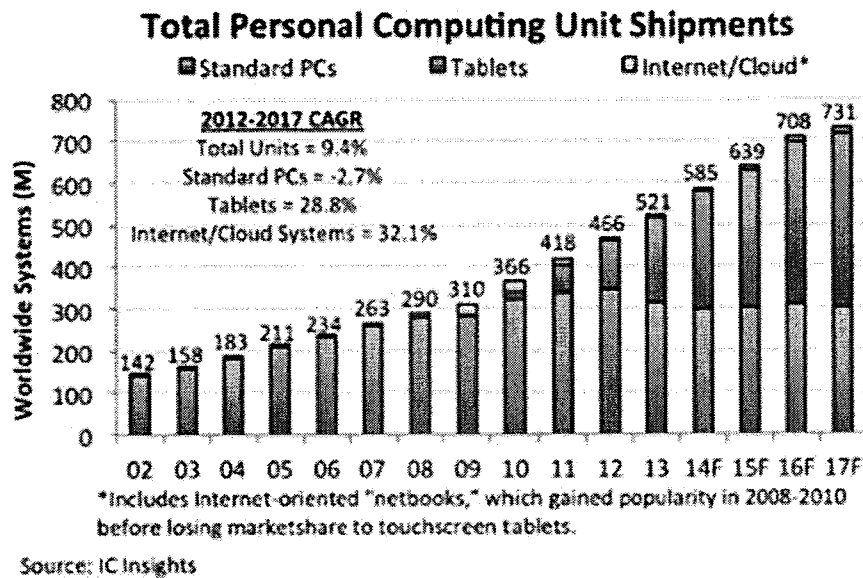


图 1.1 个人消费电子的市场占比份额^[1], 移动设备占比近年来迅速增长

自 20 世纪 70 年代以来, 集成电路的基本元件, 金属-氧化物-半导体场效应晶体管 (Metal-Oxide-Semiconductor field-effect-transistor, MOSFET) 器件的特征尺寸按照“摩尔定律”(Moore's Law) 等比例缩小^[2], 芯片性能不断提高, 制造成本不断下降, 但是集成电路的功耗却在不断上升。如图 1.2 所示, 动态功耗曾是 IC 芯片功耗的主要组成部分, 但是随着集成电路工艺制程向纳米节点发展, 之前微不足道的漏电流功耗呈指数级增大, 甚至有超过动态功耗的趋势^[3]。芯片的功耗已经成为限制 IC 技术

进一步发展的瓶颈，这也使得新型低功耗技术的研究显得尤为紧迫。

本章将介绍 MOSFET 器件的功耗问题，对面向低功耗应用的新型陡峭开关器件作一概述，并着重介绍隧穿场效应晶体管（Tunnel field-effect-transistor, TFET）的基本概念及工作原理，最后引出本论文的研究内容。

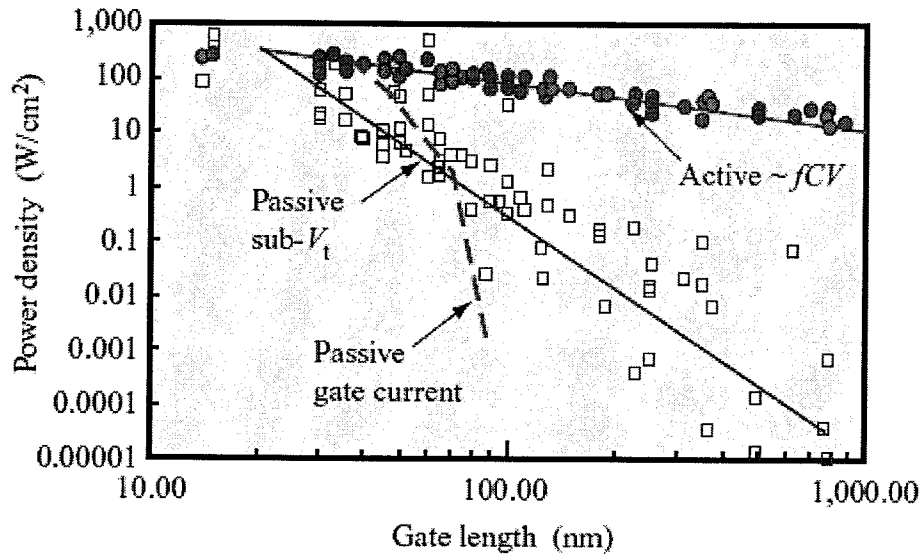


图 1.2 静态 (passive) 功耗和动态 (active) 功耗随器件栅长微缩的增长趋势^[3]

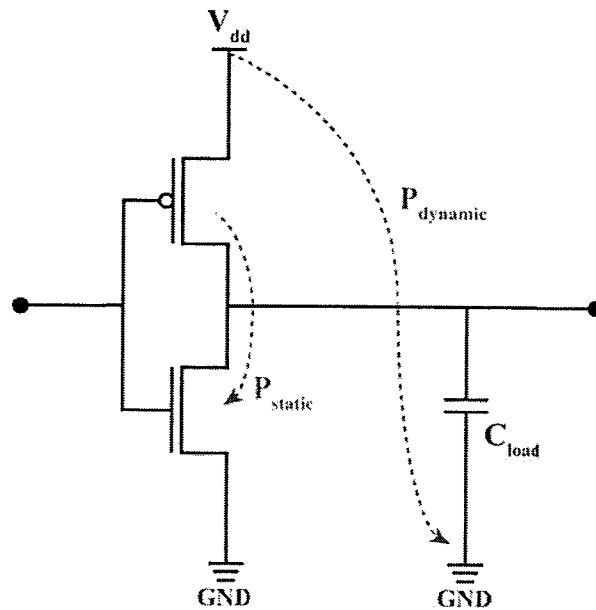


图 1.3 IC 基本电路模块反相器中的动态功耗和静态功耗示意图

1.2 面向低功耗应用的陡峭开关器件

图 1.3 展示了 IC 中两种主要功耗的示意图。其一是动态功耗 $P_{dynamic}$ ，它是当晶体管转变开关状态时，对负载电容 C_{load} 充放电所引起的^[4]：

$$P_{dynamic} = C_{load} \cdot V_{dd}^2 \cdot f \quad (1.1)$$

这里， f 表示开关频率， V_{dd} 是电源电压。电路中的 $P_{dynamic}$ 与 V_{dd} 成平方依赖关系。其二则是静态功耗 P_{static} ，它是器件在关断时的静态能量损耗：

$$P_{static} = I_{off} \cdot V_{dd} \quad (1.2)$$

这里， I_{off} 表示晶体管在关态的泄漏电流，包括反偏二极管漏电流、栅致漏极泄漏电流（Gate-induced drain leakage, GIDL）、栅介质漏电流和亚阈值漏电流等^[5]。 P_{static} 正比于 I_{off} 和 V_{dd} ，其中 I_{off} 主要是由器件的亚阈值漏电流贡献的。对于 I_{off} 来说，它对 V_{dd} 的依赖关系也可以通过亚阈值摆幅（Sub-threshold swing, SS）来表示：

$$SS \approx \frac{V_{dd}}{\log\left(\frac{I_{on}}{I_{off}}\right)} \quad (1.3)$$

等价于：

$$I_{off} \approx I_{on} \cdot 10^{-\frac{V_{dd}}{SS}} \quad (1.4)$$

由以上公式可知，降低电源电压 V_{dd} 是最有效的减小功耗的方法。然而，为了保证足够的电流驱动能力，即 I_{on} 基本不变，在降低电源电压的同时，关态电流 I_{off} 会呈指数关系迅速增长，导致静态功耗剧烈增加。如图 1.4 所示，这一 I_{off} 随 V_{dd} 降低迅速增大的特性可以通过器件的转移特性曲线，即源漏电流 I_{ds} 随栅电压 V_g 变化的曲线图更清晰地看出。为了解决这个矛盾，即在减小 V_{dd} 的同时保持 I_{on} 不减小 I_{off} 不增大，只能通过减小亚阈值摆幅 SS 来实现。因此，理想的超低功耗半导体器件需要具有非常陡峭的亚阈值开关特性，即器件从关态到开态所需要的栅电压非常小。但是，传统的 MOSFET 器件的亚阈值摆幅受到热电势的限制^[6]，在室温下的极限是 60mV/dec，这限制了其在未来超低功耗 IC 上的应用。

下面，我们将具体介绍 MOSFET 器件的亚阈值特性及它的物理极限。MOSFET 中的电流可以用一个简单的一维朗道方程（Landauer formalism）表示^[7]：

$$I_{ds} = \frac{2q}{h} \int_{-\infty}^{\infty} T(E) |f_s(E) - f_d(E)| dE \quad (1.5)$$

这里 q 代表电荷量， h 是普朗克常数， $f_s(E)$ 和 $f_d(E)$ 分别代表源极和漏极的费米分布（Fermi Distribution）， $T(E)$ 则为输运系数。我们可以认为在 $E > \psi_s$ 时 $T(E)=1$ ，而其

他情况下 $T(E)=0$ ，这里 ψ_s 是器件沟道的表面势。因此，公式 (1.5) 可以改写成：

$$I_{ds} \approx \frac{2q}{h} \int_{\psi_s}^{\infty} \exp\left(-\frac{E-\mu_s}{k_B T}\right) dE = \frac{2qk_B T}{h} \exp\left(-\frac{\mu_s-\psi_s}{k_B T}\right) \quad (1.6)$$

这里 μ_s 是源极的费米能级。在器件的亚阈值区， $E \gg \mu_s$ 成立，费米分布可以简化为玻尔兹曼分布 (Boltzmann Distribution)，由此得到公式 (1.6)。器件的亚阈值摆幅 SS 定义为电流变化一个数量级所需要的电压变化，于是得到：

$$SS = \left(\frac{\partial \log I_{ds}}{\partial V_g}\right)^{-1} = \frac{\partial \psi_s}{\partial \log I_{ds}} \cdot \frac{\partial V_g}{\partial \psi_s} = \frac{k_B T}{q} \ln(10) \cdot \frac{\partial V_g}{\partial \psi_s} \quad (1.7)$$

式中后一项 $\partial V_g / \partial \psi_s$ 反应了栅电压对表面势的控制能力。它可以通过对栅压在栅介质中的压降计算得到。在栅氧化物介质层，电容可以表示为氧化物电容 C_{ox} 和硅表面耗尽层电容 C_d 的串联^[8]，因此：

$$\psi_s = qV_g \left(\frac{C_{ox}}{C_{ox} + C_d}\right) \quad (1.8)$$

由公式 (1.7) 和 (1.8)，可以得到 SS 的表达式：

$$SS = \underbrace{\left(1 + \frac{C_d}{C_{ox}}\right)}_m \cdot \underbrace{\frac{k_B T}{q} \ln(10)}_n \quad (1.9)$$

对于公式 (1.9) 中的 m 项，它始终大于等于 1，即使在栅氧化物电容远大于耗尽区电容时，也只能无限接近于 1；而对于式中的 n 项，在室温下 ($T=300K$):

$$\frac{k_B T}{q} \ln(10) \stackrel{300K}{\approx} 60 \text{mV/dec} \quad (1.10)$$

因此，在室温下 SS 的最小值也只能是 60mV/dec。它的 n 项是由载流子的注入机理所决定的。在 MOSFET 中，电流是由热载流子翻越势垒注入所产生的，所以它的这一理论极限是无法突破的。

为了突破传统 MOSFET 的亚阈值摆幅理论限制，就需要提出具有新的物理机制的新型器件。这些新型器件需要摒弃传统 MOSFET 中的载流子注入机制，以实现在室温下小于 60mV/dec 的超陡峭 SS，即可以在更小的栅电压摆幅内获得相同的器件电流开关比，降低器件的动态和静态功耗，以适用于未来超低功耗方面的应用。

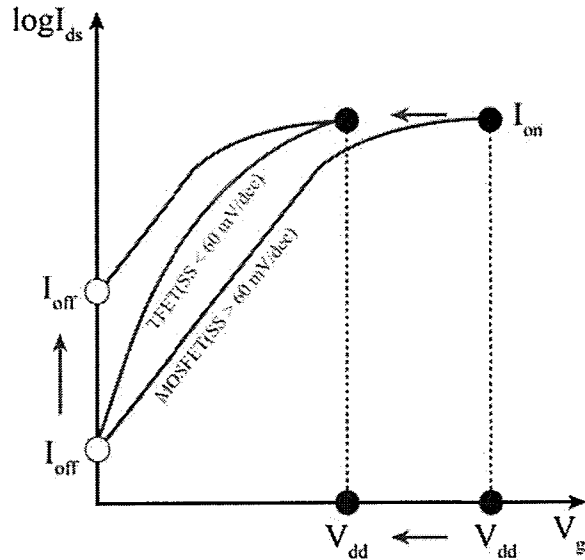


图 1.4 转移曲线 I_{ds} - V_g 示意图，想要在 V_{dd} 减小的同时保持 I_{off} 不变，需要更小的 SS

从公式 (1.9) 可以看出，SS 的降低可以从 m 项和 n 项两方面着手。一方面，如果使 m 项小于 1，就可以突破 60mV/dec 的限制，即改变器件的栅极对表面势的耦合关系。这一方面的新型器件有负电容场效应晶体管 (Negative-capacitance field-effect-transistor, NCFET)^[9-12]、微机电继电器 (Nano-electro-mechanical relay, NEM relay)^[13-16] 和相变场效应晶体管 (Phase-change field-effect-transistor, PCFET)^[17-20] 等。另一方面，可以改变载流子的注入机理，即改变公式 (1.9) 中的 n 项，例如采用隧穿机制或碰撞电离机制等。典型器件有碰撞电离场效应晶体管 (Impact-ionization MOS, IMOS)^[21-24] 和隧穿场效应晶体管 (Tunnel field-effect-transistor, TFET)^[25-30] 等。下面，我们将对这些新型器件作一简要概述。

NCFET 是一种通过引入负电容的方法来实现陡直 SS 的新型器件。这里的负电容通常是由引入一层铁电层 (Ferroelectric layer) 实现的，常用的方法是在栅氧化物和栅金属之间插入一层铁电层^[31-33]。铁电材料是一种非常好的介电材料，它展示出良好的极化和非极化状态之间的相位转变^[34,35]。在临界电压下，铁电体会反转它的极化方向，电偶极子的正反馈会导致负电容的出现^[36]。从本质上讲，NCFET 的这一结构相当于将一电压放大器加入栅极电介质中，将所加栅极电压放大，从而实现公式 (1.9) 中的 m 项小于 1。2015 年，Salahuddin 团队利用外接电阻与铁电电容串接在一起，第一次直接观测到当电偶极子翻转释放出电荷所造成的负电容现象^[37]。在此之后，一系列实验证实了负电容的存在，在 SrTiO_3 (STO)、 $\text{Pb}_x\text{Zr}_{1-x}\text{TiO}_3$ (PZT) 和掺杂 HfO_2 介质层 (如 HfZrO) 等铁电薄膜中都发现了负电容效应^[38-40]。最近，采用 HfZrO 铁电层的 NCFET 已经在实验中实现了小于 60mV/dec 的亚阈值摆幅特性^[41-44]。但是，

NCFET 也存在着很多问题, 例如其转移特性曲线中的回滞现象, 即电压正向扫描与反向扫描时所呈现的阈值电压存在偏移, 这严重影响了 NCFET 在低电源电压下的应用。此外, NCFET 中的负电容效应的出现, 需要铁电薄膜与栅氧化物介质层之间完美的电容匹配^[45-47], 这影响了 NCFET 在未来进一步微缩的潜力。

与之类似还有 PCFET 器件。这里将铁电薄膜换成一种相变材料 (如二氧化钒, VO_2)^[48], 将相变材料插入普通 MOSFET 器件的源极之上, 来实现陡直的 SS 特性。相变材料在外加电压下, 实现绝缘体与金属之间的状态转变^[17]。这一器件源极高阻态和低阻态之间的迅速变化, 导致器件中的关态电流至开态电流的陡峭变化, 即实现了非常小的 SS。但是 PCFET 器件中同样存在着严重的回滞现象, 影响了其在实际低功耗电路中的应用^[49]。

NEM relay 则是与传统场效应晶体管完全不同的一种新型器件。它使用与 CMOS 工艺兼容的微机械工艺制造, 利用静电力来驱动一个可上下移动的悬臂梁在两个电极之间形成通路来导通电流^[50-52]。由于 NEM relay 利用静电力的作用实现器件物理上的开关, 其在断开时电极与电极之间存在空气间隙, 因此它可以具有 MOSFET 中所不能实现的“零”泄漏电流和“零”亚阈摆幅^[53]。但是, NEM relay 器件中同样存在回滞现象, 且它的开关速度相对较慢, 接触可靠性与互连等问题也需要进一步的研究与优化^[54-56]。

以上几种器件都是通过改变公式 (1.9) 中 m 项来实现陡峭开关特性。另一类器件则是通过不同的载流子注入机制来实现陡峭亚阈摆幅。IMOS 器件是利用载流子的内部增益机制作为注入机制的^[57-59]。其利用栅极调控 P-I-N 结构的雪崩击穿电压来控制器件的导通与关断, 也呈现出陡峭的亚阈开关特性。在 IMOS 结构中, 源极与栅极之间有一段未被覆盖的本征沟道区, 又称为碰撞电离区^[60]。当栅压较低时, 沟道区没有形成反型层, 本征区的电场强度还未达到雪崩击穿的阈值, IMOS 器件处于关断状态。当栅压增大时, 栅下沟道反型, 有效沟道长度减小, 碰撞电离区的电场强度变大。当该区域电场大于触发雪崩击穿的触发电场时, 由于雪崩倍增效应大量电子空穴对产生, 器件处于导通状态^[61-63]。器件的导通机制是载流子的雪崩倍增效应, 因此 IMOS 的 SS 可以突破 60mV/dec 的限制。但是, IMOS 也面临着许多问题, 例如 IMOS 的非栅控本征区长度不能持续微缩、输出特性不饱和和源漏工作电压过高等^[64-66]。其中最主要的问题就是 IMOS 的 V_{ds} 过高, 为了使雪崩倍增发生, 必须要有足够高的 V_{ds} 以形成大电场。这一问题直接限制了 IMOS 不能在低电压领域应用, 所以其用于未来超低功耗电路中的潜力并不大。

最后一种主要的新型陡峭开关器件就是隧穿场效应晶体管 (TFET)。TFET 利用载流子的量子隧穿注入机制形成电流^[26,67,68], 可以克服传统 MOSFET 在室温下 60mV/dec 的 SS 限制。同以上几种新型器件相比, TFET 的典型特性曲线没有回滞效

应, 工作电压较低, 器件结构简单与现有超大规模集成电路制造工艺高度兼容, 具有可持续微缩性以提高集成度, 同时已经在实验中被验证可以实现陡峭的开关特性^[69-76]。因此, TFET 被认为是最有希望在低功耗应用中代替传统 MOSFET 的器件之一。在下一节中, 我们将对 TFET 的工作原理、特性及目前存在的问题等作详细介绍与讨论。

1.3 隧穿场效应晶体管(TFET)

1.3.1 TFET 的工作原理

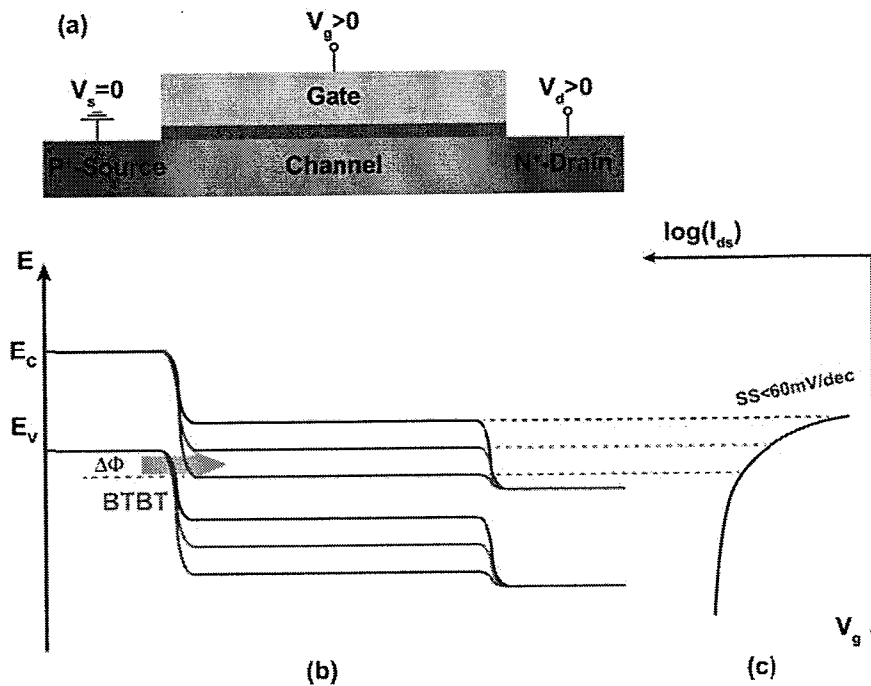


图 1.5 (a) TFET 器件结构示意图; (b) 解释 TFET 工作原理的能带示意图; (c) 对应的 TFET 转移特性曲线

TFET 器件的基本结构是一个反向偏置的栅控 P-I-N 结构^[77], 如图 1.5 (a) 所示, 源极和漏极采用相反类型的重掺杂。对于一个 N 型 TFET 器件来说, p^+ 掺杂的区域是源极, n^+ 掺杂的区域是漏极, 在漏极施加的电压 $V_d > 0$ 。当栅极不加电压时, 器件处于关断状态, 此时这一反向偏置的 P-I-N 结的泄漏电流非常小, 因此 TFET 器件的关态电流也非常小。当在栅极加一正电压时, 沟道的导带和价带逐渐下移, 使源极的价带与沟道的导带之间形成了能带交叠, 如图 1.5 (b) 所示。这时, 带间隧穿 (Band-to-band tunneling, BTBT) 就开始发生了。这一能带交叠区 $\Delta\Phi$ 定义了载流子从源极隧穿注入沟道的能量窗口。这一隧穿窗口就类似于一个带通过滤器 (Band-pass filter), 只有在能量窗口中的载流子才会发生量子隧穿。因此, 源极载流子的费米分布中的高能和低

能带尾都被截断，使得 SS 得以克服 MOSFET 中的 60mV/dec 的限制。

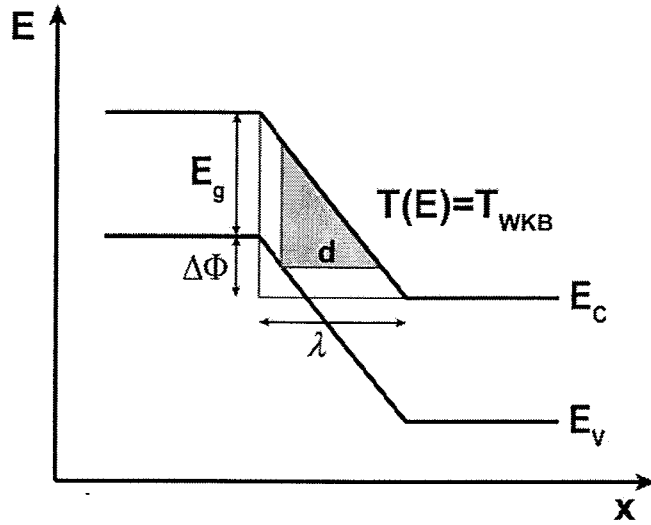


图 1.6 隧穿结的 WKB 三角形势垒近似

BTBT 是一个量子力学过程，它基于电子不仅是一个粒子同时也是一个波函数的假设。与经典力学不同，这一波函数在遇到一个能量势垒时并不会被完全反射，而是有一定几率穿过这一势垒。隧穿几率的大小取决于势垒的宽度，在 TFET 中它通常与半导体的禁带宽度 (Band gap) 相关。一般情况下都可以将隧穿势垒近似为一个三角形势垒，即 WKB (Wentzel-Kramers-Brillouin) 近似，如图 1.6 所示。由此可以估算出隧穿几率：

$$T_{WKB}(E) = \exp\left(-2\int_0^d \sqrt{\frac{2m^*\Phi(x) - E}{\hbar^2}} dx\right) \quad (1.11)$$

这里， m^* 是载流子的有效隧穿质量， d 代表三角形势垒的隧穿距离。通过引入屏蔽长度 (λ) 这一概念，可以将公式 (1.11) 改写为：

$$T_{WKB}(E) \approx \exp\left(-\frac{4\lambda\sqrt{2m^*}E_g^{3/2}}{3\hbar(\Delta\Phi + E_g)}\right) \quad (1.12)$$

这里 E_g 是半导体的禁带宽度。 m^* 和 E_g 都是材料相关参数， m^* 与电子有效质量 m^e 和空穴有效质量 m^h 相关。 λ 通常被认为有两个主要部分组成，可以表示为：

$$\lambda = \lambda_{dop} + \lambda_{ch} \quad (1.13)$$

λ_{dop} 反应了源极的耗尽长度，与源极/沟道间的隧穿结陡峭程度相关。 λ_{ch} 则是和器件结构有关的参数，我们将在后面的章节对它进一步进行讨论。

1.3.2 亚阈值特性

TFET 器件中的电流同样可以用朗道方程表示,与在 MOSFET 器件中不同的是积分只在能量窗口 $\Delta\Phi$ 中进行:

$$I_{ds} = \frac{2q}{h} \int_0^{\Delta\Phi} T(E) |f_s(E) - f_d(E)| dE \quad (1.14)$$

这里 $f_s(E)$ 和 $f_d(E)$ 分别代表源极和漏极的费米分布, $T(E)$ 代表了隧穿几率。将公式(1.11)中的 T_{WKB} 表达式代入上式中的 $T(E)$, 可以得到:

$$I_{ds} = \frac{2q}{h} T_{WKB} F(\Delta\Phi) \quad (1.15)$$

其中 $F(\Delta\Phi)$ 是费米分布的积分。从上式就可以推导出 TFET 器件的亚阈值摆幅:

$$\begin{aligned} SS &= \left(\frac{\partial \log I_{ds}}{\partial V_g} \right)^{-1} = \ln(10) \left(\frac{\partial I_{ds}}{\partial V_g} \cdot \frac{1}{I_{ds}} \right)^{-1} \\ &= \frac{\ln(10)}{q} \left(\frac{1}{T_{WKB}} \cdot \frac{\partial T_{WKB}}{\partial \Delta\Phi} + \frac{1}{F(\Delta\Phi)} \cdot \frac{\partial F(\Delta\Phi)}{\partial \Delta\Phi} \right)^{-1} \end{aligned} \quad (1.16)$$

从公式(1.16)中可以看出, SS 对 $\Delta\Phi$ 有很强的依赖关系。对于一个较小的 $\Delta\Phi$ 来说, 可以对 $F(\Delta\Phi)$ 进行一阶泰勒展开, 得到:

$$SS = \frac{\ln(10)}{q} \cdot \Delta\Phi \propto V_g \quad (1.17)$$

这一公式显示 TFET 器件中的 SS 和温度没有一阶依赖关系, 因此没有传统 MOSFET 器件中 SS 的热电势限制。在 $\Delta\Phi$ 非常小时, 就可以得到很小的 SS。但是从公式中也可以看出, 在 TFET 中 SS 会随着 V_g 的增大而变大。

1.3.3 缺陷辅助隧穿

上面我们对 TFET 器件的讨论都是单纯基于 BTBT 隧穿机理, 而在实际的器件工作中, 它还会受到一些寄生效应的影响, 这些寄生效应对器件的关态电流影响尤为严重^[78-80]。其中, 最主要的一种寄生效应就是缺陷辅助隧穿 (Trap-assisted-tunneling, TAT)^[81-83]。在 TAT 过程中, 源极的载流子会先通过隧穿注入到沟道禁带中的缺陷中, 再由缺陷通过一个热激发过程到达沟道能带中, 如图 1.7 所示。在 TFET 器件中, 缺陷主要出现在氧化物/半导体界面, 以及在离子注入形成隧穿结的过程中所产生。TAT 过程在从源极到沟道的 BTBT 隧穿窗口开启前, 即 V_g 较小时就会发生。由于 TAT 过程中又引入了一个载流子的热激发过程, 所以通过 TAT 过程激发的载流子同样会受

到热电势所产生的 60mV/dec 的 SS 限制。如果在 TFET 器件中 TAT 效应非常显著时，它就会丧失其低泄漏电流和陡峭开关的特性。

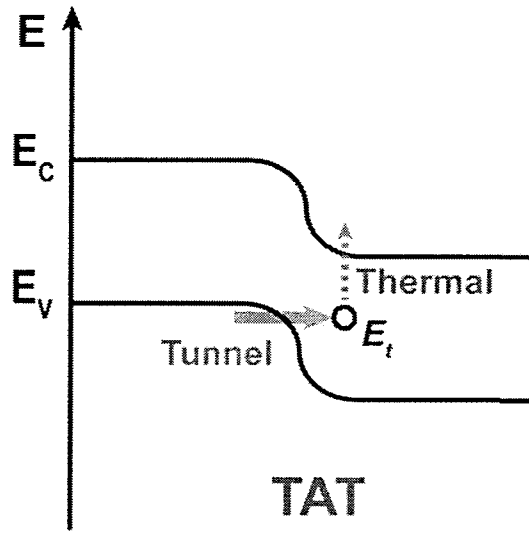


图 1.7 缺陷辅助隧穿 (TAT) 过程示意图

1.3.4 双极导通效应

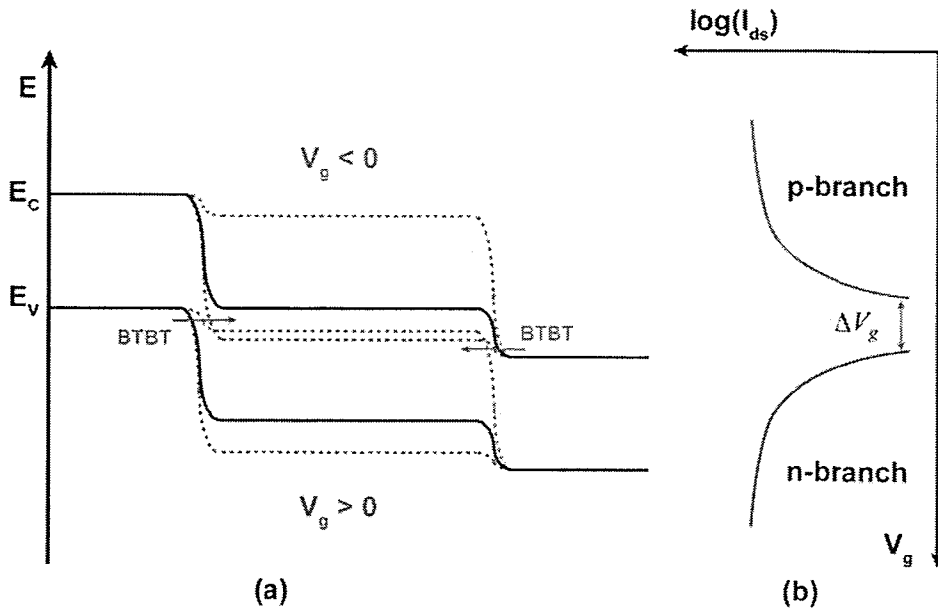


图 1.8 TFET 双极导通效应的示意图

TFET 器件与传统 MOSFET 器件的另一不同之处在于它具有双极导通特性 (Ambipolar-switching behavior) [84-88]，即同一个 TFET 器件在正栅偏压和负栅偏压下都可以导通。在源极和漏极都是重掺杂的 TFET 器件中，沟道能带随着所加栅电压

的不同向上或向下移动，隧穿窗口既可以在源极/沟道间隧穿结产生，也可以在漏极/沟道间隧穿结产生。因此，器件表现出既可以在 N 沟道模式工作，也可以在 P 沟道模式工作。图 1.8 展示了 TFET 器件的转移特性曲线中的双极导通效应示意图和相应的能带图。在 N 型导通区域和 P 型导通区域之间，是 TFET 器件的关断状态。这一关态长度 ΔV_g 由禁带宽度 E_g ，掺杂浓度和源漏电压 V_{ds} 所决定：

$$\Delta V_g = \frac{1}{q} \cdot (E_g - |V_{ds}| - (E_{SV} - E_{DC})) \quad (1.18)$$

这里， E_{SV} 是源极价带能级， E_{DC} 是漏极导带能级。当源极与漏极都是简并掺杂时，费米能级位于能带中，因此 $E_{SV} - E_{DC}$ 是正项。通常情况下，由于半导体中掺杂浓度也不能过高，所以这一项是较小的。而当在漏极施加一个电压时，源极与沟道的能带保持不变，而漏极的电势发生了改变，所以 ΔV_g 主要是由 E_g 和 V_{ds} 决定的。

因此，当 E_g 较小或 V_{ds} 较大时， ΔV_g 就会变小。甚至当 ΔV_g 小于等于 0 时，P 型导通电流与 N 型导通电流会产生交叠，并使关态电流变大。理想状态下，在 $V_{ds} > E_g/q$ 时，这一情况就会发生。当然，以上都是在认为 TFET 中的导通机制只有 BTBT 的理想情况下的计算。在 TFET 器件实际工作中，由于 TAT 等效应的影响 ΔV_g 会变小，双极导通效应对器件关态电流的影响会更加显著。

1.3.5 TFET 面临的技术难点

以上我们已经讨论了 TFET 器件的基本工作原理。通过理论计算可以看出，TFET 器件的 SS 可以突破传统 MOSFET 器件在室温下的 60mV/dec 限制。然而在实验中制备出的 TFET 器件，受到很多寄生效应的影响很难实现非常低的亚阈值摆幅^[89-92]。TFET 器件目前遇到的这些实际问题，限制了其在短期内代替 MOSFET 器件应用在低功耗电路中。主要技术难点有以下几方面。

首先，是较小的隧穿效率引起的较小开态电流 I_{on} 。一个好的低功耗晶体管除了要具有陡峭的开关特性外，也需要有较快的开关速度 τ 。器件的开关速度可以表示为^[93]：

$$\tau = \frac{C_g \cdot V_{dd}}{I_{ds}} \quad (1.19)$$

这里 C_g 代表了栅电容。从上式可以看出，如果需要获得很快的晶体管开关速度，除了需要减小电源电压 V_{dd} 以外，还需要具有较大的开态工作电流。在 TFET 器件中，源漏电流的大小主要取决于隧穿效率。由公式 (1.12) 可知， T_{WKB} 依赖于 m^* 、 E_g 、 λ 、 $\Delta\Phi$ 等参数。这里 λ 是一个可以优化的参数。通过改变器件结构等，可以提高器件的

栅控能力以降低 λ_{ch} , 另外通过隧穿结的优化改变掺杂浓度梯度可以有效降低 λ_{dop} , 这些将在下一节进行详细讨论。而 m^* 和 E_g 都是材料相关参数, 如果想要得到更大的隧穿几率, 就需要 m^* 和 E_g 都更小。对于 Si 材料来说, 其禁带宽度 ($E_g=1.12\text{eV}$) 还是相对较大的, 因此采用普通 P-I-N 结构的 Si 基 TFET 器件的电流相比传统 MOSFET 器件通常会小很多, 只能达到几十到几百 $\text{nA}/\mu\text{m}$ 的数量级^[94-98]。因此一系列窄禁带材料, 例如 SiGe、Ge、GeSn、InAs、InGaAs 等被应用在 TFET 器件设计中^[99-105]。实验结果证明了采用这些材料制备的 TFET 器件的 I_{on} 已经可以达到几到几十 $\mu\text{A}/\mu\text{m}$ 的数量级^[106-112], 较传统 MOSFET 器件已经没有相差太多。然而, Ge 基和 III-V 基的 TFET 器件虽然可以得到较大开态电流, 但它们的泄漏电流也会很大。这是由于其较小的禁带宽度和半导体/栅氧化物之间的较大界面缺陷密度所导致的^[113-116], 这使得其电流开关比较小且亚阈值特性严重退化。

TFET 器件面临的另一大问题就是 SS 的退化, 这通常是由 TAT 引起的^[117,118]。尽管通过理论计算可以得出, BTBT 在较小的 V_g 偏压下可以得到非常小的 SS, 但是在实际器件工作中, 其关态电流主要都是由 TAT 等寄生电流占主导的^[119,120]。前面已经提到过, TAT 是一个热激发辅助的隧穿过程, 因此这一过程导致的 SS 依然会大于 $60\text{mV}/\text{dec}$ 。TAT 致使的亚阈值特性退化现象在 Ge 和 III-V 器件中尤为显著^[121-123], 导致基于这些新材料的 TFET 器件几乎没有获得过小于 $60\text{mV}/\text{dec}$ 的实验结果。这是因为这些新材料与栅介质之间的缺陷密度 (Density of interface states, D_{it}) 目前还很大, 远高于 Si 与氧化物之间的界面缺陷^[124]。器件中的缺陷除了在栅氧化物/半导体界面存在之外, 也会在离子注入中产生^[125]。这意味着我们在设计 TFET 器件时, 也需要格外注意控制隧穿结处的缺陷密度。

此外, TFET 器件内生的双极导通效应限制了其在逻辑电路中的应用^[126-128]。前面我们已经从理论上讨论了 TFET 器件所具有的双极导通特性。这一效应在较大的 V_{ds} 偏压下会更为严重, 使器件的关态电流大幅提高^[129]。对于实际的逻辑电路应用来说, 其最基本的电路模块是反相器 (Inverter), 通常是由一对互补的 N 型和 P 型器件所组成^[130], 如图 1.3 所示。反相器要求这一对互补器件具有分明的开态与关态。而 TFET 器件的双极导通效应导致它在正栅偏压和负栅偏压下都会导通, 因此它的关态区域很小, 尤其在较大 V_{ds} 下几乎会丧失关态。如果想要把 TFET 器件应用在逻辑电路中, 就必须想办法抑制它的双极导通特性, 使它成为一个具有明显关态的 N 型或 P 型器件。抑制双极导通效应的主要方法就是采用非对称的源漏设计, 来抑制漏极/沟道间隧穿结的隧穿电流。例如采用较轻掺杂的漏极^[131-133], 但这种方法已经被证明并不能彻底地抑制双极导通效应。另一种已报道的方法是在源极和漏极采用不同的材料, 通过在源极采用较窄禁带的材料而漏极采用较宽禁带的材料来实现^[134-136]。虽然这种方法可以有效抑制双极导通效应, 但是使用不同的材料大大提高了工艺复杂性。在本

文中，我们将介绍并讨论抑制双极导通效应的新方法。

最后，目前对于 TFET 器件的精确模型研究还不充分。这包括缺乏各种半导体材料的关键隧穿参数的精确数据，导致对隧穿电流的 TCAD (Technology-computer-aided design) 仿真评估不够准确。此外，对于 TFET 中的寄生效应如 TAT、Shockley-Read-Hall (SRH) 复合等也没有精确的模型。对于器件在电路中的应用来说，它的交流模型也是非常重要的，如描述器件电容和寄生电阻等参数的精确模型。目前，对于 TFET 器件来说，针对这些重要参数的模型研究还不够充分，较为简单而粗糙的模型并不能准确评估其电学特性，限制了其在实际电路中的应用。

1.3.6 TFET 设计要点

通过以上小节对 TFET 器件的理论讨论，我们可以得出一些设计 TFET 器件的基本要点。由于目前在 Ge 和 III-V 等新型材料上还不能获得非常好的栅氧化物/半导体界面，其界面缺陷密度还很高，由此导致基于这些新材料制备的 TFET 器件受到 TAT、SRH 等寄生效应的强烈影响，并不能真正实现陡峭的开关特性。因此，在本论文工作中，我们依然着重于 Si 基 TFET 器件的设计与制备。

1.3.6.1. 绝缘体上硅 (SOI)

由公式 (1.12) 和 (1.13) 可知，在 TFET 器件中获得较高的隧穿电流的一个有效途径就是提高器件的栅控能力，即实现很小的 λ_{ch} 。对于一个 Si 基的平面 (Planar) 栅结构器件来说，其 λ_{ch} 可以通过泊松方程计算出：

$$\lambda_{ch} = \sqrt{t_{Si} \cdot t_{ox} \frac{\epsilon_{Si}}{\epsilon_{ox}}} \quad (1.20)$$

这里 t_{Si} 、 t_{ox} 分别是 Si 和栅介质氧化物的厚度， ϵ_{Si} 、 ϵ_{ox} 则分别是 Si 和氧化物的相对介电常数。因此可以通过减小 t_{Si} 有效降低 λ_{ch} 。采用绝缘体上硅 (Silicon on Insulator, SOI) 技术可以简单有效地实现这一目的。

所谓 SOI 技术，就是利用一层绝缘层将顶层实际制造器件的 Si 薄膜与 Si 基底隔离开，如图 1.9 所示。针对 SOI 衬底的研究经过几十年积累，已经相当成熟，它具有传统体硅 (Bulk Si) 衬底所不具备的很多优点。制作在 SOI 衬底上的器件可以实现全介质隔离，消除了衬底对器件体效应的影响，彻底消除了体硅电路中的栓锁效应 (Latch-up) 等寄生效应^[137-142]。SOI 技术因此被誉为“二十一世纪的硅集成电路技术”。^[143]

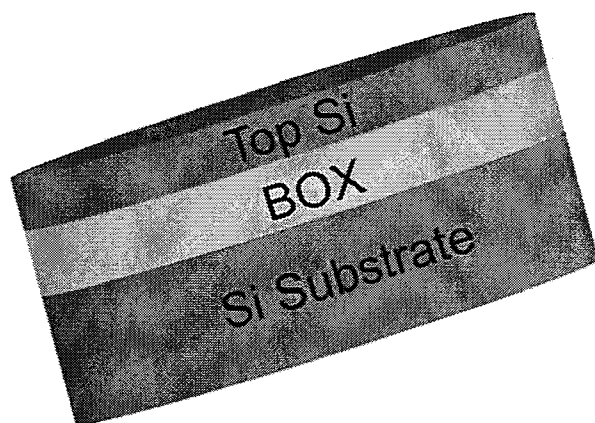


图 1.9 SOI 衬底结构示意图

SOI 衬底按顶层硅厚度不同,可分为两大类:部分耗尽 SOI(Partially-depleted SOI, PDSOI) 和全耗尽 SOI(Fully-depleted SOI, FDSOI)。FDSOI 衬底的顶层硅薄膜厚度很薄,小于器件开启后的最大耗尽层宽度,即顶层硅被全部耗尽。由于顶层硅薄膜很薄, FDSOI 衬底又被叫做超薄体 SOI(Ultra-thin-body SOI, UTB-SOI) 衬底。目前的技术已经可以制备出顶层硅厚度在 10nm 左右的均匀性良好的 SOI 衬底^[144]。由公式 (1.20) 可知,良好的栅控能力需要非常薄的 Si 器件层,因此这种 UTB-SOI 衬底非常适合于制备 TFET 器件。本论文中所制备与研究的 TFET 器件,均制备在 UTB-SOI 衬底上。

1.3.6.2. 高 κ 栅介质

在场效应晶体管中,提高栅控能力的另一要点就是增大栅介质氧化物电容 C_{ox} 。 C_{ox} 可以表示为:

$$C_{ox} = A \cdot \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} \quad (1.21)$$

这里 A 代表了栅介质电容的面容, ϵ_0 和 ϵ_{ox} 分别代表真空介电常数和氧化物的相对介电常数 (ϵ_{ox} 又称 κ 值)。从公式可以看出,增大 C_{ox} 的主要方法就是减小氧化物厚度和提高氧化物的 κ 值。

传统上 SiO_2 一直是场效应晶体管中所使用的栅介质材料,这是由于它与 Si 之间的界面是相对来说最好的,缺陷密度较小、且制造起来也很容易^[145]。45nm 节点之前 CMOS 增大 C_{ox} 的主要方法就是 SiO_2 厚度的持续缩小^[146]。但是当 SiO_2 厚度达到 1.5nm 以下时,其漏电流由于载流子量子隧穿的发生会呈指数上升,严重影响器件的关态漏电流^[147]。因此,为了保持栅氧化物的泄漏电流不要过高,需要保证栅氧化物具有一定的物理厚度。在此前提下,使用提高栅介质 κ 值的方法成为了新的增大 C_{ox} 的方法

[148-150]。这些新颖的栅介质氧化物材料的 κ 值需要比 SiO_2 的 $\kappa_{\text{SiO}_2}=3.9$ 要更高。其中，氧化铪 (HfO_2) 由于 κ 值可以高达 20 左右，且具有良好的热稳定性和与 Si 之间有足够大的能带差，已经被半导体业界应用在先进工艺制程中^[151-155]。2007 年，Intel 公司就率先在其 45nm 工艺节点引入了 HfO_2 高 κ 工艺，大幅提高了器件性能^[156]。在本论文中所研究的 TFET 器件的栅介质材料，都是采用原子层淀积 (Atomic layer deposition, ALD) 方法淀积的 HfO_2 ，以提高器件的栅介质电容 C_{ox} 从而减小 λ_{ch} 。

1.3.6.3. 应变硅

由公式 (1.12) 可知，会影响 TFET 隧穿效率还有 m^* 和 E_g 这两个材料相关的参数。为了保证半导体/氧化物的界面具有较小的缺陷密度以使 TFET 器件可以获得陡峭的开关特性，我们依然选择的是研究 Si 基 TFET 器件。虽然 Si 材料是固定的，但我们可以通过对 Si 施加应变的方法，来改变它的材料性质。应变硅 (Strained Si) 相比 Si 来说，其 m^* 和 E_g 都会更小一些^[157]。由于 T_{WKB} 对 m^* 和 E_g 都是呈指数依赖关系，因此一点微小的改变对于隧穿效率的提高也会有很大的影响。

应变 Si 技术是指在薄层单晶硅中，Si 晶格经过四方畸变改变了其原有的晶格间的距离。这可以通过在比 Si 具有更大晶格常数的 SiGe 衬底上外延生长 Si 所实现，如图 1.10 所示。由于 Si 的晶格被拉长，相当于在其中施加了一个张应力。将这一层应变 Si 从 SiGe 衬底上剥离，并与表面氧化的 Si 片键合在一起，经过抛光等工艺后就可以制备出一个绝缘体上应变 Si 晶圆 (Strained silicon on insulator, sSOI)^[158]。在这一整片 sSOI 晶圆上可以获得全局的双轴应力 (Biaxial strain)^[159]。

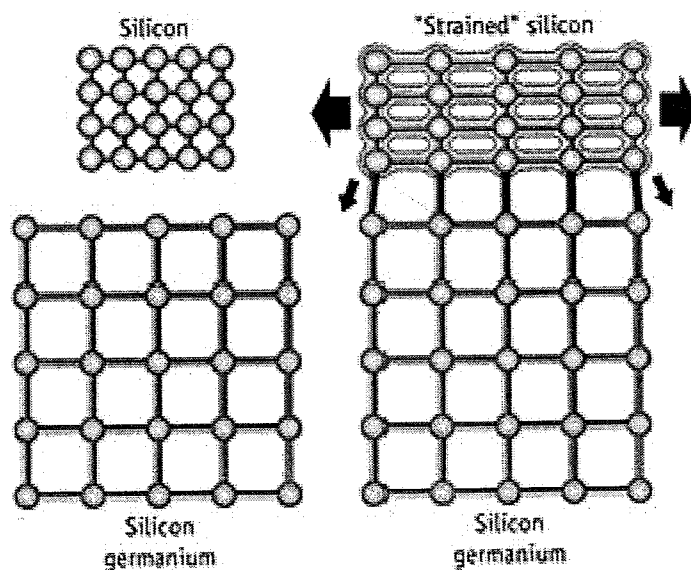


图 1.10 通过 SiGe 衬底外延生长具有张应力的应变硅示意图^[159]

应变 Si 技术在 90nm 工艺节点就被 Intel 公司引入到量产的工艺制程中, 其中具有张应力的应变 Si (Tensile strained Si) 被认为可以有效提高电子的迁移率^[160,161]。在 TFET 器件中, 迁移率并不是需要关心的参数, 但是通过引入张应变所导致的载流子有效质量和禁带宽度减小, 对于提高 TFET 的隧穿效率是非常有帮助的^[162]。在张应变的应变 Si 中, 应力作用导致导带的六重简并能谷分裂成两组, 即一个能量较高的四重简并能谷和一个能量较低的二重简并能谷。其中, 四重简并能谷是沿着与界面平行的方向, 而二重简并能谷沿着与界面垂直的方向。由于电子会优先占据能量较低的二重简并能谷, 因此位于次能级上的载流子的有效质量就会减小^[163]。这一能谷分裂同时也会使应变 Si 中的有效禁带宽度变小。

1.4 本论文的主要工作

基于上述对 TFET 器件的特性和实际存在问题的讨论, 本论文工作主要围绕如何解决这些技术难点与填补研究空白而展开。对基于 SOI 衬底的新型 TFET 器件的设计、制备、电学表征和逻辑应用等做了一系列研究, 各章内容具体安排如下:

第一章, 阐述了新型低功耗晶体管器件的研究背景和概况, 重点介绍了 TFET 器件的理论背景, 分析了其研究现状和目前面临的主要技术难点, 从而引出本论文的具体工作。

第二章, 主要介绍了一种通过对 MOSFET 器件的栅致漏极泄漏电流 (GIDL) 的分析, 提取材料关键隧穿参数的方法。成功提取了 Si 和具有不同 Ge 组分的 SiGe 材料中的关键隧穿参数。此外, 对材料中的缺陷能级进行了分析, 定义并提取了各材料的等效缺陷能级, 以用于 TCAD 仿真中对于 TAT 过程的模拟。

第三章, 针对 TFET 器件开态电流较小的问题, 使用镍硅化物中离子注入的方法进行隧穿结的优化。在 UTB-SOI 衬底上成功制备了高性能的平面 P 型 TFET 器件, 并对器件进行了系统地电学表征。通过低温电流特性测试, 分析了缺陷及 TAT 在 TFET 器件中的影响。国际上首次进行了全面的 TFET 器件的 C-V 特性测试与分析。测试结果发现, 器件电容在源漏之间的分布与之前理论模拟报道的结果有一定不同, 我们基于实验结果提出了新的 TFET 器件电容模型的假设。最后, 基于制备的 P 型 TFET 器件验证了一个 TFET 基本电流镜电路, 其展示了良好的电路性能。

第四章, 针对 TFET 器件存在的双极导通效应, 设计了一种新型的 T 形结构的 TFET 器件来抑制这一效应。利用 T 形结构 Mesa 实现源漏非对称设计, 通过对源极与漏极隧穿结宽度的调节, 成功实现了对 TFET 器件双极导通电流的抑制, 提高了器件的电流开关比。同时, 这一特殊结构的 T 形器件也可以被偏置在 MOSFET 工作模

式，我们对其在 MOSFET 工作模式下的电学特性进行了表征，就器件中呈现的短沟道效应及沟道偏压对器件电学特性的影响等进行了分析。

第五章，介绍了一种多指栅 TFET 器件结构以抑制 TFET 器件中双极导通效应的设计。采用这一设计成功实现了对双极导通电流的抑制。同时对于制备在 UTBB-SOI 衬底上的该 TFET 器件，研究了背栅偏压对器件电学性能的影响。进一步地，在多指栅 TFET 器件的源极使用硅化物中离子注入技术形成隧穿结，成功制备出电学性能优异的互补 N 型和 P 型 TFET 器件。器件在室温下实现了 $<60\text{mV/dec}$ 的亚阈值摆幅，且电流开关比高达 5×10^8 。此外，基于上述制备的抑制了双极导通效应的互补多指栅 TFET 器件，成功构建了可以实现完整逻辑功能的 TFET 反相器。

第六章，对全文进行了总结，并对下一步的研究工作进行了展望。

第二章 硅(锗)关键隧穿参数提取

2.1 引言

从对 TFET 器件的隧穿电流的理论分析可以看到,隧穿几率的大小对于材料有很大的依赖性。采用 TCAD 仿真是一种评估新材料和新结构对器件性能影响的有效方法,但是目前仿真工具中关于材料的关键隧穿参数的数据还存在缺失,导致对新型器件性能的评估还不够精确。此外,材料中缺陷在禁带中的能级分布也对 TFET 器件的性能,尤其是其关态特性有很大的影响,目前关于这一方面的研究也存在不足。

本章将介绍一种通过对 MOSFET 器件的栅致漏极泄漏电流 (GIDL) 的分析,提取材料关键隧穿参数的方法。并对其中缺陷的影响进行分析,定义并提取了等效缺陷能级参数,用于 TCAD 仿真中对 TAT 过程的模拟。

2.2 MOSFET 器件中的带间隧穿过程

在第一章中我们已经介绍过, MOSFET 器件中的关态泄漏电流,包括反偏二极管漏电流、栅介质漏电流、亚阈值漏电流和栅致漏极泄漏电流 (GIDL) 等。其中 GIDL 电流被普遍认为是由于高电场下的 BTBT 过程所引起的^[164-166]。

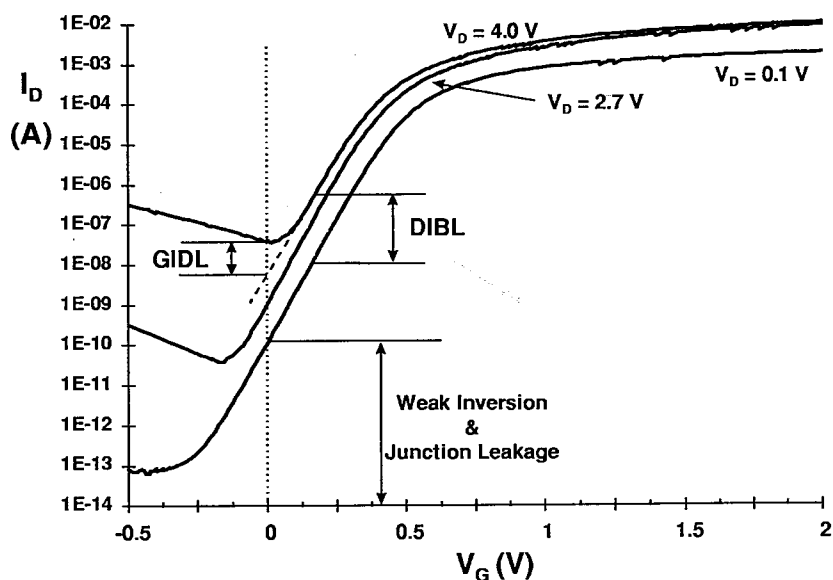
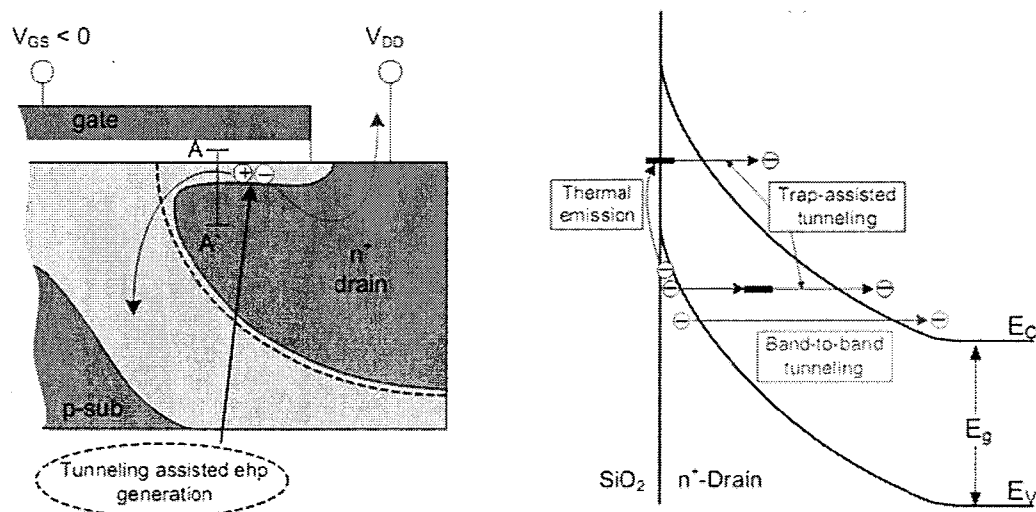


图 2.1 一个 N 型 MOSFET 器件中主要泄露电流的成分示意图^[164]

图 2.2 N 型 MOSFET 器件中 GIDL 电流形成机理示意图^[166]

如图 2.1 所示, 在一个 N 型 MOSFET 器件中, GIDL 电流是在 $V_g < 0V$ 时的主要漏电流。它产生于 MOSFET 器件栅极和漏极的交叠区。从 MOSFET 的器件结构设计来说, 其栅极与源漏应该是对齐的, 但在实际制备出的器件中, 由于杂质的扩散等, 栅极和漏极之间极大可能会产生一个交叠区。在这一交叠区域中, 当 $V_g < 0V$ 且漏极加上较大工作电压 V_{ds} 时, 会在表面形成一个积累区。由于表面积累空穴的存在, 表面表现为比衬底更加重掺杂的 p 型区, 这导致表面耗尽层宽度比别的地方都会更窄, 如图 2.2 所示。表面附近耗尽区的变窄会导致局部电场的增强, 并引起载流子的带间隧穿的发生。

由此可见, MOSFET 器件中的 GIDL 电流的主要形成机理与 TFET 器件中的电流形成机理是完全相同的。MOSFET 器件经过几十年的发展和深入研究, 其器件理论已经非常成熟, 且积累了大量实验数据可供分析。所以通过对 GIDL 电流的分析, 同样可以研究 BTBT 过程中的关键参数。

2.3 Kane 带间隧穿模型

在上一章中我们已经介绍过, BTBT 过程的电流可以通过 WKB 近似估算得出, 其是关于 m^* 、 E_g 和 λ 等参数的较复杂函数。在 TCAD 仿真中经常采用一种较简单的 Kane 模型用来描述 BTBT 电流^[167]:

$$I_{ds} = A \cdot (E_S)^P \cdot \exp\left(-\frac{B}{E_S}\right) \quad (2.1)$$

其中, 有一个指数参数 P, 对于间接带隙材料来说 (如 Si)^[168], $P=1.5$, 而对于直接

带隙材料来说（如 III-V 族材料）， $P=1$ 。参数 A 和 B 则是决定 BTBT 电流的关键隧穿参数，A 是线性系数，B 则是指数系数，它们都是与材料相关的系数，取决于材料的禁带宽度 E_g 和有效载流子质量 m^* 。式中另外一个参数 E_S 则代表了隧穿结处的电场强度。对于 MOSFET 器件中的 GIDL 电流来说，这里 E_S 就代表了栅极和漏极交叠区的表面电场强度，可以表示为^[169]：

$$E_S = \frac{V_{gd} - \Psi_S}{\frac{\epsilon_S}{\epsilon_{ox}} \cdot t_{ox}} \quad (2.2)$$

这里， V_{gd} 是栅漏之间的电压差， ϵ_S 和 ϵ_{ox} 分别是沟道半导体材料和栅氧化物的相对介电常数。 t_{ox} 则是栅氧化物的厚度， Ψ_S 代表了交叠区的表面势，可以由下式表示^[169]：

$$\Psi_S = V_{gd} + \frac{t_{ox}^2}{\epsilon_{ox}^2} q N_d \epsilon_{Si} - \sqrt{\left(V_{gd} + \frac{t_{ox}^2}{\epsilon_{ox}^2} q N_d \epsilon_{Si} \right)^2 - V_{gd}^2} \quad (2.3)$$

其中 q 是电荷量， N_d 则代表了漏极的有效掺杂浓度。

由公式 (2.1) 经过变换，可以得到：

$$\ln(I_{ds}/E_S^P) = -B \left(\frac{1}{E_S} \right) + \ln A \quad (2.4)$$

在假设参数 A 和 B 都是常数的情况下， $\ln(I_{ds}/E_S^P)$ 与 $(1/E_S)$ 呈线性关系。将它们作图后，用线性拟合得到的斜率就是隧穿参数 B，而截距则是 $\ln A$ 。其中指数系数 B 对于隧穿几率的影响是最强烈的，也是我们最为关心的参数。

2.4 通过 GIDL 电流分析进行硅（锗）关键隧穿参数提取

我们首先将这一提取关键隧穿参数 B 的方法应用在 Si 材料上。用来分析的器件是一个制备在 SOI 衬底上的 P 型 MOSFET 器件，其详细的制备过程可以参考文献^[170]。图 2.3 展示了它的转移特性曲线，在 $V_g > 0V$ 时可以发现存在明显的 GIDL 电流。对于 Si 材料来说，公式 (2.4) 中的 P 值应该取为 1.5。因此，将 GIDL 电流代入公式 (2.4)，将 $\ln(I_{GIDL}/E_S^{1.5})$ 作为 y 轴， $(1/E_S)$ 作为 x 轴，得到它们之间的关系如图 2.4 所示。可以清晰的看到，曲线在高电场和低电场区域展现了两个不同的线性依赖关系。在两个区域分别进行数据的线性拟合，可以得到两个斜率，即两个不同的参数 B 值。在低电场下得到的 B 值较高电场下会更小。

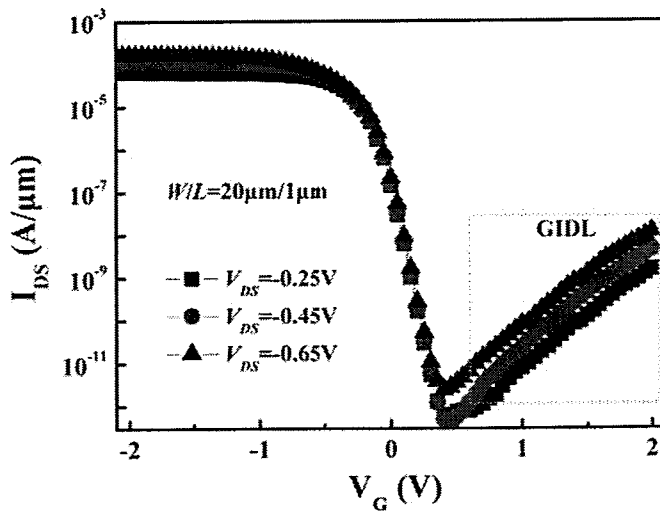


图 2.3 SOI 上 P-MOSFET 的转移特性曲线，在 $V_g > 0V$ 时有明显的 GIDL 电流

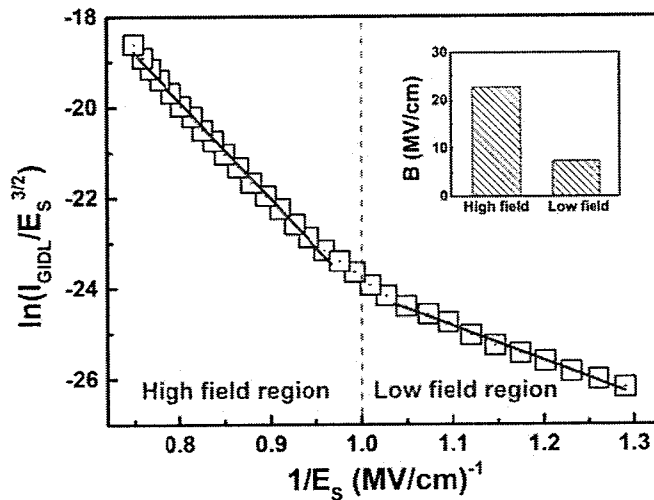


图 2.4 使用 Kane 模型拟合的 Si MOSFET 器件的 GIDL 电流，插图显示了分别在低电场和高电场上线性拟合得到的不同参数 B 的值

2.4.1 缺陷辅助隧穿的影响

以上拟合所得到的参数 B 值的分离现象可以由不同电场强度下的不同隧穿过程来解释。在高电场下，由于势垒宽度已经变得非常窄，因此载流子可以通过带间直接隧穿过势垒，所以 BTBT 过程在这时占据主导。这里提取到的 B 值为 22.7MV/cm。这一数值与文献中报道的 19~23.8MV/cm 的数值是相吻合的^[168,171]。

而在低电场下，由于势垒还比较宽，因此直接带间隧穿的几率比较小，这时缺陷辅助隧穿 TAT 会占据主导^[78]。这些位于禁带中的缺陷扮演了一个“垫脚石”的作用，

载流子先通过隧穿到达这些缺陷，再通过一个热激发的过程到达半导体内的能带。因此 TAT 过程相当于缩小了实际隧穿的距离，导致 B 值的减小。

图 2.5 展示了 TAT 的这一过程。这里我们定义了一个等效隧穿宽度 E_g' ，它可以表示为：

$$E_g' = E_g - E_t \quad (2.5)$$

这里 E_g 为禁带宽度，而 E_t 则定义为等效缺陷能级与导带之间的能量差。

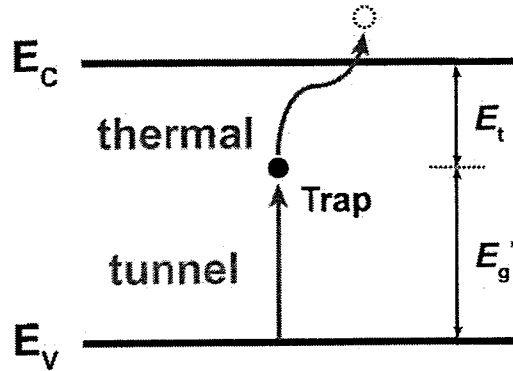


图 2.5 在低电场下占主导的 TAT 过程示意图

2.4.2 等效缺陷能级

在 Kane 模型中，隧穿参数 B 可以表示为：

$$B = \frac{2^{7/2} \pi m^{*1/2} E_g'^{3/2}}{3qh} \quad (2.6)$$

可以转写为：

$$E_g' = \left(\frac{3qhB}{2^{7/2} \pi m^{*1/2}} \right)^{2/3} \quad (2.7)$$

在这里 h 是普朗克常数， m^* 是有效隧穿质量，它们都是常数^[172,173]。因此由公式 2.7 就可以通过之前提取出的低场下的 B 值推算出的 E_g' 数值。将 Si 中提取出的数据代入以上公式，可以得出 Si 中的 E_t 为 0.57eV。由于 Si 的禁带宽度为 1.12eV，这一数值意味着 Si 中的等效缺陷能级处在禁带的中间。这与文献所报道的 Si 中缺陷的能级主要分布在禁带中间的位置是相符合的^[174]。

通过以上分析可以看出，这一使用 GIDL 电流分析隧穿过程的方法被验证是有效的，它既可以用来提取关键隧穿参数，也可以用来计算等效缺陷能级的位置。

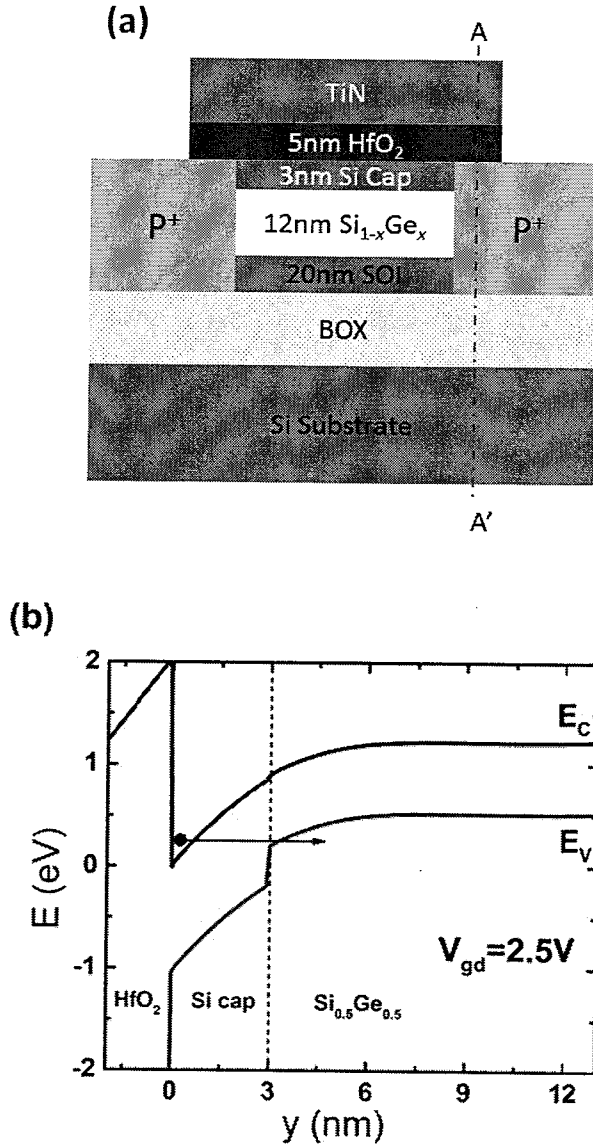


图 2.6 (a) Si/SiGe/SOI 量子阱 P-MOSFET 结构示意图；(b) TCAD 仿真得到的沿着 AA' 截面能带图，可以看到电子从 Si 的导带隧穿进入 SiGe 的价带

SiGe 材料由于其相比 Si 具有更小的禁带宽度，同时也与现有的 CMOS 工艺制程相兼容，被认为是一种很有潜力用于 TFET 器件的材料^[100]。我们将这一 GIDL 电流分析的方法也用于 SiGe 沟道 P-MOSFET 器件中。这些 P-MOSFET 器件制备在 Si/Si_{1-x}Ge_x/SOI 量子阱衬底上，器件结构及主要参数如图 2.6 (a) 所示，具体制备工艺流程等可以参照文献^[175]。其中 Ge 组分 x 分别为 0.20, 0.50 和 0.65。这一量子阱 p-MOSFET 的 GIDL 电流也是由栅漏交叠区的 BTBT 所产生的。图 2.6 (b) 显示了 TCAD 仿真得到的沿着栅漏交叠区 (AA') 截线的能带图。可以观察到在大的栅漏偏压下 ($V_{gd}=2.5V$)，电子由 Si 的导带直接隧穿进入 SiGe 的价带。这是由于在该器件

中 Si 盖帽层 (Si cap) 很薄仅有 3nm, 位于盖帽层中的电子隧穿后就直接进入了 SiGe 量子阱中, 所以在隧穿过程中的电子隧穿势垒宽度由 SiGe 的禁带宽度所决定, 因此由这一器件中提取出的 BTBT 关键隧穿参数可以认为是关于 SiGe 材料的参数。图 2.7 显示了测量到的不同 Ge 组分的 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 P-MOSFET 器件中的 GIDL 电流。

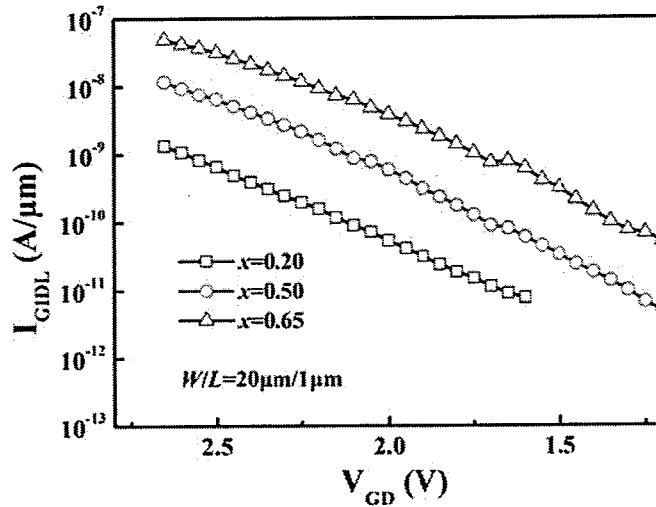


图 2.7 不同 Ge 组分的 SiGe 沟道 P-MOSFET 器件中的 GIDL 电流

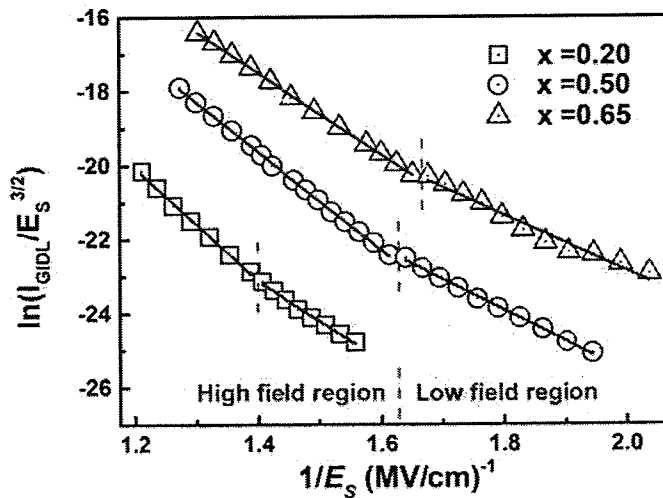


图 2.8 使用 Kane 模型拟合的 SiGe 沟道 MOSFET 器件的 GIDL 电流

SiGe 材料是 Si 和 Ge 的合金, 其性质介于 Si 和 Ge 之间, 在 Ge 组分小于 80% 时 SiGe 的能带依然是类 Si 的^[176]。即对 Ge 组分较小的 SiGe 材料来说, 其依然是间接带隙半导体材料。因此对于本章所研究的 SiGe 沟道量子阱 P-MOSFET 器件来说, 在

Kane 模型中（见公式 (2.1)）的指数项 $P=1.5$ 。将 SiGe 沟道量子阱 P-MOSFET 器件的 GIDL 电流使用 Kane 模型进行拟合，得到如图 2.8 所示的曲线。从图中可以看出，曲线依然在高电场和低电场区域展现了两个不同的线性依赖关系，经过线性拟合后可以得到两个不同的关键隧穿参数 B 值。图 2.9 显示了提取出的 Si 和 $\text{Si}_{1-x}\text{Ge}_x$ 材料在高电场和低电场下提取出的关键参数 B 值，此外文献中报道的理论计算得到的参数 B 值也被标在图中^[177]。

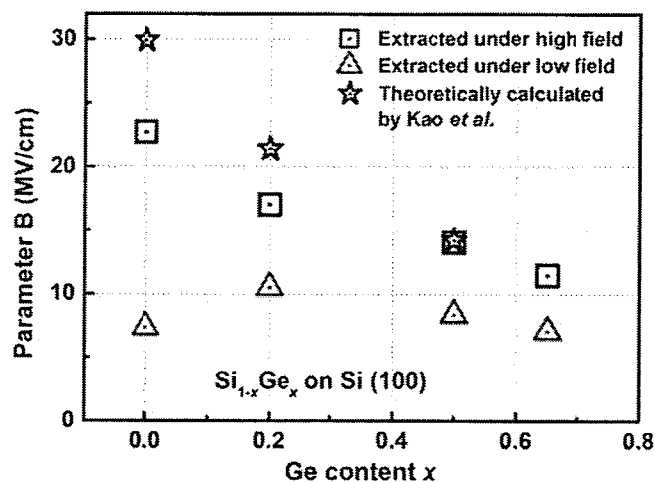


图 2.9 通过 GIDL 电流分析提取的 Si 和 $\text{Si}_{1-x}\text{Ge}_x$ 材料的关键隧穿参数 B 值，以及文献^[177]中报道的理论计算得到的隧穿参数 B 值

在图 2.9 中，蓝色方块代表的是在高电场下提取出的参数 B 值。可以看到随着 Ge 组分的增加，在高电场下提取出的 B 值会逐渐减小。这与文献中报道的理论计算趋势是相符合的，其数值大小也是接近的^[177]。这一较小的 B 值代表可以实现更高的隧穿几率，因此在具有更大的 Ge 组分的 SiGe TFET 器件中会获得更高的电流，这与实验报道数据也是吻合的^[178]。

同时从图中还可以看出，在低电场下提取得到的关键隧穿参数 B 值会比相对应材料在高电场下得到的 B 值会更低。前面的分析已经指出了，这是由于在低电场下缺陷辅助隧穿 TAT 占据主导所导致的。由于这一数值与 TAT 过程直接相关，通过对其的分析可以提取有关 TAT 过程的关键参数。影响 TAT 过程的关键参数主要是缺陷浓度和缺陷能级，其中缺陷浓度取决于衬底材料缺陷浓度以及在工艺过程中引入的缺陷多少，而缺陷能量在禁带内的分布则是与材料相关的。我们在公式 (2.5) 中，定义了一个等效缺陷能级 E_t 。假设在材料禁带内处于不同能级的缺陷的分布可以等效为所有缺陷都处在分布中心所处的能级上，这一等效能级距离导带底的能量差即为 E_t 。

由式 (2.5) 和 (2.7), 将各个材料在低电场下提取出的隧穿参数 B 的数值及材料常数代入其中, 就可以计算得到 E_t 的数值。图 2.10 展示了计算得到的 Si 和不同 Ge 组分 $\text{Si}_{1-x}\text{Ge}_x$ 材料中的 E_t 数值。可以明显地看到, 随着 Ge 组分的增加 E_t 会逐渐变小, 即意味着在 SiGe 材料中的缺陷相比 Si 中的缺陷通常处于更靠近导带的位置。缺陷能级是影响 TFET 器件中寄生 TAT 电流的关键参数, 这些提取出的数据可以用于未来对 TFET 器件进行更深入的研究。

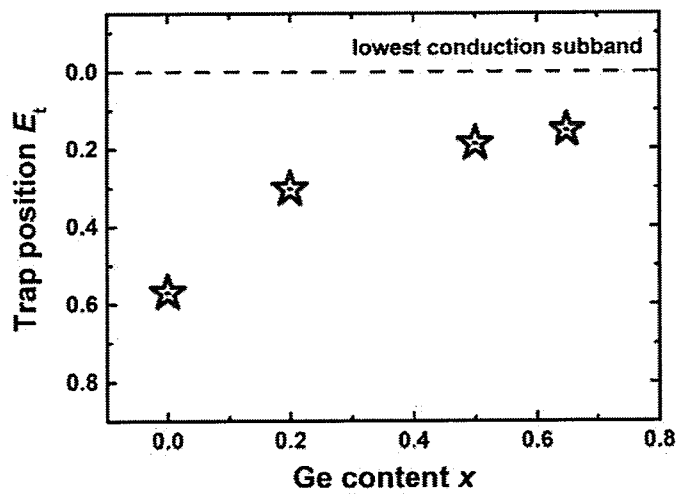


图 2.10 计算得到的 Si 和 SiGe 中的等效缺陷能级 E_t , 随着 Ge 组分的增加 E_t 持续变小, 即越来越接近导带

此外, 在商用的 Synopsys 公司的 Sentaurus TCAD 仿真工具中, 其用于仿真 TAT 过程的常用模型为 “Dynamic nonlocal path trap assisted tunneling” 模型^[168]。该模型的两个主要参数也是缺陷浓度与缺陷能级, 其中缺陷能级 (Trap energy level) 是定义在 “Scharfetter” 参数表中的, 其缺省值认为缺陷能级位于禁带中间。从我们的计算可以看出, 这一假设对于 Si 材料是正确的, 但是对于 SiGe 来说其缺陷却并不主要分布在禁带的中间。因此计算得出的 Si 和 SiGe 材料中的 E_t 数值可以直接在 Sentaurus 仿真工具中使用, 以便更精确地模拟研究 TFET 器件中的 TAT 电流贡献大小。

2.5 小结

本章主要介绍了一种使用 MOSFET 器件 GIDL 电流分析提取材料关键隧穿参数的方法。MOSFET 器件中的 GIDL 电流主要是通过隧穿机理产生的, 这与 TFET 器件

中的电流产生机理是相同的。我们利用 Kane 模型成功提取了 Si 和不同 Ge 组分 SiGe 材料中的关键隧穿参数 B 。通过对拟合曲线在不同电场强度下展现的差别,分析了缺陷辅助隧穿 TAT 的影响,并定义和提取了缺陷的等效缺陷能级 E_t 。结果显示, SiGe 材料中的等效缺陷能级较 Si 中来说距离导带更近。这一结果可以用于未来对 TFET 器件性能进行更精确的 TCAD 仿真预测。此外通过与理论计算结果的对比,验证了这一使用 GIDL 电流分析研究隧穿参数方法的可行性,其在未来可以用于对更广泛材料的隧穿参数进行研究。

第三章 使用硅化物中离子注入技术的平面 TFET 制备与表征

3.1 引言

TFET 由于其可以突破传统 MOSFET 的亚阈值摆幅物理限制,被认为是未来可以代替 MOSFET 用于超低功耗电路应用的器件。这一特点是由 TFET 的栅控 P-I-N 结构中独特的载流子输运机理所促成的。与 MOSFET 不同,TFET 沟道中的载流子是通过带间隧穿注入的,而传统晶体管中载流子是通过热发射越过势垒所注入的。因为 TFET 器件具有这种传统 MOS 器件不具备的陡峭开关特性,所以经过优化设计的 TFET 器件具有成为未来高效节能器件的巨大潜力。

在第一章中已经介绍过,TFET 器件结构中一个关键点在于形成优化的陡峭隧穿结以使 λ_{dop} 尽可能小。普通 Si 基 TFET 器件中,隧穿结通常都是由 Si 中离子注入和之后的快速热退火所形成的,但是这一工艺通常也会带来杂质的快速扩散。这会导致隧穿结变缓,载流子的隧穿几率降低,因此目前普遍报道的 Si 基 TFET 器件的开态电流都很小^[94-98,179]。之前的研究^[180,181]已经发现,在镍硅化物中进行离子注入并经过较低温度退火后,可以在硅化物和硅的界面处形成陡峭的杂质分布,且掺杂浓度也可以达到 $10^{20}/\text{cm}^3$ 以上。这一特性使硅化物中离子注入技术非常适用于制备 TFET 器件。

本章将硅化物中离子注入技术运用在 TFET 器件上,在具有超薄顶层硅的 UTB-SOI 衬底上制备了 P 型 TFET 器件,并对其电流-电压特性、低温电学特性、电容-电压特性等进行了系统地测试与分析。

3.2 器件结构

本章中所研究 P 型 TFET 器件的结构如图 3.1 所示。制作器件的起始衬底是顶层 Si 厚度为 12nm 的 UTB-SOI 衬底,衬底为 p 型轻掺杂,掺杂浓度约为 $1 \times 10^{16} \text{cm}^{-3}$ 。栅结构采用了业界先进 CMOS 制程中已经成熟使用的 TiN/HfO₂ 栅叠层。这一 High- κ /金属栅结构可以有效提高栅极对沟道的控制能力^[149]。器件的源极与漏极则使用了 NiSi₂ 硅化物,该硅化物与 Si 的界面和栅极的边缘有良好的自对准性。在源漏的硅化物与 Si 的界面处,通过离子注入分别形成一个重掺 n⁺和 p⁺的 pocket 区域。对于这个 P 型 TFET 器件来说,n⁺掺杂的一侧是源,p⁺掺杂的一侧则是漏。下面将分别就 NiSi₂ 金属硅化物,硅化物中离子注入形成重掺 pocket 区,以及该 TFET 器件的工作原理进行介绍及讨论。

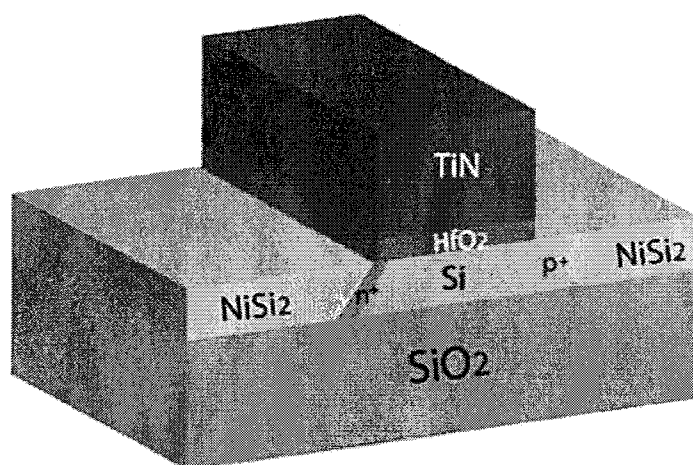


图 3.1 本章中所研究 P-TFET 器件的结构示意图

3.2.1 镍硅化物

金属硅化物 (silicide), 指的是含有硅及其他金属的化合物。它们通常化学性质都很稳定, 绝大部分具有金属性^[182]。金属硅化物由于具有低体电阻率、低接触电阻率、高热稳定性以及很好的工艺兼容性等特点^[183-185], 已经被广泛使用在先进 CMOS 制程中用于实现接触金属化和局部互连。

在过去十年中, 随着先进半导体制程工艺节点步入 100nm 以下, 镍硅化物(NiSi_x)已经逐步取代钛硅化物(TiSi_2)和钴硅化物(CoSi_2), 成为接触应用上常用的材料^[186,187]。这是因为镍硅化物具有一系列独特的优势^[188]。(1) 镍硅化物没有窄线宽效应, 它的薄层电阻没有随线宽减小而增大的效应, 非常适合用于 100nm 线宽以下的器件;(2) 镍硅化物可以在较低的退火温度下形成, 典型形成温度在 $400^\circ\text{C}\sim 700^\circ\text{C}$ 之间, 可以减少对器件已形成结构的影响;(3) 镍硅化物具有相对更低的电阻率;(4) 镍硅化物形成过程中对 Si 的消耗更小, 这一特性对 UTB-SOI 上制备的器件尤其重要。

Ni 与 Si 在不同的退火温度条件下会形成具有不同相的镍硅化物^[189]。在 1000°C 下, 镍硅化物主要有三个稳定相, Ni_2Si , NiSi , 和 NiSi_2 。形成镍硅化物最简单的方法是先在 Si 表面沉积一层 Ni, 再通过快速热退火的方法形成硅化物。随着退火温度的变化, 镍硅化物会形成不同的相。在 250°C 左右, Ni 薄膜与 Si 反应会首先形成 Ni_2Si 。这一生长垂直于 Ni/Si 界面直到 Ni 被完全耗尽。当温度升高到 300°C 左右时, Ni_2Si 与 Si 反应形成 NiSi 。在 450°C 以上时, NiSi 成为主要的镍硅化物相。当退火温度达到 650°C 以上, NiSi_2 开始形成并成为主要的相。因此 Ni_2Si , NiSi , NiSi_2 是随着温度升高按顺序主要形成的镍硅化物的三个相^[190]。

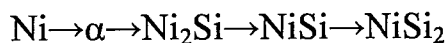
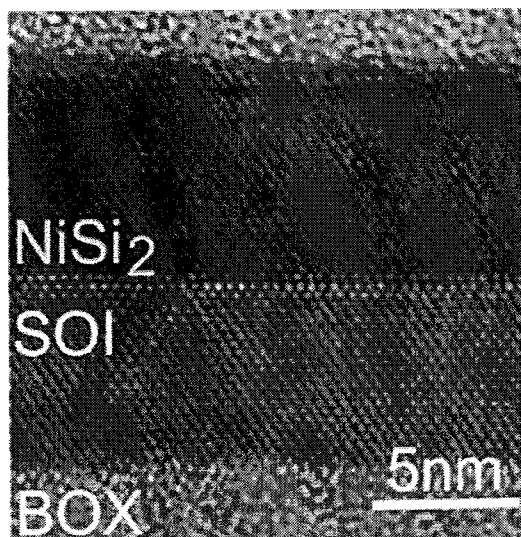


表 3.1 列出了这三个相的主要特性。可以看到 NiSi_2 具有 CaF_2 晶体结构，并且其晶格常数非常接近 Si，与 Si 的晶格失配只有 0.4%，因此可以在 Si 衬底上外延形成单晶的并与 Si 的界面达到原子级平整的 NiSi_2 ，非常适用于器件制备中^[191]。 NiSi_2 的厚度与沉积的 Ni 薄膜的厚度的比例是 3.6 左右。因此，沉积 3nm 厚的 Ni 薄膜会形成 11nm 厚的 NiSi_2 层^[192]。利用非常薄的 Ni 可以在退火过程中直接形成非常平整的连续的单晶 NiSi_2 ^[194]。

表 3.1 镍硅化物三个主要相的物理性质^[193]

Phase	Crystal structure	Lattice constant (Å)			T_f (°C)	ρ ($\mu\Omega\text{cm}$)
		a	b	c		
Ni_2Si	Orthorhombic	5.00	3.73	7.04	200-325	24
NiSi	Orthorhombic	5.18	3.34	5.62	350-600	10.5-15
NiSi_2	Cubic	5.40	5.40	5.40	750-800	34

图 3.2 NiSi_2 与 Si 界面的高分辨 TEM 照片^[194]

3.2.2 硅化物中离子注入

本章所制备的 TFET 器件，依靠源极与沟道之间隧穿结的带间隧穿和肖特基势垒隧穿形成电流。因此，对于源端隧穿势垒宽度调制的研究对源端隧穿结隧穿效率的提高非常重要。文献报道过，一个位于金属/Si 界面的薄的重掺杂层可以通过引入界面偶极子来调节肖特基势垒高度^[195]。杂质分凝 (Dopant segregation) 是一种可以使有

效势垒高度降低至 0.1eV 以下的有效方法^[196]。当杂质在硅化物中的固溶度较低以及缺陷存在于硅化物/Si 界面处时，杂质分凝就会发生，杂质会在硅化物/Si 的界面处产生堆积，形成一层非常薄的重掺杂区。图 3.3 显示了在一个轻掺杂 Si 衬底上 NiSi₂/Si 界面处 n⁺和 p⁺分凝层所引起的强烈能带弯曲^[197]。

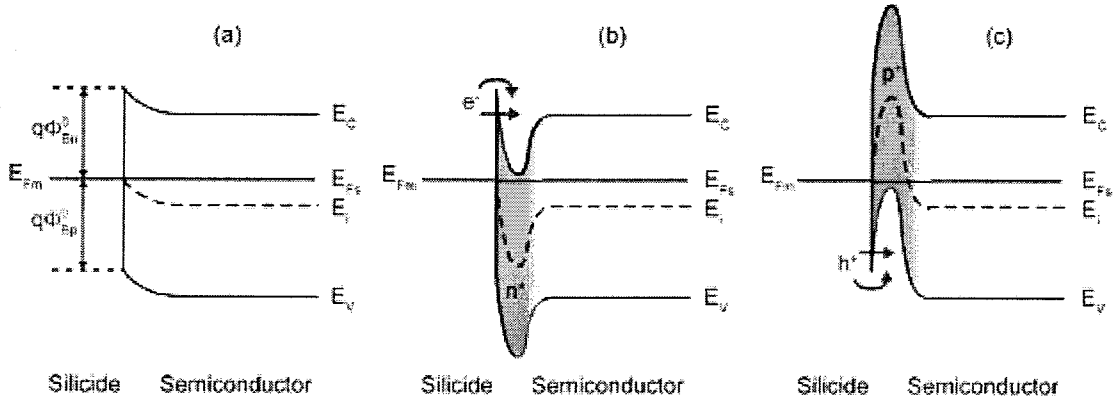


图 3.3 硅化物/Si 界面处杂质分凝引起的能带弯曲示意图^[197]

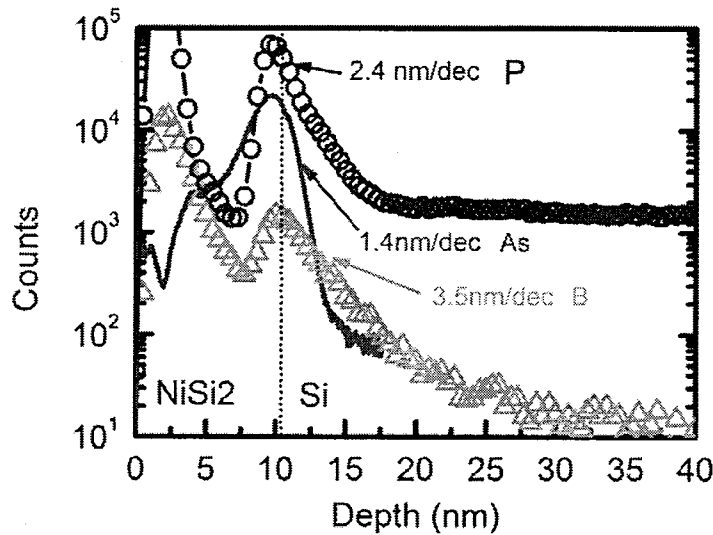


图 3.4 SIMS 分析显示了在硅化物/Si 界面处 As、P 和 B 的杂质浓度梯度很陡峭^[200]

杂质分凝中，金属的扩散会受到注入引入的晶格缺陷的很大影响^[198]。有两种常用的方法都可以实现杂质分凝，一是在重掺杂 Si 衬底上形成金属硅化物，另一种是先形成硅化物，再在其中进行离子注入 (Implantation into silicide, IIS) 和热退火^[199]。TFET 器件需要硅化物和栅极之间具有极佳的对准性，以及对界面处杂质扩散的极佳控制性，因此对杂质扩散长度和界面粗糙度的控制在 TFET 器件中是非常重要的。在没有缺陷的 Si 材料表面先形成硅化物，可以实现一个具有低接触电阻、高热稳定性

和低边缘粗糙度的良好界面。因此，在我们的器件制备流程中，通过先形成 NiSi_2 硅化物，再在其中离子注入和热退火形成界面处重掺杂的 pocket。之前的研究也表明，这个通过硅化物中离子注入技术形成的重掺 pocket 的杂质浓度梯度也非常陡峭^[200]。如图 3.4 所示，As 和 P 的杂质浓度梯度在 $1.5\sim 3\text{nm/dec}$ ，而扩散很快的 B 也在 4nm/dec 左右。这一陡峭的杂质浓度分布可以使源极/沟道之间的隧穿结变得很陡峭，非常有利于提升 TFET 的性能。

3.2.3 器件工作原理

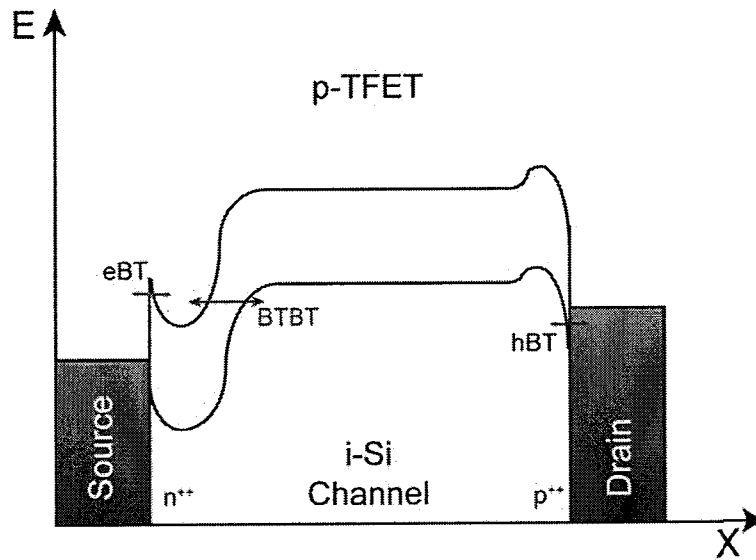


图 3.5 本章所研究的 P-TFET 器件能带示意图

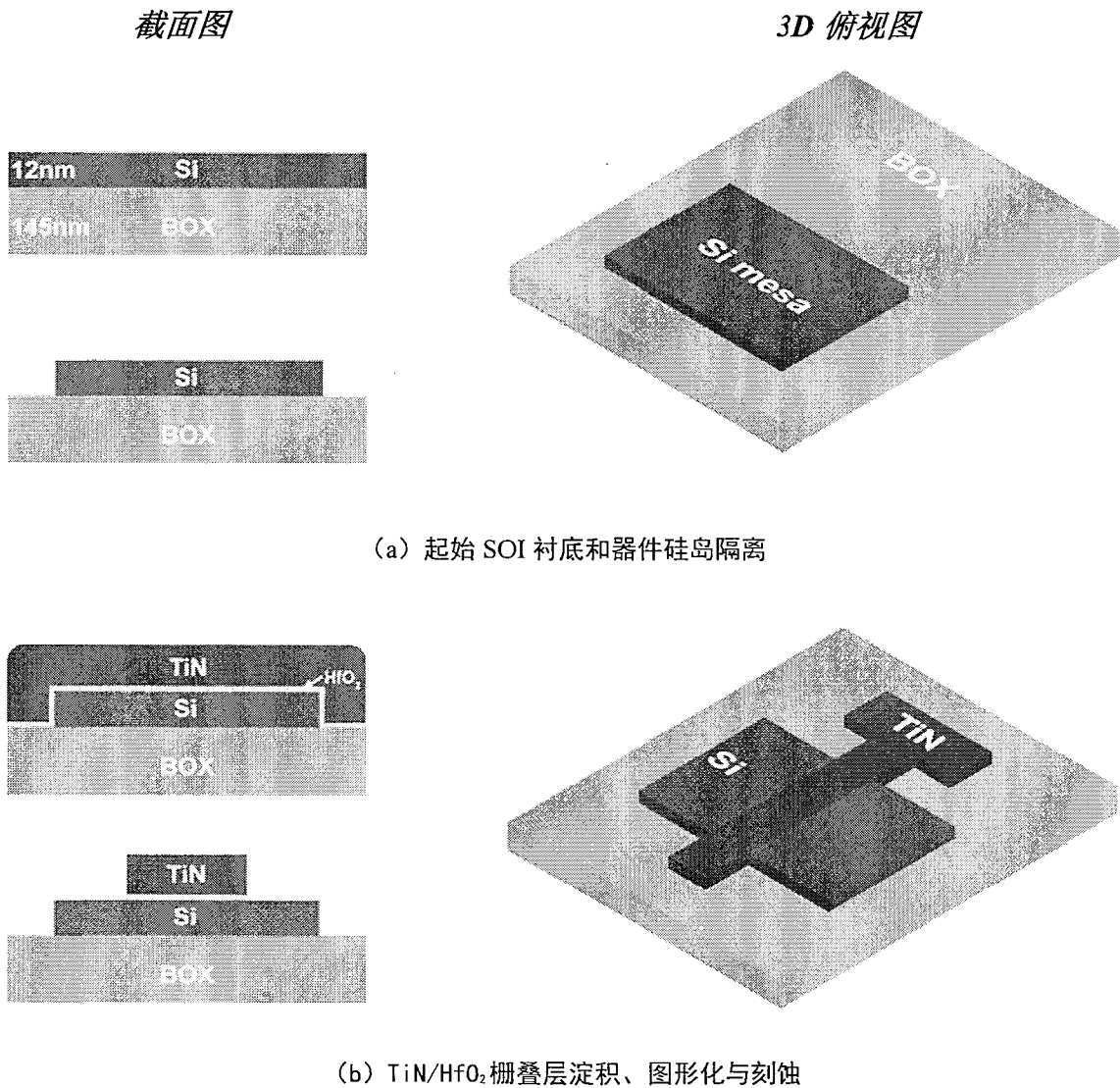
图 3.5 展示了本章中所制备的 P 型 TFET 器件的能带示意图。这个 TFET 在源极/沟道和漏极/沟道的结处具有两个相反掺杂的 pocket 区。电子从硅化物中注入到栅极下方的 n^{++} pocket 中。当在栅极上施加一个负电压后，沟道中的能带会向上移动，而 pocket 区由于是 n 型重掺杂的会被屏蔽所以能带不会移动。这时沟道的价带与 pocket 的导带产生了交叠，于是 BTBT 就在 pocket 与沟道之间发生了。而在漏极/沟道的结处，由于 p^{++} pocket 的存在，形成了一个欧姆接触。在这个反向偏置的 P-I-N 结构中，载流子的移动由两个隧穿过程组成。一是从金属隧穿通过一个很薄的肖特基势垒后注入 pocket 区域 (Electron barrier tunneling, eBT)，二是从 pocket 区域通过 BTBT 进入沟道区域。

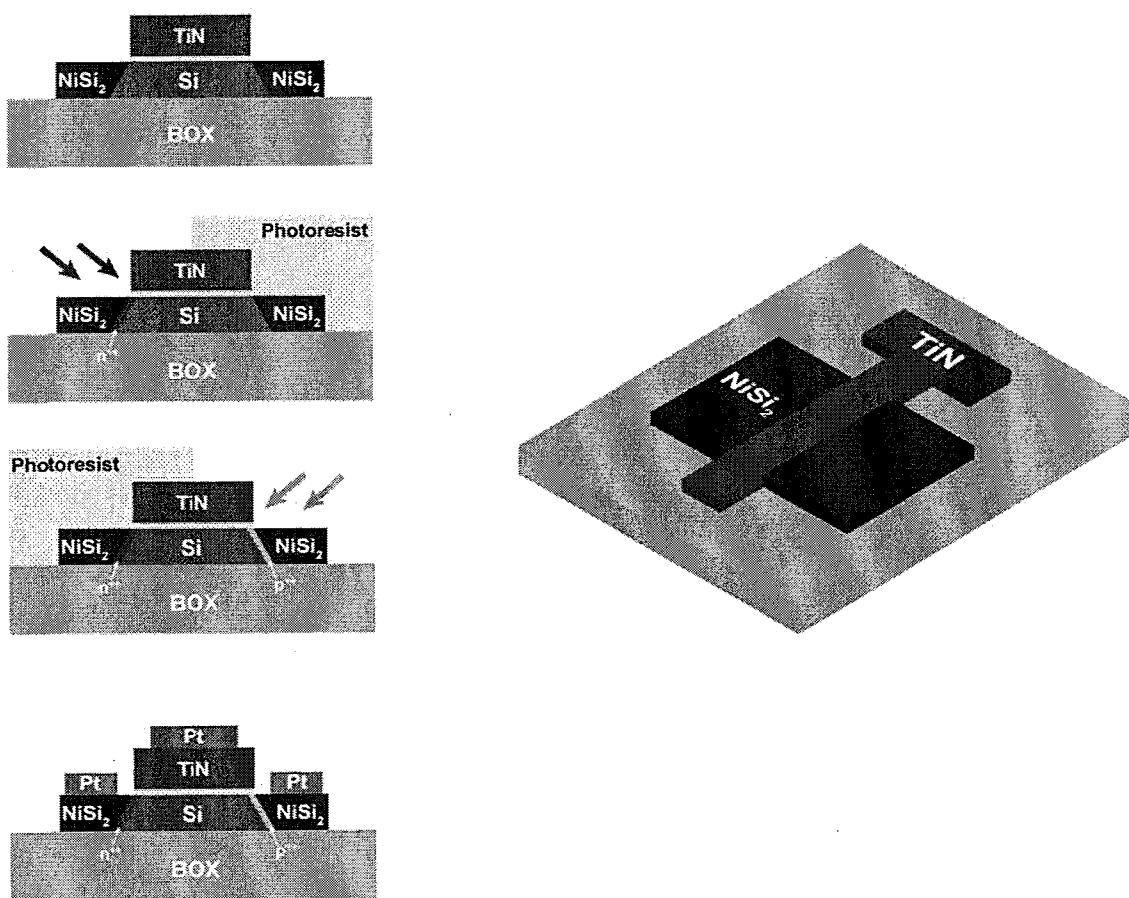
以上已经简要介绍了本章所研究 TFET 器件的结构和工作原理等，本章接下来将对器件的制备过程与电学特性测试分析等进行详细讨论。

3.3 器件制备

该器件的制备在德国于利希研究中心（Forschungszentrum Jülich）的净化间（Helmholtz Nanoelectronic Facility, HNF）完成。器件制备的流程图如图 3.6 所示，简要的流片步骤如下：

- 刻蚀出制作器件的硅岛（Mesa）
- HKMG（High- κ /Metal gate）栅叠层 HfO_2/TiN 的淀积
- 栅极图形化与刻蚀
- 源漏 NiSi_2 的形成
- 源极硅化物中离子注入与激活
- 漏极硅化物中离子注入与激活
- 栅、源和漏的金属接触





(c) NiSi₂ 硅化物形成，源、漏离子注入与激活，接触金属沉积

图 3.6 使用硅化物中离子注入技术制备的 P 型 TFET 器件制备流程示意图

接下来，我们将对关键的工艺步骤进行详细的介绍：

(1) Mesa 刻蚀

制备器件的起始衬底是具有超薄顶层硅的 SOI 衬底 (UTB-SOI)，顶层 Si 厚度 $t_{Si}=12\text{ nm}$ ，埋氧层厚度 $t_{BOX}=145\text{ nm}$ 。衬底是 p 型轻掺杂的，本底掺杂浓度约为 $1\times 10^{16}\text{ cm}^{-3}$ 。在第一章中我们已经介绍过，采用超薄顶层 Si 可以有效减小 λ_{ch} ，提高 TFET 器件的栅控能力。该器件制备采用小样品，初始衬底是 300mm 的 SOI 晶圆，我们首先将晶圆切成 $20\text{ mm}\times 20\text{ mm}$ 的小样品，在对样品进行清洗之后，开始流片。

为了器件之间的相互绝缘，首先要定义出制备器件的 Mesa。因为器件设计尺寸在微米尺度，因此我们可以通过光刻 (Optical lithography) 的方法定义出 Mesa 图形。这里采用 UV6.06 光刻胶，UV6.06 是正胶，即被曝光区域的光刻胶会在显影后被去除。形成图形后，采用反应等离子体刻蚀 (Reactive ion etching, RIE) 方法刻蚀顶层 Si 膜直至 BOX 层。刻蚀气体选用 SF_6/O_2 等离子

体, 该气体对 Si 和 SiO₂ 的刻蚀选择比较高, 可以使刻蚀到埋氧层自动停止。之后采用丙酮加超声波的方法去除光刻胶, 最终 Mesa 结构如图 3.6(a) 所示。Mesa 的宽度即为制备出的器件的沟道宽度, 为 10 μ m。形成的 Mesa 之间相互隔离不存在电通路, 实现了器件间的全介质隔离。

(2) HKMG 淀积

Mesa 形成后, 我们在 Si 表面淀积上 High- κ 栅介质 HfO₂ 和金属栅极 TiN。为了得到高质量、缺陷密度 (D_{it}) 低的氧化物/Si 界面, 在栅介质淀积之前, 需要对样品进行 RCA 清洗。RCA 清洗包括三个主要清洗步骤, 分别是:

(a) Piranha 溶液清洗。Piranha 溶液是 H₂SO₄:H₂O₂ 以 2:1 配比的混合液, 将样品置入 Piranha 溶液中浸泡 10 分钟, 之后放入去离子水中冲洗 10 分钟。Piranha 溶液具有很高的氧化能力, 可将金属氧化后溶于清洗液中, 并能把有机物氧化生成 CO₂ 和 H₂O。Piranha 溶液可以去除硅片表面的重有机沾污和部分金属。在去离子水中冲洗完毕后, 将样品放入 1%浓度的氢氟酸 (HF) 溶液中浸泡 10 秒, 移除 Si 表面在 Piranha 清洗中表面所形成的氧化层, 之后放入去离子水中冲洗 10 分钟。

(b) SC-1 溶液清洗。SC-1 溶液是将 NH₄OH:H₂O₂:H₂O 以 1:4:20 配比混合。将 SC-1 溶液加热至 60 $^{\circ}$ C 后, 将样品放入浸泡 10 分钟, 之后放入去离子水中冲洗 10 分钟。SC-1 溶液是能去除颗粒和有机物质的碱性溶液。之后将样品放入 1%HF 溶液中浸泡 10 秒, 移除 Si 表面在 SC-1 清洗中形成的表面氧化层。

(c) SC-2 溶液清洗。SC-2 溶液是将 HCl:H₂O₂:H₂O 以 1:1:20 配比混合。将 SC-2 溶液加热至 60 $^{\circ}$ C 后, 将样品放入浸泡 10 分钟, 之后放入去离子水中冲洗 10 分钟。这一步骤的主要作用是去除 Si 表面的金属离子。样品的 RCA 清洗在 SC-2 溶液清洗后结束, 并在 Si 表面留下一层大约 1nm 厚的 SiO₂ 保护层。

在 RCA 标准清洗结束后, 我们将样品立刻转移到 ALD/AVD 腔体进行栅介质 HfO₂ 和金属栅 TiN 的淀积。此步骤在于利希研究中心 PGI-9 研究所的净化间 CVD Cluster 系统中进行。该系统如图 3.7 所示, 包括五个腔体: 用于 High- κ 介质淀积的原子层淀积腔 (Atomic Layer Deposition, ALD)、用于金属淀积的原子气相淀积腔 (Atomic Vapor Deposition, AVD)、两个 SiGe 化学气相淀积腔 (Chemical Vapor Deposition, CVD) 和用于载入样品的腔体 (Loadlock)。该 Cluster 系统在工作时, 可以实现样品在不同腔体之间的真空转移, 从而实现 High- κ 介质和金属栅真空中的连续淀积, 提高了金属栅与栅介质之间的界面质量。在该器件制备中, 我们淀积了 5nm 的 HfO₂ 和 60nm 的 TiN。

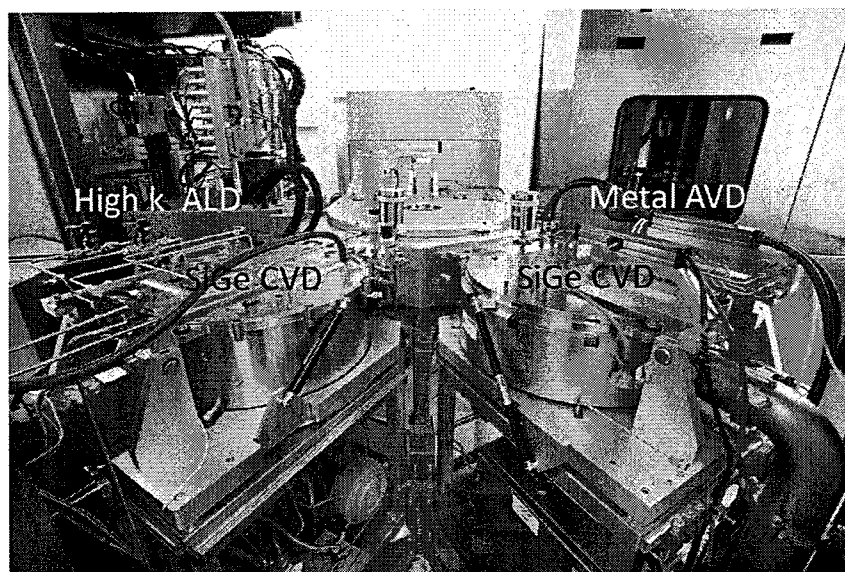


图 3.7 PGI-9 研究所的 CVD Cluster 系统，包括 High- κ ALD 和 Metal AVD 腔体

(3) 栅极图形化与刻蚀

HKMG 淀积完成后，我们采用等离子体增强化学气相淀积 (Plasma-Enhanced Chemical Vapor Deposition, PECVD) 方法淀积一层 20nm 厚的 SiO_2 ，作为之后栅结构刻蚀中保护栅极的硬掩膜 (Hard Mask)。采用 UV6.06 光刻胶，进行光刻后，定义出栅结构。沟道长度由这一步骤决定，我们设计了 3 μm ，5 μm ，9 μm 和 11 μm 等不同的长度。

之后使用 RIE 方法刻蚀 SiO_2 层和 TiN 层。 SiO_2 的刻蚀采用 CHF_3 气体，TiN 的刻蚀采用 SF_6/Ar 气体。由于 TiN 采用 AVD 淀积，会在 Mesa 的侧壁也淀积上 TiN。这些侧壁的 TiN 在 RIE 干法刻蚀中不能被完全去除，因此需要一步湿法刻蚀步骤来去除这些多余的 TiN。刻蚀溶液为改变的 SC1 溶液，将样品放入室温下的刻蚀液，可以将侧壁的 TiN 完全去除掉。TiN 刻蚀后，首先采用丙酮和氧等离子体的方法将光刻胶去除。之后，将样品浸泡在 1%HF 溶液中，以去除源漏的 HfO_2 层以及栅极上的 SiO_2 钝化层。如图 3.6 (b) 所示。

(4) 源漏硅化物 NiSi_2 的形成

栅结构形成后，我们要在源极和漏极形成硅化物 NiSi_2 。3nm 厚的 Ni 通过溅射的方法淀积在 Si 表面。在溅射之前，将样品在 1%HF 溶液中浸泡 10 秒，以去除 Si 表面的自然氧化层。之后，使用快速热退火的方法，形成硅化物 NiSi_2 。退火条件是在 N_2/H_2 混合气 (Forming gas) 中，700 $^\circ\text{C}$ 下快速退火 30 秒。在 Si 表面的 Ni 就会与 Si 反应生成 NiSi_2 ，3nm 厚的 Ni 可以形成 11nm 左右的 NiSi_2 。

而在 BOX 及栅金属 TiN 上的 Ni 则不会在退火中发生反应, 这些 Ni 需要通过湿法方式去除掉。使用稀释的硫酸溶液, H_2SO_4 : H_2O 以 4:1 配比, 将样品放入其中浸泡 5 分钟, 以去除未反应的金属 Ni。

(5) 源漏离子注入与激活

源漏硅化物形成后, 对样品进行离子注入, 形成源极和漏极重掺杂 pocket。由于源漏采用相反的掺杂, 需要在相应注入时, 使用光刻胶对另外一侧进行覆盖保护。我们首先对源极进行离子注入以形成 n^{++} 掺杂的 pocket, 使用 UV6.06 光刻胶, 利用光刻方法定义出覆盖漏极的图形。以 45° 倾角注入 P 离子, 注入能量为 3keV, 剂量为 $2 \times 10^{15} \text{cm}^{-2}$ 。去除光刻胶之后, 在 Forming gas 中, 600°C 下快速退火 10 秒, 以激活 P 离子。

漏极的 p^{++} pocket 离子注入采用相似的方法。在光刻胶覆盖源极后, 以 135° 倾角注入 B 离子, 注入能量为 1.5keV, 剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 。去除光刻胶后, 在 Forming gas 中, 500°C 下退火 10s, 以激活 B 离子。如图 3.6 (c) 所示。

(6) 金属接触

最后, 我们在栅极、源极和漏极分别做上金属接触, 以便于接下来的电学测试。采用 AZ nLOF 2020 光刻胶, 定义出金属 pad 图形, 用于接下来的金属化工艺。AZ nLOF 2020 光刻胶是负胶, 即未被曝光区域的光刻胶会在显影后被去除。该光刻胶显影后, 留下的光刻胶会形成倒角, 有利于之后的金属 Lift-off 工艺。

在淀积金属前, 首先将样品在 1%HF 溶液浸泡 10 秒, 移除开口处的自然氧化层, 然后采用电子束蒸发 (E-beam evaporation) 的方法淀积一层 5nm 的 Cr 和 150nm 的 Pt, 用作金属接触。其中, 淀积一层 Cr 是为了增加 Pt 和 NiSi_2 之间的粘附力。之后将样品放入丙酮中, 进行 Lift-off 工艺, 完成金属接触的图形化。

最后制备出的 TFET 器件结构的扫描电子显微镜 (SEM) 照片如图 3.8 (a) 所示, 图 3.8 (b) 则展示了器件沟道截面的透射电镜 (TEM) 照片。从图中可以清晰地看到, 源极 NiSi_2 与 Si 沟道之间的界面与栅极之间有非常好的对准性。High- κ 栅介质 HfO_2 与 Si 沟道之间的界面也非常平整, 同时在它们之间存在一层 SiO_2 界面层 (Interfacial Layer, IL), 厚度约为 1nm。

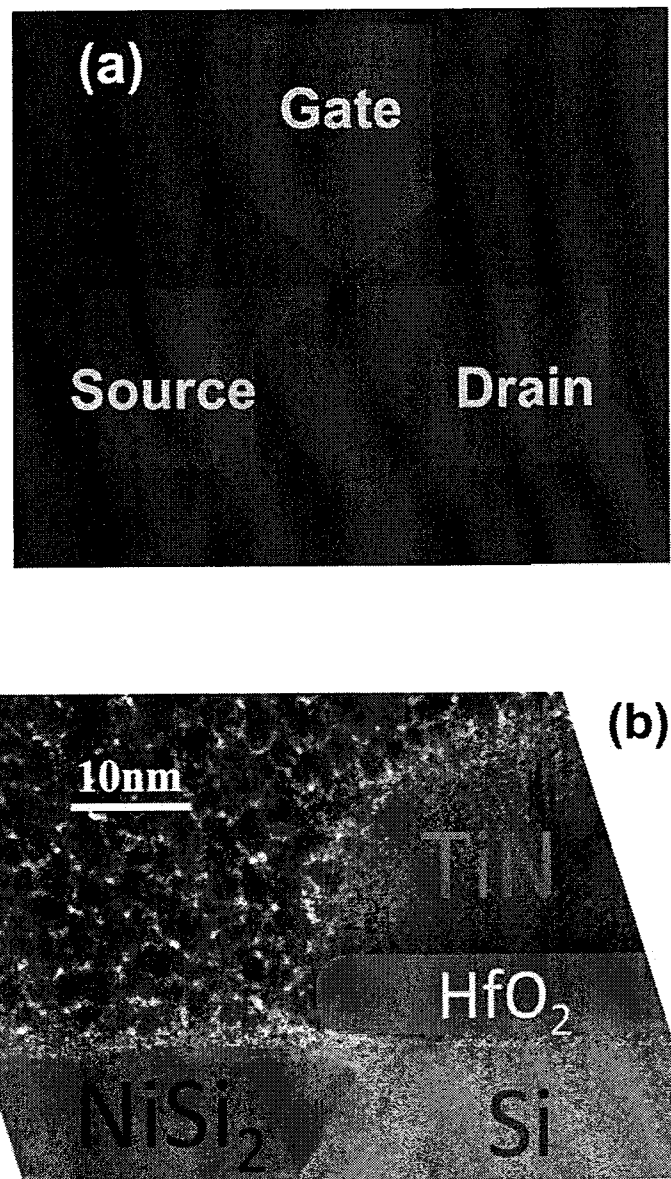


图 3.8 制备完成的 P-TFET 器件的 (a) SEM 照片; (b) 截面 TEM 照片

3.4 器件电学特性表征与分析

3.4.1 电流-电压特性

器件制备完成后，我们首先对器件在室温下的电流-电压特性进行了测量。测量仪器为 Keithley 公司的 4200 系列测试分析仪。

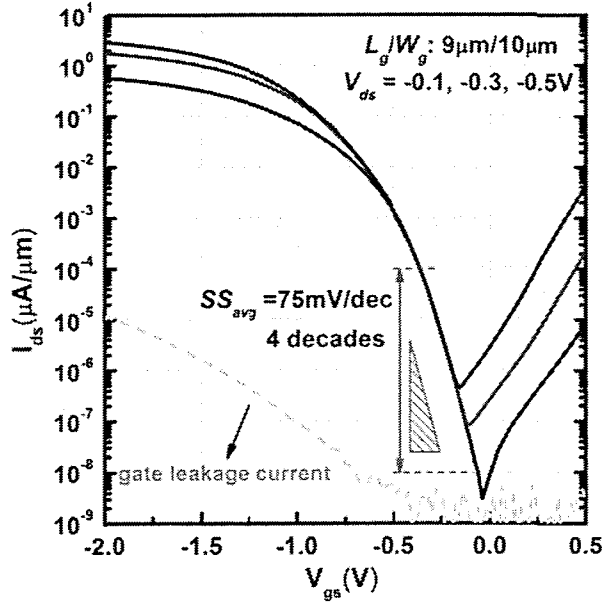


图 3.9 沟道长度为 $9\mu\text{m}$ 的 P 型 TFET 器件在室温下测得的转移特性曲线

图 3.9 展示了该 P 型 TFET 器件的转移特性曲线 (Transfer curves)。器件展现了良好的开关特性，开关比在 $V_{ds}=-0.5\text{V}$ 时可以达到 10^7 。器件的开态电流在 $V_{dd}=|V_{ds}|=V_{OV}=|V_{gs}-V_{th}|=1\text{V}$ 时达到了 $2\mu\text{A}/\mu\text{m}$ 。这里 V_{th} 代表阈值电压，我们将它设定为在 $I_{ds}=1\text{nA}/\mu\text{m}$ 时的栅极电压。这个开态电流相比之前报道的采用普通 Si 中离子注入技术制备的 TFET 器件的开态电流大了两个数量级左右^[179]，显示了硅化物中离子注入技术可以有效提高 TFET 器件的电流。

该器件依旧显示了强烈的双极导通效应，这是因为该器件在漏极也是重掺杂的，因此在正栅偏压下也会引起漏极/沟道之间的隧穿结导通产生电流。双极导通现象使器件在更大的 V_{ds} 偏压下的电流开关比会变小。

TFET 器件的亚阈值摆幅 (SS) 特性是它最重要的指标之一。从转移特性曲线中，我们可以提取出该器件的平均亚阈值摆幅 (SS_{avg}) 在源漏电流 I_{ds} 为 $1\times 10^{-8}\sim 1\times 10^{-4}\mu\text{A}/\mu\text{m}$ 的四个数量级电流区间内为 $75\text{mV}/\text{dec}$ 。图 3.10 展示了 SS 随着 I_{ds} 变化的曲线。可以看到最小亚阈值摆幅 (SS_{min}) 在 I_{ds} 很小时可以达到 $60\text{mV}/\text{dec}$ 以下。器件测得的栅极电流 I_g 也被标在转移特性曲线中，如图 3.9 所示。可以看到 I_g 远小于 I_{ds} ，因此可以说测得的较小的 SS_{min} 并不是由栅极泄漏电流所导致的。这一 SS_{avg} 和 SS_{min} 数值小于之前报道的采用 Si 中离子注入技术制备的平面 TFET 器件，这应该归功于在该器件中使用硅化物中离子注入技术对隧穿结的优化。但是，由于器件中缺陷所导致的缺陷辅助隧穿 (TAT) 的存在，导致该 TFET 器件的 SS 在室温下依然大于 $60\text{mV}/\text{dec}$ 。

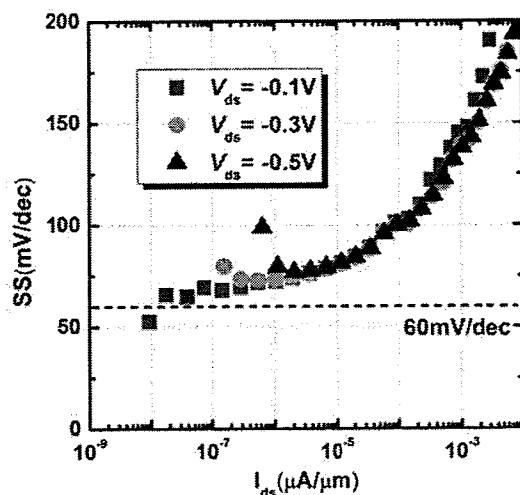
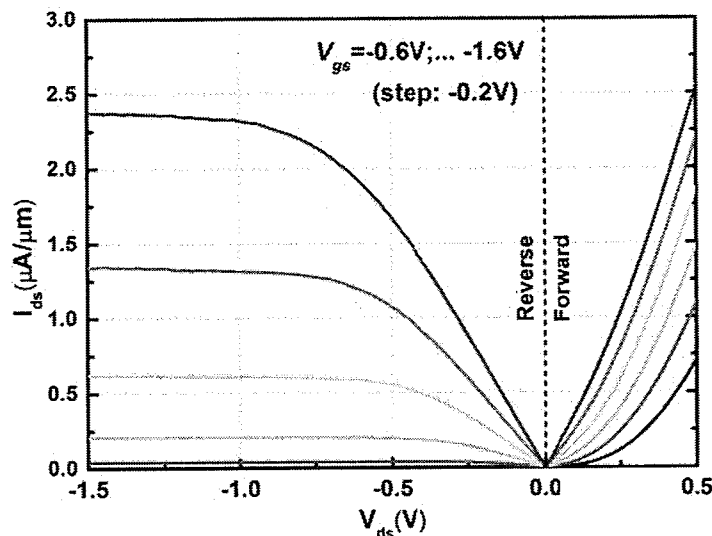
图 3.10 TFET 器件的亚阈值摆幅 SS 随 I_{ds} 变化曲线

图 3.11 该 P-TFET 器件的输出特性曲线

图 3.11 则展示了该 TFET 器件的输出特性曲线 (Output curves)。曲线显示了这个器件具有很好的源漏电流饱和性,同时展现了 I_{ds} 是随着 V_{ds} 的变化线性开启的特性。这一特性说明器件的源极 pocket 的掺杂浓度足够高达到了简并掺杂^[201],使 TFET 器件常见的非线性 (Superlinear onset) 开启现象得到了抑制。而当这个 P-I-N 结构在正向偏置的情况下,测量结果显示电流展现了指数开启的特性,这与预期是相符的。

3.4.2 沟道长度的影响

不同沟道长度的 TFET 器件的电流 I_{ds} 随沟道长度 L_g 的变化趋势如图 3.12 所示。

图片展示了开态电流 I_{on} 在 $V_{ds}=-0.5V$ 以及不同 V_{OV} 偏压下的值，可以看到 I_{on} 与沟道长度 L_g 并没有明显相关性。这一结果进一步证实了我们所制备的 TFET 器件中的主要电流产生机理是 BTBT。因为在 TFET 器件中，隧穿结电阻比沟道电阻要大很多，因此沟道长度的变化对 TFET 器件的开态电流影响并不大。而在传统 MOSFET 器件中，电流对沟道长度有很大依赖性，在长沟道情况下正比于 $1/L_g$ ^[6]。

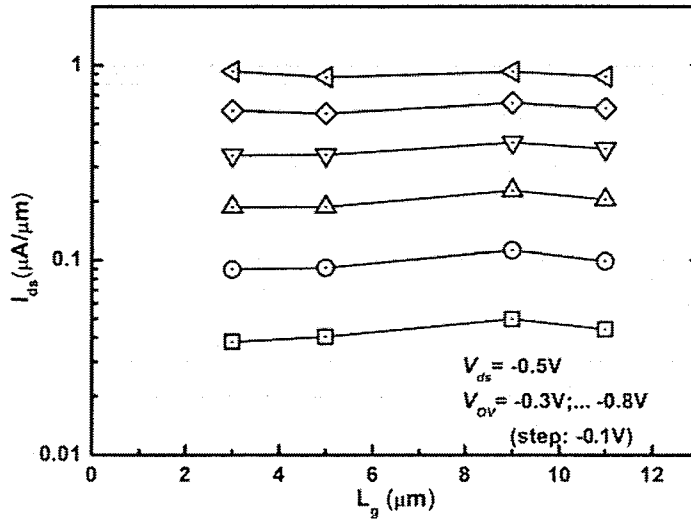


图 3.12 不同沟道长度的 TFET 器件的源漏电流 I_{ds} 对比

3.4.3 低温电流特性分析

为了进一步研究 TFET 器件的载流子输运机理，我们对器件进行了低温电学测量。测试使用低温探针台，利用液氮降低温度，在我们的实验中测试温度范围为 80K~360K。测量仪器为安捷伦公司的 5270B 测试分析仪。

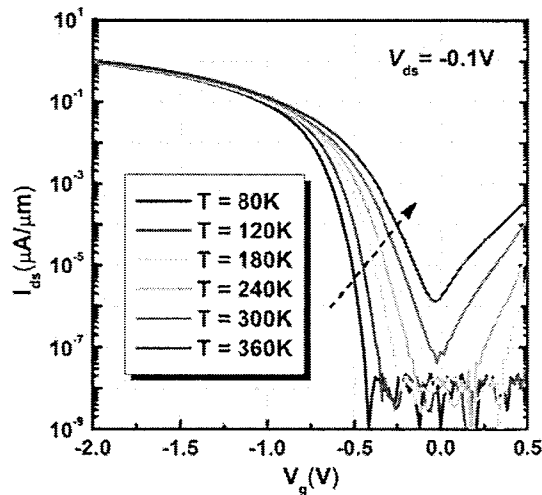


图 3.13 器件在不同温度下测得的转移特性曲线

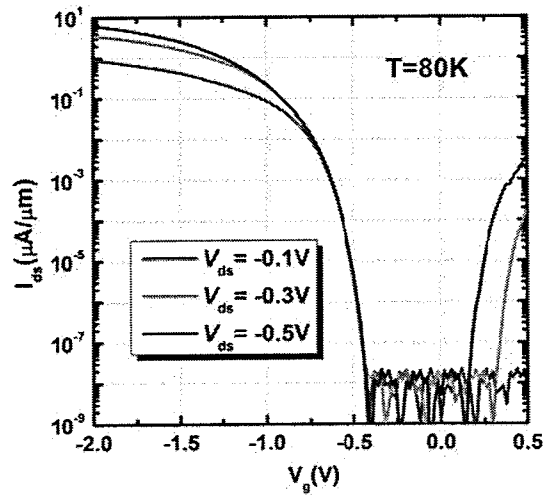


图 3.14 器件在 80K 温度下测得的转移特性曲线

图 3.13 展示了 TFET 器件在不同温度下测得的转移特性曲线的对比，测量的温度范围为 80K~360K， V_{ds} 偏压为 -0.1V。可以看到该器件的开态电流在不同温度下几乎没有变化，而亚阈值摆幅 SS 随着温度的降低减小了。图 3.14 则展示了该器件在 80K 温度时不同 V_{ds} 偏压下的转移特性曲线。从图中我们可以看出该 TFET 器件展现了明显的双极导通效应。由于低温下 TAT 等寄生效应的消除，在 N 型导通电流与 P 型导通电流区域中间呈现了一个完全关断的区域 ΔV_g 。图中在 $V_{ds} = -0.5V$ 时， $\Delta V_g \approx 0.6V$ ，这与公式 (1.18) 所介绍的理论计算结果是相一致的，即 $E_g \approx \Delta V_g + |V_{ds}|$ 。

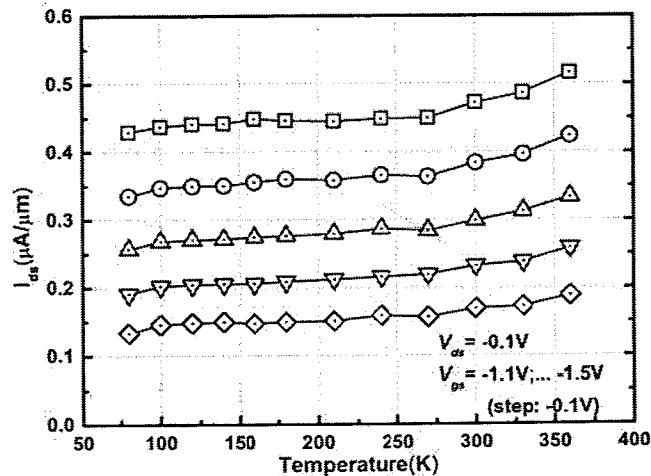


图 3.15 开态电流随温度的变化趋势

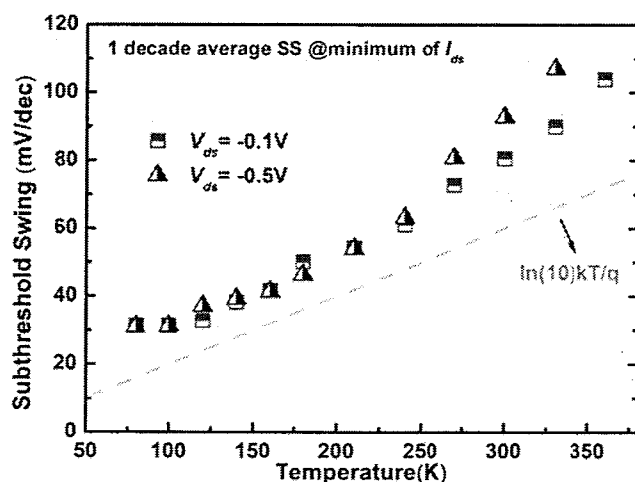


图 3.16 亚阈值摆幅 SS 随温度的变化趋势

为了更好地了解 I_{on} 和 SS 在不同温度下的变化趋势，我们分别作出它们对应温度的曲线。图 3.15 展示了器件的源漏电流 I_{ds} 在不同 V_g 偏压下随温度的变化关系。可以看到电流在不同温度下变化并不大，其随着温度的降低有轻微的减小。这是因为 TFET 器件的电流主要是由 BTBT 所决定的，而带间隧穿效率 T_{WKB} 的温度依赖性是很小的，它只由材料参数，即有效质量 m^* 和禁带宽度 E_g 所决定。 E_g 随着温度的降低会略微增大^[202]，因此导致了器件的电流会有所减小。这与传统的 MOSFET 器件有很大不同，MOSFET 器件由于载流子迁移率随着温度降低而增大，因此它的开态电流也会随着温度的降低而显著增大^[203]。我们的测试结果也进一步验证了该 TFET 器件中的电流主要是由 BTBT 所形成的。

图 3.16 则展示了器件的亚阈值摆幅 SS 随温度的变化关系。为了不同温度间相比较的公平性，我们提取了 I_{ds} 在 $1 \times 10^{-7} \sim 1 \times 10^{-6} \mu A/\mu m$ 区间内的一个数量级电流变化平均 SS。对于测量温度为 330K 和 360K 的两条曲线，由于双极导通效应的影响，器件的最低电流 I_{off} 已经高于 $1 \times 10^{-6} \mu A/\mu m$ ，因此对于这两条曲线，我们提取了从 I_{off} 开始一个数量级电流区间内的平均 SS 值。从图 3.16 中可以看出，在 $T > 200K$ 时，SS 显示了强烈的温度依赖性，随着温度的升高而增大，这是因为 TAT 在这时起了主导作用。在第一章中我们已经介绍过，在 TAT 过程中存在载流子的热激发过程^[78]，因此 SS 会随着温度的变化而变化。TFET 在较高温度的 SS 随温度的变化趋势与 MOSFET 器件中的趋势是相似的，由载流子热激发产生的电流的 SS 变化正比于温度。而在 $T < 120K$ 时，器件的 SS 几乎不变，表明在低温时缺陷 (Traps) 全部被“冻住”了，器件的 SS 单纯由 BTBT 所决定，大小在 30mV/dec 左右。由于我们测量仪器的

精度限制，在更小电流下所能得到的更小 SS 并不能够被测量到。

3.4.4 缺陷辅助隧穿

为了进一步分析缺陷辅助隧穿及其对 TFET 器件载流子运输的影响，我们利用 Arrhenius 关系式提取出了缺陷的激活能 (Activation Energy, E_a)。源漏电流 I_{ds} 与 E_a 的关系由下式给出^[204]：

$$I_{ds} \propto \exp\left(-\frac{E_a}{k_B T}\right) \quad (3.1)$$

这里 k_B 是玻尔兹曼常数， T 是温度。将该式作一变换，可以得到：

$$\ln(I_{ds}) \propto -\frac{E_a}{k_B T} \quad (3.2)$$

因此，可以将 $\ln(I_{ds})$ 和 $1/k_B T$ 作线性拟合，得到的斜率即为 E_a 的数值。

从图 3.17 中，我们可以看到在较大的 $|V_g|$ 偏压下，器件展现了线性的 Arrhenius 依赖关系。而在较小的 $|V_g|$ 偏压下 ($|V_g| < 0.3V$)，曲线只在较高温度下展现线性依赖关系。在较低温度下，由于测试仪器的精度限制，并不能测到更小的电流。因此，我们在温度为 240K~360K 的区间内对曲线进行线性拟合，拟合得到的斜率即为 E_a 的数值。

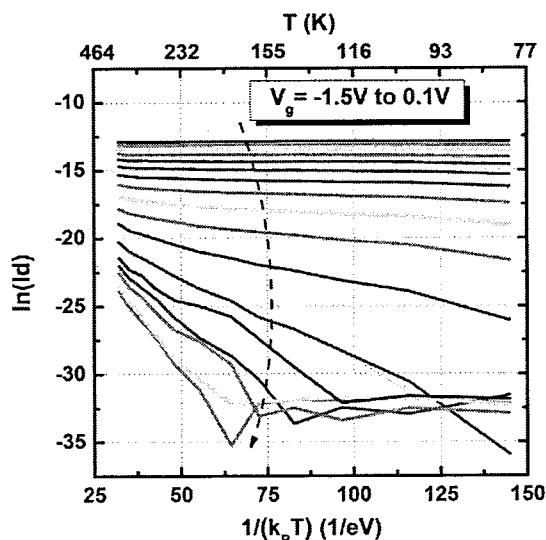


图 3.17 该器件电流对温度的 Arrhenius 关系图

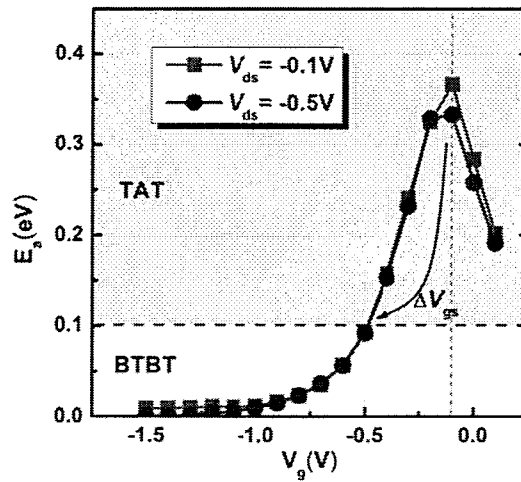
图 3.18 提取出的激活能 E_a 随 V_g 变化的关系图

图 3.18 展示了从 Arrhenius 关系图中提取出的 E_a 随着不同 V_g 偏压而变化的关系图。从图中可以看到在 $V_{ds}=-0.1V$ 和 $V_{ds}=-0.5V$ 时, E_a 的分布几乎是一样的。之前我们已经讨论过, TFET 器件中的电流主要由带间隧穿 (BTBT), 缺陷辅助隧穿 (TAT) 和 Shockley-Read-Hall 复合 (SRH) 三部分组成^[83]。 E_a 的大小可以反映 BTBT、TAT 和 SRH 对总电流的贡献。当 $E_a < 0.1eV$ 时, 可以认为电流是由 BTBT 所主导的^[78]。而当 $E_a > E_g/2$ 时, 认为电流主要是由 SRH 贡献的。这里对于 Si 来说, 禁带宽度的一半大约是 $0.56eV$ 。从图中我们可以看到, E_a 的峰值出现在 $V_g=-0.1V$ 时, 大小约为 $0.37eV$ 。这一数值小于 $E_g/2$, 表明在这个器件中, SRH 对于电流的贡献是很小的, 这也解释了为何该 TFET 器件展现了很小的关态电流 I_{off} 。而在 $0.1eV < E_a < E_g/2$ 区间内, 可以认为电流是由 TAT 过程所主导的。从图中还可以看出, E_a 从 TAT 主导区域至 BTBT 主导区域的转变是非常迅速的, 这一变化的窗口 ΔV_g 只有 $0.4V$ 。这表明在该器件中 TAT 在亚阈值区域对器件的影响相对来说是较小的, 这应该归功于使用硅化物中离子注入工艺所引入的缺陷更少了。此外, 从图中还可以看出当 $V_g > -0.1V$ 后, E_a 随着 V_g 的增大反而减小了。这是由于该器件的双极导通效应所引起的, 随着双极导通 N 型电流的增强, 电流重新趋向于由 BTBT 过程所主导。

3.5 器件电容-电压特性分析

上面我们已经详细分析了该 P 型 TFET 器件的电流特性。在第一章中我们已经介绍过, 一个器件的开关速度除了与它的电流大小有关外, 还取决于它的电容特性。目

前, 已经有大量研究对 TFET 器件的电流特性做了详细的分析, 但是对于 TFET 器件电容特性的研究报道还很少。只有少量论文对 TFET 器件的电容特性做了 TCAD 仿真研究^[205-208], 而对 TFET 器件电容-电压特性的实验结果的报道几乎没有。在本节中, 我们对制备出的 P 型 TFET 器件的电容-电压 (C-V) 特性进行了系统地测试与分析, 并与 TCAD 仿真结果与 AC 模型结果作了对比分析。

此外, 我们也测量了一个 P 型 MOSFET 器件的 C-V 特性, 用于与 P-TFET 器件进行对比分析。该 MOSFET 器件的结构示意图如图 3.19 所示, 源极和漏极也采用的是硅化物 NiSi_2 。其制备流程与章节 3.3 中所介绍的 TFET 器件制备流程基本相似。区别只是在源极与漏极的 pocket 区域的离子注入采用的都是 B 离子注入, 因此源漏的 pocket 都是 p 型重掺杂的, 器件表现出典型的 P-MOSFET 器件特性。图 3.20 展示了该 P-MOSFET 器件在室温下测得的转移特性曲线。

接下来, 我们将分别讨论 TFET 器件的栅电容 C_{gg} , 栅漏电容 C_{gd} 和栅源电容 C_{gs} 的特性, 并将它们与 MOSFET 器件的 C-V 特性进行对比分析。

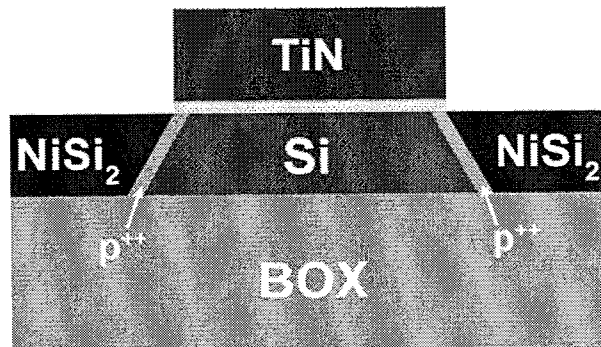


图 3.19 作为对比分析的 P-MOSFET 器件结构示意图

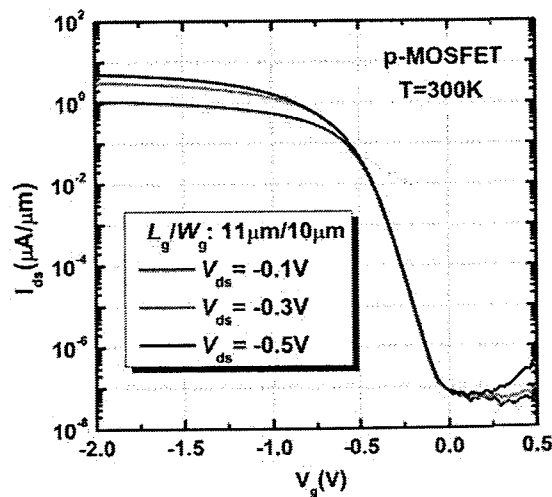


图 3.20 室温下测得的 P-MOSFET 器件的转移特性曲线

3.5.1 栅电容特性分析

在我们的 C-V 测试中，使用的是安捷伦公司的 4980 系列 LCR 分析仪。该测试仪器分别有一个“Low”端口和“High”端口。测试时，在“High”端口施加一个准静态电压偏置，在“Low”端口施加一个幅度很小的交流信号，此时电容反应的就是端口两端电流对交流信号的响应。

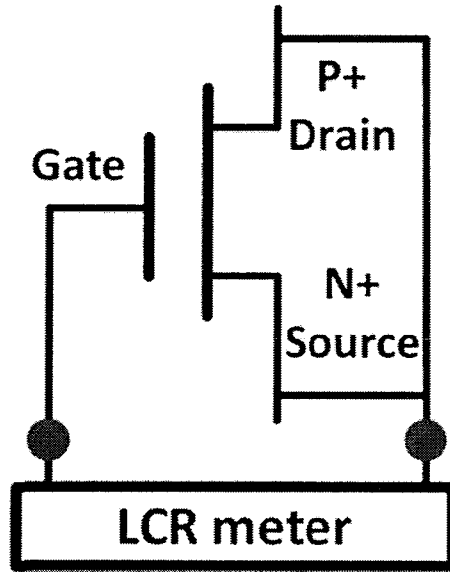
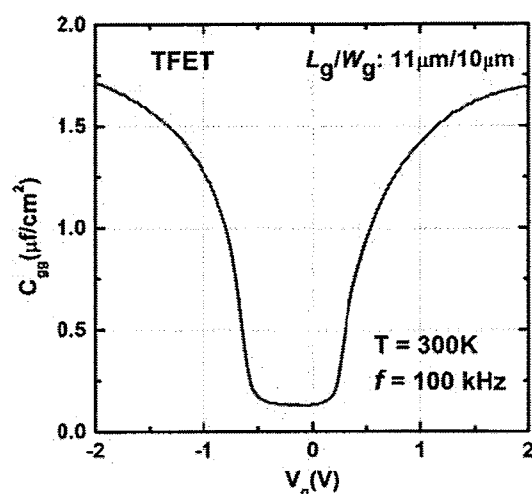
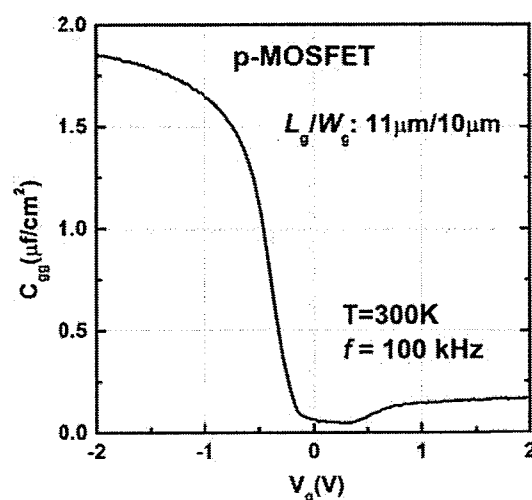


图 3.21 栅电容 C_{gg} 的测试连接示意图

图 3.21 展示了栅电容 C_{gg} 的测试连接设置示意图。栅极连接在 LCR 分析仪的“High”端，源极和漏极短接在一起连接在 LCR 分析仪的“Low”端。为了能精确的测量器件的内部电容（Intrinsic capacitance），我们选用了长沟道的 TFET 器件来进行测量，沟道长度为 $L_g=11\mu\text{m}$ 。在测试之前，需要先对测试仪器进行校准，分别进行了导线校准、短路校准和开路校准。

图 3.22 展示了室温下测得的 TFET 器件的 $C_{gg}-V_g$ 特性曲线，测试频率为 100kHz。从曲线中可以看出，TFET 器件在正栅偏压和负栅偏压下展示了对称的 C-V 响应。这是由于 TFET 的 P^+-I-N^+ 结构所引起的。在这个 TFET 器件中，源极是 n^+ 掺杂的，漏极是 p^+ 掺杂的，它们可以分别作为沟道中电子和空穴的无限供应源。即在正栅偏压下，器件的沟道反型为电子沟道，这时 N 型沟道与源极 n^+ 掺杂的 pocket 是相连的，它可以为沟道注入无穷多的电子，表现在 C-V 曲线中即为总电容会随着 V_g 增大而增大；而在负栅偏压下，沟道反型为空穴沟道，P 型沟道与漏极 p^+ 掺杂的 pocket 相连，无穷多的空穴可以注入到沟道中，因此在大的 $|V_g|$ 偏压下总电容也会增大。TFET 的这一对称 $C_{gg}-V_g$ 特性与 MOSFET 的有很大不同。在 P-MOSFET 中，由于源极和漏极都是 p^+ 掺杂的，因此 C_{gg} 只会在负栅偏压下才有响应，如图 3.23 所示。

图 3.22 室温下测得的 P-TFET 器件的 C_{gg} - V_g 特性曲线图 3.23 室温下测得的 P-MOSFET 器件的 C_{gg} - V_g 特性曲线

从图3.22中我们还可以提取出该 TFET 器件栅结构的氧化层电容等效厚度(CET)。TFET 器件的栅结构同样为金属-氧化物-硅 (MOS) 结构, 它的总电容 C_{total} 可以简化为氧化物电容 C_{ox} 和半导体电容 C_s 的串联^[8]。在较大 $|V_g|$ 偏压下, 即沟道强反型情况下, $C_{total} \approx C_{ox}$ 。因此从曲线中我们可以提取出 CET 约为 2.02nm。该器件中所淀积的 HfO_2 的介电常数约为 20 左右, 5nm 厚度的 HfO_2 的等效 SiO_2 厚度约为 1nm, 再加上 High- κ 介质与 Si 之间的界面层 SiO_2 厚度约为 1nm, 这与我们测试得到的 CET 数值是相符的。

3.5.2 栅源电容与栅漏电容特性分析

为了进一步研究 TFET 器件中电容的分布, 我们又分别对器件的栅源电容 (C_{gs}) 和栅漏电容 (C_{gd}) 进行了测量。图 3.24 展示了 C_{gd} 和 C_{gs} 的测试设置示意图。如图所示, 在 C_{gd} 测量中, 该 TFET 器件的漏极和栅极分别连接在 LCR 分析仪的“High”和“Low”端口, 源极则连接在 LCR 分析仪上的直流偏置端口 (DC bias) 上。这样, 我们就还可以测量 C_{gd} 在不同 V_{ds} 偏压下的电容响应特性。对 C_{gs} 的测量与 C_{gd} 是相似的, 只要将源极和漏极的连接交换一下就可以了, 即源极连接在“High”端口, 而漏极连接在“DC bias”端口上。

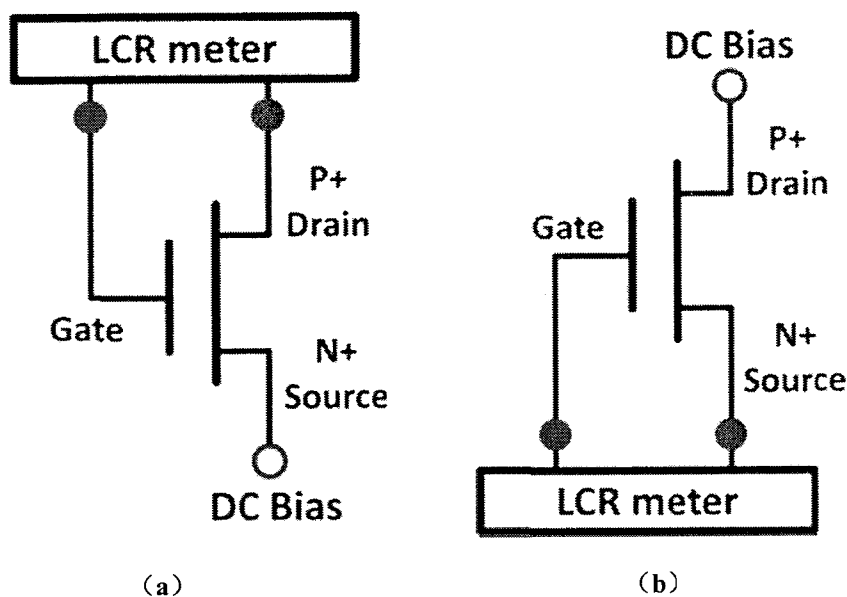


图 3.24 (a) 栅漏电容 C_{gd} 和 (b) 栅源电容 C_{gs} 的测试设置示意图

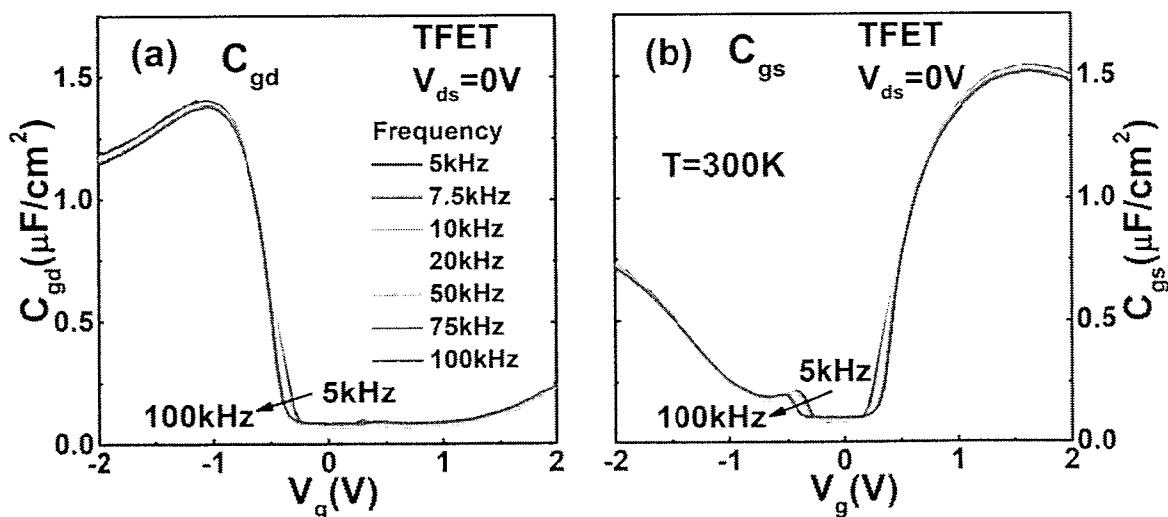


图 3.25 室温下测得的 TFET 器件的 (a) C_{gd} - V_g 和 (b) C_{gs} - V_g 特性曲线

实验测得的该 TFET 器件在 $V_{ds}=0V$ 偏置条件下的 C_{gd} 和 C_{gs} 特性曲线如图 3.25 所示。在负栅偏压下， C_{gd} 占总电容主导地位，而在正栅偏压下， C_{gs} 则占主导。这里我们需要指出的是，由于该 P 型 TFET 器件具有强烈的双极导通特性，因此它也可以被偏置在 N 型 TFET 工作状态下，即 p^+ 区域作为源极而 n^+ 区域作为漏极。因此，图 3.25 (b) 中测得的该 P-TFET 器件的 C_{gs} ，相当于将该器件偏置在 N-TFET 模式下的 C_{gd} 。在这里，因为该器件是被优化设计为 P 型 TFET 器件的，所以我们将着重于分析器件在负栅偏压下的电容响应。

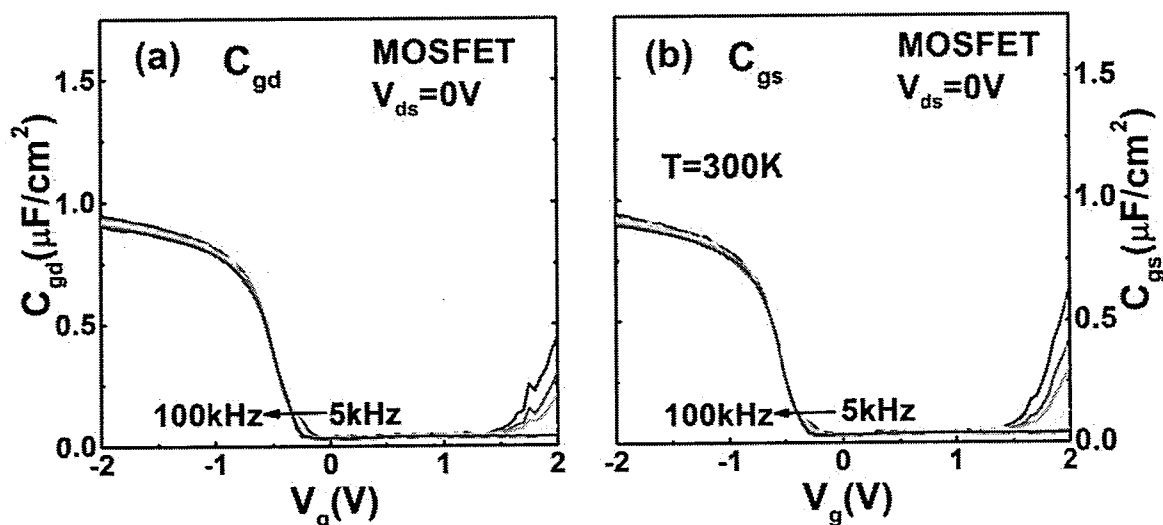


图 3.26 室温下测得的 MOSFET 器件的 (a) C_{gd} - V_g 和 (b) C_{gs} - V_g 特性曲线

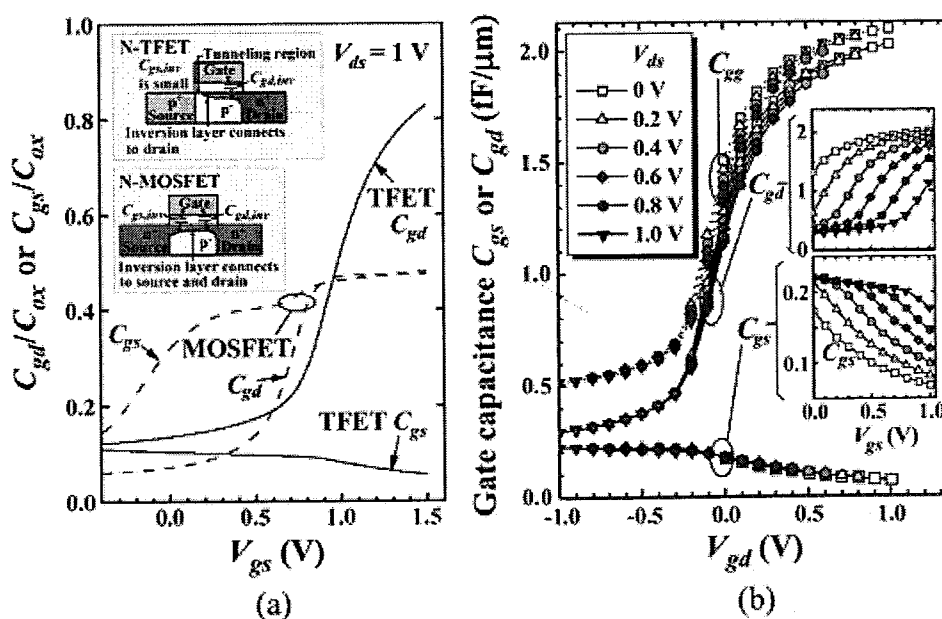


图 3.27 文献报道的 N 型 TFET 器件的电容分布的 TCAD 仿真结果^[206]

从图 3.25 (a) 和 (b) 的左半边曲线可以看出, 在负栅偏压下测得的 C_{gd} 是远大于 C_{gs} 的。这是由于在器件开启状态下, 沟道是反型为空穴的, 因此这时沟道与 p^+ 掺杂的漏极之间的势垒是很小的, 而在源极由于隧穿结的存在, 导致 C_{gs} 的响应是较小的。这与 MOSFET 器件中栅电容在源漏之间的分布是很不一样的。实验测得的 MOSFET 器件的 $C_{gd}-V_g$ 和 $C_{gs}-V_g$ 曲线如图 3.26 所示。可以看到在 $V_{ds}=0V$ 时, MOSFET 器件的栅电容在源极和漏极之间是对称分布的。这是因为在 MOSFET 中源极和漏极是完全相同掺杂的, 因此沟道电容就会均匀分布在源极和漏极两端。

实验测得的 TFET 器件中 C_{gd} 主导栅电容分布的特性与之前 TCAD 仿真所报道的结果是相似的^[205,206]。但是对比图 3.25 (b) 和图 3.27, 还是可以看出测得的 C_{gs} 特性与 TCAD 仿真结果有明显不同^[206]。测试中发现, TFET 器件的 C_{gs} 在较大的负栅偏压下, 会有明显的响应, 虽然在 $V_{ds}=0V$ 的情况下, 与 C_{gd} 相比还是相对较小的, 但是与图 3.27 中显示的仿真结果中 C_{gs} 在任何 V_g 偏压下都趋近于 0 的特性是明显不同的。我们推测 C_{gs} 的这一响应是由少数载流子通过源极/沟道隧穿结 BTBT 注入所引起的。随着 $|V_g|$ 的增大, BTBT 会逐渐增强, 因此有更多的载流子被激发。在大的 $|V_g|$ 偏压下, 隧穿结势垒越来越薄近乎于是透明的, 因此源端载流子对 C-V 特性的响应在这时就不能被忽略不计了。这一很薄的隧穿结势垒与我们在器件电流-电压特性中测得的较大开态电流是相一致的。观察图 3.25 (a) 可以发现, 曲线的右半边, 即可以认为是 N-TFET 器件中的 C_{gs} , 其在大的 V_g 偏压下电容也是变大的。这应该是由漏极/沟道隧穿结载流子 BTBT 注入所引起的。因为漏极的掺杂浓度较低, 其隧穿效率相比源极也是较小的, 因此它的响应比起 P-TFET 器件中的 C_{gs} 响应也是相对更小的。

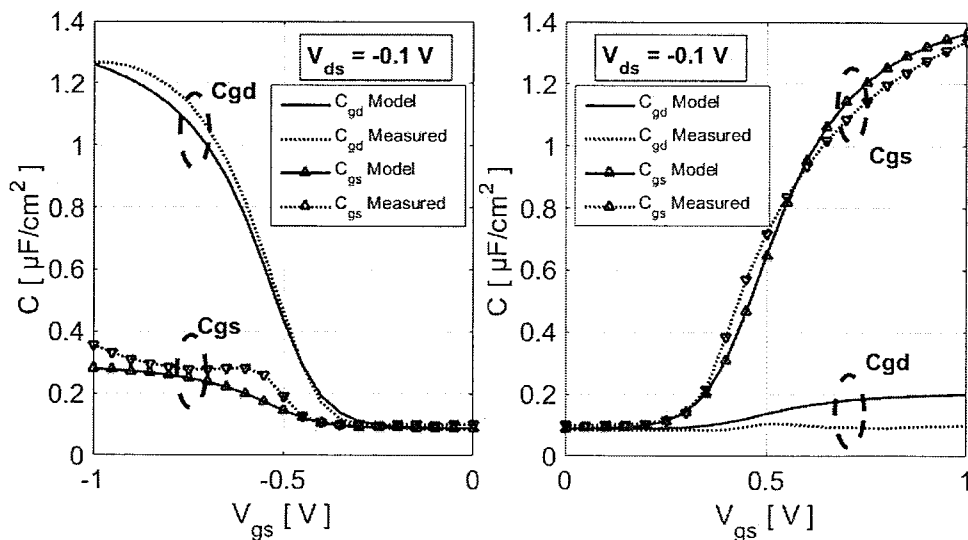


图 3.28 采用 AC 模型推导的 TFET 器件的电容 C_{gd} 和 C_{gs} 特性 (实线)^[209], 与实验中所测得的数据 (虚线) 趋势是相吻合的

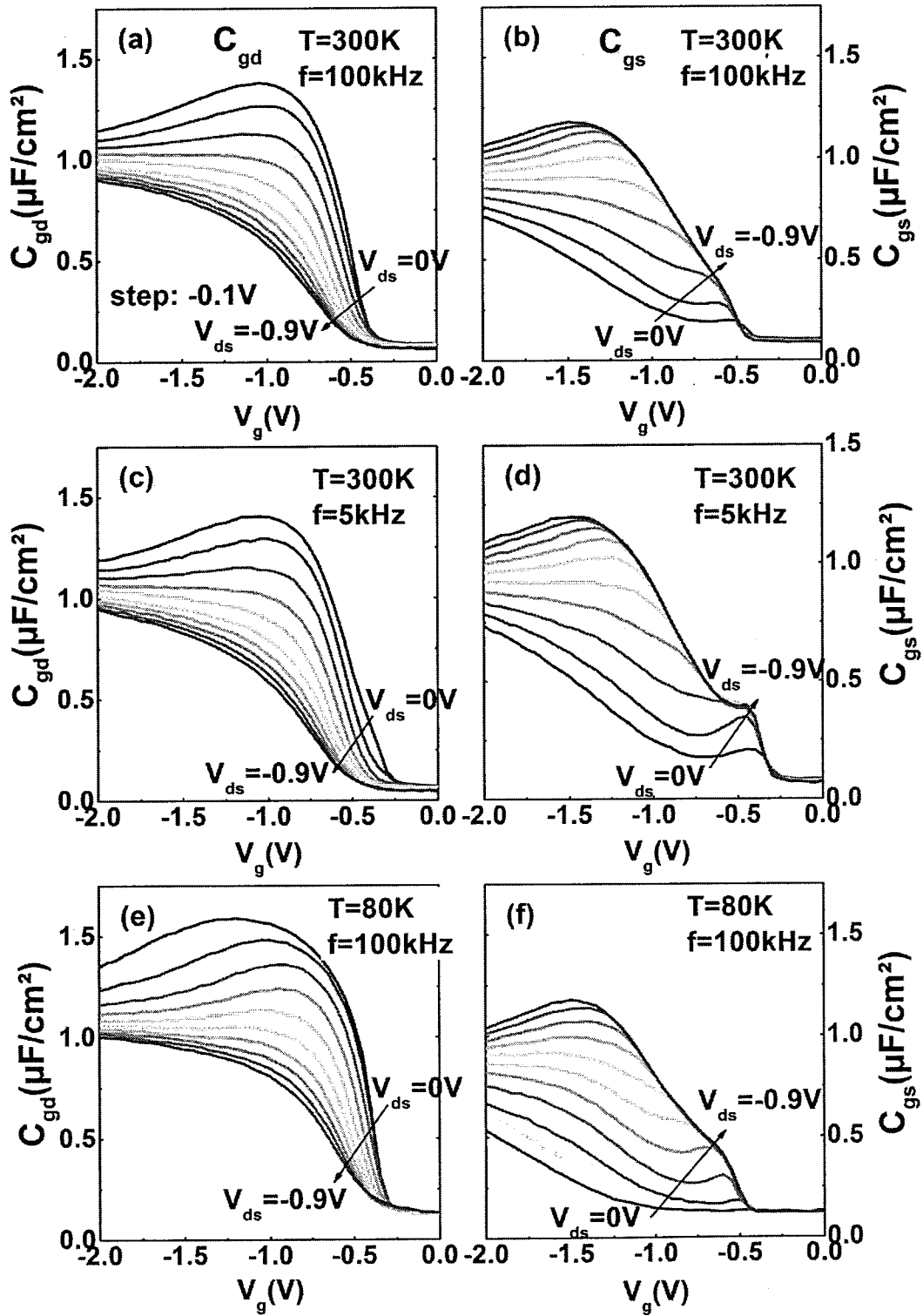


图 3.29 在不同温度、频率和 V_{ds} 偏压条件下测得的 (a) (c) (e) C_{gd} - V_g 和 (b) (d) (f) C_{gs} - V_g 特性曲线, 随着 $|V_{ds}|$ 的增高可以得到更小的 C_{gd} 和更大的 C_{gs}

我们上述对 C_{gs} 响应来源的推测最近也被一个新的 TFET 交流模型 (AC Model) 所证实^[209]。从图 3.28 中可以看出, 模型所推导出的器件 C_{gd} 与 C_{gs} 曲线与我们的测试数据是基本吻合的。

上面我们已经对该 TFET 器件在 $V_{ds}=0V$ 下的 C_{gs} 和 C_{gd} 特性做了详细的分析。而对于器件在实际电路应用中的电容效应来说, 其在工作状态, 即有 V_{ds} 偏压下的电容分布也是我们所感兴趣的。因此, 我们对 C_{gs} 和 C_{gd} 在不同 V_{ds} 偏压下的特性曲线进行了测量, 结果如图 3.29 所示。可以看到, 随着 $|V_{ds}|$ 的增大, C_{gd} 会逐渐变小而 C_{gs} 会逐渐增大。这归因于沟道中反型电荷在不同 V_{ds} 偏压下的分布变化。随着 $|V_{ds}|$ 的增大, 漏极/沟道间结的耗尽区会变大, 因此反型电荷会被“推离”漏极, 并导致了 C_{gd} 的减小。因为沟道电荷是在源极和漏极之间分布的, 减小的 C_{gd} 也就意味 C_{gs} 会随之增大。在较大的 $|V_{ds}|$ 和 $|V_g|$ 偏压下, 由于更大的载流子隧穿几率以及电荷倾向于源极的分布, C_{gs} 甚至会变得和 C_{gd} 几乎一样大。图 3.29 (a) 和 (b) 展示的是器件在室温下、频率为 100kHz 时测得的 C_{gs} 和 C_{gd} 特性曲线, 而图 3.29 (c) 和 (d) 则展示了器件在室温下、频率为 5kHz 时测得的曲线。可以看到, 在不同频率下测得的电容特性曲线并没有明显的不同, 因此可以推断出实验中测得的电容响应并不是由长沟道中的 RC 效应所引起的。

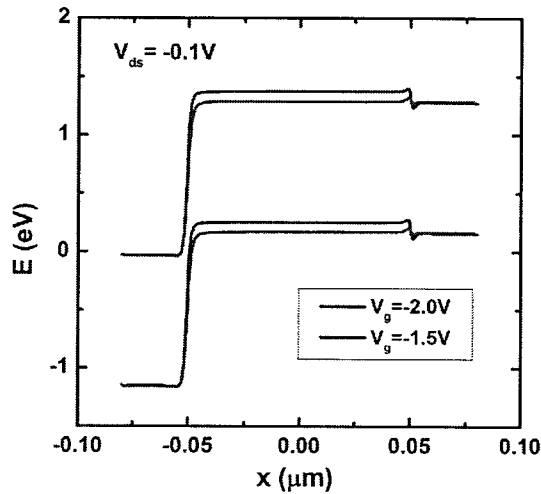


图 3.30 TCAD 仿真得到的 P-TFET 器件在 $V_{ds}=-0.1V$ 时的能带图

在图 3.29 (a) 和 (c) 中, 还值得注意的是, 在较小的 $|V_{ds}|$ 偏压下, C_{gd} 并不是随着 $|V_g|$ 的增大而一直增大的。 C_{gd} 会在达到一个极值后转而减小。我们推测这是由于在大的 $|V_g|$ 偏压及小的 $|V_{ds}|$ 偏压情况下, 沟道区域的能带会强烈地向上弯曲, 并且能级

比漏极更高。这会在漏极与沟道之间产生一个势垒，使沟道电荷流向漏极产生阻碍而引起 C_{gd} 的下降。我们使用 Sentaurus 仿真工具进行 TCAD 仿真得到的 P 型 TFET 器件在 $V_{ds}=-0.1V$ 偏压下的能带图，如图 3.30 所示，验证了这一猜测。但是这一出现 C_{gd} 极值的情况也仅在 $|V_{ds}|$ 很小的情况下才会出现。在较大的 $|V_{ds}|$ 偏压下，沟道向上的能带弯曲并不足以使其高于漏极的能带，如图 3.31 显示，因此在较大 $|V_{ds}|$ 偏压条件下，随着 $|V_g|$ 的增大， C_{gd} 会不断增大。

相似的情况在 $C_{gs}-V_g$ 特性曲线中也可以被观察到，不过这个 C_{gs} 不随 $|V_g|$ 变大而一直增大的特性仅在较大的 $|V_{ds}|$ 偏压条件下才会出现。这也归因于沟道电荷在源极和漏极之间的分布变化。虽然在更大的 $|V_g|$ 偏压下，源极/沟道间隧穿结的 BTBT 会持续增强，但沟道电荷的分布同样会受到漏极势垒的影响。在较大的栅极偏压 $|V_g|$ 下，栅电容 $C_{gg}=C_{gs}+C_{gd}\approx C_{ox}$ ，因此不断增大的 C_{gd} 或 C_{gs} 会引起反型电荷对另外一个电容的贡献减小。前面已经提到过，在大的 $|V_{ds}|$ 和 $|V_g|$ 偏压下， C_{gd} 会随着 $|V_g|$ 的增大而不断增大，因此 C_{gs} 会相应减小。

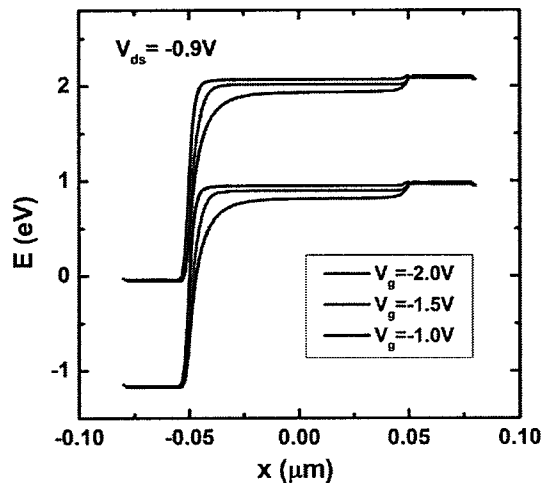


图 3.31 TCAD 仿真得到的 P-TFET 器件在 $V_{ds}=-0.9V$ 时的能带图

由上述讨论我们可以看到，沟道反型电荷在源极和漏极之间的分布会随着不同的 V_g 和 V_{ds} 偏压状态而动态变化。这一动态分布在该器件中的表现正如测试所得到的 $C_{gd}-V_g$ 和 $C_{gs}-V_g$ 特性曲线所示。我们可以将 TFET 器件的源极/沟道和漏极/沟道的结构简化为两个电阻，隧穿结电阻 R_T 和漏端结电阻 R_{DB} ，该 P 型 TFET 器件在开态时的能带示意图如图 3.32 所示。沟道电荷在源漏两端的分布可以简化为取决于这两个电阻大小的变化。通常情况下，在传统 TFET 器件中，由于隧穿结较厚，BTBT 效率较

低, R_T 可以认为是远大于 R_{DB} 的, 因此 C_{gs} 响应是非常小的, 几乎可以忽略不计。但是如果隧穿结经过优化设计使 BTBT 效率足够高, 即能使器件开态电流较大时, 可以认为电阻 R_T 变小, 这时沟道电荷对 C_{gs} 的贡献就不得不被考虑进来。

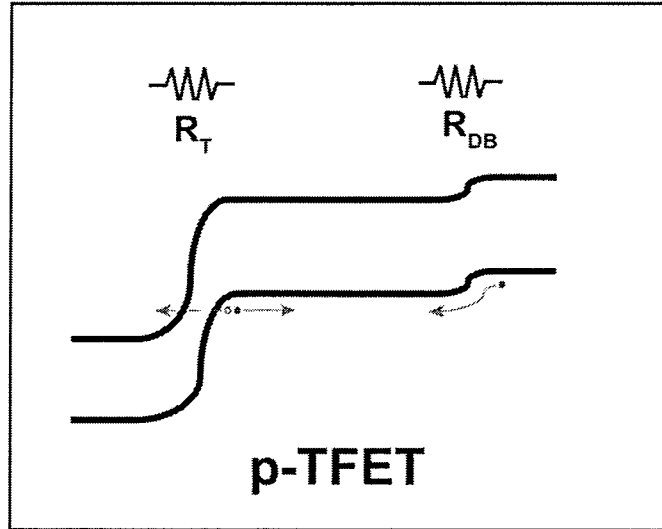


图 3.32 P 型 TFET 器件的简化模型图, 源极和漏极的结分别被简化为两个电阻

为了排除一些寄生效应(如 TAT 等)对电容响应的影响, 我们进一步测量了 TFET 器件在低温 (80K) 下的 C_{gd} 和 C_{gs} 特性曲线, 测量结果如图 3.29 (e) 和 (f) 所示。在低至 80K 的温度下, 所有与热激发相关的机理(如 TAT)基本都可以被抑制, 而对温度不敏感的 BTBT 过程在这时会占据主导地位。从图 3.29 (f) 可以看出, 在较大的 $|V_g|$ 偏压下, 依然可以观察到明显的 C_{gs} 响应。这进一步确认了我们之前的猜测, BTBT 引起了 C_{gs} 的增大。将低温下的 C_{gs} 测量结果与室温下测得的结果相比较, 如图 3.29 (b) 和 (f) 所示, 可以看到 C_{gs} 在低温下有轻微的减小。这应该是由于在低温下, 禁带宽度的略微增大会引起 BTBT 的轻微减小, 而且与热激发相关的 TAT 过程也被抑制了。在 80K 温度下测得的 C_{gd} 也比 300K 温度下测得的要更大, 这应该归因于在低温下耗尽区宽度变窄了, 这与传统 MOSFET 器件的现象是相似的。

图 3.29 中还值得注意的是, 在 $C_{gs}-V_g$ 特性曲线中当 $|V_g|$ 较小时, 可以观察到一个小的“驼峰”(Hump), 尤其是在低频测量结果中。这应该归因于器件中界面缺陷的存在^[210]以及“漏导致势垒减薄”(Drain-induced barrier thinning, DIBT)效应^[211]。如图 3.29 (f) 所示, 在 80K 温度下 $V_{ds}=0V$ 和 $-0.1V$ 的两条曲线中, 这个 hump 并不明显, 这是因为界面态效应在高温及低频下会更明显。同时可以观察到这个 hump 在较低的 $|V_g|$ 偏压下会随着 $|V_{ds}|$ 增大而增大。我们认为这是由于 DIBT 所导致的。在 DIBT 中, 从漏极注入到沟道中的载流子会改变沟道的电势, 引起源极隧穿结势垒的减薄,

因此引起了这一测得的 C_{gs} 的 hump 现象。

综上所述，我们系统地测试了该 P 型 TFET 器件在不同温度、频率和源漏电压 V_{ds} 偏置下的 C-V 特性。与 P-MOSFET 相比，TFET 器件展示了不同的电容分布，这是由其独特的 N^+-I-P^+ 结构所引起的。但是与之前报道的 TCAD 仿真结果所不同的是，我们的实验结果显示器件中的栅源电容 C_{gs} 在较大的 $|V_{gl}|$ 和 $|V_{ds}|$ 偏压下随着 BTBT 的增强，会有明显的响应，并相应的使栅漏电容 C_{gd} 减小了。 C_{gd} 通常被认为是电路中的米勒电容 (Miller Capacitance)，我们的结果表明在基于 TFET 器件的电路中的米勒电容并不像之前理论模拟所推测的那样大^[205]。随着隧穿结的优化，BTBT 隧穿效率的提高，不仅器件的开态电流会得到提升，TFET 器件的米勒电容 C_{gd} 也会相应减小。

3.6 TFET 电流镜

上述我们已经详细讨论了单个 TFET 器件的电流-电压特性和电容-电压特性。在本节中，我们利用两个 P 型 TFET 器件，构成了一个简单的电流镜 (Current Mirror) 模拟电路，并对其基本特性进行了测试和分析。

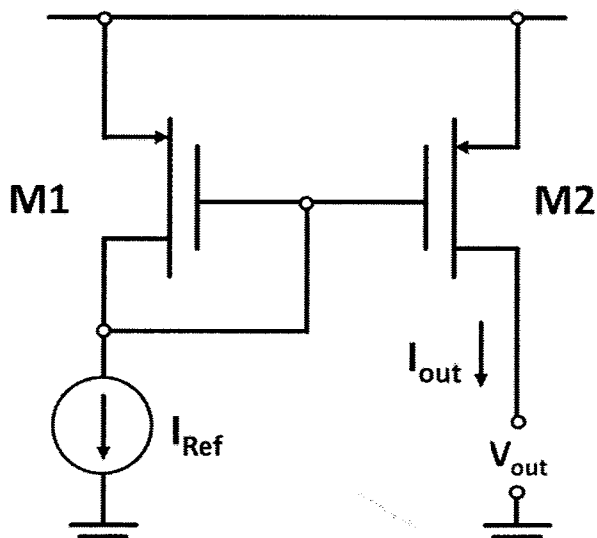


图 3.33 TFET 电流镜电路示意图

电流镜是电流模式处理电路中的一种基本模块，它可以将电路中某一支路的参考电流 (Reference Current, I_{ref}) 精确复制，并在另一支路进行准确输出^[212]。利用电流镜的这一复制能力，可以构成很多基本模块电路，它既可作为偏置单元也可作为信号处理元件。由于电流镜还具有高输出阻抗，它在电路中还被用作有源负载，因此电流镜是集成电路中应用最为广泛的基本电路模块之一^[213]。

电流镜的基本电路结构如图 3.33 所示。它由两个晶体管组成，M1 称为输入管，M2 称为输出管， I_{ref} 为参考电流， I_{out} 为输出电流。晶体管 M1 的栅极和漏极短接，使 M1 形成二极管连接方式，晶体管 M2 和 M1 的栅极相连，以使 $V_{gs1}=V_{gs2}$ 。由于 M1 和 M2 是在同一样品上使用相同的工艺一起制造的，所以两个晶体管的电流会几乎完全相同，即输出电流 I_{out} 可以复制输入参考电流 I_{ref} 。当然，由于两个晶体管很难做到完全相同，因此基本电流镜中输出电流与输入电流很难做到完美匹配。

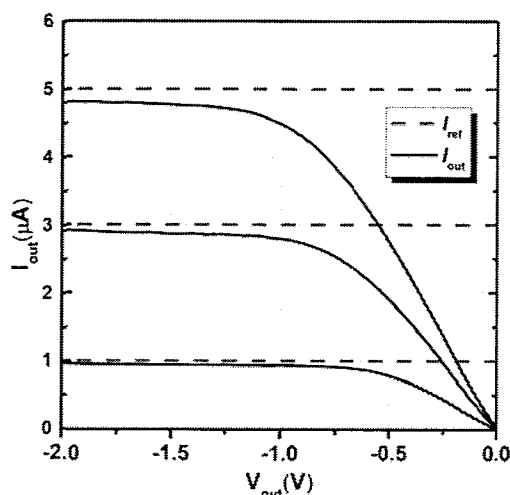


图 3.34 P 型 TFET 电流镜的输出特性曲线

在测试中，我们将电源电压连接到 M1 和 M2 的源极，在 M1 的漏极施加一个外接电流源以驱动晶体管。通过调节不同的输入电流 I_{ref} ，我们在 M2 的漏极就可以测得其输出电流 I_{out} 随其源漏电压 V_{ds} 的变化趋势。

该电流镜电路的输出特性曲线如图 3.34 所示。这里 V_{out} 代表了 M2 管的 V_{ds} 。蓝色的曲线展示了测得的 I_{out} ，而红色的曲线则代表了不同的输入 I_{ref} 电流。随着 I_{ref} 的增大，输出电流也会相应增大并显示了很好的饱和特性，饱和电流接近输入电流。在 $I_{ref}=5\mu\text{A}$ 时，电路的电流镜像系数 (Mirror Ratio, MR) $=I_{out}/I_{ref}$ 可以达到 0.96。这表明两个晶体管匹配良好，采用硅化物源漏与其中离子注入工艺制备的 TFET 器件具有很好的可重复性。

电流镜中另一重要参数指标是其输出阻抗 R_O 。电流镜需要具有较高的输出阻抗以能在不同的负载条件下都可以获得稳定的输出电流。对于这个基本电流镜电路，其输出阻抗就等于 M2 管的输出电阻。我们可以从电流镜的输出曲线中提取出它在 $I_{ref}=5\mu\text{A}$ 时的 R_O 约等于 $10\text{M}\Omega$ 。当然由于我们这里所分析的还是一个基本电流镜电路，

其输出阻抗对于电路应用来说还不够高。通过对电路的改进,如采用更复杂的共源共栅电流镜等方法可以提高它的输出阻抗^[214]。

3.7 小结

本章主要研究了在 UTB-SOI 衬底上制备的平面 TFET 器件及其电学特性表征。在该 TFET 器件制备中,我们采用了源漏硅化物及硅化物中离子注入工艺来制作更陡峭的隧穿结。测试结果表明,该 P 型 TFET 器件展现了良好的电学特性,最小亚阈值摆幅 SS_{\min} 在 60mV/dec 左右,在 4 个数量级电流区间内的平均亚阈值摆幅 SS_{avg} 为 75mV/dec。器件电流开关比 $I_{\text{on}}/I_{\text{off}}$ 在 $V_{\text{ds}}=-0.5\text{V}$ 时高达 10^7 ,开态电流 I_{on} 在 $V_{\text{dd}}=1\text{V}$ 时达到了 $2\mu\text{A}/\mu\text{m}$ 。器件的开态电流和亚阈值特性相比之前报道的平面 TFET 器件有明显提升,表明使用硅化物中离子注入的方法形成的优化隧穿结可以有效提高 TFET 器件的电学性能。我们还对器件的低温电学特性进行了测试,分析了 TFET 器件中不同电流形成机理之间的竞争关系,并通过提取缺陷激活能 E_a 的方法,确认了器件开态电流主要是由 BTBT 所产生的并讨论了缺陷辅助隧穿 TAT 对器件性能的影响。此外,我们系统地测试了 TFET 器件的电容-电压特性,填补了 TFET 器件在这方面实验研究的空白。测试结果表明,TFET 器件的电容响应特性由于其特殊的 P-I-N 结构,与传统 MOSFET 器件有很大不同。与之前报道的 TCAD 仿真结果所不同的是,实验结果显示 TFET 器件的栅源电容 C_{gs} 在较大的 $|V_{\text{g}}|$ 和 $|V_{\text{ds}}|$ 偏压下会有明显的响应,并且栅漏电容 C_{gd} 也相应地减小了。这一结果表明 TFET 器件中的米勒电容 C_{gd} 并不像之前理论模拟推测的那样大,TFET 器件的电容模型等需要被重新考虑。最后,我们基于这一器件验证了一个简单的 TFET 基本电流镜电路,结果显示其具有较高的镜像系数,并展示了良好的输出特性。

第四章 抑制双极导通效应的 T 形 TFET 制备与表征

4.1 引言

如第一章中所述,目前 TFET 器件研究面临三个主要问题:一是较低的隧穿效率导致的较小开态电流;二是缺陷辅助隧穿等寄生效应导致的亚阈值特性退化;三是双极导通效应导致器件的电流开关比变小,尤其是在较大 V_{ds} 偏压下。本文的第三章针对如何在 TFET 中实现陡峭的隧穿结,使用优化的硅化物中离子注入技术,在实验中成功获得了更大的开态电流。且优化的工艺过程也使引入的缺陷减少,进一步改善了器件的亚阈值特性。但是该 TFET 器件依然展现了强烈的双极导通效应,即器件表现出既可以在 N 沟道模式工作,也可以在 P 沟道模式工作,这是由其简单的源漏对称结构所导致的。

一种直观的抑制双极导通效应的方法,是在漏极采用较轻的掺杂浓度。但是已有研究表明^[215],单纯简单的降低器件漏极的掺杂浓度并不能明显减轻 TFET 器件的双极导通现象。因此我们必须设计新型的源漏非对称器件结构,来抑制漏极/沟道间隧穿结的隧穿电流。本章提出了一种 T 形 Mesa 结构的 TFET 器件,通过增加源极/沟道隧穿结宽度并减小漏极/沟道隧穿结宽度的方法,来实现这一目的。

本章首先介绍了该 T 形 TFET 器件的结构、工作原理与制备工艺流程,然后对器件的电流-电压特性、低温电学特性等进行了测试与分析。此外,由于器件特殊的结构,其也可以被偏置在 MOSFET 工作模式,我们对这一模式下器件的电学性能也进行了表征与分析。

4.2 器件结构

本章中所研究 T 形 TFET 器件的结构如图 4.1 所示。与第三章中所介绍的平面 TFET 器件类似,这一 T 形 TFET 器件也是制作在具有超薄顶层硅层 ($t_{Si}=12\text{nm}$) 的 UTB-SOI 衬底上的,隧穿结也依然通过超薄镍硅化物 NiSi_2 中离子注入形成。在结构上所不同的是,我们将条状的 Mesa 结构改为了一个 T 形 Mesa 结构,而栅叠层覆盖在这一 T 字形的交点处。如图 4.1 所示,器件也由一个三端器件变为了四端器件,我们将 T 字形的上面这一横的两侧都定义为 TFET 器件的源极,而下面这一端为漏极,剩下一端则为栅极。对于 P 型 TFET 来说,源极为 n^+ 重掺杂,漏极为 p^+ 重掺杂。因此在这一结构中,源极/沟道隧穿结的宽度为 $2 \times t_s$,而漏极/沟道隧穿结的宽度则为 t_D 。通过对 t_s 和 t_D 的大小进行优化设计,我们可以使源极隧穿结宽度尽量长而漏极隧穿结宽度尽量短,以此来抑制 TFET 器件的双极导通电流。

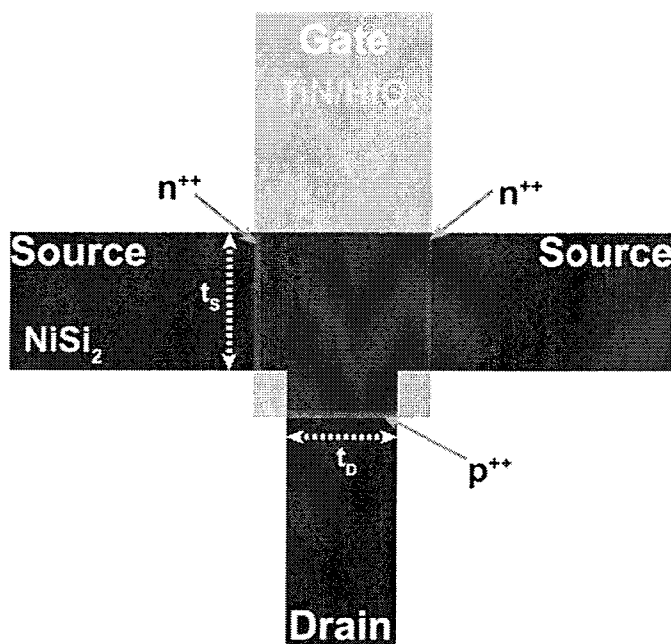


图 4.1 本章所研究的 T 形 Mesa 结构 TFET 器件的示意图

4.3 器件制备

该器件的制备也是在德国于利希研究中心的净化间完成。器件制备的基本流程与第三章中所述之器件制备过程基本相同，下面将对器件制备过程中的关键步骤进行简要介绍。

(1) 电子束光刻对准标记 (E-beam marker)

由于设计的 T 形 TFET 器件的结构关键尺寸为纳米量级，已经超过了净化间中所有的光学光刻机的最小线条分辨率，因此关键图形的定义必须使用电子束光刻 (E-beam lithography) 来实现。电子束光刻是使用低功率密度的电子束照射光刻胶，经显影后在光刻胶中产生图形的一种微细加工技术^[216]。由于电子相比光来说其波长极短，因此其光刻精度可以达到纳米量级，不同图形层之间的套刻精度也非常高。纳米套刻需要将模板图形准确无误的套刻在要曝光的位置，因此需要找到 3 个精确的位置并定标，使样品台与样品的坐标相匹配。所以制备过程的第一步就是在起始 SOI 衬底上制作出用于电子束光刻的对准标记 (Marker)。

起始 SOI 衬底的顶层 Si 厚度为 12nm，埋氧层 (BOX) 厚度为 145nm。

顶层 Si 是 p 型轻掺杂的。我们通过光刻的方法定义出 $15 \times 15 \mu\text{m}^2$ 大小的对准标记转移到样品表面，这里采用的是 UV6.06 光刻胶。接着以此为掩膜，使用 RIE 刻蚀方法刻蚀掉 Si/SiO₂/Si 结构。顶层 Si 的刻蚀使用 SF₆/O₂ 气体，埋氧层使用 CHF₃ 气体，Si 衬底的刻蚀则使用 SF₆/Ar 气体进行 Si 的深刻蚀。刻蚀并去除光刻胶后的方孔深度大约为 900nm。这些 $15 \times 15 \mu\text{m}^2$ 大小的方孔即为之后电子束光刻步骤中所使用的对准标记。

(2) Mesa 刻蚀

接下来，我们在样品表面旋涂上 HSQ 电子束光刻胶，使用电子束光刻的方法定义出 Mesa 图形。在显影后，使用 RIE 刻蚀的方法将图形转移到顶层 Si 膜上。由于 Mesa 尺寸很小，我们想要获得更陡峭的边缘和更快的刻蚀速度，因此选用了 Cl₂/Ar 气体并加上电感耦合等离子体 (Inductive coupled plasma, ICP) 刻蚀。在我们设计的结构中， $t_s=200\text{nm}$ ， t_D 为 100nm、150nm、200nm 等不同长度。刻蚀完成后，使用 1%HF 溶液去除掉 HSQ 光刻胶。Mesa 形成后的扫描电子显微镜 (SEM) 照片如图 4.2 (a) 所示。

(3) 栅叠层淀积及图形化

在对样品进行 RCA 标准清洗后，使用 ALD 方法淀积 High- κ 栅介质 HfO₂，厚度 3nm。之后采用 AVD 方法淀积金属栅 TiN，厚度 60nm。接下来，将栅极图形使用电子束光刻的方法转移到样品上，所使用光刻胶还是 HSQ。显影后，使用 SF₆/Cl₂/Ar 气体的 ICP-RIE 方法刻蚀 TiN。并用改变的 SC1 溶液以去除侧壁残余的 TiN。之后，将样品置入 1%HF 溶液中，以去除源极和漏极的 HfO₂ 层，并且 HSQ 光刻胶也在这一过程中被除去。栅极形成后的 SEM 照片如图 4.2 (b) 所示。

(4) 硅化物形成与源漏离子注入

栅极形成后，通过溅射的方法在 Si 表面淀积 3nm 厚的金属 Ni。之后在 Forming gas 中，700°C 下退火 30 秒已形成与栅极自对准的镍硅化物 NiSi₂。之后使用稀释的硫酸溶液去除未反应的 Ni。然后，我们通过硅化物中离子注入的方法，形成源极和漏极重掺杂的 pocket。由于源极和漏极采用相反的掺杂，需要在相应注入时对另一侧进行覆盖保护。这里，我们使用的 PMMA 电子束光刻胶作为保护层。如图 4.1 中所示，T 字形中一横的两侧为源极。显影形成漏极保护图形后，我们分别在栅极两侧使用 45° 倾角注入 P 离子，注入能量为 3keV，剂量为 $2 \times 10^{15} \text{cm}^{-2}$ 。去除 PMMA 光刻胶后，在 Forming gas 中，600°C 下退火 10 秒，以激活 P 离子。对于漏极，我们在 PMMA 光刻胶覆盖源极后，在下方倾斜 45° 角注入 B 离子，注入能量为 1.5keV，剂量为 $5 \times 10^{14} \text{cm}^{-2}$ 。去除光刻胶后，在 Forming gas 中，500°C 下退火 10 秒，以激活 B 离子。

(5) 金属接触

最后，我们采用 Lift-off 的方法，在栅极、源极和漏极使用电子束蒸发方法淀积 150nm/5nm 厚度的 Pt/Cr 金属完成器件的金属接触，定义出用于电学测试的 Pad 图形。最后制作完成的器件结构显微镜照片如图 4.2 (c) 所示。

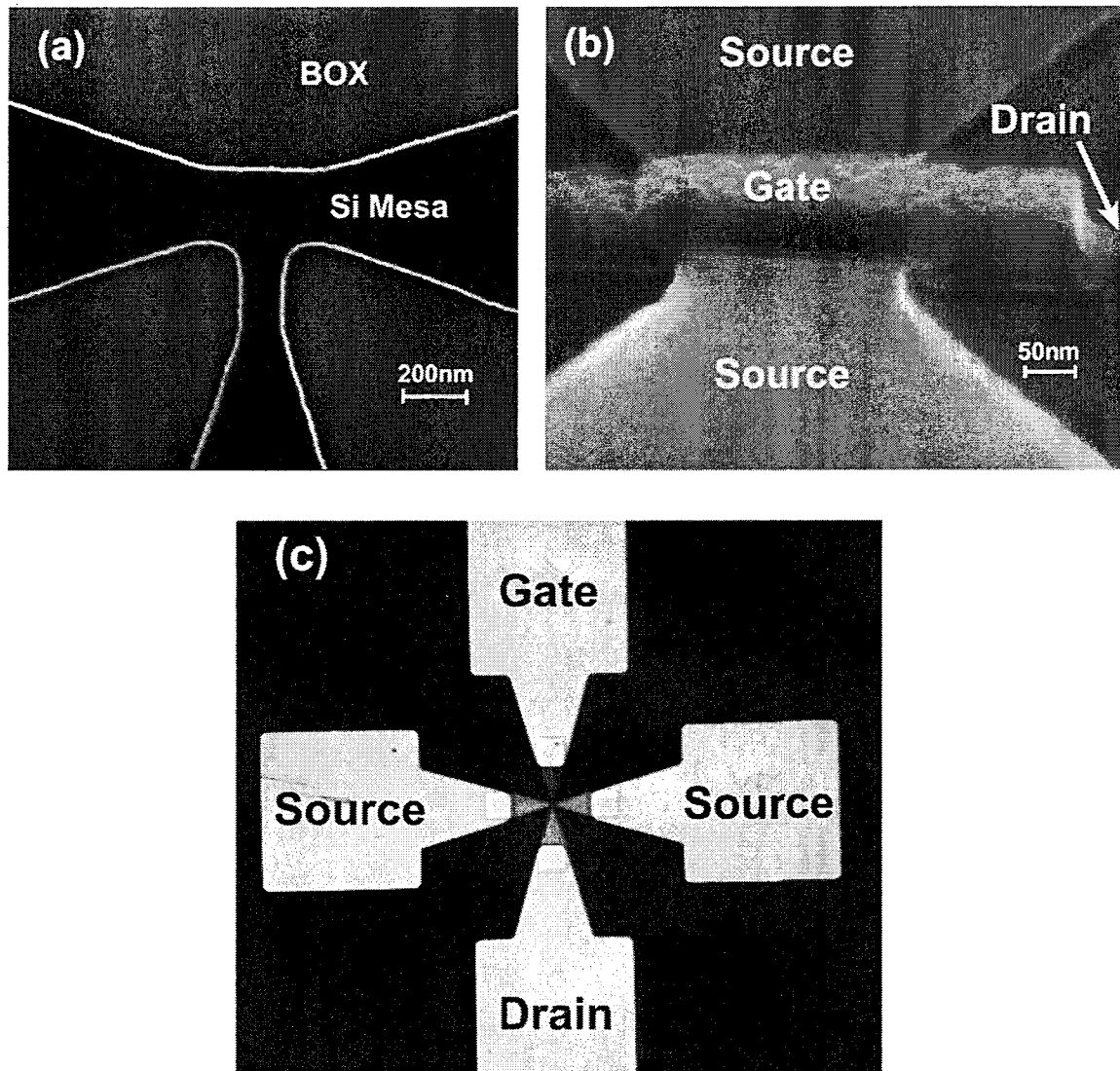


图 4.2 (a) 器件 Mesa 形成后的 SEM 照片；(b) 栅极形成后的 SEM 照片；(c) 制备完成的 TFET 器件显微镜照片

4.4 器件电学特性表征与分析

4.4.1 电流-电压特性

器件制备完成后, 我们对该 T 形结构 TFET 器件在室温下的电流-电压特性进行了测量。测量仪器为 Keithley 公司的 4200 系列测试分析仪。

在器件的转移特性曲线测量中, 我们将两个源极接触都接地 ($V_s=0V$), 漏极偏压 V_d 分别为 $-0.1V$ 、 $-0.3V$ 和 $-0.5V$, 栅极电压从 $-2V$ 扫描至 $1V$ 。测得的这一 P-TFET 器件的转移特性曲线如图 4.3 所示。

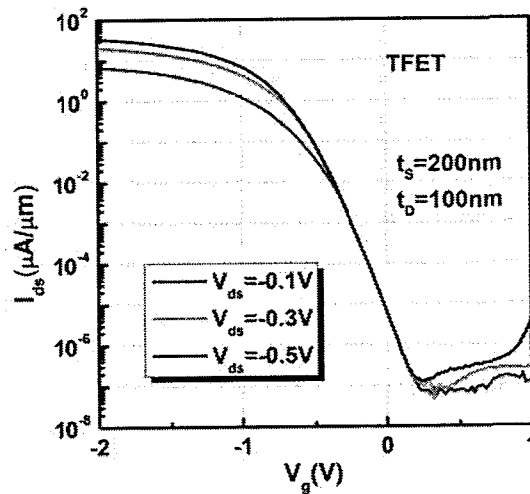


图 4.3 实验测得的 T 形结构 TFET 器件的转移特性曲线

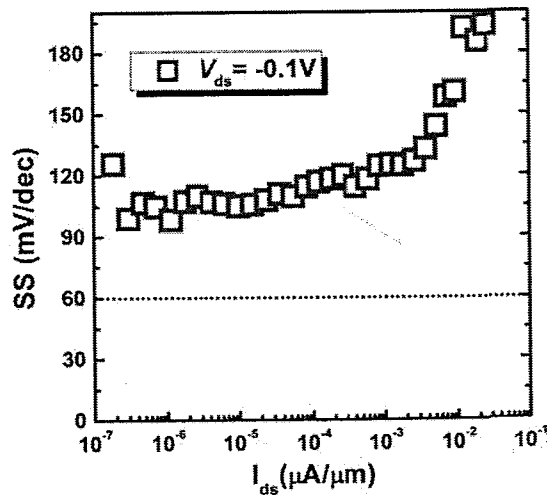


图 4.4 T 形结构 TFET 器件的亚阈值摆幅 SS 随 I_{ds} 的变化曲线

图 4.3 中所示器件的结构尺寸参数 $t_s=200\text{nm}$, $t_D=100\text{nm}$ 。从图中可以看出该器件展现了良好的开关特性, 尤其是其双极导通电流得到了明显抑制。可以看到它的关态电流 I_{off} 并没有随着 $|V_{\text{ds}}|$ 的增大而有明显变大, 使器件开关比没有出现严重退化的现象。在 $V_{\text{ds}}=-0.5\text{V}$ 的偏压下, 器件的电流开关比高达 10^8 , 相比上一章中制备的源漏对称结构的 TFET 器件的电流开关比提高超过了 1 个数量级。由于 T 形结构的采用, 在这一器件中源极/沟道隧穿结的长度是漏极/沟道隧穿结长度的 4 倍, 因此该 P-TFET 器件在 $V_g>0\text{V}$ 时其双极导通 N 型电流得到了明显的抑制, 使双极导通电流几乎没有影响器件的关态特性。

为了公平的比较器件的电流特性, 我们将测试得到的电流除以 t_s , 以得到其单位宽度的电流大小。器件的开态电流在 $V_{\text{dd}}=|V_{\text{ds}}|=V_{\text{OV}}=|V_{\text{gs}}-V_{\text{th}}|=1\text{V}$ 时约为 $18\mu\text{A}/\mu\text{m}$ 。这里 V_{th} 代表阈值电压, 我们将它设在 $I_{\text{ds}}=1\text{nA}/\mu\text{m}$ 时。这一开态电流的大小较第三章中所研究器件要更高。这应该是由于器件尺寸缩小到纳米尺度后, 栅对沟道的控制从一个平面栅结构转变为一个类似三栅 (Tri-gate) 结构 (如图 4.2 (b) 所示)。这进一步提高了器件的栅控能力, 使公式 (1.12) 和 (1.13) 中的 λ_{ch} 减小, 隧穿电流因此得以增大。我们从转移特性曲线中也可以提取出该器件的亚阈值摆幅 SS 随 I_{ds} 变化的曲线, 如图 4.4 所示。器件的最小亚阈值摆幅 SS_{min} 约为 $95\text{mV}/\text{dec}$, 而器件的平均亚阈值摆幅 SS_{avg} 在源漏电流 I_{ds} 为 $1\times 10^{-7}\sim 1\times 10^{-4}\mu\text{A}/\mu\text{m}$ 的区间内为 $105\text{mV}/\text{dec}$ 。SS 也展现了随着 I_{ds} 增大而变大的典型 TFET 器件特性。该器件中这一较大的 SS 数值应该是由于器件中缺陷存在所导致的 TAT 过程所引起的, 使其亚阈值特性退化, 并没有实现非常陡峭的开关特性。

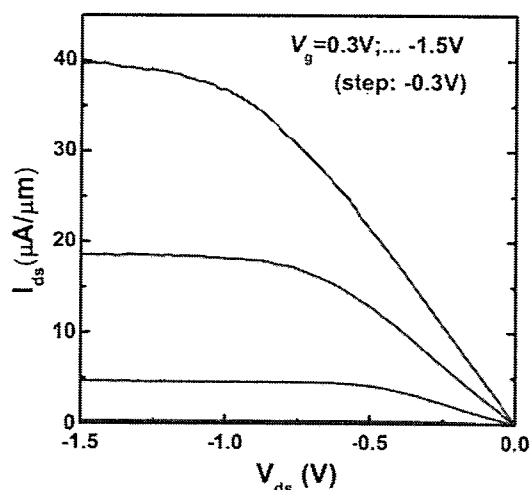


图 4.5 该 TFET 器件的输出特性曲线

图 4.5 则展示了该 T 形结构 TFET 器件的输出特性曲线。从中可以看到，器件输出电流的饱和性非常好。同时源漏电流 I_{ds} 随着 V_{ds} 的变化是线性开启的。这一输出曲线线性开启的特性，表明器件源极的掺杂浓度已经达到了简并掺杂的高浓度^[201]。

4.4.2 双极导通效应的抑制

采用这一 T 形结构设计 TFET 器件的主要目的就是抑制 TFET 器件内生的双极导通效应。通过前面的分析可以看出，使用非对称的源漏隧穿结宽度设计可以有效实现这一目的。我们在器件结构设计时设计了多种不同尺寸的器件，图 4.6 就展示了具有不同漏极宽度 t_D 的 T 形结构 TFET 器件的转移特性曲线的对比。在 $t_S=200\text{nm}$ 且 $t_D=200\text{nm}$ 时，该器件中源极/沟道隧穿结宽度与漏极/沟道隧穿结宽度的比值为 2:1，而 t_D 缩小为 100nm 后这一比值增大为 4:1。其中红色实线代表了 $t_D=100\text{nm}$ 时的转移特性曲线，而蓝色虚线则代表了 $t_D=200\text{nm}$ 时的曲线。从图中可以看到，在 $t_D=200\text{nm}$ 时器件依然显示了较明显的双极导通电流，即在 $V_g>0\text{V}$ 时器件呈现了 N 型导通电流，且随着 $|V_{ds}|$ 的增大迅速增大；而在 $t_D=100\text{nm}$ 时，器件的双极导通电流得到了明显抑制。在蓝色曲线中 $V_{ds}=-0.5\text{V}$ 时，器件电流开关比为 10^7 ；而在红色曲线中同样源漏电压偏置条件下，电流开关比达到了 10^8 ，开关比提升了一个数量级。从以上分析可以看出，利用减小漏极/沟道隧穿结宽度的方法，可以有效抑制 TFET 器件的双极导通效应并提高其电流开关比。如果可以使器件源极隧穿结宽度比漏极隧穿结宽度的比值进一步增大，则可能可以更好地抑制 TFET 器件中的双极导通电流。

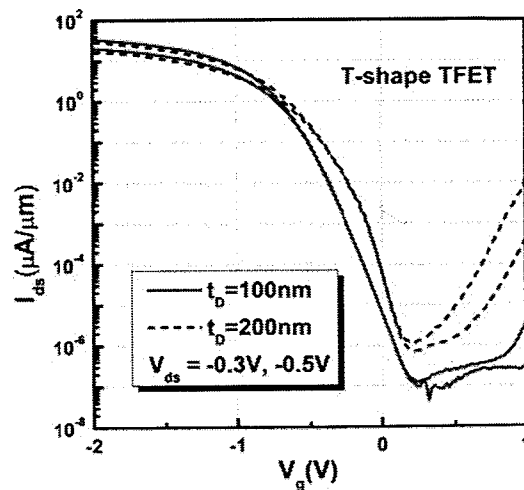


图 4.6 具有不同漏极隧穿结宽度 t_D 的 T 形结构 TFET 器件转移特性曲线的对比

4.4.3 SOI 顶层硅厚度的影响

在第一章中我们已经介绍过，影响 TFET 器件中隧穿电流大小的一个关键要素是栅对沟道的控制能力。由公式 (1.20) 可知，采用顶层硅厚度很薄的 SOI 衬底可以有效减小 λ_{ch} ，即提高了栅控能力。我们也在实验中在不同顶层硅厚度的 SOI 衬底上制备了相同的 TFET 器件，以研究顶层硅厚度对 TFET 器件的性能影响。

上两节中所测试与分析的器件都是制备在顶层硅厚度 $t_{Si}=12\text{nm}$ 的 SOI 衬底上的。我们采用完全相同的工艺，在 $t_{Si}=20\text{nm}$ 的 SOI 衬底上也制备了这种 T 形结构的 TFET 器件。图 4.7 对比了在不同顶层硅厚度 SOI 衬底上制备的 TFET 器件的转移特性曲线。其中蓝色曲线代表了在顶层硅厚度为 12nm 的 SOI 衬底上的 TFET 器件，而红色曲线则为在 20nm 厚的 SOI 衬底上的 TFET 器件。在 20nm 的 SOI 衬底上制备的器件中，双极导通效应由于非对称的源漏设计也得到了抑制。但同时也可以明显地看到在 12nm SOI 衬底上制备的 TFET 器件的开态电流会更大，比在 20nm SOI 衬底上制备器件的电流高出了一个数量级，且它的 SS_{avg} 特性也更好。这应该归功于具有更薄顶层硅的 SOI 衬底所带来的更佳的栅对沟道的控制能力，使通过 BTBT 注入沟道的载流子的隧穿几率得到了指数级的提升。如果在未来使用顶层硅更薄的 SOI 衬底来制备 TFET 器件，可以预计其可以获得更好的器件性能。

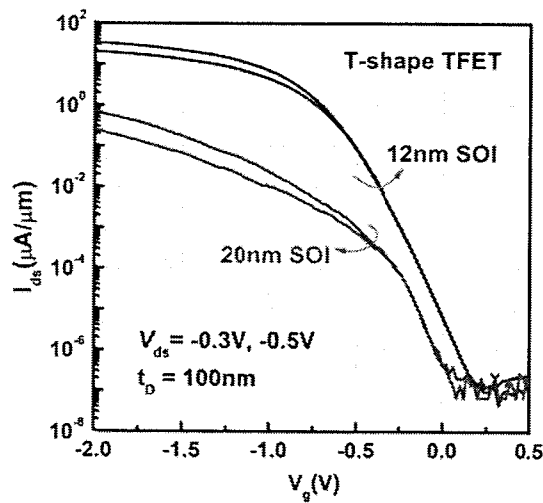


图 4.7 分别在顶层硅厚度为 12nm 和 20nm 的 SOI 衬底上制备的 T 形结构 TFET 器件的转移特性曲线的对比图， 12nm SOI 衬底上的器件展现了更大的隧穿电流

4.4.4 低温电学特性

我们也对这一 TFET 器件在低温下的电流-电压特性进行了测试。低温测试使用液氮进行降温，测试温度可以低至 80K。测量仪器则为安捷伦公司的 5270B 测试分析仪。

图 4.8 展示了这个 T 形结构的 TFET 器件分别在 80K 和 300K 温度下测得的转移特性曲线。可以看到器件在低温下展现了更陡峭的亚阈值摆幅特性。这是由于在低温下，与热激发过程相关的缺陷辅助隧穿 TAT 过程被抑制了，器件的 SS 单纯由 BTBT 所决定。由图 4.9 中器件 SS- I_{ds} 特性曲线可以看出，在较小的 I_{ds} 电流下 SS_{min} 约为 30mV/dec。同时，器件在 80K 下的开态电流相比 300K 时也有略微下降。这是因为 TFET 器件的电流主要是由 BTBT 所决定的，而随着温度的降低 BTBT 电流会有轻微地减小。在低温时，禁带宽度 E_g 会略微增大从而导致隧穿几率的降低。器件源漏电流随着温度降低而减小的特性，也证明了这一 T 形结构 TFET 器件的开态电流主要是由隧穿过程所形成的。

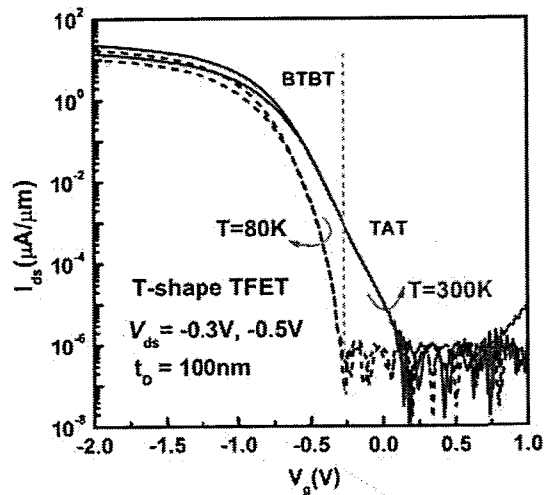


图 4.8 T 形结构 TFET 器件分别在 80K 和 300K 温度下测得的转移特性曲线, 在 300K 时由于 TAT 的影响使 SS 产生退化, 而在低温下由于 TAT 过程被抑制器件展现了更好的亚阈特性

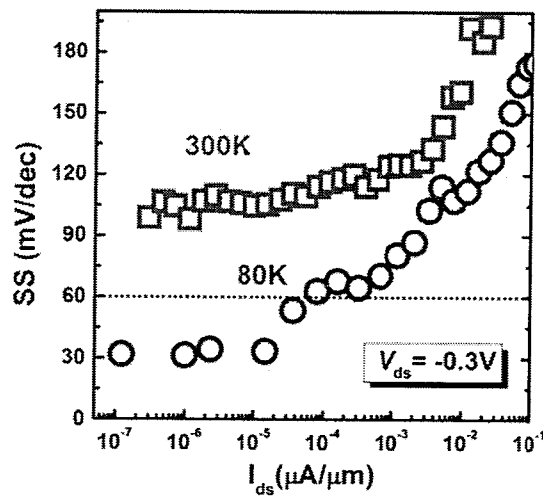


图 4.9 该器件在不同温度下测得的 SS- I_{ds} 特性曲线，在 80K 温度下由于 TAT 过程被抑制，器件的 SS 单纯由 BTBT 所决定，实现了 $<60\text{mV/dec}$ 的亚阈值摆幅， SS_{\min} 约为 30mV/dec

4.5 器件的 MOSFET 工作模式与电学特性

4.5.1 MOSFET 工作模式

上面我们已经对这种 T 形结构 TFET 器件的电学特性进行了详细的测试和分析。通过对源极/沟道隧穿结和漏极/沟道隧穿结宽度的非对称设计，可以有效实现对 TFET 器件双极导通效应的抑制。在这个 T 形 Mesa 结构的四端口器件中，它除了可以工作在 TFET 模式之外，利用其特殊的结构它还可以工作在传统的 MOSFET 模式。

图 4.10 展示了这一 T 形结构器件偏置在 MOSFET 工作模式下的示意图。如图所示，在 T 字形结构中一横的两侧都是金属硅化物 NiSi_2 ，而通过离子注入形成的 pocket 都是 n^+ 重掺杂的，如果把其中一侧作为源极，而另一侧作为漏极，在中间栅极的控制下，该器件就处在了一个 N 型 MOSFET 器件的工作模式。在源漏 NiSi_2/Si 的结处，由于 n^+ 重掺杂 pocket 的作用，使电子肖特基势垒显著降低，这时器件的工作特性就类似于传统的 MOSFET 器件。对于这种采用杂质分凝技术形成的肖特基势垒 MOSFET (Schottky Barrier MOSFET, SB-MOSFET) 的详细工作原理介绍可以参考文献^[217-219]。而这 T 形结构器件在垂直方向的另一端口则与沟道相连，成为了沟道 (Channel) 偏置端口。这一端口在 MOSFET 器件实际工作中，也可以通过施加不同电压对器件的电学特性产生影响。我们接下来就将对这一 T 形结构器件在 MOSFET 工作模式下的电学特性进行测试与分析。

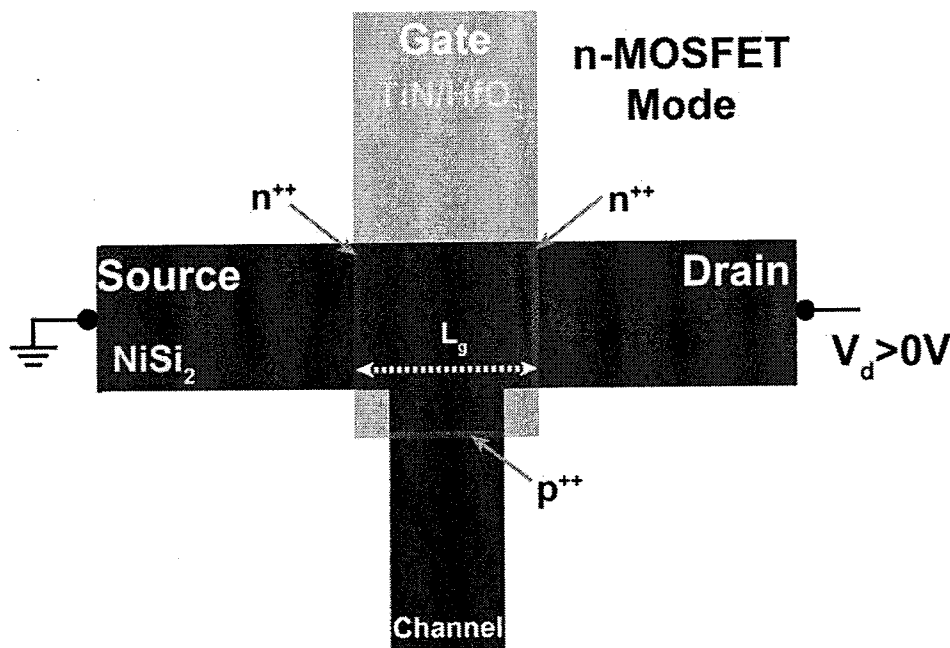


图 4.10 该 T 形结构器件的 MOSFET 工作模式示意图

4.5.2 电流-电压特性

该器件在 MOSFET 工作模式下的转移特性曲线如图 4.11 所示。器件工作在 MOSFET 模式后，栅极宽度 $W_g = t_s = 200\text{nm}$ ，而栅极长度 L_g 比 t_D 略宽，分别为 150nm 、 200nm 和 250nm 。图 4.11 中所展示器件的尺寸为 $W_g = L_g = 200\text{nm}$ 。为了公平比较器件的性能，我们将测得的电流除以 W_g 进行归一化。从图中可以看出，这个 MOSFET 器件展现了很好的开关特性，电流开关比在 $V_{ds} = -0.5\text{V}$ 时可以高达 10^9 。

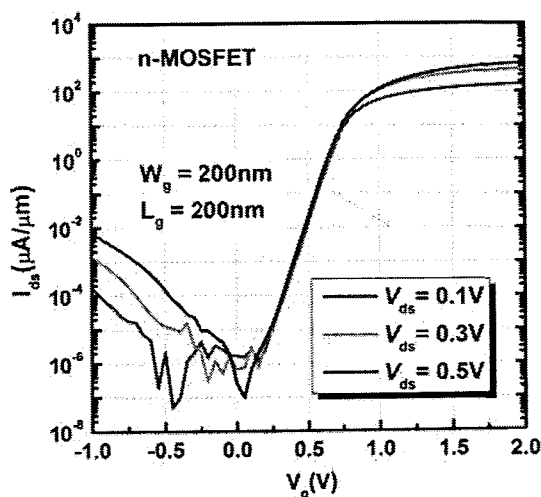


图 4.11 器件工作在 MOSFET 模式下的转移特性曲线

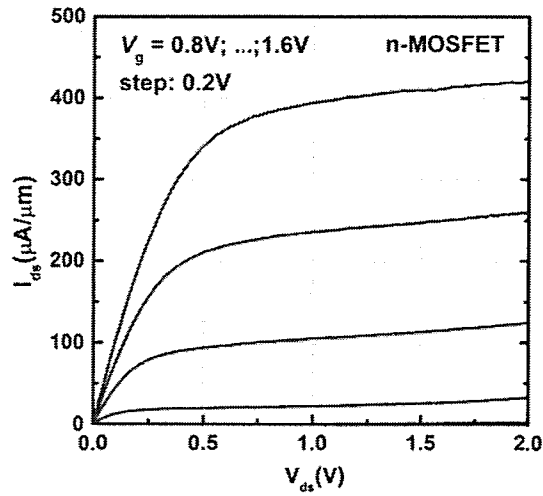
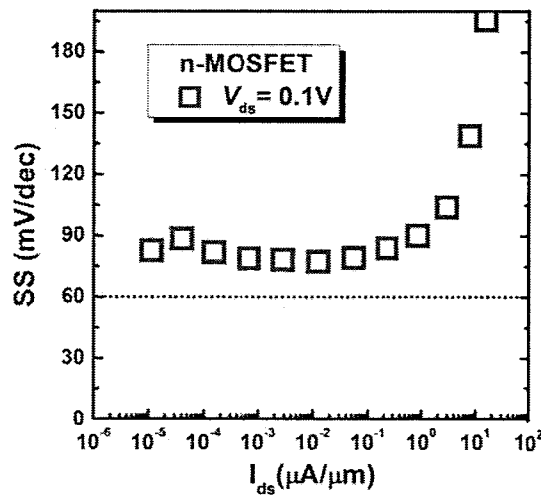


图 4.12 器件工作在 MOSFET 模式下的输出特性曲线

图 4.13 器件工作在 MOSFET 模式下的 SS- I_{ds} 特性曲线

器件的输出特性曲线如图 4.12 所示。输出电流展现了较好的饱和性，但依然受到一定沟道长度调制效应的影响。沟道长度调制效应是一种典型的短沟道效应^[220]，在器件中随着漏极电压的增大，沟道夹断(Pinch-off)发生使有效沟道长度不断减小，因此电流会随着 V_{ds} 的增大而不断变大。对于我们所研究的这个器件来说，其沟道长度 $L_g=200\text{nm}$ ，其在较大 V_{ds} 偏压下的有效沟道长度的减小已经不足以被忽略，从而使电流 I_{ds} 出现了不完全饱和的特性。从图中我们也可以看出，这一 MOSFET 器件的开态电流 I_{on} 在 $V_{dd}=1\text{V}$ 时达到了约 $250\mu\text{A}/\mu\text{m}$ 。这一数值相比上一节中所介绍的 TFET

器件的电流高出了一个数量级。这表明目前 TFET 器件展现的开态电流依然较小，还需要进一步的优化以提高其电流来与 MOSFET 器件竞争。

图 4.13 则展示了这一器件偏置在 MOSFET 模式时的亚阈值摆幅 SS 对 I_{ds} 的特性曲线。可以看到在亚阈值区呈现出了一个近似恒定的 SS 特性，大小约为 77mV/dec。这一恒定 SS 的特性也进一步验证了这个源漏为镍硅化物的器件表现出了典型的 MOSFET 器件特性。这表明源漏结处的 pocket 确实已经达到了 n 型重掺杂^[218]，也间接验证了这一 T 形结构器件偏置在 TFET 工作模式时的电流主要是由隧穿形成的。

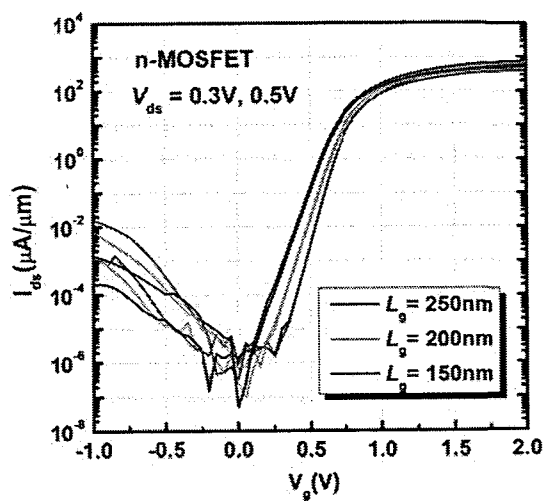


图 4.14 具有不同栅长 L_g 的 MOSFET 输出特性曲线的对比

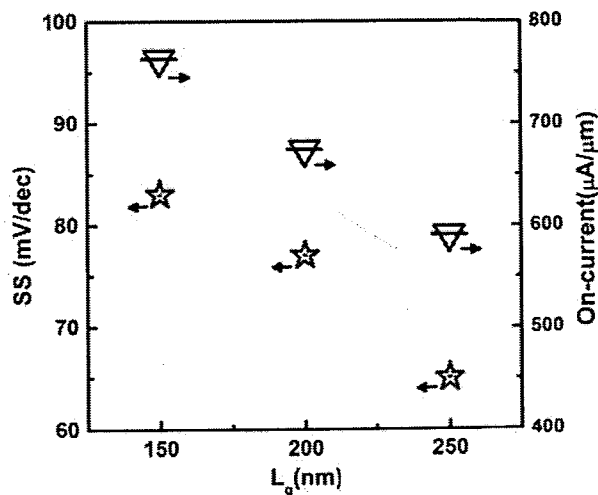


图 4.15 具有不同栅长 L_g 的 MOSFET 的 SS 和 I_{on} 特性的对比

在器件结构设计中,我们也设计了三种不同的栅长尺寸, L_g 分别为 150nm, 200nm 和 250nm。图 4.14 展示了具有不同栅长的 MOSFET 器件的转移特性曲线的对比。从图中可以看出,随着 L_g 的减小,器件的开态电流会逐渐增大,但是其亚阈值摆幅会变得更差。器件 SS 和 I_{on} 的数值对应不同 L_g 的变化趋势如图 4.15 所示。这一亚阈值特性变差的现象应该也是由短沟道效应引起的。这里起主要作用的是漏致势垒降低 (Drain induced barrier lowering, DIBL) 效应。DIBL 效应是指当沟道长度较小时,漏电压 V_{ds} 的增加会导致漏结与源结的耗尽层靠近,因此漏极电势的变化会导致源极势垒高度降低,从而导致器件电流的增大^[221]。DIBL 效应主要影响的就是亚阈值电流,尤其是沟道较短的 MOSFET 器件中且漏电压 V_{ds} 较大时,亚阈值电流迅速增大,器件的关态特性变差。评估 DIBL 效应的指标参数为 V_{ds} 每变化 1V 的情况下器件阈值电压 V_{th} 的变化。在 $L_g=250\text{nm}$ 的器件中, $DIBL=10\text{mV/V}$, 而在 $L_g=150\text{nm}$ 的器件中, $DIBL=100\text{mV/V}$, 可见器件在较短沟道器件中明显受到了 DIBL 效应的影响。

4.5.3 沟道偏压的影响

以上我们已经介绍了这个 T 形结构器件偏置在 MOSFET 工作模式下的直流电学特性。对于这个特殊结构的四端口器件来说,它相比传统的 SOI MOSFET 器件还多出了一个沟道端口。因此我们可以利用这一端口对沟道施加不同的偏置电压以研究其对 MOSFET 器件性能的影响。

图 4.16 展示了这个 MOSFET 器件在沟道偏压 V_{ch} 下的转移特性曲线对比。在测试中, V_{ds} 固定在 0.5V, V_{ch} 从 1V 变化至 -2V, 间隔 0.5V, V_g 从 -1V 扫描至 2V。从图中结果可以看到,当 V_{ch} 为正时,器件的亚阈值电流会变大,尤其是在 $V_{ch}=1\text{V}$ 时器件已经几乎丧失了开关功能。这是因为在正的沟道偏压下 ($V_{ch}>0\text{V}$), 沟道电势会降低,即在未加栅极偏压下源结与漏结的势垒就会降低,使载流子可以注入沟道中形成电流。因此随着 V_{ch} 的增大器件会一直呈现导通状态,逐渐失去开关功能。而在负的沟道偏压下 ($V_{ch}<0\text{V}$), 器件的开态电流与亚阈值电流几乎不变,只是关态电流会有一定的增大,并且随着 $|V_{ch}|$ 的增大关态电流会逐渐变大。这应该是由于在该器件结构中形成了一个寄生电流,与本身的 MOSFET 器件电流叠加所导致的。负的 V_{ch} 会在 MOSFET 器件的沟道靠近下面电极的方向形成空穴的积累,当 $|V_{ch}|$ 足够大时就会在源漏之间形成寄生隧穿电流。当然,这一电流相对来说是很小的,因此它只对 MOSFET 器件的关态电流 I_{off} 产生影响,使其在大的沟道偏压下的电流开关比出现退化。

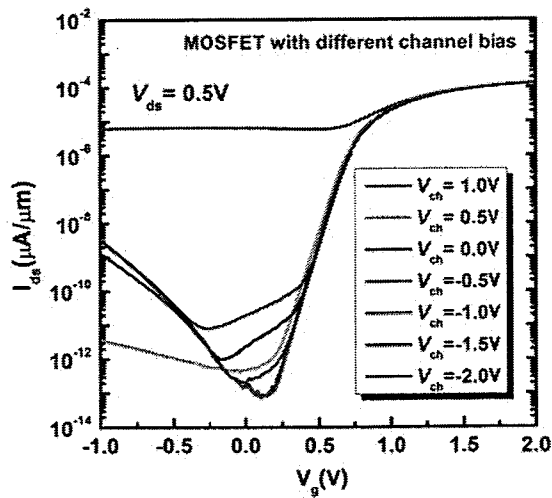


图 4.16 该 MOSFET 器件在不同沟道偏压 V_{ch} 下的转移特性曲线对比

4.6 小结

本章主要介绍了一种 T 形结构的 TFET 器件的制备方法及其电学特性表征。利用 T 形 Mesa 结构，我们在源极和漏极构成非对称的隧穿结，以抑制 TFET 器件内生的双极导通效应。实验结果表明，随着漏极/沟道间隧穿结宽度的减小，TFET 器件的双极导通效应得到了明显抑制，其电流开关比 I_{on}/I_{off} 在 $V_{ds}=-0.5V$ 时提高到了 10^8 。我们还研究了 SOI 衬底顶层硅厚度对 TFET 器件电学特性的影响，结果显示较薄的顶层硅膜有利于实现更大的隧穿几率，使器件的开态电流与亚阈值特性都会变好。此外，由于这个器件特殊的 T 形结构，其也可以被偏置在 MOSFET 器件的工作模式。我们对其在 MOSFET 工作模式下的电流-电压特性进行了测量，并对其中短沟道效应及沟道偏压对器件性能的影响等进行了分析。

第五章 抑制双极导通效应的互补多指栅 TFETs 及反相器

5.1 引言

上一章中我们已经介绍了一种采用 T 形结构的设计来抑制 TFET 器件双极导通效应的方法。通过这种源漏隧穿结的非对称设计，可以成功抑制 TFET 器件中的双极导通电流。本章将介绍另一种用以解决 TFET 器件中双极导通效应的新型器件，多指栅结构的 TFET。该结构利用伸向源极的多指栅，使源极的隧穿结长度远大于漏极隧穿结长度，从而实现抑制双极导通效应的目的。

在第三章中我们介绍过，使用硅化物中离子注入技术可以制作更陡峭的隧穿结，有效提升 TFET 器件的开态电流和亚阈值特性。本章通过进一步将上述两种器件概念相结合并进行结构优化，还设计了一种在源极使用硅化物中离子注入技术而漏极采用普通硅中注入技术，并且栅极为伸向源极的多指栅结构的 TFET 器件。通过这一优化的源漏隧穿结非对称设计，TFET 器件的双极导通电流得到了显著降低，并进一步提高了器件的电流开关比。同时，利用这一器件概念成功制备了互补的 N 型和 P 型 TFET 器件，基于这些器件的简单逻辑门反相器电路实验结果也验证了 TFET 器件抑制双极导通效应的重要性。

本章首先介绍了多指栅 TFET 的器件结构和工作原理，并在超薄顶层硅和超薄埋氧层 SOI (Ultra-thin body and ultra-thin box SOI, UTBB-SOI) 衬底上完成了器件制备，之后对器件的电学性能进行了测试和分析，尤其对器件在不同背栅偏压下的电学特性变化进行了分析。进一步地，我们在多指栅 TFET 的源极使用硅化物中离子注入技术形成隧穿结，成功制备出电学特性优异的 TFET 器件并且其双极导通电流得到了明显抑制。最后在制备的抑制了双极导通效应的互补 N 型和 P 型多指栅 TFET 器件基础上，成功构建了可以实现完整逻辑功能的 TFET 反相器。

5.2 UTBB-SOI 上制备的多指栅 TFET 器件及其电学表征

5.2.1 器件结构

图 5.1 (a) 展示了本节所研究的多指栅 TFET 器件的结构示意图。对于这个 N 型 TFET 器件来说，其源极是 p^+ 掺杂的而漏极是 n^+ 掺杂的。与普通 TFET 器件所不同的是，我们将条状的栅结构变为了一个伸向源极的多指栅 (Multi-finger gate) 结构。由于伸出的栅指被源极所包围，因此源极/沟道间的隧穿结长度显著增大。器件中的尺寸参数如图 5.1 (b) 所示，栅指宽度为 W_{gf} ，栅指长度为 L_{gf} ，栅柄宽度为 L_{gh} ，而漏极/沟道隧穿结宽度为 W_d 。因此器件中源极的隧穿结长度为 $(2n \times L_{gf} + n \times W_{gf})$ ，这里 n

为栅指数，而漏极的隧穿结长度只为 W_d 。通过增加栅指数及结构参数的优化设计，可以使源极、漏极隧穿结宽度之比达到 10:1 以上，从而抑制 TFET 器件中的双极导通效应。此外，文献报道过当两个隧穿结相邻很近时，会在其间引入耗尽调制效应 (Depleted modulation effect)，使隧穿结变得更加陡峭^[71]。在我们的器件设计中， $W_{gf}=100\text{nm}$ ， $L_{gf}=500\text{nm}$ ， $L_{gh}=500\text{nm}$ ， $W_d=500\text{nm}$ ，并设计了 2~5 个等栅指数。这一 TFET 器件制备在 sSOI 衬底上，下面我们将对其制备流程进行介绍。

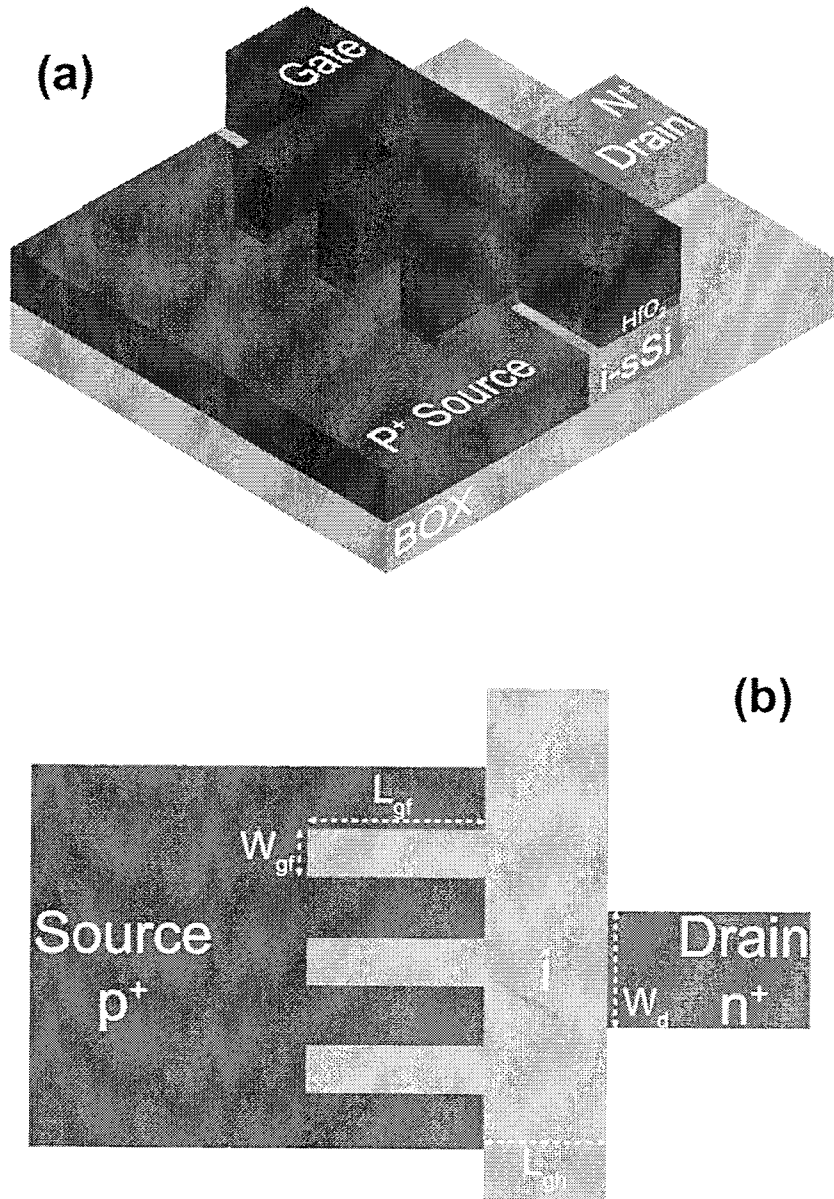


图 5.1 多指栅 TFET 器件的 (a) 3D 结构示意图; (b) 俯视结构图

5.2.2 器件制备

该器件的制备也在德国于利希研究中心的净化间完成。器件制备的流程图如图 5.2 所示，流片步骤如下：

- 电子束光刻对准标记
- Mesa 刻蚀
- 栅极 HKMG 的淀积与图形化
- 源/漏离子注入与激活
- 器件钝化与金属接触

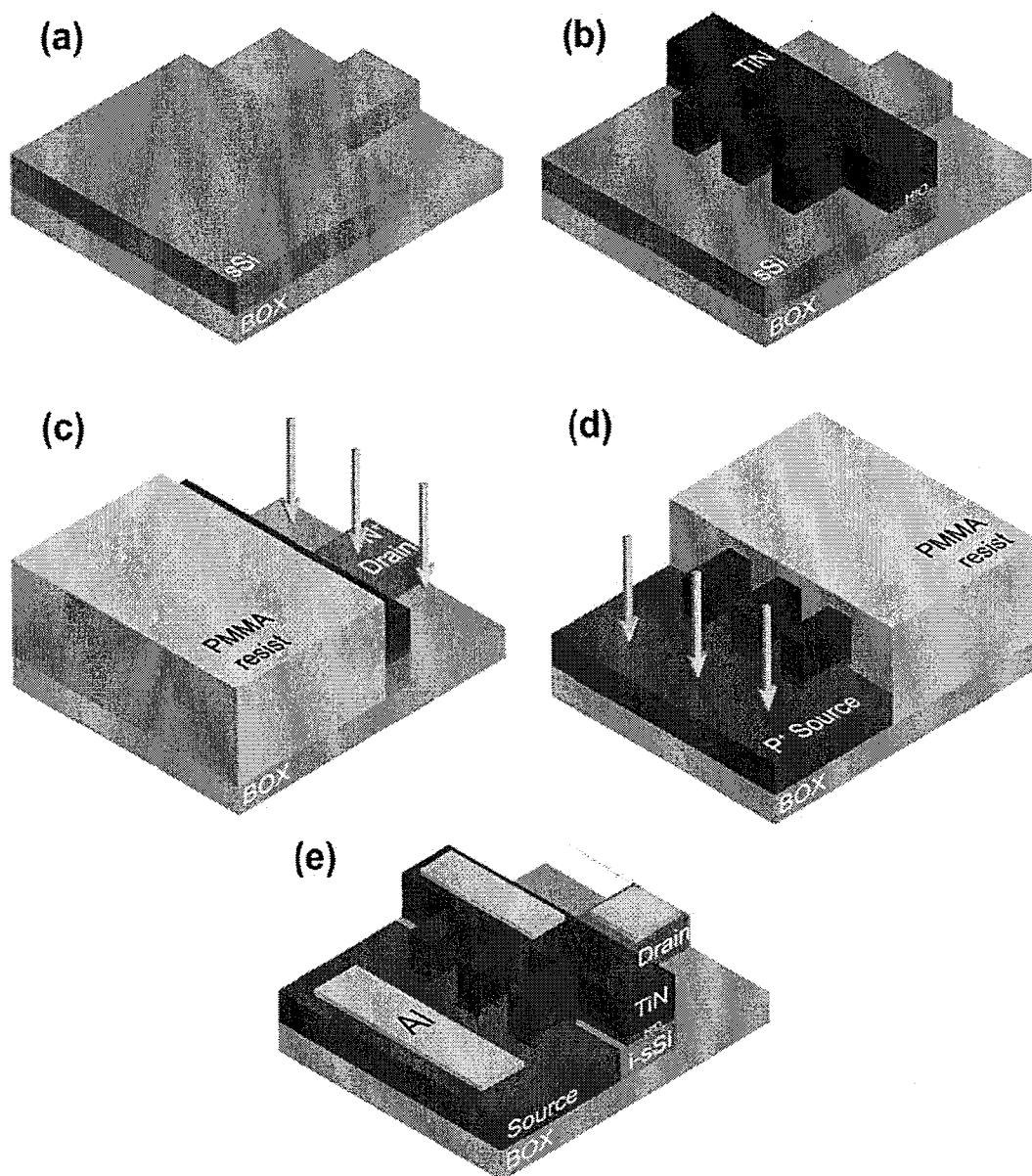


图 5.2 多指栅 TFET 器件制备流程图 (a) mesa 刻蚀；(b) 栅叠层淀积与图形化；(c) 漏极离子注入；
(d) 源极离子注入；(e) 器件钝化与金属接触

(7) 电子束光刻对准标记

制备器件的起始衬底是具有超薄顶层 Si 和超薄埋氧层的 sSOI 衬底 (UTBB-sSOI), 其中顶层 Si 厚度 $t_{Si}=12\text{nm}$, 埋氧层厚度 $t_{BOX}=25\text{nm}$ 。sSOI 衬底中顶层 Si 的双轴张应力为 $\varepsilon_{Si}=0.8\%$, 相当于生长在 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 上 Si 的应力。利用应变 Si 相比于 Si 来说更小的禁带宽度和载流子有效质量^[157], 可以实现更大的隧穿几率。同时衬底中的超薄埋氧层, 提供了对器件施加背栅偏压进行调制的可能。

由于设计的多指栅 TFET 器件结构关键尺寸较小, 最小尺寸低至 200nm, 所以其中关键图形的定义必须使用电子束光刻技术。电子束光刻对准标记的制作方法, 与第四章中所述基本相同, 在此不再详述。

(8) Mesa 刻蚀

Mesa 的图形化使用 HSQ 电子束光刻胶。应变 Si 的刻蚀与普通 Si 也没有区别, 具体过程与第四章中所介绍基本相同, 在此不再详述。

(9) 栅极 HKMG 的淀积与图形化

栅叠层为 3nm 的 HfO_2 和 60nm 的 TiN, 同样使用 ALD 和 AVD 方法淀积。多指栅结构的图形利用 HSQ 光刻胶采用电子束光刻技术形成, 栅结构的刻蚀方法与第四章中所介绍完全相同, 在此不再详述。栅极刻蚀之后的器件 SEM 照片如图 5.3 (a) 所示。

(10) 源漏离子注入与激活

栅结构形成后, 我们首先对漏极进行离子注入。在漏极注入过程中, 我们使用 PMMA 电子束光刻胶对源极进行覆盖保护。在垂直于漏极表面的方向注入 P 离子, 注入能量为 1keV, 注入剂量为 $2\times 10^{14}\text{cm}^{-2}$ 。去除光刻胶后, 接下来进行源极的离子注入。同样使用 PMMA 覆盖保护住漏极, 在垂直于源极的方向注入 BF_2 , 注入能量为 1.5keV, 注入剂量为 $5\times 10^{14}\text{cm}^{-2}$ 。在除去光刻胶后, 我们对注入离子进行退火激活, 以形成重掺杂的源极和漏极。退火条件为在 N_2 氛围中, 1050°C 下的脉冲快速退火 (Spike annealing)。

(11) 器件钝化与金属接触

源漏形成后, 我们在器件表面采用 PECVD 方法淀积了一层 SiO_2 钝化层, 厚度为 100nm。使用电子束光刻方法定义出栅极、源极、和漏极的接触孔之后, 采用 RIE 方法刻蚀掉 SiO_2 钝化层, 刻蚀气体为 CHF_3 。

之后, 我们在器件表面采用 Lift-off 工艺形成器件的金属电极接触, 接触金属为 150nm 厚的 Al。最后, 在样品背面去除表面氧化硅后, 淀积 150nm 厚的 Al 作为背栅接触金属。制备完成的器件结构 SEM 照片如图 5.3 (b) 所示。

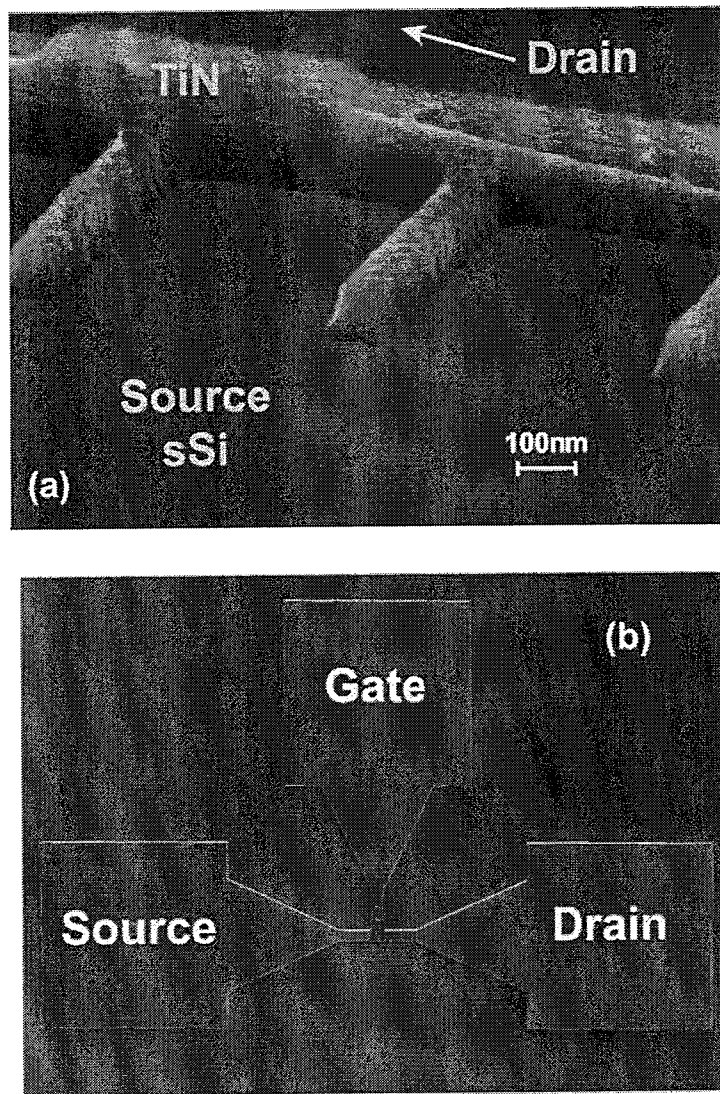


图 5.3 器件 (a) 栅结构形成后的 SEM 照片；(b) 制备完成后的 SEM 照片

5.2.3 电流-电压特性

器件制备完成后，我们对该多指栅 TFET 器件的电流-电压特性在室温下进行了测量，测量仪器为 Keithley 公司的 4200 系列测试分析仪。

对于这个 N 型器件，我们在其转移曲线测量中，所加源漏偏压 V_{ds} 分别为 0.1V、0.3V 和 0.5V，栅极电压 V_g 从 -1V 扫描至 1.5V。图 5.4 展示了测得的这个多指栅 TFET 器件的转移特性曲线，该器件的栅指数目为 5。为了公平地比较器件的电流性能，我们将测得的电流除以 W_d 进行归一化。从图中可以看出，该器件展现了较好的开关特性，其双极导通电流也得到了较明显抑制。但是，其开态电流非常小， I_{on} 在 $V_{dd}=|V_{ds}|=V_{ov}=|V_{gs}-V_{off}|=1V$ 时只有 $2.5nA/\mu m$ 左右。这里 V_{off} 代表器件转移曲线中最

小电流 I_{off} 所对应的栅极电压。这一较小的开态电流应该是由器件中隧穿结较大的势垒宽度所导致的。由于源极的掺杂是使用普通 Si 中离子注入加上后续的快速热退火所形成的，在这一工艺过程中杂质扩散非常快，因此会导致隧穿结杂质浓度梯度变缓， λ_{dop} 增大使载流子的隧穿几率降低。在 N 型 TFET 器件源极注入所使用的 B 离子的扩散尤其快，因此导致开态电流很小。这一电流大小比第三章中所介绍的采用源漏硅化物及硅化物中离子注入技术制备的 TFET 器件的开态电流小了 3 个数量级左右。这也导致器件电流开关比并不高，在 $V_{ds}=0.5V$ 时开关比为 2×10^4 。此外，在器件结构中多指栅的使用，使器件的漏极隧穿结宽度变小，所以该器件的双极导通 P 型电流并不明显，得到了较好的抑制。

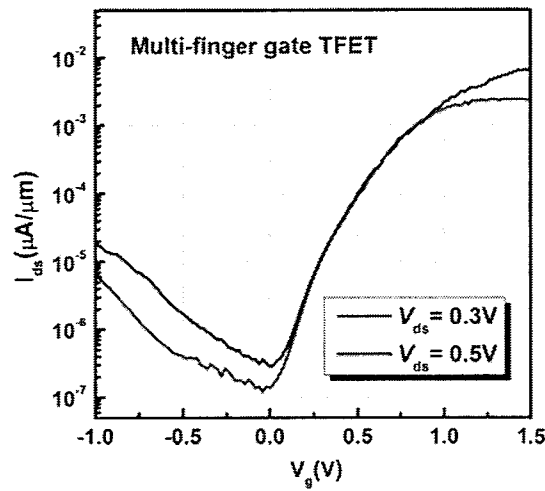


图 5.4 测得的多指栅 TFET 器件的转移特性曲线

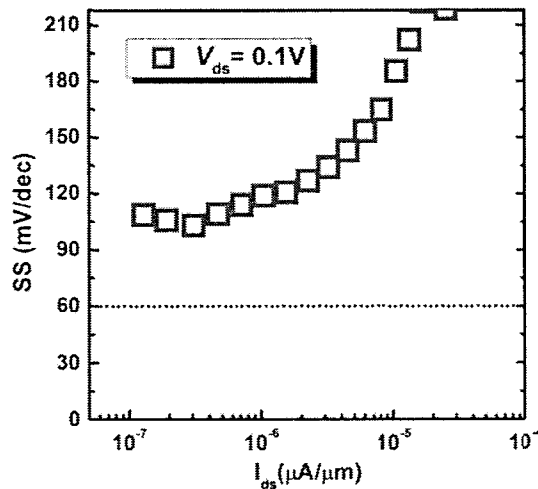


图 5.5 该器件的 SS- I_{ds} 特性曲线

图 5.5 则展示了该器件的亚阈值摆幅 SS 随 I_{ds} 变化的曲线。该器件的最小亚阈值摆幅 SS_{min} 约为 100mV/dec 左右。同时，该器件也展现了 SS 随着 I_{ds} 增大而增大的典型 TFET 器件特性。由于源极/沟道间隧穿结较缓，器件的 SS 相比第三章中所述器件的 SS 会更大一些。同时，缺陷辅助隧穿同样对器件的亚阈值电流有较大影响，导致在室温下测得的器件 SS 仍然较大。

我们同样测量了该器件的输出特性曲线，测试结果如图 5.6 所示。从图中可以看出，该器件依然展示了很好的源漏电流饱和性，但是它展现了一个明显的非线性开启现象。这一现象主要是由 TFET 器件中的漏致势垒变薄 (DIBT) 效应引起的^[211]。在 DIBT 中，当漏极施加更大的偏压时，漏极注入到沟道中的载流子会改变沟道的电势，引起源极隧穿结势垒的减薄，即源漏电流的增大。在该器件中，由于源极掺杂浓度不是非常高，使 DIBT 效应会更加显著，导致了输出曲线中观察到的非线性开启特性。

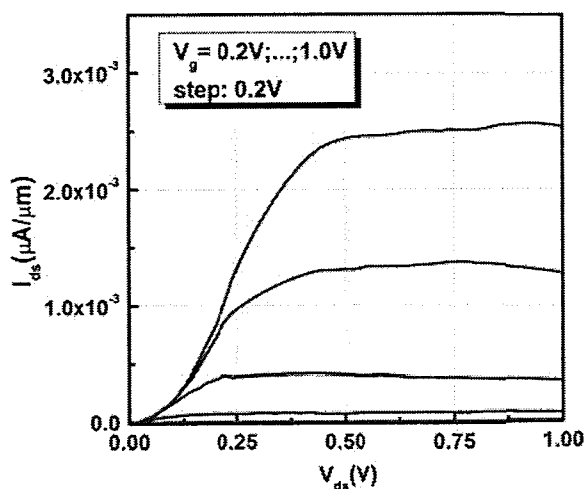


图 5.6 该器件的输出特性曲线

5.2.4 背栅偏压的影响

对于制备在 SOI 衬底上的器件来说，可以通过背栅偏压对其阈值电压等器件特性进行调制是其相比于体硅器件来说一个独特的优势。对这个制备在 UTBB-SOI 衬底上的多指栅 TFET 器件来说，其非常薄的埋氧层也给我们提供了对其施加背栅偏压研究其对 TFET 器件性能影响的可能。

在测试中，我们在样品的背电极施加了从 2V 到 -4V 的电压作为背栅偏压 V_{bg} ，通过 25nm 厚的埋氧 SiO_2 层可以将这一背栅电压耦合至顶层 Si 所制备的 TFET 器件上。图 5.7 展示了该器件在不同背栅偏压下的转移特性曲线的对比。从图中首先可以看出，这个 N 型 TFET 器件的阈值电压会随着所加背栅电压不同而发生偏移，在正

的 V_{bg} 下向左偏移, 而在更负的 V_{bg} 下向右偏移。这与 FD-SOI 衬底上的 N-MOSFET 器件施加背栅偏压后的阈值电压变化趋势是相同的^[222], 由于前栅和背栅电压之间的耦合作用使阈值电压发生了偏移。从图 5.7 中还可以看出, 在 $V_{bg}=2V$ 时器件的开态电流变小, 电流开关比下降, 亚阈值摆幅也变得更差了。这应该是由当加上正的背栅偏压后, p 型重掺杂的源极会一定程度上被耗尽, 使载流子浓度下降, 导致源极隧穿势垒变宽从而使隧穿电流减小。而在 V_{bg} 加上负电压后, 可以看到器件的开态电流增大很多, 其电流开关比在 $V_{bg}=-4V$ 时也由不加背栅偏压时的 2×10^4 提高到了 3×10^5 , 同时其亚阈值摆幅性能也有一定的提升。为了更好地比较不同 V_{bg} 偏压下的 TFET 器件电学特性的变化, 我们将曲线平移至一起以方便比较。

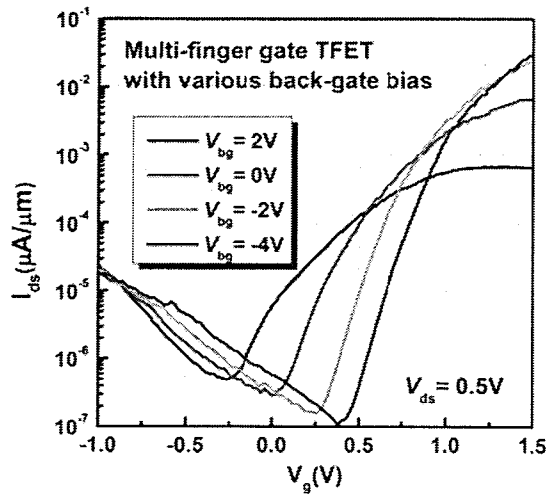


图 5.7 施加不同背栅偏压 V_{bg} 时 TFET 器件转移特性曲线对比

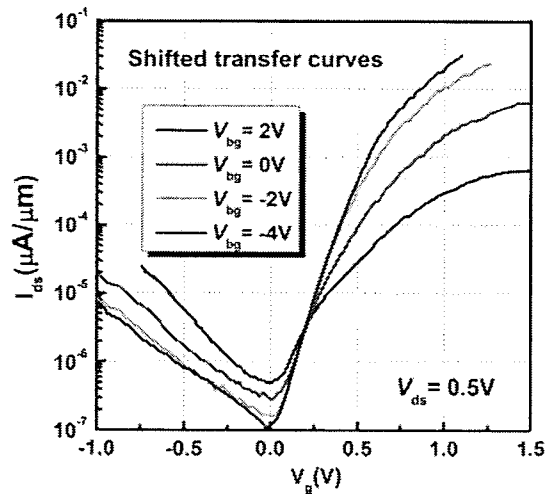


图 5.8 平移后的不同 V_{bg} 偏压条件下的转移特性曲线对比

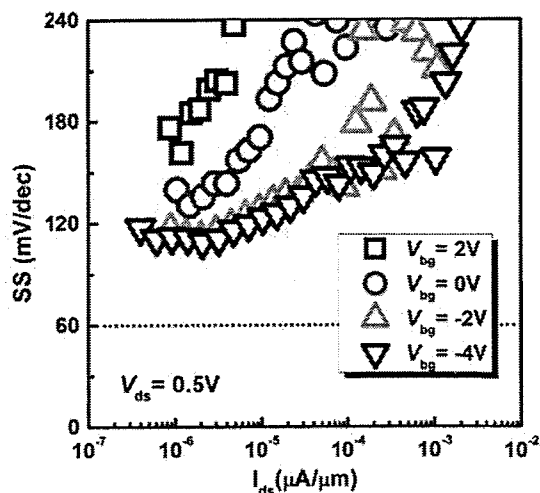


图 5.9 施加不同背栅偏压 V_{bg} 时的器件 SS- I_{ds} 特性对比

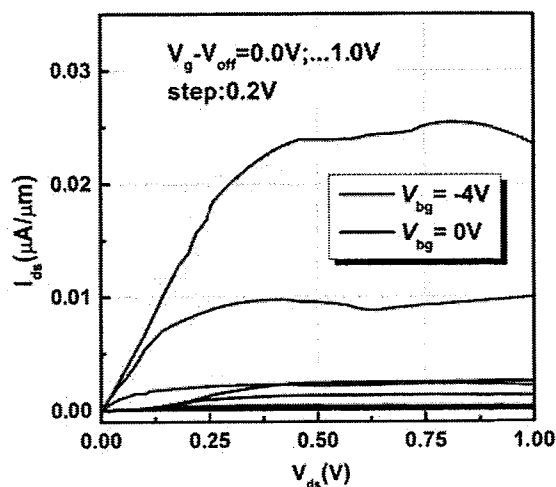


图 5.10 器件背栅偏压 V_{bg} 分别为-4V 和 0V 时的输出特性曲线对比

图 5.8 展示了平移后的不同 V_{bg} 偏压下的器件转移特性曲线的对比。可以很清楚地看到在同样的 $V_g - V_{off}$ 偏压下，施加负的后栅电压后器件开态电流有一个数量级左右的提升。同时图中也可以观察到随着 V_{bg} 越来越负，器件的亚阈值摆幅 SS 也越发陡峭。我们从转移曲线中提取了不同背栅偏压下的 SS 随着 I_{ds} 变化的曲线，如图 5.9 所示。在 $V_{ds} = 0.5V$ 时， SS_{min} 从 $V_{bg} = 0V$ 时的约 $120mV/dec$ ，到 $V_{bg} = -4V$ 时降低到了约 $95mV/dec$ ，而在 $V_{bg} = 2V$ 时 SS_{min} 增大到 $150mV/dec$ 。此外，我们也比较了不同背栅偏压下的该器件输出特性曲线的变化，如图 5.10 所示。在 $V_{bg} = -4V$ 时，器件在 $V_{dd} = V_{ds} = V_g - V_{off} = 1V$ 时的电流达到了约 $25nA/\mu m$ ，相比 $V_{bg} = 0V$ 时的输出特性，电流

大小提升了 10 倍左右。同时，该器件的输出曲线也在 $V_{bg}=-4V$ 的背栅偏压下展现了线性开启的特性，克服了其在不加背栅电压时的非线性开启现象。

综合上述器件电学特性曲线的对比与分析可以看出，这个制备在 UTBB-SOI 衬底上的 N 型 TFET 器件，在对其施加负的反栅偏压后，其电学性能得到了大幅提升。我们推测，这是由于对制备在超薄顶层 Si 上的 TFET 器件施加正的前栅偏压和负的反栅偏压后，可能在沟道中形成了电子-空穴双层隧穿 (Electron-hole bilayer tunneling) 现象^[223-226]，从而使 TFET 器件的电流和亚阈特性等得到了明显提升。

5.2.5 电子-空穴双层隧穿效应

双层隧穿效应，指的是在一个双栅 TFET 器件中，在前栅和背栅的共同控制下在较薄的沟道中的顶层和底层分别形成了一层电子层和一层空穴层，并分别与器件的源极和漏极相连，这时在这两层载流子之间会直接形成隧穿电流^[223]。这一隧穿过程相当于垂直 P-N 结构中的直接隧穿，它与传统的横向 TFET 结构中的隧穿过程很不相同。传统横向 TFET 器件结构是一个栅控的 P-I-N 结构，隧穿只发生在源极和沟道接触的区域，相当于是一种点隧穿 (Point tunneling) 过程，而在双层隧穿中隧穿过程是在整个沟道区域发生，隧穿面积大幅增大从而使其隧穿电流会更高。文献报道的 TCAD 仿真研究结果已经表明，采用双层隧穿结构的 TFET 器件可以实现十分陡峭的开关特性和较大的开态电流^[224-226]。但是目前报道的双层隧穿 TFET 器件的实验结果并不好，隧穿电流依然较小^[227,228]。由于双层隧穿形成的条件较为苛刻，至今还没有对 Si 基 TFET 器件中发生双层隧穿现象的实验报道。

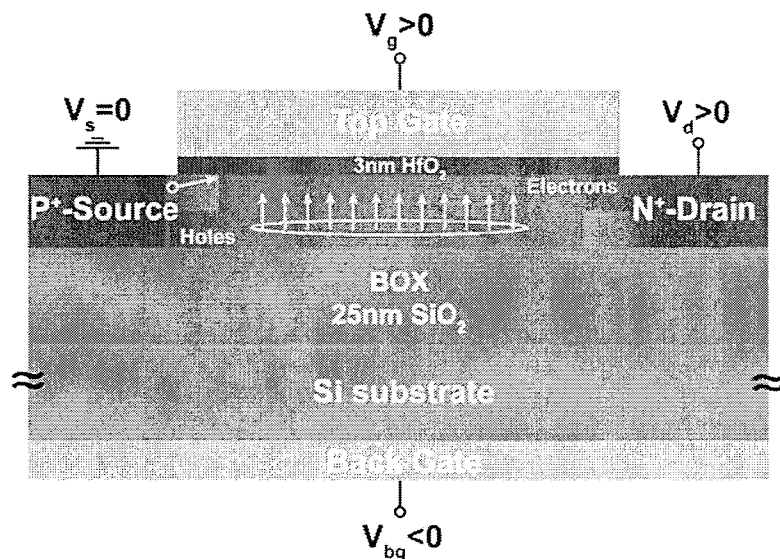


图 5.11 UTBB-SOI 衬底上 TFET 器件在前栅正向偏置、背栅反向偏置条件下，在沟道中形成双层隧穿的示意图

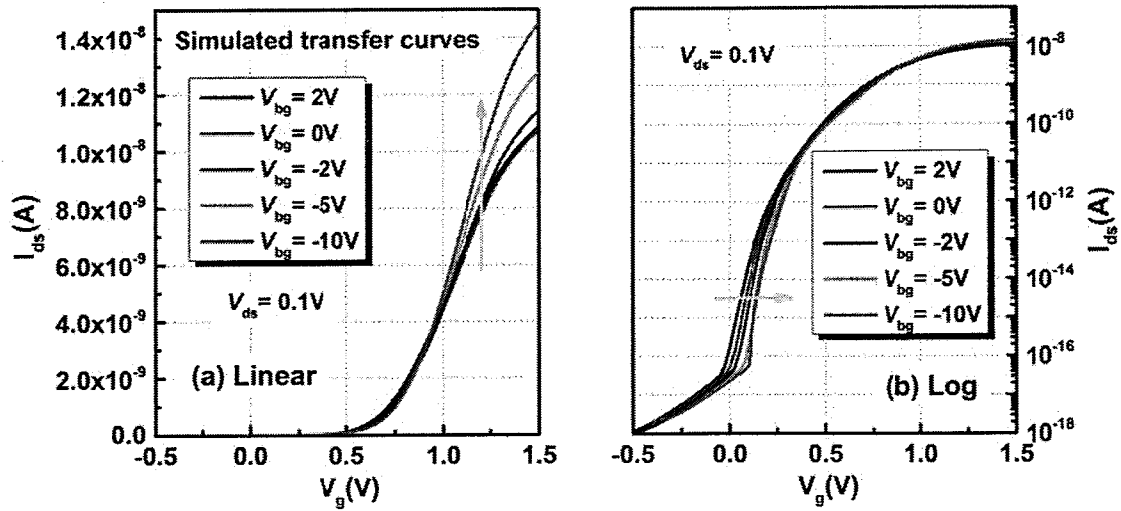


图 5.12 TCAD 仿真得到的该 TFET 器件在不同背栅偏压下的转移特性曲线

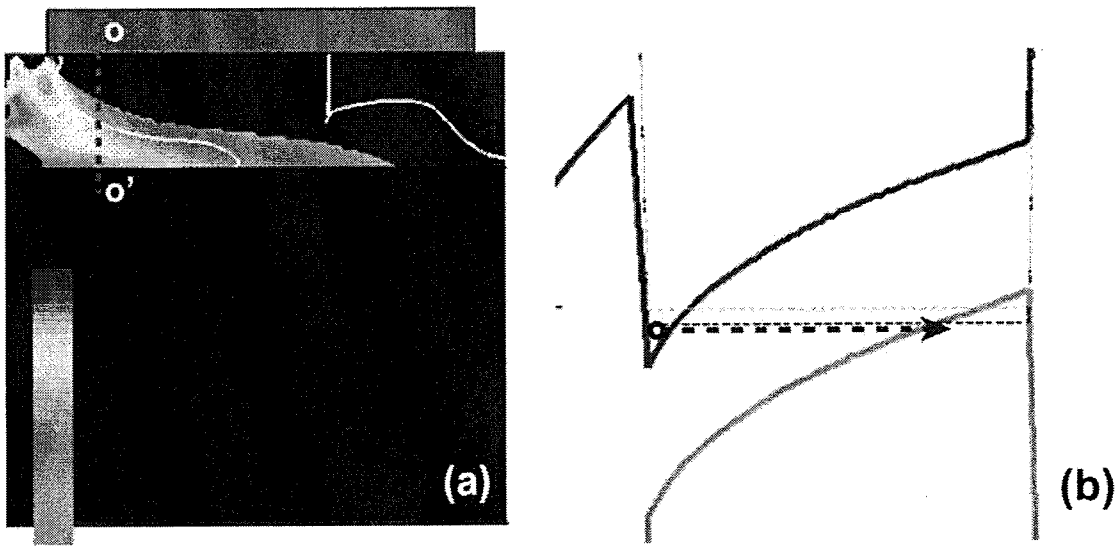


图 5.13 TCAD 仿真得到的该 TFET 器件在 $V_{bg} = -5V$ 时 (a) BTBT 产生率分布图; (b) 沿着 OO' 截线的能带图

我们在 UTBB-SOI 衬底上制备的多指栅 TFET 器件, 在正的前栅偏压和负的后栅偏压下, 同样可以在器件的沟道中形成类似双层隧穿 TFET (Electron-hole bilayer TFET) 的结构。图 5.11 展示了这个 TFET 器件在该偏压条件下的示意图。正的前栅电压会使沟道的上表面反型形成电子层, 其与 n^+ 掺杂的漏极相连, 而负的后栅电压会使沟道的下表面形成一层空穴层, 其与 p^+ 掺杂的源极相连。这两层电子层和空穴层在沟道

中上下彼此相对,在整个沟道区域会直接形成隧穿,如图 5.11 中箭头所示。但是在沟道中要这两层相对的电子和空穴层同时存在,需要恰到好处的顶层 Si 膜厚度。如果顶层 Si 过厚,则在电子层和空穴层之间还会存在一层本征层,从而使带间隧穿几率变得很低;若顶层 Si 较薄,则沟道会被占据主导的载流子所充满,沟道中难以同时存在空穴层和电子层。通常在 Si 沟道中的电子反型层和空穴反型层厚度为 3~5nm^[229]。这意味着如果想在 Si 沟道中形成垂直的 P-N 结构,则 SOI 衬底中顶层 Si 膜厚度需要在 8nm 左右,其优化值还取决于前栅氧化物和后栅氧化物的电容大小。在我们所制备的器件中,其顶层 Si 起始厚度为 12nm,经过 RCA 清洗后,由于表面被一定程度氧化减薄,我们在器件制备过程中通过椭偏仪测量到其最后形成的器件层厚度约为 8~9nm。这一厚度非常有利于在器件沟道中形成双层隧穿。同时,普通 SOI 衬底的埋氧层厚度一般为 145nm,而在制备该器件的 UTBB-SOI 衬底中埋氧层厚度仅为 25nm,更利于在施加背栅电压时在沟道下表面形成反型层。

为了验证我们的猜测,我们使用 TCAD 仿真方法对这一器件施加不同背栅偏压时的电流-电压特性进行了模拟研究。所使用的仿真工具为 Synopsys 公司的 Sentaurus 软件。我们在仿真软件中建立起相同的器件结构,在模拟中仅考虑 BTBT 过程,使用“Dynamic nonlocal path band2band tunneling”物理模型对其电流进行仿真。仿真得到的器件在不同背栅偏压条件下的转移特性曲线如图 5.12 所示。从图中可以看出,随着 V_{bg} 越来越负,器件的开态电流也变得更大,其阈值电压也向正的前栅方向偏移。这与实验中测得的器件转移特性曲线的变化趋势是一致的。图 5.13 (a) 展示了该器件在 $V_{bg}=-5V$ 时仿真得到的 BTBT 产生率分布图,从图中可以明显地看到在整个沟道区域都有 BTBT 发生。沿着图中的 OO' 截线的能带图则如图 5.13 (b) 所示,图中显示了在沟道的上表面有一层电子反型层,而在沟道下表面有一层空穴反型层存在。同时,它们的能带已经产生了交叠,因此 BTBT 电流可以在垂直于沟道的方向产生。

综合上述测试与仿真结果,可以推测出这一制备在 UTBB-SOI 衬底上的 N 型 TFET 器件在负背栅偏压下电学性能的提升,可能是由器件沟道中双层隧穿现象发生所引起的。但是在 Si 基 TFET 器件中发生双层隧穿现象的条件也非常苛刻,我们推测其只有在一定厚度的顶层 Si 中(8nm 左右)才会产生,并且如果 SOI 衬底的埋氧层厚度可以更薄的话,则应该可以在更小的背栅偏压下就使制备在其上的 TFET 器件的电学特性得到提升。

5.3 源极采用硅化物中注入技术的多指栅 TFET 器件的制备与表征

5.3.1 器件结构

上一节中对多指栅结构的 TFET 器件的电学特性已经进行了详细的测试与分析，通过对源漏隧穿结宽度的调制，成功抑制了器件中的双极导通效应。但是由于源极隧穿结是通过传统的 Si 中离子注入技术制备的，因此该器件的开态电流非常小。在第三章中我们已经介绍过，采用硅化物中离子注入技术可以制备非常陡峭的隧穿结，并使 TFET 器件的开态电流得到大幅提升。在本节中，我们将这一技术应用在多指栅结构 TFET 器件的源极，以期待可以获得更优异的器件性能。这个源极使用硅化物中离子注入技术制备的多指栅 TFET 器件的结构示意图如图 5.14 所示。

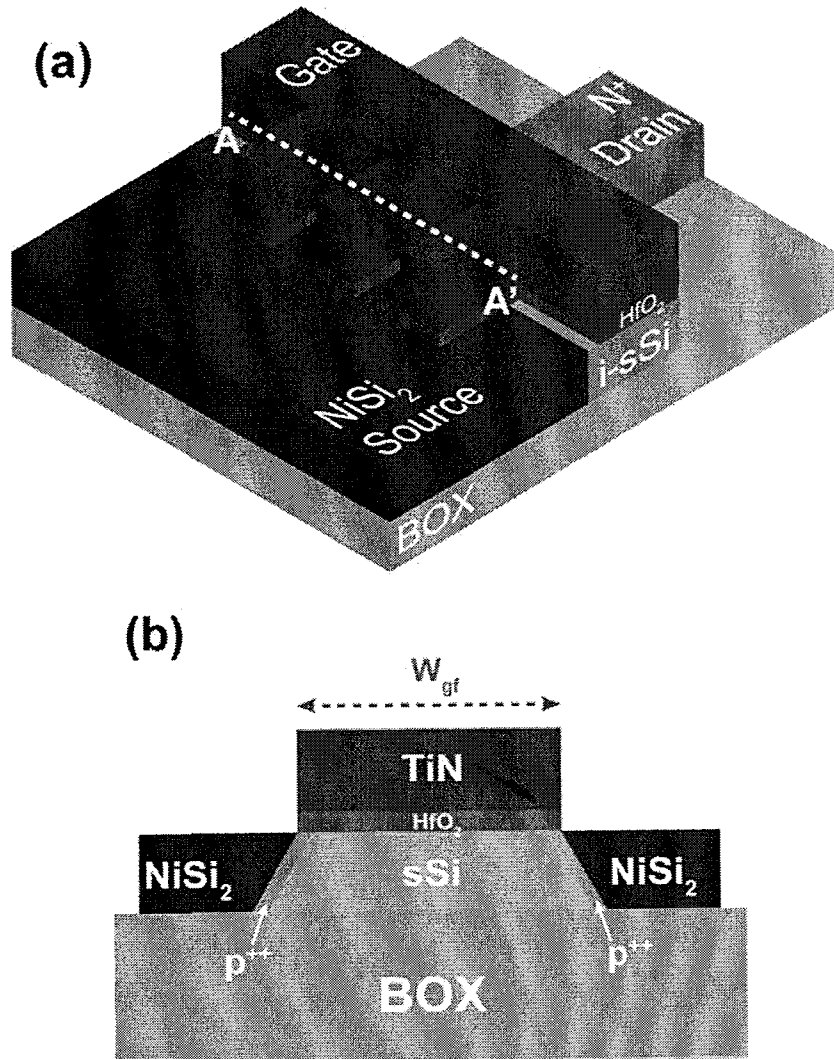


图 5.14 源极采用硅化物中离子注入技术制备的多指栅 TFET 器件的 (a) 3D 结构示意图; (b) 沿着 AA' 截线的截面示意图

5.3.2 器件制备

该器件制备在具有超薄顶层硅层的 sSOI(UTB-sSOI)衬底上。顶层 Si 厚度 $t_{Si}=8\text{nm}$ ，埋氧层厚度 $t_{\text{BOX}}=145\text{nm}$ ，顶层 Si 中的双轴张应力为 $\varepsilon_{Si}=0.8\%$ 。器件制备流程如图 5.15 所示，流片步骤如下：

- 电子束光刻对准标记
- Mesa 刻蚀
- 栅极 HKMG 的淀积与图形化
- 漏极离子注入与激活
- 源极硅化物 NiSi_2 形成与离子注入
- 金属接触

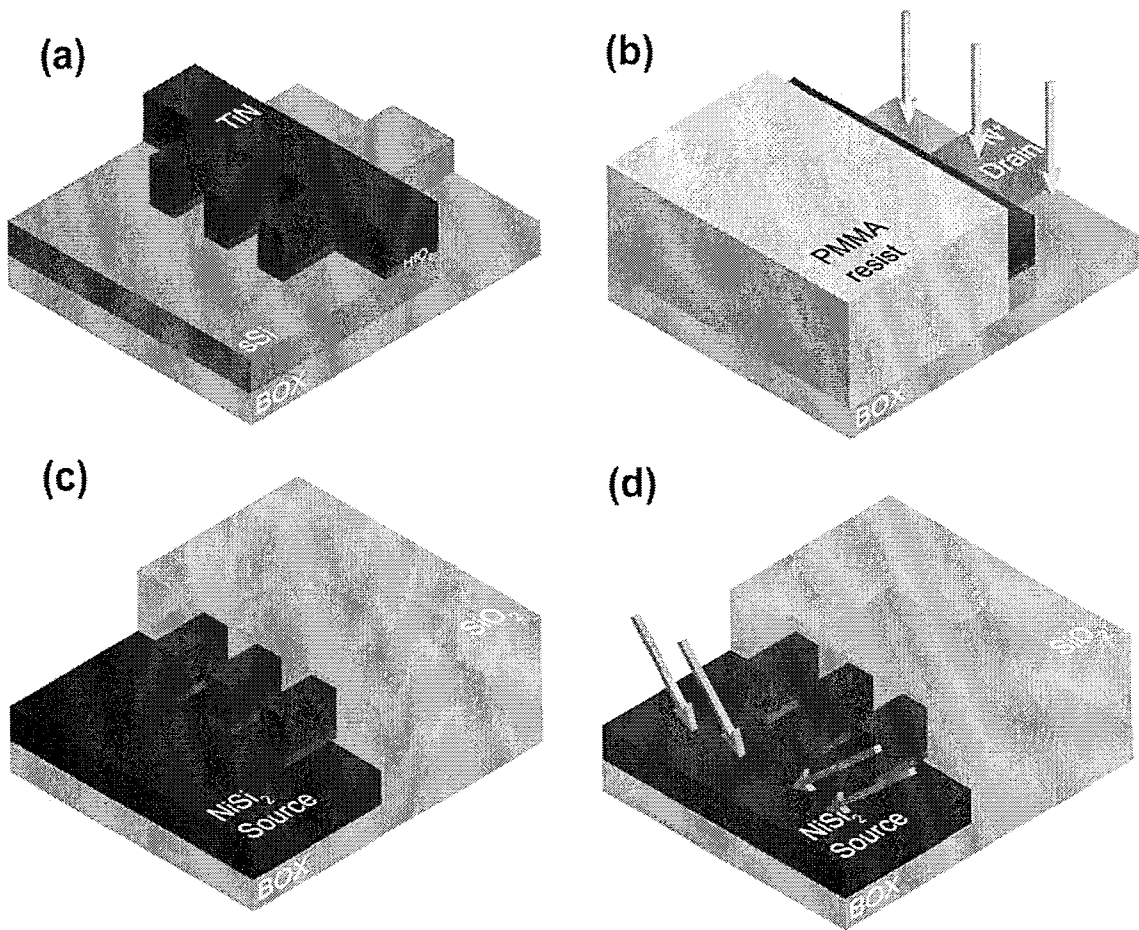


图 5.15 源极采用硅化物中离子注入的多指栅 TFET 器件的制备流程图 (a) mesa 和栅叠层形成；(b) 漏极离子注入；(c) 源极硅化物 NiSi_2 形成；(d) 源极硅化物中离子注入

- (1) 电子束光刻对准标记
- (2) Mesa 刻蚀
- (3) 栅极 HKMG 的淀积与图形化

(4) 漏极离子注入与激活

以上四个步骤与章节 5.2 中所述相同, 在此不再详述。

(5) 源极硅化物形成与离子注入

对于该器件, 在漏极注入及退火后, 其源极的隧穿结制备方法是不同的。我们首先在器件表面采用 PECVD 方法淀积一层 100nm 厚的 SiO_2 层。利用电子束光刻方法定义出源极区域, 这里采用的光刻胶是 ZEP, 它是一种电子束光刻正胶。之后, 采用 RIE 刻蚀方法刻蚀掉源极区域的 SiO_2 层, 刻蚀气体为 CHF_3 。将样品表面光刻胶去除后, 放入 1%HF 溶液中浸泡 10 秒, 去除 Si 表面的残留氧化层。之后立刻在 Si 表面利用溅射方法淀积 1.6nm 厚的金属 Ni, 并在 Forming gas 中 700°C 温度下快速退火 30 秒, 形成与栅指自对准的 NiSi_2 。然后使用稀释的硫酸溶液去除未反应的金属 Ni。

硅化物形成之后, 通过硅化物中离子注入技术在硅化物与 Si 的界面处形成重掺杂的 pocket。在栅指的两侧分别以 45° 和 135° 倾角注入 B 离子, 如图 5.15 (d) 所示, 注入能量为 1.5keV, 注入剂量为 $2 \times 10^{15} \text{cm}^{-2}$ 。之后在 Forming gas 中, 500°C 下快速退火 10 秒, 以激活 B 离子。

这里需要指出的是, 器件定义在源极开孔的区域与栅柄之间留有一段距离, 大约为 100nm, 以保证源极/沟道隧穿结只会形成在栅指区域, 而不会在栅柄区域形成肖特基结。

(6) 金属接触

之后使用电子束光刻方法定义出栅极和漏极的接触孔, 采用 RIE 方法刻蚀掉 SiO_2 钝化层。最后, 在器件表面采用 Lift-off 工艺形成金属电极, 接触金属为 150nm 厚的 Al。制备完成的器件结构 SEM 图片如图 5.16 所示。

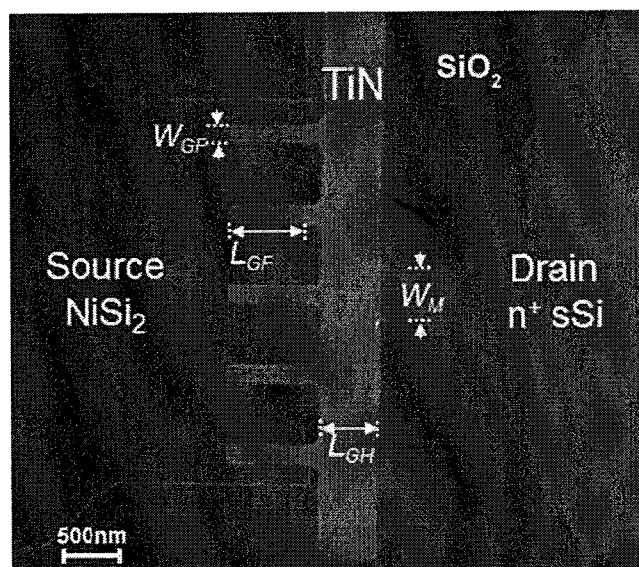


图 5.16 器件制备完成后的 SEM 照片

5.3.3 电流-电压特性

器件制备完成后，我们对该器件的电流-电压特性在室温下进行了测量，测量仪器为 Keithley 公司的 4200 系列测试分析仪。

图 5.17 展示了该器件在室温下测得的转移特性曲线。从图中可以看到该 N 型 TFET 器件中的双极导通效应得到了明显抑制。这应该归功于该器件中非对称的源漏设计，多指栅结构使源极隧穿结长度增加，同时源极利用硅化物中注入技术形成更陡峭的隧穿结，而漏极使用普通 Si 中离子注入技术所以其隧穿结较缓。该器件的电流开关比由此得到了进一步提高，在 $V_{ds}=0.5V$ 时高达 5×10^8 。这得益于该器件在抑制双极导通电流后实现了非常小的关态电流 I_{off} 。器件的开态电流 I_{on} 在 $V_{dd}=1V$ 时约为 $2.3\mu A/\mu m$ 。

该器件也展现了非常陡峭的亚阈值摆幅特性，在 I_{ds} 为 $5 \times 10^{-9} \sim 5 \times 10^{-6} \mu A/\mu m$ 的三个数量级电流区间内其平均亚阈值摆幅 SS_{avg} 为 $71mV/dec$ 。图 5.18 则展示了 SS 随着 I_{ds} 变化的曲线。可以看到该器件的最小亚阈值摆幅 SS_{min} 在室温下约为 $40mV/dec$ ，同时在一个数量级的源漏电流区间内展现了小于 $60mV/dec$ 的 SS 。器件测得的栅极电流 I_g 也被展示在转移特性曲线中，如图 5.17 所示。可以看到 I_g 小于 I_{ds} ，因此可以说测量得到的较小 SS_{min} 并不是由栅极泄漏电流所导致的，而是由源极所形成的非常陡峭的隧穿结中的带间隧穿电流所实现的。

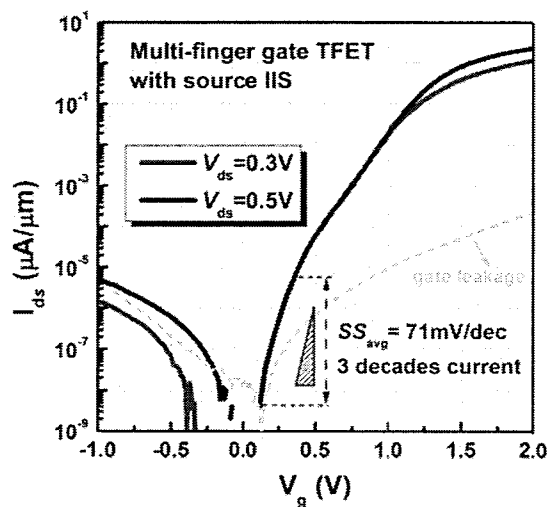


图 5.17 源极使用硅化物中离子注入技术的多指栅 TFET 器件在室温下测得的转移特性曲线

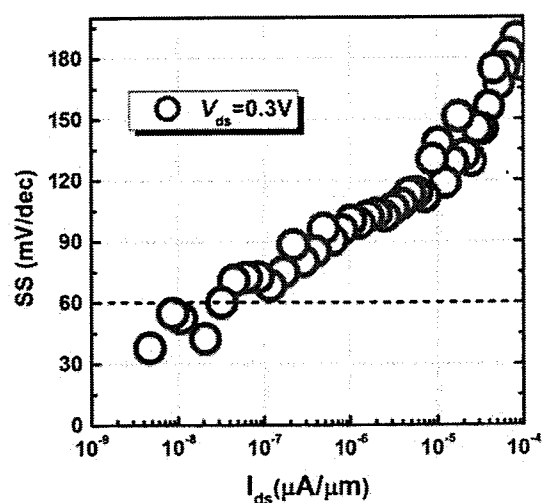
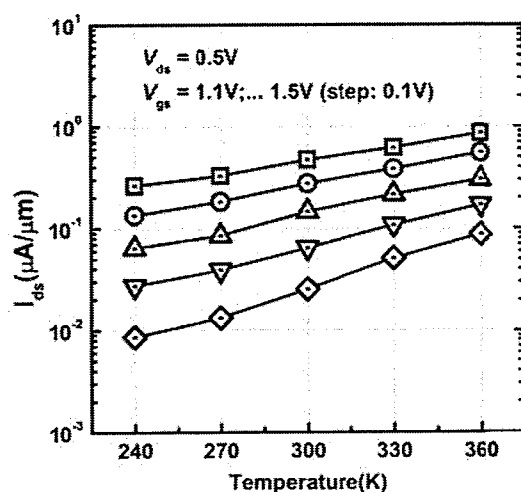
图 5.18 该器件的 SS- I_{ds} 特性曲线

图 5.19 该器件的源漏电流随温度而变化的特性曲线

我们也对该器件的低温电流特性进行了测量，图 5.19 展示了该器件的源漏电流 I_{ds} 在 240K~360K 的温度范围内随温度的变化曲线。从图中可以看出，器件电流展现了正的温度依赖性，即随着温度的升高 I_{ds} 也在逐渐变大。这是由于在较高温度下禁带宽度 E_g 会略微减小而引起 BTBT 电流增大。这一结果也进一步验证了该 TFET 器件中的电流主要是由 BTBT 所形成的。

针对器件在模拟电路中的应用，我们还进一步地研究了器件的跨导 g_m 和有效增益 g_m/I_d 指标。器件的跨导代表了栅极对驱动电流的控制能力，可以表示为：

$$g_m = \frac{\partial I_d}{\partial V_g} \quad (5.1)$$

图 5.20 (a) 展示了提取出的该器件的跨导特性。从图中可以看出在这个 TFET 器件中, g_m 随着 V_g 的增大会呈持续增大, 在 $V_g=1.5V$ 和 $V_{ds}=0.5V$ 的偏压下 g_m 约为 $3\mu S/\mu m$ 。这与传统 MOSFET 器件的跨导特性有很大不同, 在 MOSFET 器件中跨导会在阈值电压附近达到峰值并随着 V_g 的增大而迅速降低^[230]。这是由于在 TFET 器件中, 器件电阻主要是由隧穿结电阻所主导的。一般情况下隧穿结电阻远大于沟道电阻, 所以 TFET 器件的电阻几乎不依赖于迁移率, 因此 TFET 器件的 g_m 会随着 V_g 的增大而持续变大。

器件应用在模拟电路中的另外一个重要参数是有效增益 g_m/I_d , 它代表了电流可以被转化为跨导的效率, 即一个可以实现高放大能力的电流区间。它可以表示为:

$$g_m/I_d = \frac{\partial I_d}{\partial V_g} \cdot \frac{1}{I_d} = \frac{\ln(10)}{SS} \quad (5.2)$$

图 5.20 (b) 展示了在该器件中提取出的 g_m/I_d 随 I_d 而变化的曲线。从图中可以看出, g_m/I_d 的最大值出现在器件的亚阈值电流区域, 这是由于 g_m/I_d 反比于 SS , 如公式(5.2)所示。在 $V_{ds}=0.1V$ 时, g_m/I_d 的峰值为 $90V^{-1}$, 在 $V_{ds}=0.5V$ 时峰值为 $63V^{-1}$ 。它们都超过了 MOSFET 器件在室温下由于载流子热激发所导致的 $38V^{-1}$ 的 g_m/I_d 极限。这表明 TFET 器件可以在较小电流下提供非常大的放大能力, 因此非常有潜力应用在未来低功耗的模拟电路中。

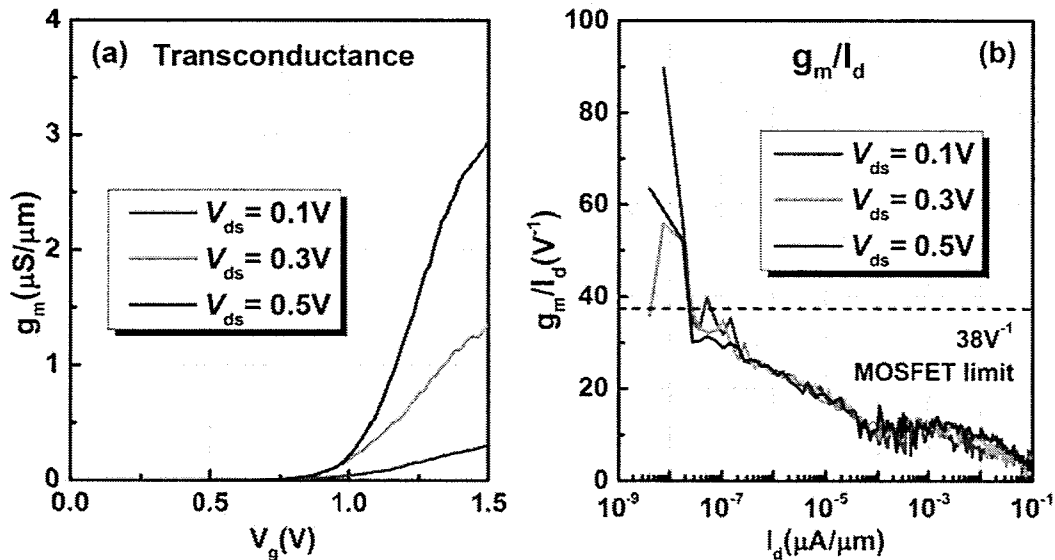


图 5.20 该器件的 (a) 跨导 g_m ; (b) 有效增益 g_m/I_d

5.3.4 转移曲线中的 Kink 效应分析

在图 5.17 所示的该 TFET 器件的转移曲线中，还值得注意的是在 V_g 为 0.5V~1V 之间曲线有明显的扭结 (Kink)。我们推测这是由于在栅指的头部和两侧的隧穿结的不同所导致的，如图 5.21 中所示的区域 “A” 和区域 “B”。

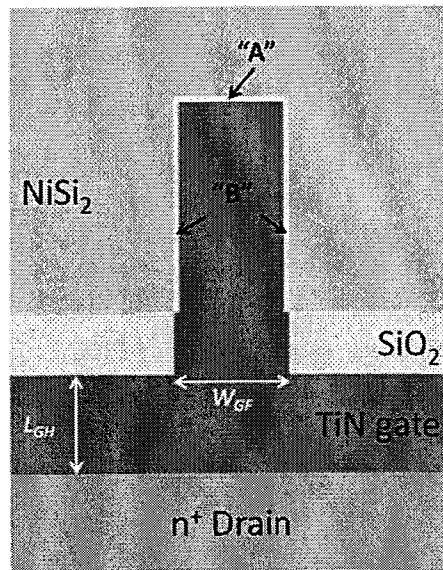


图 5.21 器件表面的顶视示意图，栅指头部被标记为区域 “A”，栅指两侧被标记为区域 “B”

我们的第一个假设是在区域 “A” 和区域 “B” 中的耗尽调制效应的不同导致了转移特性曲线中扭结的发生。之前已经介绍过，当两个隧穿结彼此临近时，会在其间发生结的耗尽调制效应^[71]。对于区域 “A” 来说，其受到三个方向的结耗尽层影响，因此其相对区域 “B” 来说会受到更强烈的耗尽调制效应的影响。文献^[231]报道过，增强的耗尽调制效应会使隧穿结的开启延迟，即区域 “A” 的隧穿电流会比区域 “B” 的隧穿电流延迟产生。但是区域 “A” 相对较小的面积，使它不能够在较大的 V_g 偏压下占据电流的主导地位，这与转移曲线中所观察到的结果是相矛盾的。因此，我们怀疑这一耗尽调制效应并没有在这个 TFET 器件中产生作用。我们利用 TCAD 仿真方法，在顶层 Si 厚度分别为 8nm 和 100nm 的 SOI 衬底上分别模拟了栅指区域的能带图，如图 5.22 所示。仿真结果显示在 8nm 厚的超薄顶层 Si 中，栅指宽度 W_{gf} 为 100nm 时的能带位置与 W_{gf} 很大 (3 μ m) 时并没有差别，耗尽调制效应仅在 $W_{gf} < 50$ nm 时才可以被观察到。而在 100nm 厚的顶层 Si 中，耗尽调制效应即使在 $W_{gf} = 100$ nm 时已经非常明显。这应该是因为在超薄顶层 Si 中，由于其已经被完全耗尽，栅控能力增强使结处产生更强的能带弯曲，并因此导致更小的耗尽效应产生。所以耗尽调制效应仅在非常小的栅指尺寸下才会发生。在我们所制备的器件中，其顶层 Si 器件层仅有 8nm，

并且其栅指宽度 W_{gf} 为 100nm 左右，所以在这个还是相对较大的结构中，我们并没有观察到耗尽调制效应。

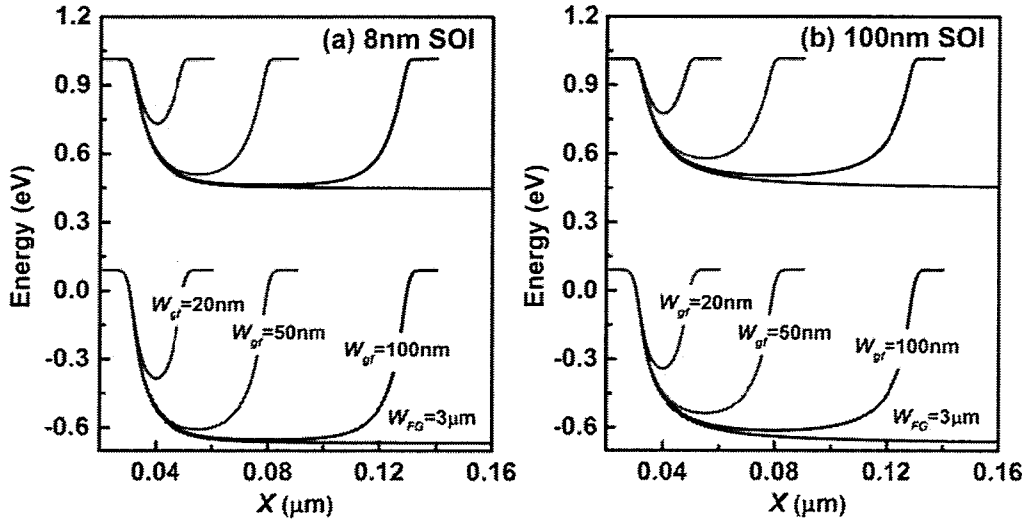


图 5.22 TCAD 仿真得到的在顶层 Si 为 (a) 8nm 和 (b) 100nm 厚度的 SOI 衬底上，不同栅指宽度 W_{gf} 下的表面能带图

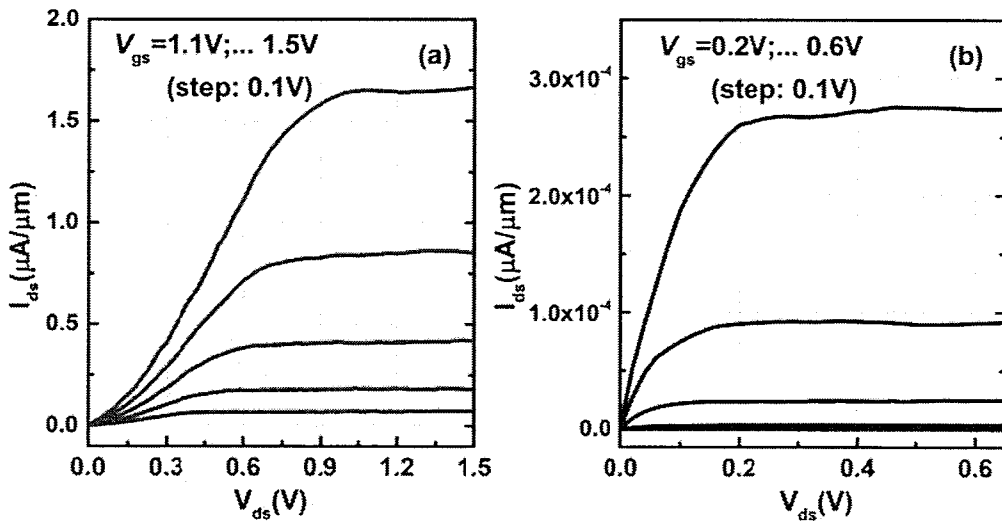


图 5.23 测得的该器件的输出特性曲线，在 (a) 较高 V_g 下观察到电流的非线性开启特性；(b) 较低 V_g 下观察到电流是线性开启的

因此我们又推测转移曲线中的扭结应该是由源极离子注入工艺所导致的区域“A”和区域“B”中的隧穿结不同所导致的。在器件制备中，我们在栅指的两侧采用了两步倾斜注入步骤，如图 5.15 (d) 所示。由于在栅指的头部并没有阴影效应 (Shadow

effect), 因此区域“**A**”的注入剂量会是区域“**B**”注入剂量的两倍。在区域“**A**”, 更加重掺杂的隧穿结会首先开启, 而较低掺杂的区域“**B**”的隧穿结则会在更大的栅极电压下才开启。并且由于区域“**B**”具有更大的隧穿结长度, 会在电流中占据主导, 导致转移曲线中 Kink 现象的发生。

这一假设进一步被器件的输出特性曲线所证实。图 5.23 (a) 展示了在较高栅极电压下的输出特性曲线。在曲线中可以观察到非常明显的非线性开启现象, 这意味着此时的主导电流是由一个较低掺杂的隧穿结所产生的^[201], 即区域“**B**”中的隧穿结。而在较小栅极电压下的输出曲线如图 5.23 (b) 所示, 可以观察到源漏电流线性开启的特性, 意味着在器件刚刚开启时的主导电流是由一个较重掺杂的隧穿结所产生的, 即区域“**A**”中的隧穿结。

5.3.5 互补 N 型与 P 型 TFET 器件

以上我们已经介绍了使用源极硅化物中离子注入工艺制备的 N 型多指栅 TFET 器件, 其展现了优异的电学性能。这一设计同样也适用于制备 P 型 TFET 器件。在器件制备中, 只需要交换在源极和漏极的掺杂元素即可实现 P-TFET 器件, 即在器件的漏极使用 B 离子注入, 而在源极使用 P 离子在硅化物中进行注入。

测得的该 P 型 TFET 器件的转移特性曲线如图 5.24 中蓝色曲线所示。可以看到采用这一设计的 P-TFET 器件的双极导通电流得到了很好地抑制, 其电流开关比也达到了 2×10^7 。在转移特性曲线中同样可以观察到明显的 Kink 现象, 这与 N-TFET 器件的转移特性曲线中所展现的 Kink 现象是相似的。

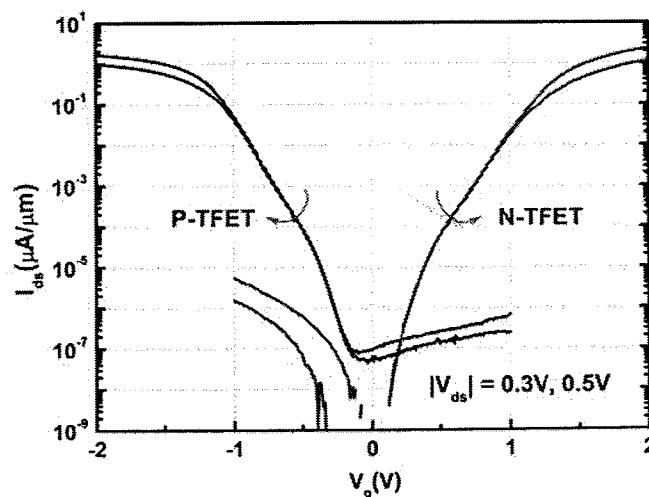


图 5.24 互补 N 型与 P 型 TFET 器件的转移特性曲线

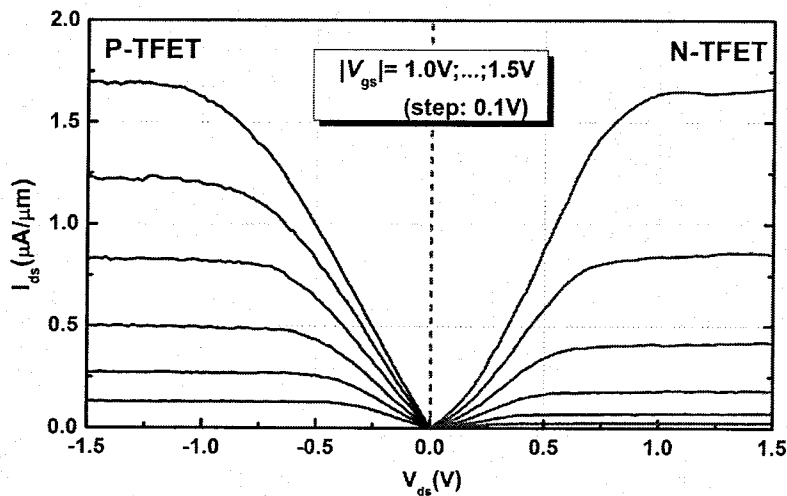


图 5.25 互补 N 型与 P 型 TFET 器件的输出特性曲线

图 5.25 则展示了该 P-TFET 器件的输出特性曲线。从图中可以看出，该器件展现了很好的源漏电流饱和性，同时在较小的 $|V_{ds}|$ 下可以观察到电流的非线性开启现象。P-TFET 器件的开态电流 I_{on} 在 $V_{dd}=1V$ 时约为 $2\mu A/\mu m$ ，这一数值与 N-TFET 的开态电流也是非常接近的。从图 5.24 和图 5.25 中也可以看出，这一对互补的 N-TFET 和 P-TFET 器件展现了良好的电学性能对称性。

5.4 互补多指栅 TFET 反相器

上一节中我们已经介绍了采用源极硅化物中注入技术制备的多指栅结构 TFET 器件的电学特性。在本节中，我们利用制备出的 N-TFET 和 P-TFET 器件，构成了一个互补 TFET 反相器 (Complementary TFET inverter)，并对其基本特性进行了测试与分析。

反相器也称非门 (Not gate)，是构成数字电路的最基本电路模块^[232]。它可以在数字逻辑中实现非逻辑，即反相器电路的输出电压所代表的逻辑电平与输入相反。反相器可以仅用一个 NMOS 晶体管或一个 PMOS 晶体管连接一个电阻来构建。因为这种“阻性漏极”方式只需要使用一种类型的器件，其制造成本较小。但是由于电流以两种状态之一流过电阻，这种阻性漏极配置存在功耗较大及开关速度较慢等问题。构成反相器的另一种方式是使用两个互补的晶体管配置成 CMOS (Complementary MOSFET) 反相器^[233]，它也是目前集成电路中主要使用的技术。典型 CMOS 反相器的结构与表征其输入-输出电压关系的电压传输特性曲线 (Voltage Transfer Curve,

VTC) 如图 5.26 所示。采用这种配置可以大幅降低功耗, 因为在两种逻辑状态中, 两个晶体管中的一个总是截止的。同时 CMOS 反相器的开关速度也能得到较大改善, 这是因为与 NMOS 型或 PMOS 型反相器相比, CMOS 反相器的电阻也相对较低。

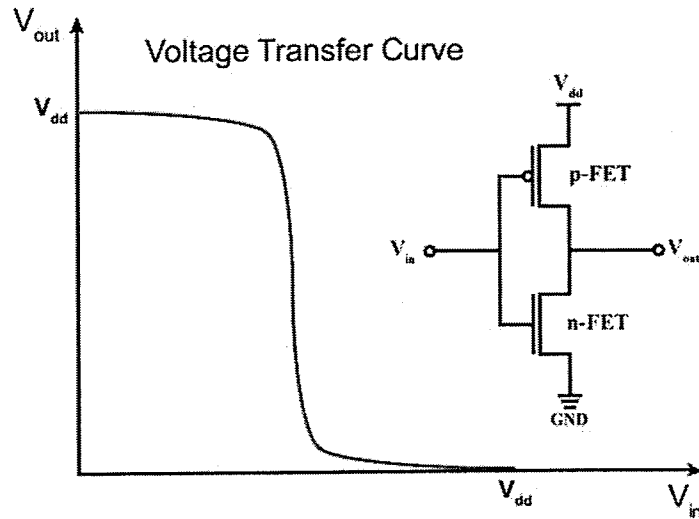


图 5.26 互补逻辑 CMOS 反相器结构示意图及其典型电压传输特性曲线

在 CMOS 反相器中, N 型器件的源极接地, 而 P 型器件的源极连接在电源电压 V_{dd} 上。输出信号 V_{out} 代表了这两个相连器件的漏极电压, 而输入信号 V_{in} 则分别连接在两个器件的栅极。随着输入信号 V_{in} 从 0V 到 V_{dd} 的变化, N 型器件或 P 型器件会分别进入导通模式。对于 N 型器件来说, 输入电压即对应着其栅极电压 $V_g^N = V_{in}$; 而对于 P 型器件, 由于源极连接在 V_{dd} 上, 因此有效的栅极电压 $V_g^P = V_{in} - V_{dd}$ 。随着 V_{in} 的变化, 电学导通的那个晶体管决定了输出电压 V_{out} 的大小。当 N 型器件导通时 V_{out} 约等于 0V, 而当 P 型器件导通时 V_{out} 约等于 V_{dd} 。

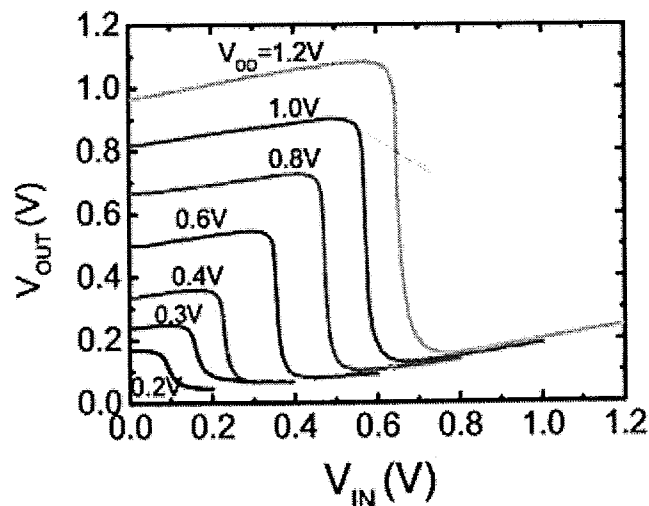


图 5.27 文献^[234]报道的 C-TFET 反相器的 VTC 特性曲线, 双极导通效应导致其不能实现完整逻辑摆幅

在第一章中我们介绍过，一个反相器的功耗由动态功耗和静态功耗两部分组成，采用具有陡峭开关特性的 TFET 器件代替传统 MOSFET 器件，可以从理论上有效降低反相器的功耗。但是目前文献中报道的 C-TFET 反相器电路中，由于 TFET 器件具有强烈的双极导通电流，导致其电压传输特性曲线出现严重退化^[234,235]，如图 5.27 所示。由于双极导通效应的影响，TFET 器件在正的栅极偏压下和负的栅极偏压下都会导通，因此没有关态分明的 N 型和 P 型器件，导致 C-TFET 反相器的最大输出电压 V_{OH} 不能达到 V_{dd} ，最小输出电压 V_{OL} 也不能低至 $0V$ ，使其不能实现理想的输出逻辑摆幅。仿真结果^[236]已经表明，如果 TFET 器件可以抑制其双极导通电流，则 C-TFET 反相器也可以实现完整的输出逻辑摆幅。我们在上一节中利用硅化物中注入技术制备的互补多指栅 TFET 器件，不仅很好的抑制了双极导通电流，还展现了对称性良好的电学特性，因此它们非常适合于构成 C-TFET 反相器。

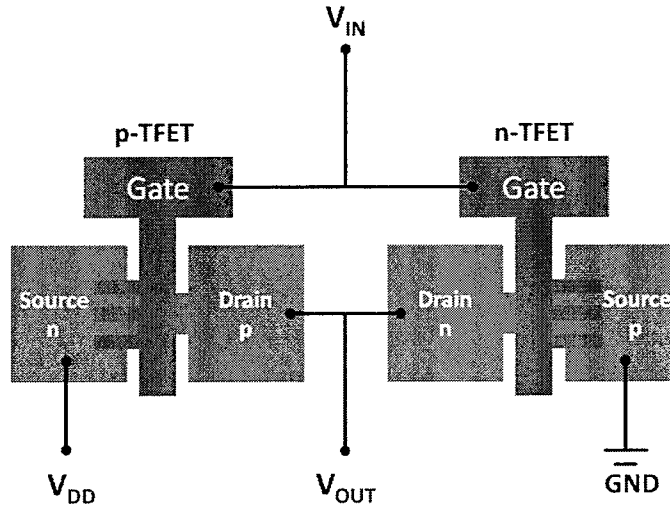


图 5.28 互补多指栅 TFET 反相器电路的连接示意图

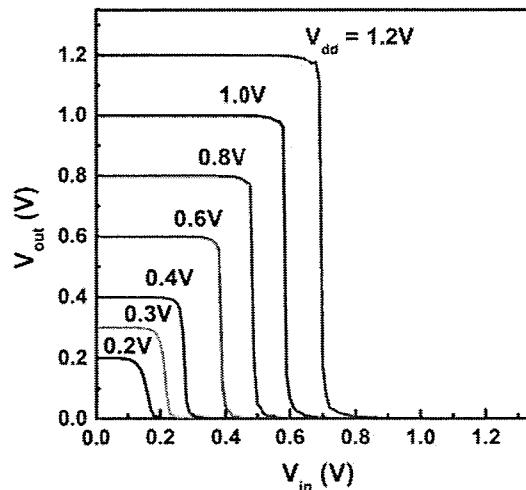


图 5.29 测得的多指栅 C-TFET 反相器的 VTC 特性曲线

我们将这一对互补 N 型和 P 型多指栅 TFET 器件按如图 5.28 所示方式连接成反相器电路。图 5.29 展示了测得的该 C-TFET 反相器的 VTC 特性曲线。从图中可以看出，对于 V_{dd} 从 1.2V 到 0.2V 的情况下，该反相器均展现了优异的性能。与之前报道的结果^[234]相比较，这一采用抑制了双极导通效应的 TFET 器件的反相器，展现了稳定的输出电平，输出逻辑摆幅也达到了 V_{dd} ，即在 V_{in} 较小时， $V_{out}=V_{dd}$ ，而 V_{in} 较大时， $V_{out}=0V$ 。从图中还可以看到，这个反相器从输出高电平到输出低电平之间的过渡区，并不是位于 $V_{dd}/2$ ，而是向右偏移了大约 0.1V。这是由于这对互补的 N 型和 P 型 TFET 器件的电流特性并不是完美对称的，略大的 P 型器件电流导致 VTC 曲线的过渡区位于大于 $V_{dd}/2$ 的位置。

反相器的另一个重要指标是其在过渡区的电压增益 (Voltage gain)。图 5.30 显示了该反相器在不同 V_{dd} 下的电压增益随 V_{in} 而变化的关系图。在 $V_{dd}=1.2V$ 时电压增益为 52，而在 V_{dd} 低至 0.2V 时电压增益依然达到了 5。较大的电压增益意味着，在过渡区一个较小的输入电压变化即可以导致很大的输出改变，因此在 VTC 曲线中可以形成一个非常窄的从高输出电平到低输出电平的过渡区。

这一输出电平陡峭转变的特性还可以用另外一个参数噪声容限 (Noise margin) 来评估。噪声容限的边界取在电压增益等于 1 的位置，又叫做单位增益点。从一个逻辑工作点到相邻的单位增益点间的输入电平变化范围，被定义为噪声容限^[232]。在 $V_{dd}=0.3V$ 时，该反相器的噪声容限如图 5.31 所示，低电平噪声容限 NM_L 为 0.185V，高电平噪声容限 NM_H 为 0.065V，两者相加达到了 0.25V，相当于电源电压 V_{dd} 的 83%。因此可以认为该反相器的噪声容限特性非常好，在较低电源电压下依然可以实现稳定的逻辑非门功能。

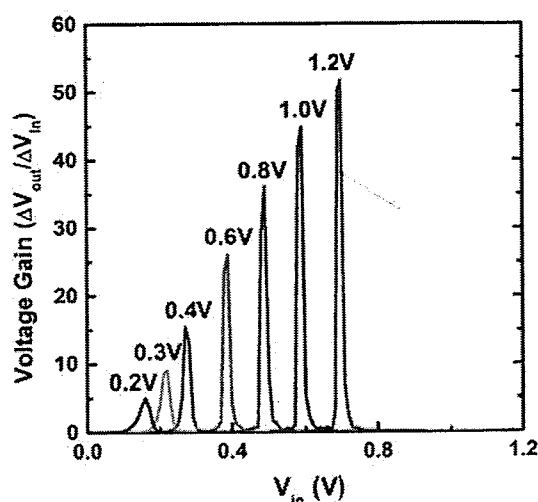


图 5.30 该 C-TFET 反相器的电压增益特性曲线

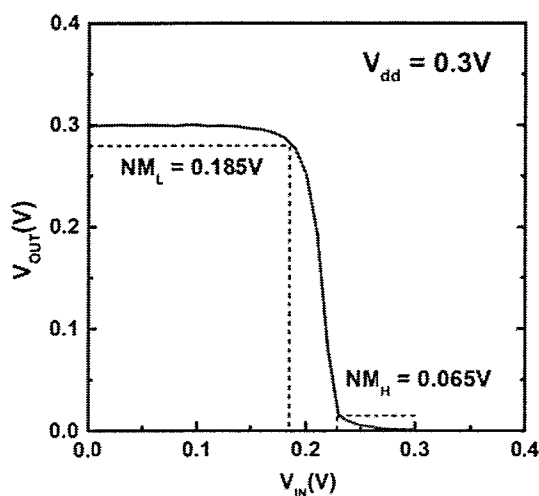


图 5.31 该 C-TFET 反相器在 $V_{dd}=0.3V$ 时的噪声容限特性

5.5 小结

本章针对 TFET 器件存在的双极导通现象，设计了一种多指栅结构的 TFET 器件来抑制这一效应。测试结果显示，采用这一设计成功抑制了 TFET 器件的双极导通电流。此外对于这个制备在 UTBB-SOI 衬底上的 N 型多指栅 TFET 器件，我们研究了背栅偏压对器件电学特性的影响。结果显示在负背栅偏压下，该 N 型 TFET 器件的开态电流和亚阈值摆幅等特性得到明显提升。我们推测这可能是由于在该器件的沟道中形成了电子-空穴双层隧穿现象所导致的。进一步地，我们在多指栅 TFET 器件的源极使用硅化物中离子注入工艺形成隧穿结，成功制备出电学性能优异的 TFET 器件。该器件的双极导通电流得到了明显抑制，其电流开关比进一步提高到了 5×10^8 ，并且在室温下测得了 $<60\text{mV/dec}$ 的亚阈值摆幅， SS_{\min} 约为 40mV/dec 。基于采用这一工艺制备的抑制了双极导通效应的多指栅 N 型和 P 型 TFET 器件，我们成功构建了可以实现完整输出逻辑摆幅的 C-TFET 反相器。这个反相器在 V_{dd} 低至 $0.2V$ 时仍可以很好地实现逻辑功能，展现了良好的电压增益和噪声容限等特性。

第六章 研究总结与展望

随着集成电路工艺制程向纳米节点发展,芯片的功耗已经成为限制 IC 技术进一步发展的瓶颈,这也使得新型低功耗技术的研究显得尤为紧迫。隧穿场效应晶体管 (Tunnel FET, TFET),由于其特有的带间隧穿 (Band to band tunneling, BTBT) 导通机制,可以克服传统 MOSFET 器件在室温下由于热电势的限制而导致的 60mV/dec 的亚阈值摆幅 (SS) 极限,被认为是最有潜力用于未来面向超低功耗应用的新型陡峭开关器件之一。然而目前针对 TFET 器件的研究仍处于起步阶段,国内外报道的 TFET 器件的实验结果显示,其目前还面临许多技术难点,例如较小的开态电流、缺陷辅助隧穿 (TAT) 等寄生效应引起的 SS 退化、双极导通效应限制了其逻辑上的应用、缺少关于 TFET 器件的精确模型等。

本论文工作主要围绕如何解决这些技术难点与填补相关研究空白而展开,对基于 SOI 衬底的新型 TFET 器件的设计、制备、电学表征和逻辑应用等进行了一系列实验研究,主要取得如下成果:

- (1) 提出一种使用 MOSFET 器件的栅致漏极泄漏电流 (GIDL) 的分析提取材料关键隧穿参数的方法。利用 Kane 模型成功提取了 Si 和不同 Ge 组分 SiGe 材料中的关键隧穿参数 B 。通过对拟合曲线在不同电场强度下展现的差别,分析了 TAT 过程的影响,并定义和提取了缺陷的等效缺陷能级 E_t 。结果显示,在 SiGe 材料中的等效缺陷能级较 Si 中来说距离导带更近。通过与理论计算结果的对比,验证了该方法的可行性,其可在未来用于对更广泛材料的隧穿参数进行研究,并对 TFET 器件的性能进行更精确的 TCAD 仿真预测。
- (2) 采用优化的硅化物中离子注入工艺制备陡峭的隧穿结,以改善 TFET 器件的开态电流及亚阈特性。在超薄顶层硅 SOI 衬底 (UTB-SOI) 上,采用该方法制备的平面 P 型 TFET 器件展现了优异的电学性能。器件的电流开关比在 $V_{ds}=-0.5V$ 时达到了 10^7 ,开态电流 I_{on} 在 $V_{dd}=1V$ 时达到了 $2\mu A/\mu m$,最小亚阈值摆幅 SS_{min} 低至 60mV/dec 左右,较之前文献报道的平面 TFET 器件性能有明显提升。此外,通过对器件进行低温电学特性测试,分析了 TFET 器件中不同电流形成机制间的竞争关系,并通过提取缺陷激活能 E_a 的方法,确认了器件开态电流主要是由 BTBT 所产生的并讨论了 TAT 对器件性能的影响。
- (3) 在国际上首次全面地测试和分析了 TFET 器件的电容-电压特性,填补了 TFET 器件在该方面的实验研究空白。结果显示,TFET 器件的电容响应特性由于其独特的 P-I-N 结构,与传统 MOSFET 器件有很大不同,栅漏电容 C_{gd} 在总电容

中占据主导。但是与之前文献报道的 TFET 器件电容的 TCAD 仿真结果所不同的是, 实验结果发现 TFET 器件的栅源电容 C_{gs} 在较大的 $|V_g|$ 和 $|V_{ds}|$ 偏压下随着 BTBT 的增强会有明显的响应, 并使 C_{gd} 也相应地减小。这一结果表明 TFET 器件中的米勒电容 C_{gd} 并不像之前理论模拟推测的那样大, 其电容模型等需要被重新考虑。

- (4) 提出一种 T 形结构的 TFET 器件, 通过在源极和漏极构成非对称的隧穿结, 以抑制 TFET 器件的双极导通效应。实验结果显示, 随着漏极隧穿结宽度的减小, TFET 器件的双极导通效应得到了明显抑制, 其电流开关比在 $V_{ds}=-0.5V$ 时高达 10^8 。此外, 对在不同厚度顶层硅 SOI 衬底上制备的 TFET 器件的电学特性进行了对比研究, 结果显示较薄的顶层硅膜有利于实现更大的隧穿效率, 使器件的开态电流与亚阈特性得到提升。
- (5) 针对 TFET 器件存在的双极导通特性, 还设计了一种多指栅结构的 TFET 器件来抑制这一效应。在超薄顶层硅和超薄埋氧层的 SOI (UTBB-SOI) 衬底上, 成功制备了 N 型多指栅 TFET 器件, 结果显示其双极导通电流得到了较好的抑制。此外, 我们还研究了背栅偏压对 TFET 器件电学特性的影响。测试结果表明, 在负背栅偏压下该 N 型 TFET 器件的开态电流和亚阈特性都得到了明显提升, 我们推测这可能是由于在器件沟道中形成了电子-空穴双层隧穿所导致的。
- (6) 结合多指栅结构和硅化物中离子注入技术的优势, 设计了一种源极采用硅化物中离子注入形成隧穿结的多指栅 TFET 器件。在 UTB-SOI 衬底上成功制备出抑制了双极导通效应的互补 N 型和 P 型 TFET 器件, 它们也展现了优异的电学性能。其中 N 型 TFET 器件的电流开关比进一步提高到了 5×10^8 , 并且在室温下测得了 $<60mV/dec$ 的亚阈摆幅, SS_{min} 约为 $40mV/dec$ 。此外还研究了该器件的跨导 g_m 和有效增益 g_m/I_d 指标, 得益于其陡峭的 SS, 它的有效增益在亚阈电流区超过了 MOSFET 器件的理论极限, 表明 TFET 器件非常有潜力应用在未来超低功耗的模拟电路中。
- (7) 基于制备出的平面 P 型 TFET 器件, 构建了一个 TFET 基本电流镜电路。测试结果显示其具有很高的镜像系数, 并展现了良好的输出特性。此外, 基于制备出的互补多指栅 TFET 器件, 构建了 C-TFET 反相器。由于互补 TFET 器件很好地抑制了双极导通电流, 并且对称性良好, 这个 C-TFET 反相器显示了优异的电路性能, 较文献中所报道的 C-TFET 反相器的性能有了明显提升。它在 V_{dd} 从 1.2V 至 0.2V 的偏压下, 都可以实现完整的输出逻辑摆幅, 并展现了良好的电压增益和噪声容限等特性。这些 TFET 基本电路模块的良好结果, 体现出了 TFET 器件在低功耗应用领域极大的应用潜力。

对于后续工作的展望：

- (1) 进一步对 TFET 器件的结构和制备工艺进行优化，提升器件的性能，以满足在更低电源电压电路中的要求。
- (2) 对基于 TFET 器件的更大规模电路模块进行研究，如 SRAM、加法器、差分放大电路等。针对 TFET 器件不同于传统 MOSFET 器件的独特性质，需要对相应的电路架构进行特殊考虑和优化，以验证基于 TFET 器件的电路的低功耗特性。
- (3) 物联网的兴起催生出巨量的传感元件需求，具有陡峭开关特性的 TFET 器件，也适合于制造面向未来超低功耗需求的传感元件。在基于 TFET 的低功耗、高灵敏度传感器件领域有广阔的研究和应用空间。