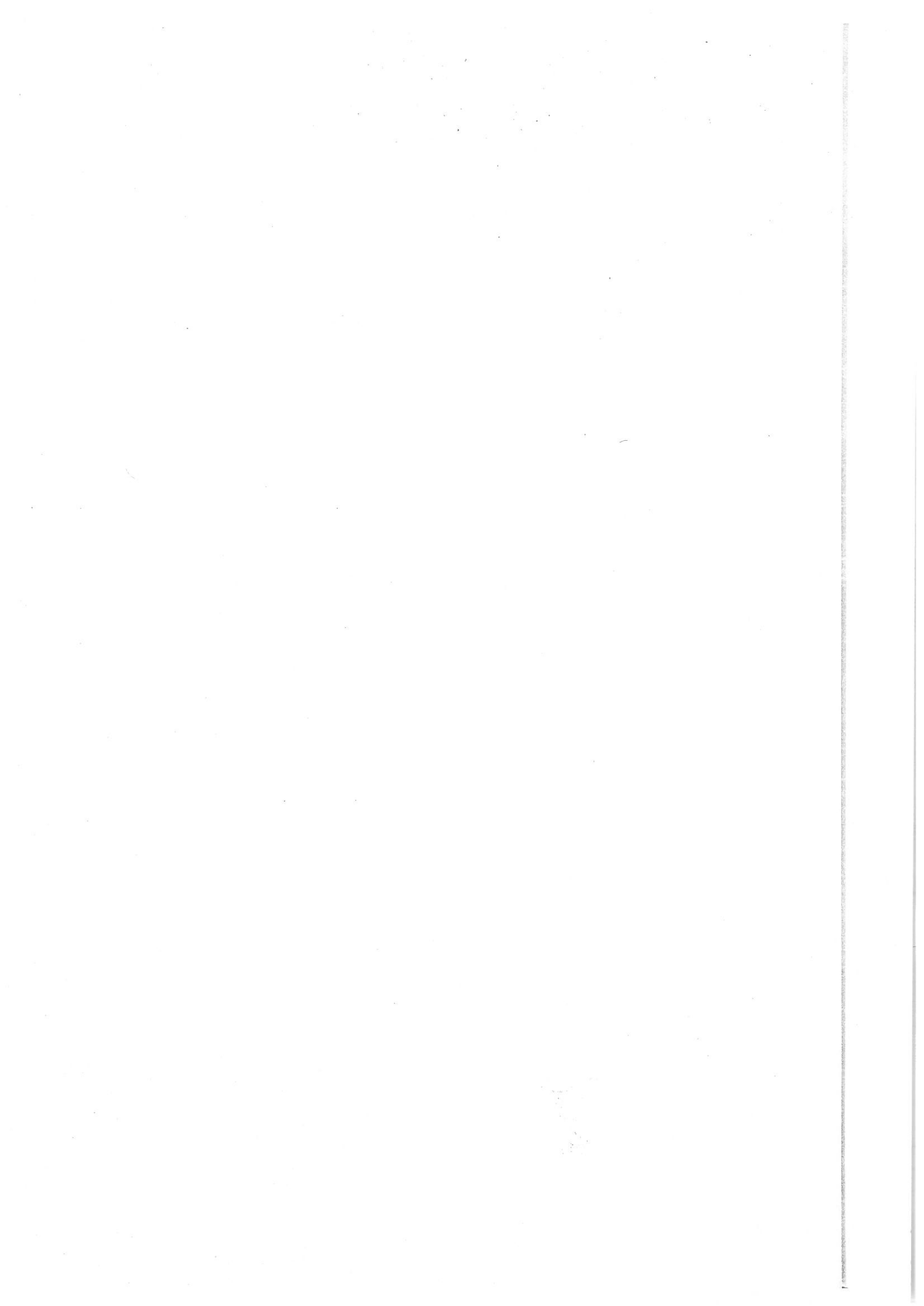


版权声明

任何收存和保管本论文各种版本的单位和个人，未经本论文作者同意，不得将本论文转借他人，亦不得随意复制、抄录、拍照或以其他方式传播。否则，引起有碍作者著作权之问题，将可能承担法律责任。





摘要

多栅结构因其优良的短沟道效应抑制能力成为工业用主流器件,但器件尺寸的继续缩小,导致突变结的形成受工艺和物理的双重限制。而源漏区和沟道掺杂一致的无结多栅器件保持了卓越的栅控能力,克服了突变结形成和掺杂控制的困难,有望成为下一代主流器件结构备选之一。但无结多栅器件走向应用之前,需解决工艺波动和性能提升存在的诸多问题。刻蚀不均匀性和线边缘粗糙度作为工艺制备中不可避免的波动,探索其对无结器件性能的影响和机制变得尤为重要。同时驱动能力和泄漏电流作为关键的器件性能,无结器件需要克服沟道高掺杂和隧穿效应的影响,并探明器件的按比例缩小潜力。

针对亚 22 纳米无结多栅器件,探讨其沟道垂直非均匀性对器件亚阈值特性、阈值电压和开态电流等各项性能的影响。通过与传统反型器件对比,结果显示无结多栅器件更加有效的抑制了垂直非均匀沟道引起的性能波动。而沟道非均匀性引起的性能波动程度大于掺杂浓度的影响。提出多栅器件 Fin 高宽和倾斜角的关系线用以指导器件参数设计和工艺控制精度。基于层状近似,建立了描述开态电流随倾斜角变化的模型。利用 High-k Spacer 有效抑制因倾斜角引起的亚阈值性能波动,优化 Spacer 结构参数,推进无结多栅器件尺寸继续按比例缩小。

基于自相关函数功率谱方法产生线边缘粗糙度,开展其对无结多栅器件性能影响的三维数值模拟研究。通过统计分布、平移率和波动率评价线边缘粗糙度对器件性能的影响程度,与传统反型器件对比的结果显示,无结器件开态电流和亚阈值斜率受线边缘粗糙度影响的波动率分别在 21.6%和 3.84%,与传统反型器件接近。阈值电压和漏致势垒降低特性的波动率分别为传统反型器件的 2.6 倍和 1.7 倍。而泄漏电流波动率达 12600%需要进一步的优化。探讨了沟道宽度和宽窄位置变化对性能的影响程度。

在无结器件中引入不同功函数的双材料栅结构,利用双材料栅之间不同的功函数形成电势台阶,在沟道中产生电场峰,抬升源端附近电场提前加速载流子,增强无结器件电流驱动能力。同时利用亚阈值状态器件形成的能带台阶,减小漏区附近导带和价带的重叠,扩展隧穿距离,抑制无结器件隧穿泄漏电流。结果显示通过优化功函数差和控制栅比例,驱动电流可以提升 19.6%,跨导特性增加

9.6%，漏致势垒降低值减小 26%，并保持优良的高频特性，同时泄漏电流减小两个数量级以上，抑制优势延续到 10 纳米。可为其他器件研究者提供参考。

对极限尺寸无结多栅器件的特性展开研究。通过 $sp^3d^5s^*$ 紧束缚近似方法计算纳米线能带结构，并开发基于非平衡态格林函数输运理论的三维器件模拟器。研究硅纳米线的能带结构特性，探讨应力效应和纳米线宽度对能带结构的影响，验证拉伸和压缩应力对能带的不同作用，基于非抛物线近似提取能带关键参数，结合器件模拟器，展示了无结器件的理想特性。结果表明无结多栅器件在栅长为 3 纳米、厚度为 1.5 纳米的极限尺寸下，依然能够保持良好的特性。此极限尺寸下，应力效应对无结器件失去电流提升作用，而采用 [110] 晶向纳米线的开态电流比 [100] 晶向增加 60%。

关键词：无结多栅器件，工艺波动，双材料栅，非平衡态格林函数，数值模拟器

Investigation of Junctionless Multi-gate MOSFETs From Process Variations, Current Drive and Scaling Considerations

Haijun Lou (Microelectronics and Solid State Electronics)

Directed by Prof. Jin He and Xinnan Lin

Abstract

Multi-gate MOSFETs replace the conventional bulk MOSFETs to be dominant in the continued device scaling. However, the electron delocalization of dopant atoms is observed in a few nanometers scale and dopant number is required to be singly controlled. It becomes a great challenge to form the abrupt junctions between the source/drain region and channel as the device size shrunk to deep-nano level. The Junctionless Multi-gate MOSFET (J-MuGFET), with the same doping type and concentration of the source/drain and channel, is proposed to overcome this limitation and continue the device scaling. It has also been found that the junctionless device has good subthreshold characteristics, superior ability to suppress short channel effects as compared with the conventional inversion-mode transistor. Hence, it is recognized as the promising candidates of the next generation element device in the integrated circuits. While there are several problems needed efforts to solve before the junctionless FinFET towards general utility. Owing to the inevitability of vertical nonuniformity and line edge roughness in fabrication, it is necessary to investigate the effects of these process variations. Simultaneously, the drive current of junctionless device needs to be improved and it is further required to suppress the Band-to-Band tunneling leakage current and investigate its scaling capability.

The characteristics of J-MuGFET with Fin vertical nonuniformity are investigated based on three-dimensional simulation. As compared with the

inversion-mode multigate MOSFETs (IM-MuGFETs), the variations in subthreshold swing (SS) and drain-induced barrier lowering (DIBL) with sidewall angle are better suppressed in J-MuGFETs. A design guideline is proposed to define the optimal parameters of J-MuGFETs for a given technology. A current model of J-MuGFET with sidewall angle is developed. Then high-k spacer is utilized to suppress the subthreshold characteristics variation of J-MuGFETs with non-ideal sidewall angle. It is demonstrated that the variations of subthreshold characteristics induced by the changing sidewall angle are efficiently suppressed and the electrostatic integrity of J-MuGFETs is also improved at sub-22 nm gate lengths.

The influence of line edge roughness (LER) on J-MuGFETs is carried out by three-dimensional numerical simulation. The LER sequence is statistically generated based on the Gaussian autocorrelation function. The shift and fluctuation ratio are utilized to evaluate the impact of the LER on statistical distribution. The fluctuation ratios of on-state current and SS due to the influence of LER are 21.6% and 3.84%, respectively, which are similar with IM-MuGFETs. The fluctuation ratios of threshold voltage and DIBL are 2.6 and 1.7 times as much as those of IM-MuGFETs. While the leakage current variation ratio is up to 12600%, which needs to be further improved. Two aspects of the LER impact, including channel thickness and width position, are also compared and discussed.

The dual-material gate structure is incorporated into junctionless nanowire transistor (JNT) to improve the current drive and suppress the tunneling leakage current. A potential step is formed around the interface of two different work function gates, which induces additional electric field peak to accelerate carriers near the source region. An energy band step is also introduced in off-state by the dual-material gate structure to extend the distance from the valence band to the conduction band. By optimizing the work function difference and control gate ratio, the desirable characteristics with 19.6% higher on-state current, 9.6% improved transconductance, 26% reduced drain-induced barrier lowering and superior high frequency performance are achieved as compared with single-material gate JNT. Its tunneling leakage current is two orders of magnitude smaller than that of the JNT, and further, the dual-material

gate JNT exhibits superior scaling capability.

A quantum and ballistic transport simulator is designed for studying the JNT beyond 10nm technology node. The bandstructure of silicon nanowire supercell is calculated using sp3d5s* tight binding method and the device simulator is developed on non-equilibrium Green's function transport theory. Uniaxial strain effects and nanowire thickness impacts of bandstructures in [100] and [110] nanowires are discussed. The different role of the tensile and compressive stress is verified. The energy band parameters like effective mass are extracted using non-parabolic approximation and applied in ballistic simulation of JNTs. The JNT with 3nm gate length and 1.5nm thickness is proved to work well and keep good subthreshold characteristic. It is found that drain current enhancement of JNT caused by uniaxial strain is disappeared at this scale. Otherwise, [110] nanowires is still benefit to achieve 60% higher on-state current than [100] nanowires.

Keywords: Junctionless multi-gate MOSFETs, Process fluctuations, Dual-material gate, Non-equilibrium Green's function, Numerical simulator.

目 录

第一章 绪论	1
1.1 纳米器件结构发展和挑战.....	1
1.2 纳米无结器件的研究现状.....	4
1.3 纳米无结器件遇到的关键问题.....	13
1.4 本文主要研究内容.....	16
第二章 垂直非均匀沟道无结多栅器件	18
2.1 垂直非均匀沟道形成.....	18
2.2 沟道垂直非均匀性对无结多栅器件性能影响.....	19
2.3 垂直非均匀沟道无结多栅器件电流模型.....	31
2.4 High-k Spacer 垂直非均匀沟道无结器件	33
2.5 小 结.....	39
第三章 线边缘粗糙无结多栅器件	40
3.1 线边缘粗糙的产生方法.....	40
3.2 线边缘粗糙度对无结多栅器件特性的影响.....	43
3.3 沟道宽窄位置影响.....	55
3.4 小 结.....	57
第四章 双材料栅无结环栅器件	58
4.1 双材料栅无结环栅器件特性研究.....	58
4.2 双材料栅无结器件的 Band-to-Band 隧穿电流.....	70
4.3 双材料栅结构制备工艺探讨.....	80
4.4 小 结.....	80
第五章 极限尺寸无结环栅器件	82
5.1 紧束缚方法计算纳米线能带结构.....	82
5.1.1 紧束缚方法	82
5.1.2 硅纳米线能带结构计算	86
5.1.3 紧束缚方法处理单轴应力效应	93
5.2 能带非抛物线近似.....	98
5.3 非平衡态格林函数器件模拟器设计.....	100

5.3.1 器件模拟器设计框架	100
5.3.2 三维泊松方程离散	102
5.3.3 非平衡态格林函数输运理论	107
5.4 极限尺寸无结环栅器件特性研究.....	113
5.5 小 结.....	118
第六章 总结和展望	119
6.1 成果和创新性总结.....	119
6.2 后续工作展望.....	120
参考文献	122
攻读博士学位期间的科研成果	136
致 谢.....	138

图目录

图 1-1 器件尺寸缩小规律 ^[1]	1
图 1-2 新工艺、新结构、新材料节点发展趋势示意图 ^[1]	2
图 1-3 器件结构发展路线图 ^[10]	3
图 1-4 布居数(Mulliken population)分析电子局域化半径 ^[12]	4
图 1-5 J.E.Lilienfeld 提出的无结晶体管示意图 ^[15]	5
图 1-6 无结多栅晶体管结构与其转移特性 ^[16]	5
图 1-7 反型、积累型和无结型三种器件的导通和关断机制比较 ^[13]	6
图 1-8 无结器件载流子浓度随栅压变化 ^[16]	6
图 1-9 反型、积累型和无结型三种器件的工作区间比较 ^[13]	6
图 1-10 无结和反型器件的电场分布 ^[17]	7
图 1-11 a)发表的无结器件 SCI 论文数, b)被引用的文章数 ^[18]	7
图 2-1 垂直非均匀沟道形成示意图, a)垂直非均匀光刻胶, b)垂直非均匀沟道	19
图 2-2 垂直非均匀沟道的无结多栅器件示意图	19
图 2-3 a)无结多栅器件沿 z 方向的截面图, b)传统反型三栅器件沿 z 方向的截面图, c)无结器件沟道截面图	20
图 2-4 数值模拟与实验转移特性的校对	23
图 2-5 数值模拟与实验跨导特性的校对	23
图 2-6 垂直非均匀沟道无结器件与理想沟道转移特性的比较	24
图 2-7 不同倾斜角 θ 的无结多栅器件转移特性与理想传统反型器件的比较	24
图 2-8 无结器件阈值电压与倾斜角 θ 的变化关系	25
图 2-9 无结器件开态电流与倾斜角 θ 的变化关系	25
图 2-10 无结器件亚阈值斜率随倾斜角 θ 变化关系与实验结果的比较	26
图 2-11 不同体高 H_{fin} 和倾斜角 θ 对电势分布的影响	26
图 2-12 亚阈值斜率 SS 相对值随倾斜角 θ 的变化及波动线性因子 k	27
图 2-13 漏致势垒降低 DIBL 相对值随倾斜角 θ 的变化特性及波动线性因子 K , 并与传统反型器件特性比较	27
图 2-14 无结和反型器件沿沟道方向的电场分布($V_{ds} = V_{dd}, V_{gs} = V_{th} - 0.2V$)	28
图 2-15 理想情况下($\theta = 90^\circ$)无结器件亚阈值特性随掺杂浓度变化的特性	28
图 2-16 亚阈值性能波动衡量掺杂浓度和沟道垂直非均匀性变化, 插图 of 理想情况时的亚阈值特性值	29

图 2-17 掺杂浓度和垂直非均匀沟道变化引起的亚阈值特性波动	30
图 2-18 无结多栅器件体高宽参数和倾斜角的指导准则	30
图 2-19 垂直非均匀沟道无结器件层状近似示意图	31
图 2-20 层状电流模型结果与数值模型结果的对比($V_{ds} = 0.05V$, 理想迁移率)	32
图 2-21 侧墙无结多栅器件的三维示意图, 其中侧墙可分别为 $\text{SiO}_2(\xi_{sp} = 3.9)$ 、 $\text{HfO}_2(\xi_{sp} = 21)$ 和无侧墙情况($\xi_{sp} = 1$)	33
图 2-22 不同介电常数侧墙的亚阈值斜率相对值随倾斜角变化的特性及其波动线性因子 k , 插表为理想情况下不同介电常数侧墙的亚阈值斜率值(标准值)	34
图 2-23 不同介电常数侧墙的漏致势垒降低相对值随倾斜角变化的特性及其波动线性因子 K , 插表为理想情况下不同介电常数侧墙的漏致势垒降低值(标准值)	34
图 2-24 亚阈值斜率 SS 波动 k 的按比例缩小特性	36
图 2-25 漏致势垒降低 DIBL 波动 K 的按比例缩小特性	36
图 2-26 侧墙长度对亚阈值斜率 SS 及其波动 k 的影响	37
图 2-27 侧墙长度对漏致势垒降低 DIBL 及其波动 K 的影响	37
图 2-28 侧墙厚度对亚阈值斜率 SS 及其波动 k 的影响	38
图 2-29 侧墙厚度对漏致势垒降低 DIBL 及其波动 K 的影响	39
图 3-1 线边缘粗糙序列的产生	43
图 3-2 线边缘粗糙产生的框架示意图	43
图 3-3 a)线边缘粗糙无结多栅结构三维示意图, b)垂直 z 轴的截面图	44
图 3-4 源漏电压为 $0.5V$ 时有/无线边缘粗糙的传统反型多栅器件转移特性比较	44
图 3-5 源漏电压为 $0.5V$ 时有/无线边缘粗糙的无结多栅器件转移特性比较	45
图 3-6 源漏电压为 $0.5V$ 时有/无线边缘粗糙的无结多栅器件电场分布(亚阈值状态)	45
图 3-7 源漏电压为 $0.05V$ 时有/无线边缘粗糙的无结多栅器件转移特性比较	46
图 3-8 无结多栅器件受线边缘粗糙度影响的转移特性分布	47
图 3-9 传统反型多栅器件受线边缘粗糙度影响的转移特性分布	48
图 3-10 开态电流 I_{on} 和阈值电压 V_{th} 的分布关系	48
图 3-11 无结多栅器件阈值电压 V_{th} 统计分布	49
图 3-12 传统反型多栅器件阈值电压 V_{th} 统计分布	50
图 3-13 无结多栅器件开态电流 I_{on} 统计分布	50

图 3-14 传统反型多栅器件开态电流 I_{on} 统计分布.....	51
图 3-15 无结多栅器件泄漏电流 I_{off} 统计分布.....	51
图 3-16 传统反型多栅器件泄漏电流 I_{off} 统计分布.....	51
图 3-17 无结多栅器件亚阈值斜率 SS 统计分布.....	52
图 3-18 传统反型多栅器件亚阈值斜率 SS 统计分布.....	52
图 3-19 无结多栅器件漏致势垒降低 $DIBL$ 统计分布.....	53
图 3-20 传统反型多栅器件漏致势垒降低 $DIBL$ 统计分布.....	53
图 3-21 源漏电压不同时无结器件开态电流统计分布.....	54
图 3-22 沟道宽度和宽窄位置对转移特性的总和影响.....	55
图 3-23 三组器件沿沟道方向的截面图, a)窄沟道, b)理想情况, c)宽沟道.....	56
图 3-24 任意两组沟道宽窄位置变化的截面图.....	56
图 3-25 沟道宽窄位置对无结器件转移特性的影响.....	57
图 4-1 a)双材料栅无结环栅器件 DMG-JNT 的结构示意图, b)沿 x 方向的截面图.....	59
图 4-2 同样条件下模拟结果与 Chen 的结果校对 ^[37]	60
图 4-3 双材料栅无结器件 DMG-JNT 和相应条件单材料栅器件 SMG-JNT 的输出特性比较.....	60
图 4-4 双材料栅无结器件 DMG-JNT 和相应条件单材料栅器件 SMG-JNT 的跨导特性比较.....	61
图 4-5 双材料栅无结器件 DMG-JNT 和相应条件单材料栅器件 SMG-JNT 的高频特性比较.....	61
图 4-6 双材料栅无结器件 DMG-JNT 和不同功函数的单材料栅器件 SMG-JNT 转移特性比较.....	62
图 4-7 双材料栅无结器件 DMG-JNT 和单材料栅器件 SMG-JNT 器件电势分布.....	63
图 4-8 双材料栅无结器件 DMG-JNT 和单材料栅器件 SMG-JNT 器件电场分布.....	64
图 4-9 双材料栅无结器件 DMG-JNT 和单材料栅器件 SMG-JNT 器件载流子速度分布.....	64
图 4-10 关态电流随控制栅比例 R_c 的变化关系, 插图 of R_c 和掺杂浓度对关态电流的影响.....	65
图 4-11 饱和电流和 I_p 随控制栅比例 R_c 的变化关系.....	65

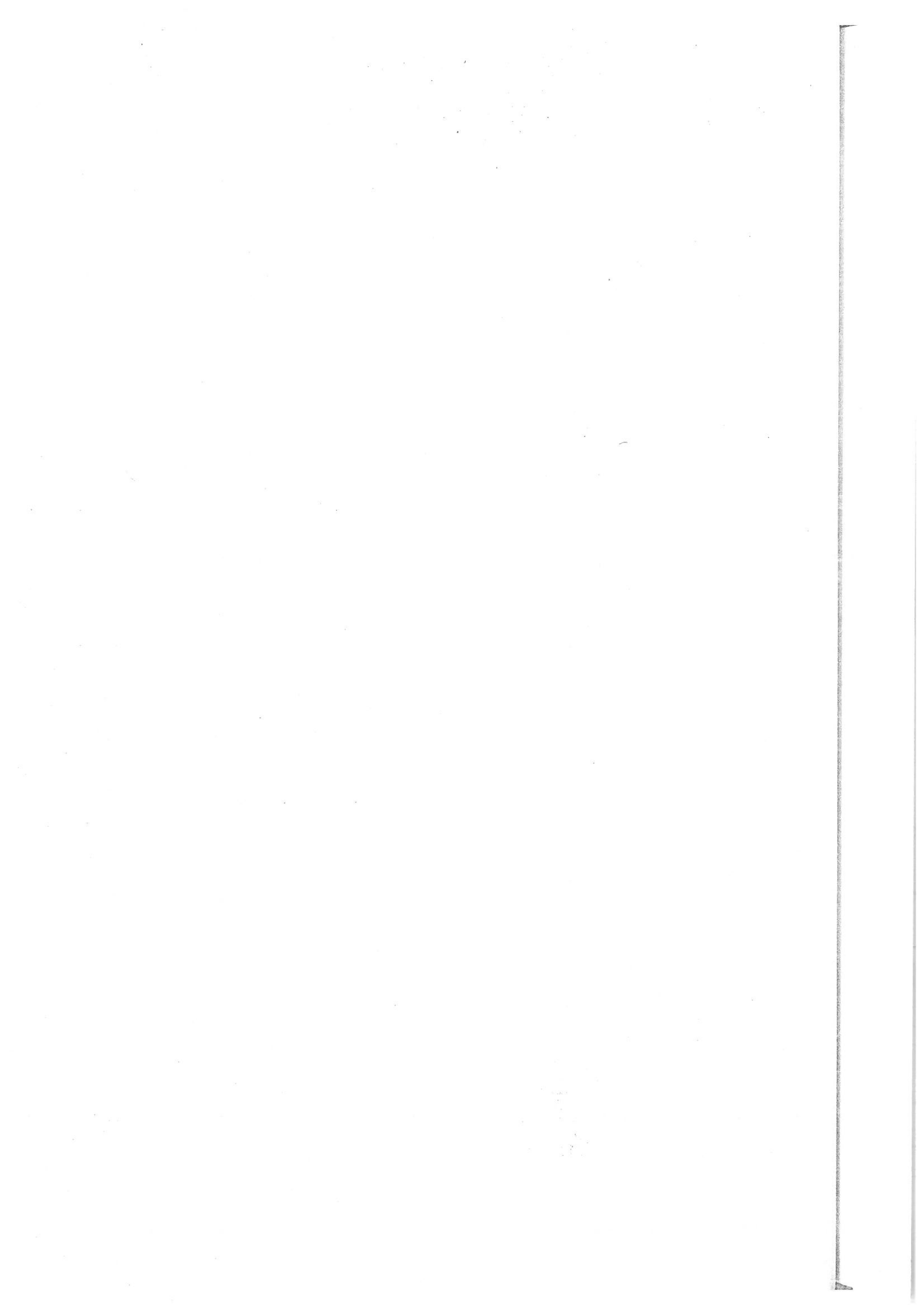
图 4-12 原电流开关比和经调整的开态电流随控制栅比例 R_c 的变化关系.....	65
图 4-13 控制栅比例 R_c 对亚阈值斜率 SS 和漏致势垒降低 DIBL 的影响.....	66
图 4-14 控制栅比例 R_c 对跨导 G_m 、最大 f_T 的影响, 插图展示了最大 f_{Max} 与 R_c 的关系.....	66
图 4-15 功函数差 δW 对关态电流和开态电流的影响.....	67
图 4-16 饱和电流和 I_r 随功函数差 δW 的变化关系.....	67
图 4-17 除去阈值电压影响的转移特性.....	68
图 4-18 原电流开关比和功函数经调整的开态电流随功函数差 δW 的变化关系..	69
图 4-19 功函数差 δW 对亚阈值斜率 SS 和漏致势垒降低 DIBL 的影响.....	69
图 4-20 功函数差 δW 对跨导 G_m 、最大 f_T 的影响, 插图展示了最大 f_{Max} 与 δW 的关系.....	70
图 4-21 提取自双材料栅和单材料栅无结器件沟道表面和中心的能带图(栅电压 $V_{gs} = 0V$, 源漏电压 $V_{ds} = 1V$).....	71
图 4-22 模拟结果与实验结果校对 ^[21]	72
图 4-23 不同栅长的双材料栅和单材料栅无结器件的转移特性($V_{ds} = 1V$, 单材料栅 JNT 的功函数为 5.1eV 或 4.52eV).....	72
图 4-24 不同掺杂浓度的双材料栅和单材料栅无结器件隧穿泄漏电流 I_r 随栅长的变化关系.....	73
图 4-25 不同半径的双材料栅和单材料栅无结器件隧穿泄漏电流 I_r 随栅长的变化关系.....	74
图 4-26 栅长为 40 纳米时提取自双材料栅和单材料栅无结器件沟道中心的能带图, 红蓝框中的截图分别示意其器件载流子隧穿率.....	75
图 4-27 栅长为 15 纳米时提取自双材料栅和单材料栅无结器件沟道中心的能带图, 红蓝框中的截图分别示意其相应器件载流子隧穿率.....	75
图 4-28 源漏电压对双材料栅和单材料栅无结器件隧穿泄漏电流 I_r 的影响.....	75
图 4-29 不同源漏电压双材料栅和单材料栅无结器件的能带图, 插图漏区附近放大的能带图.....	76
图 4-30 控制栅比例 R_c 对双材料栅无结器件 DMG-JNT 隧穿泄漏电流 I_r 的影响.....	77
图 4-31 不同控制栅比例 R_c 的双材料栅无结器件 DMG-JNT 沿沟道方向的隧穿距离.....	78
图 4-32 控制栅比例 R_c 对双材料栅无结器件 DMG-JNT 最短隧穿距离的影响.....	78

图 4-33 不同功函数差 δW 的双材料栅无结器件 DMG-JNT 转移特性($R=5\text{nm}$, $N_d=1\times 10^{19}\text{cm}^{-3}$).....	79
图 4-34 a)功函数差 δW 对双材料栅无结器件 DMG-JNT 隧穿泄漏电流 I_T 的影响, b)最短隧穿距离随功函数差 δW 的变化关系.....	79
图 5-1 [100]晶向纳米线原子位置示意图.....	86
图 5-2 超晶胞不等价硅原子示意图.....	86
图 5-3 纳米线能带结构计算框架示意图.....	89
图 5-4 a) sp ³ d ⁵ s*紧束缚方法计算体硅能带结构, b)NEMO 计算得到的体硅能带结构.....	90
图 5-5 [100]晶向宽约 0.86 纳米的硅纳米线能带结构.....	91
图 5-6 [100]晶向宽约 1.6 纳米的硅纳米线能带结构.....	91
图 5-7 [110]晶向宽约 1.51 纳米的硅纳米线能带结构.....	91
图 5-8 有效质量随纳米线宽度变化的特性.....	92
图 5-9 禁带宽度随纳米线宽度变化的特性.....	92
图 5-10 单轴应力对[100]晶向纳米线能带的影响, a)1%拉伸应变, b)无应变, c)1%压缩应变.....	95
图 5-11 单轴应力对[110]晶向纳米线能带的影响, a)1%拉伸应变, b)无应变, c)1%压缩应变.....	95
图 5-12 拉伸和压缩应力对[100][110]有效质量的影响.....	96
图 5-13 宽度对[110]纳米线有效质量的影响.....	96
图 5-14 单轴应力对[100][110]纳米线能谷的影响.....	97
图 5-15 单轴应力对[100][110]纳米线禁带宽度的影响.....	97
图 5-16 [100]晶向纳米线能带的非抛物线拟合.....	99
图 5-17 [110]晶向纳米线能带的非抛物线拟合.....	100
图 5-18 模拟器流程框架 ^[158]	101
图 5-19 a)纳米线器件结构示意图, b)纳米线器件离散示意图.....	101
图 5-20 二维边角离散处理示意图.....	104
图 5-21 三维边角离散处理示意图.....	104
图 5-22 三维拉普拉斯方程的电势分布.....	106
图 5-23 源漏电压为 0V 时器件沟道内的电势分布.....	107
图 5-24 a)左边界上的势能分布, b)氧化物/硅界面上的势能分布.....	107
图 5-25 模拟器得到的反型器件转移特性与 NanoTCAD Vides 结果对比.....	112

图 5-26 模拟器得到的载流子浓度分布与 NanoTCAD Vides 结果对比($V_{ds}=0.4V$, $V_{gs}=0.8V$).....	113
图 5-27 基于紧束缚方法的有效质量和体硅有效质量的无结器件转移特性比较	113
图 5-28 不同源漏电压 V_{ds} 对无结器件转移特性的影响	114
图 5-29 栅长 L 对无结环栅器件转移特性的影响	115
图 5-30 纳米线宽度 T_{si} 对无结环栅器件转移特性的影响	115
图 5-31 源漏长度 L_{sd} 对无结环栅器件转移特性的影响	115
图 5-32 掺杂浓度 N_d 对无结环栅器件转移特性的影响	116
图 5-33 3 纳米无结环栅器件模拟结果与实验结果的对照	116
图 5-34 单轴应力对无结环栅器件转移特性的影响	117
图 5-35 不同晶向无结环栅器件的转移特性	118

表目录

表 2-1 无结多栅器件和传统反型器件参数	20
表 2-2 阈值电压和亚阈值斜率数值模拟结果与实验的比较	22
表 3-1 无结多栅器件和传统器件参数及理想情况性能	44
表 4-1 器件研究所用的具体参数	59
表 5-1 s、p 原子轨道相互作用 Slater-Koster 表	85
表 5-2 $sp^3d^5s^*$ 哈密顿矩阵本征量	88
表 5-3 1 类原子氢饱和悬挂键修正	89
表 5-4 2 类原子氢饱和悬挂键修正	89
表 5-5 能带非抛物线近似拟合参数	100



第一章 绪论

1.1 纳米器件结构发展和挑战

集成电路半个世纪的发展是当代信息技术革命的重要驱动力量,影响着日常生活和国民经济的各个领域。但奇迹背、后的秘诀却非常简单,即为缩小晶体管尺寸。晶体管作为集成电路的基本单元,通过器件尺寸的缩小可以增加集成电路芯片单位面积的晶体管数目和逻辑功能,减小相同功能的电路成本,同时提高开关速度,提升器件性能。半个世纪以来,器件尺寸缩小的速度可以用摩尔定律进行描述:器件特征长度每3年缩减到原来的一半,电路集成度每18个月翻一番,功能增加一倍。当器件特征尺寸进入深纳米,工艺开发难度逐代增加,缩小速度有所偏移,集成度翻番的速度由18个月调整到了24个月。以几大国际半导体公司为例,2005年INTEL推出其65纳米制程的芯片,到了2007年缩小到45纳米,在2009年和2011年按时推出32纳米和22纳米节点的芯片。TSMC、GLOBALFOUNDRIES紧随其后,保持如上步伐,2007年量产了65纳米工艺节点的芯片,2009年推进到45/40纳米,其28纳米制程芯片也在2011年推出。根据国际半导体技术发展路线图ITRS 2012报道^[1],以高性能的器件为例,2017年器件特征尺寸将缩小到14纳米,到2020年将缩小到10.6纳米,如图1-1。

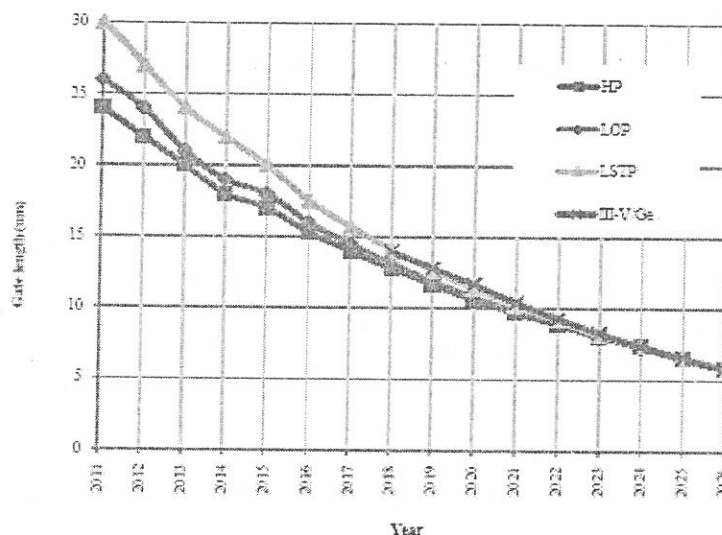


图 1-1 器件尺寸缩小规律^[1]

但是作为传统单元结构,平面体硅场效应晶体管(Planar Bulk MOSFET)因为

自身栅控能力弱,面临着众多巨大挑战,例如栅氧层的隧穿泄漏电流大、短沟道效应明显以及迁移率急速减小等,进一步的缩小受到严重限制。因此更多的新结构、新材料和新工艺被逐渐引入用来改善栅控能力和迁移率下降等问题,如图1-2所示^[1]。在32纳米节点之前,一直延续平面体硅结构的思路,通过各项新工艺对缺陷进行改善,例如采用高介电常数的氧化层(High-k)以抑制栅泄漏电流;采用金属栅结构(Metal Gate)消除多晶硅栅耗尽效应引起的寄生电容;引入锗材料利用晶格失配形成应力硅沟道(Strained Silicon Channel),提升沟道载流子的迁移率等。

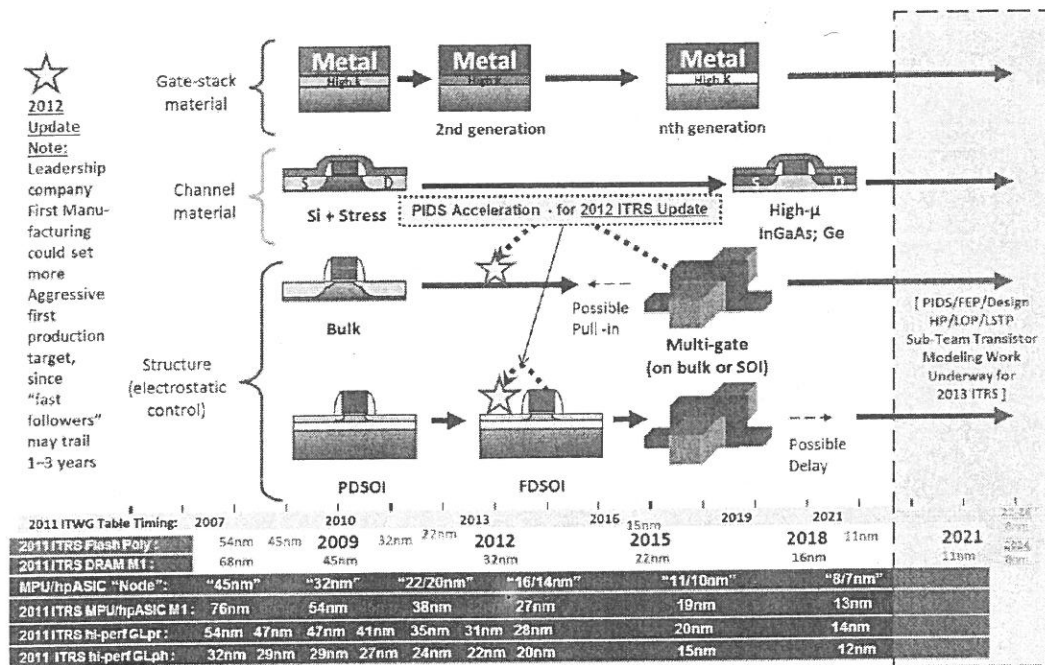


图 1-2 新工艺、新结构、新材料节点发展趋势示意图^[1]

从新结构角度出发,采用新型多栅器件替代传统体硅场效应晶体管的研究工作也进入人们的视线,日趋受到重视。相对传统平面体硅场效应晶体管,多栅结构周围栅极之间存在更好的静电耦合,强化了对短沟道效应的抑制,因而具有更加优越的性能,具备可持续的尺寸缩小能力,迅速引起人们的极大关注。在1984年,日本的 T. Sekigawa 和 Y. Hayashi 首次提出并研究了一种通过两个栅电极之间夹有能够全耗尽沟道的不同于传统体硅器件的新型场效应晶体管(XMOS)。到了1989年, D. Hisamoto 首次在实验中制备出相似的器件,称之为“fully Depleted Lean-channel TrAnsistor”(DELTA)^[2]。发现其相对体硅器件呈现更加优良的性能,开启了多栅器件研究的序幕。D. Frank 和 S. Harrison 随后研究和制备了平面双栅

场效应晶体管^[3, 4]；2001年，K. Guarini 制备了垂直的双栅场效应晶体管；随着工艺能力的提升，多栅结构的栅极数也逐渐增加。胡正明小组的 Y. Choi 基于 INTEL 先进工艺制备了鳍式场效应晶体管(FinFET)，依据 M. Bescond 提出的等效栅极数概念^[5]，此时栅极数为 2.5。J. Park 利用过刻蚀工艺形成了 Pi 栅^[6]，基于同样方法，F. Yang 小组制备了 Omega 栅场效应晶体管^[7]，栅极数增加到 3.5；J. P. Colinge 早在 1990 年提出了栅极数为 4 的环栅(Gate-All-Around)概念^[8]，到了 2002 年成功在实验中实现；2004 年 Jimenez 在文章中提出了纳米线环栅晶体管的^[9]。多栅结构的发展可根据栅极数增加的过程总结如图 1-3^[10]。同时 INTEL、AMD、TSMC、IBM、TOSHIBA 和 SAMSUNG 等国际半导体大公司也投入了大量的人力物力推进多栅结构的工业化，相应的技术革新屡见于重要的学术会议。就在 2011 年，INTEL 率先在 22 纳米制程的处理器 Ivy Bridge 采用 FinFET 多栅结构，通过测试发现其性能相比平面体硅器件提升 37%，在相同性能时，功耗减少达 50%以上，但其工艺消耗成本只提升 2-3%(相对全耗尽器件提升 10%)。因此确定了多栅结构走入器件主流地位的趋势^[11]。

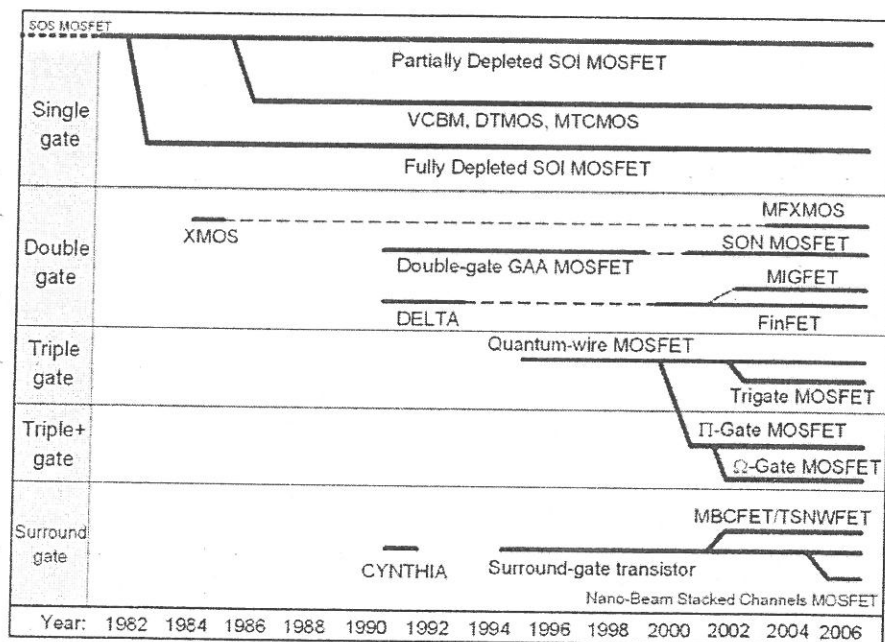


图 1-3 器件结构发展路线图^[10]

随着器件尺寸的持续按比例缩小，多栅器件的掺杂问题变得不可忽略。传统多栅器件依然存在 pn 结，例如 p-n-p、n-p-n、p-i-p、p-i-n 等。为保证器件性能，其在制备过程中都需要准确掺杂形成突变结。随着器件进入深纳米尺度，突变结的存在将促使几个纳米范围内掺杂浓度的变化达到 10^{10} 以上。掺杂浓度较低，对

掺杂原子计量的控制要求急剧提高,以 16 纳米×10 纳米×10 纳米的空间尺寸为例,传统器件沟道掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 时只需要 1.6 个掺杂原子。因此进入深纳米节点以后,传统器件需要如此的突变结,对掺杂技术和退火工艺将是巨大的挑战^[12, 13]。另一方面,基于原子物理学,掺杂原子形成的电子或空穴存在一定的局域化半径(Localization Radius),以[110]晶向的硅纳米线而言,电子的局域化半径为 4 纳米,即使在 0K,也有 1 纳米。相关 Mulliken population 的分析研究也验证了电子局域化半径在 1.5 纳米之间,如图 1-4^[12]。因此在掺杂原子的局域化半径范围内都存在掺杂浓度,促使形成突变 pn 结十分困难。尤其随着器件的缩小,掺杂原子的去局域化效应将日趋明显^[12, 14]。因此传统 pn 结的多栅器件将受到工艺和物理限制的双重挑战。

基于此,源漏区和沟道掺杂浓度类型和浓度均一致的无结器件(Junctionless Device)避免了传统 pn 结的形成,适用于常规退火工艺,同时器件沟道掺杂浓度通常在 1×10^{19} 到 $8 \times 10^{19} \text{cm}^{-3}$ 之间,同样以在 16 纳米×10 纳米×10 纳米空间尺寸为例,沟道中已有 16-128 个掺杂原子,大大降低了对掺杂控制的精度要求,被认为是克服突变结形成,延续多栅器件继续缩小的重要选择。

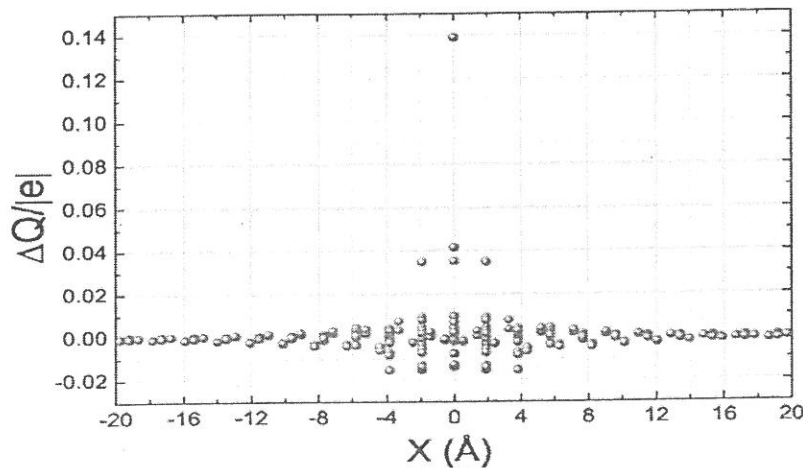


图 1-4 布居数(Mulliken population)分析电子局域化半径^[12]

1.2 纳米无结器件的研究现状

无结器件的发展可以追溯到 1925 年, J.E.Lilienfeld 在其专利中构建的第一个晶体管原型,即为无结器件,结构如图 1-5^[15]。无结器件需要沟道全耗尽才能关断,体区厚度通常极薄,鉴于当时工艺水平的限制,无法制备出无结器件。上世纪六七十年代以后,随着双极晶体管的发明, MOSFET 因为性能突出易于集

成逐渐受到重视，成为主流单元器件。受巨大利益的刺激，微电子技术迅速发展，精密设备和工艺控制仪器逐步改进，经过半个多世纪的发展，工艺水平得到了长足的提高，已经能够制备出 10 纳米左右甚至更薄的器件。在 2010 年，J.P.Colinge 率先将 J.E.Lilienfeld 提出的无结器件利用先进工艺加以实现，制备了高约 10 纳米，宽约 30 纳米，长约 1 微米的无结多栅晶体管，发现此器件可以实现同传统反型器件一致的逻辑功能，并且电学性能与传统器件相当，如图 1-6，其展示了优良的亚阈值斜率、极小的泄漏电流等众多优点^[16]。

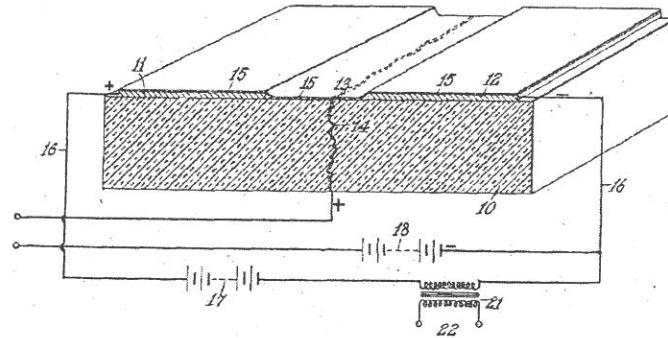


图 1-5 J.E.Lilienfeld 提出的无结晶体管示意图^[15]

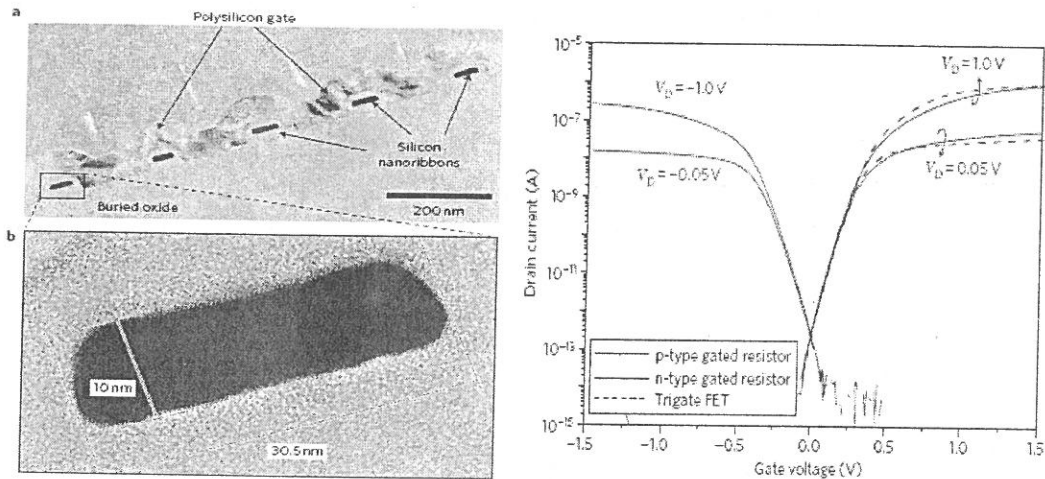


图 1-6 无结多栅晶体管结构与其转移特性^[16]

同时，J.P.Colinge 小组对无结器件的物理机制进行了初步的分析和研究，发现其与传统反型器件和积累型器件有着明显不同的特性：其一，无结器件载流子在沟道内部导通，无须通过反型或积累在表面形成导电沟道，同时利用栅压作用使器件耗尽继而关断器件，但传统反型器件的关断是由于表面反型沟道未形成，而源漏区与沟道存在的 pn 结阻碍了载流子导通，如图 1-7^[13, 16]。载流子浓度分布关系图 1-8 所展示的沟道载流子随栅压变化情况更清楚的描绘了其体导通的特性。

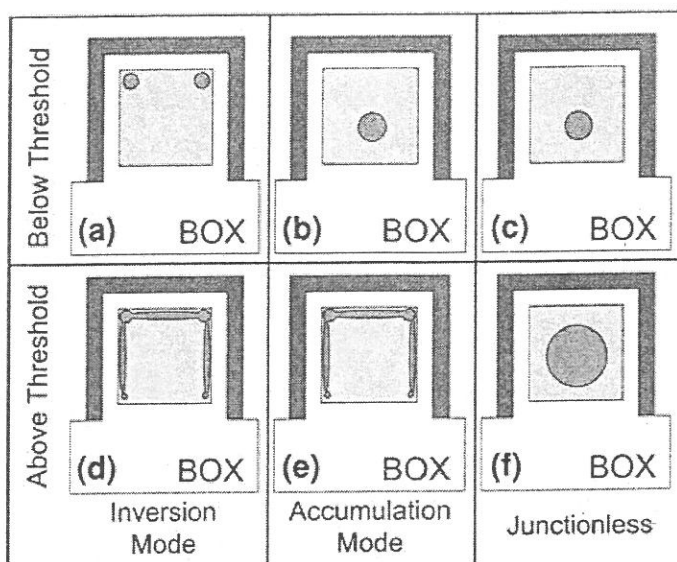


图 1-7 反型、积累型和无结型三种器件的导通和关断机制比较^[13]

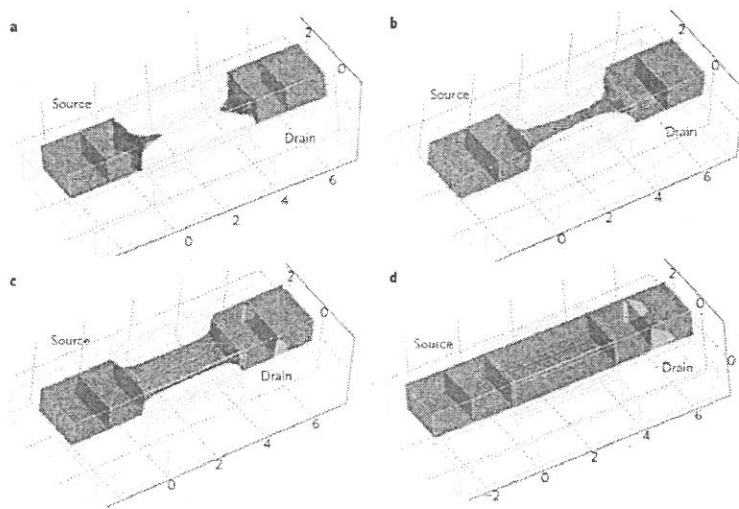


图 1-8 无结器件载流子浓度随栅压变化^[16]

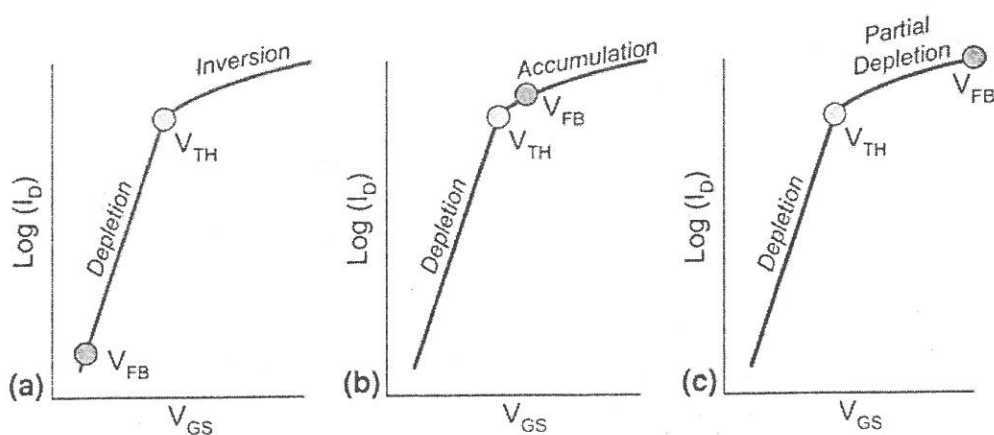


图 1-9 反型、积累型和无结型三种器件的工作区间比较^[13]

其二，无结器件通常只存在耗尽和部分耗尽两个状态。器件开启时工作在部

分耗尽区，而关断时呈现全耗尽。虽然无结器件也可增加栅电压促使表面出现载流子积累，但沟道载流子浓度较大致使积累层电流影响较小，考虑功耗问题，器件通常处于耗尽和部分耗尽状态。而传统反型器件导通时处于反型状态，积累型器件处于积累状态，与无结器件完全不同，如图 1-9^[13]。

另外，无结器件的电场分布特性与传统反型器件完全不同。无结器件在导通情况下沟道中心的电场较之周围更低，而载流子浓度较之更高，但在传统反型器件中愈高的电场促使反型更加明显，因此电场与载流子浓度相一致，电场较大的区域，载流子浓度也较高，如图 1-10。基于这个机制可知无结器件的迁移率受表面影响较小^[17]。

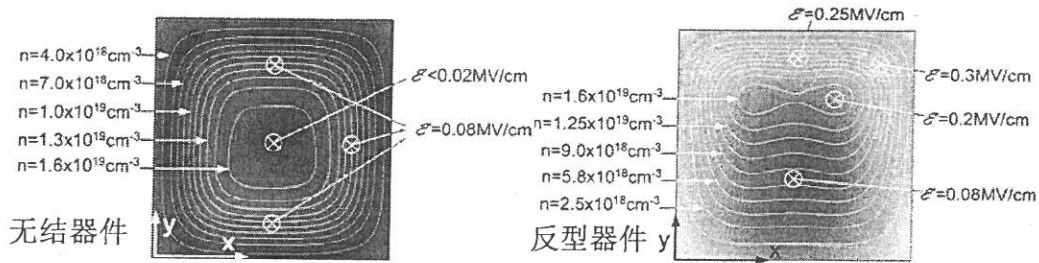


图 1-10 无结和反型器件的电场分布^[17]

由于无结器件简单的制备工艺、类似 MOSFET 的逻辑功能，其迅速成为新结构器件领域的研究热点，受到国际同行的广泛关注，此后出版相关的文献数逐年增加，相应文章被引用也呈上升趋势^[18]，如图 1-11。

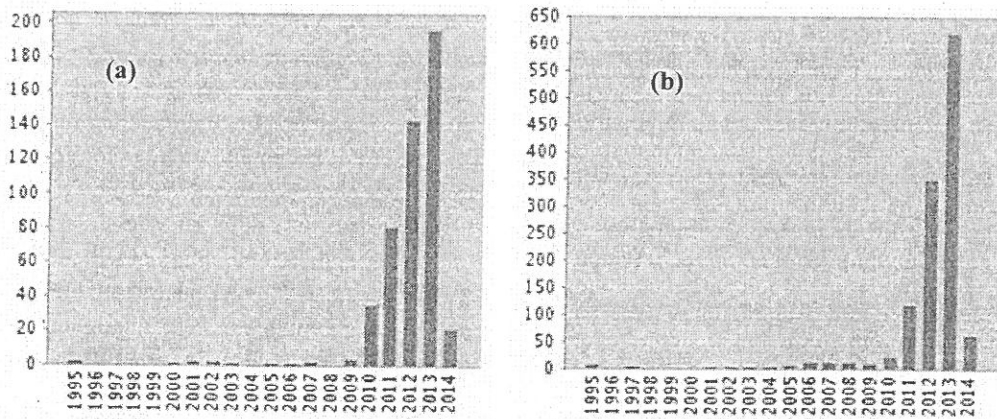


图 1-11 a)发表的无结器件 SCI 论文数, b)被引用的文章数^[18]

无结器件制备工艺与传统器件相兼容，继 J.P.Colinge 之后，先进的传统制备工艺应用于无结器件，促使尺寸迅速缩小：中科院半导体所采用电子束及电感耦合等离子体刻蚀等方法制备出宽 20 纳米、Fin 高 35 纳米、栅长 280 纳米的无结 FinFET 器件，着重研究了无结器件迁移率和开态电流随温度变化的特性^[19]；比

利时鲁汶天主教大学 X. Tang 制备了 130 纳米无结多栅器件, 同时利用负离子作用影响刻蚀速度的原理, 形成高源漏区的无结器件^[20]。2011 年, 韩国 KASIT 的 S. J. Choi 小组基于研究院传统多栅器件工艺制备了栅长为 50 纳米无结环栅器件^[21]; D. I. Moon 将无结器件栅长缩进到 30 纳米, 并形成堆叠环栅结构, 开展器件结构参数和浓度对漏致势垒降低和亚阈值斜率等特性影响的研究。同时验证了器件源漏区掺杂浓度的提升将增加沟道耗尽难度, 有效空间电荷区减小, 短沟道效应抑制明显减弱, 以致亚阈值区性能变差^[22]; 同在 2011 年, INTEL 推出栅长为 26 纳米的无结多栅器件, 实验结果证明了载流子迁移率在中等浓度掺杂时得到改善^[23]; 在 2012 年, C. H. Park 将无结器件尺寸缩小到 20 纳米节点, 通过与传统反型器件的比较展示了其优良的电学特性, 同时研究发现无结器件的 $1/f$ 噪声特性明显受到退火工艺的影响, 性能变差^[24-26]。也再次确认了源漏区掺杂浓度加重对无结器件亚阈值特性的负面影响^[26]; S. Barraud 基于意法半导体工艺, 将无结器件栅长缩小到 13 纳米, 同时保持了器件良好的亚阈值特性和低泄漏电流。制备的无结器件亚阈值斜率值小于 $70\text{mV}/\text{dec}$ 是目前 13nm 节点性能最好的器件, 而且得到的驱动电流达到 $500\ \mu\text{A}/\mu\text{m}$, 泄漏电流达到 $3\text{nA}/\mu\text{m}$, 满足下一代器件的性能要求^[27]; 同年在 IEDM 会议上, 日本 AIST 展示了利用楔形栅结构, 形成 3 纳米栅长的无结器件, 楔形栅的尖端有效的控制了沟道的导通和关断, 电流开关比达到 10^4 以上, 泄漏电流在 $1 \times 10^{-11}\text{A}/\mu\text{m}$ 左右, 将无结器件推向了新的极限^[28]。因此正如 I. Ferain 所阐述无结器件的研究将使摩尔定律至少继续 20 年^[29]。

但工艺制备过程中通常存在波动, 而目前实验研究未能展示统计的特性, 以掺杂波动为例, 主要依据模拟和模型研究的方法, 提供工艺波动影响的指导。意大利博洛尼亚大学 A. Gnudi 针对 20 纳米节点的无结器件, 对掺杂浓度采用泊松分布, 开发了阈值电压随掺杂波动的统计学模型, 结果与数值模拟器中一致。这样掺杂分布模型虽然不符合物理, 无法区分是掺杂数量还是掺杂位置的影响, 但模型可以很好地描述器件特性的分布, 可对工业良率设计进行有效的指导^[30]。同时将上述方法应用到圆柱形无结环栅器件中, 开发了包含掺杂波动效应的阈值电压模型^[31], 发现 20 纳米的无结器件中离散掺杂波动引起的阈值电压标准偏差达到 115mV ; M. Aldegunde 基于非平衡态格林函数, 从全原子级出发同时考虑声子作用, 研究离散掺杂对无结器件阈值电压、电流和亚阈值斜率等特性的影响,

发现沟道受主的缺乏导致了器件阈值电压的波动^[32]；C. O Chui 展示了离散掺杂引起的各性能分布，显示无结器件性能随离散掺杂位置变化的波动将不可忽略^[33]。

除了工艺制备的推进和掺杂波动的探讨，目前，国内外的研究小组对无结器件的研究主要集中在基本电学特性、新特性发现、应用拓展、器件可靠性及性能优化等方面。

基本电学特性方面，为了更系统和高效的研究无结器件各项特性，数值模拟成为实验制备的重要补充。C. W. Lee 基于数值仿真工具，构建无结多栅器件，开展器件结构参数和掺杂浓度对其转移特性、漏致势垒降低和亚阈值斜率等影响的研究。与传统反型器件比较发现：无结器件的泄漏电流较之传统反型层器件减小约两个数量级，器件亚阈值特性更为优越，随着器件尺寸的缩小亚阈值优势尤为明显^[34, 35]；E. Gnani 通过数值方法研究了源漏接触对无结器件特性的影响，发现杂质散射和库伦势对载流子迁移率的影响与掺杂浓度相关，而在 $1 \times 10^{19} \text{cm}^{-3}$ 时较之传统器件迁移率和相关参数最不敏感，提供了参数设置的依据^[36]；C. Y. Chen 开展对无结环栅器件亚阈值斜率、漏致势垒降低、驱动能力、泄漏电流、延迟以尺寸缩小过程中器件各项性能变化趋势的研究，针对其综合性能进行评判，继而指出无结器件在低压逻辑电路中有重要的潜在应用^[37]，A. M. Ionescu 在其工作也重点强调了无结器件对逻辑电路的应用前景^[38]；M. H. Han 率先基于数值模拟工具对 p 型无结环栅器件进行研究，比较了结构参数和随机掺杂对器件特性的影响，发现随机掺杂对器件的影响主要是在阈值电压和亚阈值斜率，对电流的影响相对较小^[39]；R. Yan 针对 25 纳米节点无结器件展开性能的全面探讨^[40]；L. Ansari 基于非平衡态格林函数输运理论和密度泛函理论，研究了直径 1 纳米、栅长 3 纳米的无结环栅器件特性^[12]。

随着无结器件特性研究的深化，逐渐建立了相应的模型。复旦大学 L. Wang 小组以及同济大学 S. Hu 通过求解一维泊松方程，开发了无结器件的电势以及阈值电压模型^[41]；Z. Lin 开发了二维的亚阈值模型和阈值电压模型^[42]；B. Sorée 基于夹断机制，采用沟道梯度近似，求解无结器件的电势，在此基础上，与薛定谔方程自洽计算出无结纳米线器件电势和浓度，建立半解析的无结器件量子模型^[43]。结合迁移率定义，研究了表面粗糙、声子散射和电离杂质对器件载流子迁

移率的影响,发现在半径远大于波动幅度时,其迁移率主要由杂质离子散射决定的,当器件直径缩小到跟波动幅度相当时,表面粗糙度对迁移率的影响变得不可忽略^[44]。为了扩展无结器件的电路应用,不同层次的电流模型相继建立。J. M. Sallese 基于泊松方程,采用简单的二阶差分近似,得到表面势的表达式,进而得到无结双栅器件的电学特性,模型各区域(例如从耗尽到积累)的准确性通过数值模拟器得到了验证^[45]; J. P. Duarte 基于空间电荷层宽度和欧姆定律得到无结器件的电流特性模型,可满足电路设计简单和快速的要求^[46]; 沈阳工业大学靳晓诗开发了环栅无结纳米线器件统一的集约电流模型^[47]; 湘潭大学 Z. Chen 小组基于表面电势方法开发了适用于各工作区域的无结器件电流集约模型^[48]。

新特性方面,随着研究的深入和器件机制的不断探索,其更多的独特性质逐渐展现。M. Najmzadeh 在研究截面为三角形的无结环栅器件时,发现无结器件有效抑制了边角(Corner)效应引发的寄生载流子通道现象,阈值电压未受边角效应影响而漂移^[49]; S. Gundapaneni 研究无结器件能带结构时,发现其在关断状态时价带和导带出现明显重叠,导致大量价带电子隧穿进入导带,留下空穴形成寄生双极管效应,促使泄漏电流增加^[50]; M. D. Souza 和 C. W. Lee 改变器件工作温度,分别处于低温和高温环境,发现无结器件未如同传统反型器件出现零温度系数点(ZTC)^[51,52],而 R. T. Doria 进一步的研究,显示无结器件源漏寄生电阻与 ZTC 点出现密切相关^[53]; R. D. Trevisoli 为了更好地解释无结器件的温度变化特性,基于泊松方程采用截面垂直方向和横向电势梯度近似,同时考虑边角效应,开发了包含温度效应的无结多栅器件阈值电压模型^[54]; 无结环栅器件独特的高低频特性逐渐被关注,新加坡国立大学的 T. Wang 发现其具有高线性特征^[55], R. T. Doria 展示了无结多栅器件优越的 Early 电压和本征电压增益,促进其中低频模拟电路中存在潜在应用^[56]; P. Singh 研究了沟道掺杂和栅压对无结纳米线器件低频噪声的影响,由于无结器件源漏区和沟道掺杂一致,载流子在沟道中导通,因此发现无结器件低频噪声谱比传统反型器件小 5 个数量级,同时对栅偏压和频率具有免疫力^[57]; D. Jang 继续针对无结器件的低频噪声特性进行研究,揭示了耗尽层载流子的 trapping/release 过程对无结器件低频噪声的影响,发展出载流子数量波动和迁移率波动模型成功描述了无结器件中低频噪声的变化规律^[58]; 另外 D. Ghosh 对无结器件的截止频率、最大振荡频率等高频特性和电压增益的研

究,展示了其优异的高频特性,同时电压增益提升达到了 65%^[59],基于此,S. Cho 等为无结环栅开发了射频模型,通过少量参数的提取,有效的描述了器件高频特性的变化趋势^[60]; M. S. Parihar 发现了无结器件存在的弛豫效应,当源漏电压增加大于 1.5V,器件显现碰撞电离,大量空穴电子的产生使得器件出现电流弛豫,发现器件的碰撞电离依赖于沟道宽度和氧化层厚度^[61]。对其碰撞效应机理的进一步研究,发现碰撞电离导致产生的载流子恒定大于复合载流子,形成大量过剩,导致门锁效应,因而碰撞电离效应开辟了无结器件在 DRAM 领域的应用^[62]; C. W Lee 也针对无结器件中碰撞电离特性展开研究,发现无结器件碰撞电离的区域较之传统反型器件更大,以致器件发生碰撞电离的源端电压可以减小到 1.5V 以下,使得无结器件可能产生类似隧穿晶体管一样陡峭的电流递增斜率^[63]; A. Koukab 研究了无结器件的本征弛豫时间特性,发现无结器件与传统反型器件一致,电流特性、工作速度与栅氧厚度相关,需要在栅氧厚度和浓度之间进行优化,否定了电流驱动能力与器件速度与栅氧层厚度无关的论断^[64]。

应用拓展方面,无结器件因其优越的电学特性以及特殊的物理效应,其应用领域不断扩展,主要集中在存储器、薄膜晶体管等。针对存储器领域:北京大学刘晓彦小组将无结器件与氧化物/氮化物/氧化物电介质结构结合应用到 NAND 非易失性存储器中,研究其存储性能^[65]; S. J. Choi 以无结结构替代传统反型嵌入形成新型 NAND Flash 存储器,通过对该 Flash 写入/擦除行为(P/E Behaviors)、读写循环次数(Cycling Endurance)、数据保持力(Data Retention)等测试发现,性能比肩现有的传统 Flash,但无结结构的引入增进了 NAND Flash 继续缩小的能力,促使基于无结器件的新型 Flash 极有希望出现在亚 20 纳米的 NAND^[66]。另外, A. Kranti 研究了由无结器件搭建的 6T SRAM,发现在 20 纳米尺度展示了更优异的 SRAM 功能,满足下一代 SRAM 性能要求^[67]。因而 A. M. Ionescu 判定无结器件将在存储器领域存在重要的应用潜力^[38]。针对薄膜晶体管领域: H. C. Lin 基于无结思想制备了新型的多晶硅薄膜晶体管^[68]; C. J. Su 在多晶硅纳米线中采用统一重掺杂,构建了无结多晶硅薄膜晶体管,实现比传统薄膜晶体管更好的栅控能力、更高的电流开关比和更小的源漏寄生电阻^[69]; T. Tsai 研究了无结多晶硅薄膜晶体管的高频特性,发现其截止频率达到了 3.36 GHz,最大振荡频率达到了 7.37 GHz,明显优越于传统反型和 UTB 多晶硅薄膜晶体管,极有可能应用于射

频电路模块^[70]；中科院宁波材料技术与工程研究院 Q. Wan 小组针对无结器件在薄膜晶体管领域的应用开展了一系列的研究工作，制备了 20 纳米的基于 indium-tin-oxide (ITO)材料可弯曲的无结薄膜晶体管^[71]，此无结薄膜晶体管如同传统反型器件可实现需要的逻辑功能，同时，具有更易制备的工艺，电流开关比达 10^6 ，亚阈值斜率性能为 0.21V/dec，电流驱动能力等特性得到了提升。采用梯度模罩制备了不同沟道厚度的无结薄膜晶体管^[72]。开发了 Laser Scribing 方法进行薄膜晶体管加工，工艺过程不需要掩模板，制备的器件性能满足应用要求。基于此技术在栅氧层注入一定的离子，使得介质层在不同的频率电压作用下表现出截然不同的特性，使介质层可以在绝缘体和导体之间切换，因而制备的新型薄膜晶体管可以将其源漏区和栅极分开而实现良好的栅控，实现 AND 逻辑功能^[73]。同时与南京大学 C. Wan 合作将此无结薄膜晶体管用于经典条件反射的神经工程当中，对 ITO 沟道材料进行质子相关的电化学掺杂，在栅极脉冲的刺激下可以观察到条件反射^[74]。此外，R. Yu 将无结器件连接成一个无结二极管，发现较之传统反型器件不仅能够完成传统器件的功能同时拥有更小的泄露电流^[75]。F. Wessely 基于无结器件，制备了电压可编辑的 CMOS 反相器，基于这种思想，将无结器件扩展到例如 FPGA、CPLD 等这些可编程的电路硬件应用中^[76]。

可靠性方面，S. M. Lee 考虑了热电子效应对无结器件特性的影响，由于无结器件的体导通特性，当栅电压较小时，空间电荷区较大，在源漏电压的作用，靠近漏区的电场较大，而随着栅电压不断增大，导电沟道逐渐打开，漏端电场逐渐减小。而反型器件恰恰相反，在栅电压很小时，表面为空间电荷区，随着栅电压增大，空间电荷区增大，并往沟道中心推移，增加了沟道内的电场。因而发现在低栅压时无结器件受热电子效应的影响较之传统反型器件更大，而随着栅压的增加，热电子效应对传统反型器件影响趋之明显^[77]；J. T. Park 集中对 p 型无结器件的负偏压温度不稳定性(NBTI)和热载流子效应等可靠性问题进行了探讨，由于电场和碰撞电离率受抑制，发现 p 型无结器件受 NBTI 的影响要明显小于积累型器件，同时阈值电压漂移也被抑制^[78]；C. H. Park 研究了无结器件热载流子导致的应力对直流特性和低频噪声的影响，相比于传统反型器件，发现无结器件内较低电场令低频噪声受应力影响较小^[25]。

性能优化方面，为了进一步提升器件的性能，主要针对无结器件的掺杂形式

改进、高场夹断特性优化以及同新结构有机结合等方面。C. H. Tai 在垂直晶体管中引入无结结构, 对其阈值电压、亚阈值斜率、漏致势垒降低特性进行探索^[70]; B. Ghosh 将无结结构和隧穿晶体管结合构建了新型的无结隧穿晶体管, 使得新器件不仅栅控能力增强, 同时亚阈值斜率仅有 $38\text{mV}/\text{dev}$ ^[79]。针对泄漏电流的抑制, P. Mondal 通过无结器件中采用高斯掺杂, 表面处浓度较沟道中心更小, 使器件沟道表面更容易耗尽, 抑制泄漏电流, 同时不影响开态电流, 不增加额外的工艺消耗^[80]; S. Gundapaneni 基于无结器件导通时沟道电场小而截止时电场大的特点, 引入 Spacer 以及衬底与沟道形成 pn 结使得耗尽层宽度更大从而改善器件的关断特性^[81, 82]。同时衬底 pn 结的加入使无结器件由隧穿引起的寄生晶体管效应受到抑制, 减小其隧穿泄漏电流^[50]; X. Liu 针对 15 纳米节点, 提出在过覆盖的栅下引入氧化层对无结器件的 Band-to-Band 隧穿进行抑制^[83]。针对开态电流提升的研究主要集中在两个方面, 其一即与传统反型器件提升工艺结合, J. P. Raskin 将单轴应力加入无结器件用来提高器件载流子的迁移率^[84]; C. J. Huang 对无结器件加入挤压应力发现不仅电流驱动能力提升, 同时泄漏电流减小 98%, 亚阈值斜率改善 15%, 同时挤压应力的引入使得在亚阈值区时 Piezoresistance effect 明显, 而随着表面电荷增多, 应力影响逐渐减小^[85]。其二为改变沟道材料, 将高迁移率材料引入无结结构。例如, R. K. Baruah 率先将锗基材料引入无结器件, 依靠锗的高迁移提升器件的电流驱动能力^[86]; 北京师范大学 D. D. Zhao 也基于锗材料制备了沟道厚度为 10 纳米、电流开关比为 10^4 的无结器件^[87]; L. Ansari 设想通过对碳纳米管进行统一掺杂形成无结碳纳米管器件, 基于第一性原理和非平衡态格林函数计算, 发现由于无结碳纳米管器件延续了碳基器件极大的载流子迁移率, 使得器件开态电流较大。但是由于碳纳米管较小的禁带宽度导致泄漏电流增加 4 个数量级以上, 同时亚阈值斜率变差, 双极效应严重^[14]。

1.3 纳米无结器件遇到的关键问题

无结器件与传统反型器件相比, 在亚阈值特性、短沟道效应抑制和泄漏电流方面拥有明显优势, 但随着其基本电学特性、工艺波动影响及性能优化等方面研究的不断深入, 发现无结多栅器件在走向工业应用之前也存在几个方面的关键问题:

其一、无结器件开态电流小, 电流驱动能力弱。由于无结器件沟道普遍采用

浓度为 1×10^{19} 至 $8 \times 10^{19} \text{cm}^{-3}$ 的高掺杂,使得迁移率受散射影响严重,平均迁移率约为 $80 \text{cm}^2 / \text{V} \cdot \text{s}$ 。虽然器件载流子在沟道内部导通,无须通过表面反型形成形成导通沟道,因此受表面散射影响较小,但无结器件载流子总体迁移率仍小于传统反型器件。同时,传统反型器件的源漏端掺杂浓度大于无结器件,使得传统器件的载流子注入效率远远高于无结器件,弱化了其开态电流特性,在 R. Rios、E. Gnani、C. Y. Chen 等工作中描述了电流驱动能力减弱的现象^[23, 36, 37]。无结器件虽然易于制备同时具有更小的短沟道效应、更好的亚阈值特性和更稳定的迁移率,但 A. M. Ionescu 强调了需要在迁移率降低和高浓度之间进行综合性能平衡,以满足电流驱动能力的要求^[38]。因而无结器件电流驱动能力的提升将增进其更广泛的应用。而目前国际上针对无结器件电流驱动性能提升的研究还处于起步阶段,主要是延续传统 MOSFET 广泛采用的应力思想。J. P. Raskin 采用传统的单轴应力方法以提高器件载流子的迁移率^[84], C. J. Huang 也引入挤压应力,提升电流驱动能力^[85]。应力的引入使得器件整体性能有所提升,而 Piezoresistance effect 在亚阈值区时影响明显,但是随着表面电荷增多,应力影响逐渐减小,在 100Mpa 下开态电流只提升 3%^[84]。因此需要依据无结器件特性,发展更有效的提升电流驱动能力新方法。

其二、隧穿效应导致无结多栅器件泄漏电流增大。S. J. Choi 在无结环栅器件亚阈值区特性测试中发现其泄漏电流随栅压减小而增加^[21]。无结器件如同传统反型器件,在漏端电场较大,在关断状态下价带和导带重叠明显,隧穿距离迅速减小,导致大量价带电子隧穿到导带形成泄漏电流,而在沟道中留下空穴,形成寄生的 npn 双极晶体管。S. Gundapaneni 通过数值模拟也验证了无结器件存在的 Band-to-Band 隧穿泄漏电流问题,发现隧穿效应使泄漏电流达到 $1 \times 10^{-6} \text{A}/\mu\text{m}$,严重影响器件的正常工作^[50]。通过对泄漏电流形成的机制分析, S. Gundapaneni 提出利用衬底 pn 结,形成反偏状态增加亚阈值时沟道耗尽区宽度,从而减小泄漏沟道有效长度,使泄漏电流缩小到 $1 \times 10^{-9} \text{A}/\mu\text{m}$,但此结构需要对 pn 结进行掺杂浓度精确控制,同时即使经过衬底偏置条件优化,泄漏电流水平依然无法满足应用要求^[1]。X. Liu 针对 15 纳米节点,利用边缘电场作用,提出在过覆盖的栅下引入氧化层,减少漏端价带和导带的重合,降低电场,从而抑制无结器件的 Band-to-Band 隧穿效应,但从泄漏电流抑制的效果发现其减小只在几倍之间,不

能达到性能要求^[83]。泄漏电流的抑制需要从能带和功函数工程出发，减小漏端价带和导带的重叠，才能从本质上减小无结器件的泄漏电流。

其三、无结多栅器件性能受工艺稳定性影响大。由于无结器件的体导通特性，沟道耗尽程度直接影响器件的特性。以阈值电压为例，S. J. Choi 等人基于制备的 50 纳米无结纳米线器件，验证了其阈值电压随器件尺寸的变化，同时由于采用的高掺杂沟道使阈值电压波动较大^[21]；R. D. Trevisoli 和 A. Gnudi 等人在模型中也展示了阈值电压与器件尺寸和掺杂浓度的依赖关系^[30, 54]。更重要的是，考虑实际器件的制备工艺，许多工艺波动通常不可避免，例如，光刻过程使得器件产生线边缘粗糙和 Fin 体垂直方向不均匀性等。这些工艺波动虽然在传统反型多栅器件制备过程中普遍存在，但因为无结器件体导通以及不存在 pn 结等特殊性质，不能沿用传统反型器件的结论，需要对线边缘粗糙、Fin 体垂直方向不均匀性等影响进行全新研究。而目前，国际上针对此类工艺波动的研究较少。垂直沟道不均匀性方面，R. Yu 在研究由无结器件搭建的二极管时采用了垂直不均匀沟道的结构，但未就倾斜角对器件特性的影响和机制进行研究^[75]。线边缘粗糙度方面，C. O. Chui 小组基于高斯分布和自相关函数产生器件的线边缘粗糙，嵌入无结器件中，研究了其对阈值电压、电流驱动能力、泄漏电流和漏致势垒降低效应等特性的影响，展示了性能的统计分布^[88]。虽然此工作是针对多栅结构，但只采用二维模拟，导致边角效应、载流子散射耦合、宽度效应等无法考虑，因此为了更准确的研究线边缘粗糙度对无结器件性能的影响，需要采用三维模拟，展示性能统计分布，进而提供强有力的指导。

其四、无结多栅器件按比例缩小的潜力需要探明。器件的按比例缩小能力反映了其发展的可持续性。但当无结多栅器件不断缩小，甚至到极限尺寸，弹道输运已不可忽略，基于玻尔兹曼输运理论的数值模拟器将不能正确描述其器件特性。数值模拟方法因为成本、效率和准确性逐渐成为实验研究的重要补充，不可获缺。在成本方面，工艺制备成本随器件尺寸缩小迅速增加，以工艺线建设成本为例，从 8 英寸 0.13 微米的 20 亿美元，增加到了 12 英寸 65 纳米-90 纳米的 100 亿美元^[89]；以光刻掩模板的成本而言，标准 0.13 微米工艺的掩模板费用约为 18 万美元，90 纳米的费用则约为 80 万美元，而到了 65 和 45 纳米工艺掩模板费用已经增大到 120 万和 200 万美元以上^[90]。除了极少数国际大公司能够承担以上

费用, 绝大多数的科研院所将受工艺成本的严重影响, 阻碍了新型工艺和器件结构的研发。在效率方面, 工艺流程需要的时间非常长, 新器件技术产生的平均周期为三年左右, 而计算机运算能力的提升和算法的改进迅速提升了数值仿真工具的效率 and 准确率, 可以综合研究器件电学、力学、热学等诸多特性, 仿真结果和工具逐渐被微电子领域所接受, 用以取代部分实验, 为实际生产提供指导。

但目前成熟的数值模拟 TCAD 工具中, 以 SENTAURUS 和 SILVACO 为例, 虽然经过多代的发展和改进, 其特性依然基于玻尔兹曼输运理论。在传统的固体电子器件模拟研究中最常用基于玻尔兹曼输运理论简化而来的漂移扩散模型 (Drift-Diffusion Model), 其假设载流子能量不超过热电子能量, 载流子迁移率依赖于场强, 而不依赖于载流子能量, 理论简单, 计算效率高。但在小尺寸器件情况时, 电场在空间或时间维度变化很快, 为了研究结果的准确度需要在输运理论当中考虑此效应, 通常采用基于玻尔兹曼输运理论高阶项的流体动力学模型 (Hydrodynamic Model)。同时, 尺寸不断缩小过程中量子效应愈趋严重, 在玻尔兹曼输运理论上可引入修正, 最物理的方法就是采用自适应求解薛定谔方程, 但计算复杂, 收敛性差, 效率低。或者采用简化的方法, 例如 van Dort model 和 Hansch model 以及引入修改载流子密度等式的密度梯度模型 (Density-Gradient Model)。因此综上所述, 在传统玻尔兹曼输运机制的数值模拟 TCAD 中, 可以基于漂移扩散模型同时针对量子效应和迁移率变化等进行修正, 可以将无结器件的研究范围缩小到 10 纳米^[91, 92]。但是 10 纳米以下这样的极限尺寸, 器件的弹道输运现象已占整体载流子输运 70% 以上^[93], 变得不可忽略。而基于从头算思想的密度泛函理论虽然能获得准确的特性以及实现从原子级出发描绘物理机制, 但极大的增加了计算负担。平衡准确性和效率, 因此在极限尺寸的无结器件研究中需要从关键能带特性出发, 设计考虑量子效应和弹道输运的数值模拟器。

1.4 本文主要研究内容

为了解决上述无结多栅器件研究面临的几个关键问题, 开展无结器件性能提升、工艺波动影响以及极限尺寸特性的研究, 具体研究内容安排如下:

第二章开展“垂直非均匀沟道无结多栅器件”的研究: 基于传统数值模拟器, 构建具有沟道垂直非均匀性的无结多栅器件, 研究倾斜角对其性能的影响同时与传统反型器件对比, 分析垂直非均匀沟道影响器件性能的物理机制, 提出 High-k

Spacer 用以抑制沟道垂直非均匀性引起的性能波动;

第三章开展“线边缘粗糙无结多栅器件”的研究: 基于自相关函数功率谱傅里叶分析的方法产生线边缘粗糙, 植入传统三维数值模拟器, 研究线边缘粗糙度对无结器件各项性能的影响, 分析和比较了线边缘粗糙度对无结器件的影响以及与传统反型器件的不同, 阐释其影响的物理机制, 同时得到无结多栅器件各项性能受线粗糙度影响的统计分布特性;

第四章开展“双材料栅无结环栅器件”的研究: 在无结多栅器件中引入不同功函数的双材料栅结构, 利用不同功函数界面引起的电场峰加速沟道载流子, 提升无结多栅器件的电流驱动能力和跨导特性, 同时利用双材料栅结构的能带台阶扩展了漏区附近价带到导带的隧穿距离, 抑制无结器件的隧穿泄漏电流, 并优化了双材料栅的功函数差和长度比例;

第五章开展“极限尺寸无结环栅器件”的研究: 基于 $sp^3d^5s^*$ 紧束缚近似方法计算能带结构, 构建基于非平衡态格林函数输运理论的三维器件模拟器, 研究 10 纳米以下无结环栅器件的理想特性, 探讨应力效应和晶向对极限尺寸无结器件性能的影响;

第六章总结全文的创新性成果, 并对无结多栅器件未来的研究工作提出展望。

第二章 垂直非均匀沟道无结多栅器件

受衍射效应和光强吸收影响,光刻胶经曝光以后截面并非理想矩形,通过刻蚀将光刻胶的非理想形状转移到 Fin 体形成垂直非均匀沟道。同时,采用反应离子刻蚀工艺(RIE)加工硅 Fin 时各晶向刻蚀速度不同、光刻胶的后续烘烤等问题都将造成沟道的垂直非均匀性。在尺寸较大时,此工艺波动影响并不明显,但随着器件尺寸逐渐缩小,单元器件采用多栅结构,最窄体宽通常在 10 纳米左右,曝光度不一致,使得 Fin 体底部偏移原先设定值,这个现象在多栅器件实验制备中普遍存在,截面形状主要呈现梯形、凹形和凸形,其中梯形较为普遍,同时可以将结果扩展到其他形状^[94, 95]。无结多栅器件工艺与传统反型器件兼容,主要简化了掺杂工艺,因此垂直非均匀沟道在无结多栅器件制备过程中也不可避免^[21, 26, 27, 66]。但与传统反型器件不同,无结多栅器件依靠栅电压对沟道的夹断,其阈值电压等特性与沟道截面大小密切相关。因此基于数值模拟器构建梯形截面沟道的无结多栅器件,开展其倾斜角对无结多栅器件性能的影响和抑制方法的研究。本章具体研究内容主要分为四个部分。2.1 节讨论垂直非均匀沟道的形成;2.2 节探讨垂直非均匀沟道倾斜角对无结多栅器件各项性能的影响,结合工艺水平,优选器件结构参数;2.3 节讨论梯形截面无结多栅器件的夹断电流模型;2.4 讨论抑制垂直非均匀沟道引起的性能波动;最后进行本章小结。

2.1 垂直非均匀沟道形成

在 FinFET 或者多栅器件的制备过程中,Fin 体的光刻需要采用光刻胶(photo resist),但是由于曝光过程中,上下表面光吸收不均匀和衍射问题都将造成光刻胶曝光后截面非完全垂直。继而在刻蚀工艺中将光刻胶的非垂直性转移到了 Fin 体中^[96, 97],同时刻蚀速度与晶向相关,影响 Fin 体形状,如图 2-1 示意。因此形成的多栅器件 Fin 形状一般近似梯形^[94, 95, 98],在无结多栅器件制备中亦不能避免垂直非均匀沟道的形成^[21, 26, 27]。而同时,无结器件为体导通性质,器件开启和关断直接与沟道耗尽情况相关,因而对器件尺寸有更明显的依赖性,更加需要了解垂直非均匀沟道对无结多栅器件性能的影响,从而平衡工业应用性能标准与光刻精度的要求。

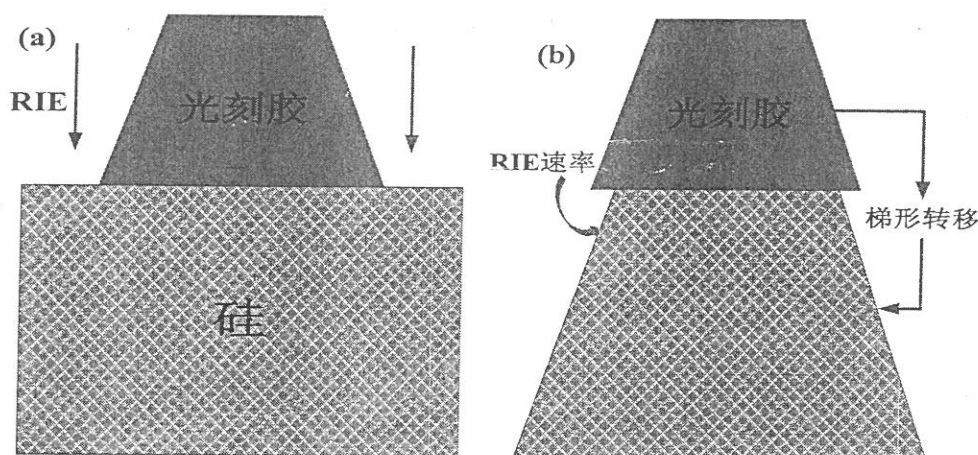


图 2-1 垂直非均匀沟道形成示意图, a)垂直非均匀光刻胶, b)垂直非均匀沟道

2.2 沟道垂直非均匀性对无结多栅器件性能影响

随着器件尺寸的减小, 工艺成本不断增加, 研究周期逐渐拉长。因此基于计算机的数值模拟方法逐渐成为实验研究的重要补充。本项研究中基于数值模拟器 Sentaurus TCAD^[99], 构建了垂直非均匀性沟道的无结多栅器件, 器件结构三维示意图如图 2-2, 其中 L 为栅长, 设定为 20 纳米, W_{fin} 为 Fin 体上端的宽度, H_{fin} 为 Fin 的高度。

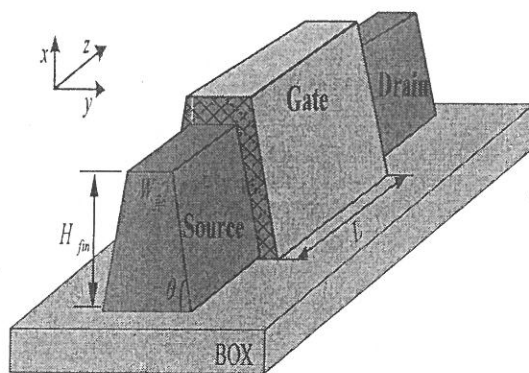


图 2-2 垂直非均匀沟道的无结多栅器件示意图

图 2-3(a)为沿 z 方向的截面图, 器件源漏区和沟道区进行磷原子均匀掺杂, 掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$, 栅氧层为高 k 介质, 等效厚度 EOT 为 1.6 纳米。根据 ITRS 对多栅器件在低静态功耗方面应用的要求^[1], 供应电压(Supply Voltage)设置为 0.81V, 通过调整功函数使得 $W_{fin} = 10 \text{nm}$, $H_{fin} = 10 \text{nm}$ 时器件的泄漏电流为 $1 \times 10^{-11} \text{A}$ 。同时, 构建传统反型多栅器件, 对沟道进行硼掺杂, 浓度为 $2 \times 10^{17} \text{cm}^{-3}$, 源漏区为磷掺杂, 浓度为 $2 \times 10^{20} \text{cm}^{-3}$, 如图 2-3(b), 其他结构参数与无结器件

一致。为了与传统反型器件进行公平比较，调整传统反型器件的金属栅功函数使其截止电流与无结器件相同。研究中无结多栅器件和反型器件具体参数见表 2-1。图 2-3(c)为无结器件沟道截面图，其中倾斜角 θ 表征了沟道垂直非均匀程度，与结构参数关系如下：

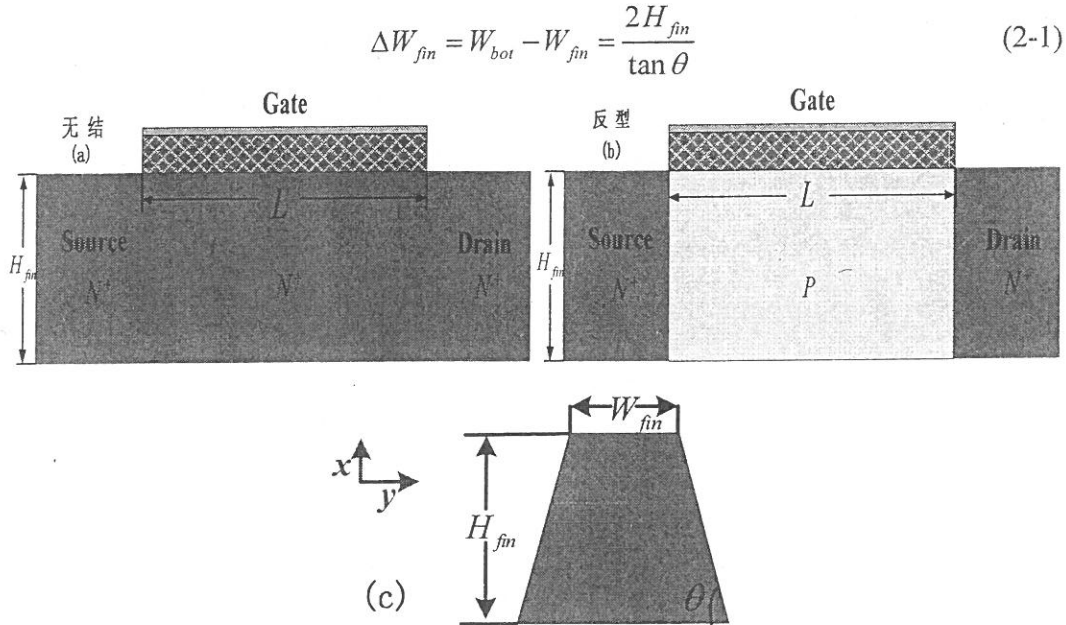


图 2-3 a)无结多栅器件沿 z 方向的截面图, b)传统反型三栅器件沿 z 方向的截面图, c) 无结器件沟道截面图

表 2-1 无结多栅器件和传统反型器件参数

	JMT	IM-MuGFET
Channel doping (cm^{-3})	$1 \times 10^{19} (N^+)$	$2 \times 10^{17} (P)$
Source/Drain doping (cm^{-3})	$1 \times 10^{19} (N^+)$	$2 \times 10^{20} (N^+)$
Channel length, L (nm)	20	20
Top Fin width, W_{fin} (nm)	10	10
Fin Height, H_{fin} (nm)	5-20	5-20
EOT (nm)	1.6	1.6
Supply voltage, V_{dd} (V)	0.81	0.81
Sidewall angle, θ ($^\circ$)	70-90	70-90

为了准确研究器件特性，选择采用漂移扩散理论，同时考虑小尺寸下二级物理效应。器件特性的仿真基于离散思想以及泊松方程和电流连续性方程的自洽求解。其中泊松方程如下式(2-2)，其给出了电势和电荷密度的关系：

$$\nabla \cdot \epsilon \nabla \phi = -q(p - n + N_D - N_A) - \rho_{trap} \quad (2-2)$$

其中 ϵ 为材料介电常数， q 为基本电荷单元， n 和 p 分别为电子和空穴密度， N_D 和 N_A 分别为电离施主和受主的浓度， ρ_{trap} 为陷阱电荷密度或者固定电荷。电子

和空穴的电流连续性方程分别陈列如下：

$$\nabla \cdot J_n = qR_{net} + q \frac{\partial n}{\partial t} \quad (2-3)$$

$$-\nabla \cdot J_p = qR_{net} + q \frac{\partial p}{\partial t} \quad (2-4)$$

其中 R_{net} 为净电子空穴复合率等于载流子复合项与产生项之差， J_p 为空穴电流密度， J_n 为电子电流密度。其中 J_n 和 J_p 可根据下式计算：

$$J_n = -nq\mu_n \nabla \Phi_n \quad (2-5)$$

$$J_p = -pq\mu_p \nabla \Phi_p \quad (2-6)$$

其中 μ_n 为电子迁移率， μ_p 为空穴迁移率，而 Φ_n 、 Φ_p 分别为电子、空穴准费米势，其与载流子浓度的关系可以表示为：

$$n = N_C \exp\left(\frac{-q\Phi_n - E_C}{kT}\right) \quad (2-7)$$

$$p = N_V \exp\left(\frac{-q\Phi_p - E_{F,p}}{kT}\right) \quad (2-8)$$

其中， N_C 和 N_V 分别为导带和价带有效态密度，而价带和导带底与电势呈如下关系：

$$E_C = -\chi - q(\phi - \phi_{ref}) \quad (2-9)$$

$$E_V = -\chi - E_{g,eff} - q(\phi - \phi_{ref}) \quad (2-10)$$

其中 χ 为电子亲和势， $E_{g,eff}$ 有效禁带宽度， ϕ_{ref} 为材料能带偏移参数。因此只需根据提供的初始电势，即可得到电场，根据连续性方程得到载流子浓度，带入泊松方程得到新的电势，对两个电势进行误差比较，进行迭代计算，即可得到器件的电场分布、载流子浓度和电流密度等特性。

但是无结多栅器件掺杂浓度高，Fin 体在 10 纳米左右，需要修正禁带宽度、量子效应及迁移率。其中禁带宽度窄化效应可以表示为^[100]：

$$\Delta E_g^0 = E_{ref} \left[\ln\left(\frac{N_{tot}}{N_{ref}}\right) + \sqrt{\left(\ln\left(\frac{N_{tot}}{N_{ref}}\right)\right)^2 + 0.5} \right] \quad (2-11)$$

其中 N_{tot} 掺杂浓度， E_{ref} 和 N_{ref} 为材料参数。量子效应采用密度梯度模型，引入

量子电势参量 Λ_n 和 Λ_p 用以修正电子浓度^[101]:

$$n = N_c F_{1/2} \left(\frac{E_{F,n} - E_C - \Lambda_n}{kT_n} \right) \quad (2-12)$$

考虑电子密度函数, 可以得到量子修正方程:

$$\Lambda_n = -\frac{\gamma \hbar^2 \nabla^2 \sqrt{n}}{6m_n \sqrt{n}} \quad (2-13)$$

其中 γ 为修正系数, m_n 为电子有效质量。其迁移率模型考虑载流子浓度、电场以及表面声子散射影响^[102-104], 其表达式如下:

$$\mu_{dop} = \mu_{min1} \exp\left(-\frac{P_c}{N_{tot}}\right) + \frac{\mu_{const} - \mu_{min2}}{1 + (N_{tot}/C_r)^\alpha} - \frac{\mu_1}{1 + (C_s/N_{tot})^\beta} \quad (2-14)$$

$$\mu_{field} = \frac{(\alpha + 1)\mu_{low}}{\alpha + \left[1 + \left(\frac{(\alpha + 1)\mu_{low}E_{sat}}{v_{sat}}\right)^\beta\right]^{1/\beta}} \quad (2-15)$$

$$\mu_{Phonon\ scattering} = \frac{B}{F_\perp} + \frac{C(N_{tot}/N_0)^2}{F_\perp^{1/3}(T/300)^k} \quad (2-16)$$

其中 P_c 、 C_r 、 C_s 、 α 、 β 、 B 和 C 都是拟合参数, F_\perp 、 E_{sat} 为电场, μ_{low} 、 μ_{min1} 和 μ_{min2} 为材料迁移率。按照 Mathiessen 规则, 计算得到器件的整体迁移率。

表 2-2 阈值电压和亚阈值斜率数值模拟结果与实验的比较

$V_{ds}=1(V)$	experimental	simulated
Threshold voltage, $V_{th}(V)$	-0.6	-0.58
Subthreshold swing, $SS(mV/dec)$	79	80.4

在研究无结器件特性之前, 先设置器件结构参数与 C. Park 实验条件一致, 校对模拟结果与实验结果^[26]。两者的转移输出特性对比如图 2-4 所示, 在源漏电压(V_{ds})分别为 1V 和 0.05V 进行对比, 两者在亚阈值区、线性区和饱和区都表现一致。同时对比了更高阶的电导特性, 如图 2-5, 分别对 $V_{ds}=1V$ 和 0.05V 的电导特性对比, 发现两者趋势一致。

同时比较提取的关键参数, 表 2-2 分别给出了模拟与实验得到的阈值电压和亚阈值斜率值, 数值模拟中阈值电压为 -0.58V, 实验测试值为 -0.6V, 亚阈值斜率数值在模拟中为 80.4mV/dec, 实验结果为 79mV/dec, 数值相近。

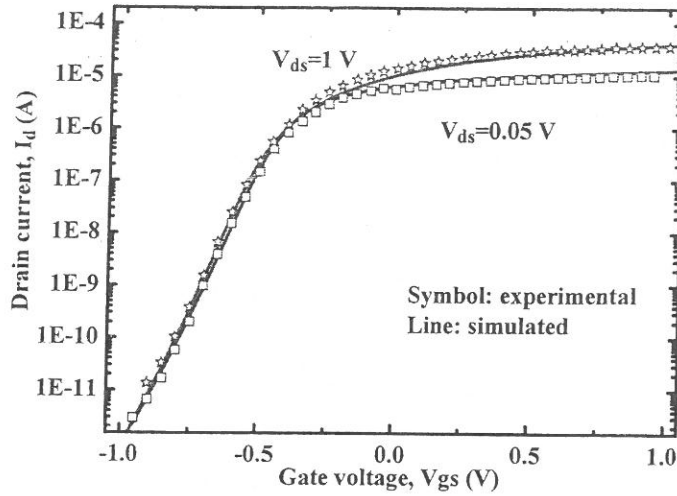


图 2-4 数值模拟与实验转移特性的校对

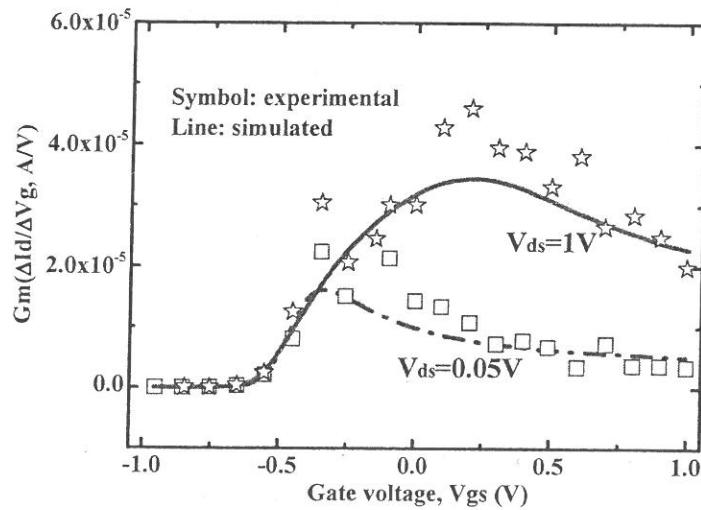


图 2-5 数值模拟与实验跨导特性的校对

基于上述校对工作，依据实验制备的无结多栅器件^[105]，参照其结构，提取倾斜角 θ 为 78.69° ，与理想情况 $\theta = 90^\circ$ 对比发现，发生其阈值电压、开态电流、亚阈值斜率都发生了明显的变化，如图 2-6 所示。接下来将具体探索垂直非均匀沟道对无结多栅器件各项性能的影响。

针对三组倾斜角 θ 分别为 78.7° 、 85.4° 和 90° 的无结器件，发现随着 θ 减小，阈值电压发生了偏移，亚阈值斜率(SS)从 71mV/dec 增加到了 76mV/dec ，如图 2-7。同时与理想情况的传统反型器件对比，两者结构参数设置相同，泄漏电流通过栅金属功函数调整到 $10\text{ pA}/\mu\text{m}$ ，无结器件亚阈值斜率特性较之反型器件更优越，但开态电流也因迁移率受高掺杂影响而减小，与 Lee 的结果一致^[34]。

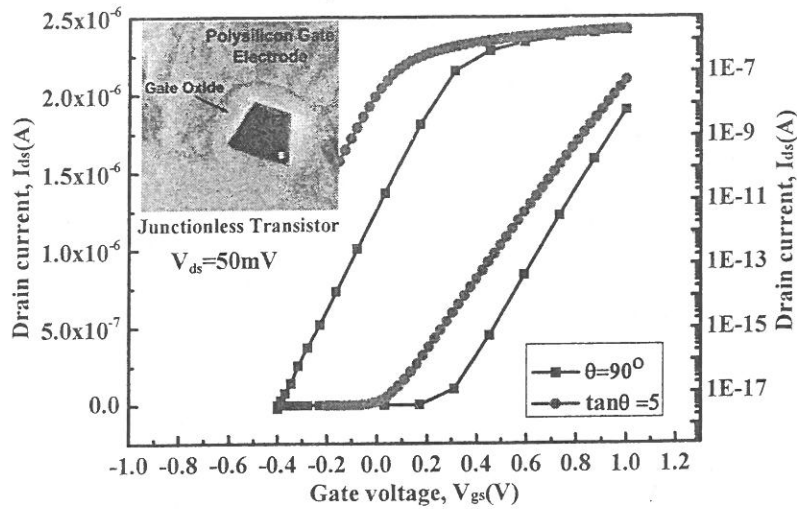


图 2-6 垂直非均匀沟道无结器件与理想沟道转移特性的比较

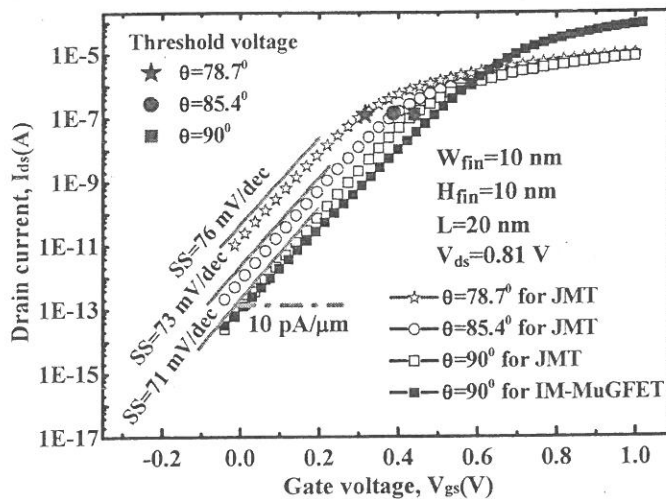


图 2-7 不同倾斜角 θ 的无结多栅器件转移特性与理想传统反型器件的比较

图 2-8 进一步展示了无结器件在不同 Fin 高 (H_{fin}) 下倾斜角 θ 对阈值电压的影响。随着 H_{fin} 的增加, 沟道有效区域增大, 关断沟道载流子流通趋于困难, 换言之即更容易开启。针对固定功函数差的 N 型无结器件中, 因此需要更负的栅电压进行耗尽, 以致阈值电压逐渐变小; 随着倾斜角 θ 的减小, Fin 底宽 (W_{bot}) 变大, 横截面增加, 也促使需要更小的栅电压耗尽沟道, 因此阈值电压也随之变小。同时 H_{fin} 较大时, 随 θ 减小, 截面面积增加的速率也变大, 以致阈值电压随 θ 变化率增加。器件开态电流 (I_{on}) 与阈值电压密切相关, 本研究中 I_{on} 提取自 $V_{gs} = V_{ds} = V_{dd}$ 。随着 H_{fin} 的增加, 越多的载流子在沟道中参与导通, 阈值电压变小, 使得无结器件开态电流增大, 同时随倾斜角 θ 的减小, 器件沟道截面面积也随之增加, 促使开态电流增加, 并且因为 H_{fin} 较大时, 沟道截面随 θ 增加的速率

变大, 促使开态电流增加速率上升, 如图 2-9。

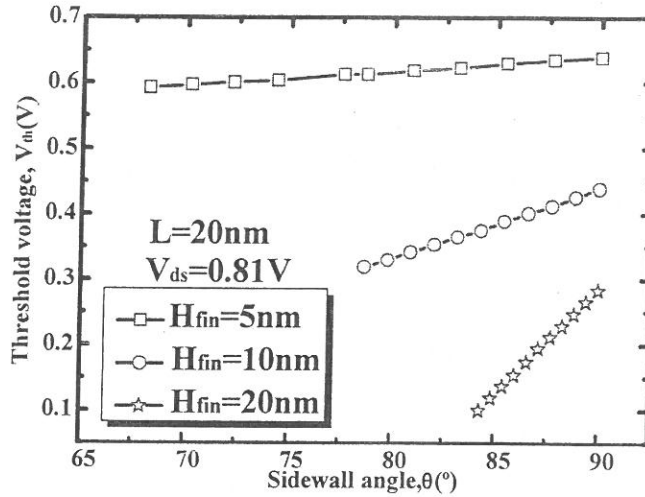


图 2-8 无结器件阈值电压与倾斜角 θ 的变化关系

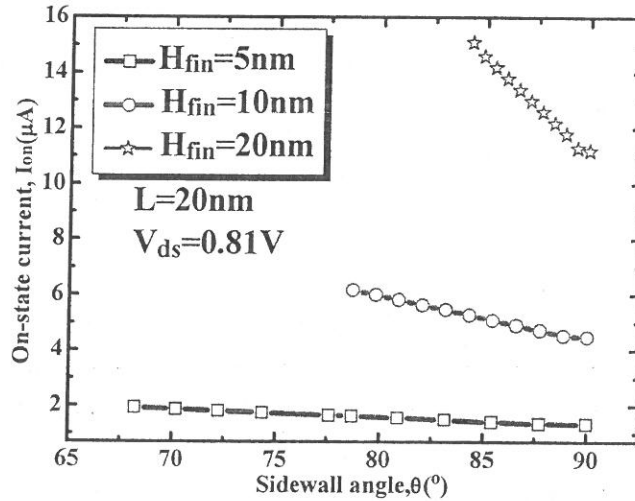


图 2-9 无结器件开态电流与倾斜角 θ 的变化关系

针对无结多栅器件的亚阈值特性, 图 2-10 展示了其亚阈值斜率随倾斜角 θ 变化的特性。在相同 Fin 宽 W_{fin} 下, 随着 H_{fin} 的增加, 无结多栅器件顶栅(Top Gate)的作用逐渐减小, 顶栅和侧栅(Sidewall Gate)之间的耦合减弱, 使得总体栅控能力变差, 亚阈值斜率增加; 比较相同 Fin 高 H_{fin} 下, 随着 W_{fin} 增加, 同样因为侧栅与侧栅之间耦合减弱而使亚阈值斜率特性变差。在倾斜角 θ 减小的过程中, 底栅宽度增加, 因此顶栅和侧栅, 以及侧栅之间距离增加, 耦合减小, 栅控能力也随之变弱, 促使器件亚阈值斜率逐渐增加。同时, 与测试结果对比发现, 数值结果与实验相近^[26, 27]。为了进一步验证上述的分析, 图 2-11 展示了 H_{fin} 和 θ 角变化时, 亚阈值状态提取的器件内部电势分布情况。 $H_{fin} = 5\text{nm}$, $\theta = 80.9^\circ$ 时, 栅

控电压可以几乎耗尽整个沟道的载流子，而随着 θ 的减小，中心高电势区逐渐增加，当 H_{fin} 增加到 10 纳米时，中心区域电势更高，栅控能力变得更弱，以致出现图 2-10 的结果。

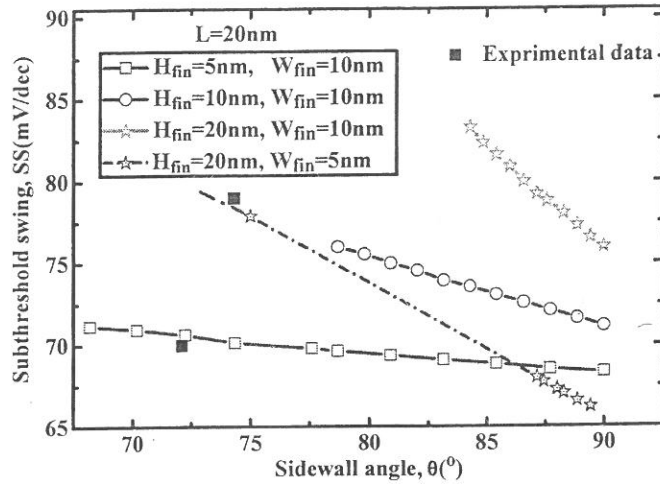


图 2-10 无结器件亚阈值斜率随倾斜角 θ 变化关系与实验结果的比较

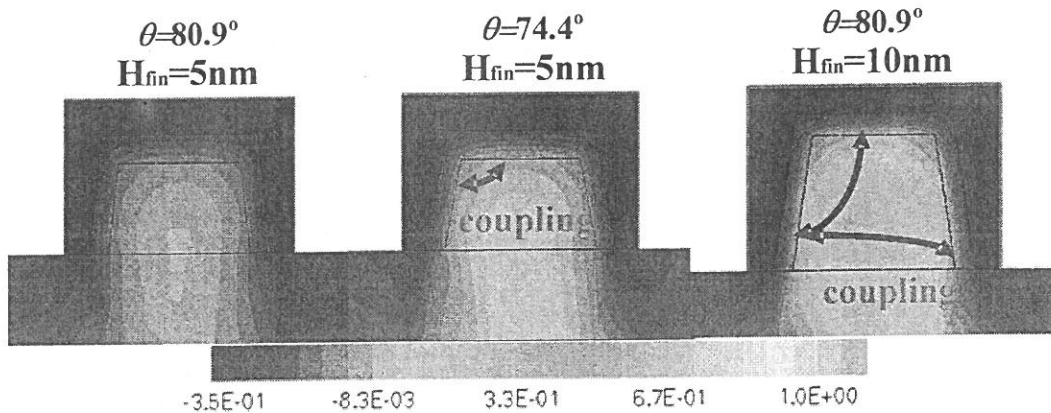


图 2-11 不同体高 H_{fin} 和倾斜角 θ 对电势分布的影响

将无结器件随 θ 变化的特性与传统反型器件对比，如图 2-12 所示。其中 SS difference 定义为非理想情况的亚阈值斜率与理想情况亚阈值斜率之差，其中理想情况时($\theta = 90^\circ$)，传统反型器件的亚阈值斜率为 83mV/dec，而无结器件的亚阈值斜率只有 71mV/dec，显示了无结器件优于传统反型器件的栅控能力，如图 2-9 所示。同时发现 SS 随 θ 变化呈现线性特性，为了比较无结器件和反型器件亚阈值斜率随 θ 变化的波动程度，引入线性因子 k 进行衡量：

$$k = \left| \frac{\Delta SS}{\Delta \theta} \right| \tag{2-17}$$

无结器件中 $k = 0.43$ ，而反型器件的 k 值为 0.93，因此无结器件不仅减小了亚阈

值斜率，同时一定程度上抑制了垂直非均匀沟道引起的亚阈值斜率波动。

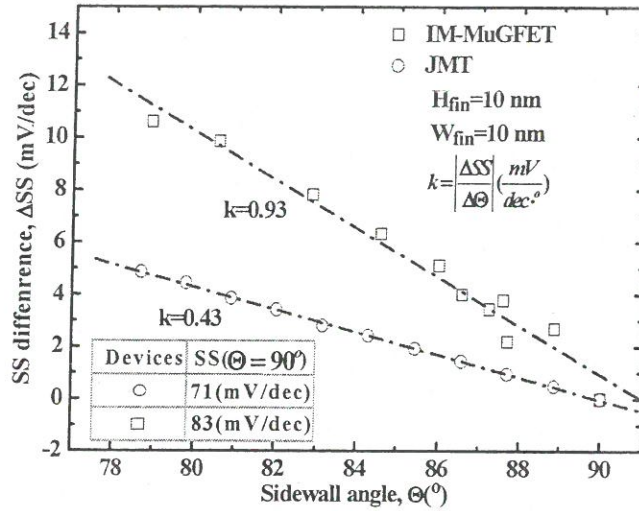


图 2-12 亚阈值斜率 SS 相对值随倾斜角 θ 的变化及波动线性因子 k

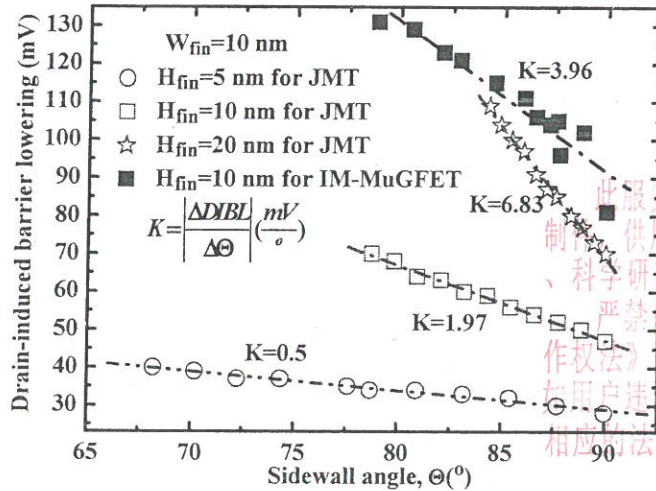


图 2-13 漏致势垒降低 DIBL 相对值随倾斜角 θ 的变化特性及波动线性因子 K ，并与传统反型器件特性比较

图 2-13 描述了无结器件另一项亚阈值特性——漏致势垒降低 (DIBL) 受倾斜角 θ 、Fin 高 H_{fin} 的影响。其中漏致势垒降低值定义为 $V_{ds} = 0.05V$ 和 V_{dd} 时的阈值电压差。 $V_{ds} = 0.05V$ 时的阈值电压采用二阶导数法(Double Derivative Method)，而 $V_{ds} = V_{dd}$ 时的阈值电压采用恒定电流法(Constant Current Method)。随着 H_{fin} 的增加和 θ 的减小，无结器件漏端电压对沟道作用的区域逐渐增加，因而其 DIBL 值如同亚阈值斜率特性随之上升。同样，引入 DIBL 线性因子 K 表征其波动程度：

$$K = \left| \frac{\Delta DIBL}{\Delta \theta} \right| \tag{2-18}$$

由于 H_{fin} 的增加，提高了载流子沟道面积的增加速率，以致随着 H_{fin} 从 5 纳米增

加到 20 纳米，波动 K 从 0.5 上升到了 6.83。无结器件不存在 pn 结，与相同尺寸的传统反型器件相比，无结器件的 DIBL 数值明显较小，同时无结器件 DIBL 受垂直非均匀性的波动 K 值只有 1.97，小于反型器件的 3.96，约其 1/2。而传统反型器件漏端 pn 结的存在使得在其反偏时漏端电场影响更大，从图 2-14 的电场分布图($V_{ds} = V_{dd}$, $V_{gs} = V_{th} - 0.2V$)可以看出，反型器件因为 pn 结的存在促使漏端电场峰出现在沟道内，其电场作用渗入到沟道中间($z=0.02$ 微米)，而无结器件无 pn 结，漏端电场出现漏区，变得平缓，减小了渗入的深度，电场峰值也远远小于反型器件，使得无结器件的 DIBL 明显小于反型器件。同时从图中也可以看出，随着 θ 的减小以及 H_{fin} 的增加，电场峰逐渐移向沟道，电场渗入沟道的长度增加，也验证了上述漏端电场的影响，致使 DIBL 特性变差。

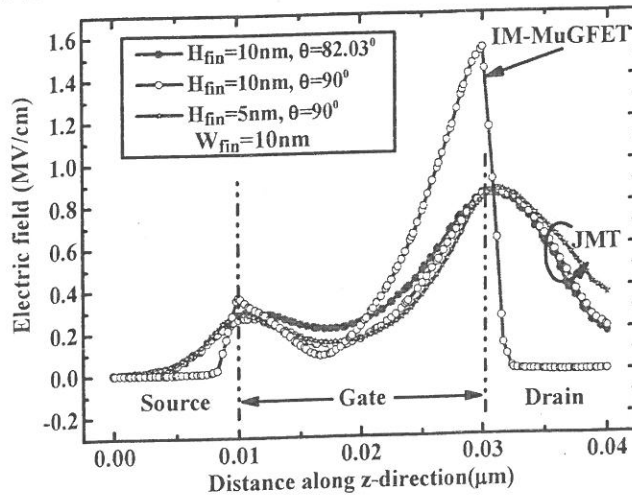


图 2-14 无结和反型器件沿沟道方向的电场分布($V_{ds} = V_{dd}$, $V_{gs} = V_{th} - 0.2V$)

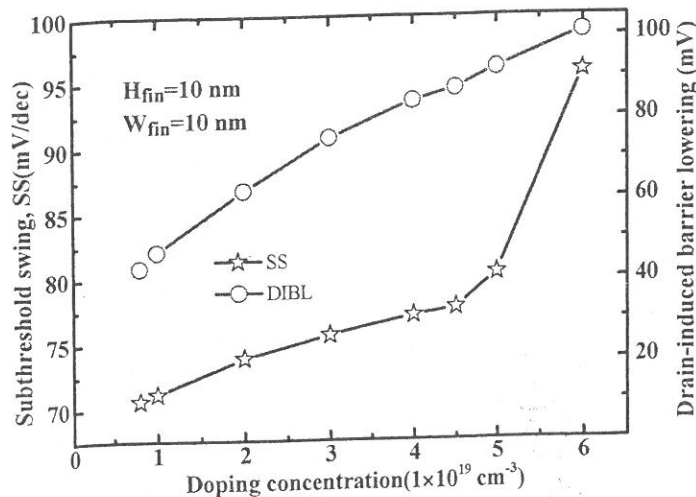


图 2-15 理想情况下($\theta = 90^\circ$)无结器件亚阈值特性随掺杂浓度变化的特性

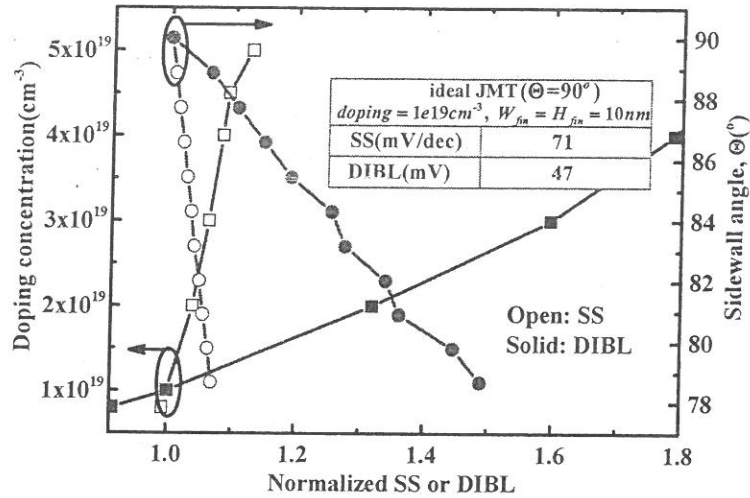


图 2-16 亚阈值性能波动衡量掺杂浓度和沟道垂直非均匀性变化，插图为理想情况时的亚阈值特性值

针对实际制备工艺，多栅器件的 H_{fin} 通常较大^[95]，此时 θ 角微小的变化将促使 DIBL 值急剧波动，因此需要根据性能要求严格控制工艺造成的 θ 变化，同时还可以采取结构优化抑制垂直非均匀沟道引起的波动。

掺杂浓度波动是器件最常见的工艺波动之一，为了衡量掺杂浓度波动与沟道垂直非均匀性引起的性能变化程度，先针对理想情况($\theta = 90^\circ$)的 DIBL 和 SS 随掺杂浓度变化特性进行研究，如图 2-15。而图 2-16 给出了 SS 和 DIBL 经过理想情况的归一化后的掺杂浓度与倾斜角 θ 关系。发现，掺杂浓度从 $1 \times 10^{19} cm^{-3}$ 增加到 $3 \times 10^{19} cm^{-3}$ 时，器件归一化的 SS 从 1 增加到了 1.06，DIBL 从 1 增加到 1.59，针对沟道垂直非均匀性，为了引起性能相同的变化，例如为了让 SS 从 1 变到 1.06，那么倾斜角需从理想情况减小到 $\theta = 79.7^\circ$ ，使 DIBL 从 1 变成 1.59，需要将倾斜角减小到 78° 以下。为了进一步观察两者的影响程度，比较了掺杂浓度和 Fin 底宽波动分别为 20%、50% 时对应的 SS 和 DIBL 特性波动，如图 2-17。参数波动幅度为 20% 时，掺杂浓度波动引起的 SS 变化为 0.53%，DIBL 变化为 6.57%，而 Fin 底宽引起的 SS 变化为 3.36%，DIBL 变化为 25.58%。参数波动幅度上升到 50% 时，Fin 底宽引起 SS 和 DIBL 变化分别为掺杂波动的 5 倍和 3.6 倍。虽然在同样性能波动下，这样的掺杂波动水平在工艺中比较常见，而倾斜角如此大范围的变化较少出现。但依然可以推断倾斜角引起的性能波动明显，在器件应用过程中需要进行仔细的设计，同时还应进行结构优化实现波动抑制。

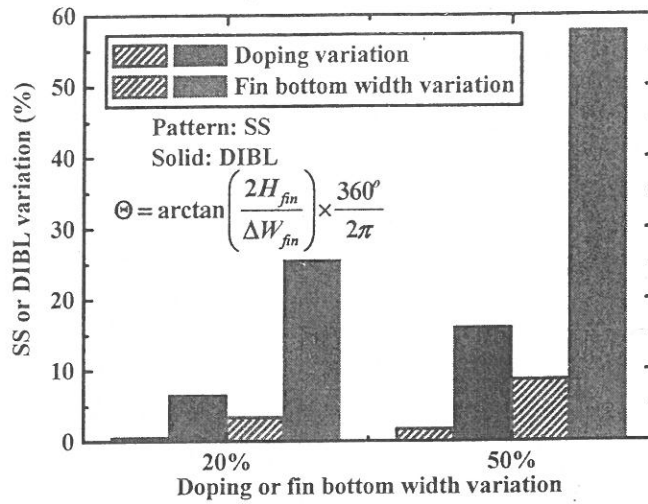


图 2-17 掺杂浓度和垂直非均匀沟道变化引起的亚阈值特性波动

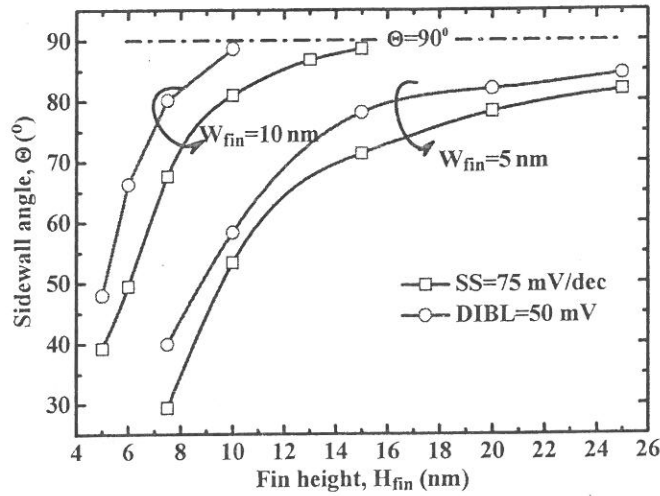


图 2-18 无结多栅器件体高宽参数和倾斜角的指导准则

考虑到实际器件制备，一些关键结构参数可以固定，例如 W_{fin} 、 H_{fin} 。但 Fin 底宽很难控制，根据上述研究，其大小又显著影响器件性能。根据工业应用标准，器件的亚阈值特性，即 SS 和 DIBL 不能高于某定值，因此相应的 Fin 体刻蚀工艺的精度需要保证。依据 Li 的工作^[106]，设定 SS=75mV/dec，DIBL=50mV，图 2-18 展示了 W_{fin} 、 H_{fin} 和倾斜角 θ 的变化关系。相比之下，DIBL 对垂直非均匀效应较之 SS 更加敏感，其标准决定了整体亚阈值特性的控制精度。以 $W_{fin}=10$ 纳米为例， H_{fin} 为 10 纳米时，刻蚀的偏差不能小于 88.6° ，工艺偏差精度在 80° 时， H_{fin} 必须控制在 7.5 纳米以下。但是采用更窄 Fin 宽时，垂直沟道工艺精度控制具有更高的自由度。

2.3 垂直非均匀沟道无结多栅器件电流模型

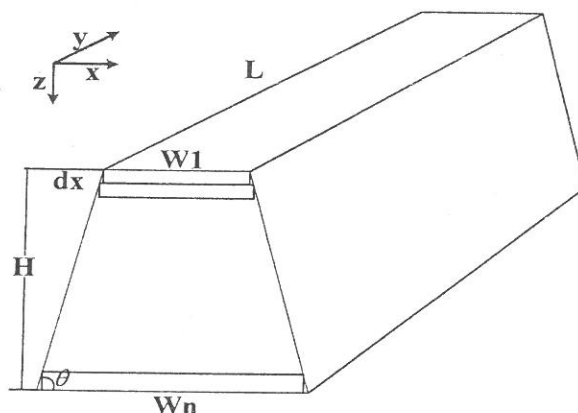


图 2-19 垂直非均匀沟道无结器件层状近似示意图

基于无结器件的体导通特性，忽略表面载流子的影响，同时不考虑载流子层与层之间耦合，考虑顶栅作用弱于侧栅，对具有垂直非均匀沟道的无结双栅器件进行层状近似，如图 2-19，假设此梯形截面无结多栅器件由厚度为 dx 的薄层组成，将梯形无结器件转换成 n 个矩形薄层组成的双栅器件。

根据无结器件的沟道夹断特性，在栅电压、源漏电压和功函数的作用下形成空间电荷区，可用如下关系描述：

$$X_{dep}(V_G, V(y)) \cong -\frac{C_{eq}}{qN_{si}} \cdot [V_G - V_{FB} - V(y)] \quad (2-19)$$

根据电流公式和差分电阻公式，矩形薄层的电流表示如下：

$$I_1 = dx \cdot (W_1 - 2X_{dep}) \frac{\mu_b q N_{si}}{dy} dV \quad (2-20)$$

将 X_{dep} 的表达式带入，得到：

$$dx \cdot \left(W_1 + 2 \frac{C_{eq1}}{qN_{si}} \cdot [V_G - V_{FB} - V(y)] \right) dV = I \frac{dy}{\mu_b q N_{si}} \quad (2-21)$$

等式两边进行积分处理，可得电流的表达式：

$$I_1 = dx \cdot \left[\left[W_1 + 2 \frac{C_{eq1}}{qN_{si}} (V_G - V_{FB}) \right] V_{DS} - \frac{C_{eq1}}{qN_{si}} V_{DS}^2 \right] \frac{\mu_b q N_{si}}{L_g} \quad (2-22)$$

同理各薄层都采用如上方式得到电流表达式，对其相加：

$$I = \sum_{i=1}^{i=n} I_i = dx \cdot \frac{\mu_b q N_{si}}{L_g} \left[\left[W_1 + W_2 + \dots + W_n + 2 \frac{\sum C_{eqn}}{q N_{si}} (V_G - V_{FB}) \right] V_{DS} - \frac{\sum C_{eqn}}{q N_{si}} V_{DS}^2 \right] \quad (2-23)$$

同时 W_n 满足:

$$W_n = W_{n-1} + 2 \frac{dx}{\tan \theta} = W_1 + 2(n-1) \frac{dx}{\tan \theta} \quad (2-24)$$

带入电流表达式可得:

$$I = dx \cdot \frac{\mu_b q N_{si}}{L_g} \left[\left[nW_1 + 2 \frac{dx}{\tan \theta} \frac{n(n-1)}{2} + 2 \frac{\sum C_{eqn}}{q N_{si}} (V_G - V_{FB}) \right] V_{DS} - \frac{\sum C_{eqn}}{q N_{si}} V_{DS}^2 \right] \quad (2-25)$$

基于欧拉-麦克劳林求和法, 同时考虑 n 和 H 的关系, n 取无穷大, 得到与 θ 相关的电流表达式:

$$I = H \cdot \frac{\mu_b q N_{si}}{L_g} \left[\left[W_1 + \frac{H}{\tan \theta} + 2M(V_G - V_{FB}) \right] V_{DS} - M V_{DS}^2 \right] \quad (2-26)$$

$$\text{其中 } M = \frac{\tan \theta \cdot \epsilon_{Si}}{q N_{si} H} \cdot \ln \left(1 + 2 \frac{H}{\left(W_1 + \frac{2\epsilon_{Si}}{C_{ox}} \right) \tan \theta} \right)$$

与理想的情况相比较, 增加因梯形角度引起的电流项为:

$$I_\theta = H \cdot \frac{\mu_b q N_{si}}{L_g} \left[\frac{H}{\tan \theta} \right] V_{DS} \quad (2-27)$$

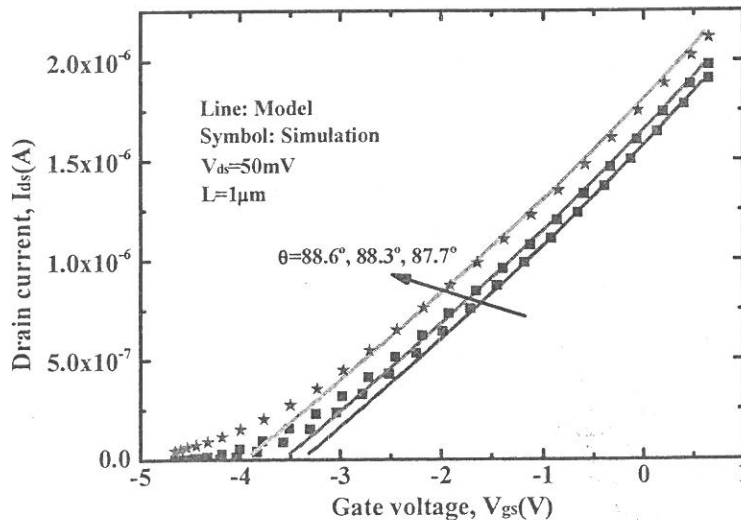


图 2-20 层状电流模型结果与数值模型结果的对比 ($V_{ds} = 0.05V$, 理想迁移率)

为了避免短沟道效应,将模型在长沟情况的结果与数值模拟进行对比,如图 2-20,发现两者结果一致,关系式(2-26)成功描述了无结器件开态电流随倾斜角的变化规律。

2.4 High-k Spacer 垂直非均匀沟道无结器件

针对多栅制备工艺,通常 H_{fm} 都较大^[95],此时 θ 微小的变化将促使亚阈值特性剧烈变化,虽然相对于传统器件,无结多栅器件因为其优良的栅控能力,受倾斜角影响较小,但影响依然不可忽略。在工艺控制精度提升的同时,采取结构优化进行波动抑制是重要的解决方法。考虑到无结器件是体导通和高场关断机制,在亚阈值区时,沟道的电场较大,器件金属栅的边缘电场耦合到源漏两端将有利于沟道的耗尽。因此,提出引入高介质常数的侧墙(Spacer)层抑制亚阈值特性波动,同时提升亚阈值特性。

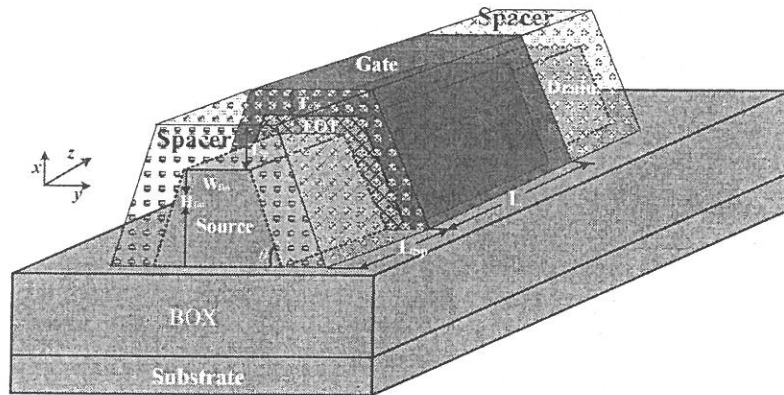


图 2-21 侧墙无结多栅器件的三维示意图,其中侧墙可分别为 SiO_2 ($\xi_{sp} = 3.9$)、 HfO_2 ($\xi_{sp} = 21$) 和无侧墙情况 ($\xi_{sp} = 1$)

基于 Sentaurus TCAD 构建有 Spacer 层的无结多栅器件^[99],如图 2-21。其中功函数设置为 5.0eV,源漏区、沟道掺杂类型一致为 N 型,掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$,等效栅氧厚度为 1.6 纳米,Spacer 层厚度为 T_{sp} ,长为 L_{sp} 。基于实际工艺水准考虑,倾斜角 θ 在 $78^\circ \sim 90^\circ$ 之间。为了模拟结果的正确性,在数值模拟中考虑密度梯度模型^[101]、掺杂浓度和电场对迁移率的影响^[102-104]、俄歇复合、Shockley-Read-Hall 模型。

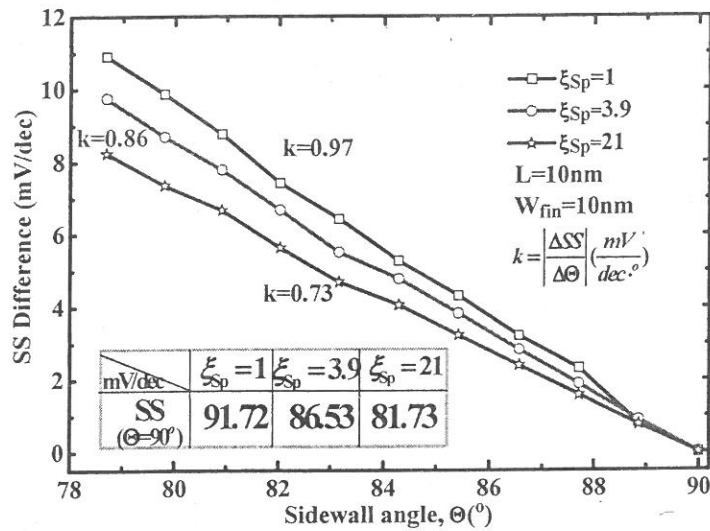


图 2-22 不同介电常数侧墙的亚阈值斜率相对值随倾斜角变化的特性及其波动线性因子 k ，插表为理想情况下不同介电常数侧墙的亚阈值斜率值(标准值)

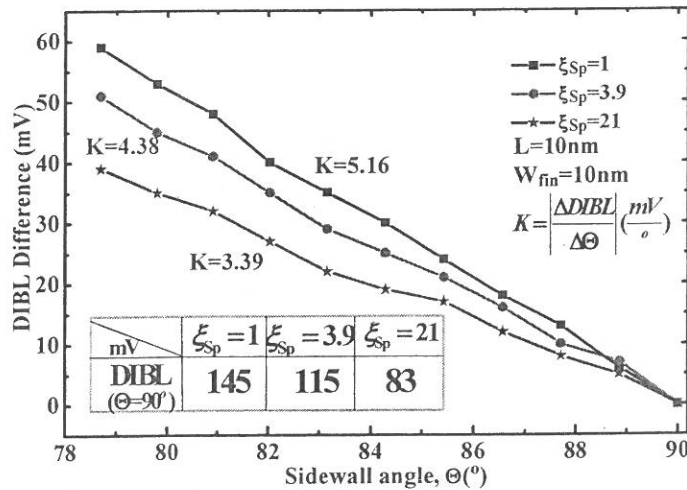


图 2-23 不同介电常数侧墙的漏致势垒降低相对值随倾斜角变化的特性及其波动线性因子 K ，插表为理想情况下不同介电常数侧墙的漏致势垒降低值(标准值)

首先针对栅长为 10 纳米的无结多栅器件，研究其 Spacer 全覆盖厚度为 1.6 纳米的亚阈值斜率特性，如图 2-22。采用 SS difference 表示非均匀沟道情况的亚阈值斜率与理想情况之差。针对理想情况($\theta=90^\circ$)，在 Spacer 介电常数分别为 1、3.9、21 时，SS 值分别为 91.72mV/dec、86.53 mV/dec、81.73 mV/dec。采用 High-k Spacer 后，边缘电场的作用促使源漏区和沟道的耗尽明显加速，提升了器件的栅控能力。同时，采用线性因子 k 表示亚阈值波动，随着介电常数 ξ_{Sp} 的增加， k 从 0.97 减小到了 0.73。同样，针对 DIBL 特性，也采用 DIBL difference 表示非均匀沟道情况的漏致势垒降低值与理想情况之间的差，如图 2-23。在 $\theta=90^\circ$ 时，采用 High-k Spacer，扩展了器件空间电荷区，增加了耗尽的有效长度，明显减小了漏

电压对沟道的影响,使得 DIBL 值从分别从 145mV 较小到 83 mV。同样 High-k Spacer 的引入不仅减小了 DIBL 数值,也抑制了 DIBL 随 θ 的波动。介电常数 ξ_{Sp} 从 1、3.9 增加到 21, DIBL 线性波动因子 K 从 5.16、4.38 减小到 3.39。随着 θ 的增加,侧栅的长度也逐渐增加,同时底部边角因为角度减小耦合增强,虽然 θ 的增大使得整体亚阈值特性变差,但在 High-k Spacer 作用下,明显减缓了因倾斜角度 θ 引起的亚阈值性能波动。

虽然多栅器件栅控能力较强,但是随着器件沟道长度急剧减小,在沟道长度与宽度近似 1:1 时,短沟道效应已经严重影响器件特性。因而针对 22 纳米以下节点的器件亚阈值特性展开研究,图 2-24 描述了不同 ξ_{Sp} 器件亚阈值斜率波动 k 随沟道长度 L 的变化特性。器件栅长减小,致使栅控能力减弱,导致亚阈值特性波动明显增加,如图中所示,在无 Spacer 时,栅长为 20 纳米时,亚阈值斜率波动 k 为 0.434,到 15 纳米时, k 为 0.65,沟长缩小到 10 纳米时, k 上升到了 1,波动剧烈程度增加了一倍。传统工艺上通常采用 SiO_2 作为 Spacer 时,栅长从 20 纳米缩小到 10 纳米,亚阈值斜率波动 k 从 0.388 上升到了 0.86。而 High-k Spacer 的引入,如上述原因,金属栅的边缘电场扩展了亚阈值状态源漏的空间电荷区,促使亚阈值特性改善,因此引入 High-k Spacer 后,20 纳米栅长的亚阈值斜率波动 k 变成了 0.337,15 纳米时为 0.47,继而到 10 纳米的 0.73。同时发现 High-k Spacer 层的引入在更短沟道下将发挥更明显的抑制效果。通过 2.2 节的研究,得知 DIBL 受倾斜角 θ 、器件尺寸的变化较之 SS 更大。图 2-25 研究了不同 ξ_{Sp} 下漏致势垒降低波动 K 随沟道长度 L 变化特性。栅长为 20 纳米,Spacer 介电常数 ξ_{Sp} 分别为 1、3.9、21 时漏致势垒降低波动 K 即已经分别达到了 1.95、1.74 和 1.58。当沟道缩小到 10 纳米时, K 更分别上升到了 5.16、4.38 和 3.39。High-k Spacer 的引入使得 DIBL 波动程度减小到无 Spacer 情况的一半,抑制效果明显。因此采用 High-k Spacer 利用来自顶栅和侧栅通过 Spacer 作用到沟道的附加边缘电场,通过边角使得耦合作用加强,有利于器件沟道的耗尽,进而抑制了亚阈值特性随 θ 的波动。即使器件尺寸缩小到 10 纳米 High-k Spacer 对性能波动的抑制作用依然存在。因而 High-k Spacer 的引入有利于无结多栅器件缩进到更小尺寸。

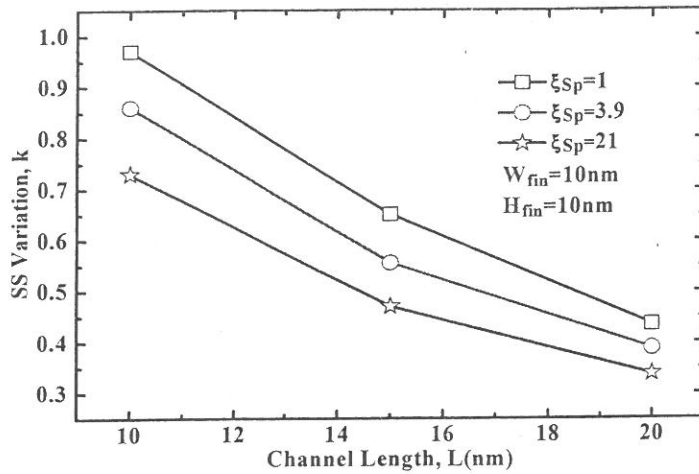


图 2-24 亚阈值斜率 SS 波动 k 的按比例缩小特性

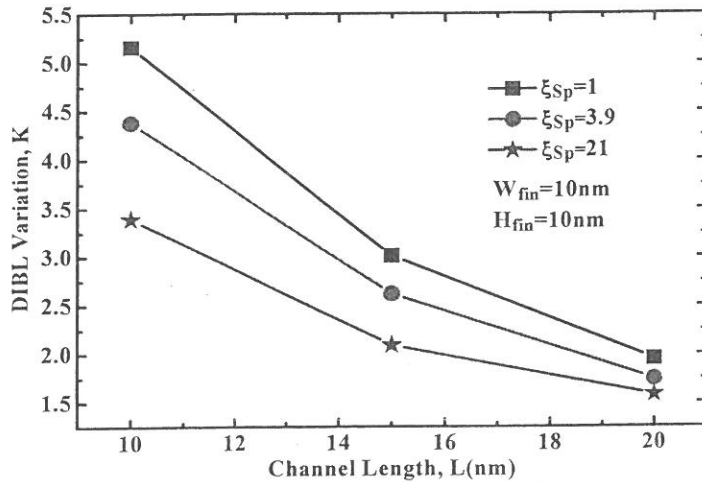


图 2-25 漏致势垒降低 DIBL 波动 K 的按比例缩小特性

同时针对 Spacer 的两个重要参数：长度(L_{Sp})和宽度(T_{Sp})，研究其对亚阈值特性及其波动的影响。介于考虑实际 Spacer 工艺，主要存在两种制备方法，其一，先形成栅氧层和金属栅极，再淀积 High-k 材料，进行化学机械抛光，即可形成高度同栅氧层和金属栅层近似等高、长度可调的 Spacer 层；另一种方法即先淀积覆盖整个器件的 High-k 层，利用掩膜版光刻和刻蚀出栅极位置，生长栅氧层，再淀积金属栅极。这样方法制备的 High-k Spacer 层覆盖整个源漏区，但其厚度可调。

图 2-26 描述了 T_{Sp} 为 3.6 纳米时亚阈值斜率 SS 及其波动 k 随 Spacer 长度 L_{Sp} 的变化特性。先将 Spacer 长度 L_{Sp} 对源漏区长度进行了归一化。可以发现，当归一化后 L_{Sp} 小于 0.4 时，随 L_{Sp} 增加，Spacer 作用逐渐增强，促使 SS 及 k 迅速减小。而当 L_{Sp} 大于 0.7 时，随 L_{Sp} 的继续增加，SS 及 k 又逐渐增加。 L_{Sp} 大约在 0.5 时，

SS 特性及 k 处于最优。另外，在图 2-27 中发现，漏致势垒降低 DIBL 及其波动 K 也是先随着 L_{Sp} 增加而减小，到 $L_{Sp}=0.5L_{sd}$ 附近出现最优值，继而又随着 L_{Sp} 的增加而增加。研究 SS/DIBL 及其波动的变化，主要归因于边缘电容效应，若边缘电容越大，在无结器件中就越有利于源漏和沟道耗尽，增加空间电荷区的有效长度，提升器件的亚阈值特性，同时边缘电容会促使边角耦合效应增强，有利于加强倾斜角较小时对亚阈值特性变化的抑制。边缘电容产生于栅边界与源极接触，因此可以根据在沟道内外的不同，可以将边缘电容一分为二，栅极到沟道的部分为 C_{of} 和沟道到源端的部分为 C_{if} ，成串联关系。当 L_{Sp} 很小时，耗尽作用主要依靠 C_{if} ，当 L_{Sp} 接近 1 时主要依靠 C_{of} ， C_{if} 主要变得很小，而只有当 L_{Sp} 在 0.5 左右时，两者的共同效果使得边缘电容最强，从而改善亚阈值特性效果达到最优，同时通过边角效应加强亚阈值特性波动的抑制。

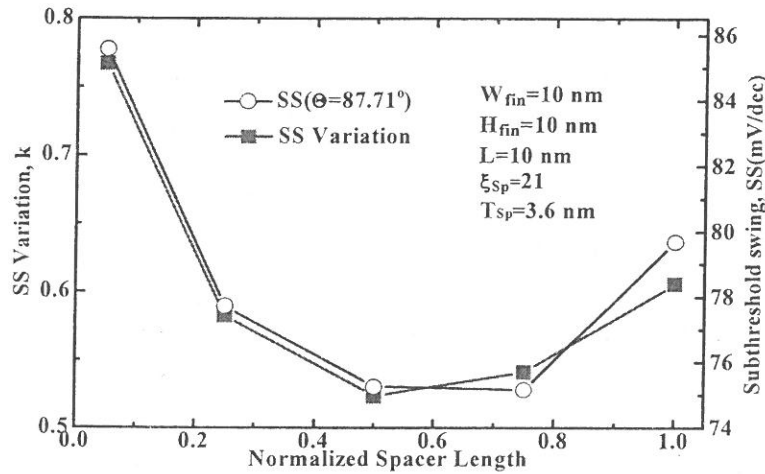


图 2-26 侧墙长度对亚阈值斜率 SS 及其波动 k 的影响

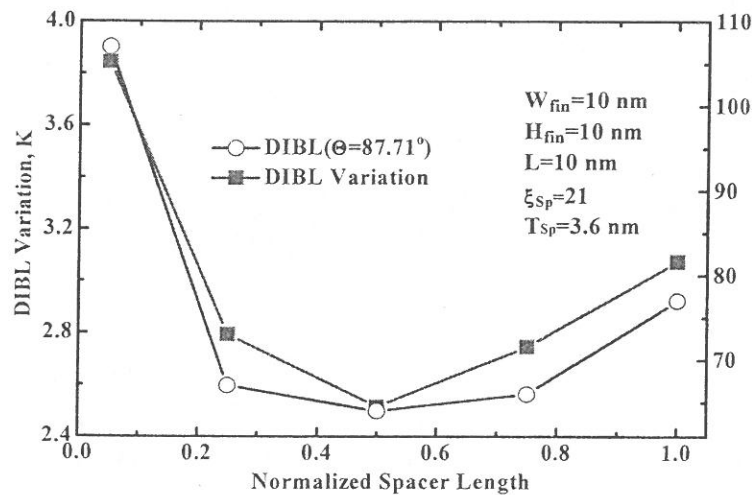


图 2-27 侧墙长度对漏致势垒降低 DIBL 及其波动 K 的影响

Spacer 厚度 T_{sp} 的变化同样会引起亚阈值特性及其波动 k 的改变。图 2-28 描绘了当 Spacer 完全覆盖源漏区时亚阈值斜率 SS 及其波动受 T_{sp} 的影响。当 T_{sp} 小于栅氧层厚度时，边缘电场不能有效的通过 Spacer 影响沟道，使得 SS 和波动 k 变化缓慢；当 T_{sp} 增加覆盖过栅氧层以后，边缘电场通过侧栅有效的作用于沟道，因此在 T_{sp} 与栅氧层厚度相同的临界处出现了激变，SS 和波动 k 迅速减小；而当 Spacer 层厚度继续增加，在金属栅层之间变化时，由于金属为等势体，通过边缘电场作用的逐渐增强使得沟道最小耗尽长度增加，SS 和波动 k 的减小基本与厚度成线性关系；当 Spacer 层覆盖过金属栅极以后，栅上边沿通过 Spacer 层作用到沟道的距离大大增加，侧栅到沟道依然是决定边缘电场作用的最短距离，以致忽略来自栅上边沿的作用，因此当 T_{sp} 大于栅氧层和金属栅层之和以后，SS 和波动 k 基本处于恒定。同时针对 DIBL 特性，图 2-29 展示了 T_{sp} 对 DIBL 特性及其波动 K 的影响。如同 SS 及其波动 k 的变化规律，DIBL 特性及其波动 K 在 T_{sp} 较小时变化较小，在 T_{sp} 增加到与栅氧层厚度相同的临界处时，DIBL 和 K 出现了陡变：DIBL 从 150mV/dec 减小到 88mV/dec， K 从 4.8 减小到 3.39；继而 T_{sp} 增加以后，DIBL 和 K 又线性减小，逐渐趋于稳定。

综合图 2-22 至 2-29 可知，引入 High-k Spacer 不仅有效改善无结多栅器件的亚阈值特性，同时有效抑制了因倾斜角引起的亚阈值特性波动。

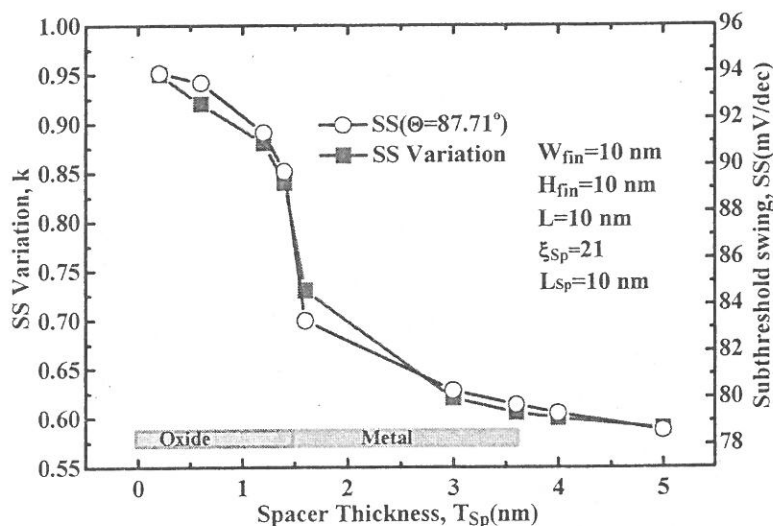


图 2-28 侧墙厚度对亚阈值斜率 SS 及其波动 k 的影响

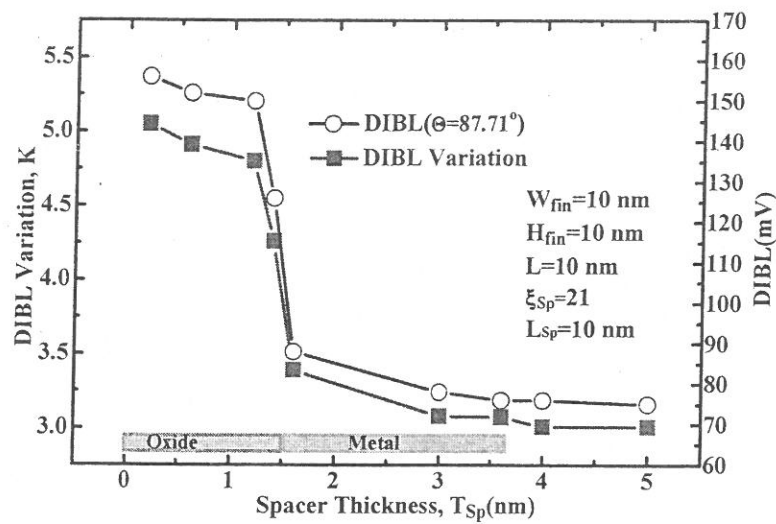


图 2-29 侧墙厚度对漏致势垒降低 DIBL 及其波动 K 的影响

2.5 小结

本章介绍了无结多栅器件垂直非均匀沟道的形成，研究了亚 22 纳米垂直非均匀沟道倾斜角对器件亚阈值斜率、漏致势垒降低、阈值电压、开态电流等特性的影响。通过与传统反型多栅器件比较，发现无结多栅器件有更优越的亚阈值特性，对垂直非均匀性性能波动有更有效的抑制；开发了基于层状近似的垂直非均匀沟道无结多栅器件电流模型，可以反应倾斜角对器件开态电流的影响；针对实际工艺和垂直非均匀沟道的影响，引入 High-k Spacer 改善无结多栅器件的亚阈值特性和抑制因倾斜角引起的亚阈值性能波动，优化 High-k Spacer 层的结构参数。High-k Spacer 结构的引入有利于推进无结多栅器件的继续缩小。

第三章 线边缘粗糙无结多栅器件

除了沟道垂直非均匀性,光刻工艺造成的另一不可避免的波动即为线边缘粗糙,因为光刻胶在曝光过程中会形成边缘不规则的形状,在刻蚀工艺以后将此线边缘粗糙转移到 Fin 体,造成 Fin 体形状与设计的形状不同。无结多栅器件如同传统反型器件,其线边缘粗糙度取决于工艺水平,不会随器件尺寸的按比例缩小而减弱。因此当器件尺寸较大时,线边缘的波动相对 Fin 体宽度而言较小,对性能的影响往往忽略不计。但随着器件栅长逐渐缩短,多栅结构因为良好的短沟道抑制能力成为主流器件单元,Fin 宽一般在 10 纳米左右,而边缘线粗糙度在 1.5 纳米左右^[1],因此已成重要的工艺波动,不能忽略。与传统反型器件不同,无结多栅器件为体导通,通过耗尽沟道实现关断,因而沟道的宽度变化直接影响器件特性,而线边缘粗糙将直接改变沟道的实际宽度,其对无结器件特性的引入新影响,不能沿用传统反型器件的结论。目前,只有 C. O. Chui 小组基于二维数值模拟初步研究了线边缘粗糙度对无结多栅 FinFET 器件的影响^[88]。但是,其研究未考虑迁移率的表面散射影响,同时 FinFET 为非对称三维结构,顶栅和衬底作用不一,载流子散射耦合、器件宽度作用在亚 22 纳米节点下都不能简单忽略。为了得到准确的结果,在研究中需要采用三维数值模拟。本章 3.1 介绍了基于高斯自相关函数功率谱傅里叶分析方法产生线边缘粗糙,并加载到数值模拟器中。在 3.2 节中研究线边缘粗糙度对无结多栅器件特性的影响,并给出各性能的统计特性。在 3.3 节中分析了沟道宽窄位置变化对器件特性的不同影响。最后进行本章小结。

3.1 线边缘粗糙的产生方法

基于自相关函数功率谱傅里叶分析的方法实现线边缘粗糙^[107, 108],存在高斯或者指数两种形式自相关函数的功率谱,分别如下:

$$S_G(k) = \sqrt{\pi} \Delta^2 \Lambda e^{-(k^2 \Lambda^2 / 4)} \quad (3-1)$$

$$S_E(k) = \frac{2\Delta^2 \Lambda}{1 + k^2 \Lambda^2} \quad (3-2)$$

其中 Δ 为均方根幅度,表示涨落幅度, Λ 为相关长度,表示波动相关程度, Δ 和 Λ 是线边缘粗糙度的重要参数。根据实验制备的器件扫描电子显微镜图进行线边

缘粗糙分析发现, 高斯自相关功率谱与实际的线边缘粗糙较接近^[107, 109], 因此在研究中采用高斯自相关功率谱以及高斯自相关函数 $R(x)$, 表达式如下:

$$R(x) = \Delta e^{-(x^2/\Lambda^2)} \quad (3-3)$$

基于该研究思路, 首先搭建一个系统: 根据均方根幅度和自相关常数, 引入高斯自相关函数 $R(x)$, 在本次研究中采用 $\Delta = 1nm$, $\Lambda = 15nm$ ^[88], 即可得到高斯自相关函数 $R(x)$, 如图 3-1(a); 再通过对 $R(x)$ 傅里叶变换得到功率谱 $P(w)$, 关系如下:

$$P(w) = FFT(R(x)) \quad (3-4)$$

如图 3-1(b), 继而计算出 $P(w)$ 的均方根得到幅度谱 $H(w)$:

$$H(w) = \sqrt{P(w)} \quad (3-5)$$

如图 3-1(c), 对幅度谱进行反傅里叶变换即可得到单位脉冲响应 $h(x)$:

$$h(x) = FFT^{-1}(H(w)) \quad (3-6)$$

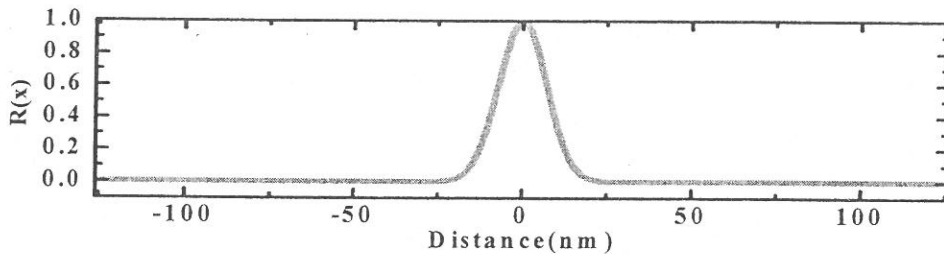
如图 3-1(d), 系统搭建完毕以后, 继而引入白噪声序列 $g(x)$ 作为系统激励, 如图 3-1(e), 即可得到波动序列 $f(x)$:

$$f(x) = h(x) * g(x) \quad (3-7)$$

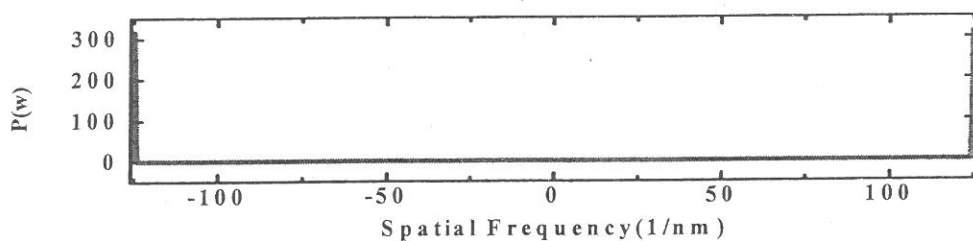
如图 3-1(f), 为了验证所得到的波动序列是否与自相关函数一致, 可截取其中一段输出序列计算自相关函数得到 $R'(x)$:

$$R'(x) = R(f(x)) \quad (3-8)$$

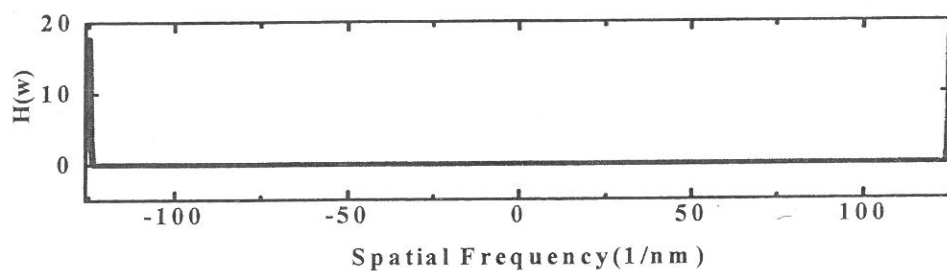
如图 3-1(g)。比较 $R'(x)$ 与 $R(x)$, 若两者近似相等, 即可将波动序列植入到数值模拟器当中, 研究线粗糙效应对无结 FinFET 性能的影响。线边缘粗糙产生方法框架如图 3-2:



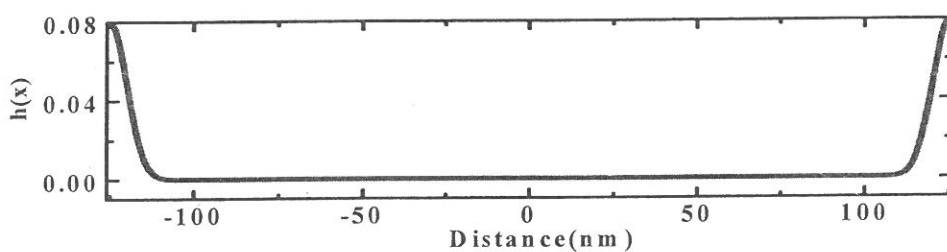
(a) 高斯自相关函数



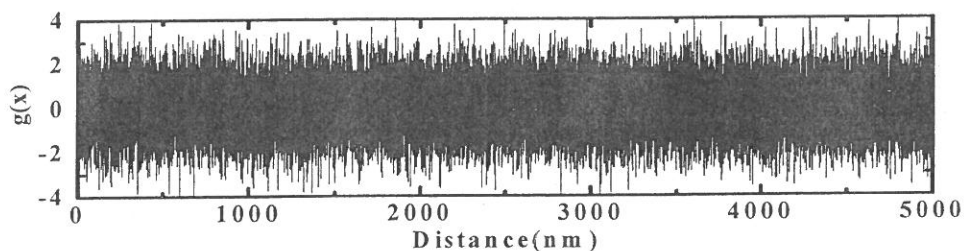
(b) 功率谱



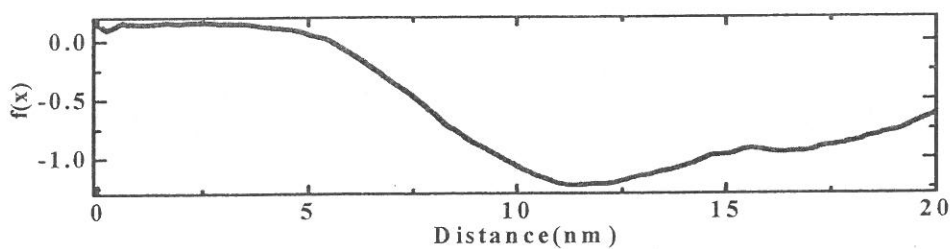
(c) 幅度谱



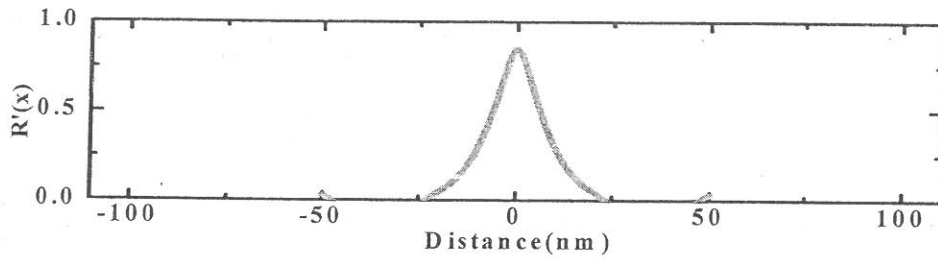
(d) 单位脉冲响应



(e) 白噪声激励



(f) 线边缘粗糙波动序列



(g) 片段自相关函数

图 3-1 线边缘粗糙序列的产生

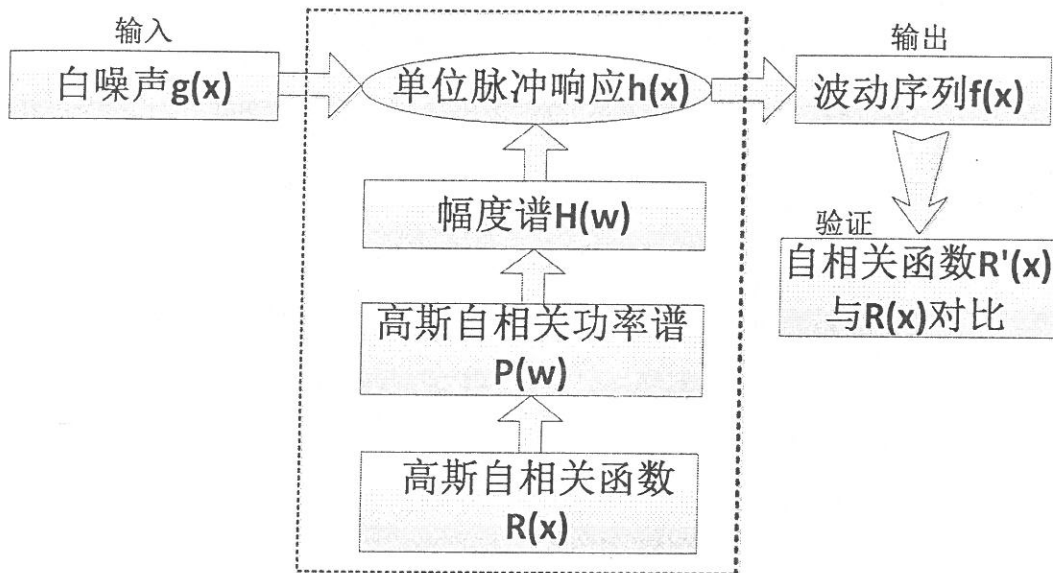


图 3-2 线边缘粗糙产生的框架示意图

3.2 线边缘粗糙度对无结多栅器件特性的影响

将上述方法产生的线边缘粗糙嵌入成熟的数值模拟器 Sentaurus TCAD^[99], 器件三维结构如图 3-3(a), 在图 3-3(b)中给出了器件垂直 z 方向的截面图, 可以更清晰看出无结器件中的线边缘粗糙度。器件特性基于漂移扩散模型, 为了适应短沟道器件特性模拟, 保证结果准确性, 同时考虑了量子效应^[101], 表面散射、掺杂浓度和电场对载流子的影响^[102, 104], 俄歇复合和 Shockley-Read-Hall 复合模型等。器件针对 20 纳米栅长, 考虑实际多栅结构, 为了满足良好的栅控能力, 需要采用较窄的 Fin 体, 同时保证电流大小, 简化特殊减薄工艺, 因此设定 Fin 高 H_{fin} 为 40 纳米, 理想情况时 Fin 宽保持在 6 纳米^[110], 采用 High-k 栅氧层, 等效氧化层厚度 EOT 为 1 纳米。无结器件为 N 型掺杂, 浓度为 $2 \times 10^{19} \text{cm}^{-3}$, 泄漏电流满足 ITRS 对 LSTP 应用要求^[1], 功函数设置为 5.1eV。同时为了性能对比, 构建了传统反型多栅器件, 其沟道为 P 型掺杂, 浓度为 $1 \times 10^{16} \text{cm}^{-3}$, 为使其泄

漏电流与无结器件相近，功函数设置为 4.62eV，具体参数见表 3-1。

表 3-1 无结多栅器件和传统器件参数及理想情况性能

	JMT	IM-MuGFET
Channel doping (cm^{-3})	$2 \times 10^{19} (N^+)$	$1 \times 10^{16} (P)$
Channel length, $L(nm)$	20	20
Fin width, $W_{fin}(nm)$	6	6
Fin height, $H_{fin}(nm)$	40	40
EOT(nm)	1	1
Work function, $W_f(eV)$	5.1	4.62
OFF Current, $I_{off}(A)$	$1.86e-13$	$1.598e-13$
Threshold Voltage, $V_{th}(V)$	0.466	0.473

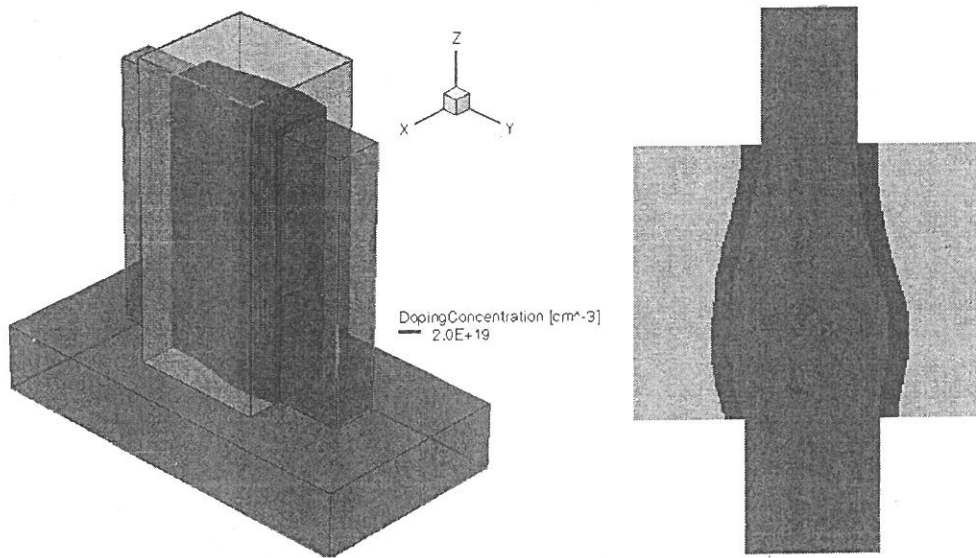


图 3-3 a) 线边缘粗糙无结多栅结构三维示意图，b) 垂直 z 轴的截面图

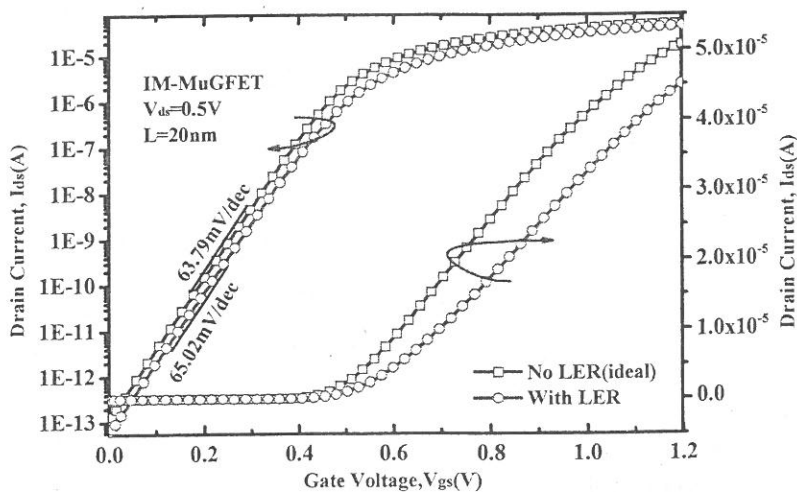


图 3-4 源漏电压为 0.5V 时有/无线边缘粗糙的传统反型多栅器件转移特性比较

对于传统反型多栅器件，通过栅压作用在沟道表面形成反型层，因此线边缘粗糙度将直接影响器件的通道沟道，使得电子从源端到漏端输运距离发生变化，

载流子受到的散射将更加明显。另外从其源区到沟道，再从沟道到漏区都存在pn结。源端pn结的存在将产生势垒高度，有效的阻止了亚阈值区时载流子通过沟道中心从源区流向漏区。沟道厚度的变化影响两个侧栅以及侧栅同顶栅之间的耦合，改变对器件沟道的控制能力。因此如图3-4展示，线边缘粗糙度使得传统反型多栅器件阈值电压发生漂移，开态电流从 $5.07 \times 10^{-5} \text{A}$ 减小到了 $4.5 \times 10^{-5} \text{A}$ ，泄漏电流从 $1.1 \times 10^{-13} \text{A}$ 变化到 $5.85 \times 10^{-14} \text{A}$ ，亚阈值斜率从 63.79mV/dec 增加到 65.02mV/dec 。

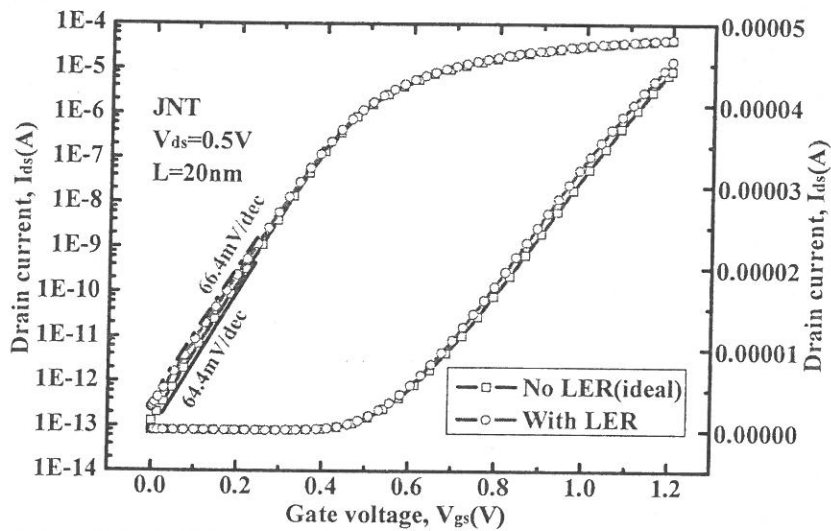


图 3-5 源漏电压为 0.5V 时有/无线边缘粗糙的无结多栅器件转移特性比较

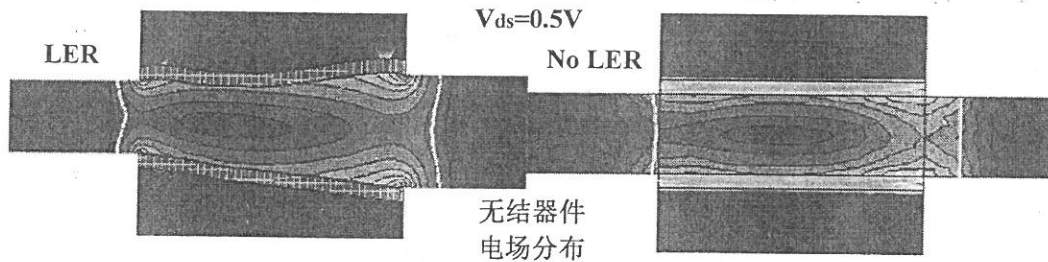


图 3-6 源漏电压为 0.5V 时有/无线边缘粗糙的无结多栅器件电场分布(亚阈值状态)

而无结多栅器件，其与传统反型多栅器开关机制完全不同：无结器件不通过形成表面反型层进行载流子源漏导通，而是通过栅压改变，会使得沟道中耗尽层宽度变化，当耗尽层宽度不足以覆盖整个沟道，载流子即可以从源区通过沟道中心导通到漏区，形成电流。在N型无结器件中，线边缘粗糙度引起沟道厚度不均，造成较薄沟道耗尽早于厚度较大的器件，影响器件的阈值电压。虽然线边缘粗糙度在无结器件中不能直接对沟道表面载流子输运产生影响，但相同栅电压时，载流子浓度随沟道宽度变化而显著不同，促使器件电流改变。同时无结器件源漏区

和沟道之间不存在天然pn结, 泄漏电流的大小主要依赖于沟道耗尽程度。其控制能力如同传统反型多栅器件, 同样依赖于两个侧栅以及侧栅同顶栅之间的耦合, 沟道厚度的变化直接影响沟道耗尽程度。随机选取其中一组有线边缘粗糙的无结多栅器件, 线边缘粗糙度对其转移特性的影响如图3-5。在源漏电压(V_{ds})为0.5V时, 通过与理想情况(无线边缘粗糙)的无结多栅器件进行对比, 观察到线边缘粗糙使得器件的线性区电流和亚阈值区特性都发生变化。亚阈值斜率值由64.4 mV/dec改变到了66.4mV/dec, 开态电流也从 4.42×10^{-5} A增加到 4.54×10^{-5} A, 泄漏电流从 1.3×10^{-13} A增加到 2.64×10^{-13} A。针对此时选定的线边缘粗糙情况, 当器件处于亚阈值区状态时, 漏端附近沟道厚度明显增加, 促使相同的栅电压下不能产生足够的电场进行耗尽, 如图3-6所示, 这会导致沟道中心载流子浓度增加, 退化器件亚阈值特性。发现最低电势受线边缘粗糙度的影响而移向源端, 说明器件漏端电压对沟道的作用增强。

图3-7给出了源漏电压为0.05V, 线边缘粗糙度对无结器件性能的影响情况。为了公平观察源漏电压可能产生的影响, 而不考虑线边缘粗糙序列产生的影响, 采用与上述相同的线边缘粗糙无结多栅器件, 同样发现器件在线性区和亚阈值区发生变化, 线边缘粗糙度使亚阈值斜率从64.96 mV/dec改变到了66.49mV/dec, 开态电流从 1.04×10^{-5} A增加到 1.12×10^{-5} A。很明显, 对于不同的源漏电压, 亚阈值斜率和开态电流的偏移量都发生了改变。

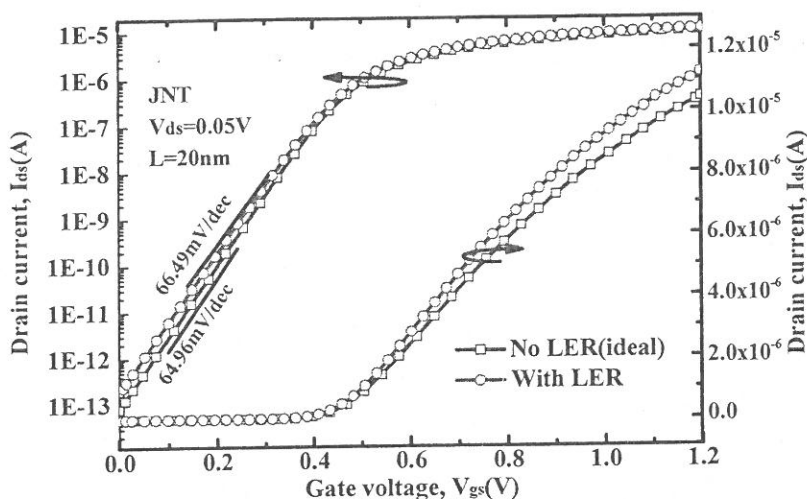


图 3-7 源漏电压为 0.05V 时有/无线边缘粗糙的无结多栅器件转移特性比较

从上述研究结果中观察到: 线边缘粗糙度对无结和传统多栅器件影响不同, 另外线边缘粗糙度对器件特性影响的偏移程度与源漏电压有关。为了明晰线边缘

粗糙度的影响, 准确表征影响的统计特性, 研究中随机产生 100 组不同线边缘粗糙的无结多栅器件, 为了特性的公平比较, 利用同样的方法产生 100 组不同线边缘粗糙的传统反型多栅器件。通过改变功函数, 调整理想情况的无结和反型器件泄漏电流相近。

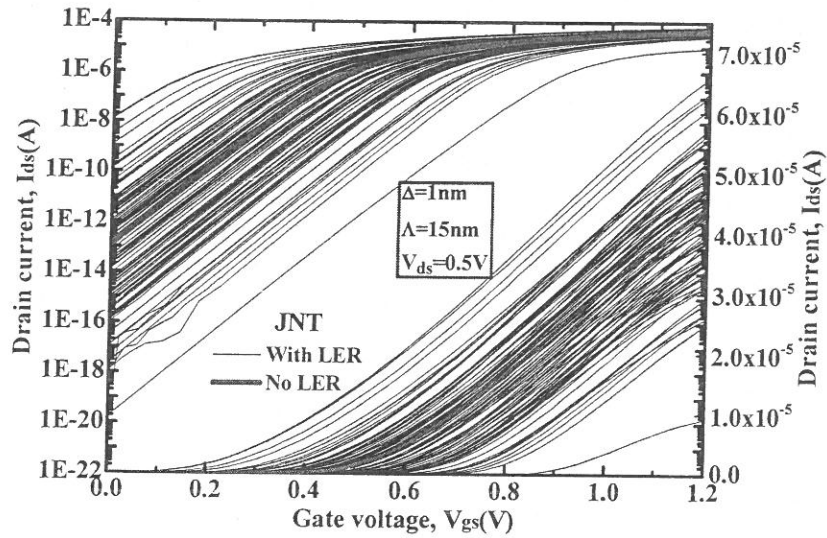


图 3-8 无结多栅器件受线边缘粗糙度影响的转移特性分布

图 3-8 展示了 100 组随机线边缘粗糙度的无结器件转移特性, 在图 3-9 中给出了相应传统反型器件的转移特性分布。为了清晰描述线边缘粗糙度对器件亚阈值区和线性区的影响, 图中分别展示了对数坐标和线性坐标的特性。可以观察到无结器件和传统反型器件两者都明显受线边缘粗糙效应的影响, 分别与两者器件理想情况的特性比较, 发现当 F_{in} 宽缩小到 6 纳米, 存在 1 纳米的线粗糙幅度和 15 纳米的自相关常数无论对无结器件还是传统反型器件造成的性能波动范围都较宽。但无结器件和传统反型器件导通机制不同, 因此线边缘粗糙度引起的性能影响也明显不同。根据上述对无结器件导通和关断机制的分析, 线边缘粗糙度直接影响沟道宽度, 而沟道宽度直接决定了无结器件泄漏电流的大小, 因此无结器件泄漏电流波动范围较大, 从 1.78×10^{-20} A 到 1.39×10^{-8} A, 跨度为 12 个数量级。而传统反型器件因为存在 pn 结增强了泄漏电流对宽度波动的免疫力, 电流波动范围从 1.18×10^{-21} A 变化到 1.92×10^{-12} A, 跨度减小到 9 个量级。而对于线性区, 线边缘粗糙度对无结器件和传统反型器件的影响趋势改变, 无结器件阈值电压虽然受宽度影响, 但载流子主要在沟道内部导通, 表面散射的影响明显减小, 载流子输运距离改变不明显, 开态电流从 9.27×10^{-6} A 变化到 6.59×10^{-5} A, 与理想情况的开态电流 4.42×10^{-5} A 相比, 波动范围为其 1.28 倍。而传统反型器件, 载流

子在沟道表面导通，除了阈值电压的影响，同时受到表面散射与形态的影响，因而其开态电流受线边缘粗糙度影响由 $4.91 \times 10^{-6} \text{ A}$ 波动到 $7.03 \times 10^{-5} \text{ A}$ ，波动范围较之阈值电压明显增加，为其理想情况开态电流的 1.29 倍。

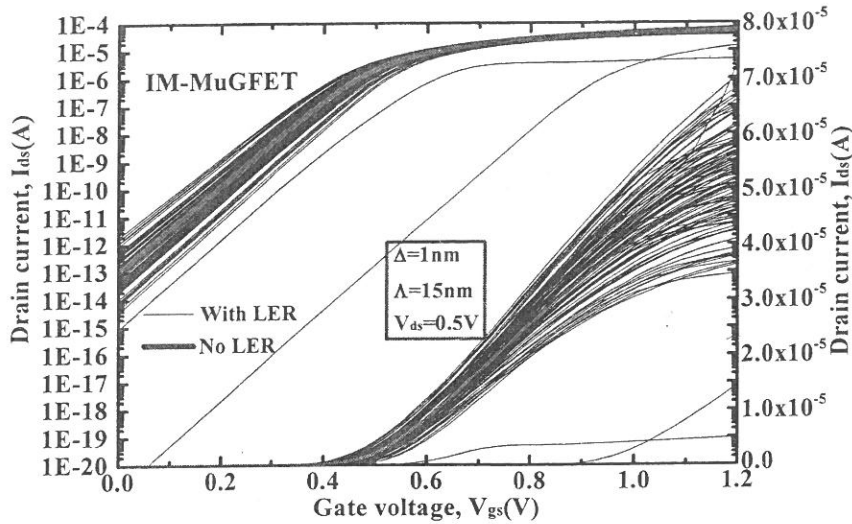


图 3-9 传统反型多栅器件受线边缘粗糙度影响的转移特性分布

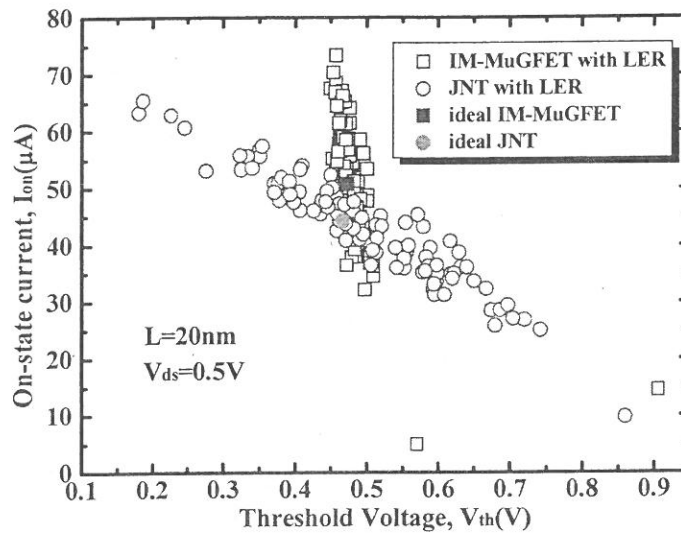


图 3-10 开态电流 I_{on} 和阈值电压 V_{th} 的分布关系

针对上述特性，提取关键性能参数，逐个研究线边缘粗糙度对无结多栅器件各项性能的影响，开展分布表征，同时与传统反型器件对比。图 3-10 比较了 100 组随机线边缘粗糙度的无结多栅器件和传统反型器件开态电流与阈值电压分布。在无结器件中，开态电流与阈值电压表现出明显的对应关系：阈值电压大，开态电流相应小。这也验证了无结器件中阈值电压对开态电流影响的主导作用。无结器件中载流子在沟道中心导通，受沟道表面状态和输运距离等影响较弱，主要对沟道宽度变化敏感。因此其阈值电压受线边缘粗糙度影响从 0.18V 波动到 0.86V。

而在传统反型器件中，其开态电流与阈值电压并没有明显的对应关系，阈值电压较小时，开态电流并不一定都较大，与先前传统反型器件特性研究的相关结果完全符合^[109, 111]。阈值电压受表面沟道反型机制决定，与沟道宽度变化不敏感，因此主要集中在 0.473V 左右。如上述分析，主要由于传统器件开态电流不仅受阈值电压影响，同时表面载流子散射和输运距离都将改变其大小。

为了定量评价器件各项性能受线边缘粗糙的影响程度，在性能分布研究中引入两个参数：平移率(Shift)和波动率(Fluctuation)^[109]，其中平移率定义为性能平均值与理想情况的绝对差值在理想情况下所占的比例：

$$\text{Shift} = \left| \frac{\text{Value}(\text{mean}) - \text{Value}(\text{ideal})}{\text{Value}(\text{ideal})} \right| \times 100\% \quad (3-9)$$

同时，波动率定义为性能波动标准方差值与平均值的比例：

$$\text{Fluctuation} = \frac{\text{Value}(\sigma)}{\text{Value}(\text{mean})} \times 100\% \quad (3-10)$$

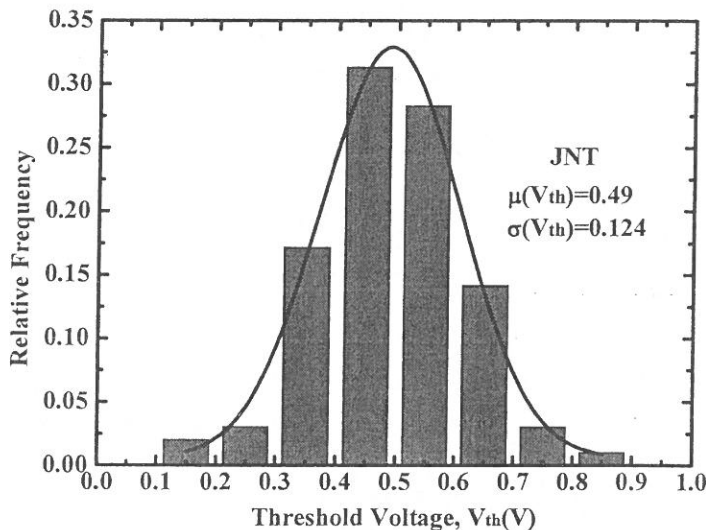


图 3-11 无结多栅器件阈值电压 V_{th} 统计分布

图 3-11 和图 3-12 分别给出了无结多栅器件和传统反型器件的阈值电压分布特性。无结多栅器件和传统反型器件阈值电压波动都满足高斯分布。在无结器件中，100 组器件的阈值电压平均值为 0.49V，其平移率为 5.2%，阈值电压标准方差为 0.124V，其波动率为 25.1%。而对于传统反型器件，100 组阈值电压的平均值为 0.481V，其平移率为 1.7%，波动标准方差为 0.046V，其波动率仅为 9.6%。通过两组器件阈值电压波动分布的对比发现，无结器件阈值电压受线边缘粗糙影响严重。但阈值电压作为器件表征特性，并不是最终影响，因此需要进一步研究电流特性的统计分布。

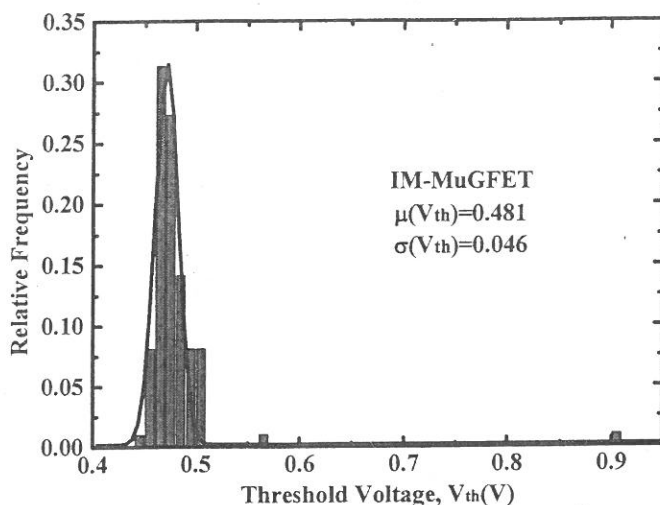


图 3-12 传统反型多栅器件阈值电压 V_{th} 统计分布

图 3-13 展示了无结多栅器件开态电流受线边缘粗糙度影响的分布特性。采用高斯分布拟合，得到源漏电压为 0.5V 时其开态电流平均值为 $43.9 \mu A$ ，波动标准方差为 $9.5 \mu A$ 。计算得到其相应的平移率和波动率分别为 0.8% 和 21.6%。与传统反型器件对比，无结器件平均开态电流因受沟道高掺杂浓度影响而较小，但针对在线边缘粗糙度对传统反型器件的影响，其平移率为 2.6% 和波动率为 17%，如图 3-14。因此无结器件开态电流波动受线边缘粗糙度影响与传统反型器件相似。而 Chui 小组的工作未考虑掺杂浓度和表面散射对迁移率的作用^[88]，未能在统计分布中引入其影响，严重低估了线边缘粗糙度对传统反型器件造成的性能波动。

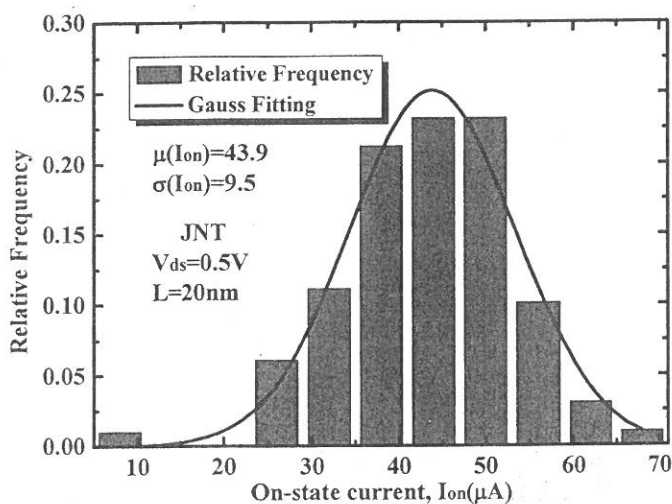


图 3-13 无结多栅器件开态电流 I_{on} 统计分布

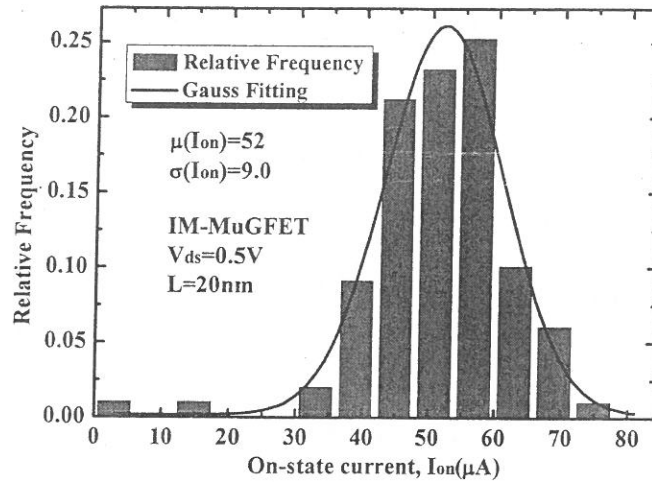


图 3-14 传统反型多栅器件开态电流 I_{on} 统计分布

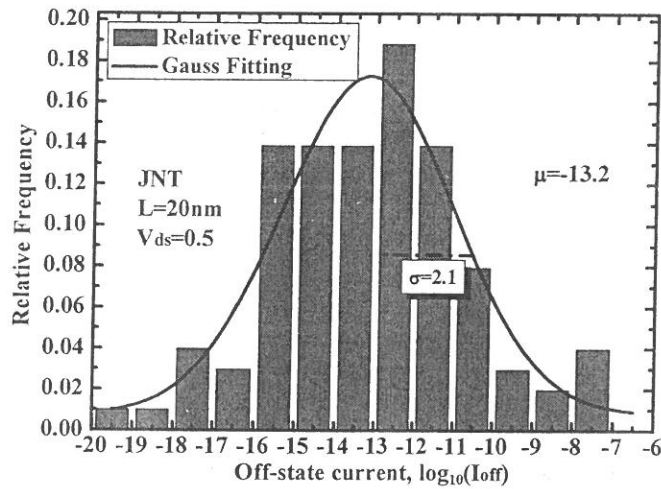


图 3-15 无结多栅器件泄漏电流 I_{off} 统计分布

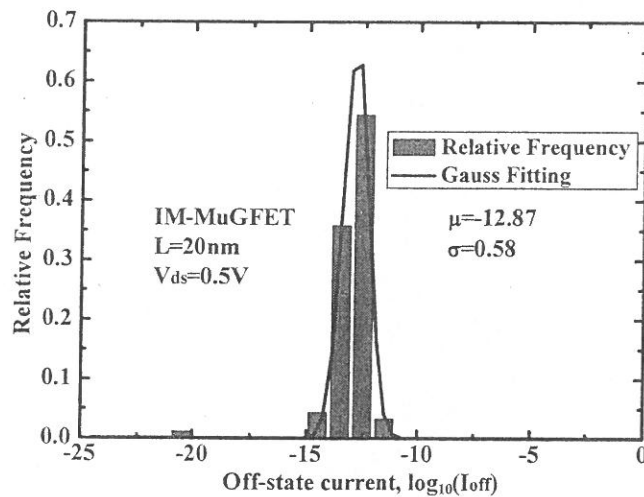


图 3-16 传统反型多栅器件泄漏电流 I_{off} 统计分布

在图3-15中，描绘了100组随机线边缘粗糙度无结多栅器件的泄漏电流特性统计分布。无结器件源漏区和沟道区掺杂类型和浓度均一致，因为没有天然的势

垒高度阻挡,导致了器件沟道耗尽程度直接决定沟道中载流子的浓度。泄漏电流波动横跨多个数量级,因而采用对数的形式表示。研究发现源漏电压为0.5V时其泄漏电流平均值为 6.3×10^{-14} A,此时波动标准方差失去准确意义,只能提供量级概念,为2.1个量级,因此泄漏电流波动率为12600%。而图3-16展示了相同情况的传统反型器件泄漏电流统计分布,其平均值为 1.35×10^{-13} A,存在的pn结形成势垒有效的阻止了载流子从源区到漏区的导通,使得泄漏电流并不与沟道宽度呈明显关系,因此传统反型器件泄漏电流受线边缘粗糙度影响的波动较小,波动率约为380%。此结果与Chui小组的研究结果存在差别,究其主要原因即为Chui的工作采用了二维结构描述三维多栅结构^[88, 112],除了顶栅作用以外,在线边缘粗糙存在时,器件载流子在宽度(即本项研究中的Fin高)方向上耦合较强,不能简单忽略,因此需要三维模拟研究才能准确反映线边缘粗糙度对器件特性的影响。

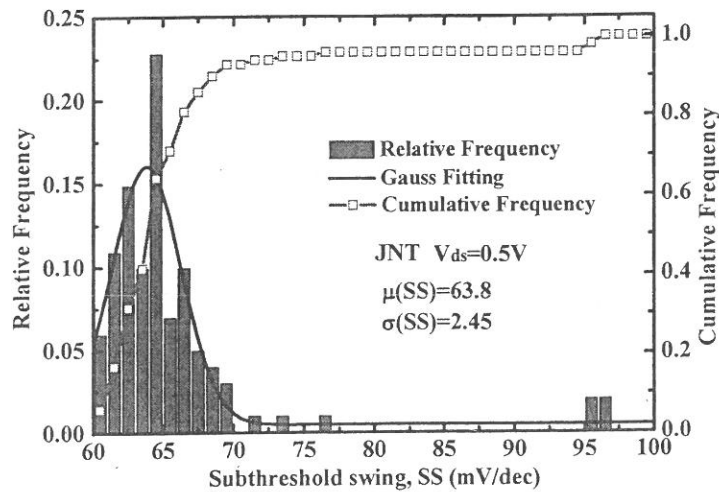


图 3-17 无结多栅器件亚阈值斜率 SS 统计分布

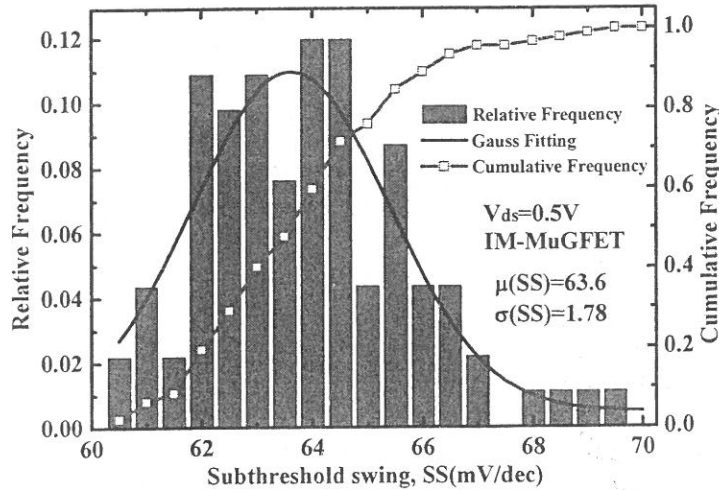


图 3-18 传统反型多栅器件亚阈值斜率 SS 统计分布

为了增强无结器件和传统反型器件的栅控能力，采用的多栅结构Fin体很窄，保证了两者器件在理想情况时优良的亚阈值特性。但是在线边缘粗糙效应的影响下，无结器件和传统反型器件的亚阈值特性表现了不同的波动特性。图3-17展示了无结多栅器件亚阈值斜率特性的统计分布，其100组器件的平均值为63.8mV/dec，与理想情况相比，平移率为0.9%，波动标准方差为2.45mV/dec，其波动率为3.84%。通过积累概率分布也可以看出，亚阈值斜率主要分布在60mV/dec到69mV/dec之间较窄的区域内。同时，传统反型器件相应的结果如图3-18。此100组传统反型器件的亚阈值斜率也主要分布60mV/dec到69mV/dec之间，其平均亚阈值斜率为63.6mV/dec，波动标准方差为1.78mV/dec，相应的平移率和波动率分别为0.3%和2.8%。因此，通过对比上述结果，可以发现线边缘粗糙度对无结器件和传统反型器件的亚阈值斜率影响差别较小，其中无结器件优良的栅控能力起到了抑制亚阈值斜率波动的作用。

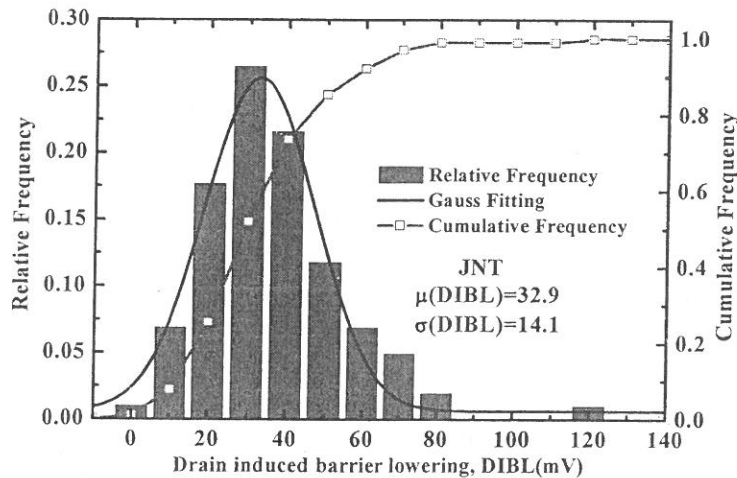


图 3-19 无结多栅器件漏致势垒降低 DIBL 统计分布

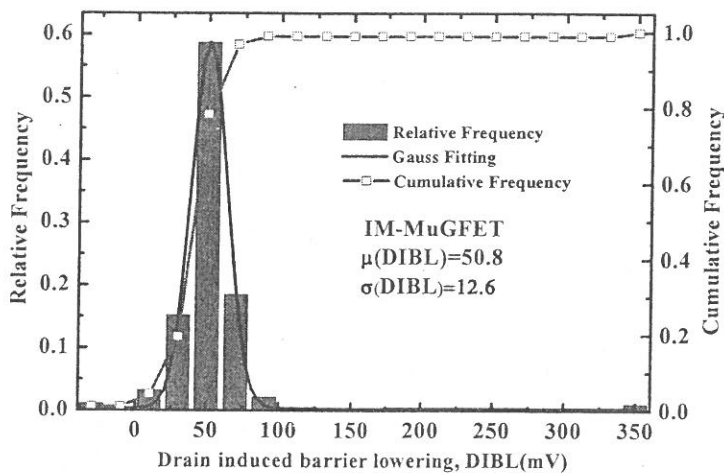


图 3-20 传统反型多栅器件漏致势垒降低 DIBL 统计分布

图3-19和图3-20分别展示了100组随机线边缘粗糙无结三栅器件和传统反型器件的漏致势垒降低特性统计分布。漏致势垒降低主要反映了漏端电场对源端附近电势的影响情况。无结器件不存在pn结，电场峰出现在漏区，渗入沟道影响源端较之有pn结的传统反型器件较小，因此无结器件平均DIBL为32.9mV，而传统反型器件的平均DIBL为50.8mV。但同时因为没有pn结的存在，沟道宽度的变化直接改变漏端电场渗入沟道的强弱，导致线边缘粗糙度直接影响无结器件DIBL特性分布。无结器件波动标准方差为14.1mV，而反型器件为12.6mV，相应的波动率分别为42.9%和24.8%，验证了上述的分析。

上述图3-19表明无结器件对源漏电压的变化比较敏感。同时图3-7也描绘了源漏电压将对线边缘粗糙造成的性能波动度产生影响。因此在图3-21中总结了源漏电压不同时无结器件开态电流的积累统计分布。发现源漏电压较小时，电流主要集中在其平均电流附近，而随着源漏电压的增加，电流的波动幅度也逐渐上升。当源漏电压为0.05V时，器件开态电流波动率只为15.5%，相比于源漏电压0.5V时的21.6%，将近减小三分之一。因此在应用条件许可的范围内减小供应电压不仅能够减小功耗，同时可以抑制电流的波动。

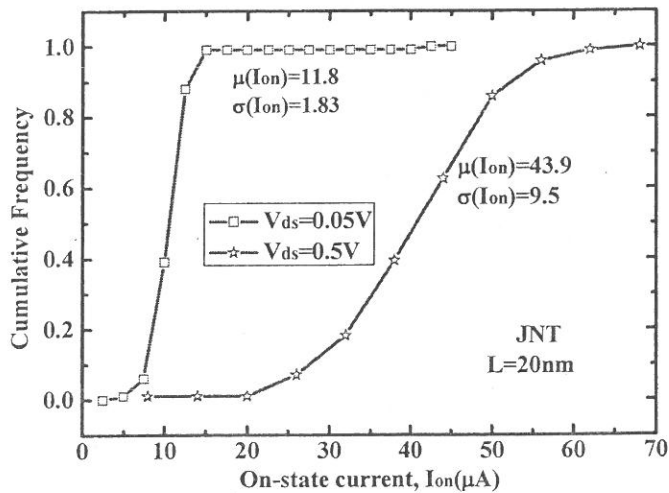


图 3-21 源漏电压不同时无结器件开态电流统计分布

通过图3-4到图3-7，分析了线边缘粗糙度在无结器件和传统反型器件产生不同影响的原因。在图3-8到图3-21中，展示了线边缘粗糙度对无结器件和传统反型器件特性波动的统计分布，例如转移特性、开态电流、亚阈值斜率、阈值电压、漏致势垒降低和泄漏电流。结合平移率和波动率，发现无结器件开态电流和亚阈值斜率受线边缘粗糙度影响的波动幅度与传统反型器件接近，而阈值电压和漏致

势垒降低特性因为与沟道宽度有明显关系,影响程度较大,分别为传统反型器件的2.6倍和1.7倍,但在可接受范围之内。而无结器件泄漏电流波动相比于传统反型器件需要进一步优化。

3.3 沟道宽窄位置影响

3.2 节中针对线边缘粗糙度引起的无结器件性能波动进行了全面的研究,同时与传统反型器件的波动进行比较。而线边缘粗糙度对器件造成的改变主要包括两个方面,即为沟道宽度和宽窄位置变化。此节中,着重针对沟道宽窄位置变化对器件特性的影响展开研究。

基于相同的波动幅度和自相关常数,选取阈值电压变化较大的两组线边缘粗糙无结器件,同时与理想情况进行比较,其转移特性如图 3-22。其中阈值电压较大的是沟道较窄的无结器件,而沟道较宽的器件需要更负的电压进行耗尽夹断,因此其阈值电压较小,窄沟道、理想情况和宽沟道三组器件沿沟道的截面图如图 3-23。窄沟道和宽沟道器件特性偏离理想情况的程度总了沟道宽度和宽窄位置变化的影响。在窄沟道器件中,阈值电压从理想情况的 0.466V 增加到 0.607V,泄漏电流从 1.3×10^{-13} A 减小到 5.85×10^{-15} A,变化接近 2 个数量级,开态电流从 4.425×10^{-5} A 减小到 4.07×10^{-5} A。在宽沟道器件中,相较于理想情况,阈值电压变化近 70%,泄漏电流改变 5 个数量级,开态电流变化 43%。

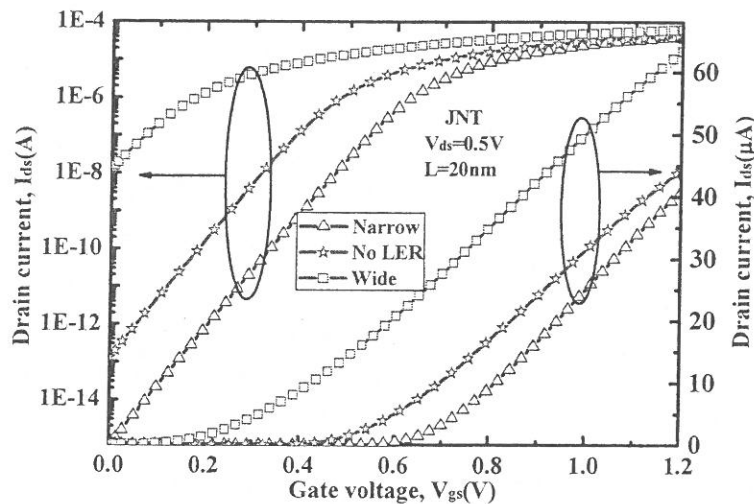


图 3-22 沟道宽度和宽窄位置对转移特性的总和影响

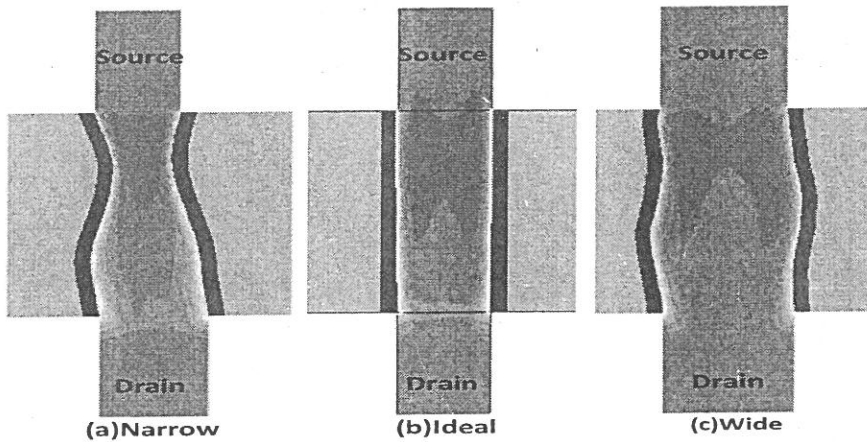


图 3-23 三组器件沿沟道方向的截面图, a)窄沟道, b)理想情况, c)宽沟道

为了区分沟道宽度和宽窄位置各自变化的作用,基于窄沟道器件宽窄位置变化更明显,选取与上述窄沟道相同的线边缘粗糙序列,重新构建了窄处靠近漏端的无结多栅器件,如示意图 3-24。图 3-25 展示了沟道宽窄位置发生变化以后的转移特性,发现宽窄位置的变化会改变器件特性,但引起的变化幅度微小,阈值电压从原来的 0.607V 减小到 0.58V, 泄漏电流从 5.85×10^{-15} A 减小到 9.9×10^{-16} A, 变化幅度在 5 倍左右, 开态电流只从 4.07×10^{-5} A 增加到 4.13×10^{-5} A。为了进一步验证宽窄位置变化的影响,重新选取另一组线边缘粗糙的无结器件,观察其宽窄位置对特性的影响程度,发现阈值电压和开态电流只分别变化 5%和 5.3%, 泄漏电流仅从 3.73×10^{-15} A 改变到 2.84×10^{-15} A。因此可以发现,线边缘粗糙度对无结器件的影响主要来源于沟道宽度的改变。

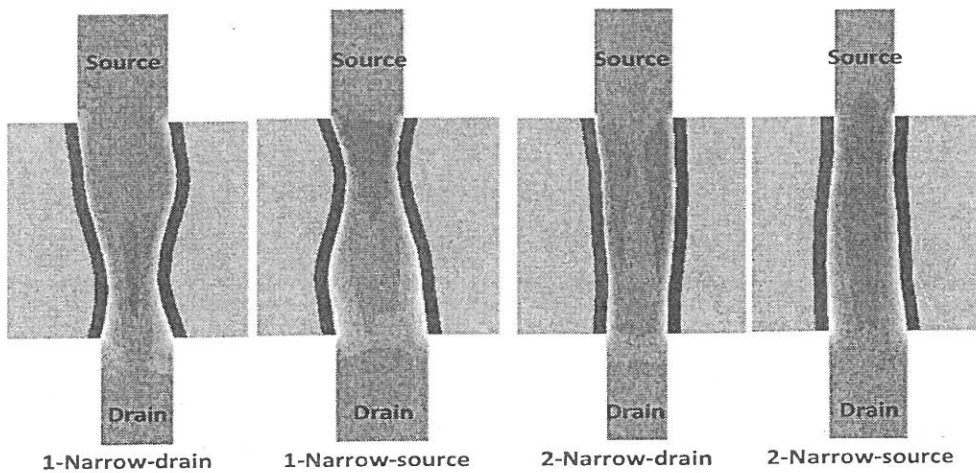


图 3-24 任意两组沟道宽窄位置变化的截面图

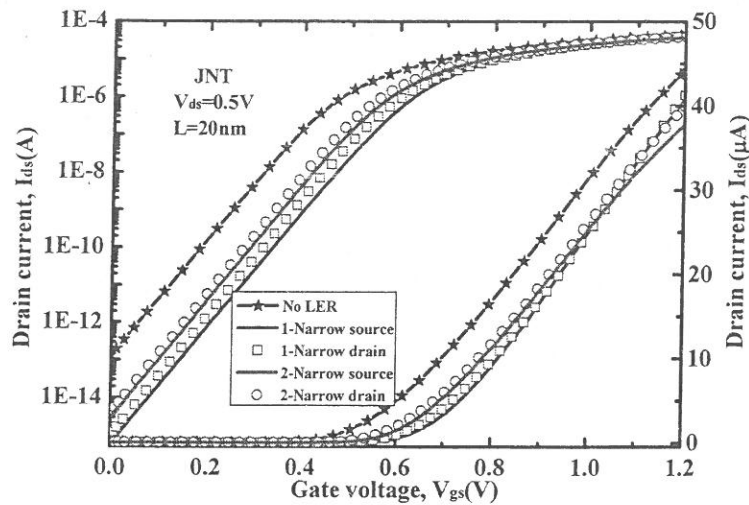


图 3-25 沟道宽窄位置对无结器件转移特性的影响

3.4 小结

本章介绍了基于自相关函数功率谱傅里叶分析方法产生的线边缘粗糙。全面开展线边缘粗糙度对无结器件性能变化影响的研究,展示了各项性能的统计分布特性,同时与传统反型器件影响和分布进行详细的对比,根据无结器件和传统反型器件不同的物理机制分析了引起特性波动的原因。基于平移率和波动率两个参量评价了线边缘粗糙度对无结器件和传统反型器件特性的影响程度,包括开态电流、亚阈值斜率、阈值电压漏致势垒降低和泄漏电流。分析了源漏电压对无结器件电流统计分布的影响。验证了在线边缘粗糙度研究中采用三维模拟的必要性。最后通过沟道宽度和宽窄位置变化对性能影响程度的比较,确认了沟道宽度变化在线边缘粗糙效应中的主导作用。

第四章 双材料栅无结环栅器件

无结器件因为优良的亚阈值特性而备受关注,为了进一步推进无结器件的应用,在上述章节中研究了线边缘粗糙度和沟道垂直非均匀性对器件性能的影响。但同时,无结器件沟道采用高掺杂,载流子受散射影响严重,迁移率在 $80 \text{ cm}^2/\text{V}\cdot\text{s}$ 左右,而传统反型器件迁移率通常在 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ 以上^[13],因此无结器件的电流驱动能力需要进一步提升。在传统反型器件中,通常采用应力工艺,对驱动电流的提升在 25%左右^[113, 114],而在无结器件中采用 150Mpa 应力挤压只提升 5%的驱动电流^[84]。因此,需要引入新方法更加有效的提升无结器件的电流驱动能力^[115]。另一方面,无结器件的深入研究发现,因为漏端附近导带和价带重叠较大,价带电子会通过隧穿进入导带,同时在价带中产生空穴,出现双极效应^[50]。泄漏电流的增大影响了器件静态功耗,需要进行抑制。因此在本章 4.1 节中,在无结环栅器件中引入双材料栅结构形成新型的双材料栅无结器件提升性能,分析物理原因,同时优化双材料栅比例和功函数差。4.2 节研究双材料栅无结器件对 Band-to-Band 隧穿泄漏电流的抑制,从能带结构角度分析机理,调整双材料栅比例和功函数差,优化器件泄漏电流特性,4.3 节对双材料栅无结器件制备工艺进行探讨,最后进行本章小结。

4.1 双材料栅无结环栅器件特性研究

为了改善无结器件的驱动电流特性,将双材料栅结构引入无结环栅器件,提出新型的双材料栅无结环栅器件(DMG-JNT)。基于数值模拟器 Sentaurus TCAD 工具^[99],构建三维双材料栅无结环栅器件,如图 4-1(a)。为了更清楚描述器件结构,图 4-1(b)展示了沿 x 轴的截面图。对双材料栅结构进行定义,靠近源端的金属栅命名为控制栅(Control Gate),其功函数为 M_1 ,屏蔽栅(Screen Gate)靠近源端,其功函数为 M_2 。考虑通常作为栅的金属材料,例如 Co、Mo/SiO₂ 以及 HfSi、Al(111)和 NiAl(111),将 M_1 设置成 4.97eV, M_2 设置成 4.27eV,保持 $M_1 > M_2$ 。控制栅和屏蔽栅的长度分别用 L_1 和 L_2 表示,初始值设置为 20 纳米。器件半径初始值为 5 纳米,源漏区长度为 10 纳米,栅氧层等效厚度 EOT 为 2 纳米。为了性能比较,同时在模拟器中构建单材料栅的无结器件(SMG-JNT),栅长为 $L = L_1 + L_2$,

功函数为 4.97eV，研究中具体的参数见表 4-1。L₁、L₂ 以及功函数差会在具体研究中做出适当改变。

为了进行短沟道无结环栅器件特性的准确模拟，在漂移扩散模型的基础上，同时考虑了密度梯度模型进行模拟量子效应^[101]，考虑掺杂浓度和电场对载流子的影响^[102, 104]，针对高掺杂的沟道，同时考虑俄歇复合和 Shockley-Read-Hall 复合模型用来反映器件中的产生复合机制。

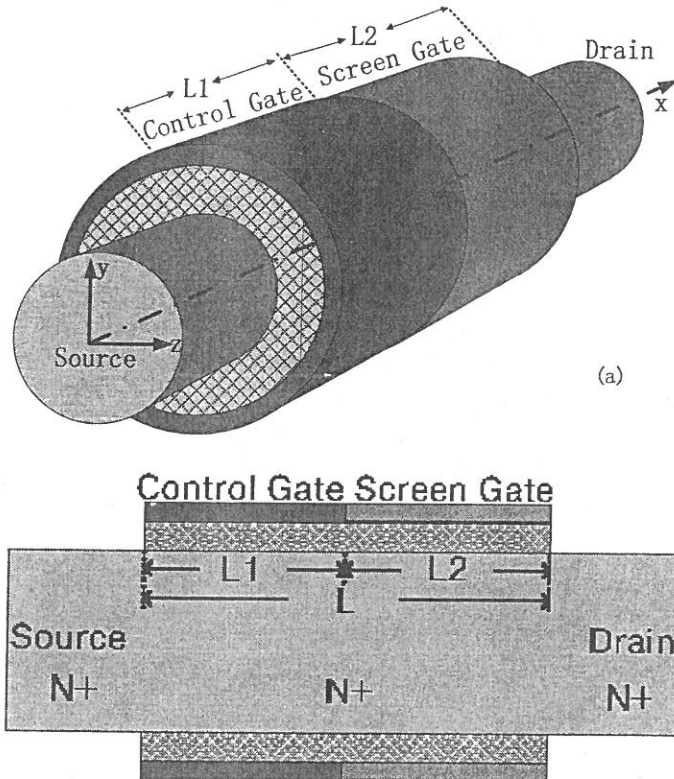


图 4-1 a) 双材料栅无结环栅器件 DMG-JNT 的结构示意图, b) 沿 x 方向的截面图

表 4-1 器件研究所用的具体参数

	SMG JNT	DMG JNT ^[115]	
		L1	L2
Channel doping (cm ⁻³)	2 × 10 ¹⁹	2 × 10 ¹⁹	
Channel length (nm)	40	L1	L2
		20	20
Gate oxide thickness (nm)	2	2	
Gate workfunction (eV)	4.97	M1	M2
		4.97	4.27
Radius (nm)	5	5	
Length of Source/Drain regions (nm)	10	10	

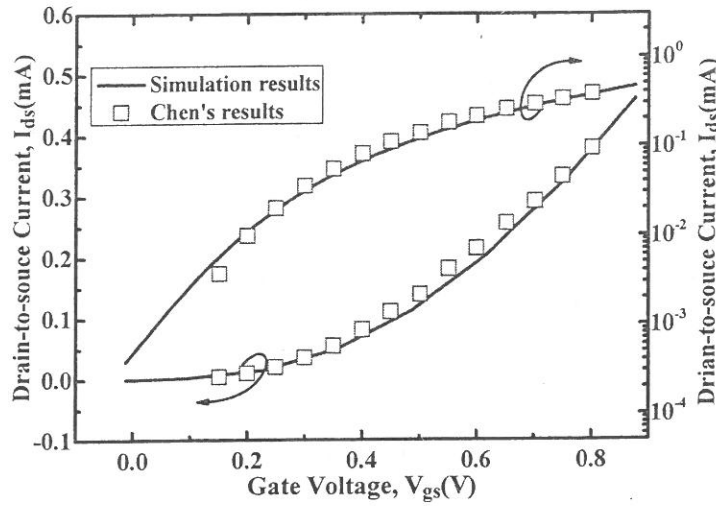


图 4-2 同样条件下模拟结果与 Chen 的结果校对^[37]

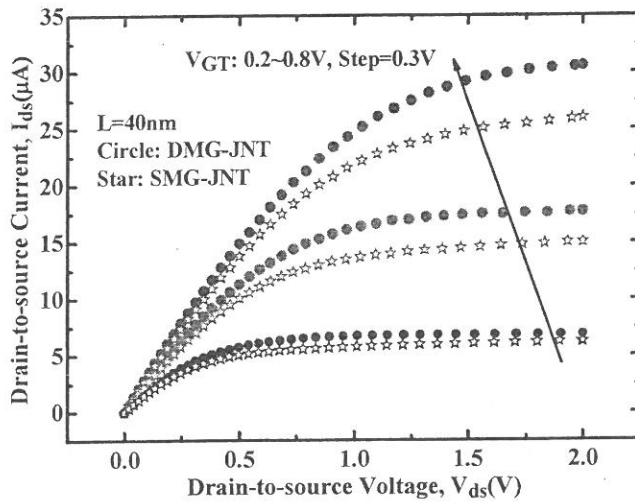


图 4-3 双材料栅无结器件 DMG-JNT 和相应条件单材料栅器件 SMG-JNT 的输出特性比较

在双材料栅无结环栅器件(DMG-JNT)和单材料栅无结环栅器件(SMG-JNT)特性研究和对比之前,首先与 Chen 的研究结果进行了校对^[37],如图 4-2,其在线性区、饱和区和亚阈值区都一致符合。

图 4-3 给出了 DMG-JNT 的输出特性,同时与与单材料栅的无结器件相比。为了排除阈值电压 V_{th} 的影响,引入了栅电压过载(Gate Voltage Overdrive) $V_{GT} = V_{gs} - V_{th}$ 。本节中的阈值电压采用最大跨导法提取^[54]。因此,可以发现,在相同的 V_{GT} 下,DMG-JNT 的源漏电流较之 SMG-JNT 更大。在 $V_{GT} = 0.2\text{ V}$ 时,DMG-JNT 的驱动电流较之 SMG-JNT 提升了 10%,当 V_{GT} 上升为 0.8V 时,电流提升比例增加到了 17.7%。

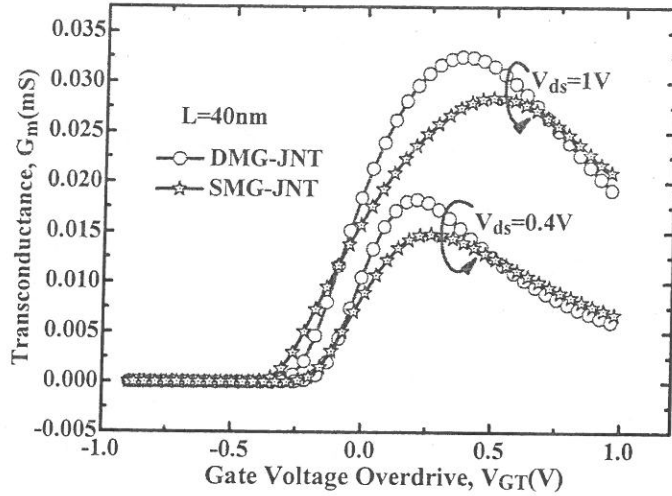


图 4-4 双材料栅无结器件 DMG-JNT 和相应条件单材料栅器件 SMG-JNT 的跨导特性比较

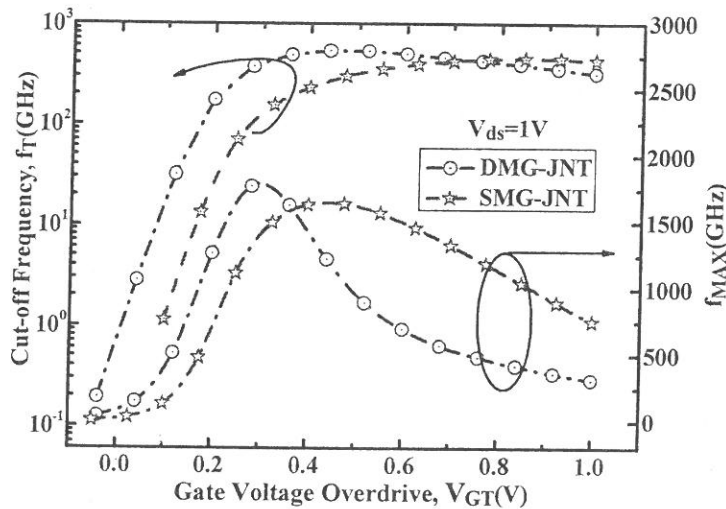


图 4-5 双材料栅无结器件 DMG-JNT 和相应条件单材料栅器件 SMG-JNT 的高频特性比较

除了直流特性以外，进一步比较了 DMG-JNT 和 SMG-JNT 的跨导特性，如图 4-4 所示。在饱和区时，DMG-JNT 的跨导值 G_m 大于 SMG-JNT，源漏电压为 1V 时，两者的最大跨导值分别为 0.033mS 和 0.028mS。当源漏电压在 0.4V 时，两者的最大跨导值分别为 0.018mS 和 0.014mS，进一步验证了双材料栅结构对无结器件开态电流的提升。同时在阈值电压以下，DMG-JNT 的跨导值变得小于 SMG-JNT，有利于器件更快的关断^[116]。图 4-5 展示了 DMG-JNT 的高频特性，同时与 SMG-JNT 进行对比。通常用截止频率 f_T 和最大振荡频率 f_{Max} 进行表示^[117]，定义如下：

$$f_T = \frac{G_m}{2\pi C_{gg}} \quad (4-1)$$

$$f_{Max} = \frac{f_T}{\sqrt{4R_g(G_{ds} + 2\pi f_T C_{gd})}} \quad (4-2)$$

其中 R_g 为器件有效栅电阻, C_{gg} 为栅极总电容, G_{ds} 为源漏跨导, C_{gd} 为栅漏电容。从图中可以观察到, 当 V_{GT} 在 0 到 0.3V 之间, 因为 DMG-JNT 具有较大的跨导, 其截止频率 f_T 和最大振荡频率 f_{Max} 都大于 SMG-JNT 中数值。但是随着 V_{GT} 的继续增加, 促使寄生电容影响变大, DMG-JNT 在 f_T 和 f_{Max} 方面的优势逐渐消失。而另一方面, 高频方面的应用一般会工作在其最大 f_T 和 f_{Max} 值处, 因此最大的 f_T 和 f_{Max} 对器件高频特性有着重要意义。在 DMG-JNT 中, 最大 f_T 为 541GHz, 最大 f_{Max} 为 1774.97GHz, 相对 SMG-JNT 的特性, 分别提升了 20.2% 和 8.1%, 同时其最大 f_T 和 f_{Max} 值所对应的电压都小于 SMG-JNT, 更加适应供应电压减小的趋势。

为了探索双材料栅结构促使器件性能提升的物理原因, 首先研究了 DMG-JNT 的转移电流特性, 同时得到不同功函数 SMG-JNT 的特性, 如图 4-6。发现 DMG-JNT 的开态电流比不同功函数 SMG-JNT 的都大, 而不同功函数只引起转移特性的平移。因此推断功函数值并不是引起 DMG-JNT 电流提升的原因。

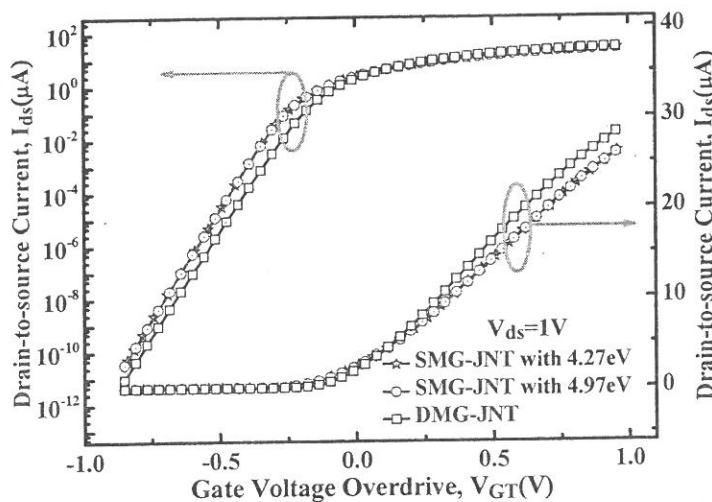


图 4-6 双材料栅无结器件 DMG-JNT 和不同功函数的单材料栅器件 SMG-JNT 转移特性比较

但是根据无结器件物理, 双材料栅功函数不同将促使器件沟道内状态不一致, 进而改变内部电势、电场分布。率先在图 4-7 中不同栅电压下 DMG-JNT 的电势分布特性中得到了验证, 从中可以观察到 DMG-JNT 在不同功函数的金属栅附近出现电势台阶, 而 SMG-JNT 的电势从源到漏并不存在这样的台阶。因此这

样的台阶是由于功函数不同的双材料栅结构导致的，并非功函数值本身引起^[116, 118]。同时，DMG-JNT 源漏区的电势降低明显大于 SMG-JNT，这将使得 DMG-JNT 的沟道开态电阻较小^[36]，当 V_{GT} 越大，在源漏区的电势降低的幅度越大，源漏区的电场随之上升，加速载流子，提升器件电流驱动能力。

DMG-JNT 沟道电势台阶的出现，使得双材料栅附近出现另外的电场峰，而在 SMG-JNT 中只有一个靠近漏端的电场峰，如图 4-8。比较漏端的电场峰，加载相同源漏电压时，DMG-JNT 在此处的电场峰值比 SMG-JNT 的峰值降低了 40%，远大于 DMG 传统反型器件的降低效果^[116, 119, 120]。漏端电场的降低能对短沟道效应和热载流子效应进行有效抑制。除了额外的电场峰，DMG-JNT 在靠近源端的位置也具有更大的电场，有利于载流子的提前加速，促使 DMG-JNT 载流子速度较之 SMG-JNT 有明显的提升。这在载流子速度分布图 4-9 中得到了验证。发现 DMG-JNT 沟道载流子速度可以达到 SMG-JNT 的三倍，与传统反型器件相近^[119]。正是因为电场的提前加强，增加了源漏区的载流子速度，有利于器件电流驱动能力的提升。因此载流子的更快加速解释了 DMG-JNT 的跨导性能和高频性能的提升。当器件饱和以后，随着源漏电压的增加，载流子速度的增加主要出现在漏端附近，但幅度较小，因此如图 4-3 所示对电流大小的影响微小。

针对 DMG-JNT，引入了两个重要的特定参数：控制栅长比例以及双材料栅的功函数差。需要研究其对 DMG-JNT 性能的影响，同时调整两个结构参数，优化器件性能。

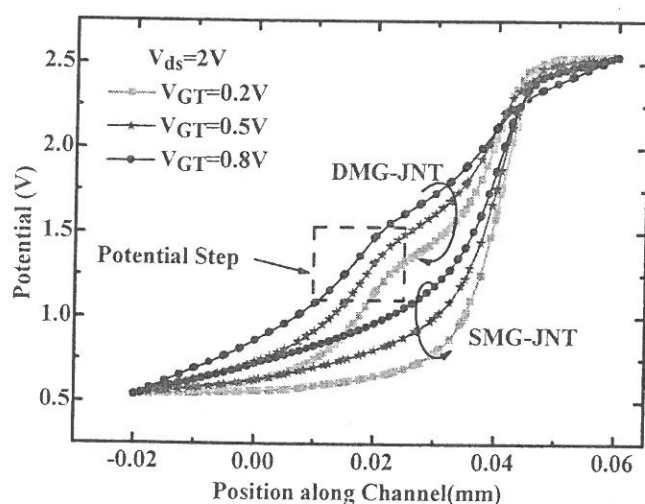


图 4-7 双材料栅无结器件 DMG-JNT 和单材料栅器件 SMG-JNT 器件电势分布

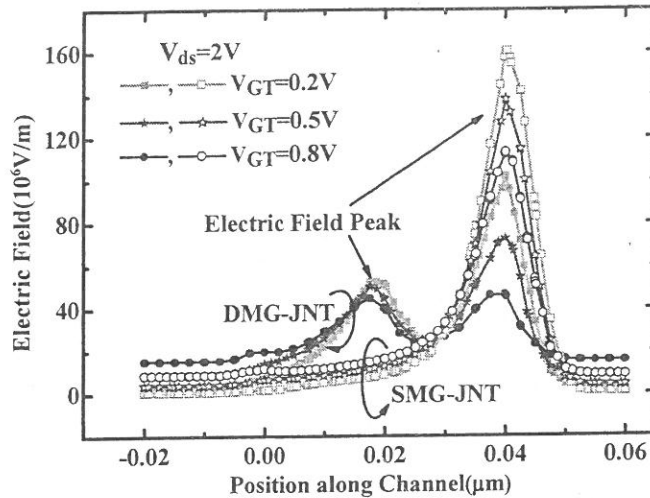


图 4-8 双材料栅无结器件 DMG-JNT 和单材料栅器件 SMG-JNT 器件电场分布

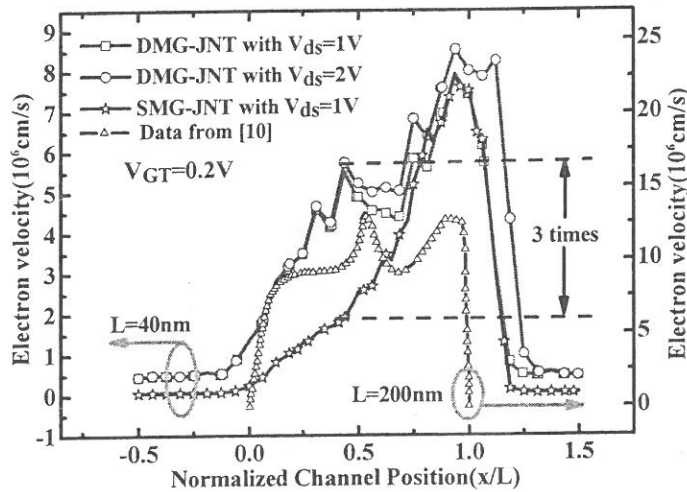


图 4-9 双材料栅无结器件 DMG-JNT 和单材料栅器件 SMG-JNT 器件载流子速度分布

首先研究控制栅比例对 DMG-JNT 的性能影响。设定开态电流 I_{on} 提取在 $V_{ds} = V_{gs} = 1V$ ，关态电流 I_{off} 提取在 $V_{gs} = 0V$ ，饱和电流 I_{sat} 提取于 $V_{ds} = V_{GT} = 1V$ ，控制栅的比例关系采用 $R_g = L_1/L$ 表示。因此当 R_g 为 0 或 1 时代表功函数分别为 4.27 和 4.97eV 的 SMG-JNT。图 4-10 给出了 I_{off} 与 R_g 的关系，随着 R_g 的增加，器件 I_{off} 逐渐减小。其插图指出了 I_{on} 在不同掺杂浓度下随 R_g 的增加而减小，掺杂浓度越大，阈值电压越小促使 I_{on} 增加。在图 4-11 中，消除阈值电压的影响，发现电流 I_V 在 $R_g = 0.25$ 处存在极小值，而后 R_g 的增加使得屏蔽栅的作用逐渐减小， I_V 值逐渐上升。虽然增大掺杂浓度， I_{sat} 电流随之变大，但都会在 $R_g = 0.25$ 附近出现一个极大值。 R_g 较小时，接近 SMG-JNT 结构，电势台阶形成越缓，电场峰越弱，提升作用较小。另一方面， R_g 大于 0.25 以后，进一步增加使得双材料栅的界面逐渐往漏端靠近，其引入的额外电场峰也随之移向漏端，电子加速到相同速

度需要通过更长的距离，以致 I_{sat} 逐渐减小。

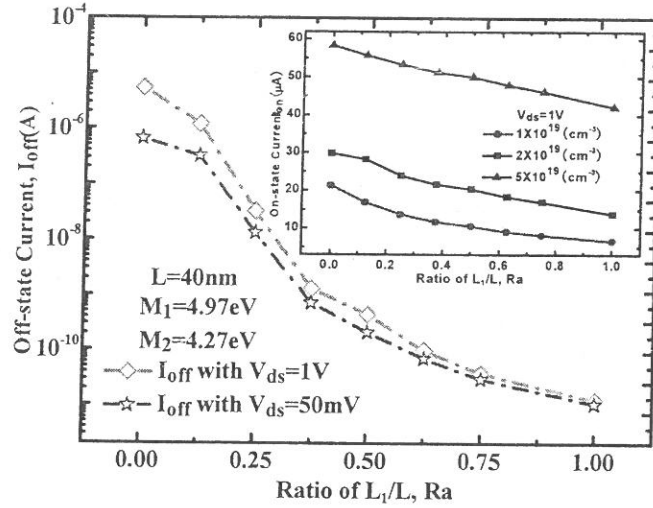


图 4-10 关态电流随控制栅比例 R_0 的变化关系，插图为 R_0 和掺杂浓度对关态电流的影响

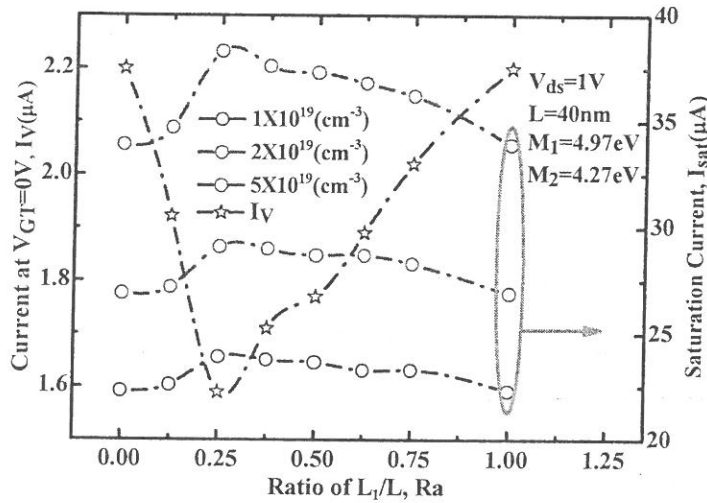


图 4-11 饱和电流和 I_v 随控制栅比例 R_0 的变化关系

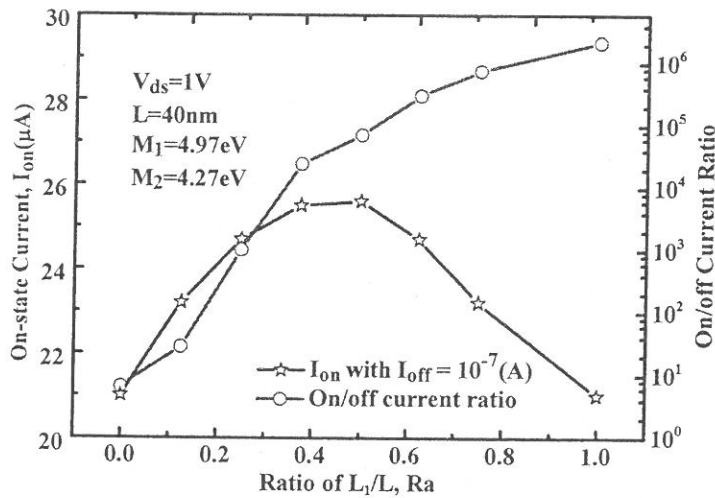


图 4-12 原电流开关比和经调整的开态电流随控制栅比例 R_0 的变化关系

进一步研究得到 R_0 对器件电流开关比的影响, 如图 4-12。因为控制栅增加以后, 虽然开态电流也逐渐减小, 但器件 I_{off} 以数量级的速度减小, 因此促使电流开关比数量级的提升, 这其中主要是阈值电压的作用。为了消除阈值电压的影响, 通过特性平移使得 I_{off} 固定为 $1 \times 10^{-7} A$, 发现 R_0 为 0.5 时, 其 I_{on} 出现最大值。

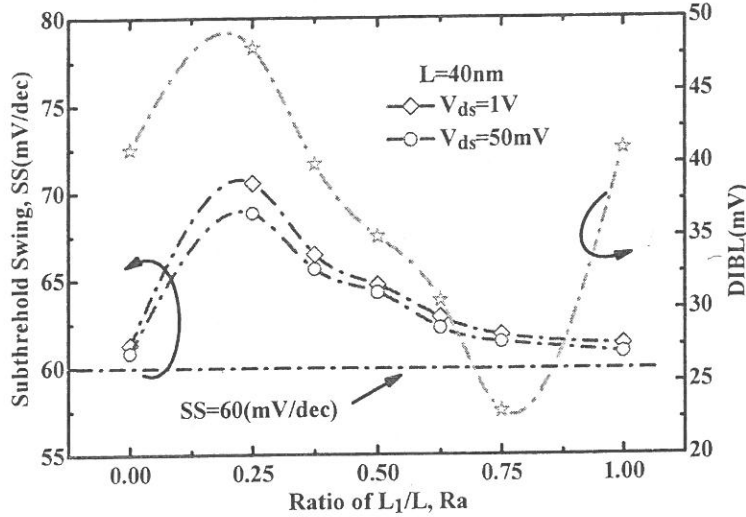


图 4-13 控制栅比例 R_0 对亚阈值斜率 SS 和漏致势垒降低 DIBL 的影响

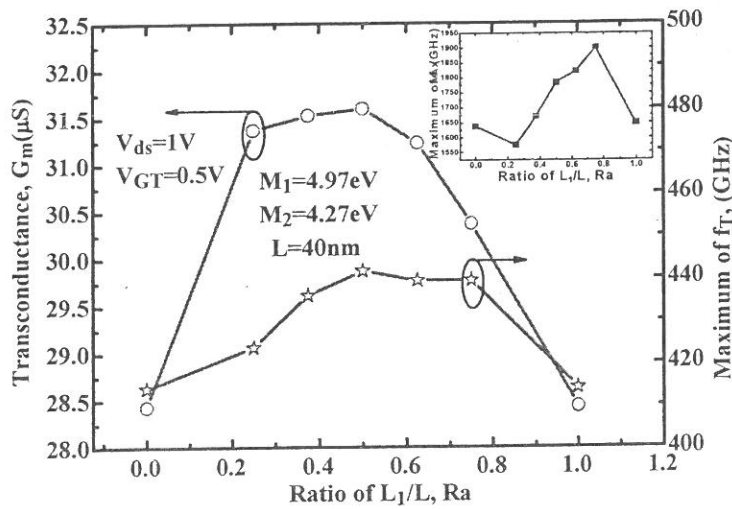


图 4-14 控制栅比例 R_0 对跨导 G_m 、最大 f_T 的影响, 插图展示了最大 f_{Tmax} 与 R_0 的关系

图 4-13 给出了控制栅比例 R_0 对亚阈值斜率(SS)和漏致势垒降低(DIBL)的影响。可以发现, 由 SMG-JNT 变成 DMG-JNT, 使得突然在源端附近引入一个额外电场, 增加漏电压对沟道的影响, 而在 DMG-JNT 变成 SMG-JNT 过程中, 漏端的电场峰突然增加, 都造成 DIBL 都有一个剧烈的增长。而 R_0 在 0.25 到 0.75 之间时, 随着控制栅 L_1 的增加, 电场峰逐渐移向漏端, 漏电压对沟道电场的影响逐渐减小, 以致 DIBL 值逐渐减小。而 DMG-JNT 的 SS 通常略大于 SMG-JNT

的值, 在无结器件中, 亚阈值状态的有效空间电荷区长度一定程度上反映了器件的 SS 值^[121], DMG-JNT 的有效空间电荷区长度一般大于控制栅的长度, 而小于器件的总栅长^[121], 但 SMG-JNT 的有效空间电荷区程度略大于总栅长^[16]。但是随着 R_g 的增加, DMG-JNT 的 SS 逐渐趋于 SMG-JNT 的值。但是因为 DMG-JNT 栅控能力优越, 与理想值 60mV/dec 接近, 在可接受范围之内。图 4-14 给出了 R_g 对跨导 G_m 、最大 f_T 的影响, 以及在插图展示了最大 f_{Max} 与 R_g 的关系。发现, 当 R_g 为 0.5 时出现最优的 G_m 和最大 f_T , 而最大 f_{Max} 随着 R_g 的增加而增加。

综合考量图 4-10 到图 4-14 中 R_g 对 DMG-JNT 各性能的影响, 在 R_g 为 0.5 时, 开态电流、跨导以及最大 f_T 特性为最优; 当 R_g 为 0.25 时, 器件有最优饱和电流, 而为了器件有最优的亚阈值特性, 需要将 R_g 设定为 0.8 左右。基于此, 同时考虑光刻条件, 推荐采用 $R_g = 0.5$ 为最优值。

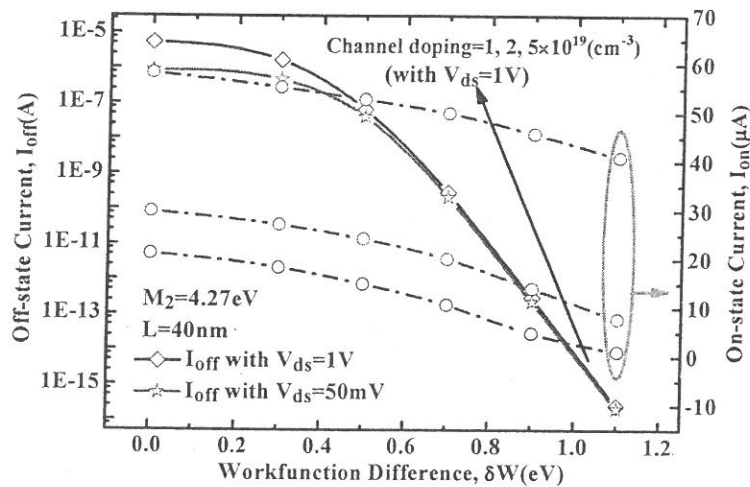


图 4-15 功函数差 δW 对关态电流和开态电流的影响

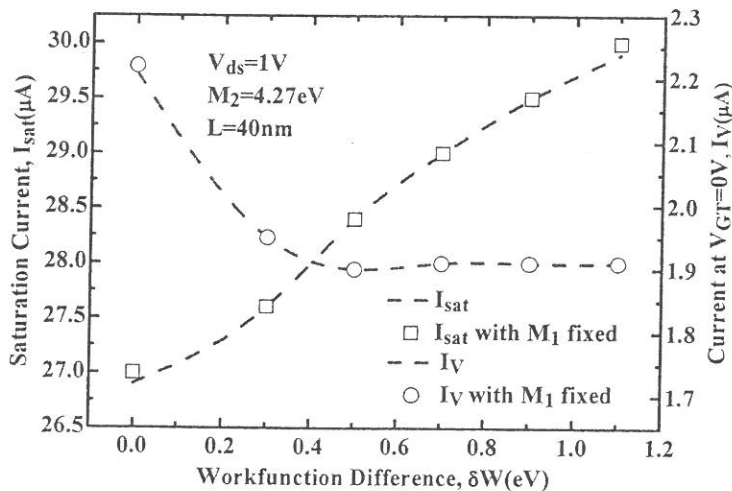


图 4-16 饱和电流和 I_V 随功函数差 δW 的变化关系

逐次开展双材料栅功函数差对 DMG-JNT 性能影响的研究, 设置 $L_1 = L_2 = 20$ 纳米, 双材料栅功函数差定义为 $\delta W = M_1 - M_2$, 其中 $\delta W = 0$ 为 SMG-JNT。一般情况下固定 M_2 通过改变 M_1 实现 δW 的变化。图 4-15 展示了 I_{on} 和 I_{off} 随 δW 的增加而减小, 因为增加 δW 即增加了控制栅的功函数以致提升器件的阈值电压。而掺杂浓度的提高, 虽然增加了器件的开态电流, 但是不改变 δW 对其的影响趋势。在图 4-16 中, 为了消除阈值电压的影响, 给出了 δW 变化对 I_{sat} 和 I_V 的影响。随着 δW 的增加, 靠近源端的电场上升更快, 促使载流子输运效率提升, 因此 I_{sat} 也随之增加。而 I_V 随 δW 的增加而逐渐减小, 当 δW 大于 0.4eV 以后, I_V 趋于不变。同时, 改变功函数差 δW 产生方式, 固定 M_1 为 4.97eV, 调整 M_2 实现 δW 变化, 发现 I_{sat} 和 I_V 随 δW 变化特性完全重合, 因此推定功函数本身对器件主要起性能平移的作用, 而双材料栅的功函数差 δW 影响着器件的特性。为了进一步清晰描述功函数和 δW 的作用, 依据上述固定 M_1 或者固定 M_2 分别产生 $\delta W = 0.3\text{eV}$ 和 1.1eV, 在图 4-17 中, 分别展示了其 $I_{ds}-V_{GT}$ 特性。虽然两者产生 δW 方法不同, 但其特性平移后完全可以重合。因此, 判定功函数的具体数值影响器件的 V_{th} 、 I_{on} 和 I_{off} 特性, 但 DMG-JNT 的电流性能提升主要取决于 δW 。

通过图 4-18, 得知随着控制栅的功函数增加, 虽然开态电流和关态电流都随之减小, 但因为关态电流呈数量级的减小以致电流开关比数量级增加。同样, 通过保持 I_{off} 为 $1 \times 10^{-7}\text{A}$, 发现 I_{on} 随着 δW 增加而提升, 在 δW 大于 0.7eV 以后, 电场提升作用逐渐减弱, I_{on} 增加也随之缓慢。

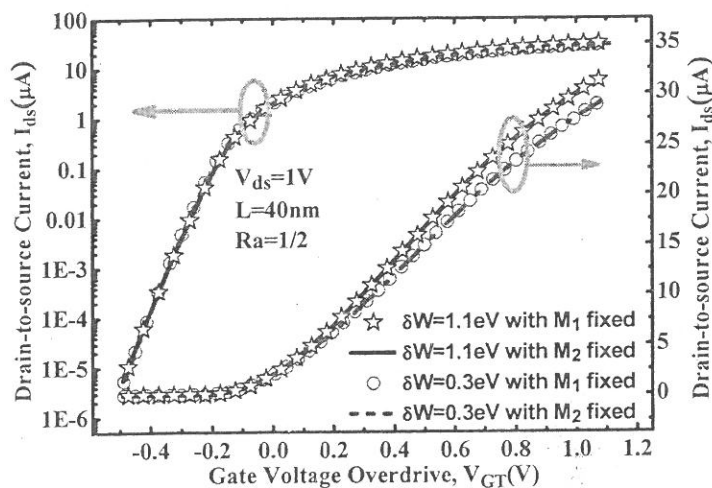


图 4-17 除去阈值电压影响的转移特性

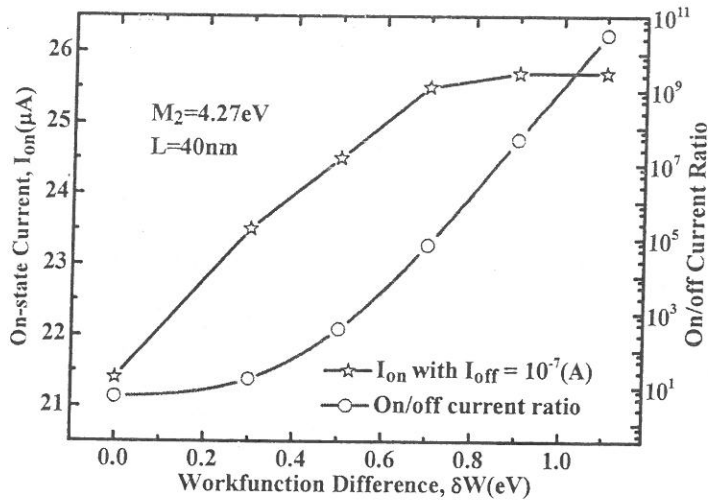


图 4-18 原电流开关比和功函数经调整的开态电流随功函数差 ΔW 的变化关系

图 4-19 展示了 DMG-JNT 的 SS 和 DIBL 随着 ΔW 增加而变大。DMG-JNT 的 SS 特性如上述部分介绍较之 SMG-JNT 要大, ΔW 的增加促使两个栅作用下的沟道状态差别越大, 例如当控制栅下对应的沟道为耗尽状态时, 屏蔽栅下部分载流子浓度已经较大, 严重减小控制栅的有效长度, 促使最小电势位置移向源端^[122]。因此 SS 特性随 ΔW 的增加而更加恶化, 但即使 ΔW 在 1.1eV 时, SS 依然小于 67mV/dec, 能够满足电路的应用要求^[94, 123]。而对于 DIBL, 当 ΔW 趋于 0 时, DMG-JNT 的屏蔽栅对漏端电压影响的屏蔽作用逐渐削弱, 而当 ΔW 较大以后, 控制栅的功函数增加逐渐减小了屏蔽栅的有效长度, 屏蔽作用也随之削弱, 因此会存在屏蔽栅作用效果平衡的功函数差值。在结果中发现 ΔW 在 0.3eV 处存在最小值, 其 DIBL 值为 24mV, 相比于 SMG-JNT 减小了 45%。

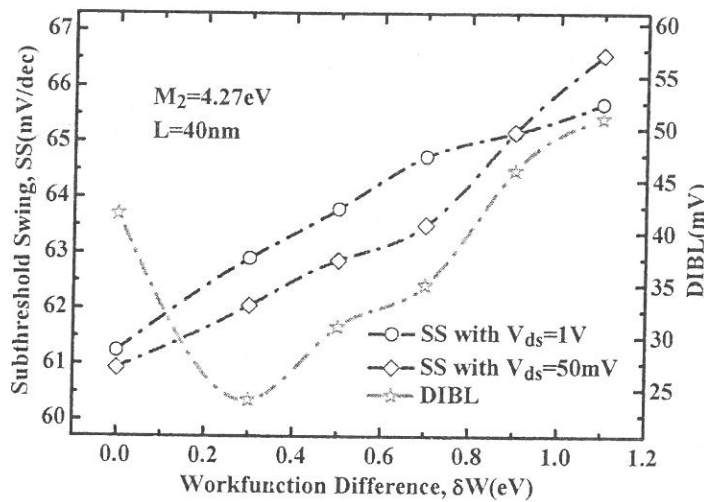


图 4-19 功函数差 ΔW 对亚阈值斜率 SS 和漏致势垒降低 DIBL 的影响

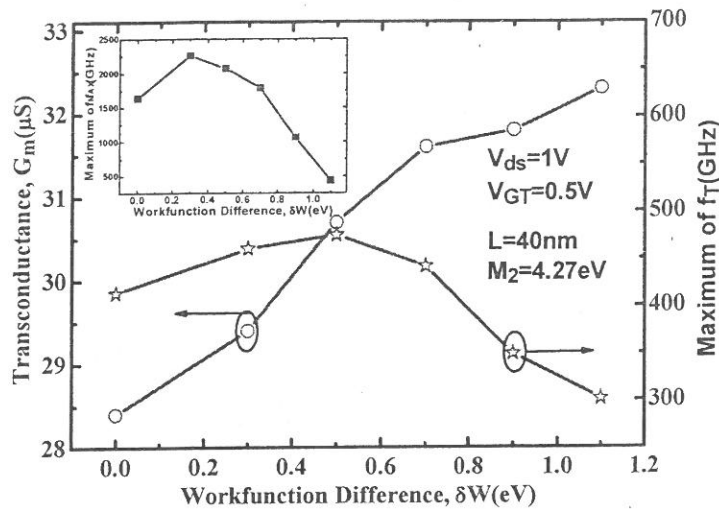


图 4-20 功函数差 δW 对跨导 G_m 、最大 f_T 的影响，插图展示了最大 f_{Max} 与 δW 的关系

图 4-20 展示了 δW 对跨导 G_m 、最大 f_T 和最大 f_{Max} 的影响。发现 G_m 几乎随着 δW 线性增加，这是由于控制栅和屏蔽栅的功函数差变大，促使两栅边界附近的电场的增强，更利于载流子加速，从而加快了电流的提升。而最大 f_T 在 δW 处显示出最优值，最大 f_{Max} 受屏蔽效应的影响随着 δW 增加逐渐减小。

通过图 4-15 到图 4-20 中 δW 对器件各项性能影响的研究，发现更大的 δW 会提升电流开关比、饱和电流以及跨导等特性，但是影响了 SS 特性和最大 f_{Max} 。最优 DIBL 和最大 f_T 分别出现在 0.3eV 和 0.5eV。同时太大的 δW 也会引起可靠性相关的问题。因此，选定 $\delta W = 0.5eV$ 为其优化值。此时 $R_e = 0.5$ ， $\delta W = 0.5eV$ 的 DMG-JNT 相比于 SMG-JNT 在电流驱动能力上有 19.6% 的提升，在跨导上有 9.6% 的增加，DIBL 方面有 26% 的减小，同时最大 f_T 和 f_{Max} 分别提升 14.7% 和 26.4%。供其他器件研究者和电路设计者参考。

4.2 双材料栅无结器件的 Band-to-Band 隧穿电流

Band-to-Band 隧穿(BTBT)导致无结器件产生寄生双极效应，使得关态电流迅速增加^[21, 50]。BTBT 机制产生的电流服从如下关系式^[124]：

$$J_{B2B} = \int \frac{qm_{DOS}^*kT}{2\hbar^3} D \cdot W \cdot T_{pro} dE \quad (4-3)$$

其中 W 为有效宽度， m_{DOS}^* 为态密度有效质量， $D = \frac{n_c p_v - n_i^2}{(n_c + n_i)(p_v + p_i)}$ 与电子和空穴掺杂浓度有关，隧穿几率 T_{pro} 可基于 Wentzel-Kramer-Brillouin (WKB) 近似计算得到^[125]：

$$T_{pro} = \exp \left\{ -2 \int_c^v \frac{\sqrt{2m^*(V-E)}}{\hbar} dz \right\} \quad (4-4)$$

其中 m^* 为隧穿有效质量, $V-E$ 为能带 z 处的势垒高度, 与隧穿距离成正比。因此增加价带到导带的隧穿距离可以有效的减小无结器件中 BTBT 效应。率先分析了 DMG-JNT 和传统 JNT 的能带结构, 如图 4-21。

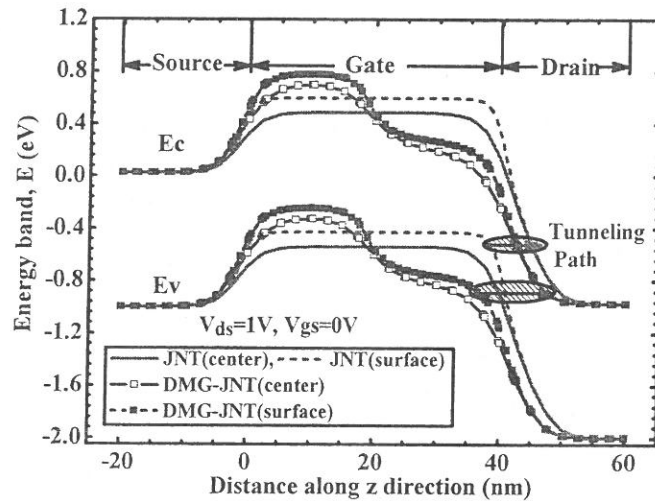


图 4-21 提取自双材料栅和单材料栅无结器件沟道表面和中心的能带图(栅电压 $V_{gs} = 0 \text{ V}$, 源漏电压 $V_{ds} = 1 \text{ V}$)

对于 JNT, 可以发现, 无论是沟道表面还是中心, 沟道价带高于靠近漏端的导带, 在关态或者负栅压 ($V_{gs} \leq 0$) 时, 漏端附近电场较大, 价带和导带的重叠程度严重, 缩短了从价带到导带的距离, 因此增加了 BTBT 的几率, 恶化了无结器件的关断特性。而对于 DMG-JNT, 双材料栅界面形成的能带台阶大幅减小了价带和导带的重叠, 增加了漏端隧穿路径的长度。虽然因为栅电压的影响, DMG-JNT 导带和价带从沟道表面到中心发生了变化, 但是隧穿距离增加的趋势没有变化。因此提出基于双材料栅结构在沟道中产生电势台阶的特性, 提出在无结器件中引入双材料栅结构用以抑制 Band-to-Band 隧穿。为了验证此想法, 在数值模拟器 Sentaurus TCAD 中构建了双材料栅无结器件(DMG-JNT)^[99], 其结构如 4.1 节介绍, 控制栅的功函数 M_1 设置为 5.1 eV , 屏蔽栅的功函数 M_2 为 4.52 eV , 各自栅长 $L_1 = L_2$, 而器件结构参数, 例如半径、栅氧厚度、掺杂浓度, 也如 4.1 节设置。除了考虑量子效应^[101]、迁移率影响^[102, 104]以及载流子复合机制以外, 为了研究 BTBT 影响, 在本节中考虑非局域的 Band-to-Band 隧穿模型(Non-Local BTBT Model)以及带隙窄化效应^[100]。在特性研究开始之前, 先将模拟结果与实验结果

进行了校对^[21]，如图 4-22，在较大的栅电压下不同宽度器件的特性都能较好的复合以保证模拟结果的准确性。

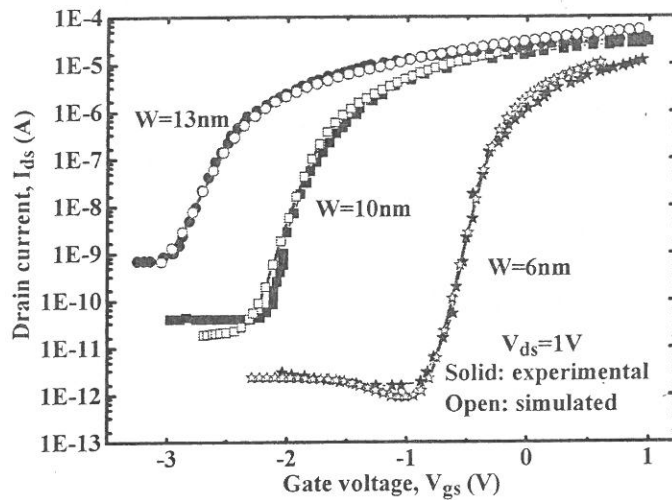


图 4-22 模拟结果与实验结果校对^[21]

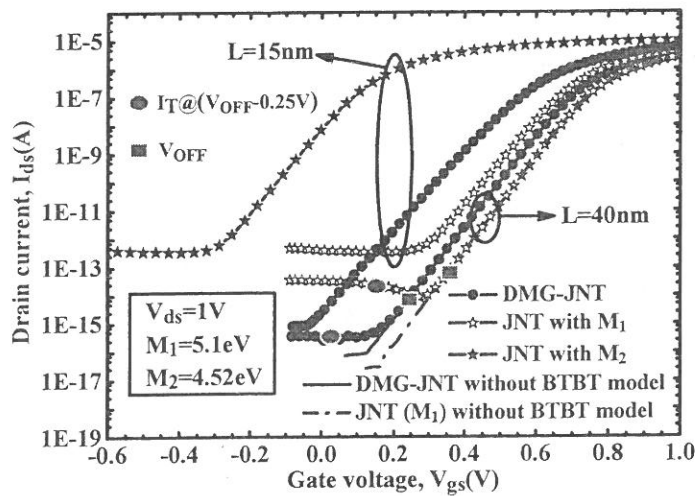


图 4-23 不同栅长的双材料栅和单材料栅无结器件的转移特性($V_{ds} = 1V$ ，单材料栅 JNT 的功函数为 5.1eV 或 4.52eV)

图 4-23 给出了不同沟道长度 DMG-JNT 和传统单材料栅 JNT 的转移特性。可以发现，引入双材料栅结构(DMG)以后，栅长 15 纳米时的关态电流为 $9 \times 10^{-16}A$ ，栅长为 40 纳米时，关态电流为 $2.7 \times 10^{-16}A$ 。而在传统 JNT 中，栅长 15 纳米和 40 纳米的关态电流分别为 $4.8 \times 10^{-13}A$ 和 $4 \times 10^{-14}A$ 。因此，DMG 结构的引入在双材料栅界面形成了能带台阶，扩展了隧穿的距离，从而使得关态电流降低了两个数量级。同样，如 4.1 节所述，双材料栅界面的能带台阶对应了电势台阶和电场峰，加速了载流子促使器件开态电流增加。因此，DMG 结构的引入增加了 JNT 器件的电流开关比，其数值与实验结果相似^[27]。另外，图中也展示了

栅长为 15 纳米时，功函数的不同造成了 JNT 转移特性的平移，而不改变关态泄漏电流，这与 4.1 节功函数作用的结论一致。为了公平比较 DMG-JNT 和传统单材料栅 JNT BTBT 电流 I_T ，需要先消除器件的亚阈值电流。为此，定义 V_{OFF} 为器件亚阈值状态下，当有无考虑 BTBT 效应，电流刚相等时的栅电压^[126, 127]。当栅电压小于 V_{OFF} ，BTBT 电流逐渐增加，而亚阈值电流依然指数减小，相比较而言变得忽略不计。因此， $V_{OFF}-0.25V$ 设定为提取 BTBT 电流 I_T 的电压。

图 4-24 展示了 BTBT 电流 I_T 随 DMJ-JNT 栅长缩小的变化规律。图中也给出了掺杂浓度对 I_T 的影响。掺杂浓度的增加提高了隧穿电子的总量促使 I_T 变大，趋势与 Gundapaneni 的结果一致^[50]。但观察到掺杂浓度的变化并不影响电流 I_T 随栅长的变化趋势。与传统 JNT 的比较发现，当器件栅长大于 15 纳米时，DMG-JNT 的 I_T 比 JNT 泄漏电流数值要小接近两个数量级。以 ITRS 中对低静态功耗(LSTP)性能的要求而言，泄漏电流需要小于 $10 pA/\mu m$ ^[1]。但是对于掺杂浓度大于 $0.8 \times 10^{19} cm^{-3}$ 的 15 纳米 JNT，BTBT 导致泄漏电流都大于这个限制值。而 DMG-JNT 器件能够满足应用的要求，并可以进一步缩小器件尺寸。虽然当栅长缩进到 15 纳米以下后，DMG-JNT 和传统 JNT 的 BTBT 电流 I_T 都迅速增加。但即使到 10 纳米，DMG-JNT 的 I_T 依然比 JNT 的结果小一个数量级。

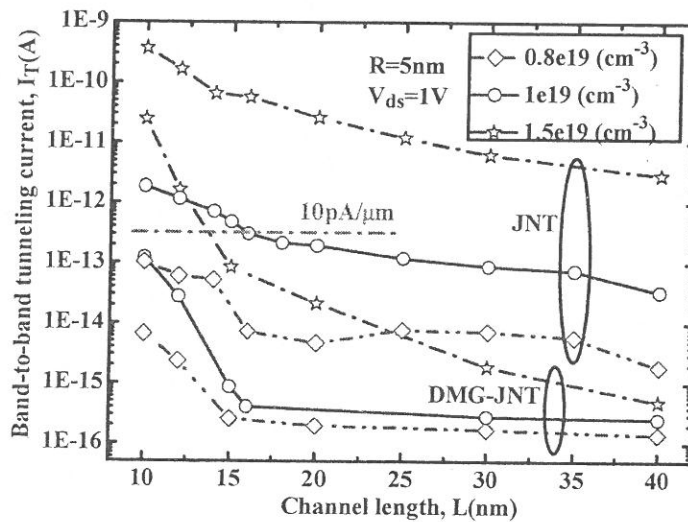


图 4-24 不同掺杂浓度的双材料栅和单材料栅无结器件隧穿泄漏电流 I_T 随栅长的变化关系

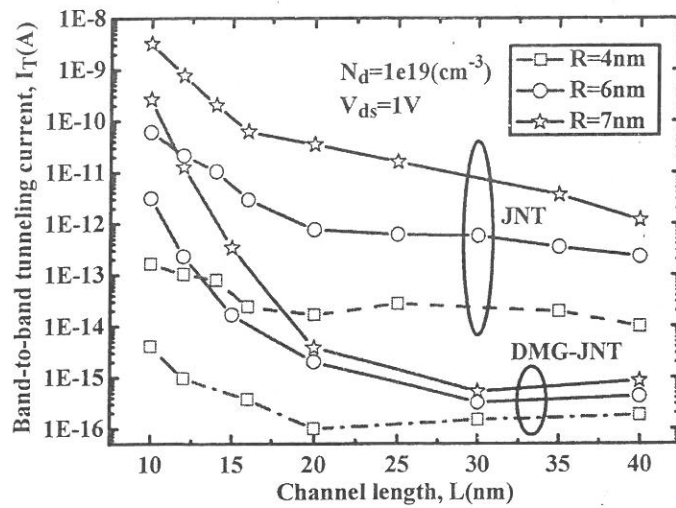


图 4-25 不同半径的双材料栅和单材料栅无结器件隧穿泄漏电流 I_T 随栅长的变化关系

图 4-25 中描绘了半径不同时 DMG-JNT 和 JNT 泄漏电流 I_T 随栅长的变化特性。当器件栅长大于 20 纳米时，增大器件半径，即增加了隧穿的作用区域，从而使电流 I_T 变大。JNT 中随着器件半径的增加， I_T 明显增加，而在 DMG-JNT 中，由于其良好的 BTBT 抑制能力， I_T 随半径的变化较小。但当栅长小于 20 纳米，半径的变化对 I_T 的影响明显增加。但相比较 JNT 而言，即使栅长缩小到 10 纳米，半径增大到 7 纳米时，泄漏电流 I_T 依然要小一个数量级。因此 DMG-JNT 对 BTBT 效应有更良好的抑制能力同时有潜力扩展至亚 22 纳米以下更小节点，适用于低功耗电路的应用。

如上介绍，DMG-JNT 对 BTBT 效应的优良抑制能力是因为 DMG 结构的引入形成了能带台阶导致更长的隧穿距离。为了进一步明示此作用，在图 4-26 中展示了栅长为 40 纳米时的能带图以及隧穿载流子浓度图。发现，JNT 的隧穿几率高导致隧穿到漏区的载流子几率在 $10^{24} \text{cm}^{-3}/\text{s}$ 左右，而在 DMG-JNT 中，隧穿到漏区的载流子几率仅为 $10^{17} \text{cm}^{-3}/\text{s}$ 量级。而随着器件栅长的缩小，能带台阶的效应逐渐减弱，如图 4-27。当器件缩小到 15 纳米时，隧穿几率迅速增加，此时 JNT 中隧穿到漏区的载流子几率增加到 $10^{26} \text{cm}^{-3}/\text{s}$ 量级以上，而在 DMG-JNT 中，其机率也变为 $10^{21} \text{cm}^{-3}/\text{s}$ 左右。隧穿载流子几率的变化直观反映了图 4-24 和 4-25 所展示的 DMG-JNT 和 JNT 隧穿电流 I_T 随着栅长减小的变化趋势。这几率大小也证实了 DMG-JNT 较之 JNT 对 BTBT 效应有更明显的抑制作用。

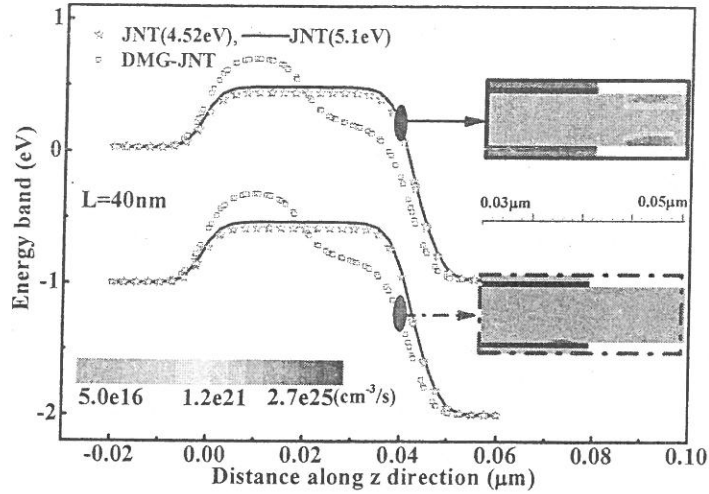


图 4-26 栅长为 40 纳米时提取自双材料栅和单材料栅无结器件沟道中心的能带图，红蓝框中的截图分别示意其器件载流子隧穿率

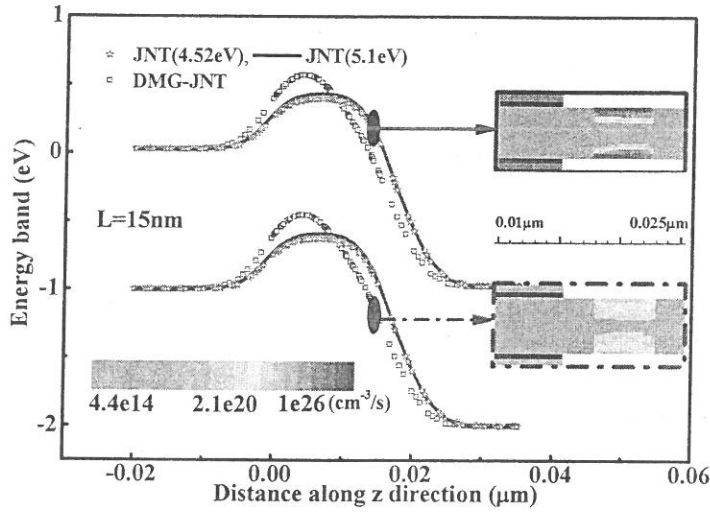


图 4-27 栅长为 15 纳米时提取自双材料栅和单材料栅无结器件沟道中心的能带图，红蓝框中的截图分别示意其相应器件载流子隧穿率

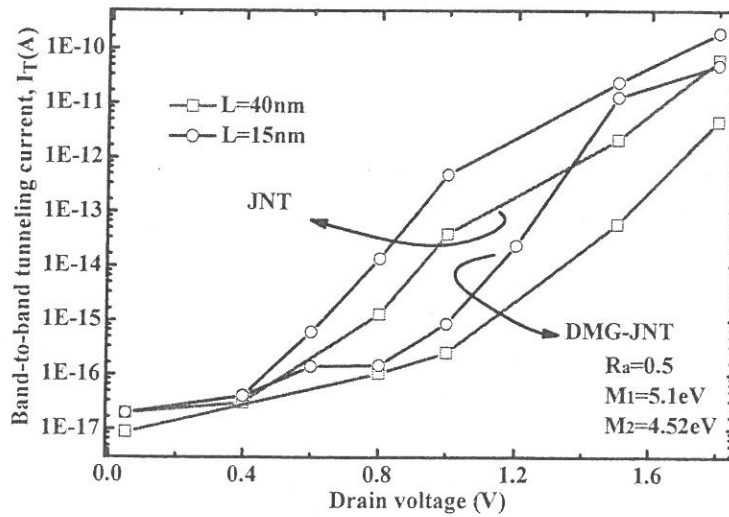


图 4-28 源漏电压对双材料栅和单材料栅无结器件隧穿泄漏电流 I_T 的影响

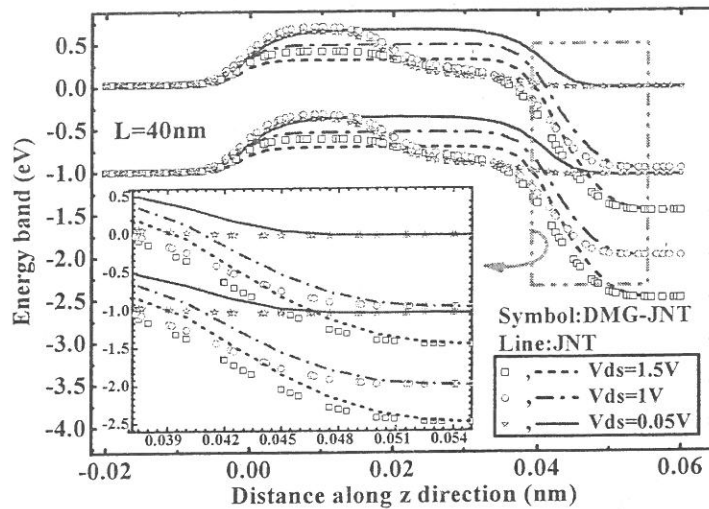


图 4-29 不同源漏电压双材料栅和单材料栅无结器件的能带图，插图为漏区附近放大的能带图

BTBT 电流大小与价带到导带的势垒高低密切相关，源漏电压的变化直接影响势垒高度，改变漏端价带和导带的重叠程度。因此，针对源漏电压对 DMG-JNT 和 JNT 隧穿电流 I_T 的影响，开展研究，结果如图 4-28。DMG-JNT 和 JNT 的隧穿电流 I_T 都随着源漏电压的增加而增加。器件通常的源漏供应电压为 0.6 到 1.2V，此时，DMG-JNT 的 I_T 至少比单材料栅 JNT 小一个数量级，即使当器件栅长缩小到 15 纳米，源漏电压的增加并没有改变这种趋势。通过图 4-29 的能带图可以更清晰分析上述电流特性变化的原因。这主要是因为当源漏电压较小时，无论是 DMG-JNT 还是 JNT，漏端与源端电势基本持平，漏端价带与导带重叠程度较低，因此整体隧穿电流 I_T 较小。而随着源漏电压增加，漏端电势降低，附近价带与导带重叠逐渐出现，使隧穿距离减小以致 BTBT 几率增加，因此隧穿电流随之增加。而 DMG-JNT 因为有能带台阶扩展了隧穿的距离，很好的抑制了 BTBT 效应。当然，源漏电压的进一步增加，促使漏端电势与源端电势差距趋大，以致漏端附近价带与导带重叠区域增大，隧穿电流 I_T 迅速增加，而这时 DMG 结构只能起一定程度的抑制作用。当器件沟道缩小，源漏电压的变化导致漏端附近能带变化更加剧烈，因此 I_T 受源漏电压的影响更加明显。

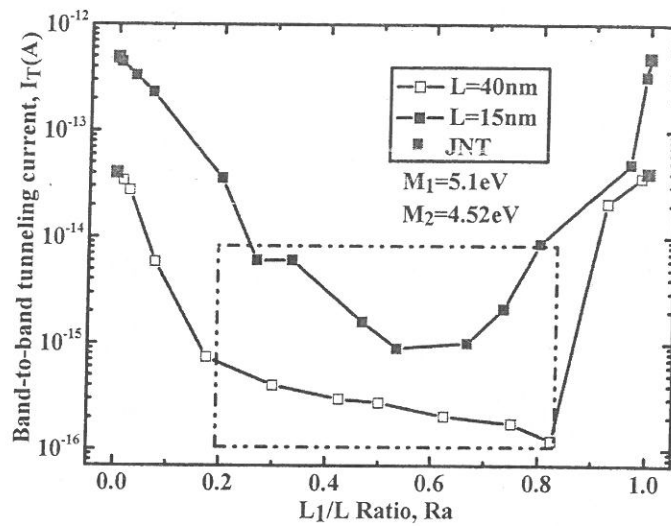


图 4-30 控制栅比例 R_a 对双材料栅无结器件 DMG-JNT 隧穿泄漏电流 I_T 的影响

上述的研究中，DMG-JNT 器件两个重要参数：控制栅比例 R_a 和功函数差 δW ，都设置为固定值。但是其值影响着器件的隧穿泄漏电流特性，接下来将具体分析其影响和原因，并进行优化。图 4-30 展示了隧穿泄漏电流 I_T 随控制栅比例 R_a 的变化关系。当 R_a 趋向 0 或 1，即为控制栅长变成 0 纳米或者 L 。此时， I_T 迅速增加，趋向 JNT 的泄漏电流水平。当栅长 L 为 40 纳米时， R_a 在 0.2 到 0.825 之间，DMG 结构发挥了重要的抑制效果。随着 R_a 增加， I_T 逐渐减小， I_T 电流大小在 1×10^{-16} A 量级左右，在 $R_a=0.825$ 处，器件泄漏电流最小， I_T 值为 1.2×10^{-16} A。即使当栅长缩小到 15 纳米时， R_a 在 0.2 到 0.825 范围内，DMG-JNT 的隧穿泄漏电流 I_T 特性较之 JNT 改善至少达一个数量级。当 R_a 为 0.5 时， I_T 呈最优值，只为 9×10^{-16} A，远优于 JNT 的 4.86×10^{-13} A。为了指明器件 I_T 随 R_a 变化的物理原因，从能带图中分别提取 R_a 为 0.0125、0.5 和 0.925 时的隧穿距离，如图 4-31。这里所说的隧穿距离即为器件漏端附近价带顶到导带低之间的最小距离^[50]。进一步观察到，隧穿距离随着沟道位置发生变化，并存在最小值。 $R_a=0.5$ 时的隧穿距离较之 R_a 为 0.0125 和 0.925 时增加明显， $R_a=0.5$ 时最小隧穿距离为 13.6 纳米左右，而 R_a 接近 0 或 1 时其最小值为 8.9 纳米。隧穿的路径主要集中在最短距离附近^[124]，因此着重分析了最小隧穿路径的变化规律，如图 4-32。当 R_a 处于 0.15 到 0.825 之间，最短隧穿距离随 R_a 增加而缓慢变大，导致了如图 4-30 展示的隧穿泄漏电流逐渐减小现象。而当 R_a 趋向 0 或 1 时，最短隧穿距离从 13.6 纳米剧减为 8.9 纳米，导致隧穿泄漏电流 I_T 突增两个数量级。

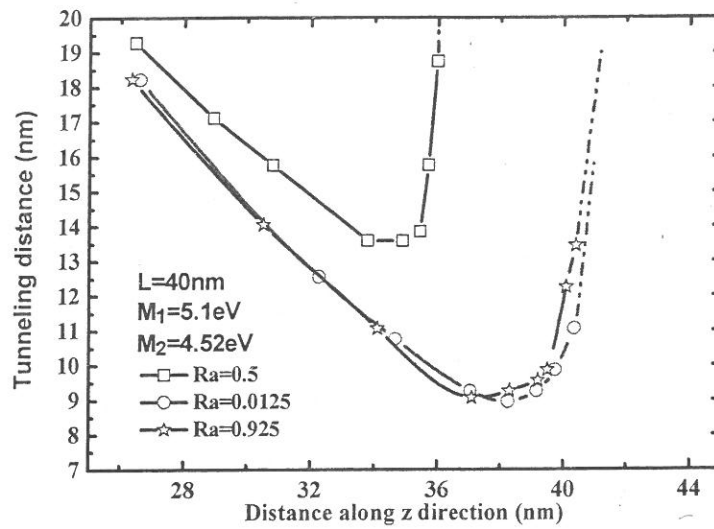


图 4-31 不同控制栅比例 R_a 的双材料栅无结器件 DMG-JNT 沿沟道方向的隧穿距离

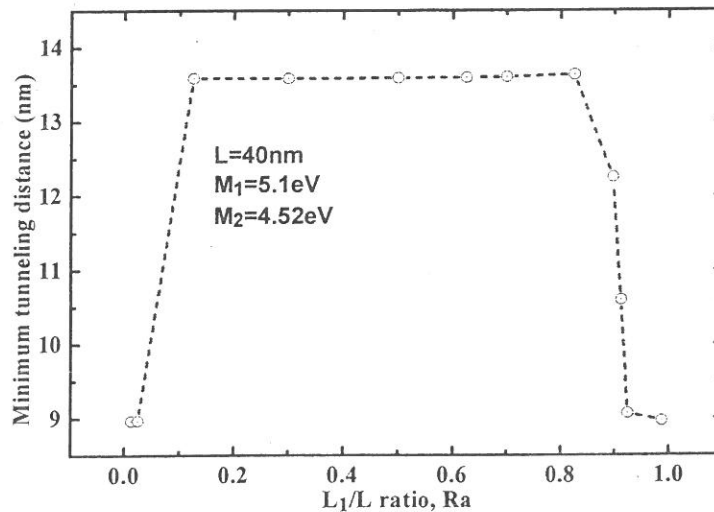


图 4-32 控制栅比例 R_a 对双材料栅无结器件 DMG-JNT 最短隧穿距离的影响

图 4-33 给出了不同栅长和功函数差的 DMG-JNT 转移电流特性，发现隧穿泄漏电流随着 δW 和 L 减小而增大。比较不同功函数和功函数差对 DMG-JNT 隧穿泄漏电流的影响，采用三种方法改变功函数差 δW ：即固定 M_1 改变 M_2 ，固定 M_2 改变 M_1 以及采用反 DMG 结构 ($M_2 > M_1$)。采用后面两种方法产生功函数差，在相同 δW 值时，靠近漏端的能带被提升会增加隧穿的区域，同时增加电场使得其隧穿泄漏电流比第一种方法大。因此在改变功函数差 δW 时采用固定 M_1 在 5.1eV 改变 M_2 的方法。在图 4-34(a)中展示了基于此种方法产生的 δW 对隧穿泄漏电流 I_T 的影响。随着 δW 增加， I_T 迅速减小，而当 δW 大于 0.4eV 逐渐趋于稳定。虽然栅长的减小，整体上增加了泄漏电流，但其随 δW 的变化规律保持不变。通过图 4-34(b)可以看到当 δW 小于 0.2eV 时，形成的能带台阶较小，价带和导带

的隧穿距离扩展效果微小，因此最短隧穿距离随 δW 变化缓慢，而当 δW 大于 0.2eV 以后，随着 δW 的增加，能带台阶作用明显，价带和导带重叠被有效扩展，最短隧穿距离近似呈抛物线式增长，以致隧穿泄漏电流急剧减小。而最短隧穿距离大于一定值以后，隧穿几率已变得微不足道，因而泄漏电流基本趋于恒定。另外，受制于源漏电压的大小， δW 的进一步增加也未能引起最短隧穿距离迅速增加。

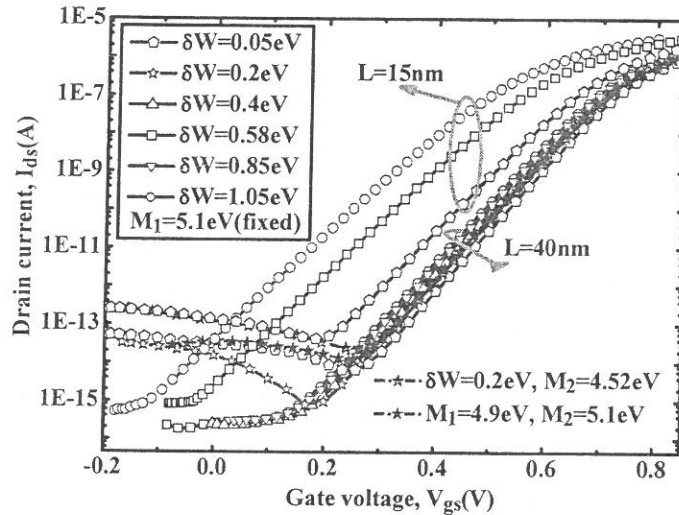


图 4-33 不同功函数差 δW 的双材料栅无结器件 DMG-JNT 转移特性($R=5\text{nm}$, $N_d=1 \times 10^{19}\text{cm}^{-3}$)

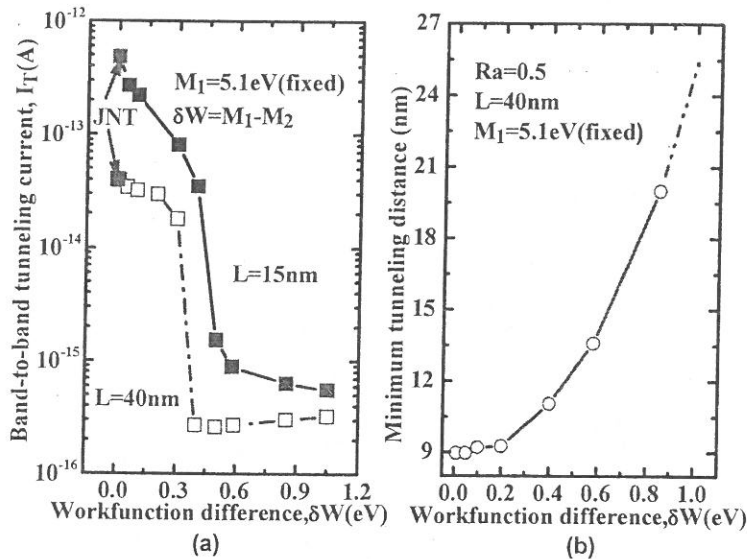


图 4-34 a)功函数差 δW 对双材料栅无结器件 DMG-JNT 隧穿泄漏电流 I_T 的影响, b)最短隧穿距离随功函数差 δW 的变化关系

通过上述 R_e 和 δW 对 I_T 影响的综合分析， R_e 在 0.2 至 0.825 范围内， δW 大于 0.4eV 时可以使 DMG-JNT 保持良好的隧穿泄漏电流 I_T 。基于 DMG-JNT 对隧

穿泄漏电流优良的抑制作用,使其在低功耗方面有着重要的应用潜力。

4.3 双材料栅结构制备工艺探讨

上述两节研究了双材料栅结构引入无结器件改进电流驱动能力和泄漏电流特性。当然,采用双材料栅结构将增加 JNT 制备的工艺复杂性,在不改变光刻技术的前提下,许多新工艺的提出使其制备变得可行。例如, W. Long 采用倾斜角度蒸发(Tilt Angle Evaporation)的方法,利用光刻胶的阻挡作用,先进行倾斜淀积,只会在靠近源端的形成金属栅,继而正向淀积第二种金属栅材料,制备出了第一个 DMG 结构传统 MOSFET 器件^[116, 120];韩国庆北国立大学 J. B. Ha 在制备横向双扩散 MOSFET 时,通过分步刻蚀和充分镍硅化合物技术调整在靠近源端的栅极功函数,形成有功函数差的双材料栅结构,提升了 16.7% 的电流驱动力、降低了 6.4% 的开态电阻^[128]。虽然这种方法因为没有提供刻蚀终止层不能直接应用于现代 VLSI 的工艺中,但是为制备双材料栅结构提供了新思路;韩国 Chungbuk Provincial College 的 K. Y. Na 基于传统工艺,采用离子注入的方法,继而调整相应栅金属的功函数形成双材料栅结构 MOSFET^[129, 130];也可以采用金属相互扩散的方法形成双材料栅结构。AMD 的 Q. Xiang 提出了非对称氧化层 Spacer 的方法,先淀积一种金属或者多晶硅作为第一层栅金属,保持一定倾斜角的方法刻蚀掉靠近源端的氧化层 Spacer,而保留漏端的 Spacer,再淀积第二层栅金属,源端因为与金属接触,相互扩散改变了功函数,而漏端受 Spacer 保护并不受新淀金属层的影响,从而形成双材料栅结构的器件^[131]。正如 M. J. Kumar 所言,因为双材料栅结构的引入使得器件性能有了明显的改善,适用于小尺寸器件的新工艺将很有机会被开发出来,同时一定工艺复杂度的提升也将被接受^[126]。

4.4 小结

本章针对无结器件的驱动电流低和泄漏电流大的缺陷,提出在无结器件中引入功函数不同的双材料栅结构,利用不同功函数双材料栅接触附近产生的电势台阶,形成额外的电场峰,提前加速载流子,提升无结器件电流驱动能力。同时亚阈值状态将形成能带台阶,扩展漏端附近导带和价带重叠程度,增加隧穿距离,从而抑制隧穿泄漏电流。同时,对双材料栅无结器件的两个重要参数,控制栅比例和双材料栅功函数差,引起的器件各项性能影响进行研究和物理分析,并提供

参数优化结果，讨论三种产生双材料栅功函数差方法对器件性能的影响。最后对双材料栅器件结构的制备工艺进行了简单的探讨。

第五章 极限尺寸无结环栅器件

前面的章节中, 基于 Sentaurus TCAD 工具对无结多栅器件特性及工艺可靠性问题的影响进行探讨、分析和验证。但是, 半导体器件依然将延续摩尔定律继续缩小, 根据 ITRS 报告 2020 年以后器件栅长将会缩小到 10 纳米以下^[1]。无结多栅器件作为有望成为集成电路组成单元的后备器件结构之一^[16], 急需指明其按比例缩小的潜力, 因而需要探索栅长 10 纳米以下, 甚至到 5 纳米、3 纳米这样的极限尺寸无结器件的性能。通常 10 纳米以上的器件, 在玻尔兹曼输运基础上, 利用各项修正用以能够满足器件特性研究的的需要, 然而, 随着器件尺寸的不断缩小, 尤其达到几个纳米这样的极限尺寸下, 量子效应和弹道输运影响必然不可忽略^[132-134]。而基于玻尔兹曼输运理论的半导体器件数值模拟器不能有效的描述弹道输运特性, 同时越来越多的修正会使得模拟器的结果失去物理性和准确度。因此, 本章中, 为了研究极限尺寸无结器件的特性, 同时兼顾计算准确度和效率, 基于非平衡态格林函数输运理论和原子级的紧束缚计算能带开发三维器件模拟器。一方面, 基于弹道输运, 研究无结多栅器件的理想特性; 另一方面, 研究量子限制效应、应力效应、非抛物线性效应等对无结器件性能的影响。5.1 节将详细介绍基于紧束缚近似方法计算硅纳米线能带结构, 同时, 考虑单轴应力效应对能带结构的影响, 5.2 节讨论非抛物线近似方法处理能带结构。5.3 节介绍基于泊松方程和非平衡态格林函数自洽求解设计的器件特性模拟器。5.4 研究了极限尺寸无结器件的特性。5.5 节对本章工作进行小结。

5.1 紧束缚方法计算纳米线能带结构

5.1.1 紧束缚方法

针对极限尺寸器件, 以栅长 5 纳米的硅基多栅器件为例, 整个器件沟长不到 10 层原子。为了更清晰和准确掌握如此尺寸器件的特性, 能带结构成为直接影响器件特性研究准确度的重要因素。因此, 从原子级出发计算能带出发研究器件特性已经成为一个重要趋势^[135]。基于此, 许多不同的能带结构计算方法被相应开发出来, 例如密度泛函理论(DFT)^[136, 137]、 $k \cdot p$ 能带计算理论^[138]、紧束缚近似

理论^[139, 140]等。密度泛函理论具有严格的物理意义,也是其他方法的理论基础,但需要极大的计算量,同时要根据情况选择关联能; k.p 方法具有矩阵简单,并且矩阵元素可以从实验数据直接推导获得等明显优点,但是该方法对纳米尺寸能带结构计算存在偏差;紧束缚近似物理背景清晰,不需要迭代求解,计算量较之密度泛函理论大大减小,能够保证准确度,得到的结果与实验结果符合较好,比较适合于介观尺度晶体的能带计算。因此在本章研究中采用最近邻的紧束缚方法计算硅基纳米线能带结构。对于紧束缚理论在固体物理领域经历了长足的发展:1929年, Bloch 提出了基于原子轨道线性组合求解薛定谔方程的紧束缚方法思想。但是在具体计算时发现出现的多中心积分问题无法直接解决, J. C. Slater 和 G. F. Koster 基于 Lowdin 定理构建了一组正交基轨道函数,形成 Slater-Koster 参量法^[141],使得紧束缚方法在能带结构计算领域走上实用化。紧束缚方法本身也在不断的发展和完善, D. Chadi 在计算体硅价带时每个硅原子只考虑 sp³ 四个轨道,但其不能正确描述最低导带^[142];为了改进对导带的描述, P. Vogl 在 sp³ 的基础上加入了激发态 s*^[143];受此启发,为了对能带结构的描述更加准确,考虑了更多的电子轨道, D. Jancu 在 Vogl 的基础上再加入了 d 轨道,形成目前比较通用的 sp³d⁵s*紧束缚计算能带方法,该方法得到的结果与实验结果比较符合的很好^[144]。同时, T. B. Boykin 等人不断完善对 sp³d⁵s*紧束缚方法的所用参数设定,使其结果更加准确^[145, 146]。另外,除了采用考虑最近邻的相互作用以后,次近邻、第三近邻也被加入用来提高能带计算的准确度。正因为上述原因,近年来,紧束缚方法被研究人员广泛应用于固体器件能带结构的研究,尤其是在纳米线、纳米管、纳米带等新型器件中。

晶体能带计算从单电子方程出发:

$$\left[-\frac{\hbar^2}{2m} \nabla^2 + V_{eff}(r) \right] \varphi_{nk}(r) = E_{nk} \varphi_{nk}(r) \quad (5-1)$$

这里 m 为电子有效质量, $V_{eff}(r)$ 采用原子势场的线性叠加进行表示:

$$V_{eff}(r) = \sum_l \sum_{\alpha} V^{al}(r - R_l - t_{\alpha}), \text{ 其中 } l \text{ 指第 } l \text{ 个原胞, } \alpha \text{ 指原胞中的第 } \alpha \text{ 个原子。}$$

波函数 $\varphi_{nk}(r)$ 用原子轨道线性组合成的基矢 $\varphi_{jk}(r)$ 展开, 可得:

$$\varphi_{nk}(r) = \sum_j A_{nj} \varphi_{jk}(r) \quad (5-2)$$

其中 A_{nj} 为展开系数。 $\phi_{jk}(r)$ 由原子轨道线性组合而成：

$$\phi_{jk}(r) = \frac{1}{\sqrt{N}} \sum_{l,\alpha} e^{i\vec{k}\cdot\vec{R}_l} \phi_j^{\alpha l}(r - R_l - t_\alpha) \quad (5-3)$$

其中 $\phi_j^{\alpha l}(r - R_l - t_\alpha)$ 指第 l 原胞，第 α 原子的第 j 个电子轨道波函数。将波函数的展开式(5-1)带入薛定谔方程再乘上 $\phi_{j'k}(r)$ 做内积，可以得到：

$$\sum_j A_{nj} \langle \phi_{j'k}(r) | H | \phi_{jk}(r) \rangle = E_{nk} \sum_j A_{nj} \langle \phi_{j'k}(r) | \phi_{jk}(r) \rangle \quad (5-4)$$

令：
$$H_{j'j} = \langle \phi_{j'k} | H | \phi_{jk} \rangle$$
，则得到：
$$S_{j'j} = \langle \phi_{j'k} | \phi_{jk} \rangle$$

$$\det(H_{j'j} - E_{nk} S_{j'j}) = 0 \quad (5-5)$$

只要求解此矩阵，即可得到能带结构。但是，很明显发现， $H_{j'j}$ 和 $S_{j'j}$ 会遇到多积分中心的问题，很难直接计算出来。因此 J. C. Slater 和 G. F. Koster 在 1954 年的论文中提出了参量法，很好的解决了紧束缚方法遇到的多积分中心问题^[141]。

为了理解参量法，首先介绍原子轨道。根据量子力学，原子轨道波函数为：

$$\phi_{nlm}(r) = R_{nl}(r) Y_{lm}(\theta, \varphi) \quad (5-6)$$

其中 $R_{nl}(r)$ 是轨道波函数的径向部分， Y_{lm} 为球谐函数， n 为主量子数， l 为角动量量子数， m 为磁量子数。对 s 轨道， $l=0$ ， $m=0$ ，球谐函数为：

$$Y_{00}(\theta, \varphi) = \frac{1}{\sqrt{4\pi}} \quad (5-7)$$

其轨道波函数可以写成 $|s\rangle$ 。对 p 轨道， $l=1$ ， $m=-1,0,1$ ，球谐函数为：

$$\begin{cases} Y_{1-1}(\theta, \varphi) = \sqrt{\frac{3}{8\pi}} \sin\theta e^{-i\varphi} = \sqrt{\frac{3}{4\pi}} \frac{x}{r} \\ Y_{10}(\theta, \varphi) = \sqrt{\frac{3}{4\pi}} \cos\theta = \sqrt{\frac{3}{4\pi}} \frac{y}{r} \\ Y_{11}(\theta, \varphi) = \sqrt{\frac{3}{8\pi}} \sin\theta e^{i\varphi} = \sqrt{\frac{3}{4\pi}} \frac{z}{r} \end{cases} \quad (5-8)$$

其轨道波函数可以写成 $|p_x\rangle, |p_y\rangle, |p_z\rangle$ 。对 d 轨道， $l=2$ ， $m=-2,-1,0,1,2$ ，球谐函数为：

$$Y_{2m}(\theta, \varphi) = \begin{cases} \sqrt{\frac{15}{8\pi}} \sin \theta \cos \theta e^{i\varphi} = \sqrt{\frac{15}{4\pi}} \frac{yz}{r^2} \\ \sqrt{\frac{15}{16\pi}} \sin^2 \theta = \sqrt{\frac{15}{4\pi}} \frac{zx}{r^2} \\ \sqrt{\frac{15}{8\pi}} \sin \theta \cos \theta e^{-i\varphi} = \sqrt{\frac{15}{4\pi}} \frac{xy}{r^2} \\ \sqrt{\frac{15}{16\pi}} \left(\frac{1}{2} \sin^2 \theta e^{-i2\varphi} - \cos^2 \theta \right) = \sqrt{\frac{15}{4\pi}} \frac{x^2 - y^2}{2r^2} \\ \sqrt{\frac{5}{16\pi}} \left(\frac{3}{2} \sin^2 \theta e^{i2\varphi} - 1 \right) = \sqrt{\frac{15}{4\pi}} \frac{3z^2 - r^2}{2\sqrt{3}r^2} \end{cases} \quad (5-9)$$

其轨道波函数可以写成 $|d_{yz}\rangle, |d_{zx}\rangle, |d_{xy}\rangle, |d_{x^2-y^2}\rangle, |d_{3z^2-r^2}\rangle$ 。

基于此，得到两个轨道相互作用矩阵如下：

$$\begin{cases} \langle s | H | s \rangle \equiv V_{ss\sigma} \\ \langle s | H | p \rangle \equiv V_{sp\sigma} \\ \langle p_x | H | p_x \rangle \equiv V_{pp\sigma} \\ \langle p_y | H | p_y \rangle \equiv \langle p_z | H | p_z \rangle \equiv V_{pp\pi} \end{cases} \quad (5-10)$$

根据 Slater-Koster 参量法，再结合考虑实际原子位置和方向，如表 5-1 所示的表达式，其中 l 表示与 x 方向的夹角余弦， m 表示与 y 方向的夹角余弦， n 表示与 z 方向的夹角余弦。只要知道其中相互作用能量和作用的方向即可以得到相应轨道作用能量，继而求出能带结构。如上方法可以扩展到全部 $sp^3d^5s^*$ 轨道相互作用^[141]。

表 5-1 s、p 原子轨道相互作用 Slater-Koster 表

$E_{ss} = \langle s H s \rangle \equiv V_{ss\sigma}$
$E_{sx} = \langle s H p \rangle \equiv lV_{sp\sigma}$
$E_{xx} = \langle p_x H p_x \rangle \equiv l^2V_{pp\sigma} + (1-l^2)V_{pp\pi}$
$E_{xy} = \langle p_x H p_y \rangle \equiv lmV_{pp\sigma} - lmV_{pp\pi}$
$E_{xz} = \langle p_x H p_z \rangle \equiv lnV_{pp\sigma} - lnV_{pp\pi}$

5.1.2 硅纳米线能带结构计算

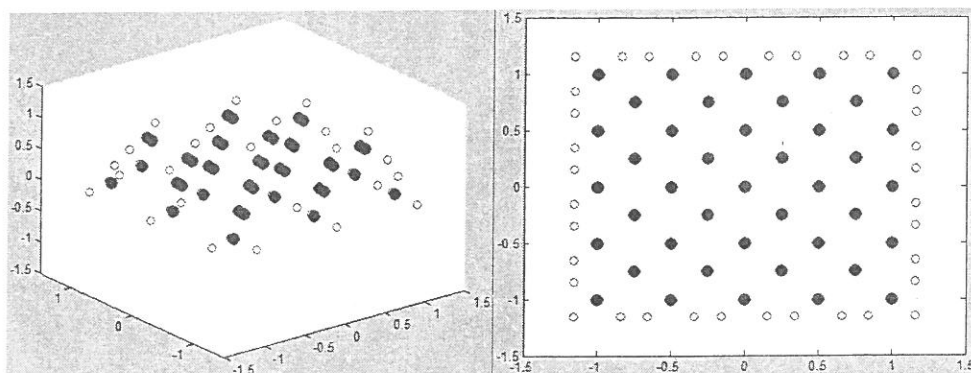


图 5-1 [100]晶向纳米线原子位置示意图

针对硅材料而言，硅晶胞由两个面心立方嵌套而成，但是对于纳米线而言，沿不同晶向排布出来的原子会呈现不同的排列形式，尤其是在边界处的硅原子和饱和氢会很不同。图 5-1 表示了[100]晶向硅纳米线的超晶胞原子示意图。其中蓝色的实点表示硅原子，红色的虚点表示用来饱和的氢原子。超晶胞是重复纳米线最小单元，如图 5-2 所展示的即为 20 个硅原子组成的[100]晶向硅纳米线超晶胞，其由四层原子构成，同时纳米线的宽度不同会使得超晶胞所包含的边界原子不同。根据原胞分析，其两个面心立方的硅原子作用不能等价，因此对图 5-1 中的硅原子进行了区分示意，见图 5-2，其中空心硅原子记为类型 1，实心硅原子代表类型 2，同时对原胞中的原子进行排序。

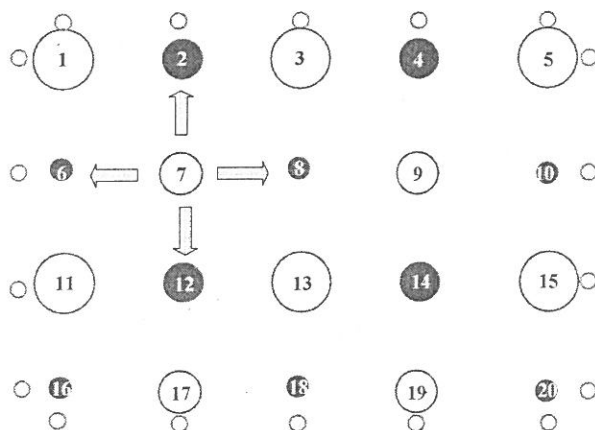


图 5-2 超晶胞不等价硅原子示意图

以上述超晶胞为例，整个系统的哈密顿矩阵可以写成：

$$H_{s_1 p_2} (k) = sp\sigma \left[e^{ik \cdot d_1} - e^{ik \cdot d_2} - e^{ik \cdot d_3} + e^{ik \cdot d_4} \right] / \sqrt{3} \quad (5-18)$$

以此类推，可以得到整体的哈密顿矩阵。而同类硅原子相互作用 $H_{11} (H_{ii})$ 填满整体系统哈密顿矩阵的对角线，如下表 5-2:

表 5-2 sp3d5s*哈密顿矩阵本征量

	$ s_1\rangle$	$ s^*1\rangle$	$ p_x1\rangle$	$ p_y1\rangle$	$ p_z1\rangle$	$ d_{y1}\rangle$	$ d_{z1}\rangle$	$ d_x1\rangle$	$ d_{x^2-y^2}1\rangle$	$ d_{3z^2-r^2}1\rangle$
$ s_1\rangle$	E_s									
$ s^*1\rangle$		E_{s^*}								
$ p_x1\rangle$			E_p							
$ p_y1\rangle$				E_p						
$ p_z1\rangle$					E_p					
$ d_{y1}\rangle$						E_d				
$ d_{z1}\rangle$							E_p			
$ d_x1\rangle$								E_p		
$ d_{x^2-y^2}1\rangle$									E_p	
$ d_{3z^2-r^2}1\rangle$										E_p

根据不同类硅原子各层电子的相互作用，同时结合上述公式考虑各个原子的位矢关系，即可得到不同类硅原子哈密顿矩阵 $H_{12} (H_{i+1})$ 或 $H_{21} (H_{i+1})$ 。矩阵中的各个能量值，例如 E_s ， E_d ， E_p 以及 $ss\sigma$ 、 $sp\sigma$ 等都为常量，通过理论计算或者第一性原理计算得到^[139]。

但是边界上的硅原子与体中各层电子相互作用明显不同，需要单独处理。结合实验过程表面态的处理过程，主要用氢饱和悬挂键，但是直接考虑 Si-H 键会大幅增加体系哈密顿矩阵计算规模。考虑到氢饱和主要效果是使能级偏离禁带，结合 Si-H 键的轨道杂化作用，可以在相应的矩阵位置中引入一个修正量 δ 来提升轨道能量以实现氢饱和的效果。本次研究中 $\delta = 10eV$ ^[147]。分析上述晶胞中，编号 2、4 一致，编号 17、19 一致，编号 7、8、9、10、12、13、14 为体硅原子，其他边界原子各自不同需要单独处理。以 1 类原子编号 3 为例，引入 δ 的位置矩阵如表 5-3:

表 5-3 1 类原子氢饱和悬挂键修正

	$ s1\rangle$	$ p_x1\rangle$	$ p_y1\rangle$	$ p_z1\rangle$
$ s1\rangle$	0.25δ	0.25δ	0.25δ	0.25δ
$ p_x1\rangle$	0.25δ	0.25δ	0.25δ	0.25δ
$ p_y1\rangle$	0.25δ	0.25δ	0.25δ	0.25δ
$ p_z1\rangle$	0.25δ	0.25δ	0.25δ	0.25δ

以 2 类原子编号 2、4 为例，如表 5-4:

表 5-4 2 类原子氢饱和悬挂键修正

	$ s1\rangle$	$ p_x1\rangle$	$ p_y1\rangle$	$ p_z1\rangle$
$ s1\rangle$	0.25δ	-0.25δ	-0.25δ	-0.25δ
$ p_x1\rangle$	-0.25δ	0.25δ	0.25δ	0.25δ
$ p_y1\rangle$	-0.25δ	0.25δ	0.25δ	0.25δ
$ p_z1\rangle$	-0.25δ	0.25δ	0.25δ	0.25δ

通过以上处理，即可以得到整个系统的哈密顿矩阵 H ，也可以得到对应的本征能量值 E 。随着波矢 k 变化，矩阵 H 会随之变化，得到的 E 也相应改变，当 k 经过一个完整的布里渊区，即得到了整个能带。

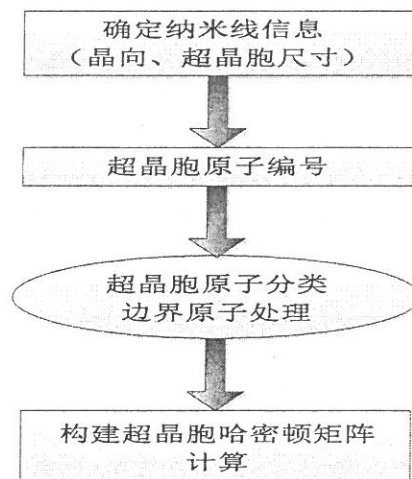


图 5-3 纳米线能带结构计算框架示意图

可以明显看出，硅原子的排列呈现鲜明的规律，针对不同层数的硅晶胞，可

以依此进行扩展。能带计算的流程框架总结如图 5-3。

开始纳米线能带结构研究之前，先基于 sp3d5s* 紧束缚方法计算了体硅的能带结构，如图 5-4(a)，同时与 NEMO 的计算结果进行了对比(图 5-4(b)蓝框内部分)^[148]。发现计算得到的能带结构与 NEMO 中的一致，验证了能带结构计算的正确性。

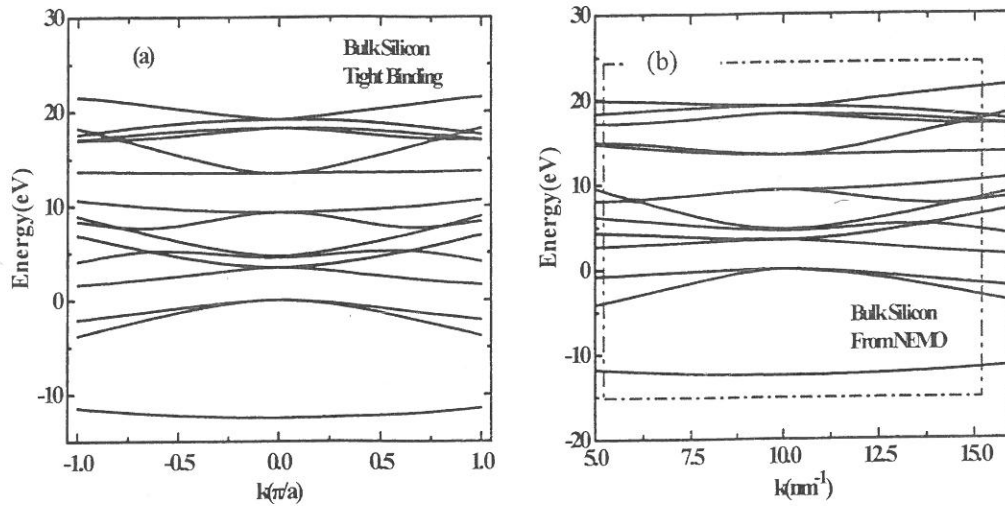


图 5-4 a) sp3d5s* 紧束缚方法计算体硅能带结构, b) NEMO 计算得到的体硅能带结构

针对不同尺寸和晶向的纳米线展开能带结构研究。图 5-5 得到了截面宽度约为 0.8 纳米(0.76 纳米*0.95 纳米)[100]晶向硅纳米线的能带结构。发现能带为直接带隙，导带底和价带顶都出现在 $k=0$ 处，导带底为 2.69eV，价带顶为 -1.329eV，禁带宽度约为 4.0eV。由于直径较小，量子效应严重，两个 off- Γ 能谷在该尺寸下已不明显，导带底 Γ 点($k=0$)附近能带严重分裂。当截面宽度增加到 1.6 纳米时，[100]晶向硅纳米线能带结构如图 5-6，在导带底 Γ 点出现近似 4 重简并，也观察到 Γ 点附近的能带存在分裂，这主要是垂直沟道方向对能谷进行了限制，6 个能谷在 [100] 方向形成的投影。两个 off- Γ 能谷大约在 $k=\pm 0.37$ 左右。导带底减小到 1.674eV，价带顶增加到 -0.594eV，此时能带禁带宽度约为 2.3eV，都要远远大于体硅的禁带宽度。同时在图 5-7 中描绘了相近尺寸(1.49 纳米*1.54 纳米)[110]晶向硅纳米线的能带结构特性。较之 [100] 晶向，虽然依然为直接带隙，但能带发生了显著的变化，在导带底 Γ 点变为 2 重简并，同时在两个 off- Γ 能谷分别出现 2 重简并，禁带宽度大约在 1.85eV 左右，大于传统体硅，小于 [100] 晶向。

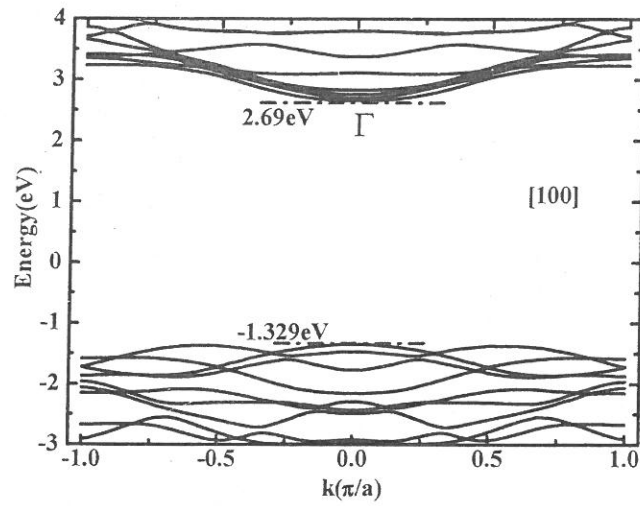


图 5-5 [100]晶向宽约 0.86 纳米的硅纳米线能带结构

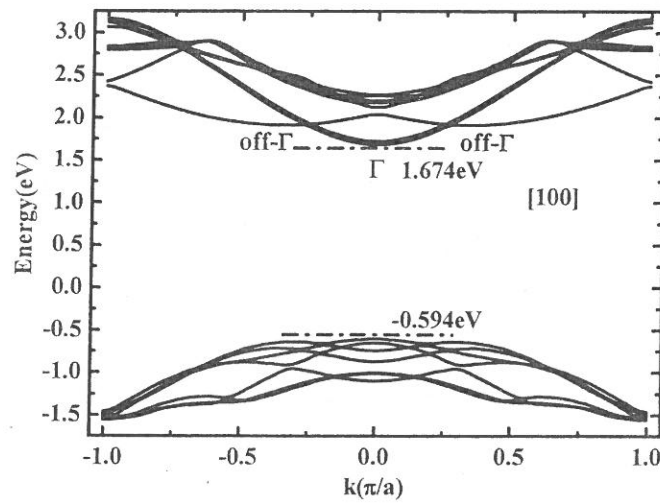


图 5-6 [100]晶向宽约 1.6 纳米的硅纳米线能带结构

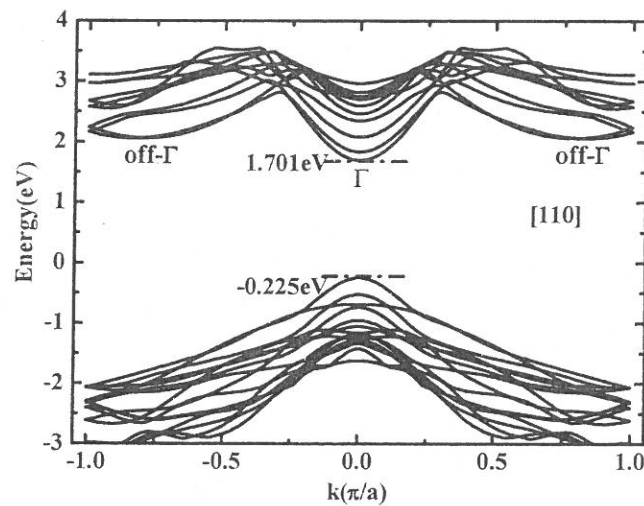


图 5-7 [110]晶向宽约 1.51 纳米的硅纳米线能带结构

针对提取能带结构中几个关键参量。图 5-8 描述了硅基[100]和[110]晶向纳

米线的有效质量随着硅纳米线宽度的变化关系，在[100]晶向中，随着宽度的减小，起先有效质量增加较缓慢，但当宽度小于 1.5 纳米以后，迅速从 $0.21m_0$ 增加到 $0.87m_0$ ，同时与相应尺寸下 X. Guan^[149]、Z. Yu^[150]、R. Needs^[151]等小组的工作进行了对比，吻合的较好。[110]晶向时，随着纳米线宽度的减小，有效质量变化缓慢从 $0.20m_0$ 减小到 $0.15 m_0$ ，结果与 R.N.Sajjad 的工作一致^[152]。从以上结果可以看出 sp3d5s*紧束缚近似方法能够很好的描述有效质量变化，但是其也存在缺陷，尤其是超晶胞中原子数小于 20 以后，sp3d5s*紧束缚采用饱和 H 近似将带入较大误差，需要进行修正。

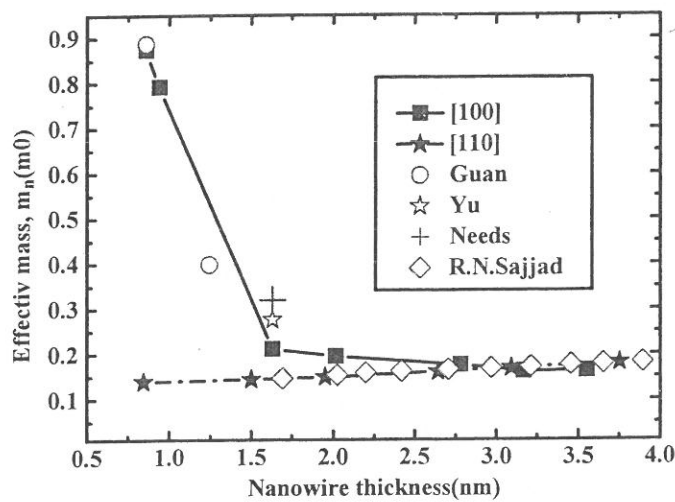


图 5-8 有效质量随纳米线宽度变化的特性

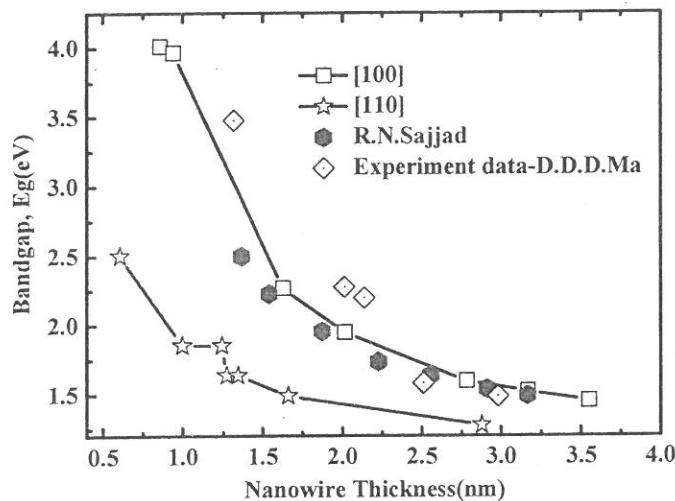


图 5-9 禁带宽度随纳米线宽度变化的特性

在图5-9中描绘了禁带宽度随纳米线宽度变化的特性，随着宽度的减小，量子限制效应趋重，加速抬升了导带底，同时压低价带顶，使得禁带宽度迅速增加。

而晶向不同禁带宽度将有明显区别，图中显示[100]晶向的禁带宽度较之[110]晶向更大。[100]晶向的结果与R.N.Sajjad工作进行验证，能够符合一致^[152]，与D.D.D.Ma的实验结果进行了对比，具有一致的趋势^[153]。

5.1.3 紧束缚方法处理单轴应力效应

为了提高器件沟道载流子的迁移率，应力技术成为INTEL 45纳米以下节点的通用技术。但在极小尺度下应力对器件电流提升是否依然适用，先必须研究应力对能带结构的影响，继而研究其对器件输运特性的作用。基于紧束缚方法开发的硅纳米线能带计算工具不仅可以得到准确的硅纳米线能带结果，同时还具有良好的扩展性，可将应力效应有效的引入紧束缚方法中研究其对能带结构的影响。

在纳米线器件的径向考虑单轴应力，由于器件的坐标系统与晶格坐标系统大多数情况下并不是一致的，需要一定的转换。以[110]晶向纳米线而言，在此晶向引入单轴应力产生的应变为 ε_{\parallel} ，而垂直方向的应变为 ε_{\perp} ，经过坐标变换，可以得到晶格坐标系统中的应变张量矩阵：

$$\varepsilon^C = \begin{bmatrix} (\varepsilon_{\parallel} + \varepsilon_{\perp,3})/2 & (\varepsilon_{\parallel} - \varepsilon_{\perp,3})/2 & & \\ (\varepsilon_{\parallel} - \varepsilon_{\perp,3})/2 & (\varepsilon_{\parallel} + \varepsilon_{\perp,3})/2 & & \\ & & & \varepsilon_{\perp,1} \end{bmatrix} \quad (5-19)$$

而对[100]晶向纳米线而言，晶格坐标系统中的应变张量矩阵：

$$\varepsilon^C = \begin{bmatrix} \varepsilon_{\perp} & & & \\ & \varepsilon_{\perp} & & \\ & & & \varepsilon_{\parallel} \end{bmatrix} \quad (5-20)$$

从原子物理角度考虑，应力通过改变原子位置、键长和键角等使得相应的能量参数发生变化，从而对能带结构产生影响。因此应力加入以后，原子位置变化满足 $\vec{r} = (1 + \varepsilon^C) \cdot \vec{r}_0$ ，键长也发生变化，例如[100]晶向纳米线受单轴应力键长即变为：

$$d = d_0 \sqrt{\left[2(1 + \varepsilon_{\perp})^2 + (1 + \varepsilon_{\parallel})^2 \right] / 3} \quad (5-21)$$

其中 d_0 为无应力时的键长。但是从上式也可以看出，应变 ε_{\parallel} 和 ε_{\perp} 并不是很直观可测的物理量，因此需要引入6*6刚度矩阵以及泊松比(Poisson's ratio) D 来描述应力和应变以及应变之间的关系。

$$\begin{bmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{12} \\ \sigma_{13} \\ \sigma_{23} \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} & C_{12} & & & \\ & C_{12} & C_{11} & & & \\ & & C_{12} & & & \\ & & & C_{44} & & \\ & & & & C_{44} & \\ & & & & & C_{44} \end{bmatrix} \begin{bmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ 2\varepsilon_{12} \\ 2\varepsilon_{13} \\ 2\varepsilon_{23} \end{bmatrix} \quad (5-22)$$

$D = \frac{\varepsilon_{12}}{\varepsilon_{11}}$, 其中 C_{11} , C_{12} , C_{44} 为三个独立参量。

得到[110]晶向泊松比分别为:

$$\begin{aligned} D_{\perp,1} &= \frac{\varepsilon_{\perp,1}}{\varepsilon_{11}} = -\frac{4C_{12}C_{44}}{C_{11}[C_{11} + C_{12} + 2C_{44}] - 2C_{12}^2} \\ D_{\perp,3} &= \frac{\varepsilon_{\perp,3}}{\varepsilon_{11}} = -\frac{C_{11}[C_{11} + C_{12} - 2C_{44}] - 2C_{12}^2}{C_{11}[C_{11} + C_{12} + 2C_{44}] - 2C_{12}^2} \end{aligned} \quad (5-23)$$

[100]晶向泊松比为:

$$D_{\perp} = \frac{\varepsilon_{\perp}}{\varepsilon_{11}} = -\frac{C_{12}}{C_{11} + C_{12}} \quad (5-24)$$

上述刚度系数可通过第一性原理计算得到, 作为紧束缚能带计算的输入参数, 但根据文献, 采用体硅材料的刚度系数与第一性原理计算得到的结果接近^[154], 因此, 在能带研究中, 采用体硅的典型刚度系数, 为:

$$C_{11} = 1.6, C_{12} = 0.61, C_{44} = 0.8 \quad (100GPa)。$$

除了径向的应力作用, 切向分量的应变会使得原子发生内部微移^[155], 以[110]为例, 切向应力会推动中心原子垂直向上移动。偏移量可以近似如下:

$$\Delta r = \frac{a}{4} \zeta (1 - D_{\perp,3}) \varepsilon_{11} \quad (5-25)$$

其中参数 ζ 取0.53。同样应力效应的引入, 也影响能带结构计算过程引入的相关能量参数, 而且这些能量参数与原子位置相关。根据Boykin提出的理论^[145], two center integral energy parameters变为 $(d_0/d)^7$, On site energy 变为

$$E_{i\alpha} = E_{i\alpha}^0 + \sum_{j\beta} C_{i\alpha,j\beta} \frac{(V_{i\alpha,j\beta}^0)^2 - (V_{i\alpha,j\beta})^2}{E_{i\alpha}^0 + E_{j\beta}^0} \quad (5-26)$$

其中 η 、 $E_{i\alpha}^0$ 、 $C_{i\alpha,j\beta}$ 、 $V_{i\alpha,j\beta}^0$ 和 $V_{i\alpha,j\beta}$ 这些参数来自Boykin相关的文献^[145]。

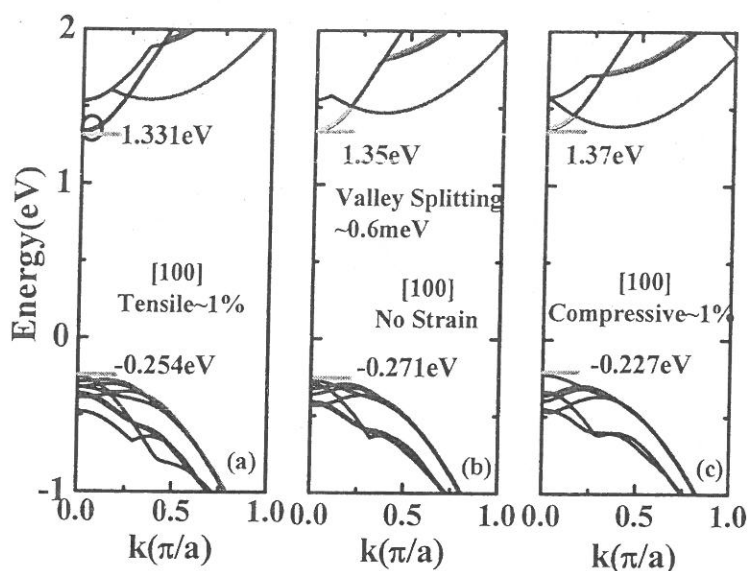


图 5-10 单轴应力对[100]晶向纳米线能带的影响, a)1%拉伸应变, b)无应变, c)1%压缩应变

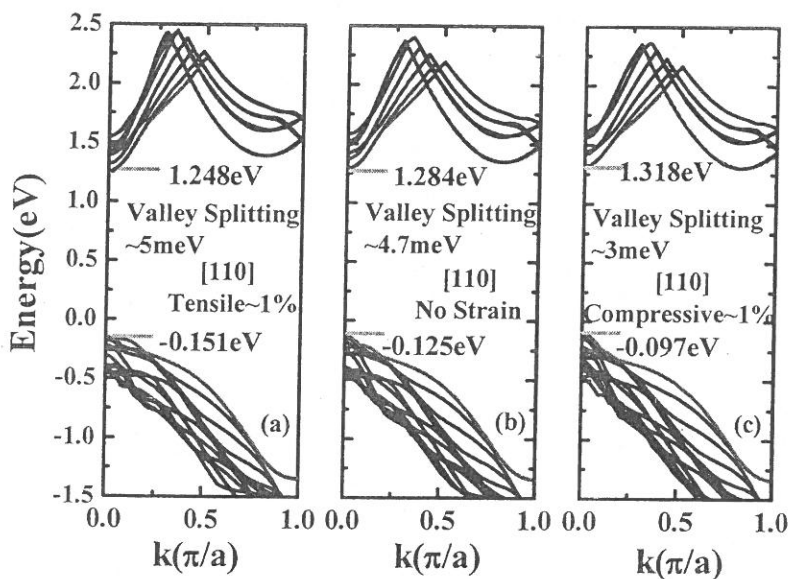


图 5-11 单轴应力对[110]晶向纳米线能带的影响, a)1%拉伸应变, b)无应变, c)1%压缩应变

综合上述应力对键长、键角等影响，继而可以得到应力对能带结构的影响。在本章中，一致采用应力引起的应变变量来描述。在图5-10中给出了单轴应变对截面尺寸为2.68纳米*2.87纳米[100]晶向纳米线能带结构的影响。1%的拉伸应变使得导带底减小，同时价带顶也随之降低， Γ 和off- Γ 能谷的能级间距增加，而1%的压缩应变使得导带底从无应变的1.35eV增加到1.37eV，价带顶从0.271eV减小到0.227eV， Γ 和off- Γ 能谷的能级间距减小。应力的引入对能级分裂产生微小的

影响，而在更小尺寸时能级分裂将趋之严重。同时图5-11给出了单轴应变对[110]晶向纳米线能带结构的影响，选取截面大小与[100]相近，为2.58纳米*2.69纳米。1%的拉伸应变使导带底从1.284eV减小到1.248eV，价带顶从-0.125eV减小到-0.151eV，拉伸应力使能谷能级间距增加，而压缩应力促使导带底和价带顶抬升，减小两个能谷能级的间距。从上述结果中明显观察到应力的引入会促使禁带宽度、有效质量等特性发生变化。

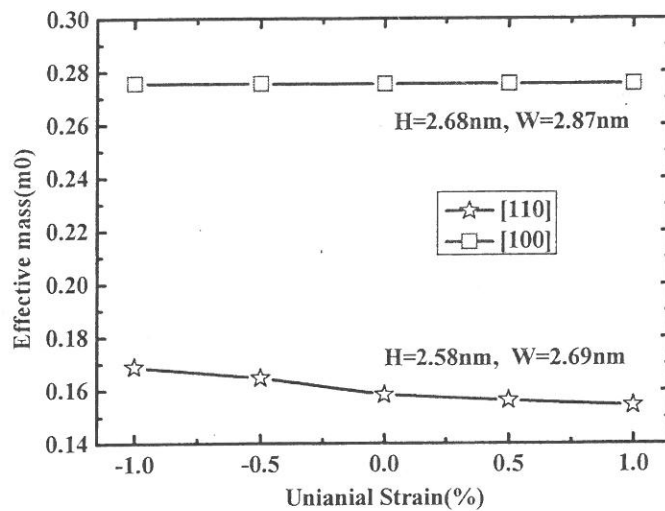


图 5-12 拉伸和压缩应力对[100]\[110]有效质量的影响

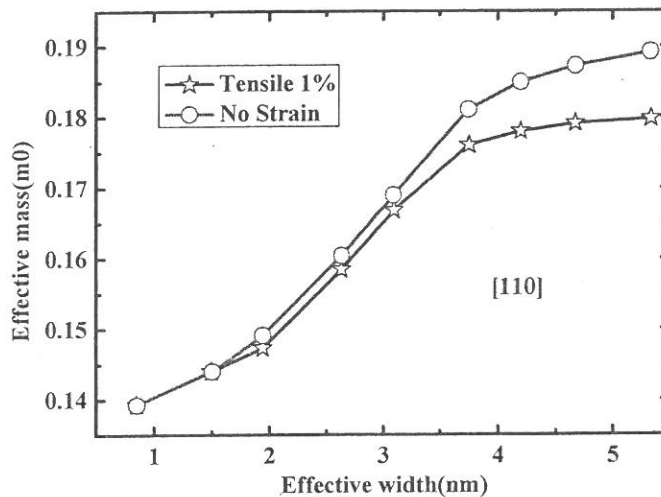


图 5-13 宽度对[110]纳米线有效质量的影响

基于得到的能带结构，从中提取了关键参数，着重研究应力对有效质量、能谷能级和禁带宽度的影响。图5-12给出了 Γ 点能谷电子有效质量随拉伸、压缩应力增加的变化规律。针对截面厚度约为3纳米的[100]晶向纳米线，可以发现单轴应力只对其有效质量有微小的影响。结果趋势同R.N.Sajjad工作一致^[156]。但在

[110]晶向的纳米线中，单轴应力促使能带结构发生形变，影响能级分裂情况，改变电子的有效质量，拉伸应力使有效质量减小，而压缩应力促使有效质量随应变增加而增大。同时随着纳米线宽度的变化，电子有效质量发生改变，如图5-13所示。因受量子限制效应的影响，随着宽度减小，电子有效质量逐渐偏离体硅的有效质量。针对图5-12所述拉伸应力在[110]纳米线中引起的明显效果，改变纳米线的宽度大小，发现当纳米线宽度达到5.3纳米时，有效质量接近 $0.19m_0$ ，与体硅材料一致。此尺寸下，1%的拉伸应变使得有效质量降低到 $0.18m_0$ ，单轴应力可以促进提升载流子的迁移率，但是随着宽度尺寸减小，应力引起的有效质量变化逐渐变小，当宽度缩减到1.5纳米以后，应力对电子有效质量的影响变得十分微小。

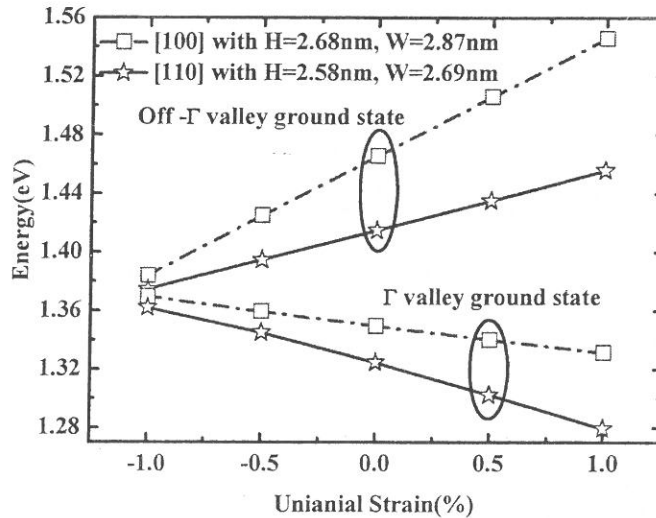


图 5-14 单轴应力对[100]\[110]纳米线能谷的影响

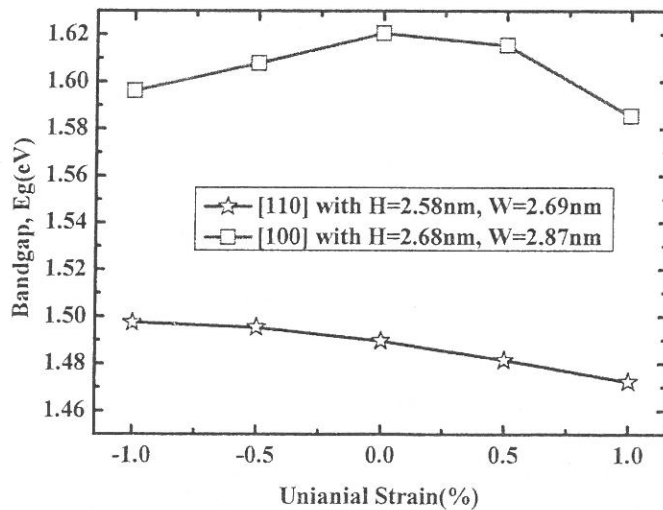


图 5-15 单轴应力对[100]\[110]纳米线禁带宽度的影响

图5-14展示了拉伸应力促使[100]和[110]晶向纳米线导带底(Γ 能谷基态)降低,这解释可拉伸应力下纳米线器件阈值电压降低的现象。具体而言,[100]纳米线从0.5%应变的1.34eV减小到1%应变的1.33eV,[110]纳米线从0.5%应变的1.3eV减小到1%应变的1.28eV,变化速率高于[100]晶向纳米线。而off- Γ 能谷基态随拉伸应力的增加而抬升,[100]纳米线从0.5%应变的1.51eV增加到1%应变的1.55eV,相对而言,[110]纳米线off- Γ 能谷基态随拉伸应力增加的速率较慢。压缩应力对 Γ 能谷基态和off- Γ 能谷基态影响趋势同拉伸应力一致。 Γ 能谷基态是能带的最低点,最容易被电子占据,决定器件基本电学特性。提取了器件特性另一重要的参量:禁带宽度,研究其与应变的关系,如图5-15。在[100]晶向纳米线中,随着单轴应力的引入,使得禁带宽度减小。而在[110]纳米线中,因为 Γ 能谷基态能级随单轴应力变化较大,影响整体的禁带宽度变化趋势,在[-1%,1%]应变范围内,随单轴应变增加呈单调减小,趋势与Sajjad研究结果一致^[157]。

上述图5-5至图5-15讨论了硅纳米线能带结构特性、应力对能带及相关性能参数的影响,能带结构是硅器件电学特性的基础,产生的变化将直接影响载流子状态。而应力对能带结构的影响也将反应到载流子的输运中进而改变器件电流特性。同时如此极限尺寸的纳米线能否采用应力的方法促进驱动电流增加也成为需要进一步探讨的研究课题。

5.2 能带非抛物线近似

随着纳米线尺寸的减小,通过紧束缚方法得到的能带结构也观察到,导带结构逐渐偏离抛物线形式。基于此,引入了参数 μ 来描述能带的非抛物线性特性,得到:

$$E_k(1 + \mu E_k) = \frac{\hbar^2 k^2}{2m^*} = \eta \quad (5-27)$$

其中 $\hbar = h/2\pi$, k 为波矢, m^* 为有效质量。因此转换成:

$$E_k = \frac{1}{2\mu} \left[\sqrt{1 + 4\mu\eta} - 1 \right] \quad (5-28)$$

展开得到:

$$E_k = \frac{1}{2\mu} \sum_{n=1}^{\infty} \binom{1/2}{n} [4\mu\eta]^n \quad (5-29)$$

用 $-i\nabla$ 替换 η 中的 k ，对薛定谔方程中的动能项进行修改，得到完整的形式如下：

$$\frac{1}{2\mu} \sum_{n=1}^{\infty} \binom{1/2}{n} \left[-4\mu \frac{\hbar^2}{2} \right]^n \left[\frac{\nabla^2}{m^*} \right]^n \psi(x,y,z) + V(x,y,z)\psi(x,y,z) = E\psi(x,y,z) \quad (5-30)$$

哈密顿量也转变成：

$$H = \frac{1}{2\mu} \sum_{n=1}^{\infty} \binom{1/2}{n} \left[-4\mu \frac{\hbar^2}{2} \right]^n \left[\frac{\nabla^2}{m^*} \right]^n + V(x,y,z) \quad (5-31)$$

为了在准确度和计算效率之间平衡，对 E_k 展开到三次方，如下：

$$E_k = \eta - \alpha\eta^2 + \beta\eta^3 \quad (5-32)$$

其中 α 和 β 为修正能带非抛物线性的拟合参数。薛定谔方程转变为：

$$\left\{ -\frac{\hbar^2\nabla^2}{2m^*} - \alpha \left(\frac{\hbar^2\nabla^2}{2m^*} \right)^2 - \beta \left(\frac{\hbar^2\nabla^2}{2m^*} \right)^3 \right\} \psi(x,y,z) + V(x,y,z)\psi(x,y,z) = E\psi(x,y,z) \quad (5-33)$$

将考虑能带非抛物线性的薛定谔方程和从能带拟合得到的参数 α 、 β 带入下述的基于非平衡态格林函数输运理论的模拟器中，可以得到非抛物线性对器件特性的影响。

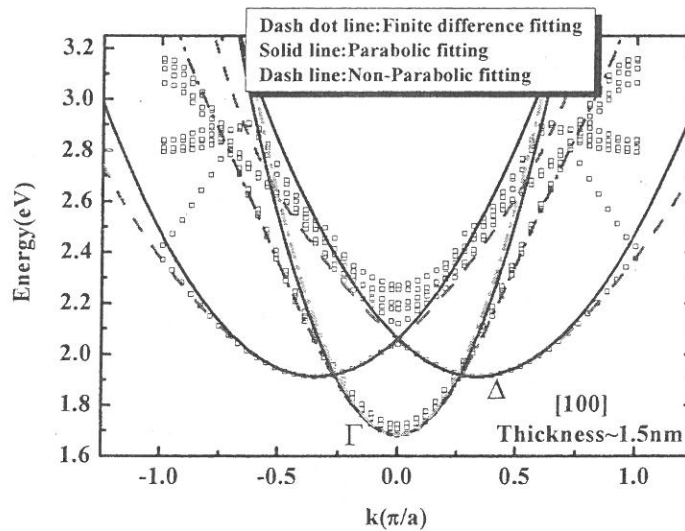


图 5-16 [100]晶向纳米线能带的非抛物线拟合

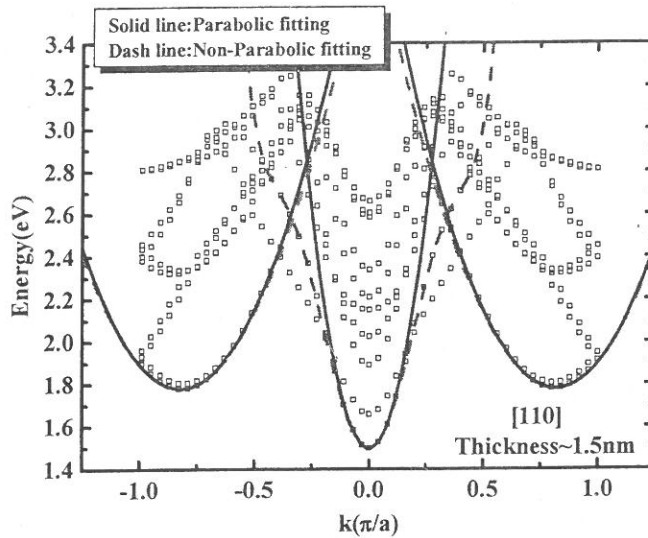


图 5-17 [110]晶向纳米线能带的非抛物线拟合

分别对宽度为 1.5 纳米的[100]和[110]晶向硅纳米线能带结构进行非抛物线拟合，如图 5-16 和 5-17。在如此尺寸下，能带结构的非抛物线性严重，采用简单的抛物线近似和差分方法计算有效质量会引入误差，如上述的非抛物线近似方法在不增加计算量的前提下有利于提升器件模拟的准确性，可以在模拟器中进行扩展应用。[100]和[110]晶向硅纳米线 Γ 能谷和 off- Γ 能谷能带最终拟合的参数见表 5-5。本论文先主要完成了基于此方法提取有效质量和能级参数的工作，电流准确度将比不考虑非抛物线效应时提高 3%^[158]。

表 5-5 能带非抛物线近似拟合参数

晶向 尺寸~1.5nm	Subbands	Fitting parameters	
		α	β
[100]	Γ	3.1691	1.5440
	Δ	0.1014	0.0086
[110]	Γ	92.7277	186.8375
	Δ	1.1616	1.1994

5.3 非平衡态格林函数器件模拟器设计

5.3.1 器件模拟器设计框架

为了实现极限尺寸无结器件特性的研究，开发基于非平衡态格林函数输运理论的器件模拟器，其框架如图 5-18。先基于 sp3d5s* 紧束缚方法计算得到不同尺寸和晶向的纳米线能带结构，从中提取准确的有效质量和和基态能级。而在模拟器特性计算中，先假定初始电势，通过求解薛定谔方程得到能量本征值，通过非

平衡态格林函数得到载流子浓度，将得到的载流子浓度带入泊松方程，通过牛顿拉普森迭代得到新的电势，比较新电势和旧电势的差别是否满足设定误差要求，不满足将继续把新电势作为薛定谔方程的输入量进行本征值计算，直到新旧电势误差满足要求为止。通过泊松方程和非平衡态格林函数如上自洽的求解，当电势误差小于设定值以后导出结果，即可得到器件研究感兴趣的特性，例如载流子浓度、源漏电流、电势分布和电场分布等。同时可以扩展研究新物理效应，例如非抛物线效应、应力效应等，研究其对电流输运特性的影响。

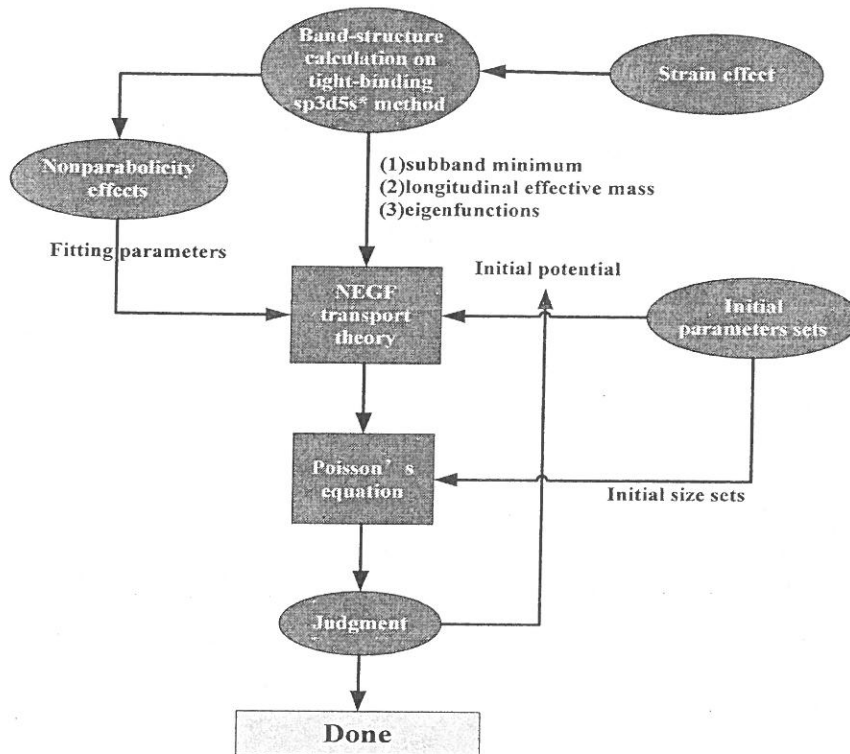


图 5-18 模拟器流程框架^[158]

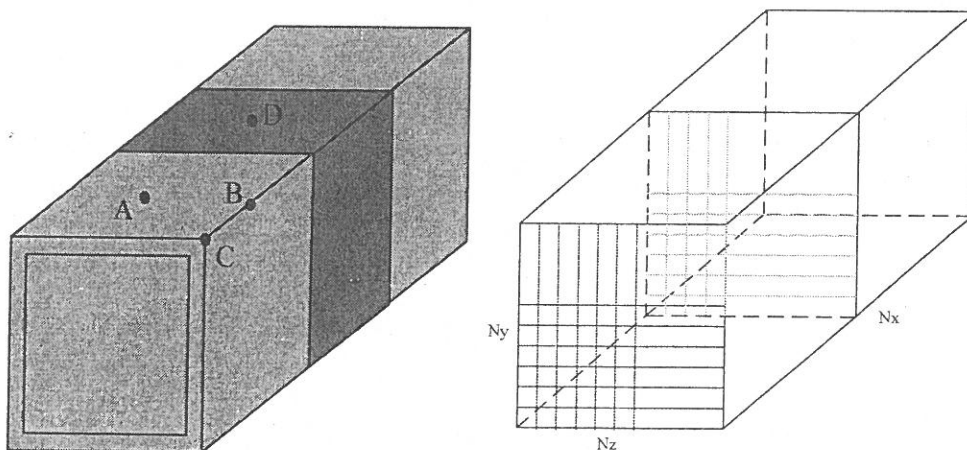


图 5-19 a) 纳米线器件结构示意图，b) 纳米线器件离散示意图

针对模拟器的两个重要部分,接下来将详细介绍三维泊松方程和非平衡态格林函数运输的处理。

5.3.2 三维泊松方程离散

泊松方程为 $\nabla \cdot (\epsilon \nabla \phi) = -q(N_D - N_A - n + p)$, 本次研究的三维环栅器件结构如图 5-19(a)示意, 将其在 x 、 y 、 z 进行网格分割, 如图 5-19(b)。基于此网格, 开始对泊松方程进行离散处理。考虑计算效率和精度的平衡, 采用有限差分的方法。以 (i,j) 点为例, 进行差分离散:

$$\begin{aligned} \alpha \phi_{i+1,j} &= \alpha \left(\phi_{i,j} + \phi'_{i,j} (x_{i+1,j} - x_{i,j}) + \frac{\phi''_{i,j}}{2} (x_{i+1,j} - x_{i,j})^2 + \dots \right), \\ \beta \phi_{i,j} &= \beta \left(\phi_{i-1,j} + \phi'_{i-1,j} (x_{i,j} - x_{i-1,j}) + \frac{\phi''_{i-1,j}}{2} (x_{i,j} - x_{i-1,j})^2 + \dots \right) \end{aligned} \quad (5-34)$$

两式相减得到:

$$\alpha(\phi_{i+1,j} - \phi_{i,j}) + \beta(\phi_{i-1,j} - \phi_{i,j}) = \phi'_{i,j}(\alpha h_{i,j} - \beta h_{i-1,j}) + \frac{\phi''_{i,j}}{2}(\alpha h_{i,j}^2 + \beta h_{i-1,j}^2) + \dots \quad (5-35)$$

$\alpha h_{i,j}^2 + \beta h_{i-1,j}^2 = 0$
 令 $\alpha = -\frac{\beta h_{i-1,j}^2}{h_{i,j}^2}$, 得到:

$$\phi'_{i,j} = \frac{h_{i-1,j}^2(\phi_{i+1,j} - \phi_{i,j}) - h_{i,j}^2(\phi_{i-1,j} - \phi_{i,j})}{h_{i,j} h_{i-1,j} (h_{i,j} + h_{i-1,j})} \quad (5-36)$$

采用同个方向等距网格: $h_{i,j} = h_{i-1,j} = h$,

上式即为 $\phi'_{i,j} = \frac{\phi_{i+1,j} - \phi_{i-1,j}}{2h}$, 考虑二次导部分, 令: $\alpha h_{i,j} - \beta h_{i-1,j} = 0$, $\alpha = \frac{\beta h_{i-1,j}}{h_{i,j}}$

从而得到二次导: $\phi''_{i,j} = \frac{\phi_{i+1,j} + \phi_{i-1,j} - 2\phi_{i,j}}{h^2}$, 以此方法, 得到各方向的离散形式:

$$\frac{\partial^2 \phi}{\partial x^2} = \frac{\phi_{(i+1,j,k)} + \phi_{(i-1,j,k)} - 2\phi_{(i,j,k)}}{\Delta x^2} \quad (5-37)$$

$$\frac{\partial^2 \phi}{\partial y^2} = \frac{\phi_{(i,j+1,k)} + \phi_{(i,j-1,k)} - 2\phi_{(i,j,k)}}{\Delta y^2} \quad (5-38)$$

$$\frac{\partial^2 \varphi}{\partial z^2} = \frac{\varphi_{(i,j,k+1)} + \varphi_{(i,j,k-1)} - 2\varphi_{(i,j,k)}}{\Delta z^2} \quad (5-39)$$

因此, 在器件内部的三维泊松方程可以写成:

$$\nabla^2 \varphi = \frac{\partial^2 \varphi}{\partial x^2} + \frac{\partial^2 \varphi}{\partial y^2} + \frac{\partial^2 \varphi}{\partial z^2} = -\frac{q(N_D - N_A - n + p)_{i,j,k}}{\varepsilon_{ox}} = f_{(i,j,k)} \quad (5-40)$$

器件内部离散为:

$$\left. \begin{aligned} & \left\{ \frac{\Delta y}{\Delta x} (\varphi_{(i+1,j,k)} + \varphi_{(i-1,j,k)} - 2\varphi_{(i,j,k)}) \right. \\ & \left. + \frac{\Delta x}{\Delta y} (\varphi_{(i,j+1,k)} + \varphi_{(i,j-1,k)} - 2\varphi_{(i,j,k)} + \varphi_{(i,j,k+1)} + \varphi_{(i,j,k-1)} - 2\varphi_{(i,j,k)}) \right\} \\ & = \frac{\Delta x}{\Delta y} \varphi_{(i,j,k-1)} + \frac{\Delta x}{\Delta y} \varphi_{(i,j-1,k)} + \frac{\Delta y}{\Delta x} \varphi_{(i-1,j,k)} - 2 \left(\frac{\Delta y}{\Delta x} + 2 \frac{\Delta x}{\Delta y} \right) \varphi_{(i,j,k)} \\ & + \frac{\Delta y}{\Delta x} \varphi_{(i+1,j,k)} + \frac{\Delta x}{\Delta y} \varphi_{(i,j+1,k)} + \frac{\Delta x}{\Delta y} \varphi_{(i,j,k+1)} = f_{(i,j,k)} \end{aligned} \right\} \quad (5-41)$$

结合自由电子浓度关系式:

$$n_{i,j} = N_C \mathfrak{S}_{1/2} \left[\frac{(F_n)_{i,j} + q\varphi_{i,j}}{k_B T} \right] \quad (5-42)$$

继而把上述(5-41)离散完成的泊松方程用牛顿拉普森迭代方法表示出来, 得到:

$$\begin{aligned} F(i,j) &= \frac{\Delta x}{\Delta y} \varphi_{(i,j,k-1)} + \frac{\Delta x}{\Delta y} \varphi_{(i,j-1,k)} + \frac{\Delta y}{\Delta x} \varphi_{(i-1,j,k)} - 2 \left(\frac{\Delta y}{\Delta x} + 2 \frac{\Delta x}{\Delta y} \right) \varphi_{(i,j,k)} \\ &+ \frac{\Delta y}{\Delta x} \varphi_{(i+1,j,k)} + \frac{\Delta x}{\Delta y} \varphi_{(i,j+1,k)} + \frac{\Delta x}{\Delta y} \varphi_{(i,j,k+1)} + \frac{q(N_D - N_A)_{i,j,k}}{\varepsilon_{ox}} - \frac{qN_C}{\varepsilon_{ox}} \mathfrak{S}_{1/2} \left[\frac{(F_n)_{i,j,k} + q\varphi_{(i,j,k)}}{k_B T} \right] \end{aligned} \quad (5-43)$$

其中: $(F_n)_{i,j} = -q(\varphi_{old})_{i,j} + k_B T \cdot \mathfrak{S}_{1/2}^{-1} \left(\frac{n_{i,j}}{N_C} \right)$, $n_{i,j}$ 通过非平衡态格林函数相关公式计

算得到。氧化层内部相应离散成:

$$\left. \begin{aligned} & \left\{ \frac{\varepsilon_{ox}}{\varepsilon_{si}} \left[\frac{\Delta y}{\Delta x} (\varphi_{(i+1,j,k)} + \varphi_{(i-1,j,k)} - 2\varphi_{(i,j,k)}) \right. \right. \\ & \left. \left. + \frac{\Delta x}{\Delta y} (\varphi_{(i,j+1,k)} + \varphi_{(i,j-1,k)} - 2\varphi_{(i,j,k)} + \varphi_{(i,j,k+1)} + \varphi_{(i,j,k-1)} - 2\varphi_{(i,j,k)}) \right] \right\} \\ & = \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta x}{\Delta y} \varphi_{(i,j,k-1)} + \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta x}{\Delta y} \varphi_{(i,j-1,k)} + \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta y}{\Delta x} \varphi_{(i-1,j,k)} - 2 \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta y}{\Delta x} + 2 \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta x}{\Delta y} \right) \varphi_{(i,j,k)} \\ & + \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta y}{\Delta x} \varphi_{(i+1,j,k)} + \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta x}{\Delta y} \varphi_{(i,j+1,k)} + \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta x}{\Delta y} \varphi_{(i,j,k+1)} = f_{(i,j,k)} \end{aligned} \right\} \quad (5-44)$$

整理成牛顿拉普森迭代形式:

$$\begin{aligned}
 F(i,j) = & \frac{\epsilon_\alpha \Delta x}{\epsilon_{si} \Delta y} \varphi_{(i,j,k-1)} + \frac{\epsilon_\alpha \Delta x}{\epsilon_{si} \Delta y} \varphi_{(i,j-1,k)} + \frac{\epsilon_\alpha \Delta y}{\epsilon_{si} \Delta x} \varphi_{(i-1,j,k)} - 2 \left(\frac{\epsilon_\alpha \Delta y}{\epsilon_{si} \Delta x} + 2 \frac{\epsilon_\alpha \Delta x}{\epsilon_{si} \Delta y} \right) \varphi_{(i,j,k)} \\
 & + \frac{\epsilon_\alpha \Delta y}{\epsilon_{si} \Delta x} \varphi_{(i+1,j,k)} + \frac{\epsilon_\alpha \Delta x}{\epsilon_{si} \Delta y} \varphi_{(i,j+1,k)} + \frac{\epsilon_\alpha \Delta x}{\epsilon_{si} \Delta y} \varphi_{(i,j,k+1)} + \frac{q(N_D - N_A)_{i,j,k}}{\epsilon_\alpha} \frac{qN_C}{\epsilon_\alpha} \sqrt{2} \left[\frac{(F_n)_{i,j,k} + q\varphi_{i,j,k}}{k_B T} \right] \quad (5-45)
 \end{aligned}$$

为了清楚解释三维界面情况的离散，首先介绍二维情况下的边界处理方法，其二维边界示意图如图 5-20:

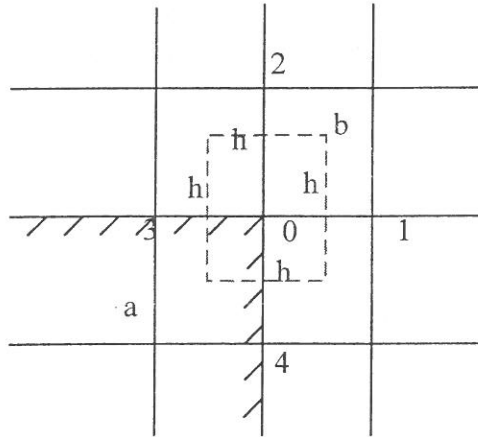


图 5-20 二维边角离散处理示意图

假设该边界为直角边界，a 材料的介电常数为 ϵ_a ，b 材料的介电常数为 ϵ_b ，设 a 电荷密度函数为 f_a ，b 中电荷密度函数为 f_b 。根据高斯定理，则 0 点的离散格式推导为:

$$\begin{aligned}
 \epsilon_b \frac{\varphi_1 - \varphi_0}{h} h + \epsilon_b \frac{\varphi_2 - \varphi_0}{h} h + \epsilon_b \frac{\varphi_3 - \varphi_0}{h} \frac{h}{2} + \epsilon_a \frac{\varphi_3 - \varphi_0}{h} \frac{h}{2} + \epsilon_a \frac{\varphi_4 - \varphi_0}{h} \frac{h}{2} + \epsilon_b \frac{\varphi_4 - \varphi_0}{h} \frac{h}{2} \\
 = \frac{h^2}{4} f_a + \frac{3h^2}{4} f_b \quad (5-46)
 \end{aligned}$$

整理可得到:

$$\epsilon_b \varphi_1 + \epsilon_b \varphi_2 + \frac{\epsilon_b + \epsilon_a}{2} \varphi_3 + \frac{\epsilon_b + \epsilon_a}{2} \varphi_4 - (3\epsilon_b + \epsilon_a) \varphi_0 = \frac{h^2}{4} f_a + \frac{3h^2}{4} f_b \quad (5-47)$$

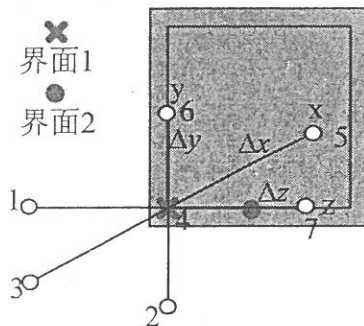


图 5-21 三维边角离散处理示意图

将上述方法推广到三维结构中，此处理需假设一个虚拟节点，然后用连续性条件得到相同的结果。构建一个 box，将边界节点 4 包含进来，体积为 $\Delta x \Delta y \Delta y$ ，示意图如图 5-21。考虑高斯定理，得到边界离散情况：

$$\begin{aligned}
 & \varepsilon_{ox} \frac{\varphi_1 - \varphi_4}{\Delta y} \Delta x \Delta y + \varepsilon_{ox} \frac{\varphi_2 - \varphi_4}{\Delta y} \Delta x \Delta y + \varepsilon_{ox} \frac{\varphi_3 - \varphi_4}{\Delta x} \frac{3}{4} \Delta y \Delta y + \varepsilon_{si} \frac{\varphi_3 - \varphi_4}{\Delta x} \frac{1}{4} \Delta y \Delta y \\
 & + \varepsilon_{ox} \frac{\varphi_5 - \varphi_4}{\Delta x} \frac{3}{4} \Delta y \Delta y + \varepsilon_{si} \frac{\varphi_5 - \varphi_4}{\Delta x} \frac{1}{4} \Delta y \Delta y \\
 & + \varepsilon_{si} \frac{\varphi_6 - \varphi_4}{\Delta y} \frac{2}{4} \Delta x \Delta y + \varepsilon_{ox} \frac{\varphi_6 - \varphi_4}{\Delta y} \frac{2}{4} \Delta x \Delta y \\
 & + \varepsilon_{si} \frac{\varphi_7 - \varphi_4}{\Delta y} \frac{2}{4} \Delta x \Delta y + \varepsilon_{ox} \frac{\varphi_7 - \varphi_4}{\Delta y} \frac{2}{4} \Delta x \Delta y \\
 & = \frac{\Delta x \Delta y \Delta y}{4} f_{si}
 \end{aligned} \tag{5-48}$$

简化成：

$$\begin{aligned}
 & 4 \frac{\varepsilon_{ox}}{\varepsilon_s} \frac{\Delta x}{\Delta y} \varphi_1 + 4 \frac{\varepsilon_{ox}}{\varepsilon_s} \frac{\Delta x}{\Delta y} \varphi_2 + \frac{\Delta y}{\Delta x} \left(3 \frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_3 + \frac{\Delta y}{\Delta x} \left(3 \frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_5 + 2 \frac{\Delta x}{\Delta y} \left(\frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_6 + 2 \frac{\Delta x}{\Delta y} \left(\frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_7 \\
 & - \left[8 \frac{\varepsilon_{ox}}{\varepsilon_s} \frac{\Delta x}{\Delta y} + 2 \frac{\Delta y}{\Delta x} \left(3 \frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) + 4 \frac{\Delta x}{\Delta y} \left(\frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \right] \varphi_4 \\
 & = \Delta x \Delta y \frac{f_{si}}{\varepsilon_s}
 \end{aligned} \tag{5-49}$$

写成牛顿拉普森迭代形式：

$$\begin{aligned}
 F(i,j) &= 4 \frac{\varepsilon_{ox}}{\varepsilon_s} \frac{\Delta x}{\Delta y} \varphi_1 + 4 \frac{\varepsilon_{ox}}{\varepsilon_s} \frac{\Delta x}{\Delta y} \varphi_2 + \frac{\Delta y}{\Delta x} \left(3 \frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_3 + \frac{\Delta y}{\Delta x} \left(3 \frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_5 + 2 \frac{\Delta x}{\Delta y} \left(\frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_6 + 2 \frac{\Delta x}{\Delta y} \left(\frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \varphi_7 \\
 & - \left[8 \frac{\varepsilon_{ox}}{\varepsilon_s} \frac{\Delta x}{\Delta y} + 2 \frac{\Delta y}{\Delta x} \left(3 \frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) + 4 \frac{\Delta x}{\Delta y} \left(\frac{\varepsilon_{ox}}{\varepsilon_s} + 1 \right) \right] \varphi_4 + \Delta x \Delta y \left[\frac{q(N_D - N_A)_{ijk}}{\varepsilon_s} - \frac{qN_C}{\varepsilon_s} \Im_{1/2} \left[\frac{(F_n)_{ijk} + q\varphi_{ijk}}{k_B T} \right] \right]
 \end{aligned} \tag{5-50}$$

另外 3 个类似界面 1 的边界条件可以直接给出。

同理，可以采用相同方法处理界面 2 的情况，如下：

$$\begin{aligned}
 & \varepsilon_{ox} \frac{\varphi_1 - \varphi_4}{\Delta y} \Delta x \Delta y + \varepsilon_{ox} \frac{\varphi_2 - \varphi_4}{\Delta y} \frac{1}{2} \Delta x \Delta y + \varepsilon_{si} \frac{\varphi_2 - \varphi_4}{\Delta y} \frac{1}{2} \Delta x \Delta y + \\
 & \varepsilon_{ox} \frac{\varphi_3 - \varphi_4}{\Delta x} \frac{1}{2} \Delta y \Delta y + \varepsilon_{si} \frac{\varphi_3 - \varphi_4}{\Delta x} \frac{1}{2} \Delta y \Delta y + \\
 & \varepsilon_{ox} \frac{\varphi_5 - \varphi_4}{\Delta x} \frac{1}{2} \Delta y \Delta y + \varepsilon_{si} \frac{\varphi_5 - \varphi_4}{\Delta x} \frac{1}{2} \Delta y \Delta y + \\
 & \varepsilon_{ox} \frac{\varphi_6 - \varphi_4}{\Delta x} \frac{1}{2} \Delta x \Delta y + \varepsilon_{si} \frac{\varphi_6 - \varphi_4}{\Delta x} \frac{1}{2} \Delta x \Delta y + \varepsilon_{si} \frac{\varphi_7 - \varphi_4}{\Delta y} \Delta x \Delta y \\
 & = \frac{\Delta x \Delta y \Delta y}{2} f_{si}
 \end{aligned} \tag{5-51}$$

整理得到：

$$\begin{aligned}
 & 2 \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta x}{\Delta y} \varphi_1 + \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} + 1 \right) \frac{\Delta x}{\Delta y} \varphi_2 + \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} + 1 \right) \frac{\Delta y}{\Delta x} \varphi_3 + \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} + 1 \right) \frac{\Delta y}{\Delta x} \varphi_5 + \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} + 1 \right) \frac{\Delta x}{\Delta y} \varphi_6 + 2 \frac{\Delta x}{\Delta y} \varphi_7 \\
 & - \left[2 \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\Delta x}{\Delta y} + 2 \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} + 1 \right) \frac{\Delta x}{\Delta y} + 2 \left(\frac{\varepsilon_{ox}}{\varepsilon_{si}} + 1 \right) \frac{\Delta y}{\Delta x} + 2 \frac{\Delta x}{\Delta y} \right] \varphi_4 \\
 & = \frac{\Delta x \Delta y f_{si}}{\varepsilon_{si}}
 \end{aligned} \tag{5-52}$$

这里处理的是 xy 平面上的界面 2。另外 3 个界面上的类似边界可以直接给出。

以上述方法，即可以得到整个器件的 $F(i,j)$ ，采用牛顿拉普森迭代方法：

$$F_{\alpha,\beta}(V) \equiv \frac{\partial F_{\alpha}(V)}{\partial V_{\beta}} \tag{5-53}$$

其中 $F_{\alpha}(V) = F(i, j)$ 即可以得到电势的变化 $\Delta\varphi$ ，从而产生新的电势 φ_{new}

$$\Delta\varphi = -F_{\alpha,\beta}(\varphi_{old}) \setminus F_{\alpha}(\varphi_{old}) \tag{5-54}$$

$$\varphi_{new} = \varphi_{old} + \Delta\varphi \tag{5-55}$$

再将 φ_{new} 带入 NEGF 中即可进行迭代运算。

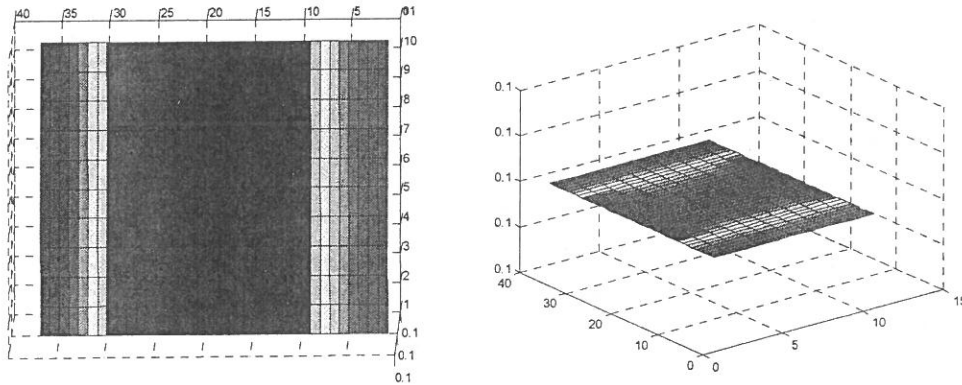
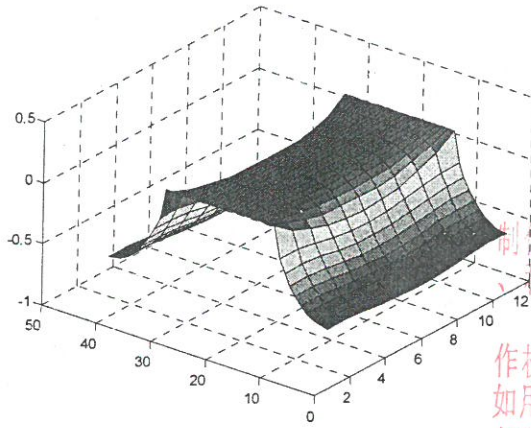


图 5-22 三维拉普拉斯方程的电势分布

首先对三维拉普拉斯方程电势进行验证，如图 5-22，因为拉普拉斯方程电荷浓度为 0，器件中间截面的电势分布应呈现对称，所有点的电势相等。模拟器的结果也证实了这个现象。

为了提高泊松方程的收敛性，采用拉普拉斯方程得到电势作为泊松方程的初始值，进行预计算。在此基础上，结合计算方形无限深势阱的能级，电子全部分布在该能级上，计算电荷浓度，得到电势分布。继而得到器件不同区域的电势分布特性，图 5-23 为源漏电压为零时的器件沟道内的电势分布，特性趋势与传统

模拟器得到的结果相似^[159]。



版权声明
 此服务仅提供文献资料内容的1/3复制件，供用户学习、研究或学校课堂教学、科学研究使用。
 严禁用户超出《中华人民共和国著作权法》规定的合理使用范围使用文献，如用户违法使用文献，造成侵权行为的，相应的法律责任由用户承担。

图 5-23 源漏电压为 0V 时器件沟道内的电势分布

同时左边界的势能分布，如下图 5-24(a)，和氧化物/硅界面上的势能分布，如图 5-24(b)，都很好的阐述了器件电势的变化趋势，同时趋势与 Martinez 的结果吻合^[159]。

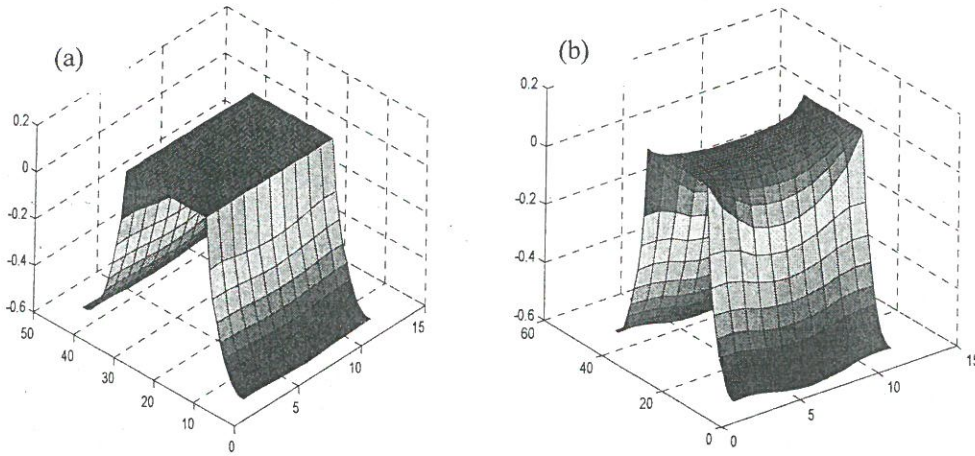


图 5-24 a)左边界上的势能分布, b)氧化物/硅界面上的势能分布

5.3.3 非平衡态格林函数输运理论

接下来详细介绍模拟器的另一部分：非平衡态格林函数输运理论的处理。非平衡态格林函数输运理论基于多体量子力学发展而来，为了得到其完整的形式，需从三维的薛定谔方程开始：

$$H_{3D}\psi(x, y, z) = E\psi(x, y, z) \quad (5-56)$$

将三维器件的哈密顿量写成：

$$H_{3D} = -\frac{\hbar^2}{2m_x} \frac{\partial^2}{\partial x^2} - \frac{\hbar^2}{2m_y} \frac{\partial^2}{\partial y^2} - \frac{\hbar^2}{2m_z} \frac{\partial^2}{\partial z^2} + U(x, y, z) \quad (5-57)$$

三维波函数按子能带本征函数空间展开, 可以得到:

$$\psi(x, y, z) = \sum_n \varphi^n(x) \xi^n(y, z; x) \quad (5-58)$$

代入上式(5-57), 可得:

$$\begin{aligned} & -\frac{\hbar^2}{2m_x} \frac{\partial^2}{\partial x^2} \left[\sum_n \varphi^n(x) \xi^n(y, z; x) \right] - \frac{\hbar^2}{2m_y} \frac{\partial^2}{\partial y^2} \left[\sum_n \varphi^n(x) \xi^n(y, z; x) \right] - \frac{\hbar^2}{2m_z} \frac{\partial^2}{\partial z^2} \left[\sum_n \varphi^n(x) \xi^n(y, z; x) \right] \\ & + \left[\sum_n \varphi^n(x) U(y, z; x_0) \right] = E \sum_n \varphi^n(x) \xi^n(y, z; x) \end{aligned} \quad (5-59)$$

由于 $\frac{\partial^2}{\partial y^2}$ 、 $\frac{\partial^2}{\partial z^2}$ 对 $\varphi^n(x)$ 没有影响, 因此可将其提出, 得到

$$\begin{aligned} & -\frac{\hbar^2}{2m_x} \frac{\partial^2}{\partial x^2} \left[\sum_n \varphi^n(x) \xi^n(y, z; x) \right] + \sum_n \varphi^n(x) \left\{ \left[-\frac{\hbar^2}{2m_y} \frac{\partial^2}{\partial y^2} \xi^n(y, z; x) \right] + \left[-\frac{\hbar^2}{2m_z} \frac{\partial^2}{\partial z^2} \xi^n(y, z; x) \right] + [U(y, z; x_0)] \right\} \\ & = E \sum_n \varphi^n(x) \xi^n(y, z; x) \end{aligned} \quad (5-60)$$

其中 $\left[-\frac{\hbar^2}{2m_y} \frac{\partial^2}{\partial y^2} - \frac{\hbar^2}{2m_z} \frac{\partial^2}{\partial z^2} + U(y, z; x_0) \right] \xi^n(y, z; x_0) = E_{sub}^n(x_0) \xi^n(y, z; x_0)$

因此整个三维薛定谔方程整理成:

$$-\frac{\hbar^2}{2m_x} \frac{\partial^2}{\partial x^2} \left(\sum_n \varphi^n(x) \xi^n(y, z; x) \right) + \sum_n \varphi^n(x) E_{sub}^n(x) \xi^n(y, z; x) = E \sum_n \varphi^n(x) \xi^n(y, z; x) \quad (5-61)$$

根据正交关系:

$$\oint_{y,z} \xi^m(y, z; x) \xi^n(y, z; x) dy dz = \delta_{m,n} \quad (5-62)$$

对两边都乘以 $\xi^m(y, z; x)$, 并积分, 针对上式(5-61)的各项进行处理:

左边第一项为:

$$\begin{aligned} & \oint_{y,z} \frac{\hbar^2}{2m_x} \frac{\partial^2}{\partial x^2} \left(\sum_n \varphi^n(x) \xi^n(y, z; x) \right) \xi^m(y, z; x) dx \\ & = \oint_{y,z} \frac{\hbar^2}{2m_x} \left\{ \sum_n \left[\frac{\partial^2}{\partial x^2} \varphi^n(x) \right] \cdot \xi^n(y, z; x) + 2 \left[\frac{\partial}{\partial x} \varphi^n(x) \right] \cdot \left[\frac{\partial}{\partial x} \xi^n(y, z; x) \right] + \left[\frac{\partial^2}{\partial x^2} \xi^n(y, z; x) \right] \cdot \varphi^n(x) \right\} \xi^m(y, z; x) dx \end{aligned} \quad (5-63)$$

对等式(5-63)右边大括号中的第一项进行处理:

$$\begin{aligned}
 & \oint_{y,z} -\frac{\hbar^2}{2m_x} \left\{ \sum_n \left[\frac{\partial^2}{\partial x^2} \varphi^n(x) \right] \cdot \xi^n(y,z;x) \right\} \xi^m(y,z;x) dydz \\
 &= -\frac{\hbar^2}{2} \sum_n \left\{ \left[\frac{\partial^2}{\partial x^2} \varphi^n(x) \right] \cdot \oint_{y,z} \frac{1}{m_x} \xi^n(y,z;x) \xi^m(y,z;x) dydz \right\} \quad (5-64) \\
 &= -\frac{\hbar^2}{2} \sum_n \left\{ \left[\frac{\partial^2}{\partial x^2} \varphi^n(x) \right] a_{mn} \right\}
 \end{aligned}$$

同样，大括号中的第二项可以整理成：

$$\oint_{y,z} -\frac{\hbar^2}{2m_x} \left\{ \sum_n \left[2 \left[\frac{\partial}{\partial x} \varphi^n(x) \right] \cdot \left[\frac{\partial}{\partial x} \xi^n(y,z;x) \right] \right] \right\} \xi^m(y,z;x) dydz = -\hbar^2 \sum_n \left\{ \left[\frac{\partial}{\partial x} \varphi^n(x) \right] b_{mn} \right\} \quad (5-65)$$

大括号中的第三项为：

$$\oint_{y,z} -\frac{\hbar^2}{2m_x} \left\{ \sum_n \left[\left[\frac{\partial^2}{\partial x^2} \xi^n(y,z;x) \right] \cdot \varphi^n(x) \right] \right\} \xi^m(y,z;x) dydz = -\frac{\hbar^2}{2} \sum_n \left\{ \varphi^n(x) c_{mn} \right\} \quad (5-66)$$

对等式(5-61)左边第二项采用上述方法进行简化，得到：

$$\begin{aligned}
 & \oint_{y,z} \left(\sum_n \varphi^n(x) E_{sub}^n(x) \xi^n(y,z;x) \right) \xi^m(y,z;x) dydz \\
 &= \sum_n \left\{ \varphi^n(x) E_{sub}^n(x) \left[\oint_{y,z} \xi^n(y,z;x) \xi^m(y,z;x) dydz \right] \right\} \quad (5-67) \\
 &= \sum_n \varphi^n(x) E_{sub}^n(x) \delta_{mn} \\
 &= E_{sub}^m(x) \varphi^m(x)
 \end{aligned}$$

式(5-61)右边第一项为：

$$\begin{aligned}
 & \oint_{y,z} \left[E \sum_n \varphi^n(x) \xi^n(y,z;x) \right] \xi^m(y,z;x) dydz \quad (5-68) \\
 &= E \sum_n \varphi^n(x) \delta_{mn} = E \varphi^m(x)
 \end{aligned}$$

因此三维薛定谔方程就可以写成：

$$\begin{aligned}
 & -\frac{\hbar^2}{2} \sum_n \left\{ \left[\frac{\partial^2}{\partial x^2} \varphi^n(x) \right] a_{mn} \right\} - \hbar^2 \sum_n \left\{ \left[\frac{\partial}{\partial x} \varphi^n(x) \right] b_{mn} \right\} - \frac{\hbar^2}{2} \sum_n \left\{ \varphi^n(x) c_{mn} \right\} \quad (5-69) \\
 & + E_{sub}^m(x) \varphi^m(x) = E \varphi^m(x)
 \end{aligned}$$

转变形式，得到：

$$\begin{aligned}
 & -\frac{\hbar^2}{2} \left\{ \sum_n a_{mn} \right\} \left[\frac{\partial^2}{\partial x^2} \varphi^m(x) \right] - \hbar^2 \sum_n \left\{ \left[\frac{\partial}{\partial x} \varphi^n(x) \right] b_{mn} \right\} - \frac{\hbar^2}{2} \sum_n \left\{ \varphi^n(x) c_{mn} \right\} \quad (5-70) \\
 & + E_{sub}^m(x) \varphi^m(x) = E \varphi^m(x)
 \end{aligned}$$

考虑计算效率和结果准确率之间的平衡，研究中采用非耦合模空间(uncoupled mode space)方法，即波函数 $\xi^n(y, z; x)$ 随 x 变化很小(虽然 $E_{sub}^m(x)$ 不同)，则 $\frac{\partial}{\partial x} \xi^n(y, z; x) = 0$ ，可以推导得到：

$$a_{mn} = \oint_{y,z} \frac{1}{m_x} |\xi^m(y, z; x)|^2 dydz \quad (5-71)$$

$$b_{mn} = 0, c_{mn} = 0$$

总体的哈密顿量(M.Nx*M.Nx):

$$H = \begin{bmatrix} h_{11} & 0 & \dots & \dots & 0 \\ 0 & h_{22} & 0 & \ddots & \vdots \\ \vdots & 0 & \ddots & \ddots & \vdots \\ \vdots & \ddots & \ddots & \ddots & 0 \\ 0 & \dots & \dots & 0 & h_{MM} \end{bmatrix} \quad (5-72)$$

其中 h 的表达式如下：

$$h_{mn} = \delta_{mn} \left[-\frac{\hbar^2}{2} a_{mn}(x) \frac{\partial^2}{\partial x^2} + E_{sub}^m(x) \right] \quad (5-73)$$

$$m, n = 1, 2, \dots, M$$

根据上述得到薛定谔方程的哈密顿量矩阵，根据 S.Datta 的设想，用自能矩阵(Self-Energies)的作用描述器件源漏的作用^[134]，因此得到格林函数的完整表达式，如下：

$$G = [E - H - \sum_S - \sum_D]^{-1} \quad (5-74)$$

其中源漏的自能矩阵分别为：

$$\sum_S [p, q] = -t_{m,1} \exp(ik_{m,1}a) \delta_{p,(m-1)Nx+1} \delta_{q,(m-1)Nx+1} \quad (5-75)$$

$$\sum_D [p, q] = -t_{m,Nx} \exp(ik_{m,Nx}a) \delta_{p,mNx} \delta_{q,mNx}$$

这里

$$t_{m,1} = \frac{\hbar^2}{2a^2} a_{mm} \Big|_{x=0}$$

$$t_{m,Nx} = \frac{\hbar^2}{2a^2} a_{mm} \Big|_{x=(Nx-1)a}$$

而进行非耦合方法近似以后， a_{mm} 不随 x 而变，因此 $t_{m,1} = t_{m,Nx} = t_m$ ，写成具体的如下(可根据上述 h 的表达式得到)：

$$h_{mm} = \begin{bmatrix} 2t_m + E_{sub}^m(0) & -t_m & 0 & \dots & \dots & \vdots \\ -t_m & 2t_m + E_{sub}^m(a) & -t_m & 0 & \dots & \vdots \\ 0 & -t_m & 2t_m + E_{sub}^m(2a) & -t_m & 0 & \vdots \\ \vdots & \ddots & \ddots & \ddots & \ddots & \vdots \\ \vdots & \ddots & \ddots & -t_m & 2t_m + E_{sub}^m[(Nx-2)a] & -t_m \\ \vdots & \dots & \dots & 0 & -t_m & 2t_m + E_{sub}^m[(Nx-1)a] \end{bmatrix} \quad (5-76)$$

采用非耦合处理，第 m 子带的自能矩阵为：

$$\sum_S^m + \sum_D^m = \begin{bmatrix} -t_m e^{ik_{m,1}a} & 0 & \dots & \dots & 0 \\ 0 & 0 & \ddots & \ddots & \vdots \\ \vdots & \ddots & \ddots & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 & 0 \\ 0 & \dots & \dots & 0 & -t_m e^{ik_{m,Nx}a} \end{bmatrix} \quad (5-77)$$

(矩阵大小是 $Nx * Nx$)

$k_{m,1}$ $k_{m,Nx}$ 可根据

$$E = E_{sub}^m(0) + 2t_m(1 - \cos k_{m,1}a)$$

$$E = E_{sub}^m[(Nx-1)a] + 2t_m(1 - \cos k_{m,Nx}a)$$

得到：

$$k_{m,1}a = \arccos\left(1 - \frac{E - E_{sub}^m(0)}{2t_m}\right)$$

$$k_{m,Nx}a = \arccos\left(1 - \frac{E - E_{sub}^m[(Nx-1)a]}{2t_m}\right) \quad (5-78)$$

因此自能矩阵形式如下：

$$\sum_S^m + \sum_D^m = \begin{bmatrix} -t_m \exp\left(i \arccos\left(1 - \frac{E - E_{sub}^m(0)}{2t_m}\right)\right) & 0 & \dots & \dots & 0 \\ 0 & 0 & \ddots & \ddots & \vdots \\ \vdots & \ddots & \ddots & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 & 0 \\ 0 & \dots & \dots & 0 & -t_m \exp\left(i \arccos\left(1 - \frac{E - E_{sub}^m[(Nx-1)a]}{2t_m}\right)\right) \end{bmatrix} \quad (5-79)$$

基于上述的格林函数 G，得到 Spectral density functions:

$$A_S(E) = G(E)\Gamma_S(E)G^\dagger(E)$$

$$A_D(E) = G(E)\Gamma_D(E)G^\dagger(E) \quad (5-80)$$

其中：

$$\Gamma_S(E) = i\left[\sum_S(E) - \sum_S^\dagger(E)\right]$$

$$\Gamma_D(E) = i\left[\sum_D(E) - \sum_D^\dagger(E)\right]$$

根据 Spectral density functions 计算出态密度函数:

$$D_s(E) = \frac{1}{\pi a} A_s(E) \tag{5-81}$$

$$D_D(E) = \frac{1}{\pi a} A_D(E)$$

从而得到一维的(传输方向)载流子浓度分布:

$$n_{1D} = \int_{-\infty}^{+\infty} [D_s(E) f(\mu_s, E) + D_D(E) f(\mu_D, E)] \tag{5-82}$$

三维的载流子浓度分布为:

$$n_{3D}(x, y, z) = n_{1D} \cdot |\xi(y, z; x)|^2 \tag{5-83}$$

根据弹道输运理论, 电流表达式如下:

$$I_{DS} = \frac{q}{\pi \hbar} \int_{-\infty}^{+\infty} T(E) [f(\mu_s, E) - f(\mu_D, E)] dE \tag{5-84}$$

其中传输系数 $T(E)$ 与格林函数 G 和源漏自能矩阵相关, 表达式为:

$$T(E) = \sum_{m=1}^M T^m(E) = \sum_{m=1}^M \text{Trace} [\Gamma_s^m(E) G^m(E) \Gamma_D^m(E) G^{m\dagger}(E)] \tag{5-85}$$

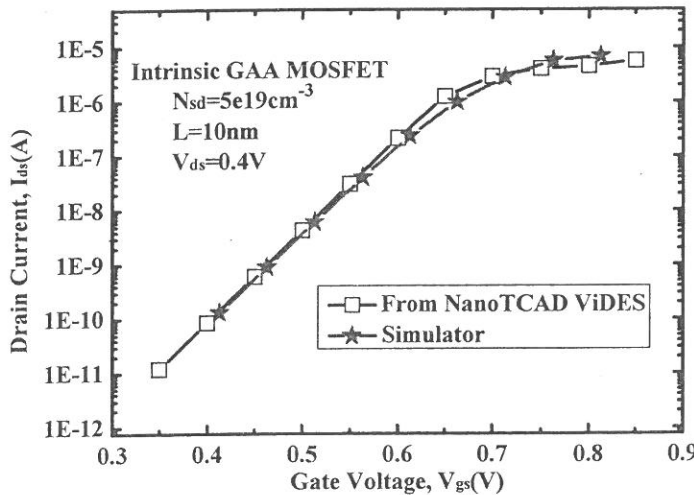


图 5-25 模拟器得到的反型器件转移特性与 NanoTCAD Vides 结果对比

通过上述泊松方程的离散和非平衡态格林函数输运矩阵的运算, 即得到器件相应的电学特性。在无结器件特性研究之前, 先对开发的模拟器进行了校正。针对传统反型环栅 MOSFET 进行特性研究, 同时与相同条件下 NanoTCAD ViDES 的转移特性做了对比^[160], 结果一致, 如图 5-25。同时比较了两者在 $V_{ds}=0.4V$, $V_{gs}=0.8V$ 时的载流子浓度分布, 如图 5-26。

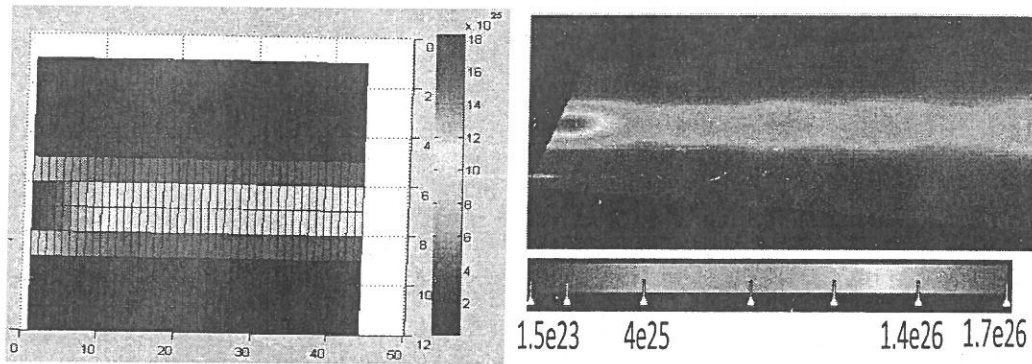


图 5-26 模拟器得到的载流子浓度分布与 NanoTCAD Vides 结果对比($V_{ds}=0.4V, V_{gs}=0.8V$)

从转移特性图 5-25 和载流子浓度分布图 5-26 中观察到两者结果吻合, 偏差在 6% 之内, 进一步验证了模拟器结果的准确性和可行性。

5.4 极限尺寸无结环栅器件特性研究

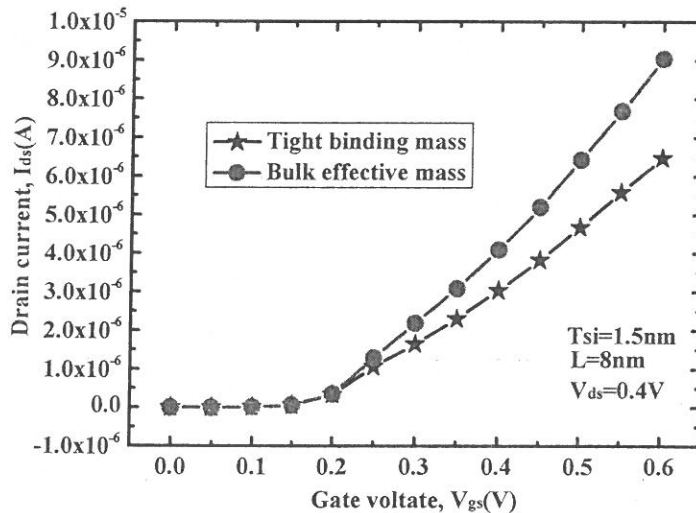


图 5-27 基于紧束缚方法的有效质量和体硅有效质量的无结器件转移特性比较

根据能带结构计算结果可知, 随着纳米线宽度的减小, 纳米线的能带结构与体硅发生了极大的改变, 有效质量和禁带宽度变化明显。因此采用提取自 $sp3d5s^*$ 近似得到的有效质量, 计算截面宽度为 1.5 纳米, 栅长为 8 纳米, 掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$ 的无结环栅器件特性, 同时与基于体硅有效质量的结果进行比较, 如图 5-27。通过比较, 发现两者电流特性差别明显, 例如在栅电压为 0.5V 时, 基于 $sp3d5s^*$ 紧束缚方法的电流为 $4.67 \times 10^{-6} \text{A}$, 而基于体硅参数的电流已经达到了 $6.42 \times 10^{-6} \text{A}$ 。采用体硅有效质量计算器件电流时明显被高估。结论同文献一致^[161]。因此基于 $sp3d5s^*$ 能带结构得到的电学特性更符合极小尺寸的物理, 具有更高的准确度, 同时所牺牲的计算效率与全能带方法相比大大减小。本章工作中因

为器件尺寸在 5 纳米左右，弹道输运已经是占电流的主要成分^[28]，不考虑散射机制，提供了无结器件的理想电流性能。

图 5-28 描绘了弹道机制下源漏电压 V_{ds} 对无结器件转移特性的影响。随着 V_{ds} 的增加，漏端注入的载流子逐渐减小，使得源漏总电流增加。而在亚阈值区时，发现受 V_{ds} 影响较小，主要因为纳米线宽度小，长宽比大于 5，源漏两端注入沟道的载流子由栅充分控制，因此随着 V_{ds} 增加时，亚阈值斜率和阈值电压漂移较小。

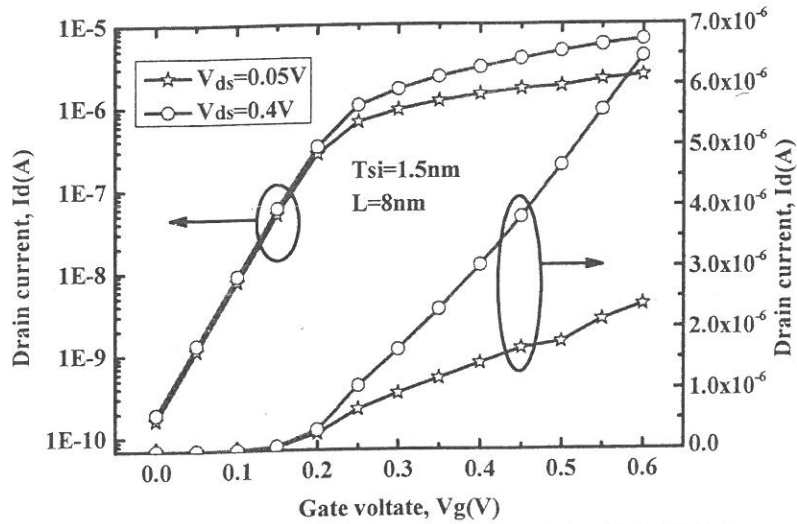


图 5-28 不同源漏电压 V_{ds} 对无结器件转移特性的影响

图 5-29 给出了弹道机制下栅长 L 对无结器件转移特性的影响。弹道机制时，与传统碰撞机制不同，载流子以热速度从源端发射，注入沟道，而沟道长度对源漏载流子的注入水平影响微弱，因此饱和电流不受沟道长度影响。而在亚阈值区时，随着 L 的减小，泄漏电流增加，亚阈值斜率变差，但总体上说，因为纳米线宽度较小，即使 $L=3$ 纳米时，对短沟道效应依然有良好的抑制作用。纳米线宽度的增加对弹道下的无结器件性能造成严重的影响，如图 5-30 所示，宽度增加致使纳米线 Γ 能谷能级降低，并引起器件阈值电压降低，使得器件泄漏电流增加。因此纳米线较小的宽度是保证极限尺寸无结器件正常工作的前提。

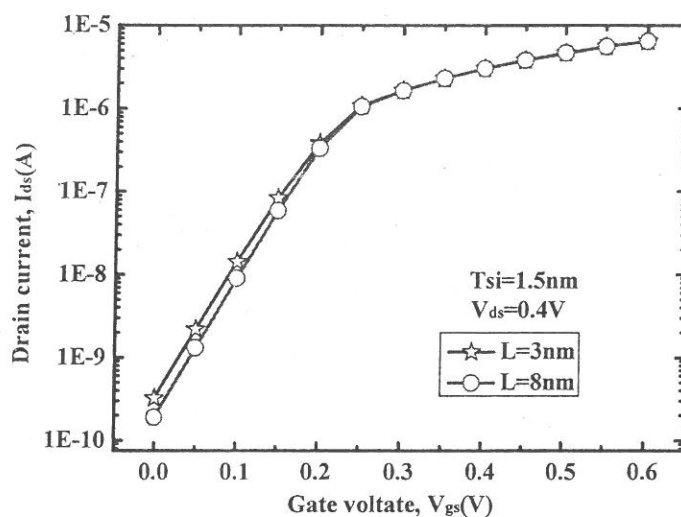


图 5-29 栅长 L 对无结环栅器件转移特性的影响

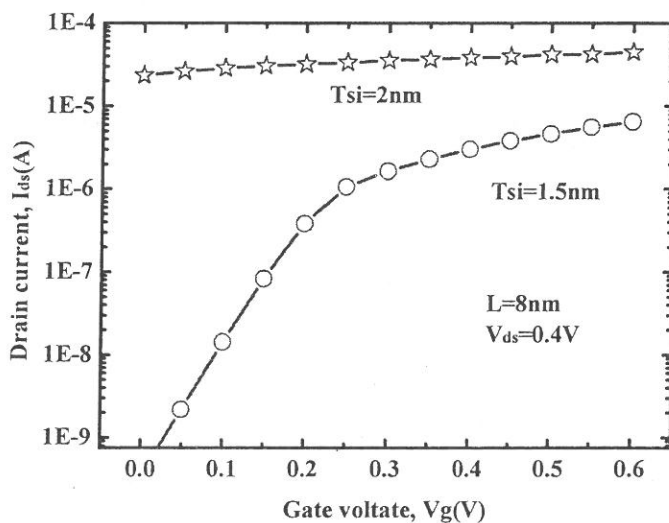


图 5-30 纳米线宽度 T_{si} 对无结环栅器件转移特性的影响

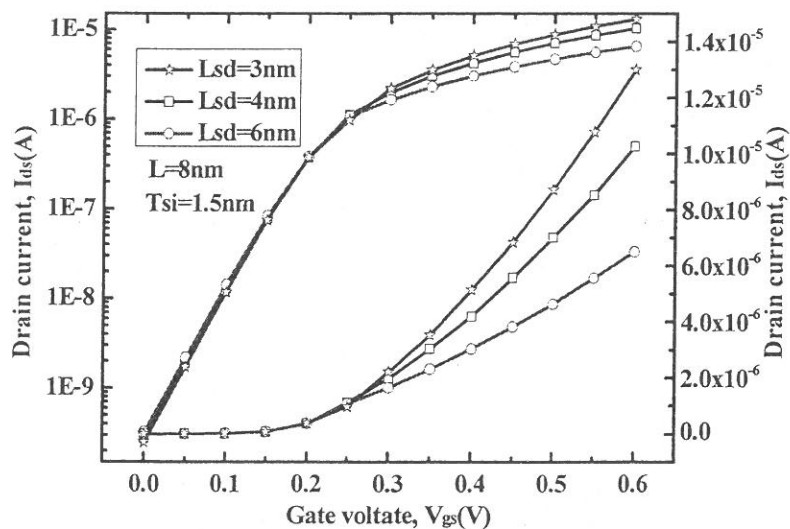


图 5-31 源漏长度 L_{sd} 对无结环栅器件转移特性的影响

无结器件中，源漏区掺杂浓度和类型与沟道一致，当器件沟道长度缩小到 10 纳米以下时，源漏区长度与沟道相近，其影响也随之增加，如图 5-31。当器件在线性区时，随着源漏长度 L_{sd} 的减小，源漏寄生电阻降低，因而引起开态电流增加。而当无结器件处于亚阈值态时，边缘电场对其亚阈值特性影响明显，在 L_{sd} 较短时，边缘电容较大，利于器件耗尽，泄漏电流会有微小的减小。

图 5-32 展示了掺杂浓度对无结器件转移特性的影响。随着掺杂浓度的升高，源漏载流子注入水平随之上升，促使器件开态电流增加，但泄漏电流也随之增加。因此掺杂浓度的上升，器件亚阈值区、饱和区和线性区载流子注入的浓度增加，以致各个工作区域的电流也随之增加，而亚阈值斜率等特性改变较小。当然，如同散射主导的器件一样，掺杂浓度的不同改变栅对沟道耗尽的难易程度，以致引起器件阈值电压的漂移。

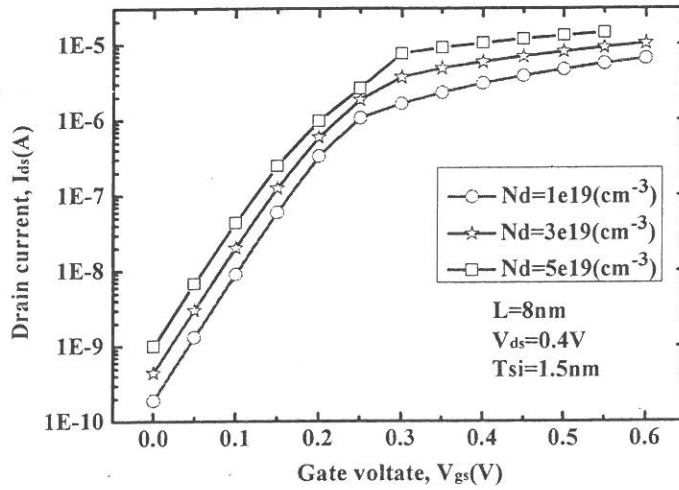


图 5-32 掺杂浓度 N_d 对无结环栅器件转移特性的影响

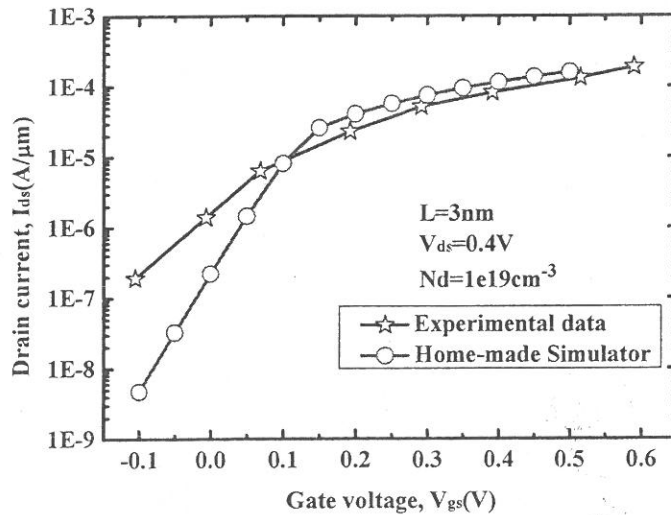


图 5-33 3 纳米无结环栅器件模拟结果与实验结果的对照

将器件栅长尺寸进一步缩小到 3 纳米, 同时与 3 纳米栅长的无结器件实验结果对比^[28], 两者结果十分接近, 如图 5-33。差别主要是因为模拟完全基于弹道运输, 不考虑散射, 电流大小主要取决于源端载流子的注入水平。虽然根据实验中弹道分析, 制备出来的器件弹道运输占电流比例很高, 但依然存在散射和库伦势影响, 抑制载流子的运输, 因此开态电流略低于模拟结果。同时模拟结果采用环栅纳米线结构, 栅控能力强于单栅结构, 因此模拟结果中亚阈值特性明显得到优化。通过上述展示无结器件理想特性, 发现多栅结构为无结器件走向极限提供了良好性能保障, 同时目前的工艺水平依然有较大的提升空间。

在 3 纳米栅长的[100]晶向无结器件中, 引入应力效应, 研究此尺寸下应力对器件电流提升的作用, 如图 5-34。发现无论是拉伸应力还是压缩应力作用, 对器件特性电流特性的影响微小。长沟道器件中, 碰撞机制占主导, 引入晶格应力, 能带结构发生形变, 促使载流子迁移率提升。但是在纳米线宽度为 1.5 纳米时, 应力引起的能带形变微小, 不能在主要影响器件的 Γ 能谷和 off- Γ 能谷附近体现。同时在弹道运输机制中, 电子速度约为热电子速度, 电流的大小主要取决于源漏区载流子注入情况。因此应力效应失去对器件电流的提升作用。

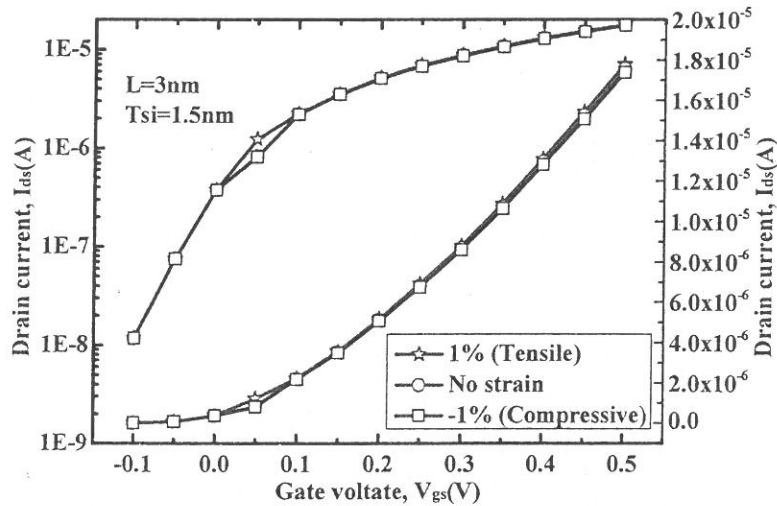


图 5-34 单轴应力对无结环栅器件转移特性的影响

图 5-35 展示了采用[110]晶向的纳米线无结器件开态电流较之[100]晶向增加, 在栅压为 0.5V 时, 源漏电流由 $1.10 \times 10^{-5} \text{A}$ 增加到 $1.76 \times 10^{-5} \text{A}$ 。[110]晶向纳米线导带底 Γ 能谷虽然为 2 重简并, 但是其能级较之[100]的 Γ 能谷约低 70meV, off- Γ 能谷离 Γ 能谷只相差 53meV, 但在[100]晶向中相差 112meV, 因此[110]晶向中 Γ 能谷和 off- Γ 能谷能级更容易被电子占据, 注入沟道的载流子浓

度更高, 以致[110]晶向纳米线源漏电流较大。而在亚阈值状态时, 沟道被栅压和金属功函数耗尽, 金属栅对沟道的控制不受晶向影响。

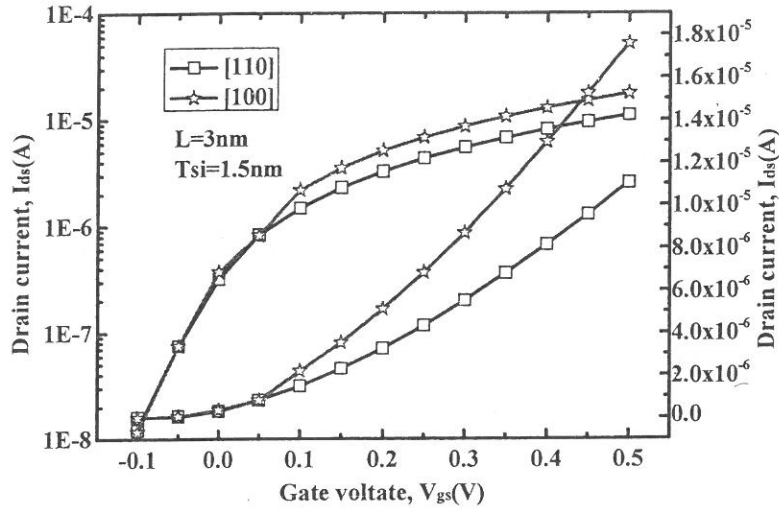


图 5-35 不同晶向无结环栅器件的转移特性

5.5 小结

本章基于 $sp^3d^5s^*$ 紧束缚近似方法计算了硅纳米线能带结构, 研究了不同宽度尺寸和不同晶向对其能带结构的影响, 采用非抛物线近似方法提取关键能带参数, 考虑了应力效应对能带结构的影响, 指明了拉伸应力和压缩应力对能带的不同作用和变化趋势。同时开发了基于非平衡态格林函数输运理论的器件特性模拟器, 研究了 10 纳米以下节点无结环栅纳米线器件的特性, 指明无结器件在极限尺寸下只要采用较小宽度纳米线即能够保证良好特性。基于弹道机制, 展示了无结器件的理想特性。同时研究了应力效应和晶向对该尺寸无结器件性能的影响。

本章开发的器件特性模拟器基于多体量子力学, 同时考虑原子级特性, 能够克服传统玻尔兹曼输运理论的不足, 研究极小尺寸下弹道输运器件的特性, 模拟器保证了计算效率和准确度, 具有良好的扩展性, 可用于其他器件结构特性的研究, 同时可考虑能带非抛物线效应、能级分裂和氧化层影响等效应。

第六章 总结和展望

无结多栅器件保持了传统多栅器件优良的栅控能力,同时克服了突变结形成和掺杂的工艺困难和物理限制,有望成为下一代器件结构,延续器件的继续缩小而被广泛关注。而无结多栅器件为走向应用,急需解决工艺制备和性能提升存在的若干关键问题,明确其按比例缩小的潜力。本文工作集中针对工艺制备中不可避免的刻蚀不均匀性和线边缘粗糙度的波动,开展其性能影响及机制探讨;针对无结器件驱动能力弱和泄漏电流大的问题,引入新结构提升性能;针对极限尺寸无结器件研究工具的缺乏,开发基于紧束缚近似方法和非平衡态格林函数输运理论的模拟器。在 6.1 节中具体介绍本论文取得的成果并总结研究创新性,6.2 节对后续工作进行展望。

6.1 成果和创新性总结

(1) 率先构建垂直非均匀沟道的无结多栅器件,研究亚 22 纳米以下节点垂直非均匀沟道倾斜角度对其亚阈值斜率、漏致势垒降低、阈值电压、开态电流等各项电流性能的影响,通过与传统反型器件对比,结果表明无结多栅器件能更加有效的抑制沟道垂直非均匀性的影响;横向比较了掺杂浓度波动与沟道垂直非均匀性的影响程度,结果显示非均匀沟道引起的性能波动大于掺杂浓度的影响;根据工业应用对器件亚阈值特性的要求,提供了无结器件 Fin 体结构参数和倾斜角精度的指导线;基于层状近似,建立描述开态电流随倾斜角变化的无结多栅器件电流模型;率先引入 High-k Spacer 抑制因倾斜角引起的亚阈值性能波动,同时改善无结多栅器件的亚阈值特性,进一步推进无结多栅器件的按比例缩小。

(2) 率先采用三维数值模拟器研究了线边缘粗糙度对无结器件性能的影响。同时展示了各项性能的统计分布特性;基于平移率和波动率两个参量评价线边缘粗糙对器件的影响程度;验证了三维模拟研究线边缘粗糙度的必要性;通过与传统反型器件的对比,显示无结器件开态电流和亚阈值斜率受线边缘粗糙影响的波动率与传统反型器件接近,而阈值电压和漏致势垒降低特性影响程度较大,但在可接受范围之内,而泄漏电流波动需要进一步的优化;率先通过对比沟道宽度和宽窄位置变化引起的性能波动程度,证实沟道宽度变化在线边缘粗糙效应中的主

导作用。

(3) 开创性的将不同功函数的双材料栅结构引入无结器件, 利用双材料栅之间不同的功函数形成电势台阶, 在沟道中产生电场峰提前加速载流子; 同时调整亚阈值状态下器件能带结构, 扩展漏区导带和价带, 减小隧穿几率, 通过三维数值 TCAD, 验证了双材料栅无结器件对驱动电流的提升和对隧穿泄漏电流的抑制作用, 结果显示双材料结构可以使驱动电流提升 19.6%, 泄漏电流减小两个数量级; 同时, 通过优化功函数差和控制栅比例提升无结器件的各项性能。

(4) 基于 $sp^3d^5s^*$ 紧束缚近似方法计算了硅纳米线的能带结构, 探讨应力效应和纳米线宽度对能带结构的影响, 验证了拉伸应力和压缩应力对能带的不同作用; 提出采用非抛物线近似方法提取能带关键参数; 开发了基于非平衡态格林函数输运理论的三维器件模拟器, 研究了 10 纳米以下节点无结环栅纳米线器件特性, 展示了无结器件的理想特性, 结果表明无结器件在栅长为 3 纳米、宽度为 1.5 纳米的极限尺寸, 依然能够保持良好的特性; 率先研究了应力效应和纳米线晶向对此极限尺寸无结器件特性的影响, 结果显示应力在极限尺寸下将失去对电流的提升作用, 而 [110] 晶向的采用可以增加器件的开态电流; 开发的器件模拟器具有扩展性, 可以用以研究其他结构的器件特性, 同时可考虑能带非抛物线效应、能级分裂等效应。

6.2 后续工作展望

通过本文在无结器件工艺波动、性能提升以及新型模拟器的研究及成果, 建议在以下几个方面开展后续工作:

(1) 继续开展工艺波动对无结器件性能影响的研究。主要集中于比较线边缘粗糙度与垂直非均匀沟道倾斜角对器件特性的影响程度、随机掺杂波动对无结器件特性的影响、寻找稳定无结器件线边缘粗糙引起性能波动的方法等几个方面。

(2) 完善垂直非均匀沟道电流模型的开发。结合亚阈值状态时无结器件的特性, 发展垂直非均匀沟道的亚阈值特性集约模型, 实现全工作区域的电流描述, 嵌入 SPICE, 探索垂直沟道非均匀效应在电路级中的影响。

(3) 新型模拟器的改进。主要包括: 改进网格形式, 实现自适应加密器件重点区域; 引入新算法, 提升计算效率和收敛性, 满足更多的应用情况; 完善非抛物线能带近似, 完成非抛物线近似的薛定谔方程求解, 支持计算能级分裂效应;

扩展能带计算模拟器的应用范围，积极探索新型材料纳米线器件的特性。

参考文献

- [1] "International Technology Roadmap for Semiconductors (ITRS) 2012," Available: <http://www.itrs.net>.
- [2] D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda, "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET," in IEEE International Electron Devices Meeting (IEDM), pp. 833-836, 1989.
- [3] D. Frank, S. Laux, and M. Fischetti, "Monte Carlo simulation of a 30 nm dual-gate MOSFET: How short can Si go?," in IEEE International Electron Devices Meeting (IEDM), pp. 553-556, 1992.
- [4] S. Harrison, P. Coronel, F. Leverd, R. Cerutti, R. Palla, D. Delille, S. Borel, S. Jullian, R. Pantel, and S. Descombes, "Highly performant double gate MOSFET realized with SON process," in IEEE International Electron Devices Meeting (IEDM), pp. 18.6. 1-18.6. 4, 2003.
- [5] M. Bescond, K. Nehari, J. Autran, N. Cavassilas, D. Munteanu, and M. Lannoo, "3D quantum modeling and simulation of multiple-gate nanowire MOSFETs," in IEEE International Electron Devices Meeting (IEDM), pp. 617-620, 2004.
- [6] J. T. Park, J. Colinge, and C. H. Diaz, "Pi-gate SOI MOSFET," *IEEE Electron Device Letters*, vol. 22, no. 8, pp. 405-406, 2001.
- [7] F. L. Yang, H. Y. Chen, F. C. Chen, C. C. Huang, C. Y. Chang, H. K. Chiu, C. C. Lee, C. C. Chen, H. T. Huang, and C. J. Chen, "25 nm CMOS omega FETs," in IEEE International Electron Devices Meeting (IEDM), pp. 255-258, 2002.
- [8] J. P. Colinge, M. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, "Silicon-on-insulator 'gate-all-around device'," in IEEE International Electron Devices Meeting (IEDM), pp. 595-598, 1990.
- [9] D. Jiménez, B. Iniguez, J. Sune, L. Marsal, J. Pallares, J. Roig, and D. Flores, "Continuous analytic IV model for surrounding-gate MOSFETs," *IEEE Electron Device Letters*, vol. 25, no. 8, pp. 571-573, 2004.
- [10] J. P. Colinge, "Multi-gate SOI MOSFETs," *Microelectronic Engineering*, vol. 84, no. 9, pp. 2071-2076, 2007.
- [11] M. Bohr, and K. Mistry, "Intel's revolutionary 22 nm transistor technology," Rob Willoner at Innovation, 2011.
- [12] L. Ansari, B. Feldman, G. Fagas, J. Colinge, and J. C. Greer, "Simulation of

- junctionless Si nanowire transistors with 3 nm gate length," *Applied Physics Letters*, vol. 97, no. 6, pp. 062105-062105-3, 2010.
- [13] J. Colinge, C. Lee, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, A. Kranti, and R. Yu, "Junctionless transistors: physics and properties," *Semiconductor-On-Insulator Materials for Nanoelectronics Applications*, pp. 187-200: Springer, 2011.
- [14] L. Ansari, B. Feldman, G. Fagas, C. Lacambra, M. Haverty, K. Kuhn, S. Shankar, and J. Greer, "First Principle-based Analysis of Single-Walled Carbon Nanotube and Silicon Nanowire Junctionless Transistors," *IEEE Transactions on Nanotechnology*, vol. 12, no. 6, pp. 1075-1081, 2013.
- [15] J. S. E. Lilienfeld, *Method and apparatus for controlling electric currents*, US Patent 1745175 A, 1930.
- [16] J. P. Colinge, C. W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, and M. White, "Nanowire transistors without junctions," *Nature Nanotechnology*, vol. 5, no. 3, pp. 225-229, 2010.
- [17] J. P. Colinge, C. W. Lee, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, A. N. Nazarov, and R. T. Doria, "Reduced electric field in junctionless transistors," *Applied Physics Letters*, vol. 96, no. 7, pp. 073510, 2010.
- [18] "Web of Science 文献分析报告," Available: <http://apps.webofknowledge.com>.
- [19] L. Ma, W. Han, H. Wang, X. Li, and F. Yang, "Temperature dependence of electronic behaviors in n-type multiple-channel junctionless transistors," *Journal of Applied Physics*, vol. 114, no. 12, pp. 124507, 2013.
- [20] X. Tang, J. P. Raskin, N. Reckinger, B. Dai, and L. A. Francis, "A new fabrication method for elevated source/drain junctionless transistors," *Journal of Physics D: Applied Physics*, vol. 46, no. 16, pp. 165101, 2013.
- [21] S. J. Choi, D. I. Moon, S. Kim, J. P. Duarte, and Y. K. Choi, "Sensitivity of threshold voltage to nanowire width variation in junctionless transistors," *IEEE Electron Device Letters*, vol. 32, no. 2, pp. 125-127, 2011.
- [22] D. I. Moon, S. J. Choi, J. P. Duarte, and Y. K. Choi, "Investigation of silicon nanowire gate-all-around junctionless transistors built on a bulk substrate," *IEEE Transactions on Electron Devices*, vol. 60, no. 4, pp. 1355-1340, 2013.
- [23] R. Rios, A. Cappellani, M. Armstrong, A. Budrevich, H. Gomez, R. Pai, N. Rahhal-Orabi, and K. Kuhn, "Comparison of junctionless and conventional trigate transistors with down to 26 nm," *IEEE Electron Device Letters*, vol. 32, no. 9, pp. 1170-1172, 2011.
- [24] C. H. Park, M. D. Ko, K. H. Kim, C. W. Sohn, C. K. Baek, Y. H. Jeong, and J. S. Lee, "Comparative study of fabricated junctionless and inversion-mode nanowire

- FETs,” in 69th Annual Device Research Conference (DRC), pp. 179-180, 2011.
- [25] C. H. Park, M. D. Ko, K. H. Kim, S. H. Lee, J. S. Yoon, J. S. Lee, and Y. H. Jeong, “Investigation of Low-Frequency Noise Behavior After Hot-Carrier Stress in an n-Channel Junctionless Nanowire MOSFET,” *IEEE Electron Device Letters*, vol. 33, no. 11, pp. 1538-1540, 2012.
- [26] C. H. Park, M. D. Ko, K. H. Kim, R. H. Baek, C. W. Sohn, C. K. Baek, S. Park, M. Deen, Y. H. Jeong, and J. S. Lee, “Electrical characteristics of 20-nm junctionless Si nanowire transistors,” *Solid-State Electronics*, vol. 73, pp. 7-10, 2012.
- [27] S. Barraud, M. Berthome, R. Coquand, M. Casse, T. Ernst, M.-P. Samson, P. Perreau, K. Bourdelle, O. Faynot, and T. Poiroux, “Scaling of trigate junctionless nanowire MOSFET with gate length down to 13 nm,” *IEEE Electron Device Letters*, vol. 33, no. 9, pp. 1225-1227, 2012.
- [28] S. Migita, Y. Morita, M. Masahara, and H. Ota, “Electrical performances of junctionless-FETs at the scaling limit ($L_{CH}=3$ nm),” in IEEE International Electron Devices Meeting (IEDM), pp. 8.6. 1-8.6. 4, 2012.
- [29] I. Ferain, C. A. Colinge, and J. P. Colinge, “Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors,” *Nature*, vol. 479, no. 7373, pp. 310-316, 2011.
- [30] A. Gnudi, S. Reggiani, E. Gnani, and G. Baccarani, “Analysis of Threshold Voltage Variability Due to Random Dopant Fluctuations in Junctionless FETs,” *IEEE Electron Device Letters*, vol. 33, no. 3, pp. 336-338, 2012.
- [31] A. Gnudi, S. Reggiani, E. Gnani, and G. Baccarani, “Semianalytical Model of the Subthreshold Current in Short-Channel Junctionless Symmetric Double-Gate Field-Effect Transistors,” *IEEE Transactions on Electron Devices*, vol. 60, no. 4, pp. 1342-1348, 2013.
- [32] M. Aldegunde, A. Martinez, and J. R. Barker, “Study of discrete doping-induced variability in junctionless nanowire MOSFETs using dissipative quantum transport simulations,” *IEEE Electron Device Letters*, vol. 33, no. 2, pp. 194-196, 2012.
- [33] G. Leung, and C. O. Chui, “Variability impact of random dopant fluctuation on nanoscale junctionless FinFETs,” *IEEE Electron Device Letters*, vol. 33, no. 6, pp. 767-769, 2012.
- [34] C. W. Lee, I. Ferain, A. Afzalian, R. Yan, N. D. Akhavan, P. Razavi, and J. P. Colinge, “Performance estimation of junctionless multigate transistors,” *Solid-State Electronics*, vol. 54, no. 2, pp. 97-103, 2010.
- [35] C. W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J. P. Colinge,

- “Junctionless multigate field-effect transistor,” *Applied Physics Letters*, vol. 94, no. 5, pp. 053511, 2009.
- [36] E. Gnani, A. Gnudi, S. Reggiani, G. Bacarani, N. Shen, N. Singh, G. Lo, and D. Kwong, “Numerical investigation on the junctionless nanowire FET,” *Solid-State Electronics*, vol. 71, pp. 13-18, 2012.
- [37] C. Chen, J. T. Lin, M. H. Chiang, and K. Kim, “High-performance ultra-low power junctionless nanowire FET on SOI substrate in subthreshold logic application,” in *IEEE International SOI Conference (SOI)*, pp. 1-2, 2010.
- [38] A. M. Ionescu, “Electronic devices: nanowire transistors made easy,” *Nature Nanotechnology*, vol. 5, no. 3, pp. 178-179, 2010.
- [39] M. H. Han, C. Y. Chang, Y. R. Jhan, J. J. Wu, H. B. Chen, Y. C. Cheng, and Y. C. Wu, “Characteristic of p-type junctionless gate-all-around nanowire transistor and sensitivity analysis,” *IEEE Electron Device Letters*, vol. 34, no. 2, pp. 157-159, 2013.
- [40] R. Yan, A. Kranti, I. Ferain, C.-W. Lee, R. Yu, N. Dehdashti, and P. R. Colinge, “Investigation of high-performance sub-50nm junctionless nanowire transistors,” *Microelectronics Reliability*, vol. 51, no. 7, pp. 1166-1171, 2011.
- [41] Z. Ding, G. Hu, R. Liu, L. Wang, S. Hu, and X. Zhou, “Analytical models for the electric potential, threshold voltage and drain current of long-channel junctionless double-gate transistors,” *Journal of the Korean Physical Society*, vol. 62, no. 8, pp. 1188-1193, 2013.
- [42] Z. M. Lin, H. C. Lin, K. M. Liu, and T. Y. Huang, “Analytical model of subthreshold current and threshold voltage for fully depleted double-gated junctionless transistor,” *Japanese Journal of Applied Physics*, vol. 51, no. 2S, pp. 02BC14, 2012.
- [43] B. Sorée, W. Magnus, and G. Pourtois, “Analytical and self-consistent quantum mechanical model for a surrounding gate MOS nanowire operated in JFET mode,” *Journal of Computational Electronics*, vol. 7, no. 5, pp. 380-383, 2008.
- [44] B. Sorée, W. Magnus, and W. Vandenberghe, “Low-field mobility in ultrathin silicon nanowire junctionless transistors,” *Applied Physics Letters*, vol. 99, no. 23, pp. 233509, 2011.
- [45] J. M. Sallese, N. Chevillon, C. Lallement, B. Iniguez, and F. Pregaldiny, “Charge-based modeling of junctionless double-gate field-effect transistors,” *IEEE Transactions on Electron Devices*, no. 99, pp. 1-10, 2011.
- [46] J. P. Duarte, S. J. Choi, D. I. Moon, and Y. K. Choi, “Simple analytical bulk current model for long-channel double-gate junctionless transistors,” *IEEE*

- Electron Device Letters*, vol. 32, no. 6, pp. 704-706, 2011.
- [47] X. Jin, X. Liu, M. Wu, R. Chuai, J.-H. Lee, and J.-H. Lee, "A unified analytical continuous current model applicable to accumulation mode (junctionless) and inversion mode MOSFETs with symmetric and asymmetric double-gate structures," *Solid-State Electronics*, vol. 79, pp. 206-209, 2013.
- [48] Z. Chen, Y. Xiao, M. Tang, Y. Xiong, J. Huang, J. Li, X. Gu, and Y. Zhou, "Surface-potential-based drain current model for long-channel junctionless double-gate MOSFETs," *IEEE Transactions on Electron Devices*, vol. 59, no. 12, pp. 3292-3298, 2012.
- [49] M. Najmzadeh, J. M. Sallese, M. Berthome, W. Grabinski, and A. M. Ionescu, "Local volume depletion/accumulation in GAA Si nanowire junctionless nMOSFETs," *IEEE Transactions on Electron Devices*, vol. 59, no. 12, pp. 3519-3526, 2012.
- [50] S. Gundapaneni, M. Bajaj, R. K. Pandey, K. V. Murali, S. Ganguly, and A. Kottantharayil, "Effect of band-to-band tunneling on junctionless transistors," *IEEE Transactions on Electron Devices*, vol. 59, no. 4, pp. 1023-1029, 2012.
- [51] C. W. Lee, A. Borne, I. Ferain, A. Afzalain, R. Yan, N. Dehdashti Akhavan, P. Razavi, and J. P. Colinge, "High-temperature performance of silicon junctionless MOSFETs," *IEEE Transactions on Electron Devices*, vol. 57, no. 3, pp. 620-625, 2010.
- [52] M. de Souza, M. A. Pavanello, R. D. Trevisoli, R. T. Doria, and J. Colinge, "Cryogenic operation of junctionless nanowire transistors," *IEEE Electron Device Letters*, vol. 32, no. 10, pp. 1322-1324, 2011.
- [53] R. T. Doria, R. D. Trevisoli, and M. A. Pavanello, "Impact of the Series Resistance in the IV Characteristics of nMOS Junctionless Nanowire Transistors," *ECS Transactions*, vol. 39, no. 1, pp. 231-238, 2011.
- [54] R. D. Trevisoli, R. T. Doria, M. de Souza, and M. A. Pavanello, "Threshold voltage in junctionless nanowire transistors," *Semiconductor Science and Technology*, vol. 26, no. 10, pp. 105009, 2011.
- [55] T. Wang, L. Lou, and C. Lee, "A junctionless gate-all-around silicon nanowire FET of high linearity and its potential applications," *IEEE Electron Device Letters*, vol. 34, no. 4, pp. 3, 2013.
- [56] R. T. Doria, M. A. Pavanello, R. D. Trevisoli, M. de Souza, C. W. Lee, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, and R. Yu, "Junctionless Multiple-Gate Transistors for Analog Applications," *IEEE Transactions on Electron Devices*, no. 99, pp. 1-9, 2011.

- [57] P. Singh, N. Singh, J. Miao, W.-T. Park, and D.-L. Kwong, "Gate-all-around junctionless nanowire MOSFET with improved low-frequency noise behavior," *IEEE Electron Device Letters*, vol. 32, no. 12, pp. 1752-1754, 2011.
- [58] D. Jang, J. W. Lee, C. W. Lee, J. P. Colinge, L. Montes, J. I. Lee, G. T. Kim, and G. Ghibaudo, "Low-frequency noise in junctionless multigate transistors," *Applied Physics Letters*, vol. 98, pp. 133502, 2011.
- [59] D. Ghosh, M. S. Parihar, G. A. Armstrong, and A. Kranti, "High-performance junctionless MOSFETs for ultralow-power analog/RF applications," *IEEE Electron Device Letters*, vol. 33, no. 10, pp. 1477-1479, 2012.
- [60] S. Cho, K. R. Kim, B. G. Park, and I. M. Kang, "RF performance and small-signal parameter extraction of junctionless silicon nanowire MOSFETs," *IEEE Transactions on Electron Devices*, vol. 58, no. 99, pp. 1-9, 2011.
- [61] M. S. Parihar, D. Ghosh, G. A. Armstrong, R. Yu, P. Razavi, and A. Kranti, "Bipolar effects in unipolar junctionless transistors," *Applied Physics Letters*, vol. 101, no. 9, pp. 093507, 2012.
- [62] M. S. Parihar, D. Ghosh, and A. Kranti, "Single transistor latch phenomenon in junctionless transistors," *Journal of Applied Physics*, vol. 113, no. 18, pp. 184503, 2013.
- [63] C. W. Lee, A. N. Nazarov, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, R. T. Doria, and J. P. Colinge, "Low subthreshold slope in junctionless multigate transistors," *Applied Physics Letters*, vol. 96, no. 10, pp. 102106, 2010.
- [64] A. Koukab, F. Jazaeri, and J. M. Sallese, "On performance scaling and speed of junctionless transistors," *Solid-State Electronics*, vol. 79, pp. 18-21, 2013.
- [65] Y. Wang, X. Liu, Y. Yang, J. Qin, G. Du, and J. Kang, "Analysis of electrostatic crosstalk in 3D vertical NAND Charge Trapping Memory with junctionless GAA nanowire FET," in 11th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp. 1-3, 2012.
- [66] S. J. Choi, D. I. Moon, S. Kim, J. H. Ahn, J. S. Lee, J. Y. Kim, and Y. K. Choi, "Nonvolatile Memory by All-Around-Gate Junctionless Transistor Composed of Silicon Nanowire on Bulk Substrate," *IEEE Electron Device Letters*, vol. 32, no. 5, pp. 602-604, 2011.
- [67] A. Kranti, C. W. Lee, I. Ferain, R. Yan, N. Akhavan, P. Razavi, R. Yu, G. Armstrong, and J. P. Colinge, "Junctionless 6T SRAM cell," *Electronics Letters*, vol. 46, no. 22, pp. 1491-1493, 2010.
- [68] H. C. Lin, C. I. Lin, and T. H. Huang, "Characteristics of n-Type Junctionless Poly-Si Thin-Film Transistors With an Ultrathin Channel," *IEEE Electron Device*

- Letters*, no. 99, pp. 1-3, 2012.
- [69] C. J. Su, T. I. Tsai, Y. L. Liou, Z. M. Lin, H. C. Lin, and T. S. Chao, "Gate-all-around junctionless transistors with heavily doped polysilicon nanowire channels," *IEEE Electron Device Letters*, vol. 32, no. 4, pp. 521-523, 2011.
- [70] T. I. Tsai, K. M. Chen, H. C. Lin, T. Y. Lin, C. J. Su, T. S. Chao, and T. Y. Huang, "Low-Operating-Voltage Ultrathin Junctionless Poly-Si Thin-Film Transistor Technology for RF Applications," *IEEE Electron Device Letters*, vol. 33, no. 11, pp. 1565-1567, 2012.
- [71] J. Jiang, J. Sun, W. Dou, and Q. Wan, "Junctionless flexible oxide-based thin-film transistors on paper substrates," *IEEE Electron Device Letters*, vol. 33, no. 1, pp. 65-67, 2012.
- [72] G. Wu, J. Zhou, H. Zhang, L. Zhu, and Q. Wan, "Low-Voltage Junctionless Oxide-Based Thin-Film Transistors Self-Assembled by a Gradient Shadow Mask," *IEEE Electron Device Letters*, vol. 33, no. 12, pp. 1720-1722, 2012.
- [73] L. Zhu, G. Wu, J. Zhou, H. Zhang, and Q. Wan, "Transparent in-plane-gate junctionless oxide-based TFTs directly written by laser scribing," *IEEE Electron Device Letters*, vol. 33, no. 12, pp. 1723-1725, 2012.
- [74] C. Wan, J. Zhou, Y. Shi, and Q. Wan, "Classical Conditioning Mimicked in Junctionless IZO Electric-Double-Layer Thin-Film Transistors," *IEEE Electron Device Letters*, vol. 35, no. 3, pp. 414-416, 2014.
- [75] R. Yu, I. Ferain, N. D. Akhavan, P. Razavi, R. Duffy, and J. P. Colinge, "Characterization of a junctionless diode," *Applied Physics Letters*, vol. 99, no. 1, pp. 013502, 2011.
- [76] F. Wessely, T. Krauss, and U. Schwalke, "Novel application of wafer-bonded MultiSOI: junctionless nanowire transistors for CMOS logic," *ECS Transactions*, vol. 33, no. 4, pp. 169-173, 2010.
- [77] S. M. Lee, J. Y. Kim, C. G. Yu, and J. T. Park, "A comparative study on hot carrier effects in inversion-mode and junctionless MuGFETs," *Solid-State Electronics*, vol. 79, pp. 253-257, 2013.
- [78] J. T. Park, J. Y. Kim, and J. P. Colinge, "Negative-bias-temperature-instability and hot carrier effects in nanowire junctionless p-channel multigate transistors," *Applied Physics Letters*, vol. 100, no. 8, pp. 083504, 2012.
- [79] B. Ghosh, and M. W. Akram, "Junctionless tunnel field effect transistor," *IEEE Electron Device Letters*, vol. 34, no. 5, pp. 584-586, 2013.
- [80] P. Mondal, B. Ghosh, and P. Bal, "Planar junctionless transistor with non-uniform channel doping," *Applied Physics Letters*, vol. 102, no. 13, pp.

- 133505, 2013.
- [81] S. Gundapaneni, S. Ganguly, and A. Kottantharayil, "Enhanced Electrostatic Integrity of Short-Channel Junctionless Transistor With High-K Spacers," *IEEE Electron Device Letters*, vol. 32, no. 10, pp. 1325-1327, 2011.
- [82] S. Gundapaneni, S. Ganguly, and A. Kottantharayil, "Bulk planar junctionless transistor (BPJLT): an attractive device alternative for scaling," *IEEE Electron Device Letters*, vol. 32, no. 3, pp. 261-263, 2011.
- [83] X. Liu, M. Wu, X. Jin, R. Chuai, J. H. Lee, and J. H. Lee, "The optimal design of 15 nm gate-length junctionless SOI FinFETs for reducing leakage current," *Semiconductor Science and Technology*, vol. 28, no. 10, pp. 105013, 2013.
- [84] J. P. Raskin, J. P. Colinge, I. Ferain, A. Kranti, C. W. Lee, N. D. Akhavan, R. Yan, P. Razavi, and R. Yu, "Mobility improvement in nanowire junctionless transistors by uniaxial strain," *Applied Physics Letters*, vol. 97, no. 4, pp. 042114, 2010.
- [85] C. Huang, and S. Lee, "Stress effects on self-aligned silicon nanowires junctionless field effect transistors," in 11th IEEE Conference on Nanotechnology (IEEE-NANO), pp. 134-138, 2011.
- [86] R. Baruah, "Silicon vs. germanium junctionless double-gate field effect transistor," in International Conference on Devices, Circuits and Systems (ICDCS), pp. 235-238, 2012.
- [87] D. D. Zhao, T. Nishimura, C.-h. Lee, R. Ifuku, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless Ge MOSFETs Fabricated on 10 nm-Thick GeOI Substrate," *ECS Transactions*, vol. 35, no. 3, pp. 457-464, 2011.
- [88] G. Leung, and C. O. Chui, "Variability of inversion-mode and junctionless FinFETs due to line edge roughness," *IEEE Electron Device Letters*, vol. 32, no. 11, pp. 1489-1491, 2011.
- [89] 翁寿松, "光刻, OPC 与 DFM," *电子工业专用设备*, vol. 35, no. 4, pp. 18-22, 2006.
- [90] 秦文芳, "后 ArF 时代的光刻征途," *Semi 论坛*, vol. 4, 2011.
- [91] E. Gnani, S. Reggiani, M. Rudan, and G. Baccarani, "Design considerations and comparative investigation of ultra-thin SOI, double-gate and cylindrical nanowire FETs," in Proceedings of the European Solid-State Device Research Conference (ESSDERC), pp. 371-374, 2006.
- [92] G. Roy, A. R. Brown, F. Adamu-Lema, S. Roy, and A. Asenov, "Simulation study of individual and combined sources of intrinsic parameter fluctuations in conventional nano-MOSFETs," *IEEE Transactions on Electron Devices*, vol. 53,

- no. 12, pp. 3063-3070, 2006.
- [93] R. Wang, J. Zhuge, C. Liu, R. Huang, D.-W. Kim, D. Park, and Y. Wang, "Experimental study on quasi-ballistic transport in silicon nanowire transistors and the impact of self-heating effects," in *IEEE International Electron Devices Meeting (IEDM)*, pp. 1-4, 2008.
- [94] X. Wu, P. C. H. Chan, and M. Chan, "Impacts of nonrectangular fin cross section on the electrical characteristics of FinFET," *IEEE Transactions on Electron Devices*, vol. 52, no. 1, pp. 63-68, 2005.
- [95] "Process-induced variability in the Intel FinFETs," Available: <http://www.goldstandardsimulations.com>.
- [96] J. Shen, "Double Gate MOSFETs-Process Variations and Design Considerations," Hong Kong University of Science and Technology, 2005.
- [97] J. Xu, "Characteristics Sensitivity of FinFET to Fin Vertical Nonuniformity," in *NTSI-nanotech*, pp. 176-179, 2010.
- [98] N. Lindert, L. Chang, Y. K. Choi, E. H. Anderson, W. C. Lee, T. J. King, J. Bokor, and C. Hu, "Sub-60-nm quasi-planar FinFETs fabricated using a simplified process," *IEEE Electron Device Letters*, vol. 22, no. 10, pp. 487-489, 2001.
- [99] "*TCAD Sentaurus Device Users Manual*," Synopsys, Mountain View, CA, 2010.
- [100] D. Klaassen, J. Slotboom, and H. De Graaff, "Unified apparent bandgap narrowing in n- and p- type silicon," *Solid-State Electronics*, vol. 35, no. 2, pp. 125-129, 1992.
- [101] M. Ancona, and G. Iafrate, "Quantum correction to the equation of state of an electron gas in a semiconductor," *Physical Review B*, vol. 39, no. 13, pp. 9536, 1989.
- [102] G. Masetti, M. Severi, and S. Solmi, "Modeling of Carrier Mobility Against Carrier Concentration in Arsenic-, Phosphorus-, and Boron-Doped Silicon," *IEEE Transactions on Electron Devices*, vol. 30, no. 7, pp. 764-769, 1983.
- [103] C. Canali, G. Majni, R. Minder, and G. Ottaviani, "Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature," *IEEE Transactions on Electron Devices*, vol. 22, no. 11, pp. 1045-1047, 1975.
- [104] C. Lombardi, S. Manzini, A. Saporito, and M. Vanzi, "A physically based mobility model for numerical simulation of nonplanar devices," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 7, no. 11, pp. 1164-1171, 1988.
- [105] A. Kranti, R. Yan, C.-W. Lee, I. Ferain, R. Yu, N. Dehdashti Akhavan, P. Razavi,

- and J. Colinge, "Junctionless nanowire transistor (JNT): properties and design guidelines," in Proceedings of the European Solid-State Device Research Conference (ESSDERC), pp. 357-360, 2010.
- [106] Y. Li, and C. H. Hwang, "DC baseband and high-frequency characteristics of a silicon nanowire field effect transistor circuit," *Semiconductor Science and Technology*, vol. 24, no. 4, pp. 045004, 2009.
- [107] A. Asenov, A. R. Brown, J. H. Davies, S. Kaya, and G. Slavcheva, "Simulation of intrinsic parameter fluctuations in decananometer and nanometer-scale MOSFETs," *IEEE Transactions on Electron Devices*, vol. 50, no. 9, pp. 1837-1852, 2003.
- [108] E. Baravelli, A. Dixit, R. Rooyackers, M. Jurczak, N. Speciale, and K. De Meyer, "Impact of line-edge roughness on FinFET matching performance," *IEEE Transactions on Electron Devices*, vol. 54, no. 9, pp. 2466-2474, 2007.
- [109] S. Yu, Y. Zhao, L. Zeng, G. Du, J. Kang, R. Han, and X. Liu, "Impact of line-edge roughness on double-gate Schottky-barrier field-effect transistors," *IEEE Transactions on Electron Devices*, vol. 56, no. 6, pp. 1211-1219, 2009.
- [110] A. Nandi, A. K. Saxena, and S. Dasgupta, "Analog performance analysis of dual-k spacer based underlap FinFET," *Progress in VLSI Design and Test*, pp. 46-51: Springer, 2012.
- [111] S. Yu, Y. Zhao, Y. Song, G. Du, J. Kang, R. Han, and X. Liu, "3-D simulation of geometrical variations impact on nanoscale FinFETs," in 9th International Conference on Solid-State and Integrated-Circuit Technology (ICSICT), pp. 408-411, 2008.
- [112] G. Leung, and C. O. Chui, "Interactions Between Line Edge Roughness and Random Dopant Fluctuation in Nonplanar Field-Effect Transistor Variability," *IEEE Transactions on Electron Devices*, vol. 60, no. 10, pp. 3277-3284, 2013.
- [113] T. Y. Liow, K. M. Tan, R. Lee, A. Du, C. H. Tung, G. S. Samudra, W. J. Yoo, N. Balasubramanian, and Y.-C. Yeo, "Strained n-channel FinFETs with 25 nm gate length and silicon-carbon source/drain regions for performance enhancement," in IEEE Symposium on VLSI Technology (VLSI), pp. 56-57, 2006.
- [114] K. M. Tan, T. Y. Liow, R. Lee, K. M. Hoe, C. H. Tung, N. Balasubramanian, G. S. Samudra, and Y.-C. Yeo, "Strained p-channel FinFETs with extended Π -shaped silicon-germanium source and drain stressors," *IEEE Electron Device Letters*, vol. 28, no. 10, pp. 905-908, 2007.
- [115] H. Lou, L. Zhang, Y. Zhu, X. Lin, S. Yang, J. He, and M. Chan, "A Junctionless

- Nanowire Transistor With a Dual-Material Gate,” *IEEE Transactions on Electron Devices*, vol. 59, no. 7, pp. 1829-1836, 2012.
- [116] W. Long, H. Ou, J.-M. Kuo, and K. K. Chin, “Dual-material gate (DMG) field effect transistor,” *IEEE Transactions on Electron Devices*, vol. 46, no. 5, pp. 865-870, 1999.
- [117] Y. Tsididis, and C. McAndrew, "Operation and Modeling of the MOS Transistor," Oxford University Press, New York, 1999.
- [118] S. Chakraborty, A. Mallik, and C. K. Sarkar, “Subthreshold performance of dual-material gate CMOS devices and circuits for ultralow power analog/mixed-signal applications,” *IEEE Transactions on Electron Devices*, vol. 55, no. 3, pp. 827-832, 2008.
- [119] A. Chaudhry, and M. J. Kumar, “Investigation of the novel attributes of a fully depleted dual-material gate SOI MOSFET,” *IEEE Transactions on Electron Devices*, vol. 51, no. 9, pp. 1463-1467, 2004.
- [120] W. Long, and K. K. Chin, “Dual material gate field effect transistor (DMGFET),” in *IEEE International Electron Devices Meeting (IEDM)*, pp. 549-552, 1997.
- [121] M. Saxena, S. Haldar, M. Gupta, and R. Gupta, “Design considerations for novel device architecture: hetero-material double-gate (HEM-DG) MOSFET with sub-100 nm gate length,” *Solid-State Electronics*, vol. 48, no. 7, pp. 1169-1174, 2004.
- [122] M. Saxena, S. Haldar, M. Gupta, and R. Gupta, “Physics-based analytical modeling of potential and electrical field distribution in dual material gate (DMG)-MOSFET for improved hot electron effect and carrier transport efficiency,” *IEEE Transactions on Electron Devices*, vol. 49, no. 11, pp. 1928-1938, 2002.
- [123] A. Khakifirooz, and D. A. Antoniadis, “MOSFET performance scaling-part II: Future directions,” *IEEE Transactions on Electron Devices*, vol. 55, no. 6, pp. 1401-1408, 2008.
- [124] C. Shen, L.-T. Yang, G. Samudra, and Y.-C. Yeo, “A new robust non-local algorithm for band-to-band tunneling simulation and its application to Tunnel-FET,” *Solid-State Electronics*, vol. 57, no. 1, pp. 23-30, 2011.
- [125] L. Zeng, Z. Xia, G. Du, J. Kang, R. Q. Han, and X. Liu, “Gate-induced image force barrier lowering in Schottky barrier FETs,” *IEEE Transactions on Nanotechnology*, vol. 8, no. 1, pp. 10-15, 2009.
- [126] S. Saurabh, and M. Kumar, “Novel attributes of a dual material gate nanoscale

- tunnel field-effect transistor," *IEEE Transactions on Electron Devices*, vol. 58, no. 2, pp. 404-410, 2011.
- [127] X. Yuan, J.-E. Park, J. Wang, E. Zhao, D. C. Ahlgren, T. Hook, J. Yuan, V. Chan, H. Shang, and C.-H. Liang, "Gate-induced-drain-leakage current in 45-nm CMOS technology," *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 3, pp. 501-508, 2008.
- [128] J. B. Ha, H. S. Kang, K. J. Baek, and J. H. Lee, "Enhancement of device performance in LDMOSFET by using dual-work-function-gate technique," *IEEE Electron Device Letters*, vol. 31, no. 8, pp. 848-850, 2010.
- [129] K. Y. Na, and Y. S. Kim, "Silicon complementary metal-oxide-semiconductor field-effect transistors with dual work function gate," *Japanese Journal of Applied Physics*, vol. 45, no. 12R, pp. 9033, 2006.
- [130] K. Y. Na, K. J. Baek, and Y. S. Kim, "N-channel dual-workfunction-gate MOSFET for analog circuit applications," *IEEE Transactions on Electron Devices*, vol. 59, no. 12, pp. 3273-3279, 2012.
- [131] Q. Xiang, and J. Jeon, *Dual material gate MOSFET technique*, US Patent 6187657 B1, 2001.
- [132] M. Anantram, M. S. Lundstrom, and D. E. Nikonov, "Modeling of nanoscale devices," *Proceedings of the IEEE*, vol. 96, no. 9, pp. 1511-1550, 2008.
- [133] Z. Ren, R. Venugopal, S. Goasguen, S. Datta, and M. S. Lundstrom, "nanoMOS 2.5: A two-dimensional simulator for quantum transport in double-gate MOSFETs," *IEEE Transactions on Electron Devices*, vol. 50, no. 9, pp. 1914-1925, 2003.
- [134] S. Datta, "Nanoscale device modeling: the Green's function method," *Superlattices and Microstructures*, vol. 28, no. 4, pp. 253-278, 2000.
- [135] J. Wang, "Device physics and simulation of silicon nanowire transistors," Purdue University, 2005.
- [136] R. M. Martin, "Electronic structure: basic theory and practical methods," Cambridge University Press, 2004.
- [137] W. Kohn, "Nobel lecture: Electronic structure of matter-wave functions and density functionals," *Reviews of Modern Physics*, vol. 71, no. 5, pp. 1253-1266, 1999.
- [138] L. C. L. Y. Voon, and M. Willatzen, "The kp Method: Electronic Properties of Semiconductors," Springer, 2009.
- [139] 管曦萌, "纳米器件能带结构的紧束缚近似计算及其与 DFT 方法的比较研究," 清华大学, 2005.

- [140] W. A. Harrison, "Electronic structure and the properties of solids: the physics of the chemical bond," Courier Dover Publications, 2012.
- [141] J. C. Slater, and G. F. Koster, "Simplified LCAO method for the periodic potential problem," *Physical Review*, vol. 94, no. 6, pp. 1498, 1954.
- [142] D. Chadi, and M. L. Cohen, "Tight-binding calculations of the valence bands of diamond and zincblende crystals," *Physica Status Solidi (b)*, vol. 68, no. 1, pp. 405-419, 1975.
- [143] P. Vogl, H. P. Hjalmarson, and J. D. Dow, "A Semi-empirical tight-binding theory of the electronic structure of semiconductors," *Journal of Physics and Chemistry of Solids*, vol. 44, no. 5, pp. 365-378, 1983.
- [144] J. M. Jancu, R. Scholz, F. Beltram, and F. Bassani, "Empirical sp³d⁵s* tight-binding calculation for cubic semiconductors: General method and material parameters," *Physical Review B*, vol. 57, no. 11, pp. 6493, 1998.
- [145] T. B. Boykin, G. Klimeck, and F. Oyafuso, "Valence band effective-mass expressions in the sp³d⁵s* empirical tight-binding model applied to a Si and Ge parametrization," *Physical Review B*, vol. 69, no. 11, pp. 115201, 2004.
- [146] T. B. Boykin, N. Kharche, and G. Klimeck, "Brillouin-zone unfolding of perfect supercells having nonequivalent primitive cells illustrated with a Si/Ge tight-binding parameterization," *Physical Review B*, vol. 76, no. 3, pp. 035310, 2007.
- [147] L. Zhang, H. Lou, J. He, and M. Chan, "Uniaxial strain effects on electron ballistic transport in gate-all-around silicon nanowire MOSFETs," *IEEE Transactions on Electron Devices*, vol. 58, no. 11, pp. 3829-3836, 2011.
- [148] "Nano Electronic Modeling (NEMO)," Available: <https://nanohub.org>.
- [149] X. Guan, and Z. Yu, "Orientation-dependent energy bandstructure calculation for silicon nanowires using supercell approach with the tight-binding method," in IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC), pp. 19-22, 2005.
- [150] Z. Yu, Y. Zhang, and L. Tian, "Band structure calculation for silicon nanowire using DFT and its applications to nano-scale 3D MOSFETs," in 11th China-Korea Joint Symposium on New Functional Semiconductors, Physics and Applications, pp. 14, 2004.
- [151] R. Needs, S. Bhattacharjee, K. Nash, A. Qteish, A. Read, and L. Canham, "First-principles calculations of band-edge electronic states of silicon quantum wires," *Physical Review B*, vol. 50, no. 19, pp. 14223, 1994.
- [152] R. N. Sajjad, K. Alam, and Q. D. Khosru, "Parametrization of a silicon

- nanowire effective mass model from sp³d⁵s* orbital basis calculations,” *Semiconductor Science and Technology*, vol. 24, no. 4, pp. 045023, 2009.
- [153] D. Ma, C. Lee, F. Au, S. Tong, and S. Lee, “Small-diameter silicon nanowire surfaces,” *Science*, vol. 299, no. 5614, pp. 1874-1877, 2003.
- [154] K. Nakamura, Y. Isono, T. Toriyama, and S. Sugiyama, “Simulation of piezoresistivity in n-type single-crystal silicon on the basis of the first-principles band structure,” *Physical Review B*, vol. 80, no. 4, pp. 045205, 2009.
- [155] Y. Sun, S. E. Thompson, and T. Nishida, “Strain effect in semiconductors,” Springer, 2010.
- [156] R. N. Sajjad, and K. Alam, “Electronic properties of a strained [100] silicon nanowire,” *Journal of Applied Physics*, vol. 105, no. 4, pp. 044307, 2009.
- [157] R. N. Sajjad, K. Alam, and Q. D. M. Khosru, “Effects of uniaxial strain on the bandstructures of silicon nanowires,” in International Conference on Electrical and Computer Engineering (ICECE). pp. 283-286, 2008.
- [158] H. Lou, Y. Zhu, X. Lin, L. Zhang, J. Wu, X. Zhang, F. He, and M. Chan, “Nonparabolicity Effects of the Ultra-thin Body Double-gate MOSFETs,” in NSTI-nanotech, pp. 667-670, 2011.
- [159] A. Martinez, A. Svizhenko, M. Anantram, J. Barker, A. Brown, and A. Asenov, “A study of the effect of the interface roughness on a DG-MOSFET using a full 2D NEGF technique,” in IEEE International Electron Devices Meeting (IEDM), pp. 4-6, 2005.
- [160] G. Fiori, and G. Iannaccone, “Code for the 3D simulation of nanoscale semiconductor devices, including drift-diffusion and ballistic transport in 1D and 2D subbands, and 3D tunneling,” *Journal of Computational Electronics*, vol. 4, no. 1-2, pp. 63-66, 2005.
- [161] K. Nehari, N. Cavassilas, J. Autran, M. Bescond, D. Munteanu, and M. Lannoo, “Influence of band structure on electron ballistic transport in silicon nanowire MOSFET's: An atomistic study,” *Solid-State Electronics*, vol. 50, no. 4, pp. 716-721, 2006.

攻读博士学位期间的科研成果

已发表文章:

- [1] **Haijun Lou**, Dan Li, Yan Dong, Xinnan Lin, Jin He, Shengqi Yang and Mansun Chan, Suppression of Tunneling Leakage Current in Junctionless Nanowire Transistors, *Semiconductor Science Technology*, vol. 28, pp.125016, 2013.
- [2] **Haijun Lou**, Dan Li, Yan Dong, Xinnan Lin, Shengqi Yang, Jin He, and Mansun Chan, Effects of Fin Sidewall Angle on Subthreshold Characteristics of Junctionless Multigate Transistors, *Japanese Journal of Applied Physics*, vol. 52, pp.104302, 2013.
- [3] **Haijun Lou**, Lining Zhang, Yunxi Zhu, Xinnan Lin, Shengqi Yang, Jin He and Mansun Chan, A Junctionless Nanowire Transistor With Dual-Material-Gate, *Electron Devices, IEEE Transactions on*, vol. 59, no. 7, pp.1829-1836, 2011.
- [4] Lining Zhang, **Haijun Lou**, Jin He, Mansun Chan, "Uniaxial Strain Effect on Electron Ballistic Transport in Gate-All-Around Silicon Nanowire MOSFET," *Electron Devices, IEEE Transactions on*, vol. 58, no. 11, pp.3829- 3836, 2011.
- [5] Jin He, W.T. Chan, C. Wang, **H. Lou**, R. Wang, L. Li, H. Liang, W. Wu, Y. Ye, Y. Ma, Q. Chen, X. He, and M., Chan, A Compact CMOS Compatible Oxide Antifuse With Polysilicon Diode Driver, *Electron Devices, IEEE Transactions on*, vol. 59, no. 9, pp.2539-2541, 2012.
- [6] M. Shi, J. He, L. Zhang, C. Ma, X. Zhou, **H. Lou**, H. Zhuang, R. Wang, Y. Li, and Y. Ma, "Zero-Mask Contact Fuse for One-Time-Programmable Memory in Standard CMOS Processes," *Electron Device Letters, IEEE*, vol. 32, no. 7, pp. 955-957, 2011
- [7] Jin He, **Haijun Lou**, Lining Zhang and Mansun Chan, "Silicon-Based Nanowire MOSFETs: From Process and Device Physics to Simulation and Modeling," in *Nanowires - Implementations and Applications*, A. Hashim, Ed.: InTech, July 2011
- [8] **Haijun Lou**, Binghua Li, Xinnan Lin, Jin He, and Mansun Chan, Investigations of fin vertical nonuniformity effects on junctionless multigate transistor, IEEE 11th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp.1-3, 2012.
- [9] **Haijun Lou**, Yunxi Zhu, Xinnan Lin, Lining Zhang, Jiazhen Wu, Xukai Zhang, Frank He, Mansun Chan, Nonparabolicity Effects of The Ultra-thin Body

- Double-gate MOSFETs, NSTI-Nanotech, pp. 667-670, 2011.
- [10] **H. Lou**, X. Lin, L. Zhang, X. Zhang, J. Xu, W. Wu, Z. Liu, W. Wang, W. Zhao, and Y. Ma, "Characteristics of subband current ratio in double-gate MOSFET," IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC), pp. 1-4, 2010.
- [11] F. He, **H. Lou**, W. Zhou, L. Chen, Y. Xu, H. Zhuang, and X. Lin, "Numerical simulation on novel nano-scale lateral double-gate tunneling field effect transistor," 3rd International Nanoelectronics Conference (INEC), pp. 185-186, 2010.
- [12] Yunxi Zhu, **Haijun Lou**, Binghua Li, and Xinnan Lin, Investigations of junctionless nanowire transistors with non-uniform channel, IEEE 11th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp.1-3, 2012.
- [13] L. Zhang, **H. Lou**, Z. Liu, F. He, and M. Chan, "Bandstructures of unstrained and strained silicon nanowire," IEEE 10th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp. 1877-1879, 2010.

已申请专利:

- [1] 楼海君, 林信南, 何进; "无结纳米线场效应晶体管", 申请号: 201110424189.3, 已申请发明专利。
- [2] 楼海君, 林信南, 李冰华, 何进; "一种无结场效应晶体管", 申请号: 201210232954.6, 已申请发明专利。
- [3] 楼海君, 林信南, 李丹, 何进; "隧穿场效应晶体管", 申请号: 201310403969.9, 已申请发明专利。

参与项目:

- [1] 纳米线器件物理和模型研究, 北京大学深圳研究生院院长科研基金课题 (No.2009007), 2010~2011, 项目负责人。
- [2] 纳米 FinFET 器件的退化模型和失效机制研究, 国家自然科学基金青年科学基金(No.61006071), 2010~2013, 项目主要研究人员。
- [3] 用于 SOC 设计的新一代纳米级 CMOS 器件仿真模型的研究和验证, 国家自然科学基金重大研究计划(No.90607017), 2006~2010, 项目研究人员。



致谢

迟迟未敢动笔，不知如何用一段语言总结五年的博士生涯。在奔波的飞机上终于下定决心，决定完成论文的最后章节。博士之于我，不仅是岁月的流逝，同时赋予了全新的意义。五年前怀揣着梦想，冲破诸多阻碍，毅然坐上南下的火车，欣喜夹杂着悲伤，自信伴随着迷茫，终于走进南国的燕园。还记得那一个烟雨朦胧的校园，还记得那一滴深浅难辨的镜湖之水。韶华易逝，光阴不再。五年春秋牵带着生活的点滴，映衬着思想的升华，难忘却已远去。如今，校园依旧，镜湖依旧，而我将远走。在这里将结束我一个人生的阶段，在这里将开启一段未知的新旅程。这里的岁月不在我的记忆里，而在我的血液里。

由衷的感谢导师何进教授当年满怀谆谆善教之心，不计学生身份之迥异，排除困难将我收入门下。何老师知识渊博，治学严谨，多年来在学术上严格要求，细致指导，对我帮助良多，终身受益无穷。诚挚的感谢林信南副教授，林老师之于我，为师、为长、为友。为师，林老师视野开阔、思维敏锐，为我带来思想火花和启迪；为长，林老师开明豁达，为我带来关怀和帮助；为友，林老师真诚坦率，为我指正不足，促进发展。感谢香港科技大学陈文新教授，陈老师见解独到、眼光独特、思维独立，多年的交流和指导，为我注入了思维新血液，开启事务考虑全新角度。

感谢信息工程学院张盛东教授、崔小乐副教授、张敏副教授、杨柳老师、北京工业大学杨胜齐教授和哈尔滨工业大学王明江教授给予的热情帮助和无私指导。

感谢师兄魏益群博士和张立宁博士，当年点滴指导，将我带入科研之门，生活之中亦诸多帮助，挚友之情弥坚，同窗之义难忘；感谢实验室江兴川老师、马晨月博士、周幸叶博士、朱运玺、李丹、张佰利、王来东、黄宇聪、王伟以及各位师弟师妹在博士期间对我工作的支持和生活的关心，能跟你们一起共享青春岁月是我的荣幸；还要感谢好友郑加茂、刘满超、吕磊和徐志宇多年来对我的关心。

将深深的感谢送给我的父母，是你们的鼓励和支持让我走的更远，让我生活的更有力量，无以为报，只争朝夕；特别感谢我的爱人杨育梅博士多年来对我的支持和关心，你是我背后的柱石，让我风雨无阻的前行。

最后将诚挚的敬意和衷心的感谢送给评阅本论文的各位专家。

楼海君

2014年4月

北京大学学位论文原创性声明和使用授权说明

原创性声明

本人郑重声明：所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文不含任何其他个人或集体已经发表或撰写过的作品或成果。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本声明的法律结果由本人承担。

论文作者签名： 日期：2014年 6月 1日

学位论文使用授权说明

(必须装订在提交学校图书馆的印刷本)

本人完全了解北京大学关于收集、保存、使用学位论文的规定，即：

- 按照学校要求提交学位论文的印刷本和电子版；
- 学校有权保留学位论文的印刷本和电子版，并提供目录检索与阅览服务，在校园网上提供服务；
- 学校可以采用影印、缩印、数字化或其它复制手段保存论文；
- 因某种特殊原因需要延迟发布学位论文电子版，授权学校 一年 / 两年 / 三年以后，在校园网上全文发布。

(保密论文在解密后遵守此规定)

论文作者签名： 导师签名：
日期：2014年 6月 1日



