



# 北京大学

## 博士研究生学位论文

题目: 新型超低功耗隧穿场效应晶体管的研究

姓名: 詹 瞻

学 号: 10848823

院 系: 信息科学技术学院

专 业: 微电子学与固体电子学

研究方向: ULSI 新器件及集成技术

导 师: 王阳元 院士 黄如 教授

张磊 理

二〇一二年四月

# 版权声明

任何收存和保管本论文各种版本的单位和个人，未经本论文作者同意，不得将本论文转借他人，亦不得随意复制、抄录、拍照或以其他方式传播。否则，引起有碍作者著作权之问题，将可能承担法律责任。





## 摘要

随着 IC 技术不断发展, 半导体器件尺寸进入纳米尺度, 泄漏电流所带来的静态功耗以及开关过程中引入的动态功耗急剧增大, 这成为制约集成技术进一步发展的主要因素。为了进一步降低静态功耗以及动态功耗, 需要提出新型超低功耗器件在降低电源电压的同时保证高电流输出开关比。这些超低器件包括 IMOS、Feedback FET、Suspended Gate FET 以及 TFET。其中 TFET 具有工艺简单、可靠性高、工作电压低等优点, 是最有应用前景的新型超低功耗器件。但是由于 TFET 受制于隧穿结有限的隧穿效率, 开态电流不高, 而且其亚阈值斜率的陡直程度与其它超低功耗器件相比依然需要降低。

为了进一步提高 TFET 开态电流, 降低 TFET 亚阈值斜率, 需要从器件结构和工作机制上进行变革。本论文将在保证工艺基本兼容性的基础上从新器件结构以及新工作机制出发优化 TFET。

为了提高 TFET 的开态电流, 提出了一种流梳栅 TFET。在相同有源区尺寸下, 流梳栅 TFET 通过充分扩展隧穿结面积, 提高 TFET 的开态电流, 方法简单有效, 并且制备过程与 CMOS 标准工艺完全兼容。为了进一步提高 TFET 的开态电流, 本论文对流梳栅 TFET 做了进一步优化。在源区引入金属硅化物, 利用肖特基高效率注入电流补充 TFET 的开态电流, 并且利用梳指沟道中的自耗尽效应, 提高沟道中电子势垒高度, 降低肖特基注入泄漏电流。实验成功制备出流梳栅 TFET 以及肖特基源极流梳栅 TFET。结果表明在相同有源区面积下, 在保证较低的泄漏电流的同时, 采用流梳栅设计的 TFET 可以有效地提高 TFET 开态电流, 而肖特基源极流梳栅 TFET 则可以更进一步提高 TFET 的开态电流。相比常规 TFET, 开态电流有接近 3 个数量级的提升, 电流开关比达到  $10^7$ 。

为了降低 TFET 亚阈值斜率, 提出了一种条形栅 TFET, 利用沟道中的自耗尽效应提升沟道中能带, 降低隧穿发生时隧穿势垒宽度, 实现隧穿电流更陡直的开启, 降低亚阈值斜率。通过模拟分析, 条形栅 TFET 可以有效地降低亚阈值斜率, 但是在小尺寸下, 由于受到寄生隧穿结隧穿的影响, 亚阈值斜率会退化。为了抑制寄生隧穿的影响提出了 Short gate 结构, T 型栅电极结构, 阶梯栅介质以及异质栅介质等方法优化小尺寸条形栅 TFET。

通过在条形栅 TFET 自耗尽区中引入 Pocket 层, 提高隧穿结处电场强度, 进一步降低 TFET 的亚阈值斜率。模拟分析表明, 采用 Pocket 层的条形栅 TFET, 不仅可以抑制寄生隧穿结隧穿, 而且可以减小器件特性对 Pocket 层的深度以及宽度的依赖关系。实验制备了条形栅 TFET 以及 Pocket 条形栅 TFET, 制备过程与 CMOS 标准工艺完全兼容。实验结果表明条形栅 TFET 的亚阈值斜率相比常规 TFET 有所降低, 而 Pocket 条形栅 TFET 的亚阈值斜率为 36mV/dec, 第一次在硅基 TFET 上实现小于 40mV/dec 的亚阈值斜率。

为了提高 TFET 的开态电流同时降低 TFET 的亚阈值斜率, 提出一种隧穿触发注入场效应晶体管(TI-FET)。通过在沟道中插入一个 N 型 Pocket 层, 在沟道价带中引入一个空穴势垒同时在导带形成一个电子势阱。在关态, 空穴势垒可以阻止漏极空穴向沟道注入, 降低泄漏电流。而在开启过程中, 沟道中的电子势阱在俘获隧穿电子后会变浅, 因此会引起沟道中空穴势垒的降低, 导致更大的空穴注入电流, 形成空穴注入电流对电子隧穿电流的放大。相比常规 TFET, TI-FET 通过这种隧穿放大效应, 开态电流提高了 1.5 个数量级同时亚阈值斜率降低约 27%。

**关键词:** 隧穿, 晶体管, 流梳栅, 条形栅, 隧穿放大, Pocket 层

# Research on Novel Ultra Low Power Tunneling Field-Effect Transistor

Zhan Zhan (Microelectronics and Solid-State Electronics)

Directed by Prof. Yangyuan Wang

## Abstract

Over the past 40 years, the increase of integration density and the decrease of cost per function have promoted the semiconductor market for the feature size of transistor further scaling down. However, when the device dimension develops into nano-scaled regime, dynamic and static power consumption becomes the major obstacle for device scaling. The supply voltage ( $V_{DD}$ ) reduction is the one of the most effective and direct way to decrease the power consumption of integrated circuit. In order to further reduce  $V_{DD}$  without increasing the leakage current while maintaining high  $I_{ON}/I_{OFF}$  ratio, novel low power consumption devices with switching mechanism other than drift and diffusion have been proposed and investigated recently, including IMOS, Feedback FET, Suspended gate FET and Tunneling FET. Among these devices, Tunneling FET with its merits of low operating voltage and CMOS compatible fabrication process has attracted much attention. However, Tunneling FET still needs further investigation and optimization for its limited tunneling efficiency which results in low on-state current and degraded SS.

This thesis is focused on the novel structure optimizations of TFET with CMOS compatible process and structures with novel switching mechanism based on the traditional TFET to further increase the on-state current and reduce the SS.

From novel structure optimizations' perspective, a comb-shaped gate for Tunneling FET, called CG-TFET, is proposed and investigated to improve the on-state current. With this comb-shaped gate configuration, tunneling area can be effectively increased without area penalty. In addition, a silicide source is further introduced into

CG-TFET to improve the on-state current by introducing Schottky barrier tunneling current which has much more tunneling efficiency. Moreover, the effective electron barrier in the comb-shaped channel region is also increased benefited from the self-depletion effect, which can effectively suppress the leakage current induced by the Schottky junction in the off-state at the same time. Compared with conventional TFET of the same footprint, the fabricated optimized CG-TFET shows almost 3 decades higher on-state current and high on-off current ratio of more than  $10^7$ .

In order to decrease the SS, a novel strip-shaped gate TFET (SG-TFET) is also proposed and investigated. With this strip-shaped gate design, smaller tunneling width at the onset of the band-to-band tunneling can be achieved by using of the self-depletion effect which is introduced in the strip-shaped channel region, resulting in smaller SS. Besides, SS degradation induced by the parasitic tunneling at the corner of the tunneling junction in the nano-scaled SG-TFET is also investigated. In order to suppress this parasitic tunneling, four optimized gate structures of SG-TFET, including short gate, T-shaped gate, stair-dielectric gate and hetero-dielectric gate, are further proposed and discussed.

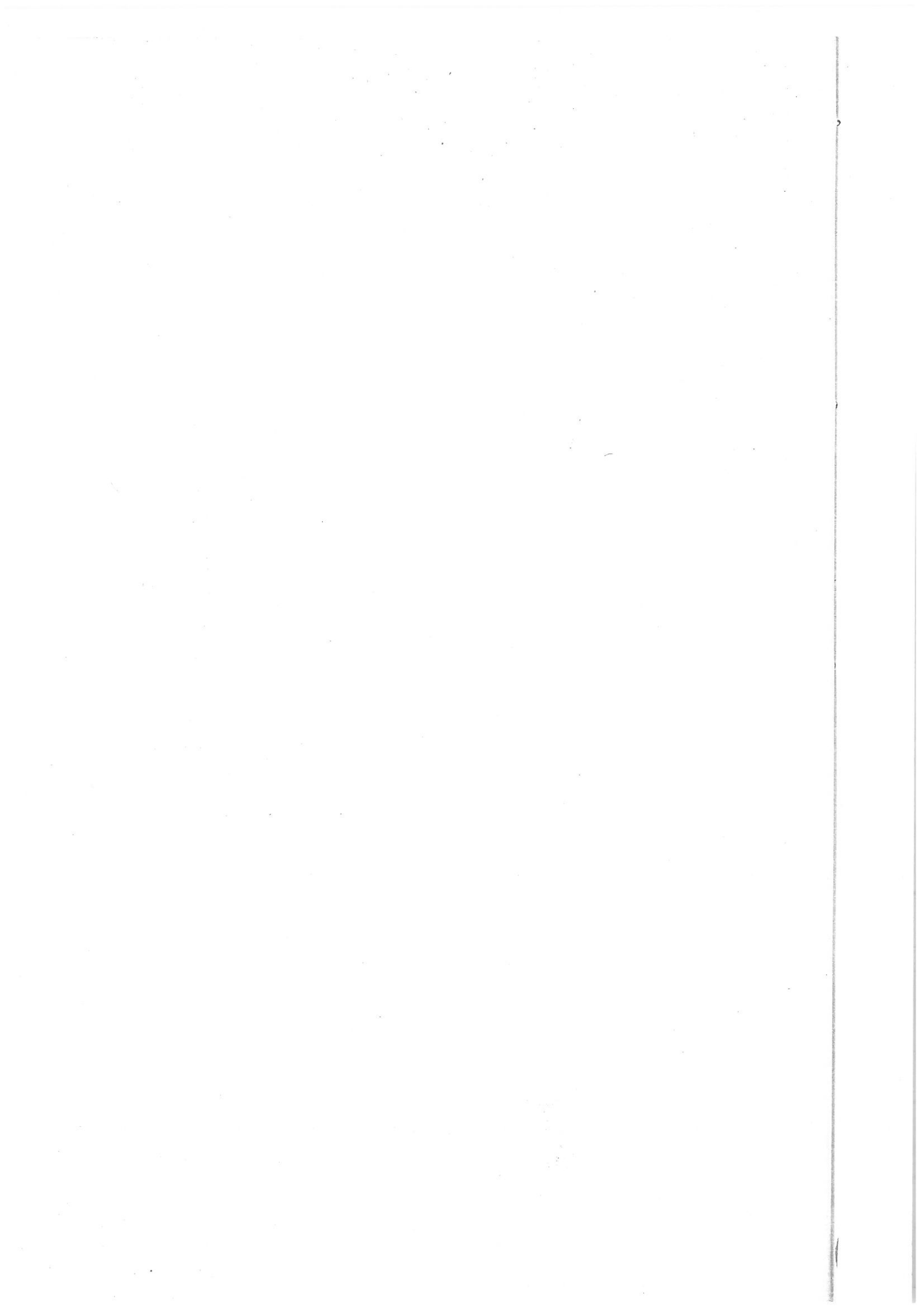
In addition, by inserting a pocket in the strip-shaped channel region of SG-TFET, SS can be further decreased due to the enhance electric field in the tunneling junction. Simulation results show that the depth and width of the pocket layer can have the bigger design margin in the strip-shaped gate TFET, and the pocket layer with higher doping concentration can be fully depleted than in the conventional pocket TFET due to the enhanced depletion effect in the self-depleted region, thus the leakage current can be suppressed and steeper SS can be achieved. On the other hand, the parasitic tunneling effect in nano-scaled strip-shaped gate TFET can be also effectively suppressed.

SG-TFET and Pocket SG-TFET are both fabricated by the standard CMOS process. Compared to conventional TFET, the fabricated SG-TFET shows smaller SS, which agrees well with simulation results, and the Pocket SG-TFET shows a record minimum SS of 36mV/dec in silicon based planar TFETs.

From the perspective of structure with novel switching mechanism, a novel

tunneling induced injection field-effect transistor (TI-FET) is proposed to increase the on-state current of TFET and decrease the SS at the same time. In order to demonstrate its tunneling current amplified effect, a tunneling current amplified transistor is first proposed and investigated. Simulation result shows that the on-state current can be improved by the tunneling current amplified effect but with SS degradation due to the floating potential of the tunneling base. In order to both increase the on-state current as well as decrease the SS, TI-FET is proposed. By inserting a N pocket layer between the gate and drain, a hole barrier and a electron well are introduced simultaneously into the channel. The hole barrier will prevent the drain leakage injection in the off-state, which results in low off-current. On the subthreshold state, some tunneling electron will be trapped in the electron well and the well depth will be accordingly decreased, which will decrease the hole barrier and the injection current from drain will be increased, resulting in higher current density. When electron well is full, hole barrier cannot be decreased, TI-FET is working in the on-state. Simulation shows that by using of this tunneling current amplified effect, on-state current of TI-FET can be increased by almost 1.5 magnitudes and the SS can be reduced by 27% compared with the conventional TFET.

**Keywords:** Tunneling FET, transistor, comb-shaped gate, strip-shaped gate, pocket layer



# 目录

摘要 .....	I
Abstract.....	III
目录 .....	VII
第一章 引言 .....	1
1.1 新型低功耗器件的研究背景.....	1
1.2 超低功耗隧穿场效应晶体管的工作原理.....	4
1.3 隧穿场效应晶体管研究现状及存在的问题.....	6
1.4 本论文的主要工作与创新点.....	9
第二章 流梳栅隧穿场效应晶体管的研究 .....	12
2.1 引言 .....	12
2.2 流梳栅场效应晶体管的结构与仿真分析.....	12
2.2.1 流梳栅场效应晶体管的器件结构.....	12
2.2.2 流梳栅场效应晶体管的模拟分析.....	13
2.2.3 自耗尽效应.....	18
2.3 流梳栅场效应晶体管的制备与结果讨论.....	20
2.4 肖特基源极流梳栅场效应晶体管.....	23
2.4.1 肖特基源极 CG-TFET 的结构与基本原理.....	23
2.4.2 $\Phi_B$ 对肖特基源极 CG-TFET 的影响.....	24
2.4.3 $W_{FG}$ 对肖特基源 CG-TFET 的影响.....	28
2.4.4 肖特基源极 CG-TFET 的制备与测试.....	29
2.5 本章小结 .....	32
第三章 条形栅隧穿场效应晶体管的研究 .....	34
3.1 引言 .....	34
3.2 条形栅场效应晶体管的结构与工作原理.....	34
3.2.1 条形栅场效应晶体管的结构.....	34
3.2.2 条形栅场效应晶体管的优化原理.....	35
3.3 条形栅隧穿场效应晶体管的模拟分析.....	38

3.3.1 大尺寸与小尺寸条形栅隧穿场效应晶体管转移特性 .....	38
3.3.2 小尺寸条形栅隧穿场效应晶体管亚阈特性退化原理分析 .....	40
3.4 小尺寸下条形栅隧穿场效应晶体管的优化分析 .....	43
3.4.1 采用短栅设计的条形栅隧穿场效应晶体管 .....	43
3.4.2 采用 T 型栅电极设计的条形栅隧穿场效应晶体管 .....	48
3.4.3 阶梯栅介质条形栅场效应晶体管 .....	53
3.5 Pocket 条形栅隧穿场效应晶体管 .....	60
3.5.1 常规 Pocket 隧穿场效应晶体管 .....	60
3.5.2 Pocket 条形栅隧穿场效应晶体管 .....	66
3.6 条形栅的实验验证 .....	70
3.7 本章小结 .....	73
<b>第四章 复合导通机制隧穿晶体管 .....</b>	<b>74</b>
4.1 隧穿电流放大原理 .....	74
4.2 隧穿放大晶体管 .....	75
4.2.1 隧穿放大晶体管的器件结构 .....	75
4.2.2 隧穿放大晶体管的模拟分析 .....	77
4.2.3 隧穿放大晶体管存在的问题 .....	79
4.3 隧穿触发注入场效应晶体管 TI-FET .....	80
4.3.1 TI-FET 的器件结构 .....	81
4.3.2 TI-FET 的工作原理 .....	81
4.3.3 TI-FET 的模拟与讨论 .....	83
4.4 本章小结 .....	94
<b>第五章 总结 .....</b>	<b>95</b>
<b>参考文献 .....</b>	<b>97</b>
<b>博士期间发表论文和申请专利情况 .....</b>	<b>109</b>
<b>致谢 .....</b>	<b>111</b>

# 第一章 引言

## 1.1 新型低功耗器件的研究背景

在过去的 40 年里，半导体集成电路特征尺寸按照“摩尔定律”<sup>[1]</sup>等比例地减小，芯片性能不断地提高，制造成本不断地下降，这促进了半导体产业不断地增长。逐渐扩大的市场会促进半导体产业的再投资，进一步促进了技术的进步，这又会反过来促进集成电路的特征尺寸继续缩小，最终形成一个良性循环<sup>[2]</sup>。然而在半导体技术与市场相互促进的过程中，集成电路的功耗却一直在上升，如图 1.1 所示。

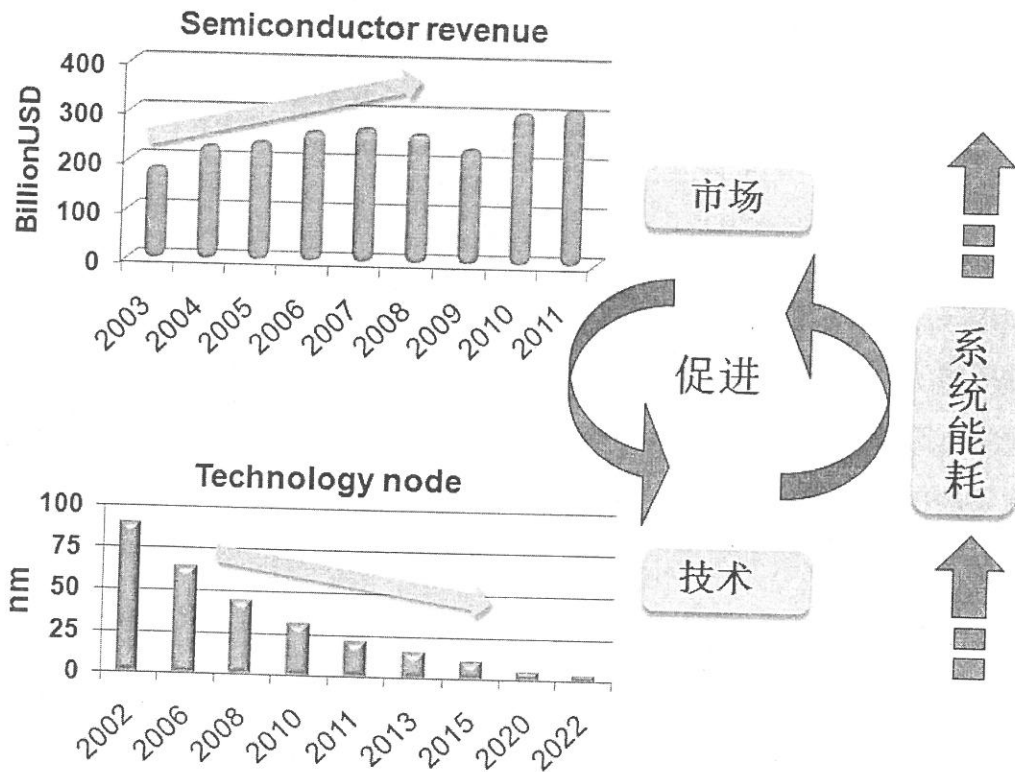


图 1.1 半导体技术与市场相互促进，能耗不断上升<sup>[3]</sup>

根据 ITRS<sup>[4]</sup>预测，在 2020 年，半导体器件的特征尺寸将缩小到 10nm，如图 1.2 所示。然而随着半导体器件尺寸缩小至纳米尺度，芯片的功耗将成为限制半导体技术进一步发展的瓶颈。如何降低系统的能量损耗将成为一个非常重要的课题。

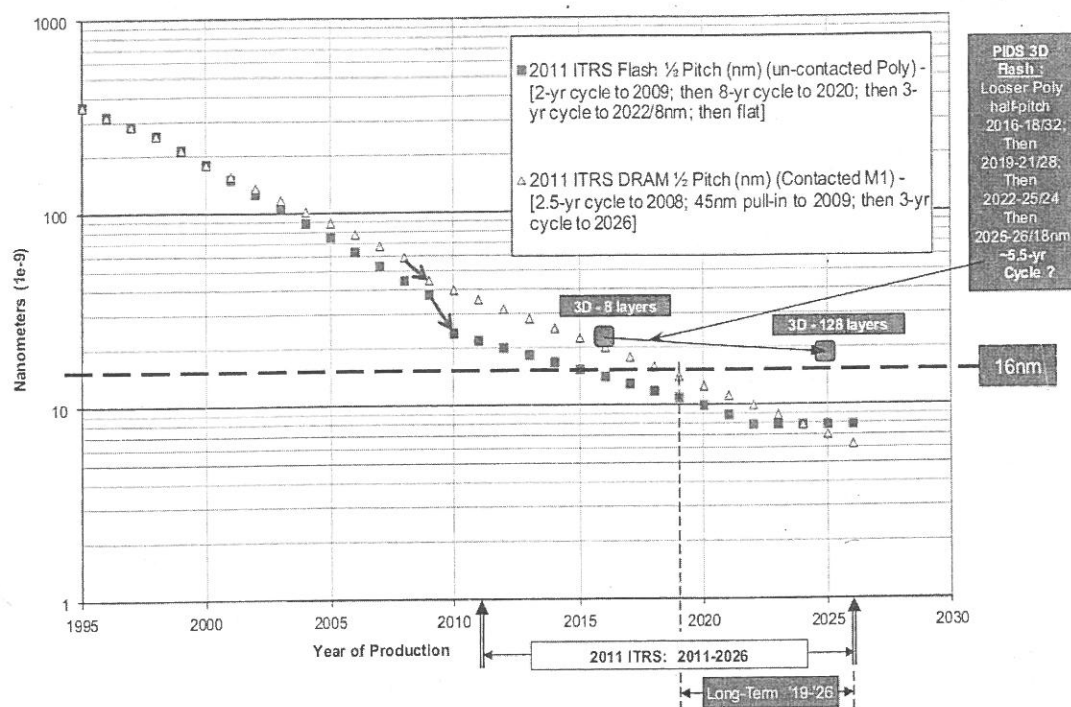


图 1.2 ITRS 对 half-pitch 的预测

降低系统功耗的一个有效办法是降低电源电压，然而随着半导体器件进入纳米尺度，进一步降低电源电压会遇到非常大的困难。这主要是因为传统 MOSFET 的亚阈值斜率受到热电势的限制，其室温理论极限值为 60mV/dec。这意味着 3 个数量级开关比的输出电流需要至少 180mV 的电源电压。另一方面，为了保证足够的电流驱动能力，在降低电源电压的同时需要保持足够的过驱动电压，因此阈值电压需要跟随电源电压同时降低，这会引入泄漏电流升高<sup>[5]</sup>，导致静态功耗增加，如图 1.3 所示。为了解决这个矛盾，需要研究一种超陡直亚阈值斜率的新型超低功耗半导体器件。这些新型器件一般摒弃了传统 MOSFET 热电子翻越势垒的载流子注入机制，理论上可以实现常温下低于 60mV/dec 的超陡直亚阈值斜率，可以在更小栅电压范围内得到更大的输出电流开关比，降低器件的静态功耗以及动态功耗，以适合未来超低功耗领域的应用<sup>[6, 7]</sup>。

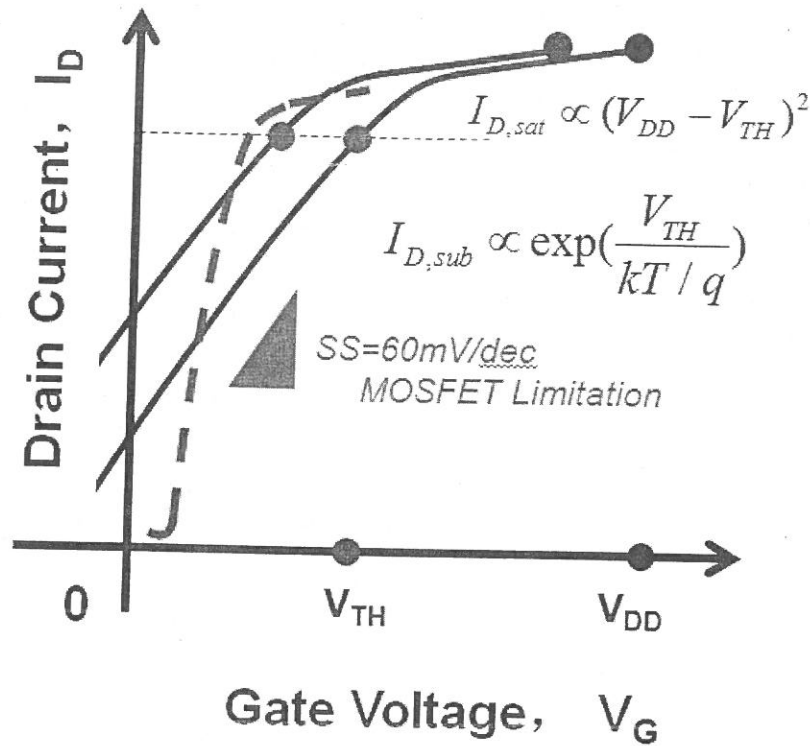


图 1.3 MOSFET 以及超低功耗器件的转移特性示意图

目前这些新型超低功耗器件包括电离碰撞场效应晶体管 (IMOS) [8-22]、反馈场效应晶体管 (Feedback FET) [23]，悬栅场效应晶体管 (SG-MOS) [24-30]以及隧穿场效应晶体管 (TFET) [31-39]。IMOS 器件利用高电场区中碰撞电离所产生的电子空穴对为沟道提供载流子，具有非常陡直的亚阈值斜率，一般小于 10mV/dec。但是由于碰撞电离不仅要求高电场区电场足够高而且还要求高场区域具有一定的长度，因此 IMOS 源漏之间的电势差很难缩小到 5V 以下，这一点在根本上限制了 IMOS 电源电压进一步降低。Feedback FET 利用了晶体管内部载流子之间的反馈过程，在栅电压的触发下，沟道自动从高阻小电流状态转换为低阻大电流状态，亚阈值斜率陡直，开态电流大。但是由于建立内部反馈机制需要一定的电流大小，因此 Feedback FET 具备陡直亚阈值斜率的电流范围比较有限。而且由于载流子存储效应，晶体管转移特性曲线表现出迟滞效应。这些都限制了 Feedback FET 在逻辑电路中的应用。SG-MOS 利用电压控制机械栅电极与器件主体部分分离与结合，造成电流突变，降低亚阈值斜率。SG-MOS 具有陡直的亚阈值斜率以及高开态电流，但是器件开关速度会被机械运动速度所限制。不仅如此，由于需要克服机械栅的弹性力，器件开启栅电压比较高。而 TFET 是利

用量子力学隧穿而导通的场效应晶体管，不仅具有陡直的亚阈值斜率，而且对工作电压要求低，工艺过程完全与 CMOS 标准工艺兼容，是最有应用潜力的超低功耗半导体器件。

## 1.2 超低功耗隧穿场效应晶体管的工作原理

TFET 的器件结构为一个栅控 PiN 二极管，如图 1.4 所示。在栅电极零偏置情况下，其沟道表面能带如图 1.5 所示。源漏之间存在着由沟道禁带所形成的电子势垒，源端价带电子无法直接向漏端导带中空电子态隧穿，因此器件处于关态。此时 TFET 的泄漏电流主要是反偏置 PiN 二极管的泄漏电流。在硅基 TFET 中其主要成分是空间电荷区的产生电流，一般低于 MOSFET 泄漏电流约三个数量级。

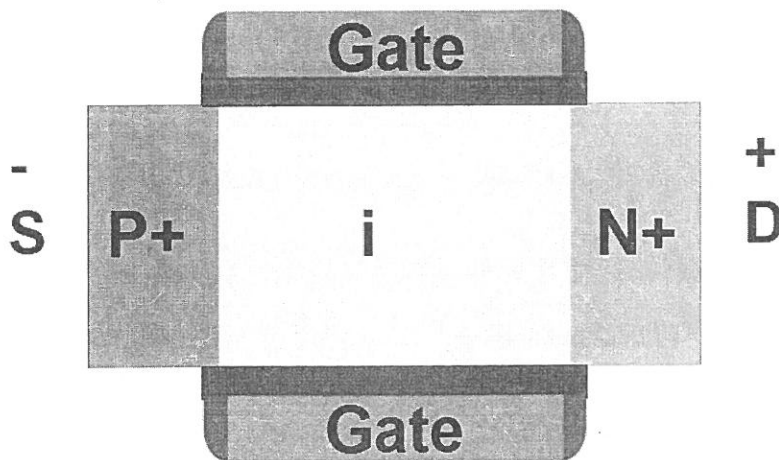


图 1.4 TFET 的结构示意图

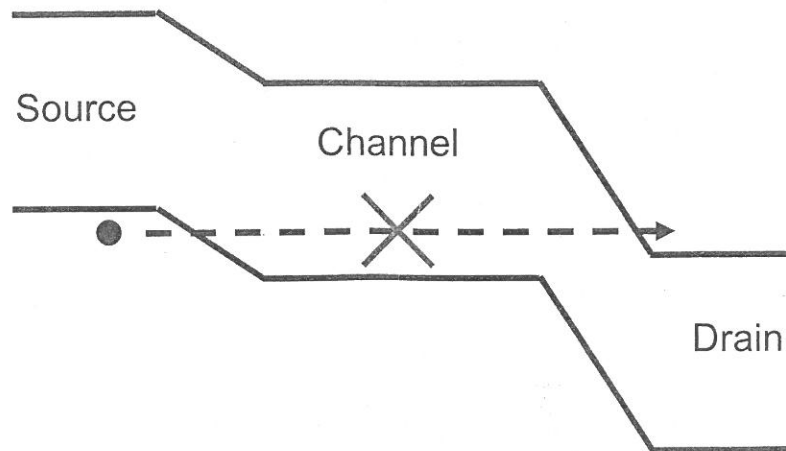


图 1.5 关态 TFET 沟道能带

当栅电极施加正电压时，沟道中的能带随着沟道电势的上升而下移。当沟道中导带底低于源端价带顶的时候，由于隧穿势垒已经非常薄，源端价带中的电子开始向沟道导带中具有相同能量的空电子态隧穿，如图 1.6 所示，隧穿几率用  $T$  表示。进入沟道的隧穿电子，在沟道的横向电场作用下，向漏极漂移形成最终的漏极电流。一般来说，隧穿结隧穿能力要小于沟道的输运能力，隧穿进入沟道的载流子会立即被沟道横向电场抽走，不会在沟道形成堆积。因此 TFET 漏极电流基本上等于隧穿结的隧穿电流。

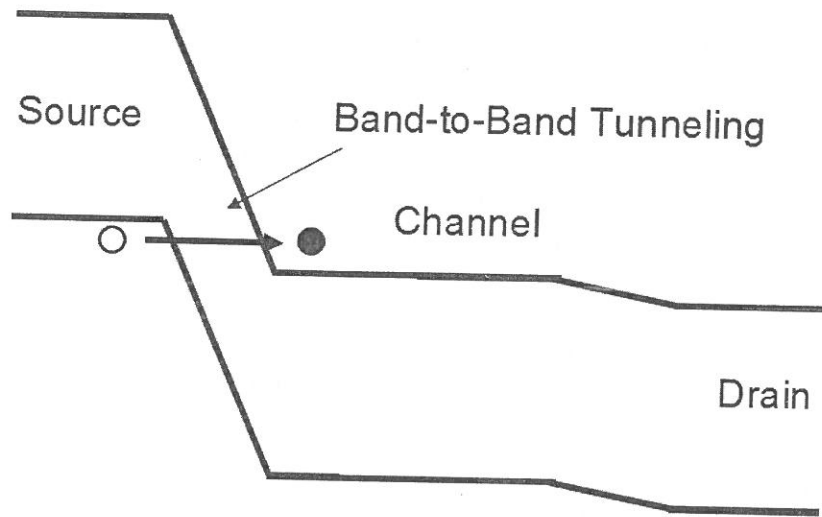


图 1.6 带带隧穿发生时 TFET 沟道能带

对于隧穿几率的估计，一般都将隧穿结的隧穿势垒近似为一个三角形势垒<sup>[40]</sup>，如图 1.7 所示。利用 WKB 近似计算隧穿几率<sup>[40]</sup>，其表达式为（一维情况下）：

$$T \approx \exp\left(-\frac{4\lambda\sqrt{2m^*}\sqrt{E_g^3}}{3q\hbar(E_g + \Delta\Phi)}\right) \quad (1)$$

其中  $m^*$  为有效质量， $E_g$  为禁带宽度， $\Delta\Phi$  为源端价带顶能量与沟道导带底能量的差值， $\lambda$  为屏蔽长度，指的是源区与沟道区之间在沟道表面处的耗尽层宽度。而隧穿电流密度则通过  $J=nqv$  计算，其中  $n$  为可以发生隧穿的载流子浓度， $n$  与隧穿几率、隧穿结两边的态密度以及费米狄拉克分布函数有关。 $v$  为隧穿方向上电子的群速度。隧穿电流密度的一般表达式为：

$$J = \frac{\sqrt{2m^*}q^3V_R^2}{8\pi^2\hbar^2E_g^{1/2}\lambda} \exp\left(-\frac{4\lambda\sqrt{2m^*}E_g^{3/2}}{3qV_R\hbar}\right) \quad (2)$$

其中  $V_R$  为沟道表面电势。

$$\text{因此亚阈值斜率为: } SS = \ln 10 \cdot \frac{\delta V_G}{\delta \ln J} = \frac{V_G^2}{2V_G + BE_g^{3/2} \lambda \beta} \quad (3)$$

$$\text{其中 } \beta = \left(1 + \frac{C_{si}}{C_{ox}}\right) \quad B = \frac{4\sqrt{2m^*}}{3q\hbar}$$

式 (3) 说明了 TFET 的亚阈值斜率不会受到热电势  $kT/q$  限制, 理论上可以实现非常陡直的亚阈值斜率。式 (3) 同时也说明了 TFET 亚阈值斜率会随着栅电压的增加而增加。

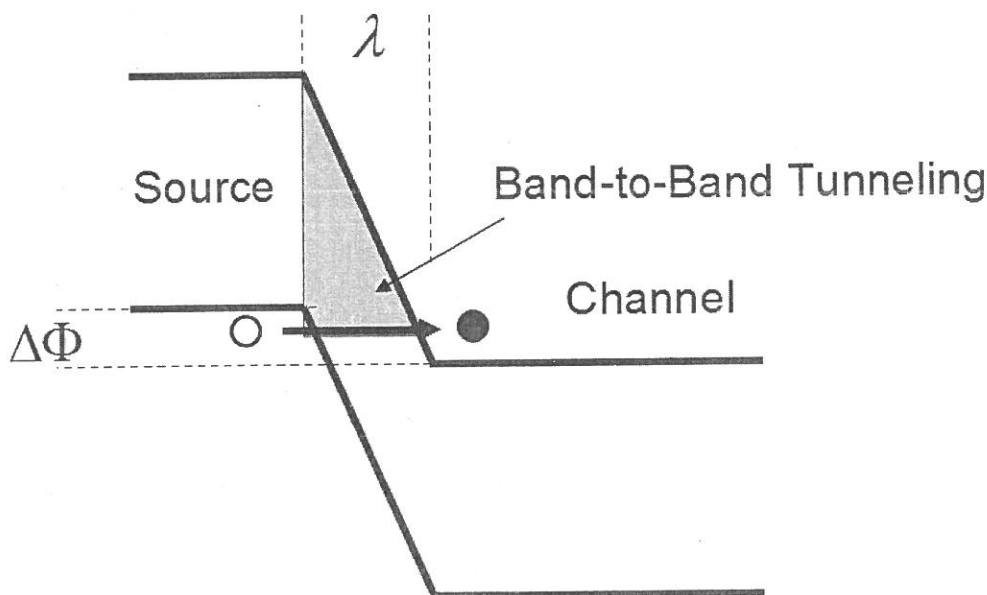


图 1.7 隧穿结的三角形势垒

### 1.3 隧穿场效应晶体管研究现状及存在的问题

TFET 的优势首先是工艺实现简单。与 MOSFET 相比, 其结构上的区别仅仅在于非对称的源漏掺杂, 制备工艺完全与 CMOS 兼容。其次, 这种非对称掺杂可以避免 MOSFET 源漏之间的穿通, 可以采用本征沟道掺杂, 避免了短沟情况下沟道杂质随机分布对器件特性的影响。另外, 由于隧穿电流与隧穿结处的电场非常相关, 而与沟道运输能力相关性微弱, 因此 TFET 具有比较好的尺寸缩小能力<sup>[41-43]</sup>。然而由于受制于隧穿结有限的隧穿几率, TFET 的开态电流以及亚阈值斜率相比其他超低功耗器件还存在着不足。但是隧穿结的隧穿几率可以通过优化

器件结构以及采用新的半导体材料的方法进一步提高。提高隧穿结的隧穿几率, 根据式 (1), 可以降低隧穿结的禁带宽度, 因此可以采用窄禁带半导体材料设计 TFET, 或者在 TFET 源区采用窄禁带半导体材料来提高隧穿结隧穿几率。根据式 (1), 还可以通过降低  $\lambda$  来提高隧穿结的隧穿几率。 $\lambda$  反映的是栅对沟道的控制能力, 越小的  $\lambda$  对应着越好的栅控能力。通过降低栅介质的等效厚度, 采用超薄体或者环栅纳米线结构都可以降低  $\lambda$  来提高隧穿结隧穿几率<sup>[44, 45]</sup>。另外提高隧穿结的陡变程度以及减小有效质量也可以提高隧穿几率。

关于硅基 TFET 的研究, 2007 年 Woo Young Choi 等人在 70nm 的 SOI 层上制备了硅基 TFET<sup>[46]</sup>, 栅氧化层厚度为 2nm, 沟道长度为 70nm, 所制备的 TFET 在常温下的亚阈值斜率为 52.8mV/dec, 开态电流为 12.1 $\mu$ A/ $\mu$ m, 关态电流为 5.4nA/ $\mu$ m。这是首次关于硅基 TFET 亚阈值斜率小于 60mV/dec 的报道。不过由于泄漏电流比较大, 电流开关比有限。

K.E.Moselund 等人对两种不同栅介质的硅基纳米线 TFET 进行了研究<sup>[47]</sup>。研究表明采用 5nm 的 HfO<sub>2</sub> 高 K 介质栅相对 20nm 的 SiO<sub>2</sub> 介质栅, 开态电流可以由 0.024 $\mu$ A/ $\mu$ m 提高到 0.102 $\mu$ A/ $\mu$ m, 漏极电流在 10<sup>-7</sup>-10<sup>-3</sup> $\mu$ A/ $\mu$ m 之间的亚阈值斜率由 200mV/dec 降低到 120mV/dec。但是受制于隧穿结形成的质量, 亚阈值斜率仍然比较高。Z.X.Chen 等人制备了垂直结构硅基纳米线 TFET<sup>[48]</sup>。在沟道长度 200nm, 直径 70nm, 栅氧化层厚度 4.5nm 的纳米线 TFET 上实现了 70mV/dec 的亚阈值斜率以及 53 $\mu$ A/ $\mu$ m 的开态电流, 开关比达到 10<sup>7</sup>。另外, Z.X.Chen 还分析了隧穿结的陡变程度对 TFET 转移特性的影响。通过模拟分析, 隧穿结越陡变, 亚阈值斜率越小, 开态电流也越大。最近, 这个研究小组又通过低温杂质分凝技术激活垂直纳米线 TFET 源极杂质, 并且得到更陡变的隧穿结<sup>[49]</sup>。所制备的 TFET 可以在三个数量级的漏极电流范围内保持不高于 50mV/dec 的亚阈值斜率, 电流开关比达到 10<sup>5</sup>。

Kanghoon Jeon 等人<sup>[50]</sup>利用杂质分凝技术提高隧穿结的陡变程度, 同时利用楔形源极结构提高隧穿结的电场强度, 在 SOI 上实现 47mV/dec 的亚阈值斜率以及 1.2 $\mu$ A/ $\mu$ m 的开态电流, 开关比达到 10<sup>7</sup>。

在新材料方面, F.Mayer 等人对比讨论了 SOI、Si<sub>1-x</sub>Ge<sub>x</sub>OI 以及 GeOI 基 TFET 的特性<sup>[51]</sup>, 制备工艺都与 CMOS 工艺兼容。其中栅介质采用 3nm 的 HfO<sub>2</sub> 然后

再叠加一层 10nm 的 TiN。SOI 层与 SiGe 层的厚度都为 20nm，而 GOI 中 Ge 的厚度为 60nm。研究表明 SOI TFET (P 型) 的亚阈值斜率为 42mV/dec，开态电流约为 0.08 $\mu\text{A}/\mu\text{m}$ 。随着材料中 Ge 含量的提高，TFET 的开态电流会越来越大，但是亚阈值斜率却在退化。在 GOI TFET 中，开态电流可以达到 216 $\mu\text{A}/\mu\text{m}$ ，相比 SOI TFET 开态电流提高了 2700 倍，但是由于泄漏电流随着 Ge 含量的提高而增加，TFET 亚阈值斜率会退化。

而 Sung Hwan Kim 等人制备了锗隧穿结 SOI TFET<sup>[52]</sup>。在 SOI 衬底上，通过各向同性刻蚀源区，然后利用 LPCVD 淀积 P 型掺杂多晶 Ge 形成隧穿结。栅氧为 SiO<sub>2</sub> 厚度 3nm，栅长 5000nm，硅膜厚度为 70nm。其利用了窄禁带半导体材料锗的高隧穿几率，提高开态电流，同时利用漏极硅相对比较高的禁带宽度抑制泄漏电流。结果表明所制备的锗隧穿结 SOI TFET 开态电流 0.42 $\mu\text{A}/\mu\text{m}$ ，关态电流为 0.12pA/ $\mu\text{m}$ 。

对于锗基或者锗硅基 TFET<sup>[53-61]</sup>，其优势在于工艺比较成熟，开态电流比较大。但是相对硅基 TFET 来说，锗基或者锗硅基 TFET 泄漏电流比较高。开关比有限。

对于 III-V 族化合物半导体 TFET 来说，由于某些 III-V 族化合物半导体具有窄禁带宽度以及有效质量小等特点，非常有利于提高隧穿几率，不仅如此，某些 III-V 族异质结能够提供更小的隧穿势垒宽度，进一步优化 TFET 的性能<sup>[62-74]</sup>。S.Mookerjee 等人<sup>[75]</sup>制备了沟长 100nm 基于 In<sub>0.53</sub>Ga<sub>0.47</sub>As 的纵向 TFET，等效氧化层厚度为 4.5nm。所制备的 TFET 开态电流为 20 $\mu\text{A}/\mu\text{m}$ ，电流开关比大于 10<sup>4</sup>，但是亚阈值斜率却为 250mV/dec。H.Zhao 等人<sup>[76]</sup>在 In<sub>0.7</sub>Ga<sub>0.3</sub>As 材料的 TFET 上得到了 86mV/dec 的亚阈值斜率，50 $\mu\text{A}/\mu\text{m}$  的开态电流 (EOT=1.2nm)。G.Dewey 等人<sup>[77]</sup>对比研究了 In<sub>0.53</sub>Ga<sub>0.47</sub>As 同质结 TFET 与具有 In<sub>0.7</sub>Ga<sub>0.3</sub>As Pocket 层的异质结 TFET。其中同质结 TFET 等效栅氧化层厚度 14.5Å，而异质结 TFET 等效栅氧化层厚度为 11 Å。结果表明，异质结 TFET 具有更陡直的亚阈值斜率 (约 58mV/dec) 以及更高的漏极电流 (约 2 $\mu\text{A}/\mu\text{m}$ ，偏置 V<sub>G</sub>-V<sub>T</sub>=0.5V，文中定义 V<sub>T</sub> 为 I<sub>D</sub> 等于 300pA/ $\mu\text{m}$  时候的栅电压)。

基于 III-V 族化合物半导体材料的 TFET，其优势在于高开态电流。但是由于泄漏电流比较大，一般难以实现高的开关比。另外陷阱辅助隧穿现象也会造成

TFET 亚阈值斜率退化，而且生产制备成本也比较高昂。

## 1.4 本论文的主要工作与创新点

现阶段对于 TFET 的优化，报道的工作主要集中在减小等效栅氧厚度、采用超薄体或者环栅纳米线结构增加栅控能力；采用新半导体材料提高隧穿结隧穿效率。其中减小栅氧厚度、采用超薄体或者环栅纳米线等设计方法主要借鉴传统器件的设计思路，性能提升有限。而采用新半导体材料不仅会提高制造成本、增加工艺难度，而且同时会引起泄漏电流的增加，造成静态功耗的上升。

本论文在保证基本工艺兼容性的基础上的分别从新器件结构与新工作机制两个方面进行创新，以提高 TFET 的开态电流以及降低 TFET 的亚阈值斜率，极大地提升了 TFET 在超低功耗领域的应用潜力。从新结构出发，针对如何提高 TFET 的开态电流，提出一种新型流梳栅 TFET。然后利用自耗尽效应并结合肖特基结高的隧穿效率的特点提出一种更优化的肖特基源极流梳栅 TFET，进一步提高 TFET 开态电流。针对如何进一步降低 TFET 亚阈值斜率的问题，提出一种新型条形栅 TFET。通过条形栅结构的设计，利用自耗尽效应，降低隧穿起始点隧穿势垒宽度，实现更陡直的电流开启，有效地降低 TFET 亚阈值斜率。通过实验验证了新器件结构的优良特性。实验都以硅基 TFET 为例，但是同样适用于采用其它半导体材料 TFET 的设计，并且能相应地提高器件性能。

从新工作机制出发，针对如何同时提高开态电流与降低亚阈值斜率，提出一种基于隧穿触发注入的新机制场效应晶体管。隧穿触发注入场效应晶体管利用器件内部的放大机制，放大隧穿电流，提高开态电流的同时降低亚阈值斜率。

### 本论文的主要工作与创新点包括：

- 一，提出了一种新型流梳栅 TFET，仅通过版图设计，增加了结的隧穿面积，有效地提高了 TFET 的开态电流，其工艺制备与标准 CMOS 工艺完全兼容。详细分析了梳指沟道中的自耗尽效应，基于自耗尽效应并结合肖特基隧穿结高的隧穿效率的特点，首次提出一种肖特基源极流梳栅 TFET 以进一步提高开态电流。
- 二，在北京大学微米/纳米加工技术国家重点实验室成功制备流梳栅 TFET

以及肖特基源极流梳栅 TFET。实验结果显示流梳栅 TFET 与肖特基源极流梳栅 TFET 均有效地提高 TFET 的开态电流,其中肖特基源极流梳栅 TFET 的开态电流为  $5.4\mu\text{A}/\mu\text{m}$ , 开关比达到  $10^7$ 。与常规 TFET 相比,开态电流有将近 3 个数量级的提升。

- 三, 首次提出一种条形栅 TFET, 利用沟道中的自耗尽效应, 降低隧穿发生时隧穿结的势垒宽度, 有效地降低 TFET 的亚阈值斜率, 工艺制备与 CMOS 标准工艺完全兼容。模拟研究了小尺寸条形栅 TFET 的寄生隧穿结隧穿现象以及其对器件特性的影响, 并且提出 Short gate、T 型栅电极、阶梯栅介质以及异质栅介质等设计方案, 有效地抑制寄生隧穿。
- 四, 提出 Pocket 条形栅 TFET 结构, 进一步降低 TFET 亚阈值斜率并且提高开态电流。通过模拟详细研究了 Pocket 的参数对器件特性的影响, 并且与常规 Pocket TFET 做了对比研究, 结果显示在条形栅 TFET 中引入 Pocket 层不仅可以抑制寄生隧穿结隧穿, 而且可以减小器件特性对 Pocket 层的深度以及宽度的依赖关系。
- 五, 在北京大学微米/纳米加工技术国家重点实验室成功制备条形栅 TFET 以及 Pocket 条形栅 TFET。所制备的条形栅 TFET 亚阈值斜率为  $50\text{mV}/\text{dec}$ , Pocket 条形栅 TFET 的亚阈值斜率为  $36\text{mV}/\text{dec}$ , 首次在硅基 TFET 中实现了低于  $40\text{mV}/\text{dec}$  的超陡亚阈值斜率。
- 六, 提出一种隧穿触发注入场效应晶体管 (TI-FET), 首次采用晶体管内部放大机制放大隧穿电流, 降低 TFET 亚阈值斜率的同时提高器件开态电流。模拟分析表明相比常规 TFET, TI-FET 的开态电流提高了 1.5 个数量级同时亚阈值斜率降低约 27%。通过模拟分析详细讨论了 Pocket 层掺杂、厚度、位置以及栅非覆盖区域长度对器件特性的影响, 为设计优化 TI-FET 提供了理论依据。

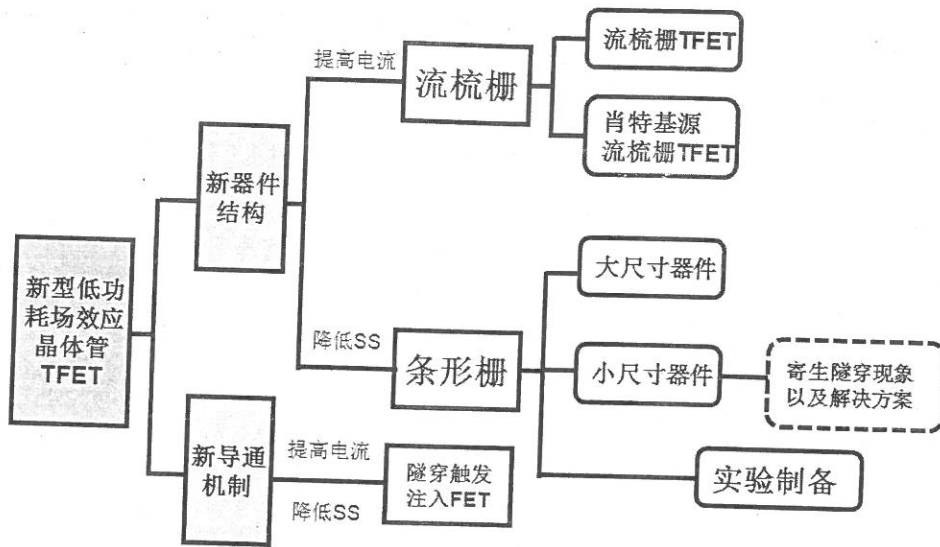


图 1.16 本论文的结构框架

本论文的结构框架如图 1.16 所示，各章内容具体安排如下：

第一章 综述超低功耗器件的背景与研究意义，介绍隧穿场效应晶体管的研究现状，总体介绍本论文的结构与主要内容。

第二章 研究流梳栅 TFET 的直流特性。分析梳指长度、梳指宽度对 TFET 直流特性的影响，重点分析梳指沟道区中的自耗尽效应。研究肖特基源流梳栅 TFET 的直流特性。分析其关态、开态的物理机制。最后实验制备了流梳栅 TFET 以及肖特基源极流梳栅 TFET。

第三章 理论分析条形栅 TFET 工作原理，分别研究大尺寸条形栅 TFET 以及小尺寸条形栅 TFET 的转移特性。针对小尺寸下条形栅 TFET 所存在的寄生隧穿的问题，提出四种优化解决方案，分析 Pocket 条形栅 TFET 的性质并且与常规 Pocket TFET 的器件特性进行对比分析，最后实验制备了条形栅 TFET 以及 Pocket 条形栅 TFET，并对实验结果进行分析。

第四章 介绍隧穿电流放大原理，分析了隧穿放大晶体管的优势与缺陷，然后对隧穿放大晶体管进行改进，提出隧穿触发注入场效应晶体管，并对其工作原理进行详细分析，并且对其关键设计参数进行讨论。

第五章 对本论文的工作进行总结。

## 第二章 流梳栅隧穿场效应晶体管的研究

### 2.1 引言

由于受制于隧穿结有限的隧穿几率, TFET 开态电流比较小。提高 TFET 开态电流一般采用以下两种途径。在器件结构上, 减小栅氧化层厚度或者采用高 K 介质栅增加隧穿结处的电场强度<sup>[78-81]</sup>; 采用 Pocket 结构, 减小隧穿势垒宽度的同时增加隧穿结面积<sup>[82, 83]</sup>。其中第一种技术可以在任何 TFET 结构中使用并且能相应地增加 TFET 开态电流, 而采用源极插入 Pocket 设计的 TFET, 需要保证 Pocket 层被完全耗尽, 否则将会引入非常高的泄漏电流, 因此采用 Pocket 结构的 TFET 在设计上存在着困难。另一个方法是采用窄禁带半导体材料制备 TFET。为了减小器件泄漏电流, 一般只在 TFET 的源极采用窄禁带材料。采用窄禁带半导体材料的 TFET, 开态电流提升比较明显, 因为禁带宽度越窄, 隧穿势垒宽度就会越小。缺点在于采用异质结结构不仅增加了工艺难度, 同时也增加了生产制造的成本。本章为提高 TFET 的开态电流, 提出一种流梳栅设计的 TFET, 通过将栅设计为流梳状, 在相同有源区尺寸下充分扩展 TFET 隧穿面积, 提高隧穿电流。为了更进一步提高开态电流, 本论文对所提出的流梳栅 TFET (CG-TFET) 进行了进一步优化, 将部分 CG-TFET 源极的 P+掺杂用金属硅化物代替, 利用肖特基结高隧穿效率提高 CG-TFET 的开态电流; 同时利用梳指沟道区中的自耗尽效应, 提高沟道中电子势垒高度, 抑制关态肖特基热注入泄漏电流, 从而实现高电流开关比。

### 2.2 流梳栅场效应晶体管的结构与仿真分析

#### 2.2.1 流梳栅场效应晶体管的器件结构

CG-TFET 结构示意图如图 2.1(a)所示, 栅结构被设计成流梳形状, 如图 2.1(b)所示。栅向源端延伸的部分为梳指部分, 将梳指栅连接在一起的为梳柄栅。源端杂质的注入采用流梳栅为硬掩膜自对准注入, 因此沟道区也呈现出流梳状, 分为沟道的梳指区以及梳柄区, 如图 2.1(c)所示。CG-TFET 工艺流程与常规 TFET 完全相同, 仅仅采用了不同的栅结构。

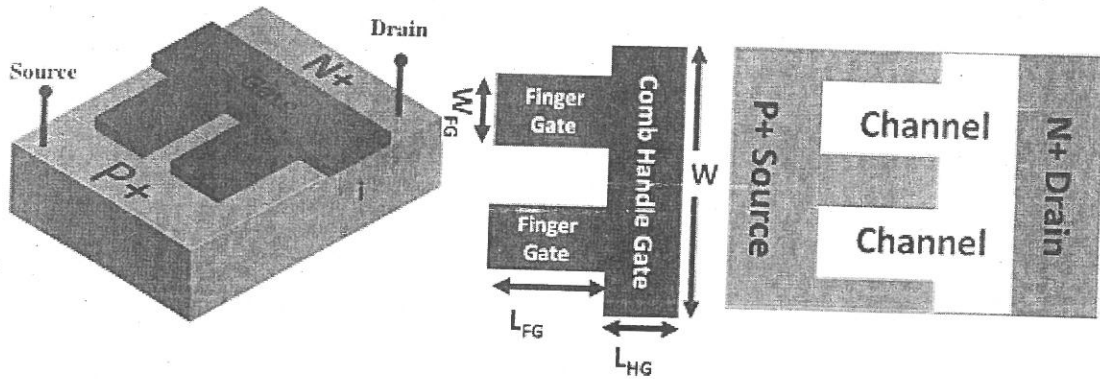


图 2.1 (a)CG-TFET 器件结构 (b) CG-TFET 栅结构示意图 (c) CG-TFET 沟道表面俯视图

## 2.2.2 流梳栅场效应晶体管的模拟分析

在 CG-TFET 中,流梳栅尺寸参数包括:梳指栅长度( $L_{FG}$ ),梳指栅宽度( $W_{FG}$ ),梳柄栅长度( $L_{HG}$ ),总栅长( $L_G=L_{HG}+L_{FG}$ ),总栅宽度( $W$ )。其中最关键的尺寸参数为  $L_{FG}$  与  $W_{FG}$ 。在仿真分析中会重点研究它们对 CG-TFET 器件特性的影响。

本论文采用 Sentaurus Tcad tools 对流梳栅 TFET 进行模拟分析。模拟分析中考虑了掺杂浓度对载流子迁移率的影响,纵向电场对载流子迁移率的影响以及高场载流子迁移率的退化。同时采用 SRH 作为产生复合模型,而最为关键的带带隧穿采用了 Nonlocalpath1 模型。该模型考虑了带带隧穿发生的必要条件:电子隧穿势垒一侧存在被占据的态,而在另一侧,能量与电子隧穿一侧相同的能级未被占据。这个模型更适合用来分析流梳栅 TFET,特别是研究自耗尽区中的带带隧穿电流,该模型能更准确地计算 CG-TFET 亚阈值隧穿电流。

模拟分析之前,本论文根据所制备的常规 TFET 转移特性曲线进行了隧穿模型的校准,如图 2.2 所示。其中实验制备的 TFET,栅氧化层厚度 5nm,沟道长度  $4\mu\text{m}$ ,沟道宽度  $10\mu\text{m}$ ,源漏采用简并重掺杂,漏极偏置 0.6V,源极接地。

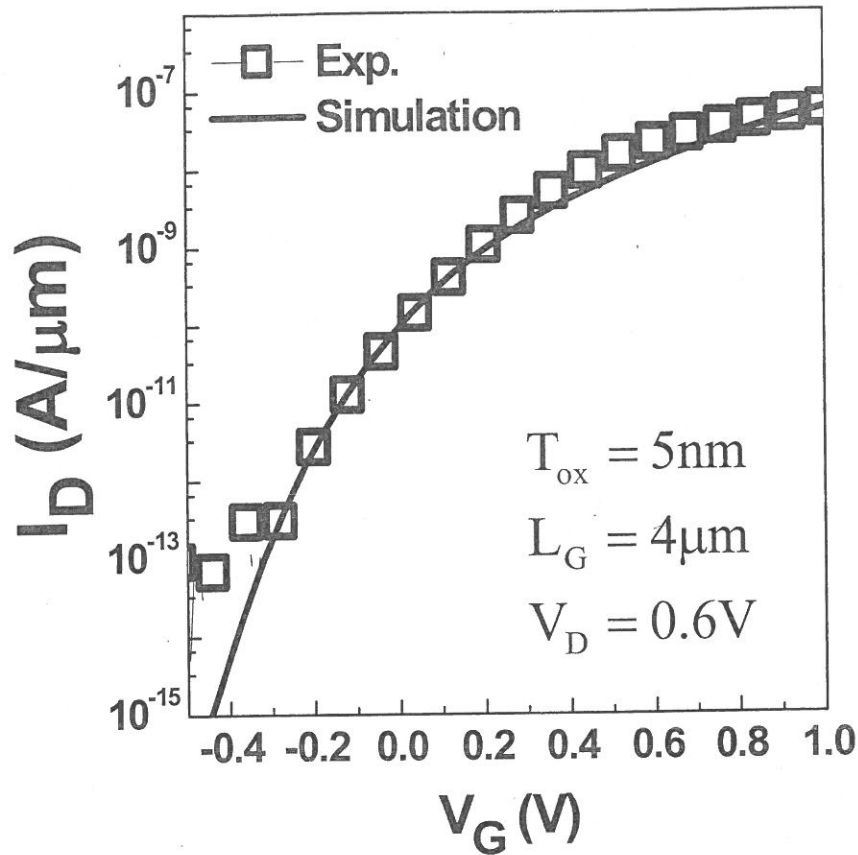


图 2.2 常规 TFET 转移特性曲线 (实验与模拟)

本论文首先对一个栅氧化层厚度  $T_{\text{ox}}$  为 2nm, 源漏掺杂 ( $N_{\text{drain}}$  与  $N_{\text{source}}$ ) 都为  $10^{20}\text{cm}^{-3}$ ,  $L_G$  为 200 nm,  $L_{\text{FG}}$  为 150 nm,  $W_{\text{FG}}$  为 30 nm,  $W_G$  为 100 nm 的双梳指 CG-TFET 进行模拟分析, 其转移特性如图 2.3 所示。与相同有源区尺寸的常规 TFET 相比, 其开态电流提高了 6 倍。这是因为采用流梳栅结构设计, 在相同的器件尺寸下, CG-TFET 能够充分利用了有源区横向空间, 拓展了隧穿结的总面积。如图 2.4 所示的双梳指 CG-TFET 与常规 TFET 半导体表面俯视图。采用流梳栅设计的 CG-TFET 总的隧穿结宽度 (以虚线标识)  $W_{\text{total}}=700\text{nm}$ , 而常规 TFET 隧穿结的宽度为  $W_{\text{total}}=100\text{nm}$ , 理论上双梳指 CG-TFET 的开态电流是相同有源区尺寸下常规 TFET 的 7 倍, 计算与理论基本相吻合。

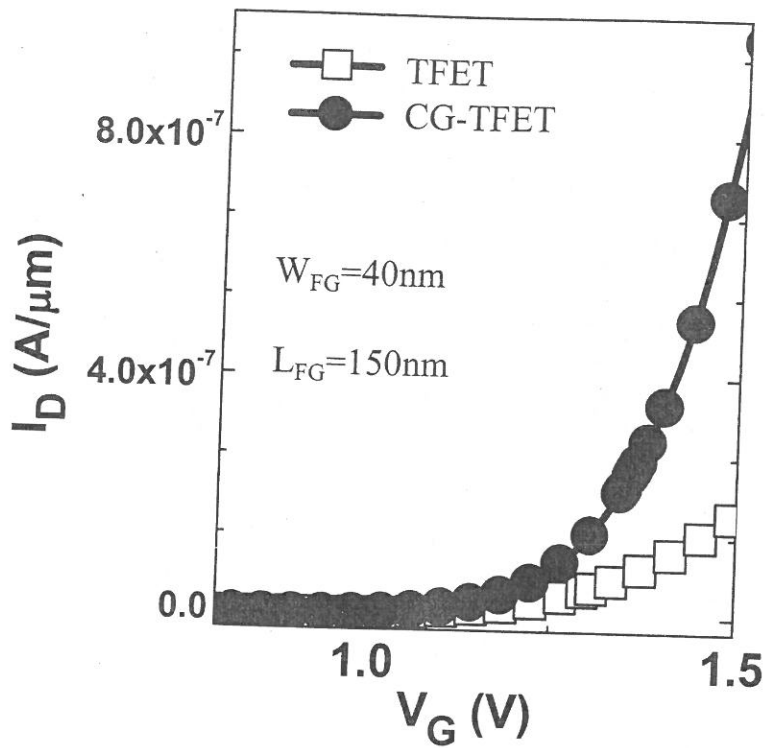


图 2.3 CG-TFET 与常规 TFET 的转移特性 (模拟)

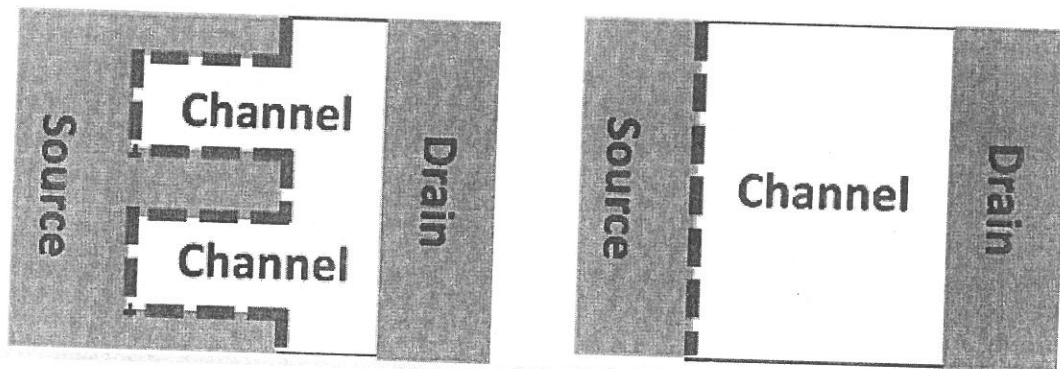


图 2.4 CG-TFET 与常规 TFET 半导体表面俯视图

本节将采用单梳指 CG-TFET 来分析  $L_{FG}$  以及  $W_{FG}$  对器件特性的影响。单梳指 CG-TFET 如图 2.5 所示。分析采用的器件参数为： $T_{ox}$  为 2nm，源漏掺杂为  $10^{20} \text{cm}^{-3}$ ， $L_G$  为 120nm。图 2.6 为不同  $L_{FG}$  情况下，单梳指 CG-TFET 的开态电流。结果表明，随着  $L_{FG}$  的增加，器件的开态电流会单调地增加。这是因为隧穿结的面积在单调地增加。但是随着  $W_{FG}$  减小，虽然隧穿面积没有变化，开态电流却有稍许降低，当  $W_{FG}$  为 20nm 的时候，开态电流会有明显地下降，如图 2.7 所示。

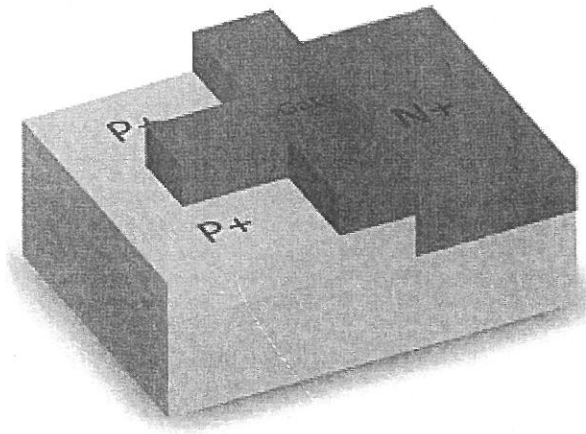


图 2.5 单梳指 CG-TFET 器件结构图

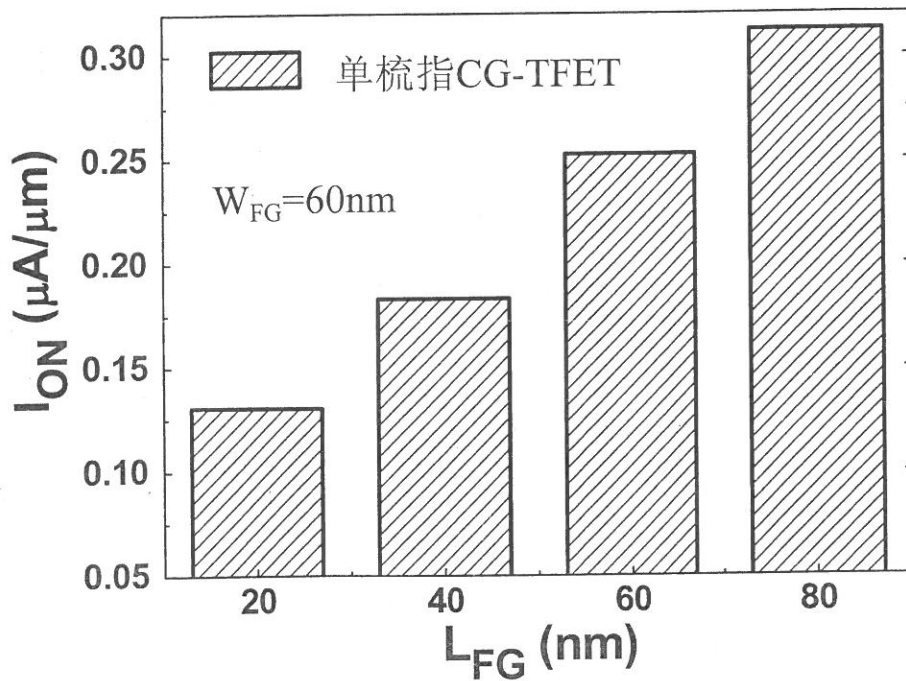


图 2.6  $L_{FG}$  对 CG-TFET 开态电流的影响

这主要是因为梳指宽度很窄的情况下，隧穿结有部分区域并不能发生带带隧穿，造成  $W_{total}$  减小，因此 CG-TFET 的开态电流会下降。根据不同梳指宽度下，带带隧穿发生位置分布图，如图 2.8 所示。其中红色的区域是带带隧穿几率最高的地方。从图中可以看出，当  $W_{FG}$  在 20nm 以上的时候，整个隧穿结基本上都可以发生带带隧穿，因此  $W_{total}$  基本上是一个常数。而当  $W_{FG}$  为 20nm 的时候，沟道末端拐角处的隧穿结并不能发生带带隧穿，因此  $W_{total}$  会有一定的缩减，造

成了隧穿电流的减小。造成这种现象的主要原因是梳指沟道区中存在自耗尽效应，自耗尽效应会抑制隧穿在沟道末端拐角处发生。关于自耗尽效应将在后面详细阐述。

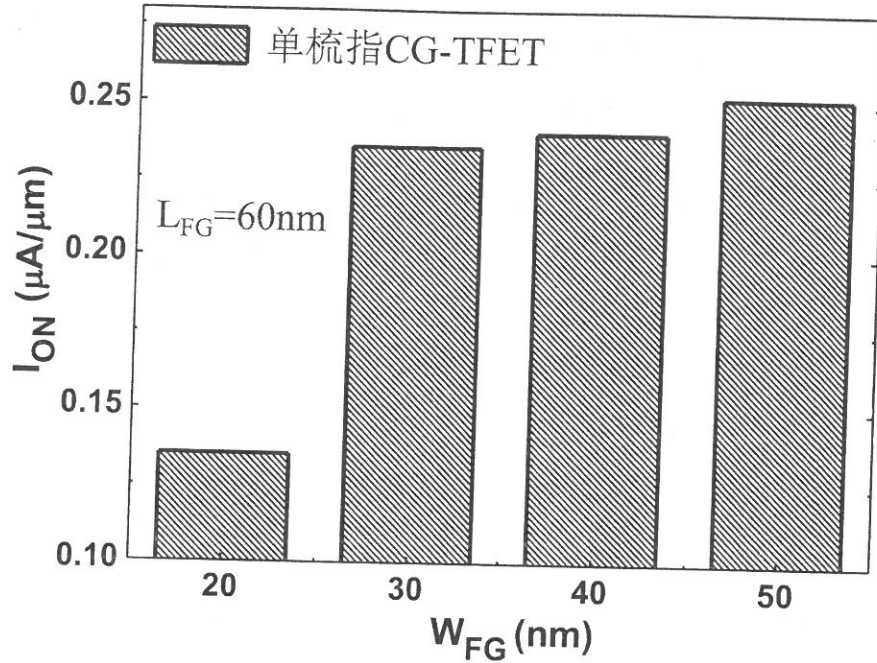


图 2.7  $W_{FG}$  对 CG-TFET 开态电流的影响

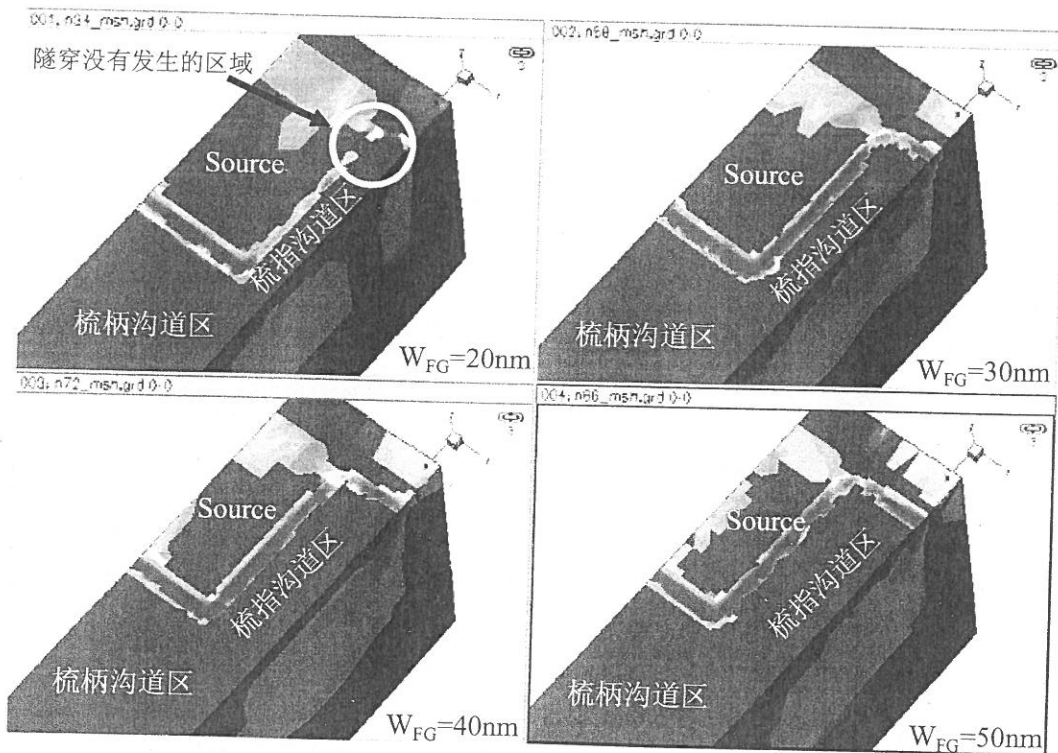


图 2.8 不同  $W_{FG}$  情况下，CG-TFET 沟道表面带带隧穿几率分布图  
(图中器件已经沿中轴线切分，图示为器件的一半)

### 2.2.3 自耗尽效应

以 P+i 结在 i 区所形成的耗尽区为研究对象，自耗尽效应描述的是 i 区由于耗尽区之间的交叠而引起的区域内电势降低的效应。自耗尽效应的强弱正比于耗尽区交叠的程度。由于栅电极屏蔽作用，器件表面的耗尽层宽度会小于体内，因此体内的自耗尽效应会大于表面。而器件表面的自耗尽效应也会随着栅氧化层厚度的增加而增强。因为栅氧厚度增加会造成栅对表面场屏蔽能力减弱。自耗尽效应在 CG-TFET 中具体指梳指沟道中侧边 P+i 结内建势所产生的耗尽层在沟道中交叠，如图 2.9 所示的单梳指 CG-TFET 半导体表面俯视图。当  $W_{FG}$  比较大的时候，如图 2.9(a) 所示，两个侧边 P+i 结的耗尽区边界(depleted region boundary)并没有交叠，顶端 P+i 结的耗尽区与两个侧边 P+i 结的耗尽区有少量交叠。当  $W_{FG}$  比较小的时候，如图 2.9(b) 所示，所有 P+i 结的耗尽区相互交叠，这时候就在梳指沟道区中形成一个自耗尽区域(self depleted region)，并且这个区域分为“**A**”与“**B**”两个部分，它们分别对应三个 P+i 结耗尽层相互交叠的区域“**A**”以及两个侧边 P+i 结耗尽层相互交叠的区域“**B**”。

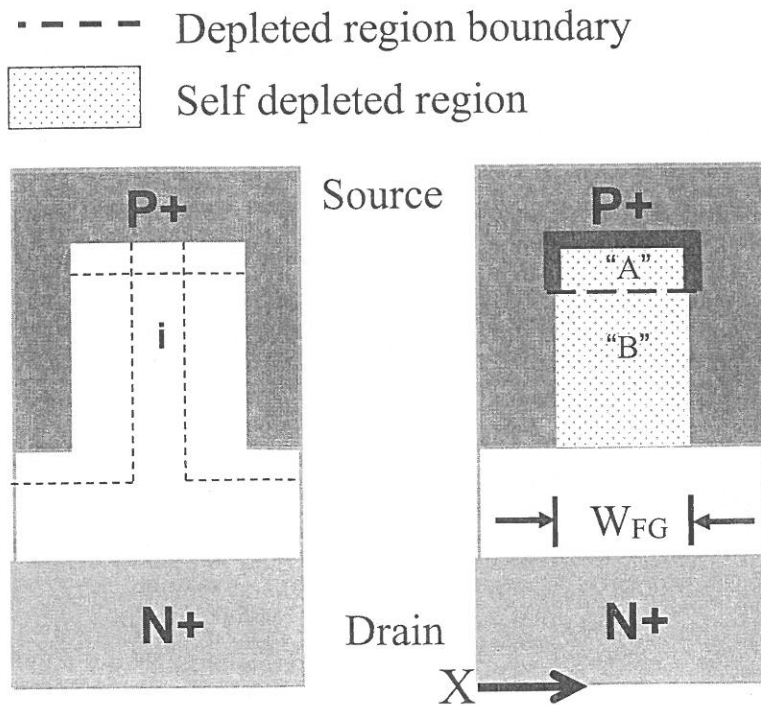


图 2.9 (a) 宽  $W_{FG}$  CG-TFET 沟道表面俯视图 (b) 窄  $W_{FG}$  CG-TFET 沟道表面俯视图  
 (a) 图中，两个侧边的 P+i 结耗尽层没有交叠，而(b)  
 中所有 P+i 结耗尽层全部交叠，形成一个自耗尽区域。

在自耗尽区中，由于 P+i 结耗尽区相互交叠，结果导致 i 区中电势降低，导带上升，如图 2.10 所示。当器件处于关态，由于自耗尽的作用，区域“A”与“B”中电势要低于自耗尽区域以外的电势。另外，在区域“A”中，由于有三个 P+i 结的耗尽区相互作用，自耗尽效应会更加强烈，因此相对于区域“B”电势会更低。

当器件处于开态，通过提取不同  $W_{FG}$  条件下区域“A”中的能带，如图 2.11 所示。结果表明，随着  $W_{FG}$  减小，由于自耗尽效应不断地增强，区域“A”中的电势会单调地降低，因此导带会单调地上升。当  $W_{FG}$  减小到 20nm 的时候，沟道中导带底将高于源区价带顶，因此带带隧穿将不会在区域“A”所覆盖的隧穿结上发生，如图 2.9(b)源区粗实线所示。因此当  $W_{FG}$  缩小到 20nm，CG-TFET 将损失一部分隧穿面积，开态电流会有所减小。

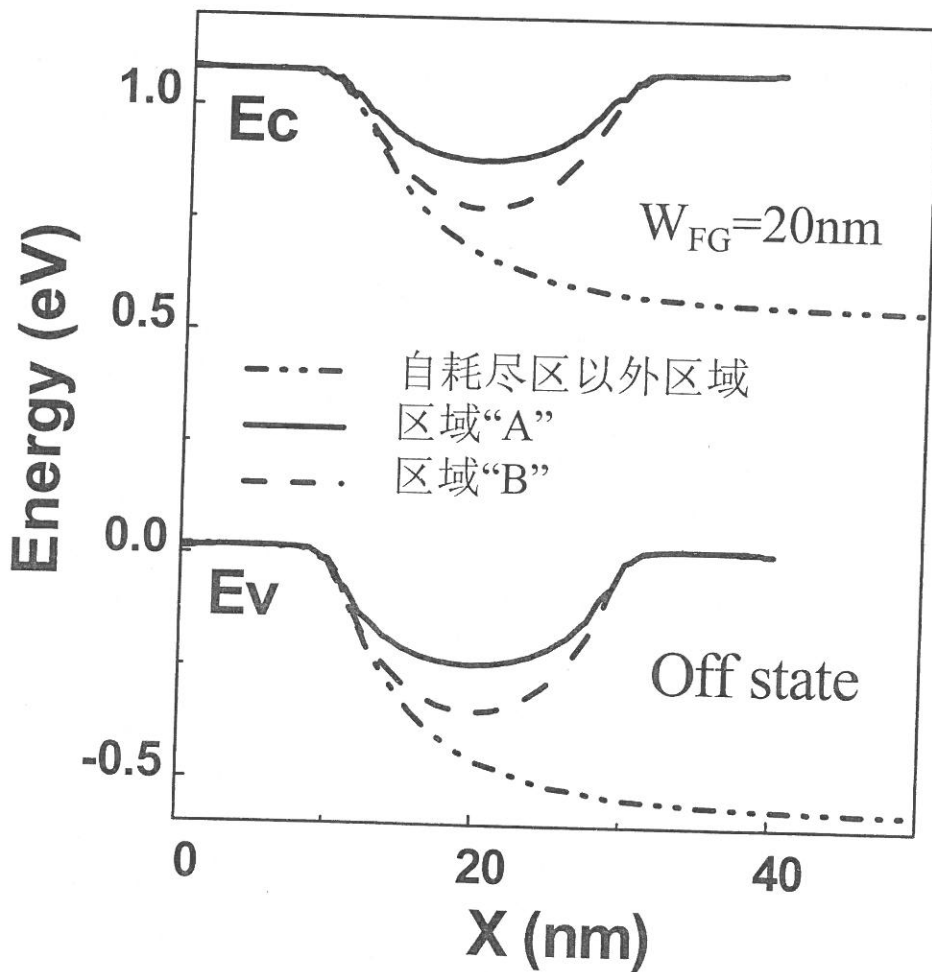


图 2.10 关态下 CG-TFET 沟道表面不同区域的能带分布

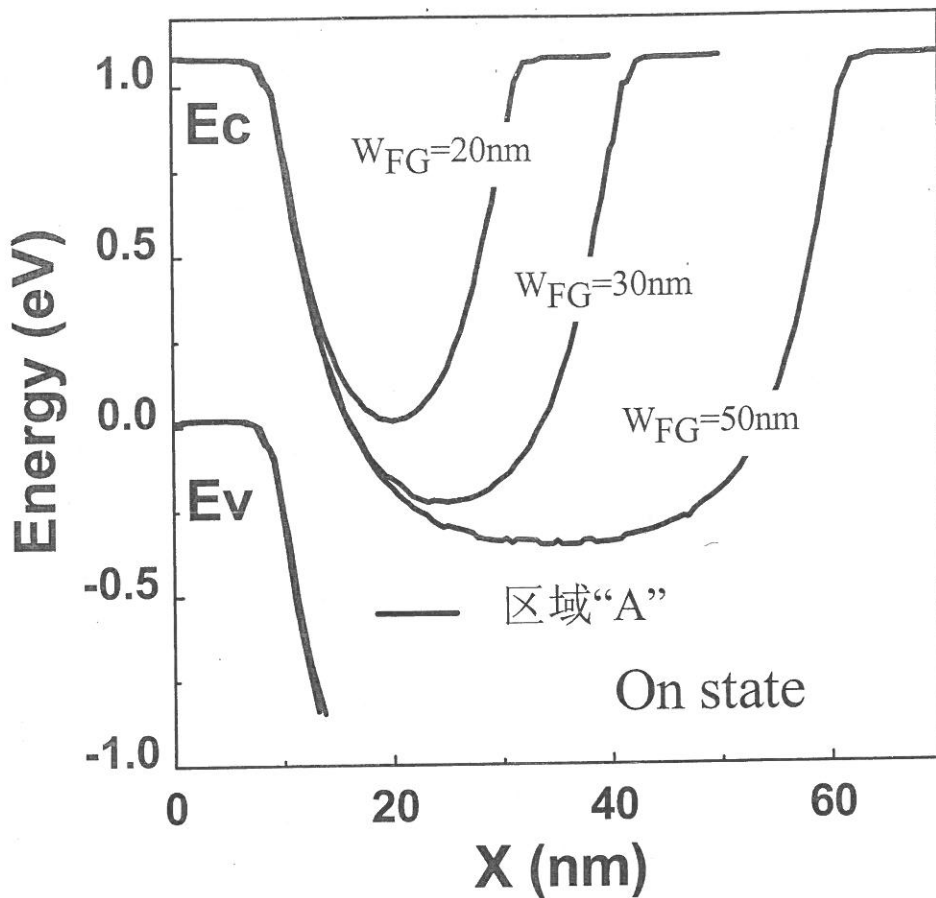


图 2.11 开态下  $W_{FG}$  对自耗尽区域“ $A$ ”中能带的影响

### 2.3 流梳栅场效应晶体管的制备与结果讨论

CG-TFET 与 TFET 的工艺制备主要流程如下：在高阻衬底上光刻有源区，然后进行 LOCOS 氧化。刻蚀出有源区以后进行栅氧化，然后 LPCVD 多晶硅作为栅电极，紧接着进行多晶硅掺杂注入如图 2.12(a)所示。多晶硅注入之后，进行多晶硅栅各向异性刻蚀，然后光刻出漏极注入窗口，之后以光刻胶以及多晶硅栅为掩膜进行漏极 As 注入，如图 2.12(b)所示。光刻出源极注入窗口，以光刻胶以及多晶硅栅为掩膜进行源极  $BF_2$  注入，如图 2.12(c)所示。源极杂质注入之后，进行注入杂质激活，如图 2.12(d)所示。LPCVD  $SiO_2$ ，然后光刻接触孔，如图 2.12(e)所示。最后，溅射金属光刻出金属电极，如图 2.12(f)所示。

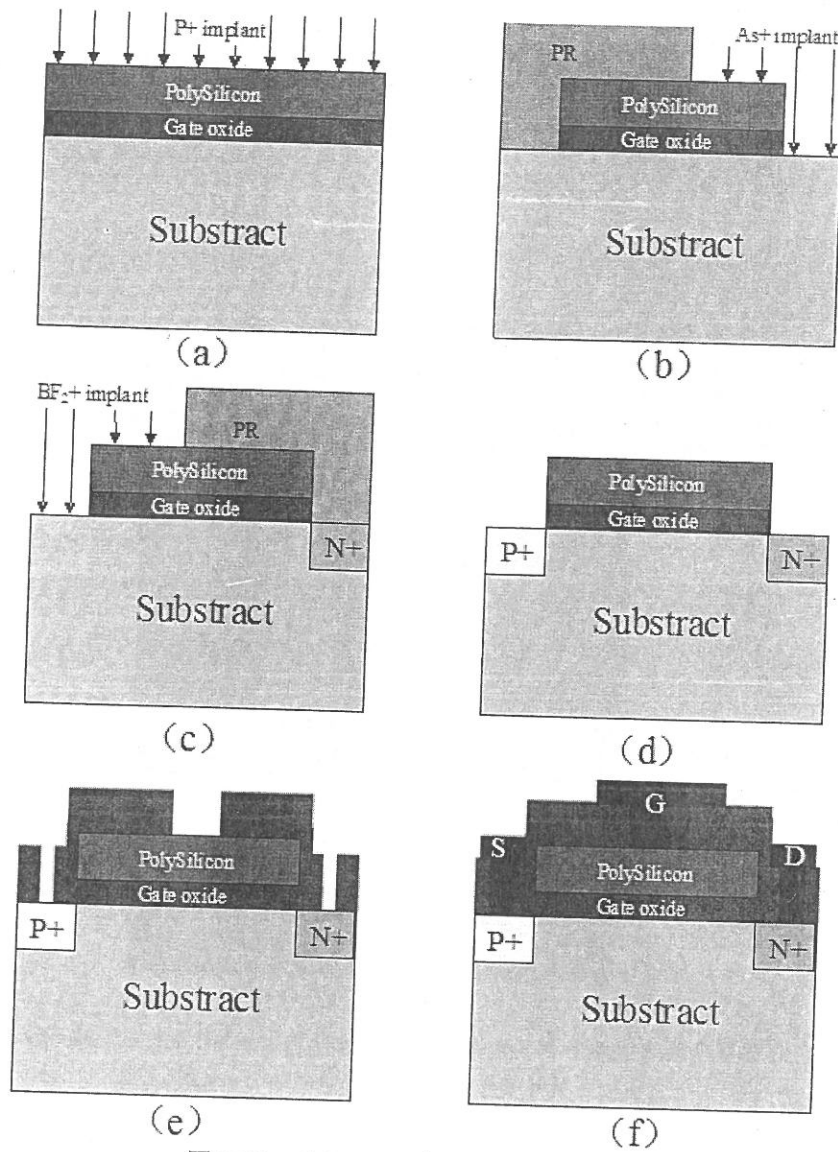


图 2.12 CG-TFET 与 TFET 制备流程图

图 2.13(a)(b)(c)分别为所制备的常规 TFET,单指 CG-TFET,三梳指 CG-TFET 的 SEM 图。常规 TFET 的  $W_G$  为  $10\mu\text{m}$ , 因此  $W_{\text{total}}$  为  $10\mu\text{m}$ 。单指 CG-TFET 的  $L_{FG}$  为  $5\mu\text{m}$ ,  $W_{FG}$  为  $3\mu\text{m}$ ,  $W_G$  为  $10\mu\text{m}$ , 因此  $W_{\text{total}}$  为  $20\mu\text{m}$ , 而相同尺寸下三指 CG-TFET 的  $L_{FG}$  为  $5\mu\text{m}$ ,  $W_{FG}$  为  $2\mu\text{m}$ ,  $W_G$  为  $10\mu\text{m}$ , 因此  $W_{\text{total}}$  为  $40\mu\text{m}$ 。三梳指 CG-TFET 的隧穿面积是常规 TFET 的 4 倍,单指 CG-TFET 的隧穿面积为常规 TFET 的 2 倍。测试结果如图 2.14 所示,三梳指 CG-TFET 的开态电流为  $0.03\mu\text{A}/\mu\text{m}$  (电流开关比约  $10^5$ ),单指 CG-TFET 开态电流为  $0.015\mu\text{A}/\mu\text{m}$ ,而常规 TFET 开态电流为  $7.4\text{ nA}/\mu\text{m}$ 。测试结果与理论符合的很好。

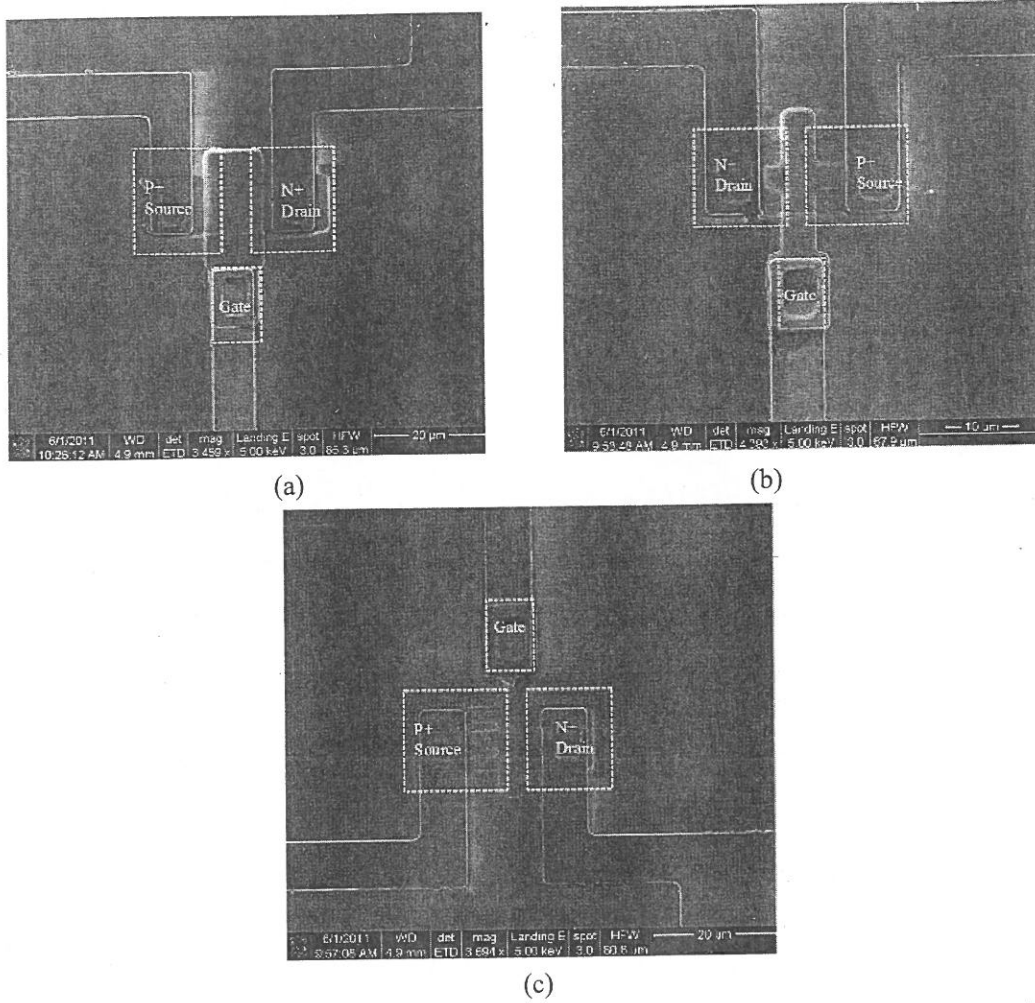


图 2.13 (a)常规 TFET SEM 图, (b)单指 CG-TFET SEM 图, (c)三梳指 CG-TFET SEM 图

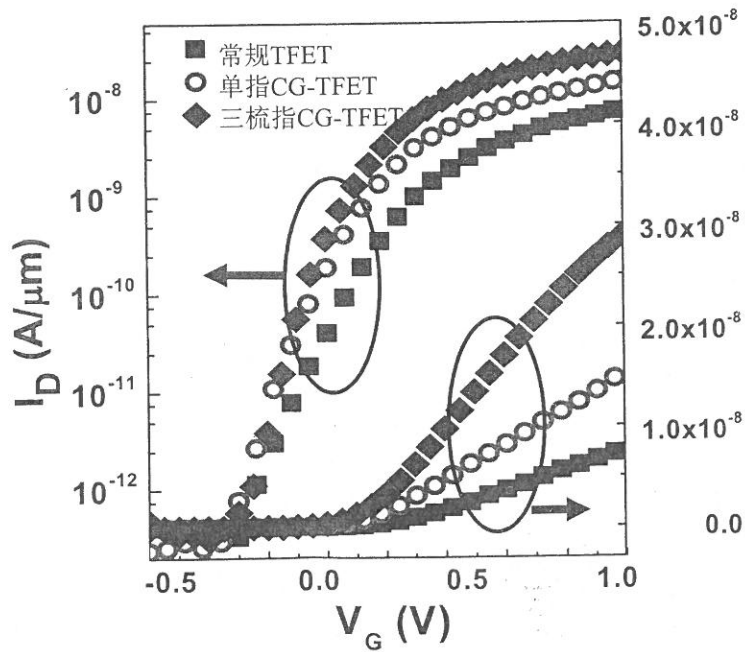


图 2.14 常规 TFET, 单指 CG-TFET, 三梳指 CG-TFET 转移特性曲线 (实验结果)

## 2.4 肖特基源极流梳栅场效应晶体管

为了进一步提高 TFET 的开态电流，本论文对 CG-TFET 做了进一步优化。其方法是采用隧穿效率更高的肖特基隧穿结代替一部分硅基隧穿结，利用肖特基高效率的隧穿电流来补充 TFET 的带带隧穿电流。同时利用梳指沟道中的自耗尽效应提高沟道中电子的势垒，抑制关态情况下肖特基电子注入泄漏电流，提高 CG-TFET 输出电流的开关比。

### 2.4.1 肖特基源极 CG-TFET 的结构与基本原理

单指肖特基源极 CG-TFET 结构如图 2.15 所示，将 CG-TFET 源端部分 P+注入区域替换为金属硅化物形成肖特基接触，而金属硅化物与 P+注入区域接触的部分自动形成欧姆接触为 P+源区提供电位引出。

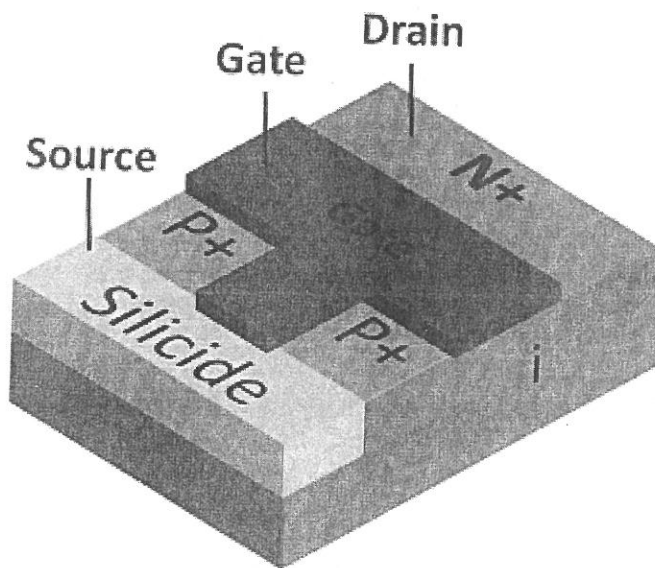


图 2.15 单指肖特基源极 CG-TFET 结构示意图

图 2.16 为肖特基源 CG-TFET 中肖特基隧穿注入电流分量以及带带隧穿电流分量的转移特性曲线，为了方便比较，单边 SBMOS（源端肖特基接触，漏端采用传统掺杂的 SBMOS）的转移特性曲线也同时在图中给出。结果表明，单边 SBMOS 的开态电流很高，但是同时泄漏电流也非常大<sup>[84]</sup>。而在肖特基源极 CG-TFET 中，可以通过降低  $W_{FG}$ ，提高沟道中的自耗尽效应，将肖特基源极注入泄漏电流降至带带隧穿电流以下。这样就能够保证肖特基源极 CG-TFET 陡直

的亚阈值特性。而在开态，肖特基源极仍然能够提供非常高的导通电流，因为肖特基源极相对带带隧穿有更高的注入效率。肖特基源极 CG-TFET 最重要的两个参数是肖特基势垒高度  $\Phi_B$ ，以及梳指宽度  $W_{FG}$ 。因为  $\Phi_B$  影响开态电流，而  $W_{FG}$  影响自耗尽效应的强度，进而影响对泄漏电流的抑制能力。

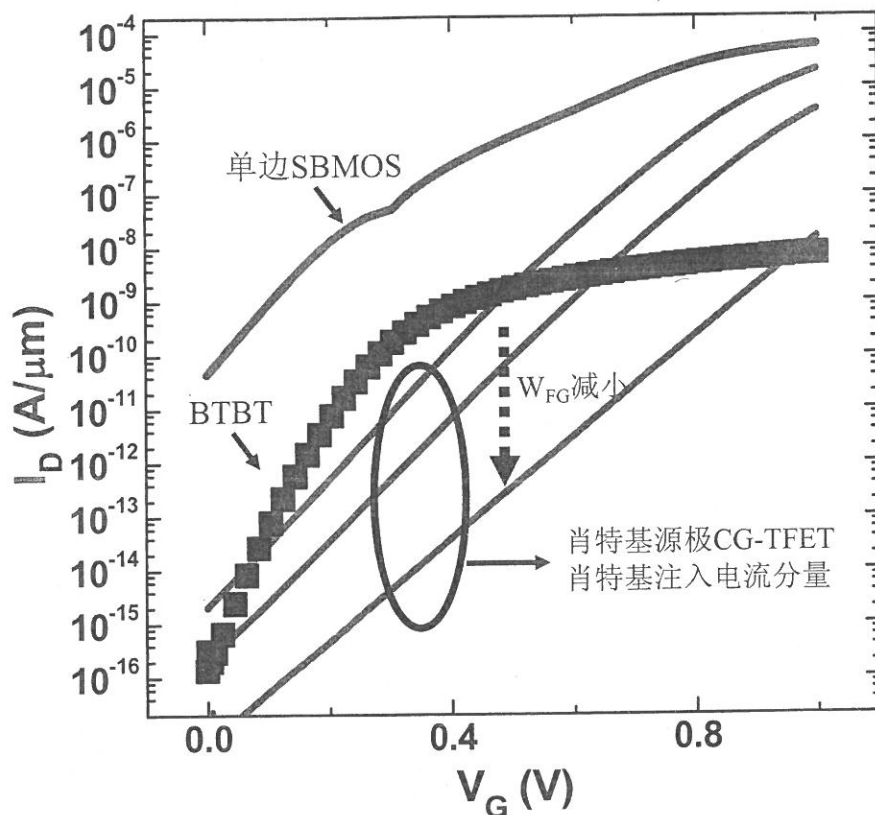


图 2.16 肖特基源极 CG-TFET，带带隧穿电流与肖特基注入电流的转移特性曲线

### 2.4.2 $\Phi_B$ 对肖特基源极 CG-TFET 的影响

抑制单边 SBMOS 的泄漏电流，可以通过提高肖特基源结的  $\Phi_B$  来实现。因为  $\Phi_B$  越高，源端的热电子越不容易向沟道发射，但是，高  $\Phi_B$  会减小源极隧穿几率，造成开态电流的下降。而肖特基源 CG-TFET 则利用梳指沟道中的自耗尽效应提高沟道中的电子势垒，抑制肖特基源极热注入泄漏电流。这样就可以采用低  $\Phi_B$  设计肖特基源极 CG-TFET，保证比较高的开态电流同时又不会增加泄漏电流。

为了详细说明这个问题，本论文利用 Sentaurus Tcad Tools 模拟了肖特基源极 CG-TFET 以及单边 SBMOS 沿着沟道方向上导带分布（取体内距离器件表面 25nm 处的导带分布。偏置为：栅电压 0V，漏电压 0.6V），如图 2.17。之所以分

析体内的导带分布是因为泄漏电流基本上是通过体内通路从源极流向漏极。由于沟道本征掺杂，SBMOS 源端中的电子所面对的总势垒高度为  $\Phi_B$ ，为了得到比较大的开态电流，一般要求  $\Phi_B$  尽可能得小。但是越小的  $\Phi_B$  意味着有更多的源端电子可以在关态下注入到沟道，从而引入比较大的泄漏电流。而肖特基源 CG-TFET，由于自耗尽效应，梳指沟道区中的导带分布有明显的隆起。因此对于源端电子来说，总电子势垒高度为  $\Phi_B + \Delta\Phi_B$ 。并且  $\Delta\Phi_B$  会远大于  $\Phi_B$ ，因此可以采用小的  $\Phi_B$  肖特基结以提高器件的开态电流，同时不会造成很大的泄漏电流。

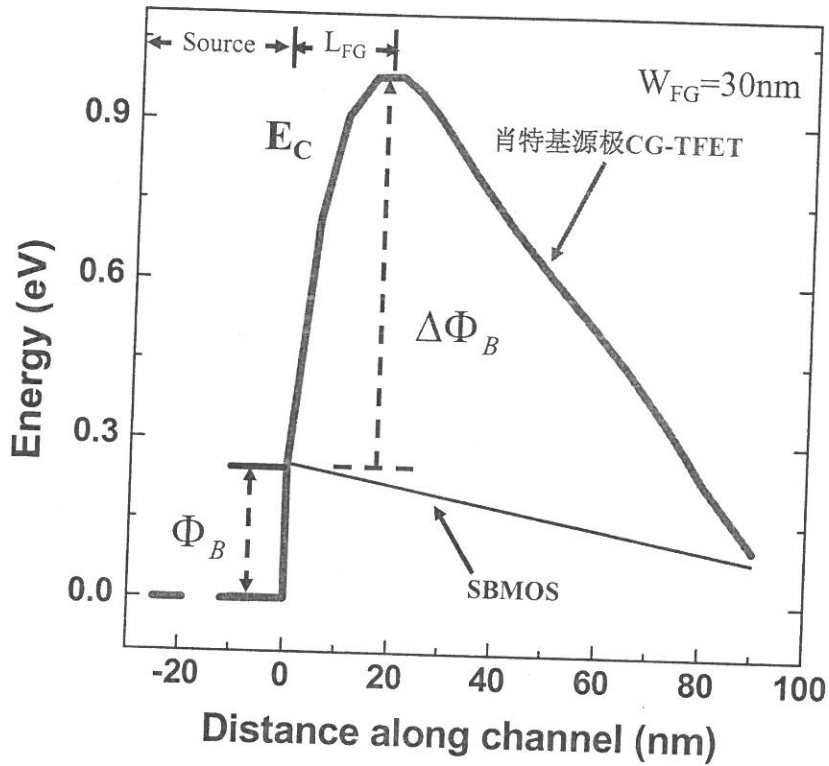


图 2.17 肖特基源极 CG-TFET 梳指沟道方向上导带能带分布（距离沟道表面 25nm 处）

由于自耗尽的作用，沟道中电子总势垒高度与  $\Phi_B$  的关系相对就会变弱，因此随着  $\Phi_B$  由 0.65eV 下降到 0.25eV，肖特基源 CG-TFET 的泄漏电流增加不到一个数量级如图 2.18 所示。但是对于 SBMOS 来说，随着  $\Phi_B$  由 0.65eV 下降到 0.25eV，泄漏电流却增加了 3.2 个数量级，并且在  $\Phi_B$  为 0.25eV 的时候，泄漏电流将比 CG-TFET 高 5 个数量级。虽然肖特基源 CG-TFET 的泄漏电流与  $\Phi_B$  关系比较弱，但是开态电流却依然是  $\Phi_B$  的强函数，因为开态电流主要集中在沟道表面，而表面的导带能量由于受到栅电极电势的强烈影响，并没有体内那么高，如图 2.19 所示。因此当器件处于开态，肖特基源 CG-TFET 的电子总势垒高度依然

是  $\Phi_B$  的强函数关系,  $\Phi_B$  越小开态电流也就越大 ( $\Phi_B$  由 0.65eV 下降到 0.25eV, 开态电流增加了 2 个数量级), 如图 2.20。综上可知, 减小  $\Phi_B$  肖特基源极 CG-TFET 的泄漏电流不会明显增加, 却会大大改善开态电流, 因此采用小的  $\Phi_B$  可以得到更大的电流开关比。而 SBMOS 则正好相反, 更低的  $\Phi_B$  则会引入更大的泄漏电流, 因此电流开关比会越来越差, 如图 2.21 所示。

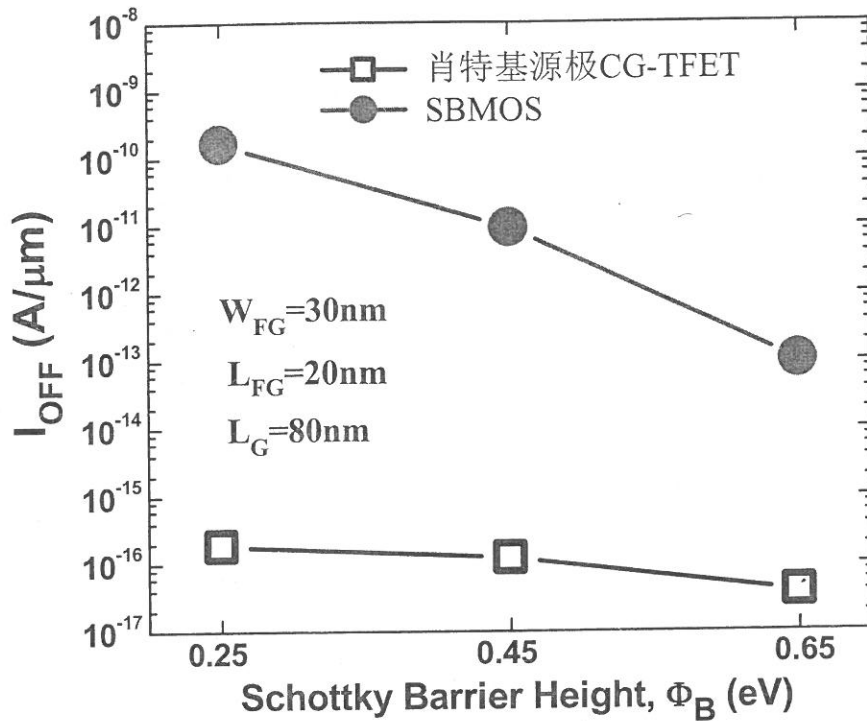


图 2.18 肖特基源极 CG-TFET 以及 SBMOS 泄漏电流与  $\Phi_B$  的关系

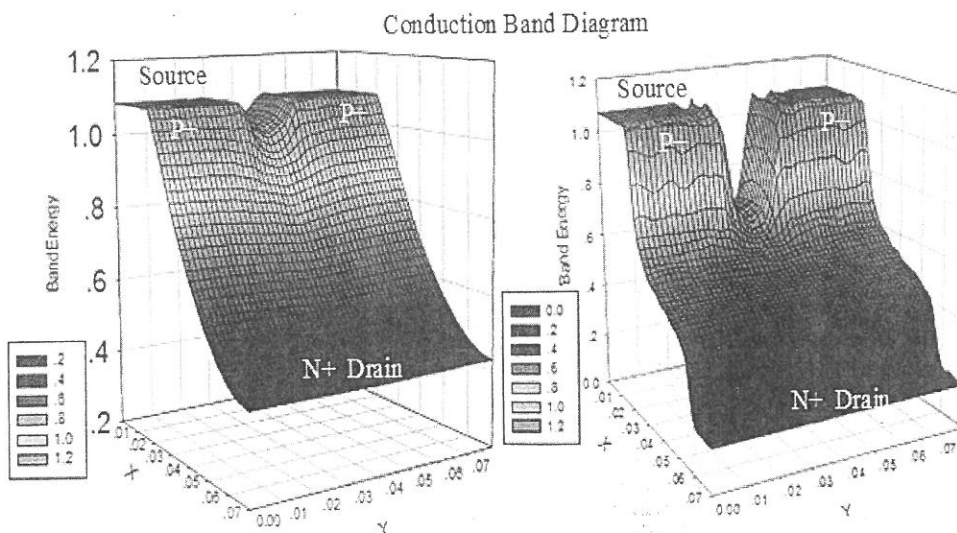


图 2.19 (a)肖特基源极 CG-TFET 体内导带分布 (距离沟道表面 25nm) (b) 肖特基源极 CG-TFET 表面导带分布 (距离沟道表面 1nm)

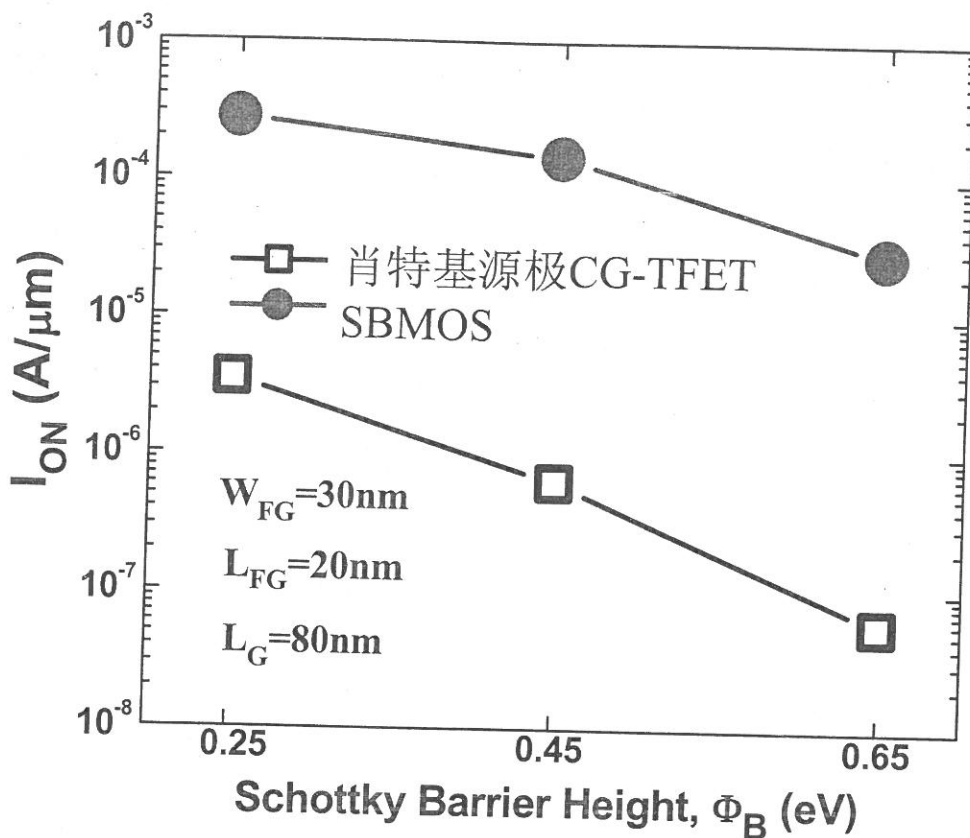


图 2.20 肖特基源极 CG-TFET 以及 SBMOS 开态电流与  $\Phi_B$  的关系

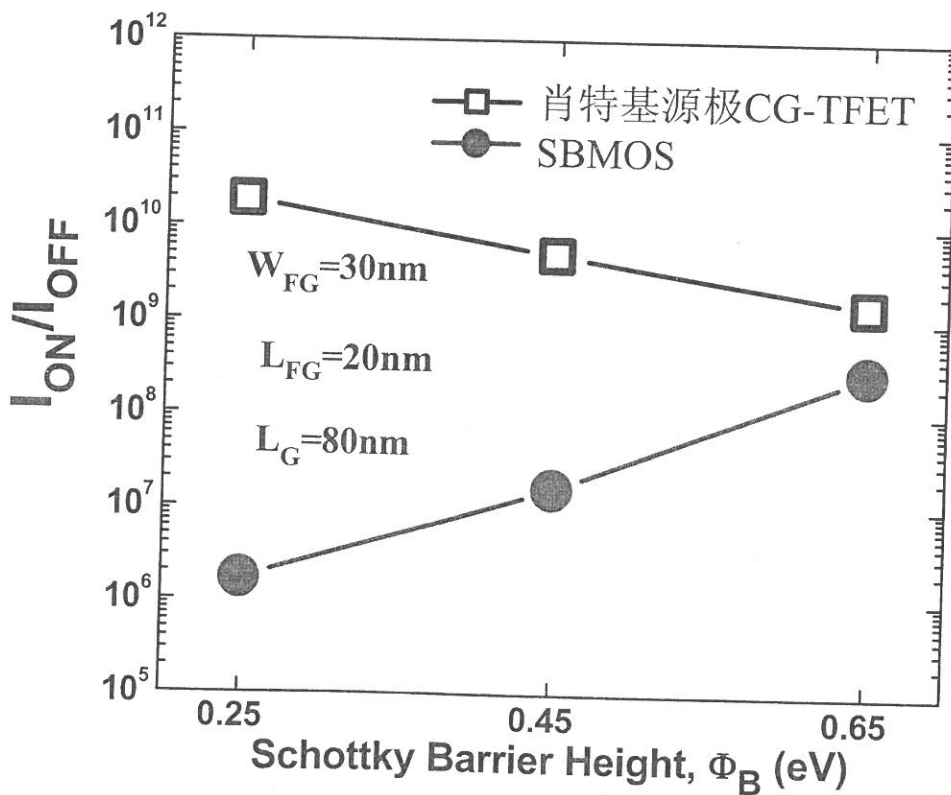


图 2.21 肖特基源极 CG-TFET 以及 SBMOS 电流开关比与  $\Phi_B$  的关系

### 2.4.3 $W_{FG}$ 对肖特基源 CG-TFET 的影响

$W_{FG}$  同样是肖特基源 CG-TFET 的关键参数, 因为  $W_{FG}$  直接影响到自耗尽效应的强弱。在 2.2.3 节里已经分析了  $W_{FG}$  对梳指沟道表面能带的影响。而梳指沟道表面的能带将直接影响肖特基源极 CG-TFET 的开态电流。图 2.22 为肖特基源 CG-TFET 开态电流与  $W_{FG}$  之间的关系。随着  $W_{FG}$  的减小, 自耗尽效应越来越强, 沟道中导带就会越来越高, 因此开态电流会不断地降低。但是沟道表面的能带由于受到栅电极的控制, 自耗尽效应并没有体内那么明显, 因此自耗尽引起的表面导带提升量相对较小, 因此开态电流下降比较有限。但是肖特基源 CG-TFET 泄漏电流与  $W_{FG}$  之间的关系比较敏感, 如图 2.23 所示。随着  $W_{FG}$  由 50nm 减小到 30nm, 肖特基源 CG-TFET 的泄漏电流减小了将近两个数量级。越小的  $W_{FG}$ , 自耗尽效应会越强, 体内导带越高, 电子势垒越大, 因此能够更有效地抑制源端热电子的注入, 减小肖特基源 CG-TFET 的泄漏电流。因此减小  $W_{FG}$  虽然会降低开态电流, 但是相比之下能更有效地抑制泄漏电流, 所以电流开关比会增加。通过模拟分析可知, 当  $W_{FG}$  为 30nm 的时候, 肖特基源 CG-TFET 的电流开关比达到  $10^{10}$ 。

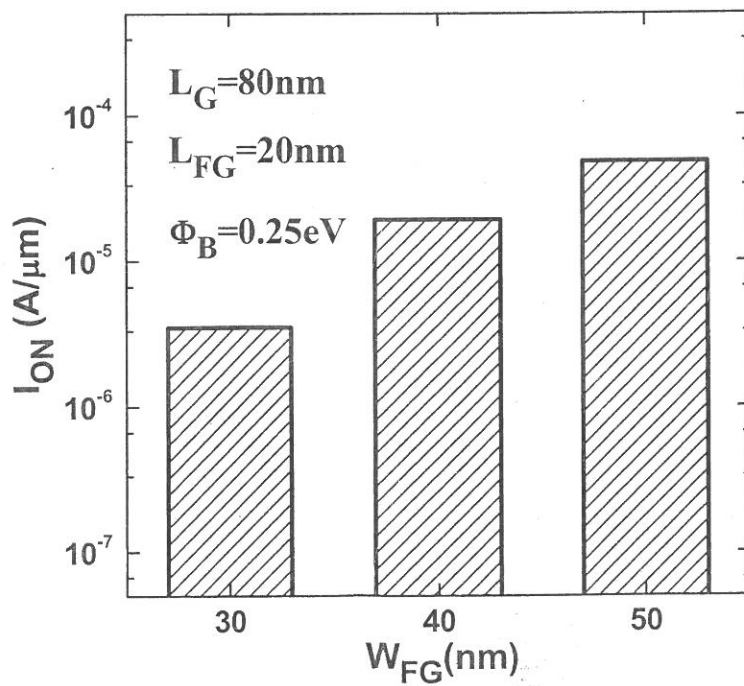


图 2.22 肖特基源极 CG-TFET 开态电流与  $W_{FG}$  的关系

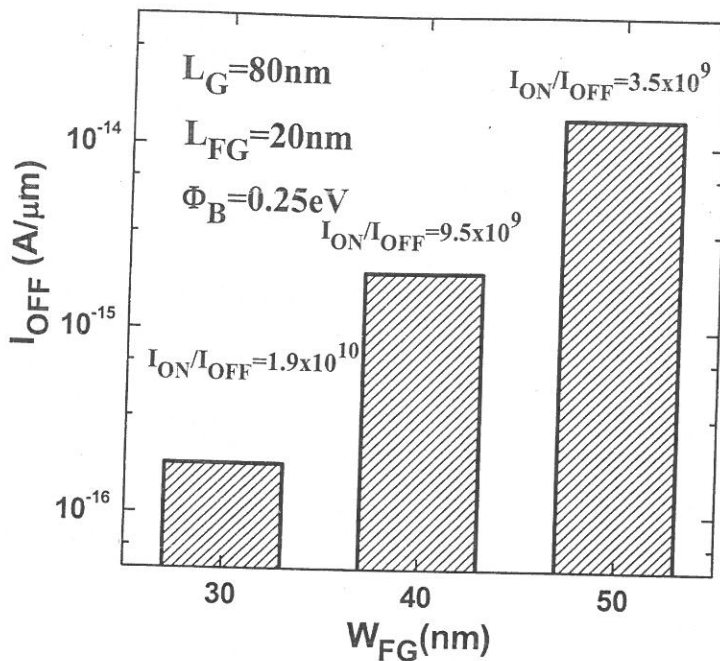


图 2.23 肖特基源极 CG-TFET 电流开关比与  $W_{FG}$  的关系

### 2.4.4 肖特基源极 CG-TFET 的制备与测试

肖特基源极 CG-TFET 整个工艺集成过程与常规工艺兼容。与 CG-TFET 相比主要增加两个工艺步骤。其一是形成侧墙，侧墙的目的是防止源端的镍硅化物与栅中的镍硅化物相连，造成栅与源之间的短路。其二是金属硅化物的形成。具体工艺步骤是在 CG-TFET 源漏杂质注入激活之后，LPCVD  $SiO_2$  然后利用镍溅射版 RIE 光刻镍溅射窗口，同时形成侧墙。形成镍溅射窗口以后溅射 Ni/Pt/Ni 分别为  $150 \text{ \AA} / 15 \text{ \AA} / 150 \text{ \AA}$ ，然后在氮气环境下  $600 \text{ }^\circ\text{C}$   $60\text{s}$  形成金属硅化物。所制备的肖特基源极 CG-TFET 的 SEM 图如图 2.24 所示，其中镍硅溅射窗口与源 P+注入窗口重叠，而重叠部分正好能形成欧姆接触，为 P+源区提供电位引出。制备的肖特基源极 CG-TFET， $T_{OX}$  为  $5\text{nm}$ ， $W_{FG}$  为  $3\mu\text{m}$ ， $L_{FG}$  为  $5\mu\text{m}$ ， $W_G$  为  $10\mu\text{m}$ 。肖特基源极 CG-TFET 以及相同尺寸下的常规 TFET 的转移特性如图 2.25 所示。由于肖特基隧穿结的高隧穿效率，肖特基源极 CG-TFET 的开态电流为  $0.21\mu\text{A}/\mu\text{m}$ ，比相同尺寸下常规 TFET 高出 1.5 个数量级。而相比单边 SBMOS，如图 2.26 所示。由于开态采用相同的机制，因此开态电流比较接近，但是肖特基源 CG-TFET 的泄漏电流要小于单边 SBMOS 约 3 个数量级。因此肖特基源 CG-TFET 能提供高达  $10^6$  的电流开关比。

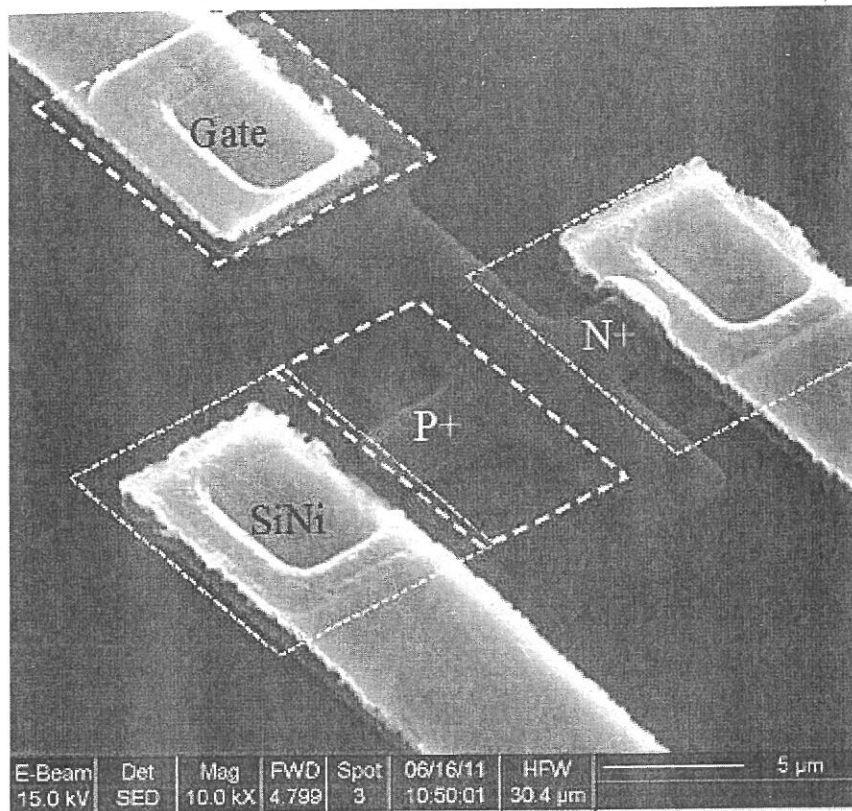


图 2.24 肖特基源极 CG-TFET 的 SEM 图

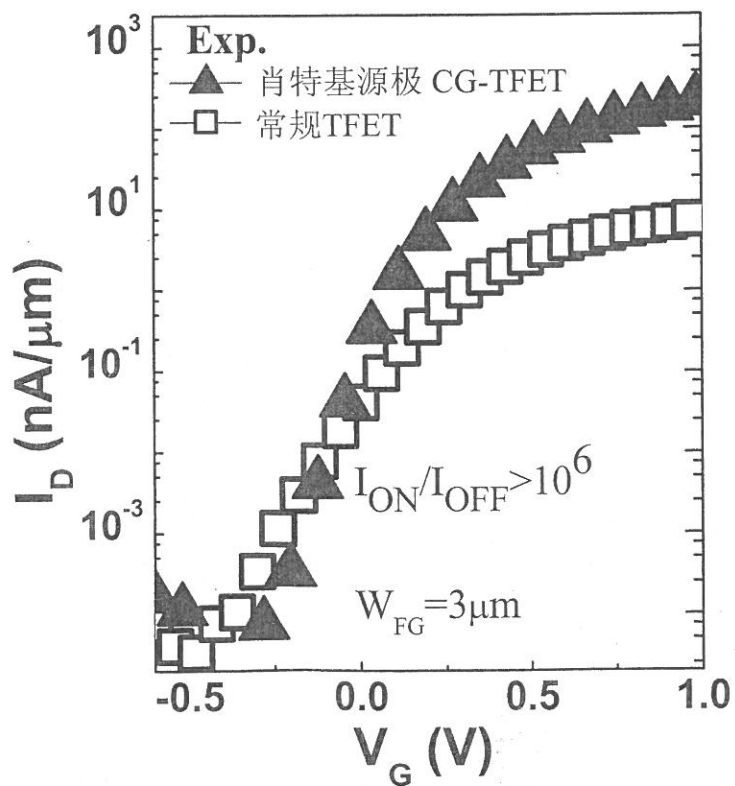


图 2.25 实验得到的肖特基源极 CG-TFET, 常规 TFET 转移特性曲线

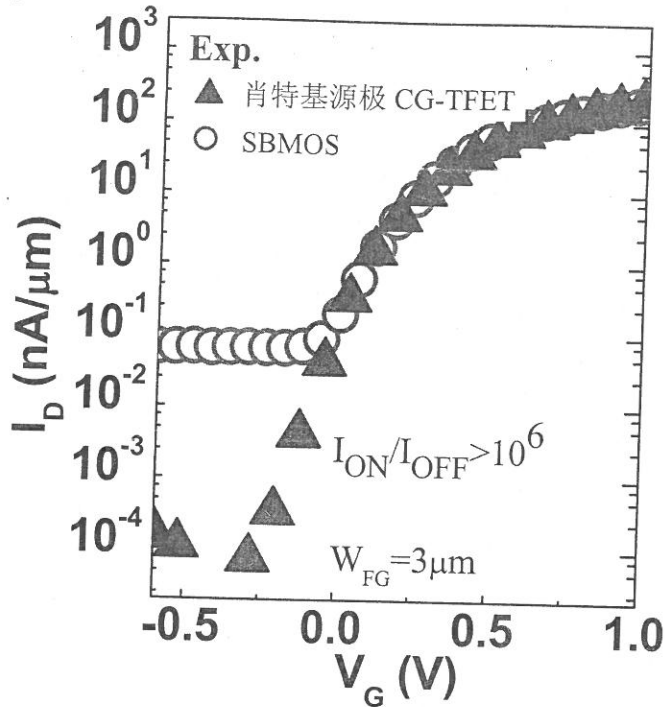


图 2.26 实验得到的肖特基源极 CG-TFET, SBMOS 转移特性曲线

$W_{FG}$  对肖特基源极 CG-TFET 转移特性影响的实验结果如图 2.27 所示。随着  $W_{FG}$  的减小, 肖特基源极 CG-TFET 的泄漏电流与开态电流都会单调地降低。但是泄漏电流降低的幅度大于开态电流降低的幅度, 这与理论分析相符合。

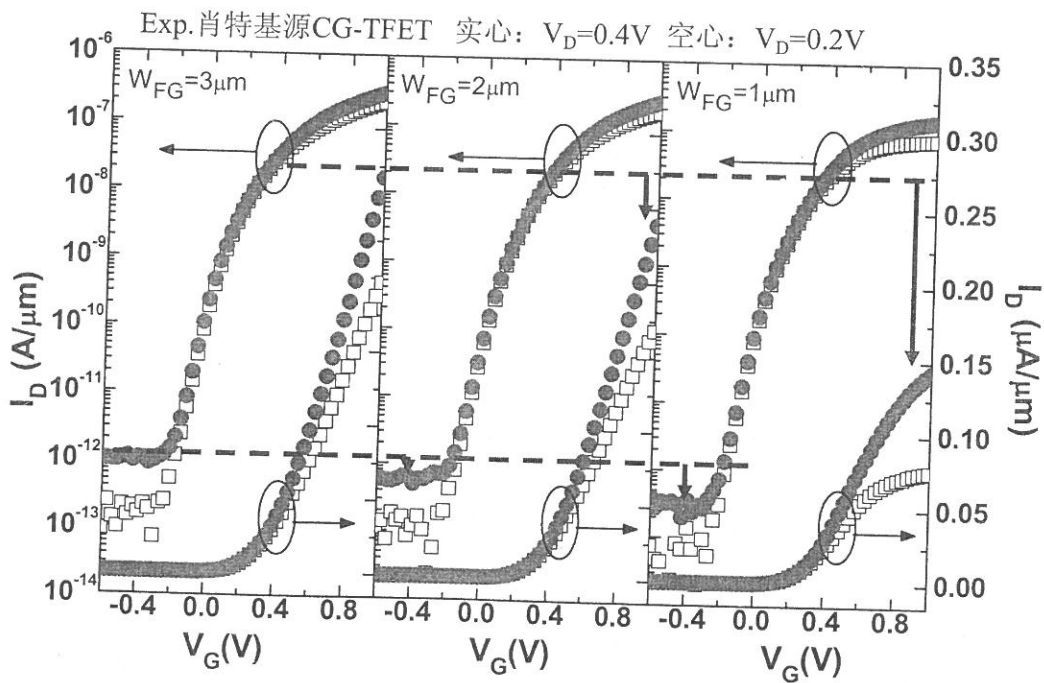


图 2.27  $W_{FG}$  对肖特基源极 CG-TFET 转移特性的影响

本论文采用杂质分凝技术降低肖特基结  $\Phi_B$ ，进一步提高肖特基源极 CG-TFET 的开态电流。转移特性曲线如图 2.28 所示。在源端杂质分凝技术以后，肖特基源极 CG-TFET 开态电流可以达到  $5.4\mu\text{A}/\mu\text{m}$ ，电流开关比达到  $10^7$ 。相比于常规 TFET，开态电流提高将近 3 个数量级。

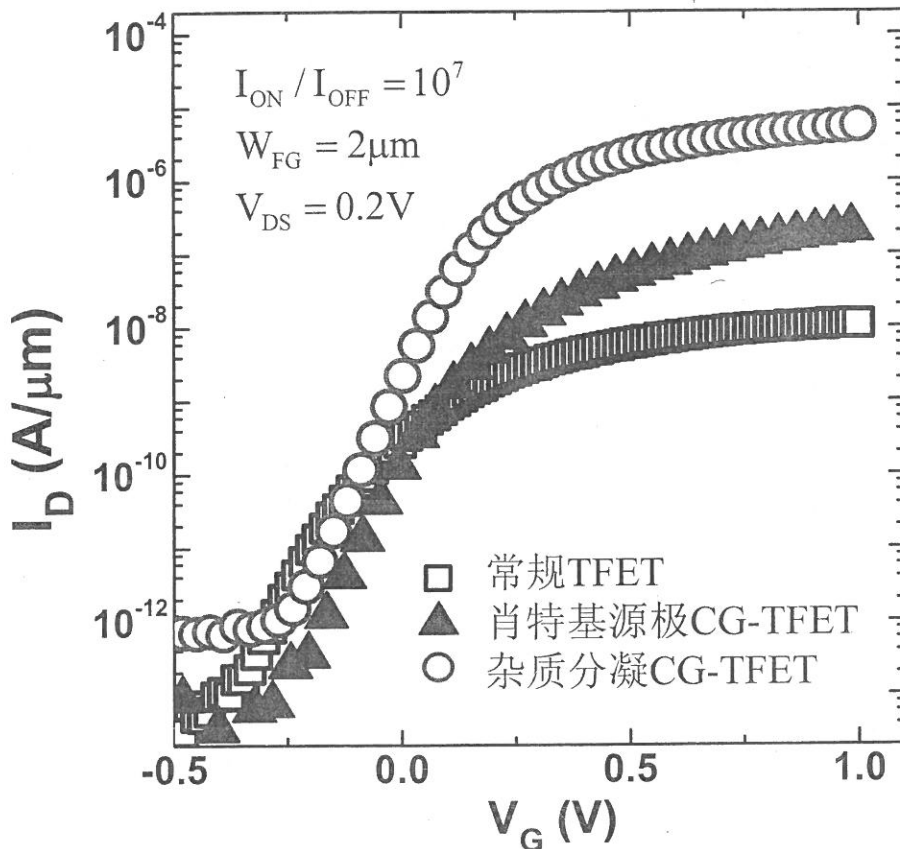


图 2.28 通过杂质分凝技术降低肖特基势垒以后肖特基源极 CG-TFET 转移特性曲线

## 2.5 本章小结

本章针对硅基 TFET 隧穿结隧穿效率有限、开态电流小的问题，提出了一种流梳栅 TFET。为了进一步提高开态电流，对流梳栅 TFET 进行优化，提出肖特基源极流梳栅 TFET，两种器件工艺流程与常规工艺兼容。

流梳形 TFET 仅仅通过重新设计版图，采用与常规 TFET 完全相同的工艺过程就可以在相同有源区尺寸下充分扩展隧穿结面积提高 TFET 开态电流。分析了梳指长度与梳指宽度对开态电流的影响，结果表明增加梳指长度可以提高开态电流，而减小梳指宽度至 20nm 的时候，由于自耗尽效应，提高了沟道中的导带，造成小部分隧穿结不容易发生带带隧穿。

虽然沟道中的自耗尽效应在梳指宽度非常窄的情况下会抑制流梳栅 TFET 一小部分隧穿结的带带隧穿,但是利用自耗尽效应,并且结合肖特基源结高的隧穿效率可以提出一种肖特基源极流梳栅 TFET 进一步提高开态电流。肖特基源极流梳栅 TFET 利用肖特基注入电流补充带带隧穿电流从而提高开态电流,同时利用自耗尽效应提高沟道电子势垒高度,减小泄漏电流。分析指出通过减小肖特基势垒高度以及减小梳指宽度都可以增加肖特基源极流梳栅 TFET 的电流开关比。

最后利用常规工艺成功从实验上制备了流梳栅 TFET 以及肖特基源极流梳栅 TFET。实验结果表明,流梳栅 TFET 可以有效地提高开态电流,而肖特基源极流梳栅 TFET 可以进一步提高器件开态电流。所制备的肖特基源极流梳栅的开态电流为  $5.4\mu\text{A}/\mu\text{m}$ , 电流开关比达到  $10^7$ , 相比常规 TFET, 开态电流有接近 3 个数量级的提升。

## 第三章 条形栅隧穿场效应晶体管的研究

### 3.1 引言

对于 TFET 来说,降低亚阈值斜率的关键,首先在于降低隧穿电流产生时候的隧穿势垒宽度,其次在于降低泄漏电流。降低隧穿势垒宽度能够保证更大隧穿电流突变,而降低泄漏电流,能够避免隧穿电流的陡直部分被泄漏电流覆盖。虽然在模拟分析中 TFET 表现出非常陡直的亚阈值特性。但是到目前为止却很少有亚阈值斜率低于  $60\text{mV/dec}$  的实验报道。首先,现有的实验条件还不足以形成足够陡变的隧穿结。隧穿结的陡变程度直接影响结处的电场强度,越陡变的隧穿结越有利于高电场的形成,因此更有利于隧穿的发生,也更有利于亚阈值斜率的降低<sup>[50, 82, 85]</sup>。其次,要实现比较陡直的亚阈值斜率,在结构设计上要求非常好的栅控能力。一般能获得陡直亚阈值斜率的 TFET 都采用高 K 栅介质或者环栅纳米线结构<sup>[86-98]</sup>。本文提出一种条形栅 TFET (SG-TFET)。仅仅通过改变栅图形,将栅设计为条形,利用沟道中的自耗尽效应,减小隧穿发生起始点的隧穿势垒宽度,通过隧穿的效率突然提高来减小亚阈值斜率。这种条形栅 TFET 结构简单,工艺过程与 CMOS 标准工艺完全兼容。

### 3.2 条形栅场效应晶体管的结构与工作原理

#### 3.2.1 条形栅场效应晶体管的结构

SG-TFET 的结构如图 3.1 所示。栅被设计为横向条型。栅的一端延伸进入源区杂质注入窗口。由于源漏注入均采用多晶硅栅为硬掩膜,因此沟道的形状与单指流梳栅 TFET 类似。SG-TFET 平面俯视图如图 3.2(a)所示,侧视图如图 3.2(b)所示,其关键设计参数有:栅宽度  $W_{\text{FG}}$ ,总栅长  $L_{\text{G}}$ ,其中栅长包括被源区包围的部分  $L_{\text{FG}}$  与传统意义部分  $L_{\text{I}}$ 。图 3.2(c)为 SG-TFET 沟道表面视图。可以发生栅控隧穿的区域用红色虚线标出,与 CG-TFET 相比,SG-TFET 隧穿结区域仅仅包含在梳指区域以内。另外为了方便以后的讨论,P+源结的纵向侧面用“L面”表示,而横向侧面用“H面”表示。

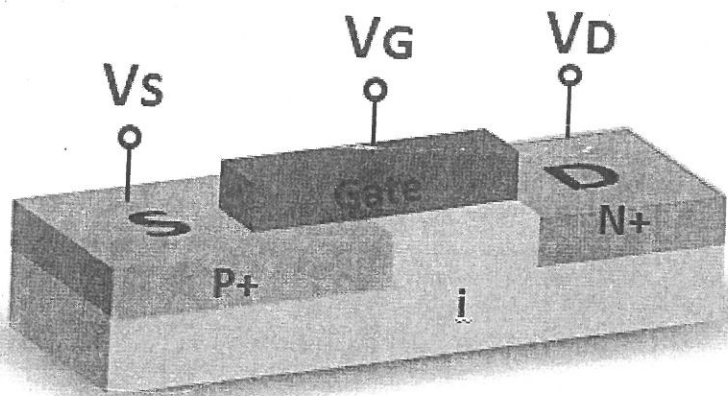


图 3.1 SG-TFET 结构示意图

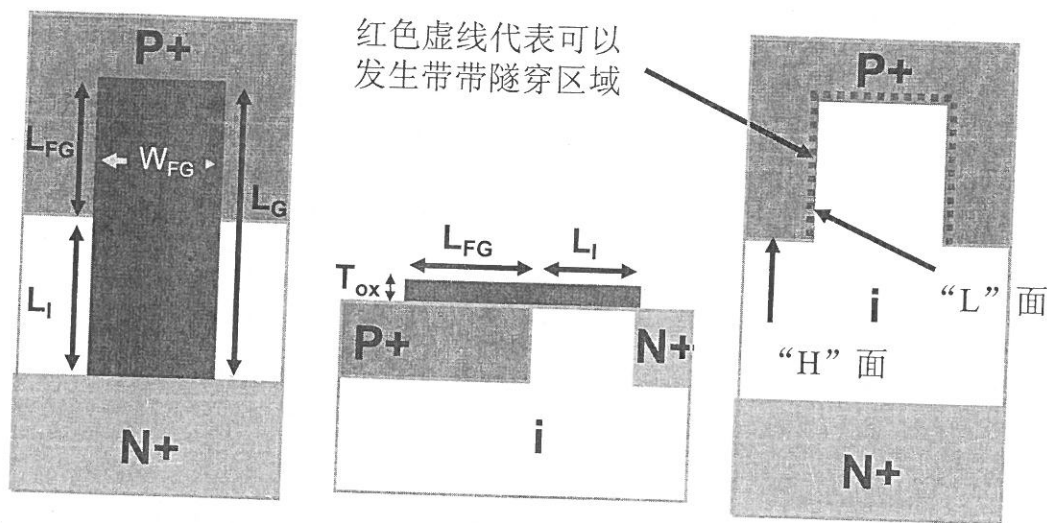


图 3.2 (a) SG-TFET 俯视图 (b) SG-TFET 侧视图 (c) SG-TFET 沟道表面俯视图

### 3.2.2 条形栅场效应晶体管的优化原理

图 3.3(a)-(d)为不同栅偏压下 TFET 与 SG-TFET 隧穿结附近能带图示意图。本文将通过对分析不同栅偏置条件下常规 TFET 与 SG-TFET 隧穿结附近的能带图以及其对应条件下的漏极电流，详细阐述 SG-TFET 降低亚阈值斜率的原因。

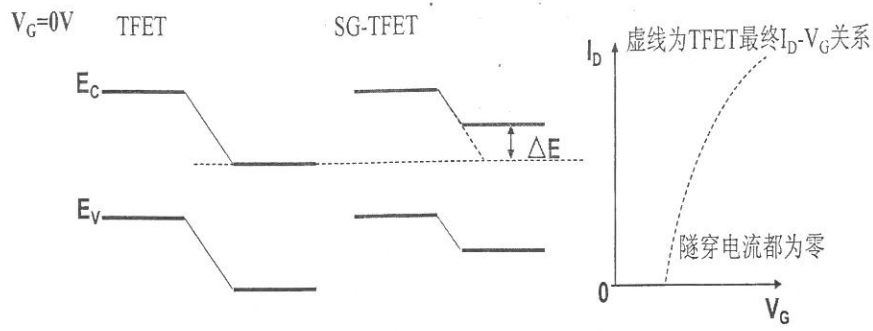


图 3.3(a)  $V_G=0V$  时, 常规 TFET 与 SG-TFET 隧穿结处能带

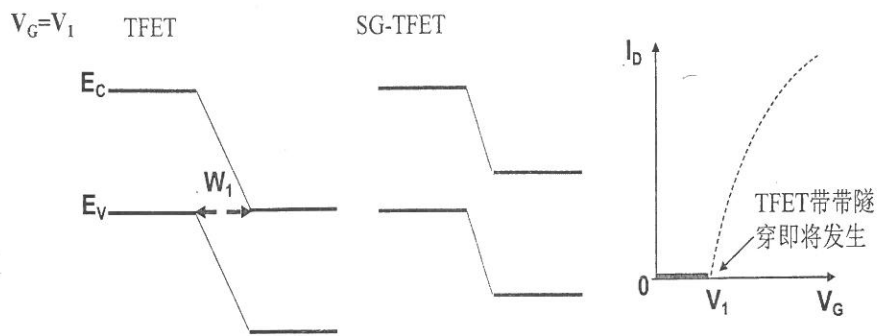


图 3.3(b)  $V_G=V_1$  时, 常规 TFET 与 SG-TFET 隧穿结处能带

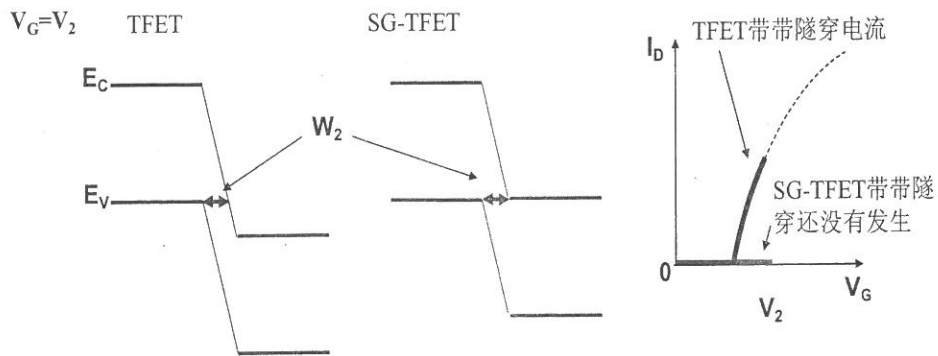


图 3.3(c)  $V_G=V_2$  时, 常规 TFET 与 SG-TFET 隧穿结处能带

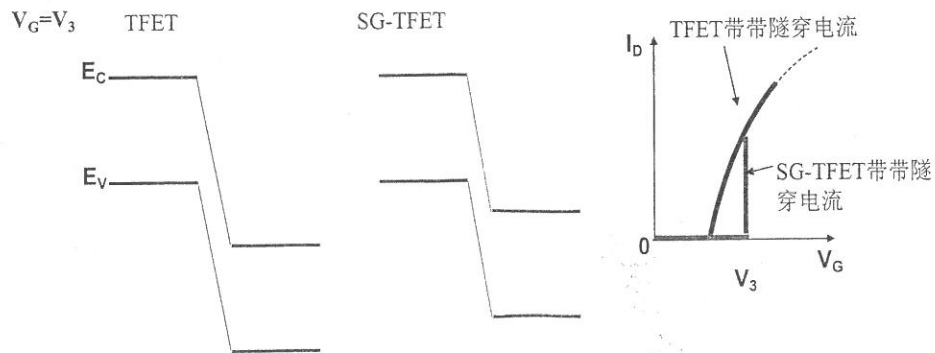


图 3.3(d)  $V_G=V_3$  时, 常规 TFET 与 SG-TFET 隧穿结处能带

当栅电压零偏置的时候,如图 3.3(a)所示。常规 TFET 与 SG-TFET 同时处于关态。此时沟道中的导带底都高于源区价带顶。由于沟道导带中没有空的电子态来接收源端的隧穿电子,因此常规 TFET 与 SG-TFET 的隧穿结都不会发生带带隧穿。另外,由于自耗尽效应,SG-TFET 沟道中导带要高于常规 TFET 中沟道的导带。而且在沟道与源区之间的能带过渡区里,两个器件能带分布是相同的。其原因是沟道掺杂浓度相同,电势分布是相同的。这保证了相同的栅电压下,隧穿结隧穿势垒宽度是相同的(在同时满足隧穿条件的情况下)。

增加栅电压,常规 TFET 与 SG-TFET 沟道中的能带同时下降。当栅电压增加至  $V_1$  时,如图 3.3(b)所示,常规 TFET 沟道中的导带底开始低于源区价带顶,带带隧穿即将在常规 TFET 隧穿结中发生,此时的隧穿势垒宽度用  $W_1$  表示。但是,对于 SG-TFET 来说,由于沟道的导带底依然高于源区价带顶,隧穿结并不会发生带带隧穿,SG-TFET 仍然处于关态。

栅电压继续增加,常规 TFET 中的隧穿结势垒宽度不断地减小,隧穿电流会不断地增加,如图 3.3(c)所示。当栅电压达到  $V_2$  的时候,SG-TFET 沟道中的导带底开始低于源区价带顶,SG-TFET 的隧穿结即将发生带带隧穿,而此时隧穿结的势垒宽度在两个器件中同为  $W_2$ 。由于栅电压  $V_2 > V_1$ ,因此隧穿势垒宽度  $W_2 < W_1$ 。这就意味着,相对常规 TFET,SG-TFET 隧穿结即将发生隧穿的时候具有更小的隧穿势垒。因此在隧穿发生时候,SG-TFET 隧穿势垒变化幅度会更大(如图 3.4 所示),电流变化会更加陡直,并且迅速向常规 TFET 此刻的隧穿电流靠拢。最后,随着栅电压继续增加,常规 TFET 与 SG-TFET 的隧穿电流都会继续增加,如图 3.3(d)所示。因此 SG-TFET 相比于常规 TFET,仅仅在栅版图上做了一些修改就可以实现更陡直的亚阈值斜率。

通过理论分析,SG-TFET 利用自耗尽效应,通过降低隧穿发生时候隧穿结的势垒宽度,降低亚阈值斜率。因此理论上  $W_{FG}$  的尺寸越小,自耗尽效应越强,SG-TFET 的亚阈值斜率越低。下面将模拟研究大尺寸下与小尺寸下 SG-TFET 的亚阈特性。

版权声明  
此服务仅供用户学习、研究或学校课堂教学  
科学研究使用。  
《著作权法》规定的合理使用范围内使用文献,  
如用户违法使用文献,造成侵权行为的,  
相应的法律责任由用户承担。

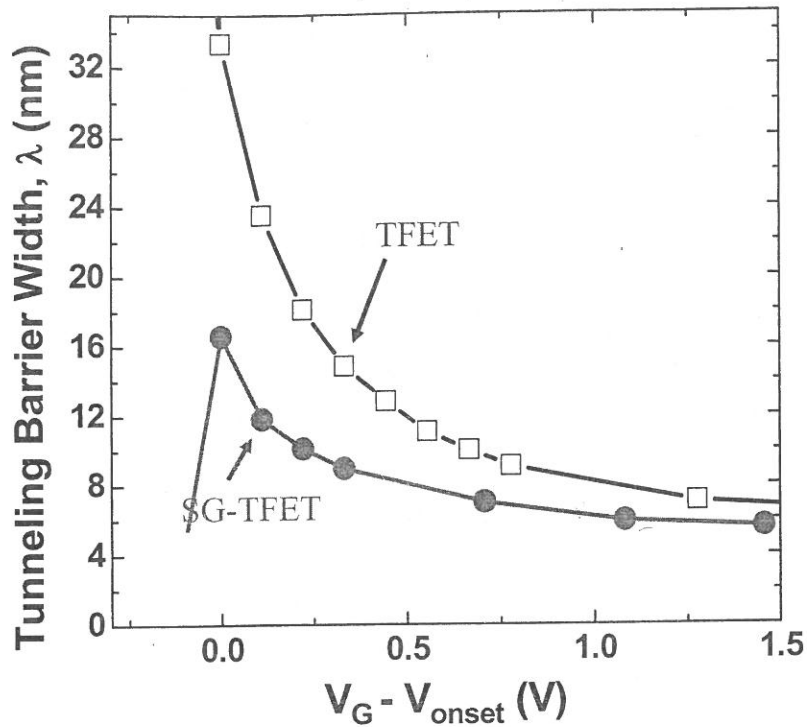


图 3.4 模拟的隧穿势垒宽度与栅电压之间的关系

### 3.3 条形栅隧穿场效应晶体管的模拟分析

#### 3.3.1 大尺寸与小尺寸条形栅隧穿场效应晶体管转移特性

本节采用 Sentaurus Tcad Tools 对 SG-TFET 进行模拟仿真。仿真模型的选择考虑了掺杂浓度对载流子迁移率的影响，纵向电场对载流子迁移率的影响，以及高场下载流子迁移率的退化，并且加入了 SRH 产生复合模型；带带隧穿模型采用了 Nonlocalpath1 模型。下面将对大尺寸以及小尺寸 SG-TFET 的转移特性曲线进行分析。关键尺寸的设计参数如表 3.1 所示。

表 3.1 大尺寸与小尺寸 SG-TFET 的结构参数

参数	小尺寸	大尺寸
$T_{OX}$	2nm	4nm
$L_{FG}$	40nm	1 $\mu$ m
$L_G$	120nm	2 $\mu$ m
$W_{FG}$	40nm	0.2 $\mu$ m

源端掺杂浓度为 P 型，掺杂浓度为  $1 \times 10^{20} \text{cm}^{-3}$ ；漏端掺杂为 N 型，掺杂浓

度为  $1 \times 10^{20} \text{cm}^{-3}$ 。器件都采用体硅衬底。大尺寸 SG-TFET 的转移特性曲线如图 3.5 所示，而小尺寸下 SG-TFET 的转移特性曲线如图 3.6 所示，并且都与常规 TFET 进行了对比。结果表明，大尺寸下采用条形栅优化的 TFET，亚阈值斜率（亚阈值斜率最小值）可达  $30 \text{mV/dec}$ ，平均亚阈值斜率为  $50 \text{mV/dec}$ （本文定义平均亚阈值斜率：在转移特性曲线上，隧穿起始点以后漏极电流 5 个数量级范围内的平均亚阈值斜率）。而相同尺寸下常规 TFET 的亚阈值斜率为  $35 \text{mV/dec}$ ，平均亚阈值斜率为  $54 \text{mV/dec}$ 。采用大尺寸设计的 SG-TFET 具有更陡直的亚阈值特性，但是由于尺寸较大，自耗尽效应比较弱，因此亚阈值特性提升有限。在小尺寸下，SG-TFET 的亚阈值斜率为  $47 \text{mV/dec}$ ，平均亚阈值斜率为  $56 \text{mV/dec}$ 。相同尺寸下常规 TFET 的亚阈值斜率为  $25 \text{mV/dec}$ ，平均亚阈值斜率为  $43 \text{mV/dec}$ 。结果表明采用小尺寸设计的 SG-TFET 反而会造成亚阈值特性的退化。下面将分析小尺寸 SG-TFET 亚阈特性退化的原因并且进一步优化小尺寸 SG-TFET。

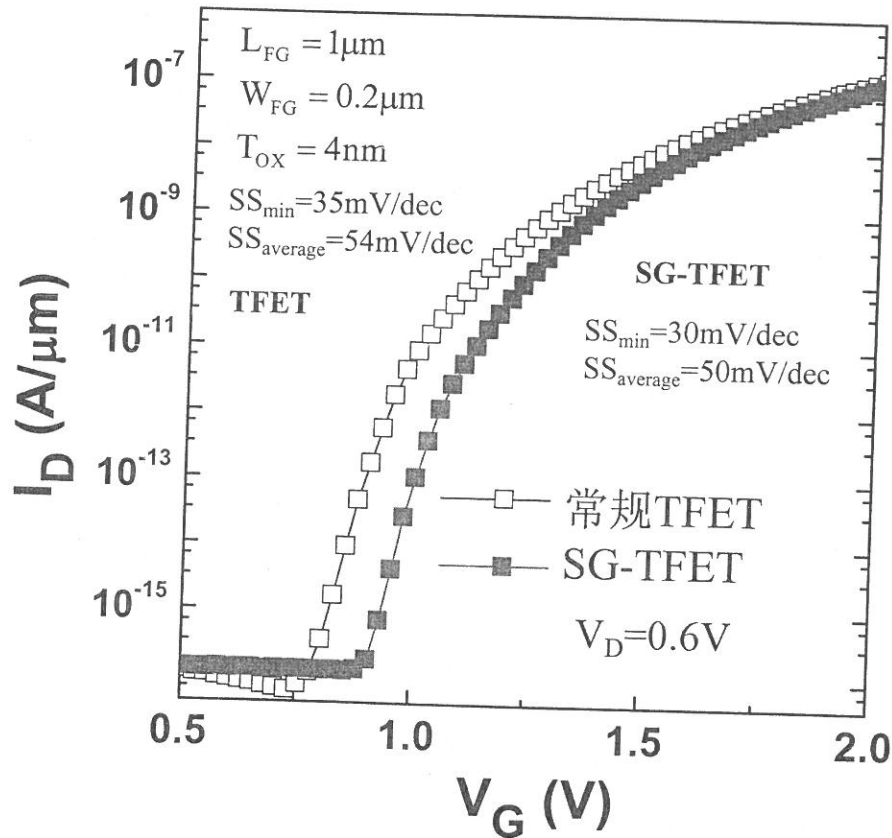


图 3.5 大尺寸 SG-TFET 与常规 TFET 转移特性曲线

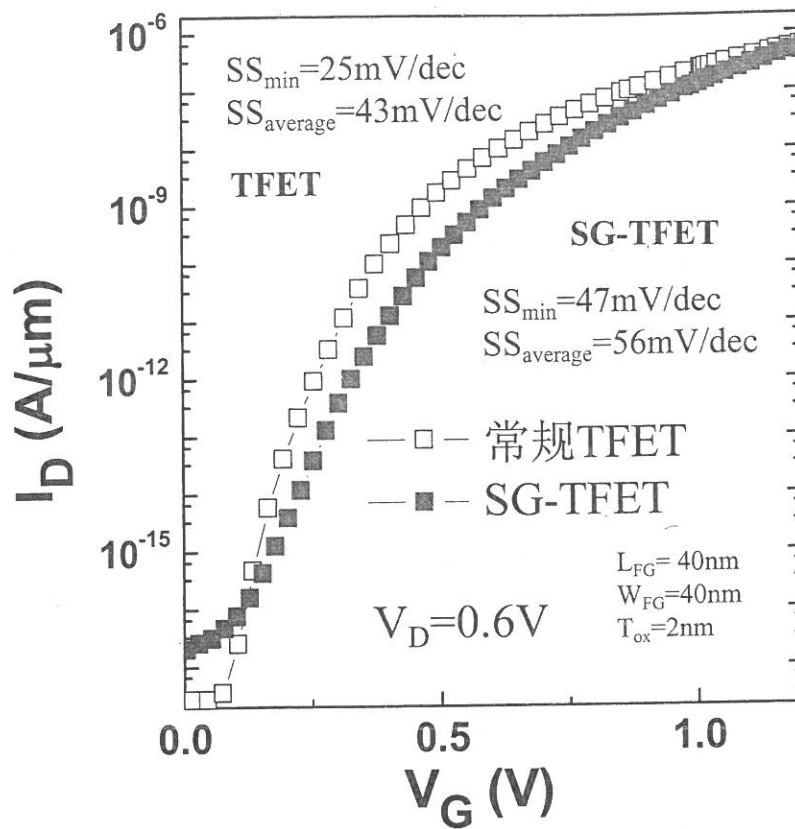


图 3.6 小尺寸 SG-TFET 与常规 TFET 转移特性曲线

### 3.3.2 小尺寸条形栅隧穿场效应晶体管亚阈特性退化原理分析

小尺寸 SG-TFET 亚阈值斜率的退化是由于隧穿结的“L”面与“H”面相接的棱角处存在寄生隧穿结，寄生隧穿结的隧穿会使小尺寸 SG-TFET 亚阈特性退化。随着栅电压的增加，SG-TFET 源区“L”面与“H”面相接的棱角处会先于“H”面隧穿结发生的带带隧穿，从而引入了额外的亚阈值泄漏电流。图 3.7 为栅电压为 0.25V 的时候，小尺寸 SG-TFET 带带隧穿几率分布图（红色区域为带带隧穿几率比较大的区域）。结果表明，此时带带隧穿已经在源区棱角处也就是靠近自耗尽区边缘处发生。而当栅电压足够大的时候，带带隧穿才会在整个“H”面的隧穿结发生。综上所述，随着栅电压的增加，源区棱角处的寄生隧穿结会早于“H”面隧穿结发生隧穿，然后随着栅电压的继续增加，隧穿区域会扩展至整个隧穿结。因此寄生隧穿电流会在转移特性上引入一个拖尾，造成了小尺寸

SG-TFET 亚阈值斜率的退化。而对于大尺寸 SG-TFET，可能由于隧穿结棱角处的面积相对整个隧穿结的面积来说非常的小，因此寄生隧穿结的隧穿电流不会对亚阈区特性造成影响。但是由于  $W_{FG}$  比较大，自耗尽效应比较弱，因此大尺寸 SG-TFET 的亚阈特性提升有限。

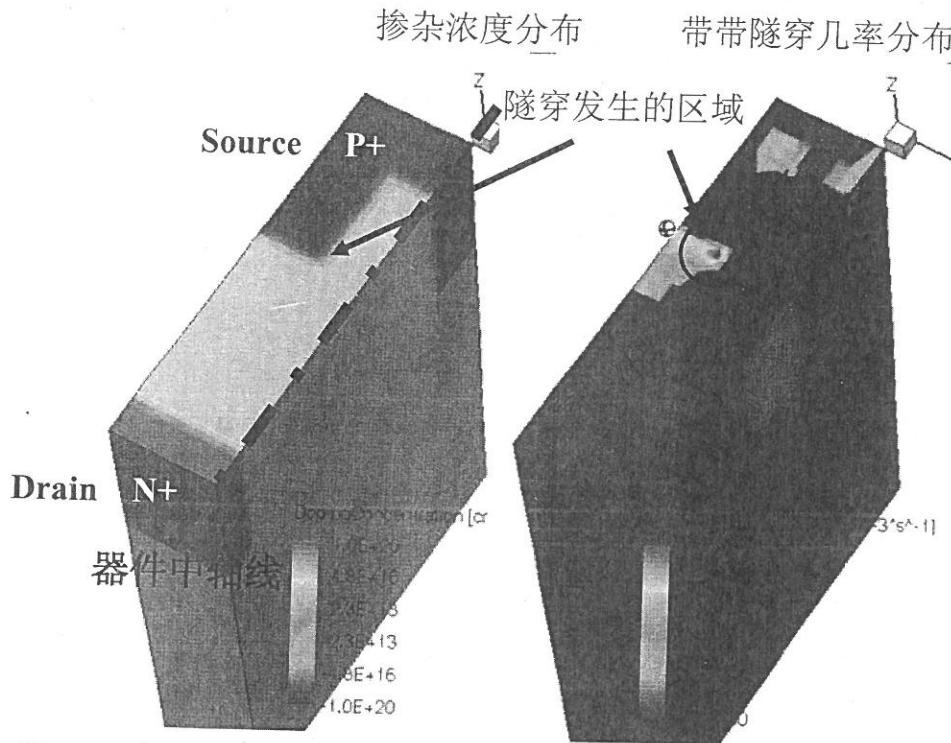


图 3.7 (左图) SG-TFET 掺杂分布图, (右图) 当  $V_G$  为 0.25V 时候, 小尺寸 SG-TFET 带带隧穿几率分布图

下面分析小尺寸下寄生隧穿结早期隧穿的原因。在沟道中，栅控区域可以分为“**A**”“**B**”两个区域。其中区域“**A**”存在自耗尽效应，而区域“**B**”不存在自耗尽效应的，如图 3.8 所示。由于自耗尽效应，根据上一章所述，区域“**A**”中的导带要高于区域“**B**”中的导带，如图 3.9 所示的 SG-TFET 关态时中轴线上能带分布图。由于侧面 P+源区的能带并不在中轴线上，因此在图中用虚线表示。随着栅电压的增加，区域“**A**”与区域“**B**”中的能带同时下降，但是由于区域“**B**”中的导带更低，因此区域“**B**”中的导带底将先于区域“**A**”低于源区价带顶，如图 3.10 所示。此时由于区域“**A**”仍然不满足隧穿的条件，因此并不发生隧穿。但是在源区棱角处（如图 3.8 中的环形标注位置）价带电子已经可以通过带带隧穿向区域“**B**”中注入，形成寄生隧穿电流，造成亚阈值斜率退化。

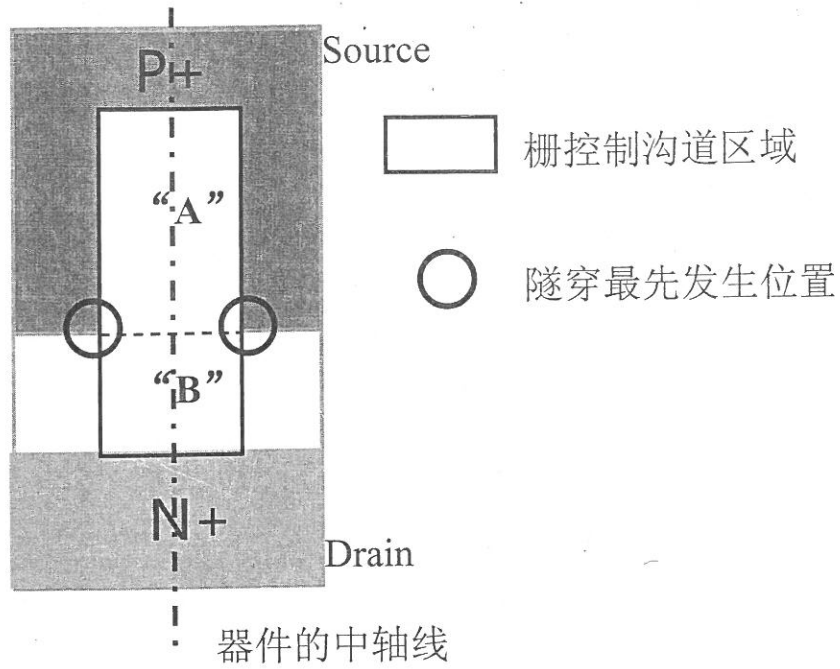


图 3.8 SG-TFET 栅控制区域示意图，区域“A”为自耗尽区域，区域“B”为非自耗尽区域

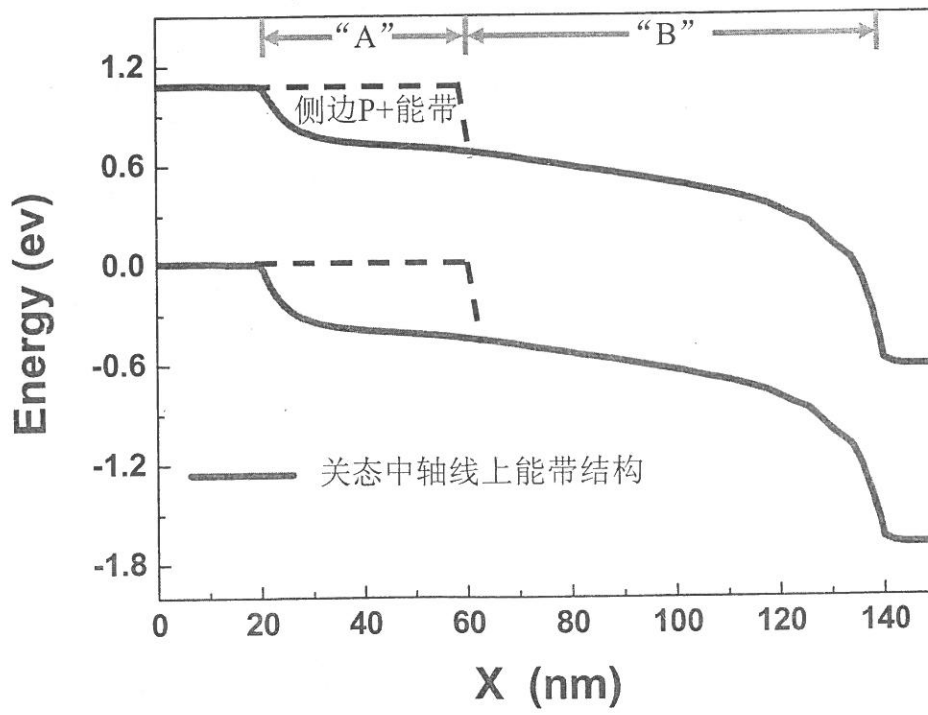


图 3.9 SG-TFET 关态中轴线上能带分布

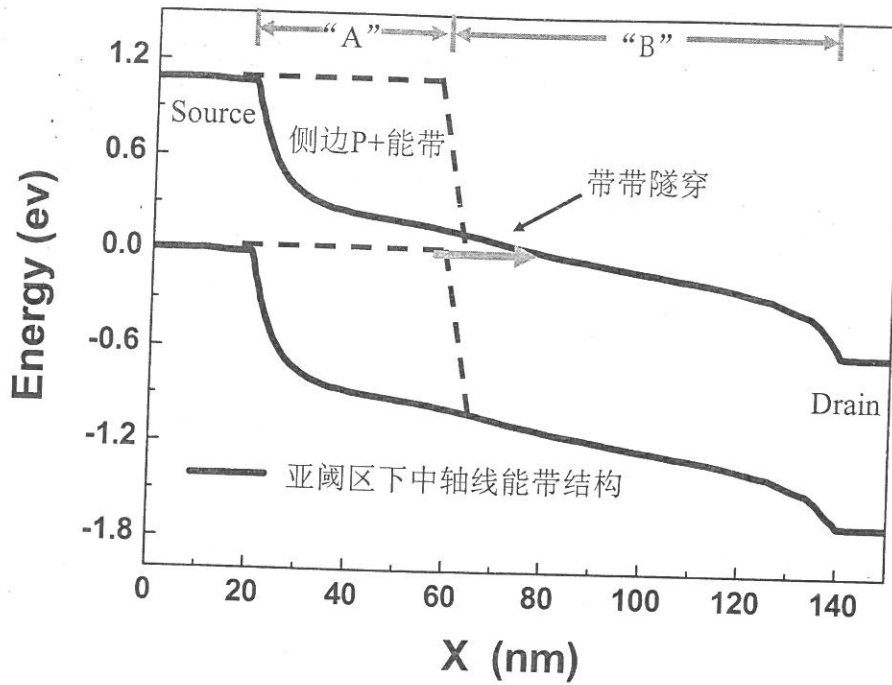


图 3.10 SG-TFET 亚阈值态中轴线上能带分布

综上所述，SG-TFET 利用自耗尽效应降低隧穿结在隧穿发生时的势垒宽度降低 TFET 的亚阈值斜率。但是在小尺寸下，寄生隧穿结的隧穿会造成 SG-TFET 亚阈值特性退化。因此需要提出一些新器件结构抑制寄生隧穿结的隧穿。下面将分别采用短栅设计、窄栅电极设计、阶梯栅介质以及异质栅介质设计优化 SG-TFET，通过增加寄生隧穿结的隧穿势垒抑制寄生隧穿结的隧穿，降低小尺寸 SG-TFET 的亚阈值斜率。

### 3.4 小尺寸下条形栅隧穿场效应晶体管的优化分析

#### 3.4.1 采用短栅设计的条形栅隧穿场效应晶体管

短栅 SG-TFET (Short gate SG-TFET)，器件俯视图如图 3.11 所示。栅电极部分覆盖沟道区。Short gate 结构在常规 TFET 里可以解决双极导通的问题<sup>[99, 100]</sup>。在 Short gate SG-TFET 中，这种栅设计不仅可以抑制双极导通效应，而且能有效地降低栅电极对沟道“B”区域的影响，因此可以抑制寄生隧穿结的隧穿，降低 SG-TFET 亚阈值斜率。

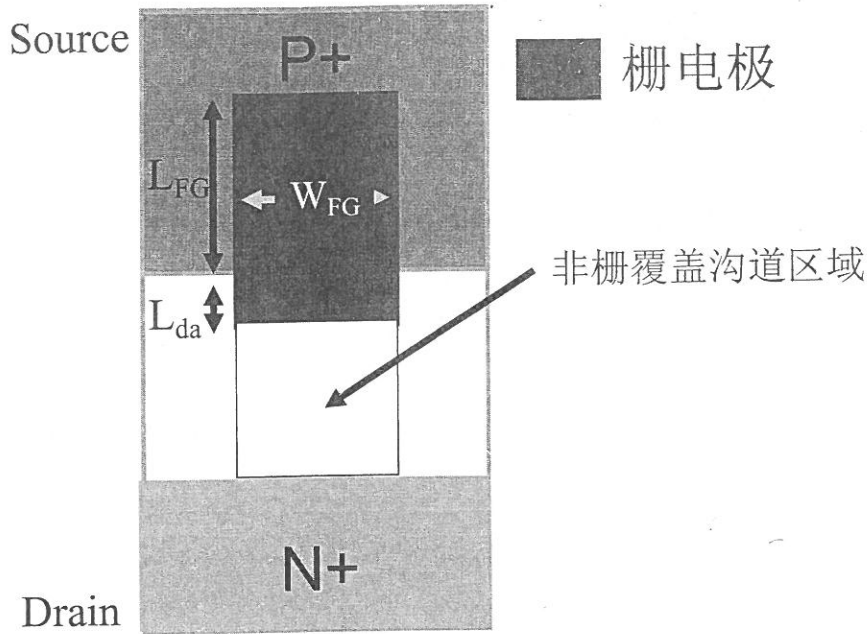


图 3.11 Short gate SG-TFET 结构俯视图

模拟分析中取  $L_{FG}$  为 40nm,  $W_{FG}$  为 40nm,  $L_{da}$  为 0nm,  $T_{OX}$  为 2nm。  $L_{da}$  为 0nm 意味着栅电极仅仅控制自耗尽区域,而不会对寄生隧穿结的隧穿势垒形成控制,那么理论上寄生隧穿结不会发生隧穿。SG-TFET 与相同尺寸下常规 TFET 的转移特性如图 3.12 所示。为了方便比较,调整 Short gate SG-TFET 功函数,使需要进行对比的器件具有基本相等的隧穿起始点。仿真结果表明,Short gate SG-TFET 亚阈值斜率非常陡直。其亚阈值斜率为 9mV/dec, 平均亚阈值斜率为 30mV/dec。而常规 TFET 亚阈值斜率为 25mV/dec, 平均亚阈值斜率为 43mV/dec。这与理论分析相一致。正是由于沟道中的自耗尽效应,提升了沟道中的导带从而降低了隧穿发生时候的隧穿势垒,因此相比常规 TFET, SG-TFET 具有更陡直的亚阈值斜率。

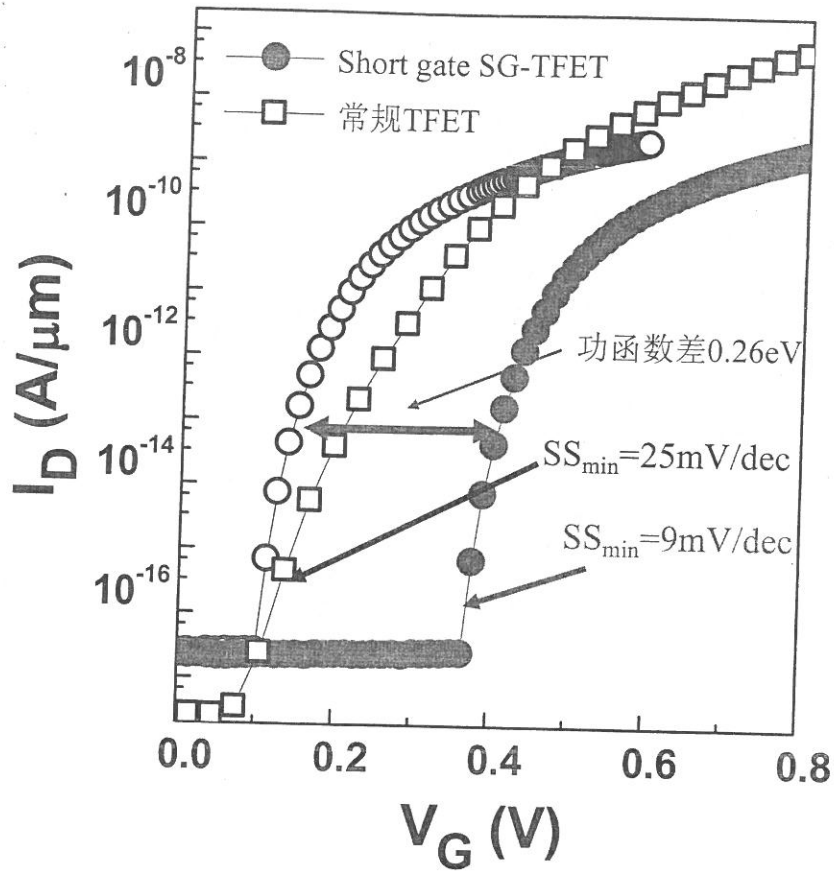


图 3.12 Short gate SG-TFET 转移特性曲线

虽然采用短栅设计的 SG-TFET 具有更低的亚阈值斜率，但是相比常规 TFET，开态电流会有比较严重的衰减。主要原因是沟道的非栅覆盖区域与栅覆盖区域交界处存在一个电子势垒，这个势垒会阻碍沟道中的电子向漏极漂移，如图 3.13 所示的当栅电压 0.8V 时，沟道表面中轴线上的能带分布。

由于源区“H”面对中性体区同样具有耗尽作用，耗尽区域如图 3.14(a)中阴影部分所示（由于  $W_{FG}$  比较小，属于纳米量级，而耗尽区宽度通常为微米量级，因此耗尽区域可以穿过沟道，形成一个封闭的图形）。这个耗尽区域属于非栅控区域。并且由于这个区域是被 P+源结耗尽，因此区域中导带会高于非耗尽区域，最终形成了电子势垒，如图 3.13(b)。

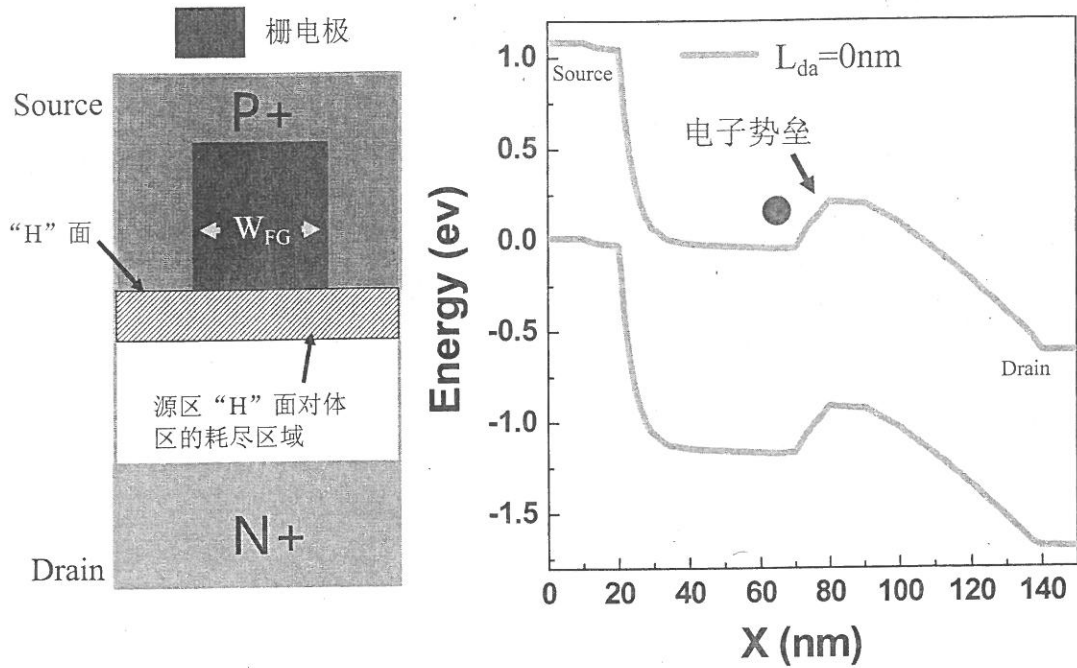


图 3.13 (a)源区“H”的耗尽区域示意图 (b) Short gate SG-TFET 沟道中轴线方向能带图

为了提高 Short gate SG-TFET 漏极电流，需要减小沟道中电子势垒高度。可以通过增加  $L_{da}$ ，使栅电极过覆盖源端“H”面的耗尽区域，通过栅电势对耗尽区域的控制，降低沟道中电子势垒的高度。 $L_{da}$ 对电子势垒的影响如图 3.14 所示。结果表明，栅向漏端延伸可以有效地降低了电子势垒高度，让更多的电子翻越电子势垒，因此沟道中的导带就可以继续下降，为沟道提供更多的隧穿电子，提升漏极电流，如图 3.15 所示的转移特性与  $L_{da}$ 关系。

但是通过增加  $L_{da}$ 提高 Short gate SG-TFET 开态电流的同时，会造成亚阈值斜率的退化。图 3.15 表明  $L_{da}$ 由 0nm 增加到 20nm 的时候，亚阈值斜率由 9mV/dec 退化至 39mV/dec。通过分析，亚阈值斜率退化的原因仍然是寄生隧穿结的隧穿。因为超出自耗尽区域的栅电极，会重新控制寄生隧穿结周围的能带。当栅电势减小沟道中电子势垒的同时，也同时在减小源区寄生隧穿结的隧穿势垒宽度。因此开态电流越大，亚阈值斜率退化越严重。

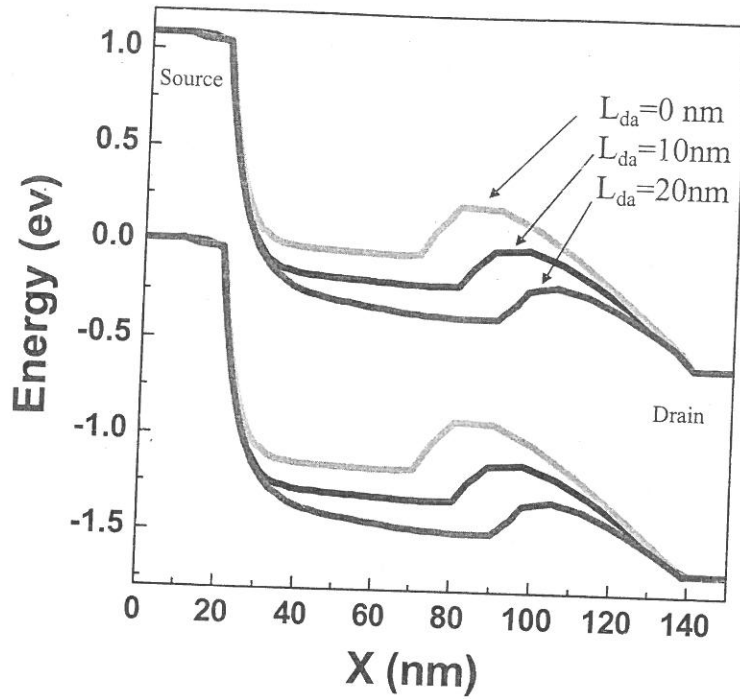


图 3.14 不同  $L_{da}$  下 Short gate SG-TFET 沟道中的能带

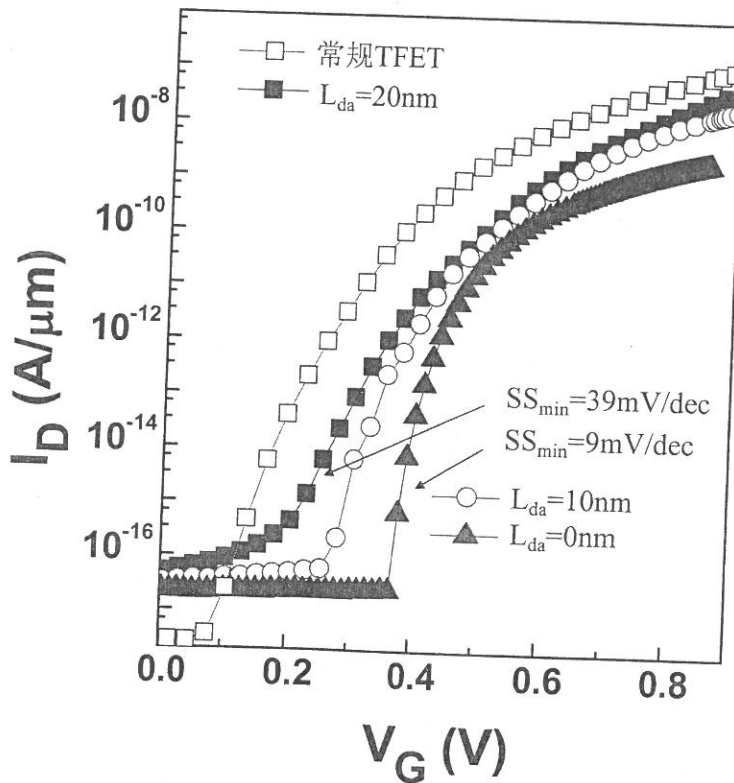


图 3.15  $L_{da}$  对 Short gate SG-TFET 转移特性的影响

另外, Short gate SG-TFET 同样可以抑制双极导通效应, 如图 3.16 所示。常规 TFET 在栅电压正偏置与负偏置的时候分别可以在 P+i 结以及 N+i 结发生带带

隧穿，因此存在双极导通效应。而通过短栅结构的设计，漏极与栅极之间区域可以有效地提高漏极隧穿势垒宽度，抑制带带隧穿在漏极发生，因此可以有效地抑制双极导通效应。

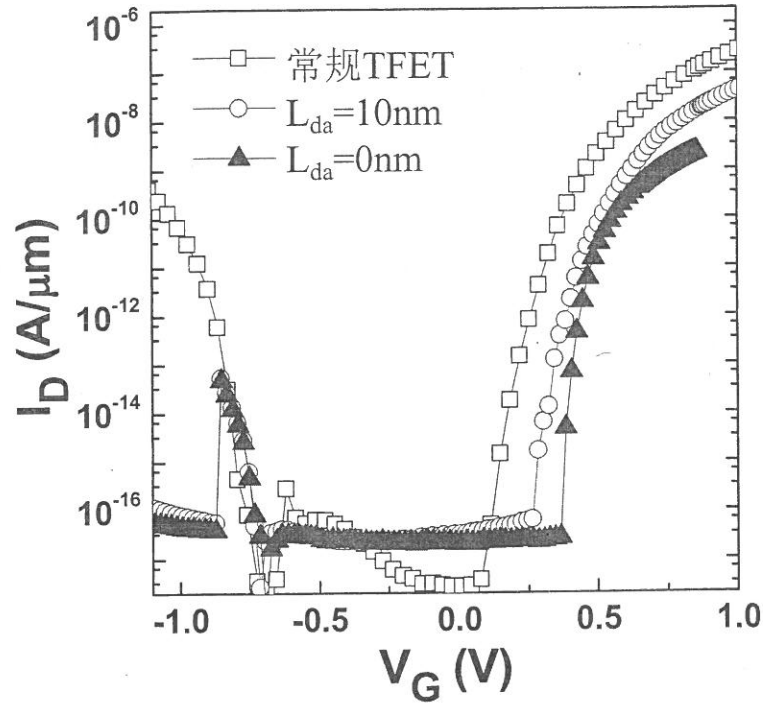


图 3.16 Short gate SG-TFET 转移特性曲线，短栅的设计可以抑制双极导通效应

综上所述，采用短栅设计的 SG-TFET，通过减小栅电极寄生隧穿结隧穿势垒的控制，抑制寄生隧穿，降低亚阈值斜率。但是同时会在沟道中引入电子势垒，抑制了开态电流。为了提高开态电流，可以采用 T 型栅电极设计的条形栅 TFET 降低沟道中的电子势垒。

### 3.4.2 采用 T 型栅电极设计的条形栅隧穿场效应晶体管

T 型栅电极设计的 SG-TFET 如图 3.17 所示。靠近漏极的栅电极宽度  $W_H$  要小于靠近源极的栅电极宽度  $W_{FG}$ 。利用窄栅电极与寄生隧穿结之间的空间距离增加寄生隧穿结的隧穿势垒宽度，抑制寄生隧穿结的隧穿。同时窄栅电极可以有效地降低沟道中的电子势垒，提高漏极电流。

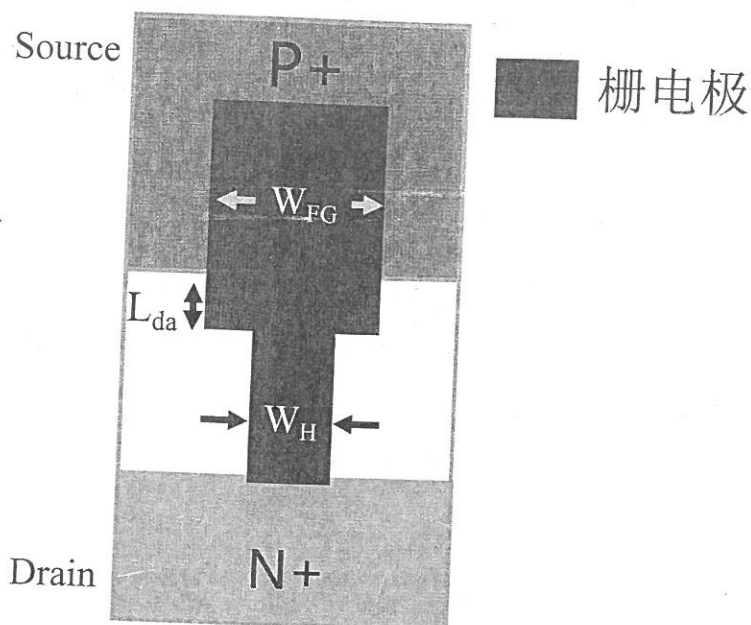


图 3.17 T 型栅电极 SG-TFET 的结构图

图 3.18 为沟道表面中轴线上的能带分布图, T 型栅 SG-TFET 与 Short gate SG-TFET 栅电压同时偏置在 0.8V。  $W_H$  为 2nm,  $L_{da}$  为 0nm,  $L_{FG}$  为 40nm,  $W_{FG}$  为 40nm,  $T_{OX}$  为 2nm。结果表明, 采用 T 形栅电极设计的 SG-TFET 相比 Short gate SG-TFET 具有更低的沟道电子势垒高度, 因此具有更高的漏极电流。根据转移特性曲线 (如图 3.19), 相比常规 TFET, T 型栅电极 SG-TFET 具有更陡直的亚阈值斜率。而相比 Short gate SG-TFET, T 型栅电极 SG-TFET 的亚阈值斜率有少量增加 (亚阈值斜率由 9mV/dec 增加到 11mV/dec)。主要是因为窄栅电极仍然会微弱地影响寄生隧穿结的隧穿势垒。

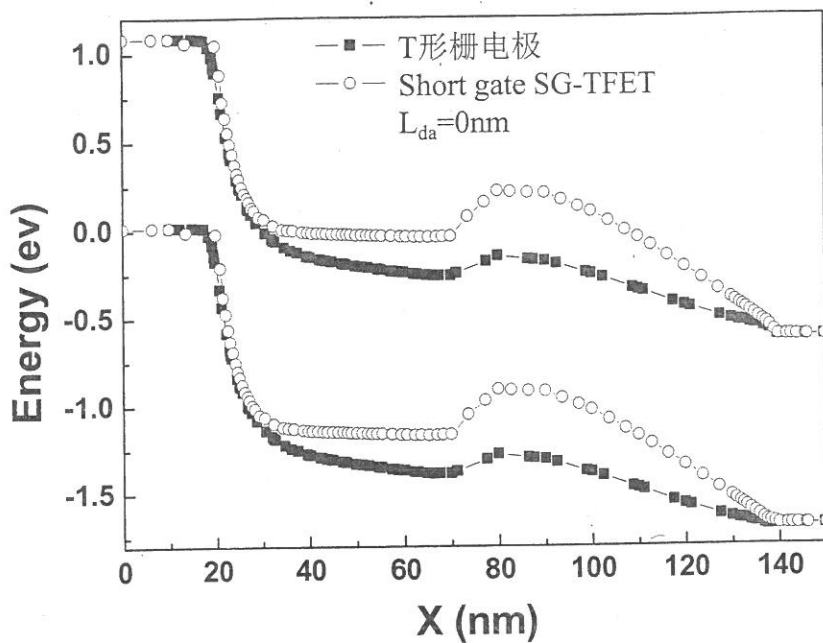


图 3.18 T 型栅电极 SG-TFET 与 Short gate SG-TFET 沟道方向能带图

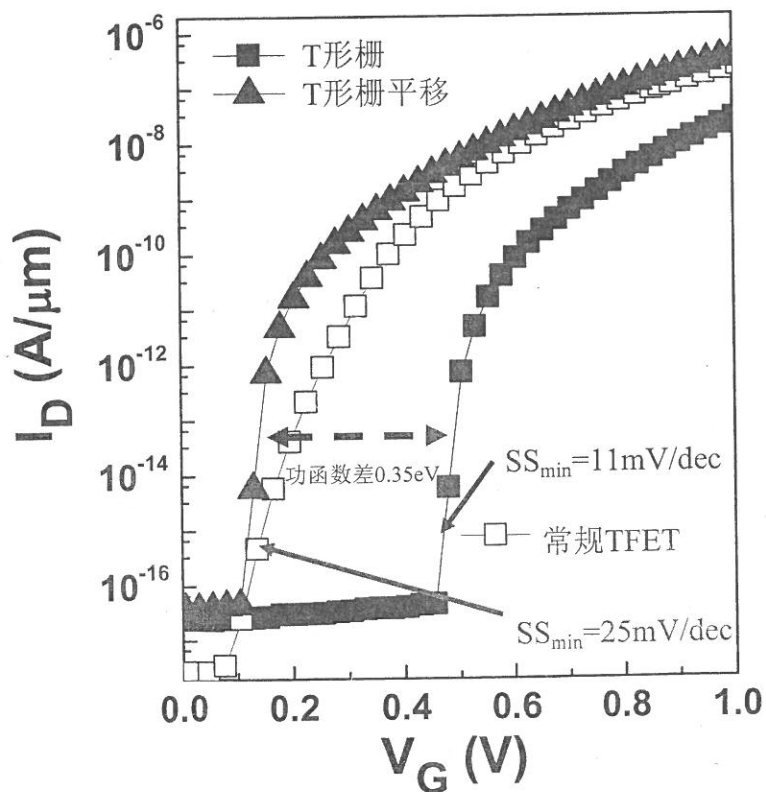


图 3.19 T 型栅电极 SG-TFET 与常规 TFET 转移特性曲线

图 3.20 分析  $W_H$  对器件特性的影响。因为增加  $W_H$  会减小栅电极与寄生隧穿结之间的距离，寄生隧穿结的隧穿势垒就越薄，所以棱角隧穿结越容易隧穿。因

此  $W_H$  越大，器件亚阈值斜率会越大。在  $W_H$  为 10nm 的时候 ( $W_{FG}=40nm$ )，亚阈值斜率由 11mV/dec 退化至 18mV/dec。另外开态电流会随着  $W_H$  增大而上升，这是因为栅电极越宽，栅电极对沟道中电子势垒的控制能力就越强。

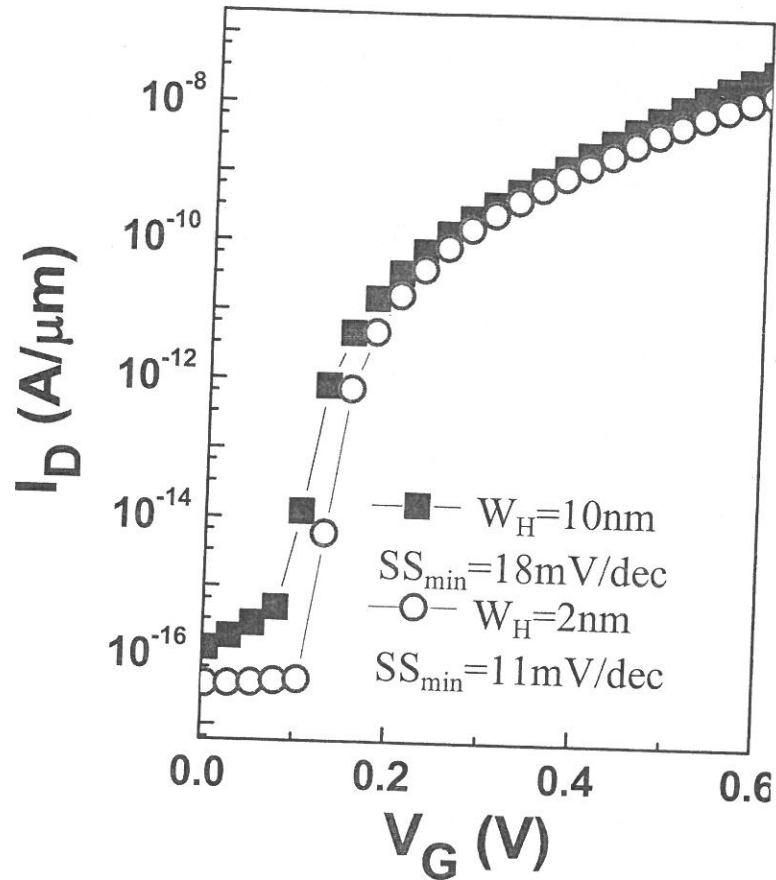


图 3.20  $W_H$  对 T 形栅电极 SG-TFET 转移特性的影响

$W_{FG}$  对器件特性的影响如图 3.21 所示。根据理论分析， $W_{FG}$  越小，沟道中自耗尽效应会越强，沟道中导带能量会越高，隧穿发生时隧穿势垒宽度就越薄，因此亚阈值斜率会越低。而对 T 形栅电极 SG-TFET 的分析结果表明，随着  $W_{FG}$  减小亚阈值斜率并没有单调地下降，反而表现为先增加后下降的趋势。这是因为随着  $W_{FG}$  的减小，存在着两种相互竞争的亚阈值斜率变化趋势。一方面随着  $W_{FG}$  的减小，自耗尽效应越明显，亚阈值斜率越小；另一个方面，随着  $W_{FG}$  的减小，寄生隧穿结与窄栅电极之间的距离越近，因此寄生隧穿越容易发生，会造成亚阈值斜率的退化。综合以上两种因素，随着  $W_{FG}$  的减小，器件的亚阈值斜率会出现先增加后减小的趋势。

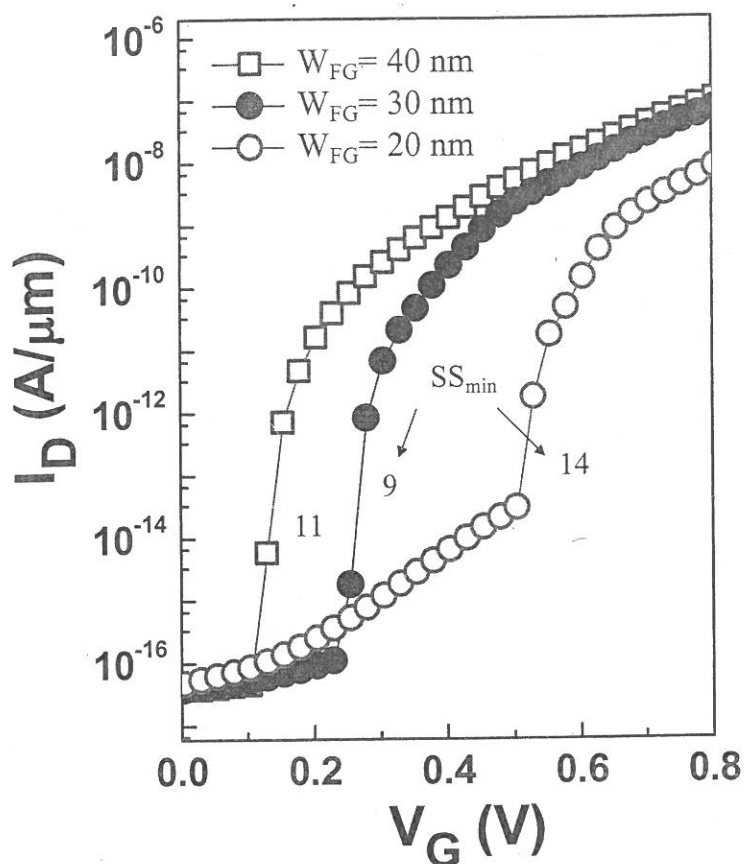


图 3.21  $W_{FG}$  对 T 形栅电极 SG-TFET 转移特性的影响

$L_{da}$  对器件亚阈值特性的影响如图 3.22 所示。当  $L_{da}$  由负值增加到 10nm 的时候，漏极电流会不断上升，但是当  $L_{da}$  大于 10nm，漏极电流变化不明显。这是因为  $L_{da}$  增加的初期，宽栅电极会不断地覆盖存在电子势垒的区域，沟道中电子势垒会不断地减小，因此漏极电流会不断地增加。而当宽栅电极完全覆盖电子势垒区域的时候，电子势垒已经达到最低值，因此漏电流不会跟随  $L_{da}$  的变化而变化。而另一方面，随着  $L_{da}$  的增加，宽栅电极对寄生隧穿结的控制会增强，因此会造成寄生隧穿，亚阈值斜率变差。

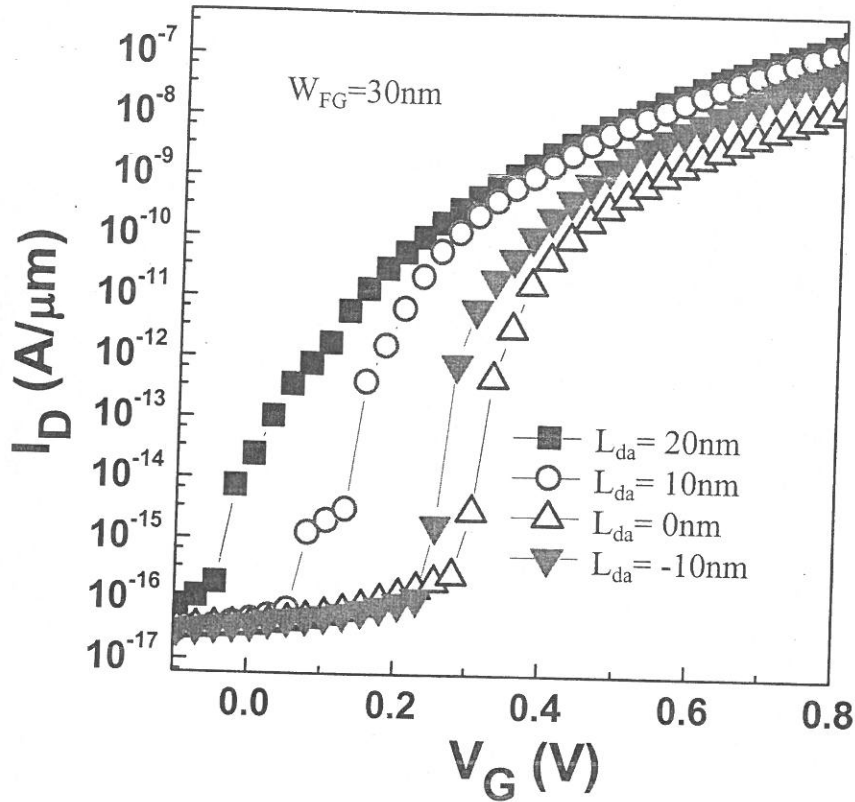


图 3.22  $L_{da}$  对 T 形栅电极 SG-TFET 转移特性的影响

综上所述，采用 T 形栅电极设计的 SG-TFET，通过减小靠近寄生隧穿结处的栅电极宽度，增加栅电极与寄生隧穿结的距离，抑制寄生隧穿结的隧穿，降低器件亚阈值斜率。同时，T 形栅电极 SG-TFET 利用窄栅电极降低沟道区电子势垒，提高开态电流。但是由于窄栅电极对寄生隧穿结的抑制能力受到  $W_{FG}$  的限制，因此可以采用阶梯栅介质 SG-TFET 来进一步优化小尺寸 SG-TFET 并且可以在减小  $W_{FG}$  的同时仍然能够实现更陡直的亚阈值斜率。

### 3.4.3 阶梯栅介质条形栅场效应晶体管

阶梯栅介质 SG-TFET 器件结构如图 3.23(a)所示，侧视图如图 3.23(b)所示，其中栅氧化层采用两种厚度，靠近源端的栅氧化层采用薄栅氧，以提供更好的隧穿结栅控，其厚度用  $T_{Ox1}$  表示，长度用  $L_{Ox1}$  表示；靠近漏端的栅氧化层采用厚栅氧，以降低栅电极对寄生隧穿结的控制，其厚度用  $T_{Ox2}$  表示，长度用  $L_{Ox2}$  表示。

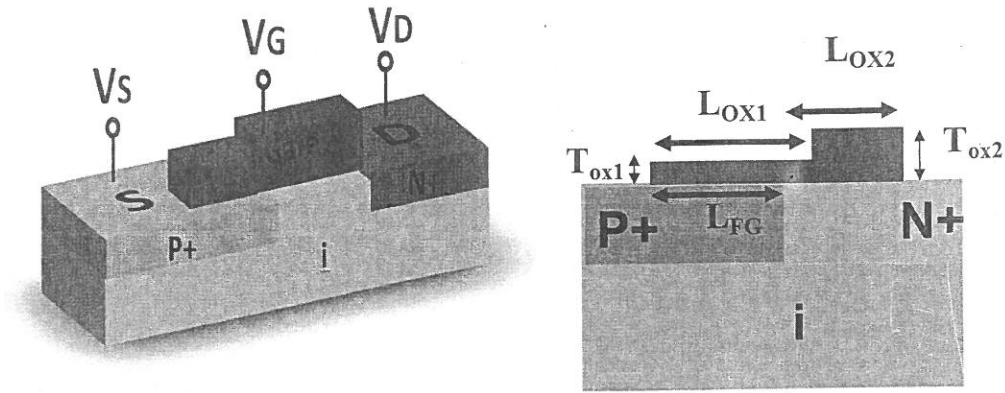


图 3.23 (a)阶梯栅介质 SG-TFET 器件结构 (b)阶梯栅介质 SG-TFET 器件结构侧视图

阶梯栅介质 SG-TFET ( $W_{FG}$  为 40nm,  $L_{FG}$  为 40nm,  $L_{ox1}$  为 40nm,  $L_{ox2}$  为 80nm,  $T_{ox1}$  为 2nm,  $T_{ox2}$  为 8nm) 转移特性曲线如图 3.24 所示 (通过调整功函数, 使所研究的器件具有相同的隧穿起始栅电压)。阶梯栅介质 SG-TFET 的开态电流与常规 TFET 基本相等, 因为覆盖厚栅氧的栅电极会有效地降低沟道中的电子势垒。另一方面, 阶梯栅介质 SG-TFET 的亚阈值斜率也明显小于常规 TFET, 其亚阈值斜率是 11mV/dec, 而平均亚阈值斜率为 24mV/dec。原因是厚氧化层增加了寄生隧穿结的隧穿势垒, 抑制了寄生隧穿电流。

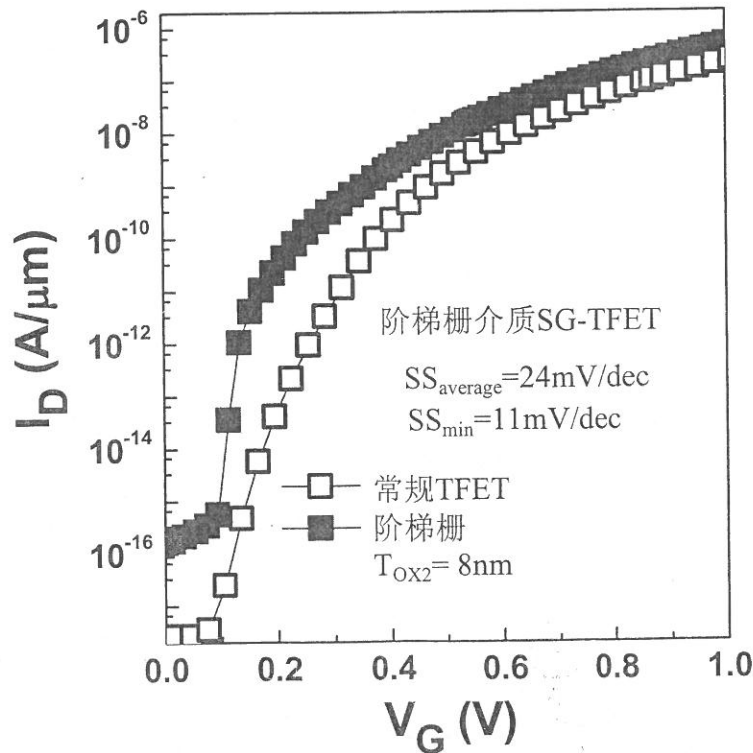


图 3.24 阶梯栅介质 SG-TFET 的转移特性曲线

$T_{OX2}$  是器件设计的关键参数,其对器件特性的影响如图 3.25 与图 3.26 所示。减小  $T_{OX2}$ , 栅对沟道中电子势垒的影响越明显, 因此沟道中的电子势垒会降低, 如图 3.25 所示。但是开态电流的变化并不明显。这主要是因为, 对于  $T_{OX2}$  为 4nm 或者为 10nm 的阶梯栅介质 SG-TFET, 开态电流的限制因素不是沟道区的漂移电流, 而是源端的隧穿电流限制了最终的开态电流。因此随着  $T_{OX2}$  的增加, 虽然沟道中的电子势垒有少量的上升, 但是隧穿结附近的导带变化微弱, 隧穿电流变化不明显。但是随着  $T_{OX2}$  的增加, 阶梯栅介质 SG-TFET 的亚阈值斜率会不断地减小。因为增加  $T_{OX2}$ , 会削弱栅对寄生隧穿结的控制, 所以亚阈值斜率会更加陡直, 如图 3.26 所示。

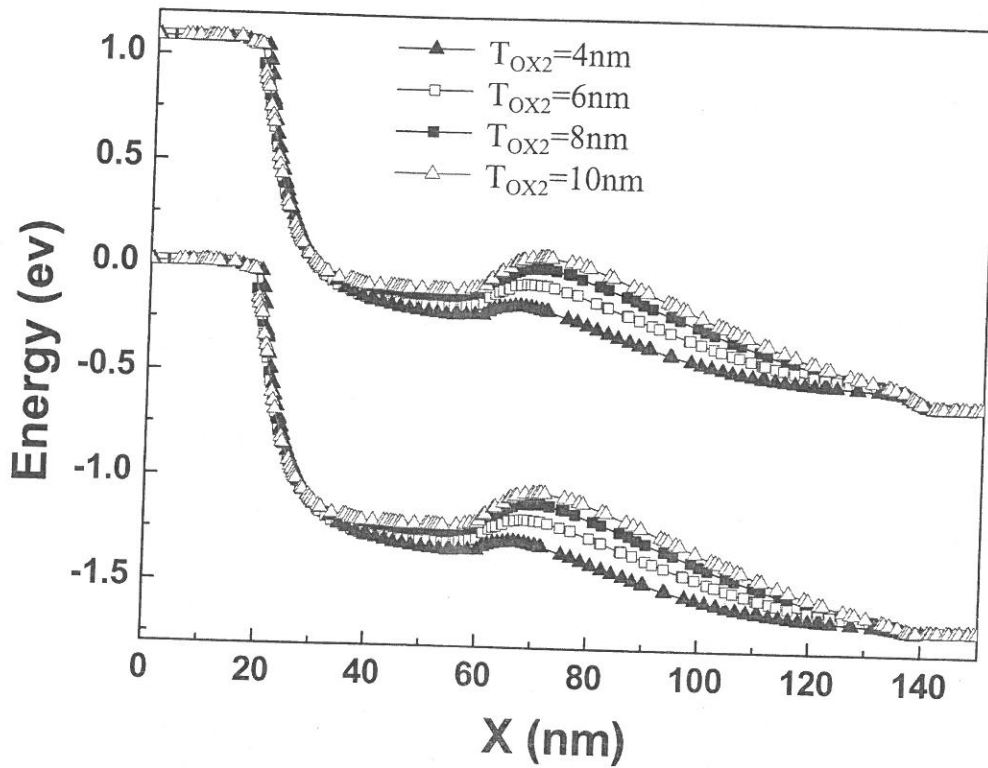


图 3.25  $T_{OX2}$  对阶梯栅介质 SG-TFET 沟道表面能带的影响

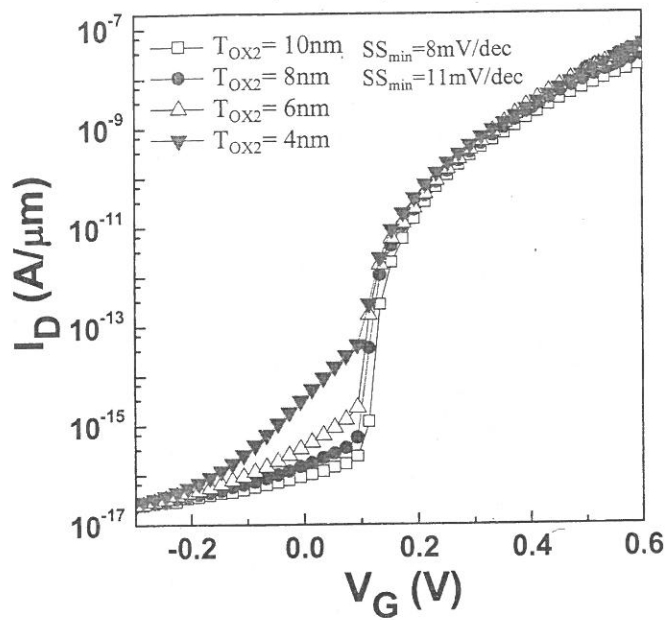


图 3.26  $T_{OX2}$  对阶梯栅介质 SG-TFET 亚阈值特性的影响

$W_{FG}$  对器件特性的影响如图 3.27 所示。根据理论分析，减小  $W_{FG}$  会增强自耗尽效应有利于降低亚阈值斜率。另外，自耗尽效应越强，相同栅电压下自耗尽区中的导带会越高，隧穿电流会减小，因此相同栅电压下器件的漏极电流会有所降低。

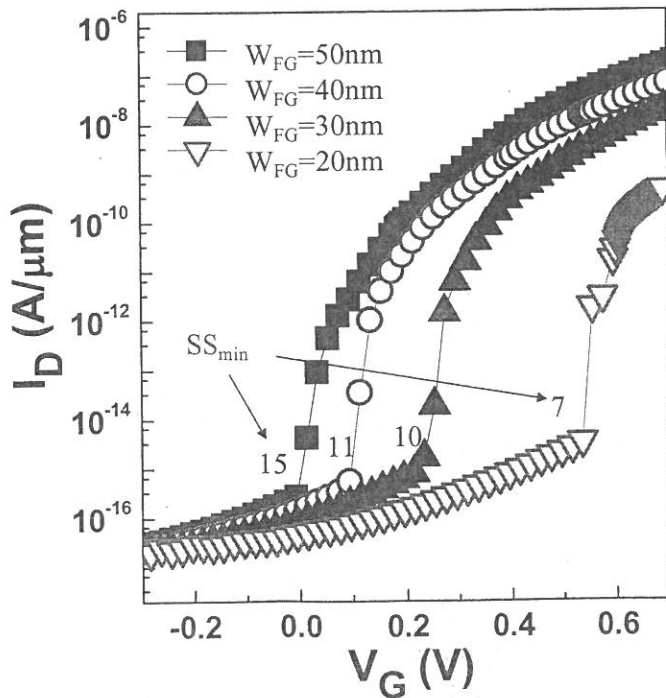


图 3.27  $W_{FG}$  对阶梯栅介质 SG-TFET 转移特性曲线的影响

阶梯栅介质结构可以有效地抑制 TFET 的双极导通特性, 如图 3.28 所示。在靠近隧穿结的区域采用薄栅氧, 提供良好的栅控, 增强隧穿结电场, 能够实现陡直的亚阈值斜率以及高开态电流。而在靠近漏区采用厚栅氧, 削弱漏结的电场强度, 抑制漏与沟道之间发生带带隧穿。并且  $T_{OX2}$  越大, 漏极隧穿结势垒宽度越高, 因此能更有效地抑制双极导通特性。

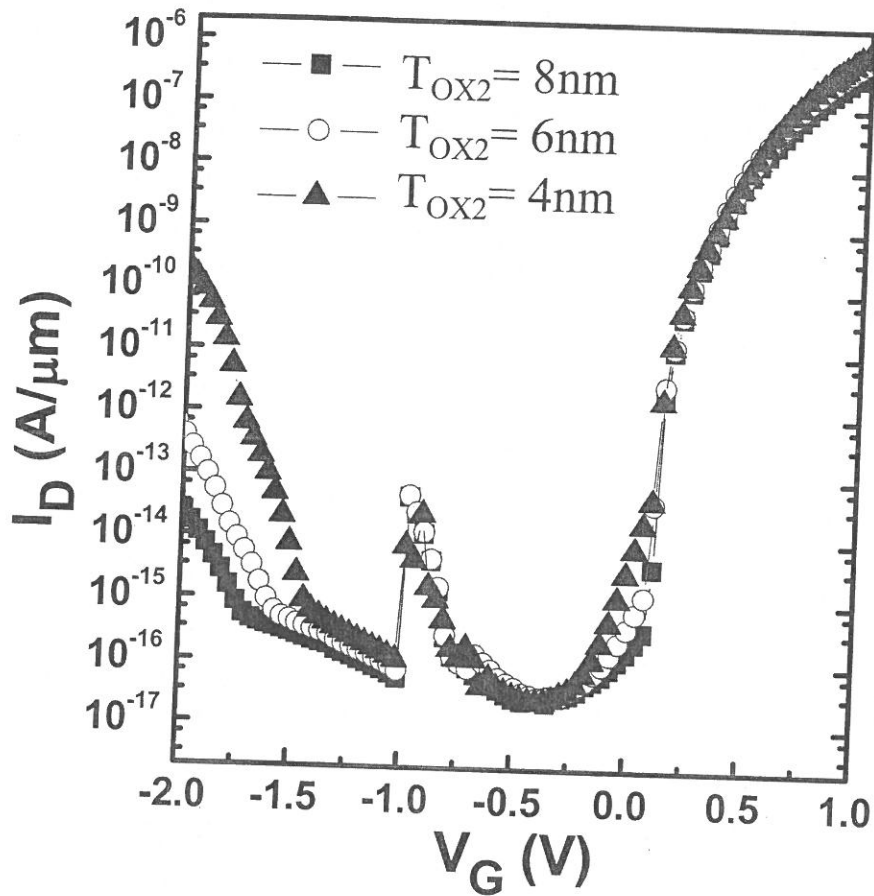


图 3.28 阶梯栅介质 SG-TFET 转移特性曲线 ( $T_{OX2}$  越大, 双极导通特性越容易受到抑制)

$L_{OX1}$  的影响如图 3.29 所示, 当  $L_{OX1}$  为 30nm ( $L_{FG}$  为 40nm) 的时候, 薄栅仅仅控制沟道的自耗尽区域, 因此亚阈值斜率最为陡直。增加  $L_{OX1}$ , 薄栅长度会超过了自耗尽区域的长度 ( $L_{FG}$ ), 薄栅对寄生隧穿结的控制开始增强, 因此亚阈特性开始退化。当  $L_{OX1}$  为 20nm 的时候, 亚阈值斜率退化至 21mV/dec。

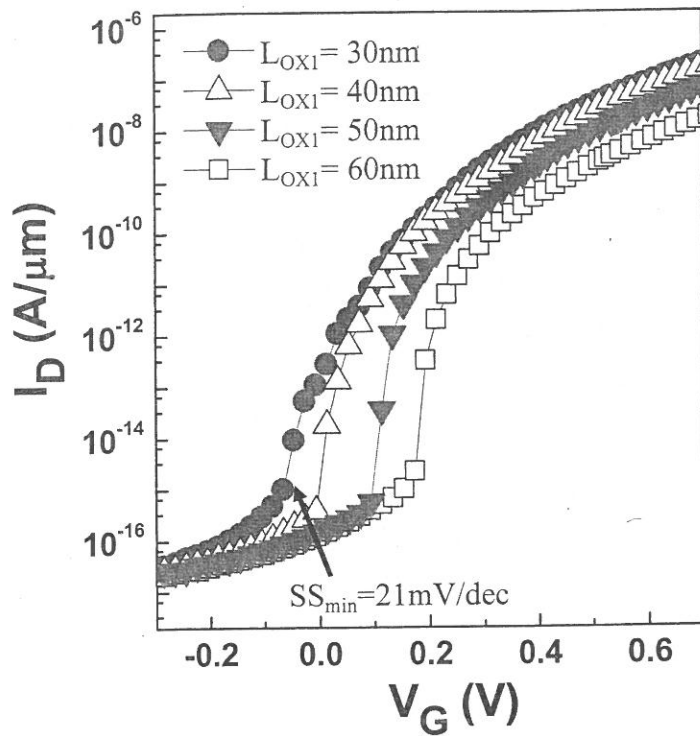


图 3.29  $L_{OX1}$  对阶梯栅介质 SG-TFET 转移特性的影响

另外，采用异质栅介质 SG-TFET 如图 3.30 所示，同样可以降低小尺寸 SG-TFET 的亚阈值斜率同时提高开态电流。异质栅介质 SG-TFET，靠近隧穿结采用高 K 栅介质材料，以增强栅电极对隧穿结的控制。而靠近漏极采用低 K 栅介质材料，以增加寄生隧穿结以及漏极隧穿结的隧穿势垒宽度，因此异质栅介质 SG-TFET 可以降低亚阈值斜率同时避免双极导通特性。

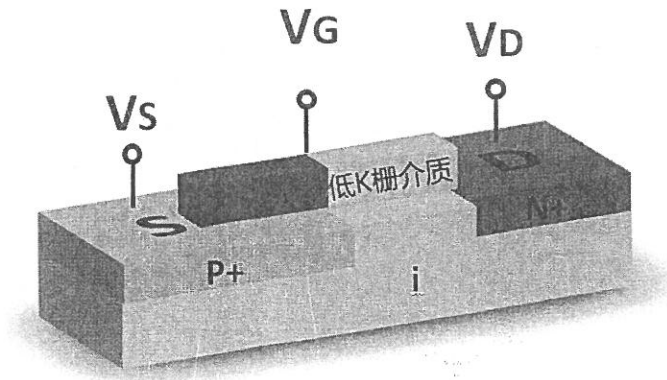


图 3.30 异质栅介质 SG-TFET 结构示意图

低  $K$  介质介电常数对器件转移特性的影响如图 3.31 所示 ( $W_{FG}$  为 40nm,  $L_{FG}$  为 40nm,  $T_{OX}$  为 2nm)。当  $K$  值为 3 的时候, 介电常数与  $SiO_2$  基本相等, 此时异质栅介质 SG-TFET 相当于一个小尺寸 SG-TFET。寄生隧穿结的隧穿电流, 造成亚阈值斜率的退化。当  $K$  降低至 2, 此时栅氧化层等效厚度(EOT)为 3nm, 寄生隧穿结的隧穿势垒宽度会增加, 寄生隧穿开始受到一定的抑制, 亚阈值斜率开始减小。而当  $K$  降低至 1 的时候, 此时 EOT 为 6nm, 亚阈值斜率已经得到很大的降低。由于异质栅介质与阶梯栅介质 SG-TFET 都是采用改变栅介质 EOT 的方法抑制寄生隧穿结隧穿, 因此与阶梯栅介质 SG-TFET 相同减小  $W_{FG}$  不会造成造成更大的寄生隧穿电流。

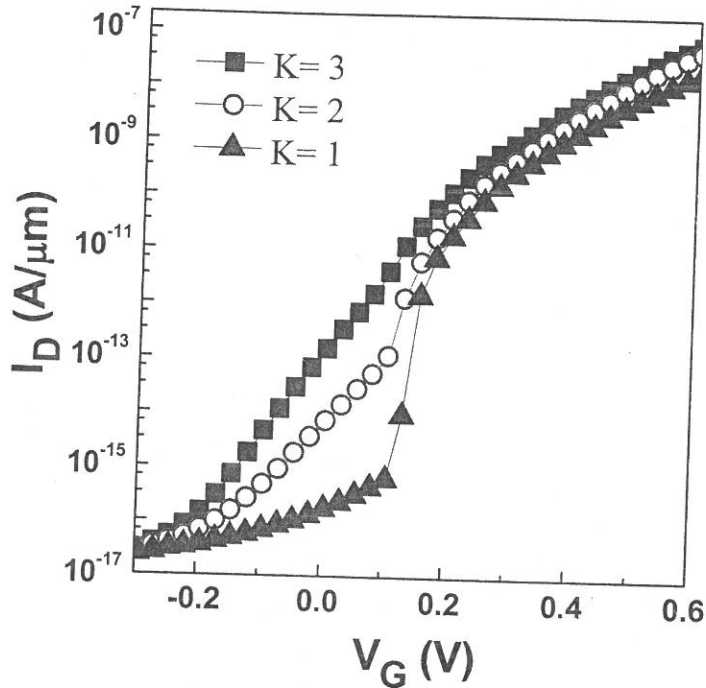


图 3.31 异质栅介质 SG-TFET, 栅介电常数对转移特性曲线的影响

综上所述, 采用阶梯介质设计或者异质栅介质设计的 SG-TFET 利用 EOT 比较小的栅介质控制器件开启与关断, 而利用 EOT 比较大的栅介质抑制寄生隧穿同时降低沟道中电子势垒高度, 提高开态电流。采用阶梯栅介质或者异质栅介质设计的 SG-TFET 不仅可以抑制双极导通特性, 而且对寄生隧穿的抑制能力不会受到  $W_{FG}$  的限制, 因此可以通过减小  $W_{FG}$  进一步降低亚阈值斜率。

本章以上介绍了条形栅 TFET 以及其工作原理, 然后研究了小尺寸下条形栅 TFET 的寄生隧穿结隧穿的问题, 并且提出了 short gate 栅、T 型栅电极、阶梯栅介质以及异质栅介质 SG-TFET 来抑制寄生隧穿提高器件特性。下面本章将介绍

Pocket 条形栅 TFET, 通过在自耗尽区域引入 Pocket 掺杂, 不仅可以抑制条形栅 TFET 寄生隧穿结隧穿的问题, 而且还可以进一步降低器件亚阈值斜率, 提高开态电流。

### 3.5 Pocket 条形栅隧穿场效应晶体管

#### 3.5.1 常规 Pocket 隧穿场效应晶体管

增强 TFET 隧穿结的电场可以减小隧穿结的隧穿势垒, 因此有利于隧穿的发生。为了提高隧穿结的电场, 以 N 型 TFET 为例, 可以在隧穿结处插入一个 N 型的重掺杂薄层(Pocket 层)形成一个突变隧穿结。插入的 Pocket 层可以收缩空间电荷区宽度, 提高结电场, 降低隧穿结的隧穿势垒宽度。采用 Pocket 设计的常规 TFET(Pocket TFET)如图 3.32 所示,  $L_P$  表示 Pocket 的长度, 而采用  $N_P$  表示 Pocket 的掺杂浓度, Pocket 的厚度用  $T_P$  表示。

图 3.33 为模拟的 Pocket TFET 转移特性曲线, 其中隧穿结的结深为 50nm,  $T_{OX}$  为 2nm,  $L_P$  为 10nm,  $N_P$  为  $7 \times 10^{18} \text{cm}^{-3}$ ,  $T_P$  为 20nm。相比常规 TFET, Pocket TFET 隧穿会在更小的栅电压下发生, 而且亚阈值斜率更加陡直(亚阈值斜率为 8mV/dec, 平均亚阈值斜率为 9mV/dec, 而常规 TFET 的亚阈值斜率为 25mV/dec, 平均亚阈值斜率为 43mV/dec)。不仅如此, Pocket TFET 也具有更高的开态电流。

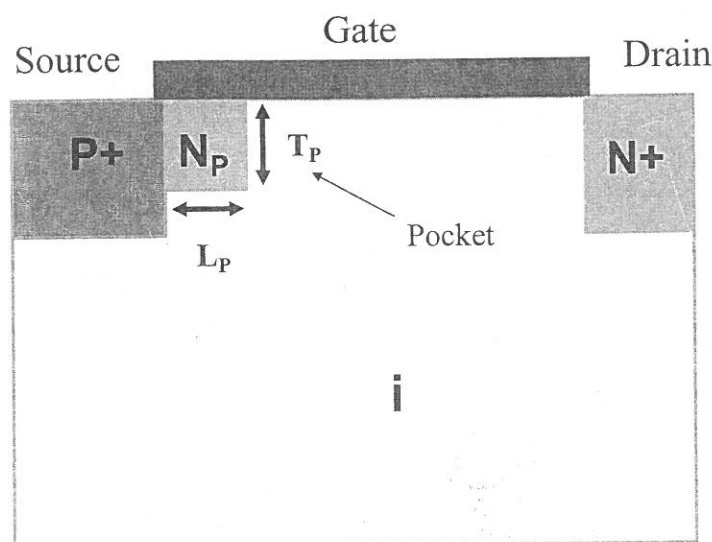


图 3.32 Pocket TFET 结构示意图

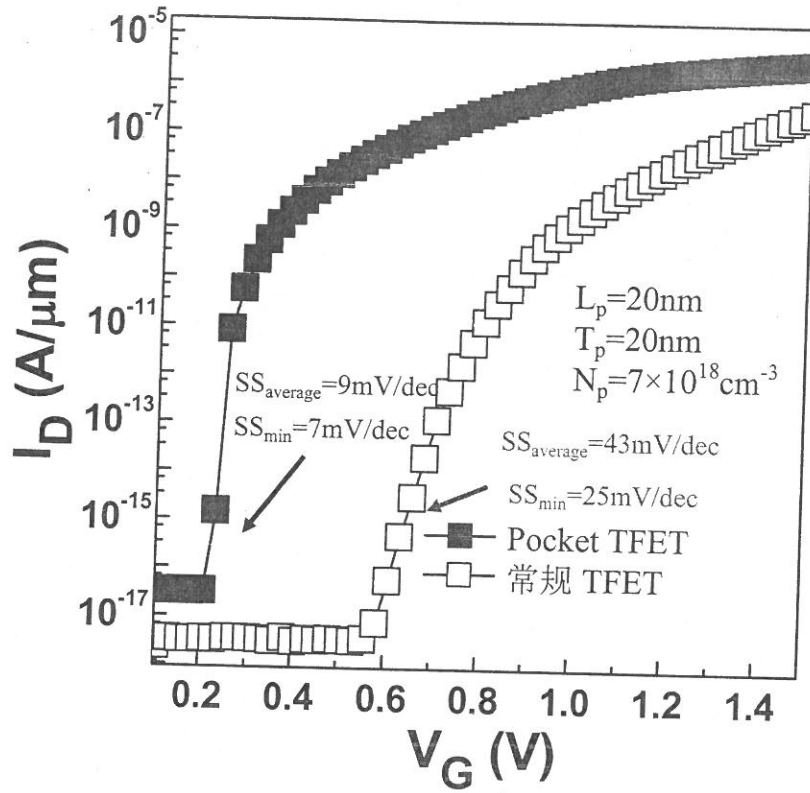


图 3.33 Pocket TFET 转移特性曲线

Pocket TFET 沟道表面能带图（如图 3.34）表明，N 型 Pocket 层减小隧穿结耗尽层宽度同时降低了隧穿结沟道一侧能带。隧穿结沟道一侧能带的降低有利于隧穿起始电压的降低，而缩小耗尽层宽度以及降低沟道能带都会导致隧穿结处电场强度的提高，如图 3.35 所示。因此 Pocket TFET 可以降低亚阈值斜率同时提高开态电流。

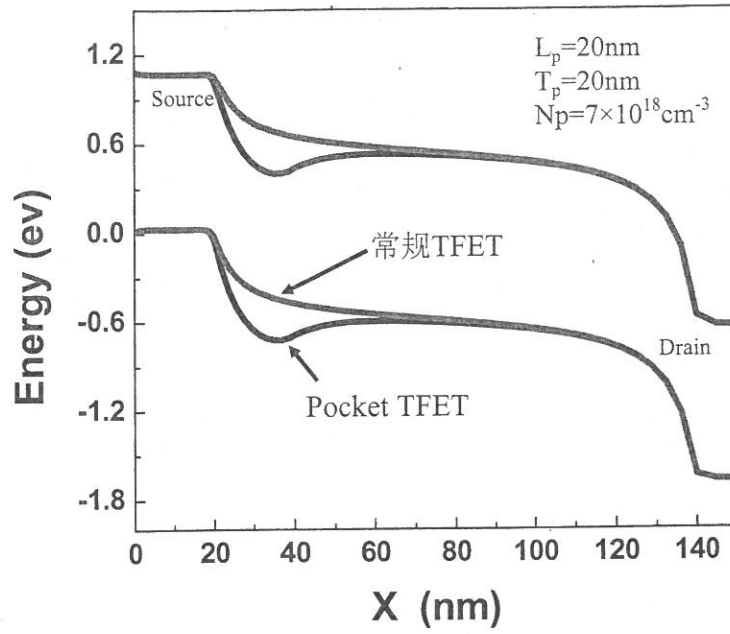


图 3.34 Pocket TFET 与常规 TFET 沟道表面能带图

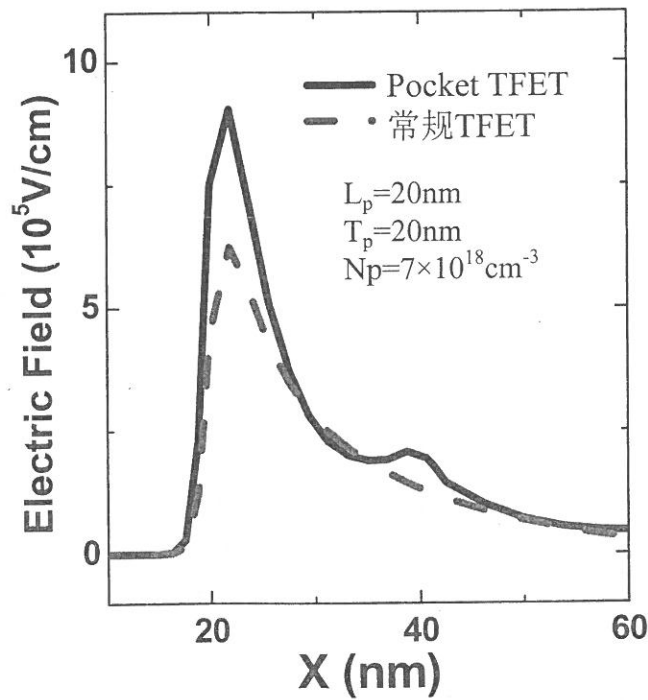


图 3.35 Pocket TFET 与常规 TFET 隧穿结处电场分布 ( $V_G=0$ )

Pocket 的掺杂浓度越高，隧穿结处的电场强度会越强，越有利于隧穿结的隧穿。但是过度提高 Pocket 的掺杂浓度会造成 Pocket 层的不完全耗尽。如果 Pocket 层不被完全耗尽，会造成隧穿结失去栅的控制，引入比较大的源漏泄漏电流，如

图 3.36 所示。

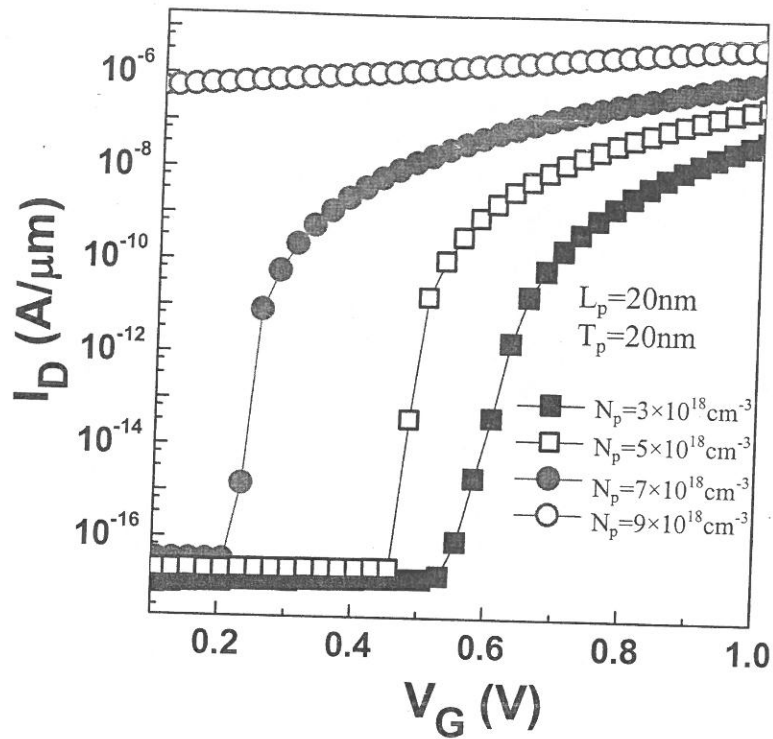


图 3.36 Pocket 的掺杂浓度对 TFET 转移特性的影响

适当地增加  $L_p$  能够降低亚阈值斜率，但是过度地增加  $L_p$  同样会导致泄漏电流的增加，如图 3.37 所示。因为随着  $L_p$  的增加，Pocket 层对隧穿结的能带调制作用会越来越明显，沟道中导带越来越低（如图 3.38），因此亚阈值斜率不断降低并且隧穿开启栅电压越来越小。而当  $L_p$  为 30nm 的时候，Pocket 层不能够被完全耗尽。在关态的时候，沟道导带底已经低于源端价带顶，源端价带电子可以不通过栅的控制直接往沟道中的导带隧穿注入，形成比较高的泄漏电流。

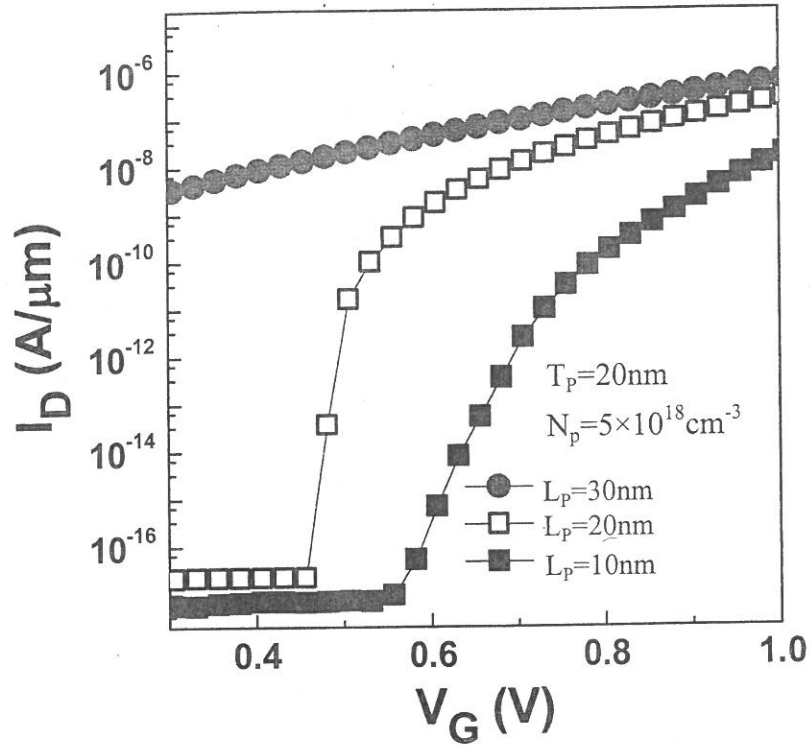


图 3.37 Pocket 层的长度对 TFET 转移特性的影响

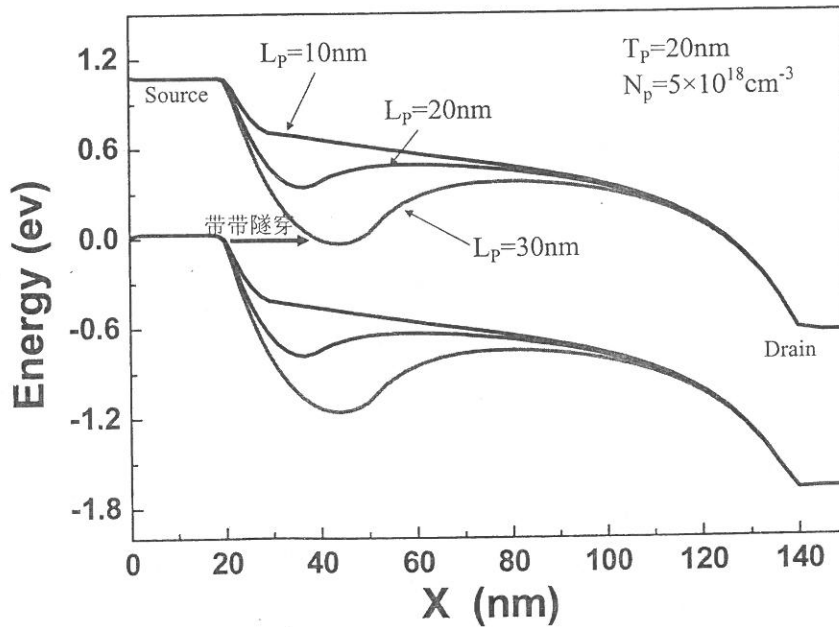


图 3.38 Pocket 层的长度对 TFET 表面能带的影响 (关态)

增加  $T_p$  的效果与增加  $L_p$  类似，适量地增加  $T_p$  有利于降低亚阈值斜率与隧穿开启栅电压，但是过度地增加  $T_p$  同样会引入高泄漏电流，如图 3.39 所示。Pocket 层不仅受到 P 型源区的耗尽，而且还受到栅电极的耗尽，但是当  $T_p$  为 50nm 的

时候, P 型源区与栅电极已经无法完全耗尽 Pocket 层, 造成源区价带电子向器件体内注入, 形成体内泄漏电流, 如图 3.40 所示。

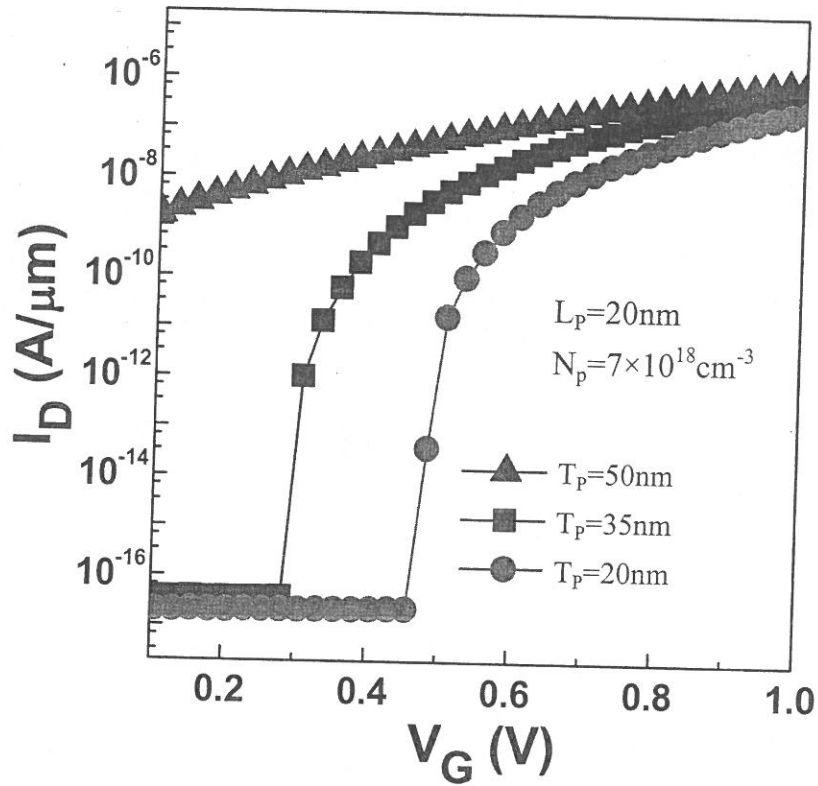


图 3.39 Pocket 层的厚度对 TFET 转移特性的影响

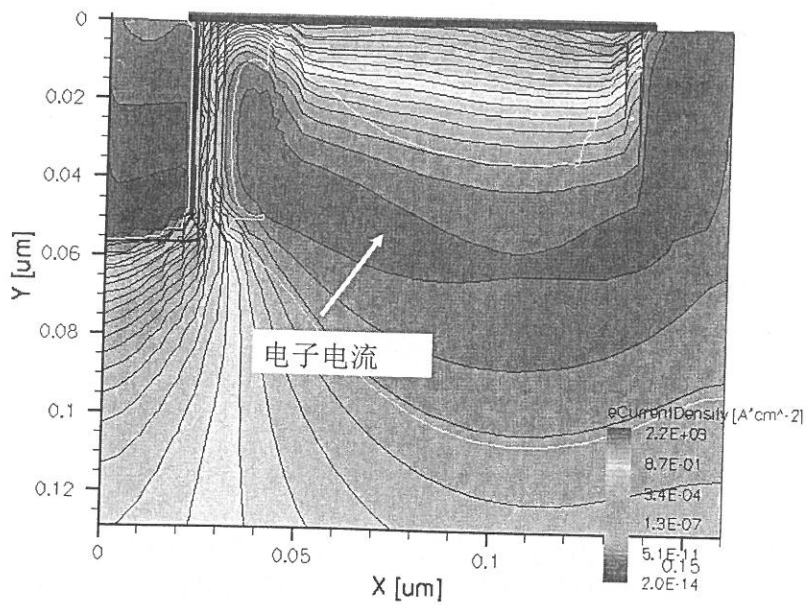


图 3.40 关态下 Pocket TFET 电子电流密度分布, 过厚的 Pocket 层会引起高泄漏电流

综上所述，设计 Pocket TFET 关键是设计零偏置下高掺杂并且被全耗尽的 Pocket 层。低掺杂的 Pocket 层提升电场作用不明显。而高掺杂的 Pocket 层，容易造成 Pocket 层的不完全耗尽，引入泄漏电流，另外  $T_p$ ,  $L_p$  也同样影响源区与栅电极对 Pocket 层的耗尽能力，如果设计不当也会引入过高的泄漏电流。而对于 SG-TFET，由于  $W_{FG}$  宽度在设计的时候就已经利用光刻定义，因此不需要考虑 Pocket TFET 中  $L_p$  变化对器件特性的影响。而且 SG-TFET 中特有的自耗尽效应可以形成对 Pocket 层的强耗尽作用，这种强耗尽作用不仅可以抑制 Pocket SG-TFET 的泄漏电流，而且还可以降低器件特性对  $T_p$  的敏感度。另外，Pocket 层会提高自耗尽区中的电势，使自耗尽区内的导带低于或者等于自耗尽区以外的导带，因此可以避免寄生隧穿结隧穿所引起的亚阈值退化。

### 3.5.2 Pocket 条形栅隧穿场效应晶体管

Pocket SG-TFET 的沟道表面俯视图如图 3.41(a)所示。在 SG-TFET 的自耗尽区引入一个 N 型掺杂的 Pocket 层，其掺杂浓度为  $N_p$ 。Pocket 的深度用  $T_p$  表示，如图 3.41(b)中轴线剖面图，而其余器件参数与 SG-TFET 相同。

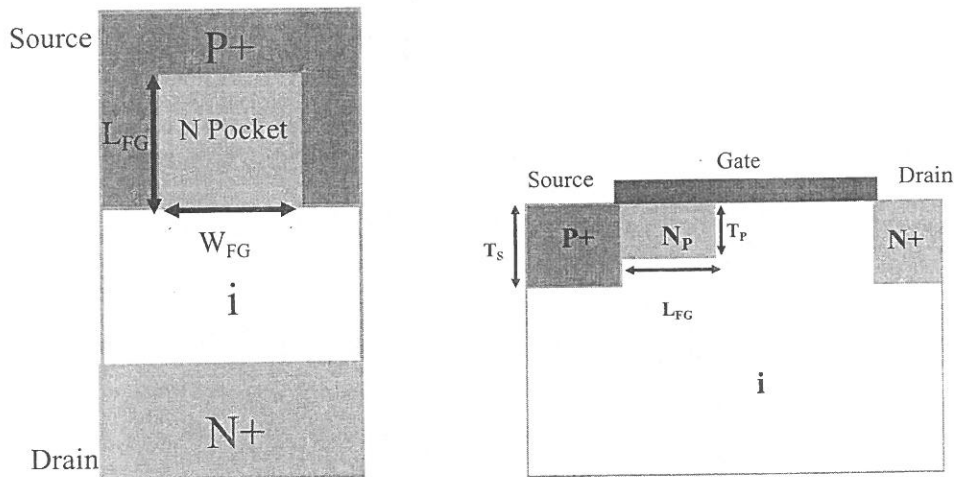


图 3.41 (a) Pocket SG-TFET 沟道表面俯视图 (b) Pocket SG-TFET 中轴剖面侧视图

图 3.42 为 Pocket SG-TFET 的转移特性曲线。其中  $L_{FG}$  为 40nm,  $T_s$  为 50nm,  $T_p$  为 20nm,  $W_{FG}$  为 30nm,  $T_{OX}$  为 2nm,  $N_p$  为  $8 \times 10^{18} \text{cm}^{-3}$ 。结果表明，采用 N Pocket 掺杂 SG-TFET 不需要特殊的栅设计就可以实现非常陡直的亚阈值斜率。因为被耗尽的 N Pocket 层可以降低自耗尽区中的导带。如图 3.43 所示的关态下 Pocket SG-TFET 沟道表面能带图，N Pocket 层甚至可以将自耗尽区的导带降低至非自

耗尽区域导带以下，因此寄生隧穿结的隧穿会在自耗尽区内隧穿结隧穿之后发生，避免了寄生隧穿的影响，实现非常陡直的亚阈值斜率。

另外由于沟道的自耗尽作用，加强了侧壁 P 型半导体对 N Pocket 层的耗尽作用。因此  $W_{FG}$  为 30nm,  $N_p$  为  $8 \times 10^{18} \text{cm}^{-3}$  的 N Pocket 层依然可以被完全耗尽，抑制了泄漏电流。从另一个层面来说，由于自耗尽效应。N Pocket 层可以采用更高的掺杂，因此亚阈值斜率相比常规 Pocket TFET 会更加陡直，其亚阈值斜率为 5mV/dec，平均亚阈值斜率为 8mV/dec（对比常规 Pocket TFET 亚阈值斜率为 7mV/dec，平均亚阈值斜率为 9mV/dec）。

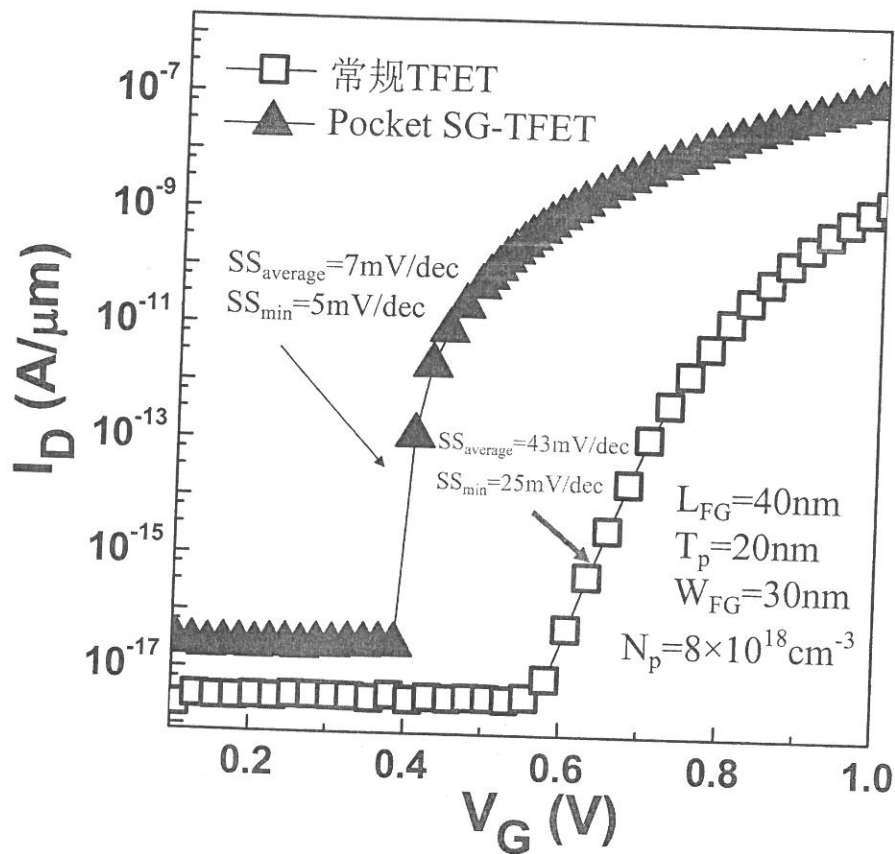


图 3.42 Pocket SG-TFET 的转移特性曲线

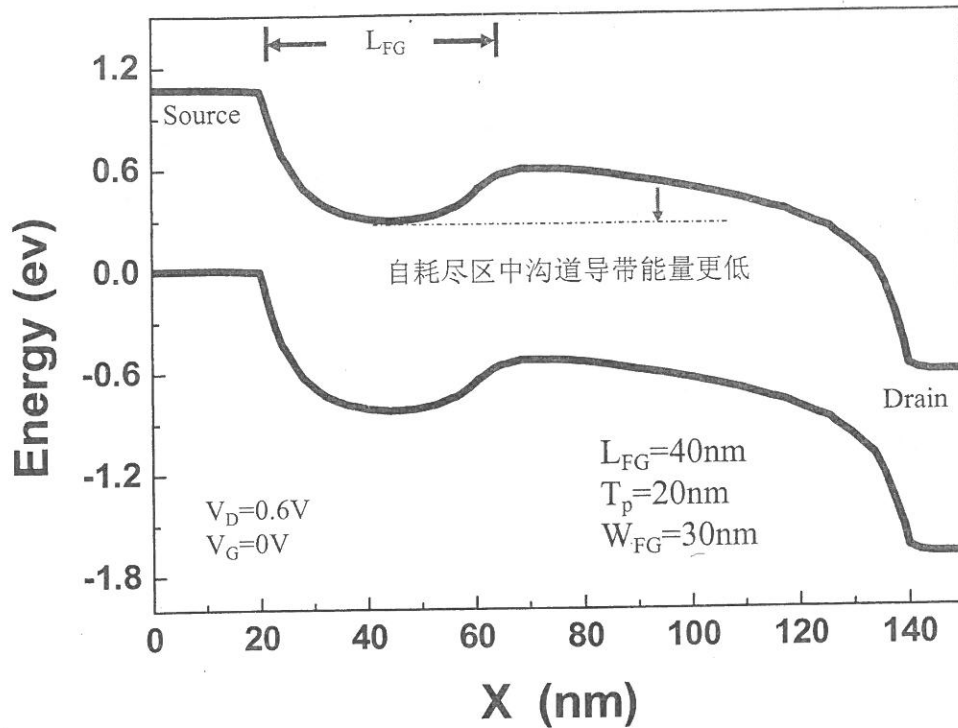


图 3.43 Pocket SG-TFET 沟道表面能带图

N Pocket 层掺杂浓度  $N_p$  对器件特性的影响如图 3.44 所示。与常规 Pocket TFET 类似，随着  $N_p$  的增加，隧穿开启电压逐渐减小。但是由于沟道中的自耗尽效应，增加了源区对 Pocket 层的耗尽能力，因此 Pocket SG-TFET 在保证泄漏电流不增加的前提下，可以采用更高的 Pocket 掺杂浓度，可以实现更为陡直的亚阈值斜率。

$T_p$  对器件特性的影响如图 3.45 所示。当  $T_p$  由 20nm 增加至 50nm，隧穿开启电压仅仅减小了 0.1V，而常规 Pocket TFET（如图 3.39），当  $T_p$  为 50nm 时候，已经引入了高泄漏电流。因此 Pocket SG-TFET 的转移特性与  $T_p$  的敏感度已经有很大降低。这非常有利于器件的设计。

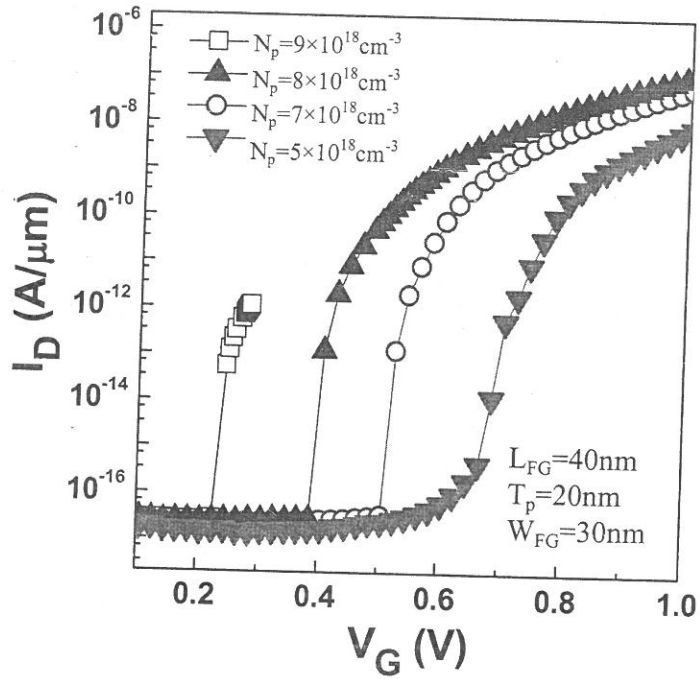


图 3.44  $N_p$  对 Pocket SG-TFET 转移特性的影响。当  $N_p$  为  $9 \times 10^{18} \text{cm}^{-3}$  时候, Pocket SG-TFET 依然可以保持非常低的泄漏电流。 $N_p$  为  $9 \times 10^{18} \text{cm}^{-3}$  时候, 只计算关态与亚阈态的转移特性曲线

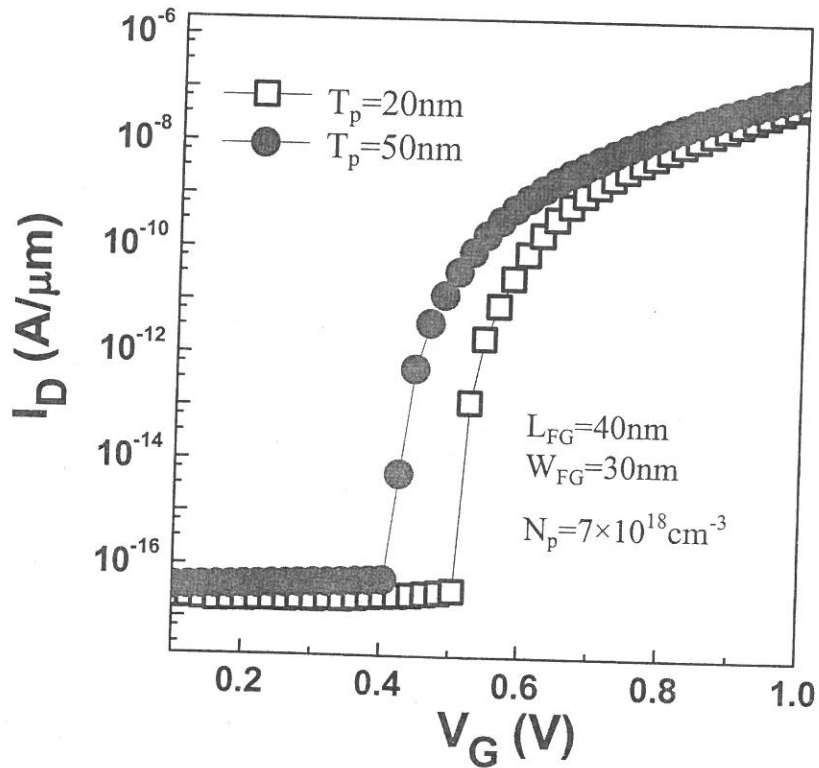


图 3.45  $N_p$  对 Pocket SG-TFET 转移特性的影响

综上, Pocket TFET 利用重掺杂的 Pocket 层收缩隧穿结空间电荷区宽度, 降

低隧穿结沟道一侧导带,从而提高了隧穿结处的电场。因此采用 Pocket 层的 TFET 具有亚阈值斜率陡直,开态电流大等特点。对于常规 Pocket TFET 结构, Pocket 的掺杂浓度越高,隧穿结电场越大,但是也容易造成 Pocket 层的不完全耗尽,引入过大的泄漏电流。另外器件特性与 Pocket 的长度以及深度的依赖关系非常敏感。在条形栅 TFET 中引入 Pocket,可以利用沟道中的自耗尽效应,增加源区对 Pocket 层的耗尽能力,避免 Pocket 层不完全耗尽所带来的高泄漏电流问题,并且由于可以采用更高的 Pocket 掺杂浓度,亚阈值斜率会更加陡直。采用条形栅 TFET, Pocket 层的长度可以利用栅宽  $W_{FG}$  定义,不仅如此,由于自耗尽效应,条形栅 TFET 的转移特性对 Pocket 层深度的敏感性也有明显的下降。因此 Pocket 结构很适合在条形栅 TFET 中使用。

### 3.6 条形栅的实验验证

所制备的 SG-TFET SEM 图如图 3.46 所示,源端虚线标注的区域为 P+注入窗口,而漏极虚线所标注的区域为 N+注入窗口。其制备流程与常规 TFET 以及流梳栅 TFET 完全相同。SG-TFET 的实验转移特性曲线如图 3.47 所示。

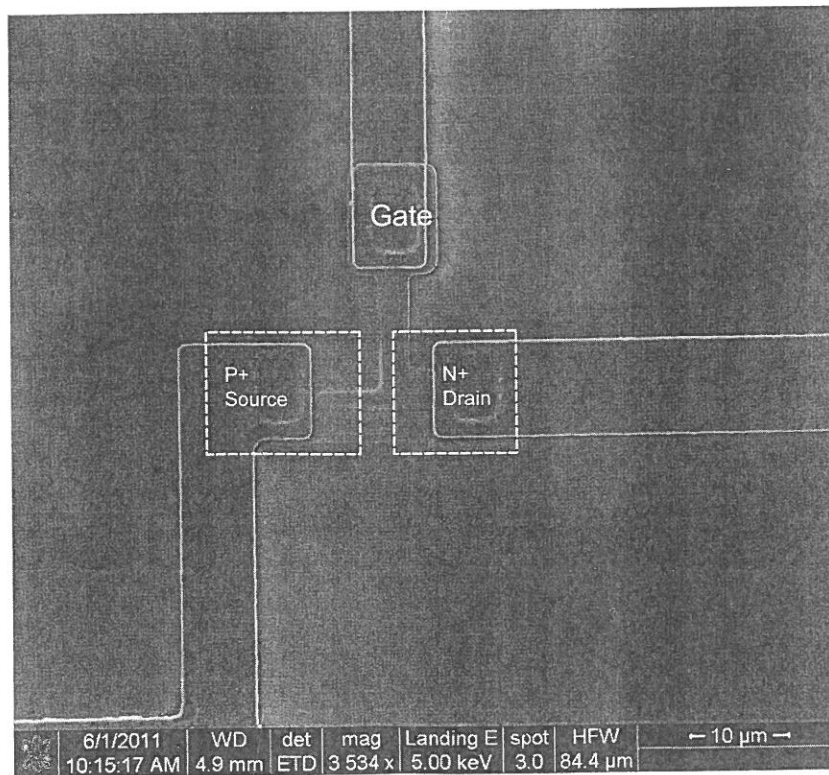


图 3.46 条形栅 TFET SEM 图

制备的 SG-TFET,  $T_{OX}$  为 5nm、 $L_{FG}$  为  $5\mu\text{m}$ 、 $W_{FG}$  设计尺寸为  $1\mu\text{m}$ , 而实际尺寸大约为  $0.8\mu\text{m}$ 。实验测试的 SG-TFET 的亚阈值斜率为  $50\text{mV}/\text{dec}$ , 而常规 TFET 亚阈值斜率为  $55\text{mV}/\text{dec}$ 。SG-TFET 的亚阈值斜率得到降低, 但是由于  $W_{FG}$  比较大, 沟道中的自耗尽效应相对较弱, 因此亚阈值斜率仅仅降低了  $5\text{mV}/\text{dec}$ 。预计如果采用更窄的  $W_{FG}$ , 可以实现更陡直的亚阈值斜率。

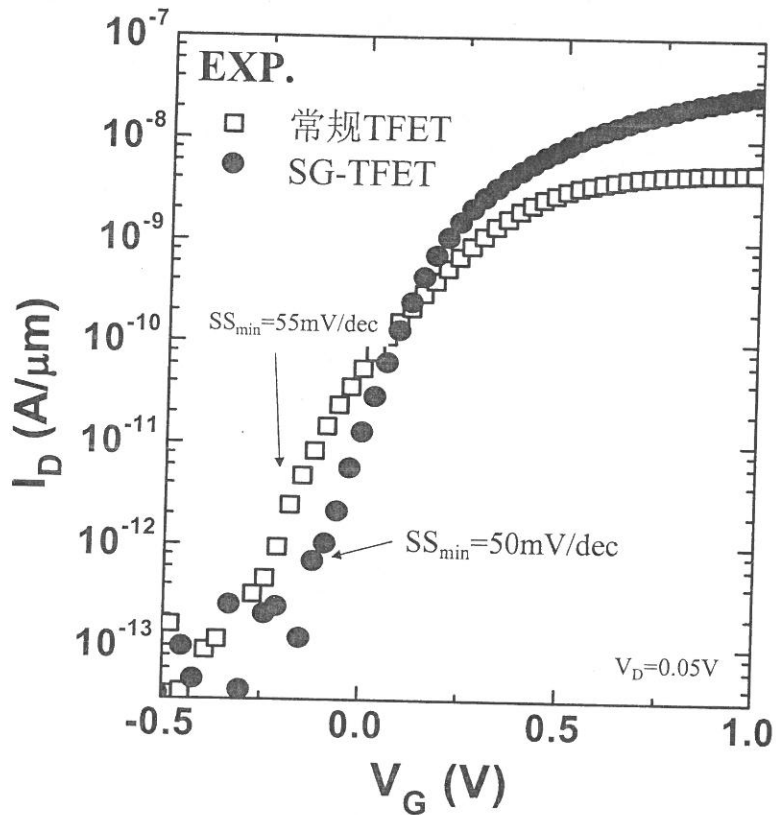


图 3.47 (实验) 条形栅 TFET 转移特性曲线

为了进一步降低 SG-TFET 亚阈值斜率, 本文在同一硅片上成功制备了 Pocket SG-TFET。实验中以多晶硅栅为硬掩膜进行高能磷注入形成 Pocket 层。而其余的工艺流程与 SG-TFET 相同。沟道区横截面 SEM 图如图 3.48 所示。测试的转移特性曲线如图 3.49 所示。采用 Pocket 优化后的 SG-TFET 具有更陡直的亚阈值斜率, 值为  $36\text{mV}/\text{dec}$ 。并且相比常规 TFET 有更小的隧穿起始电压。与理论分析相一致。表 3.2 对比了实验制备的硅基 TFET 的亚阈值斜率, 结果表明 Pocket SG-TFET 第一次在硅基 TFET 中实现了低于  $40\text{mV}/\text{dec}$  的亚阈值斜率。

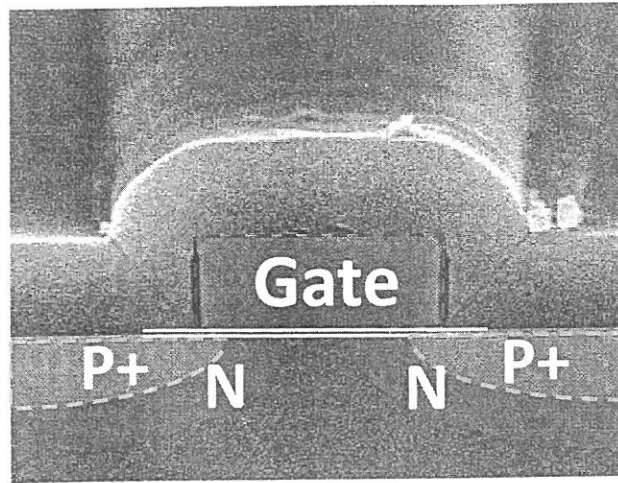


图 3.48 Pocket SG-TFET 沟道区截面 SEM 图

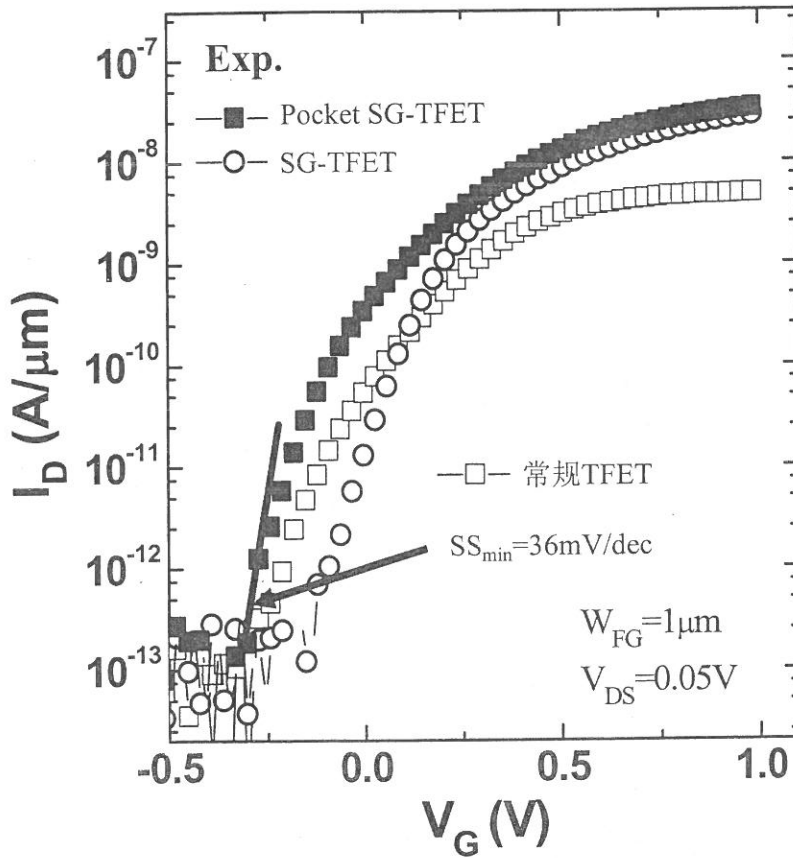


图 3.49 Pocket SG-TFET 转移特性曲线

表 3.2 硅基 TFET 实验结果对比

	W.Y. Choi <sup>[46]</sup>	Z.X.Chen <sup>[48]</sup>	R. Gandhi <sup>[49]</sup>	K. Jeon <sup>[50]</sup>	本文
材料	SOI	纳米线	纳米线	SOI	体硅
SS	52.8mV/dec	70mV/dec	50mV/dec	47mV/dec	36mV/dec

### 3.7 本章小结

本章提出一种条形栅 TFET，利用沟道中的自耗尽效应，减小隧穿起始点的隧穿势垒宽度，降低 TFET 的亚阈值斜率。

首先通过仿真分析分别讨论了大尺寸条形栅 TFET 以及小尺寸条形栅 TFET 的亚阈特性，结果发现在大尺寸下条形栅 TFET 可以降低器件的亚阈值斜率，而在小尺寸下，条形栅 TFET 亚阈特性的会退化。研究发现造成亚阈特性退化的原因是源区棱角处寄生隧穿结隧穿造成的。然后通过优化栅结构，分别提出 Short gate 栅、T 型电极栅、阶梯栅介质以及异质栅介质等结构抑制寄生隧穿电流。结果表明，这四种优化方法都能有效地抑制寄生隧穿结隧穿，降低条形栅 TFET 的亚阈值斜率。而采用阶梯栅介质或者异质栅介质的条形栅 TFET 不仅可以降低亚阈值斜率保证高开态电流，而且还可以通过降低  $W_{FG}$ ，进一步降低亚阈值斜率。

接着本章研究了 Pocket 条形栅 TFET。结果表明在自耗尽区中引入 Pocket 层，不仅可以避免寄生隧穿结隧穿引起的亚阈值斜率退化，而且还可以进一步降低亚阈值斜率并且同时提高开态电流。相比常规 Pocket，Pocket 条形栅 TFET 不仅避免了 Pocket 层不完全耗尽所引入的泄漏电流，而且还降低了器件特性对 Pocket 尺寸的敏感性。

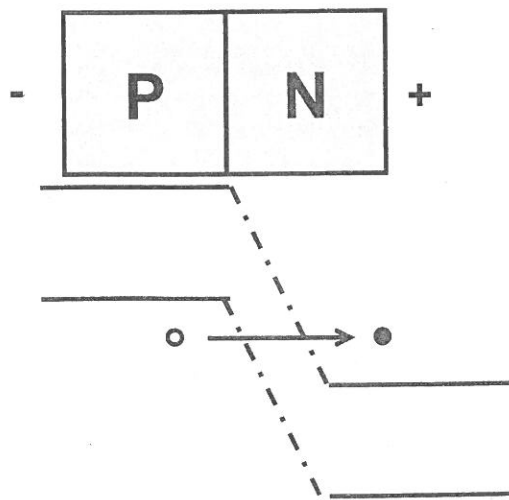
最后通过实验制备了条形栅 TFET 以及 Pocket 条形栅 TFET，工艺过程完全与 CMOS 工艺兼容。结果表明，条形栅 TFET 亚阈值斜率为 50mV/dec，相比常规 TFET 亚阈值斜率下降了 5mV/dec。而采用 Pocket 设计的条形栅 TFET，亚阈值斜率可以进一步降低，其亚阈值斜率为 36mV/dec。这是硅基 TFET 亚阈值斜率首次低于 40mV/dec 的实验报道。

## 第四章 复合导通机制隧穿晶体管

本论文的第二章针对如何提高 TFET 的开态电流，提出一种流梳栅 TFET，通过增加隧穿结隧穿面积提高开态电流。然后，通过在源端引入金属硅化物，利用肖特基结高效率隧穿电流补充带带隧穿电流进一步提高 TFET 开态电流。第三章针对如何降低 TFET 的亚阈值斜率，提出一种条形栅 TFET，通过降低隧穿发生时的隧穿势垒宽度降低 TFET 的亚阈值斜率。本章将提出一种新型导通机制晶体管，复合导通机制隧穿晶体管。它利用隧穿电流放大原理放大带带隧穿电流，可以在提高 TFET 开态电流的同时降低了 TFET 的亚阈值斜率。

### 4.1 隧穿电流放大原理

隧穿电流放大过程包含两种电子电流与空穴电流之间的转化过程。第一种是带带隧穿。带带隧穿是一个电子电流与空穴电流等量转换的过程。因为带带隧穿电流可以近似为空间某个区域内的产生电流，所以可以把隧穿过程视为一种载流子电流对另一种载流子电流的转换。如图 4.1 所示的反偏 PN 结隧穿发生时能带分布，带带隧穿过程能够把 N 型半导体中的电子电流转化为 P 型半导体中的空穴电流，而且两股电流相等，表达式为： $J_n = J_p = J_{\text{tunneling}}$ 。



4.1 半导体带带隧穿过程示意图

第二种是正偏置下 PN 结载流子的漂移扩散。PN 结正偏置下的漂移扩散电流是由电子电流与空穴电流组成，如图 4.2 所示，并且电子电流与空穴电流的大小与半导体的掺杂浓度非常相关<sup>[101]</sup>。空穴电流的表达式为： $j_h = q \left( \frac{D_p n_i^2}{N_D L_p} \right) \left[ \exp\left(\frac{qV}{kT}\right) - 1 \right]$

电子电流的表达式为： $j_e = q \left( \frac{D_n n_i^2}{N_A L_n} \right) [\exp(\frac{qV}{kT}) - 1]$

(其中  $D_n, D_p$  分别为电子与空穴的扩散系数； $L_n, L_p$  分别为电子空穴的扩散长度； $n_i$  为本征载流子浓度； $N_D, N_A$  分别为 N 型半导体掺杂浓度与 P 型半导体掺杂浓度； $k$  为玻尔兹曼常数； $T$  为温度； $q$  为电子电荷常数； $V$  为外加偏压。)

一般来说 PN 结的电子电流与空穴电流的比值是一个常数，而且与结两边掺杂浓度比有关： $j_e / j_h \propto N_D / N_A \propto k$

因此可以通过正偏置的 PN 结，将一种载流子的电流放大为另一种载流子的电流。

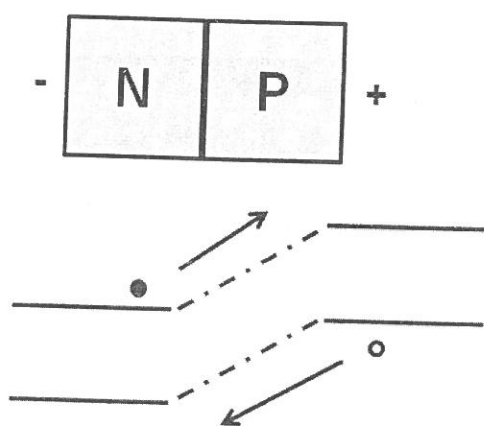


图 4.2 PN 结扩散电流示意图

隧穿放大原理就是利用带带隧穿将电子（空穴）电流转化为空穴（电子）电流，然后在通过另一个正偏置的 PN 结放大隧穿空穴（电子）电流并得到一定放大倍数的电子（空穴）电流。放大的电子（空穴）电流与隧穿的空穴（电子）电流共同组成最后的漏极输出电流。下面以一种隧穿放大晶体管为例具体说明隧穿放大原理。

## 4.2 隧穿放大晶体管

### 4.2.1 隧穿放大晶体管的器件结构

隧穿放大晶体管（以 N 型为例），如图 4.3 所示。它包括发射极，隧穿基极，栅电极以及漏电极。其中隧穿基区、栅、漏区与体区构成一个常规 TFET 结构，而隧穿基区、体区与发射极又构成一个正偏置的 PN 结。本文将通过如图 4.3 所示的隧穿放大晶体管，具体说明隧穿放大原理。

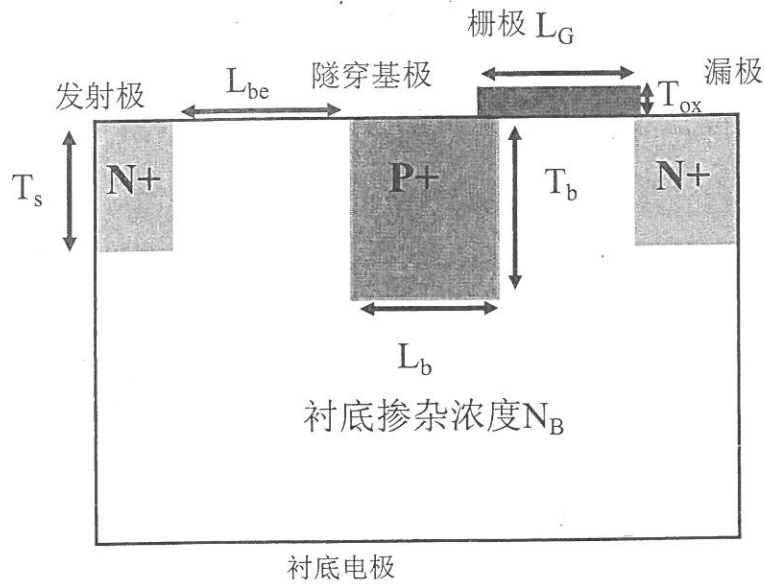


图 4.3 隧穿放大晶体管结构

器件的主要电流成分如图 4.4 所示。隧穿基极利用带带隧穿将沟道中的电子电流转化为空穴电流。隧穿空穴电流经过正偏置 PN 结的放大作用，获得一定放大倍数的电子电流（假设放大倍数为  $K$ ），放大电子电流最后被漏极收集。总的电流为：

$$J = J_{\text{tunnclng}(e)} + K * J_{\text{tunnelng}(h)} = (K+1)J_{\text{tunnelng}}$$

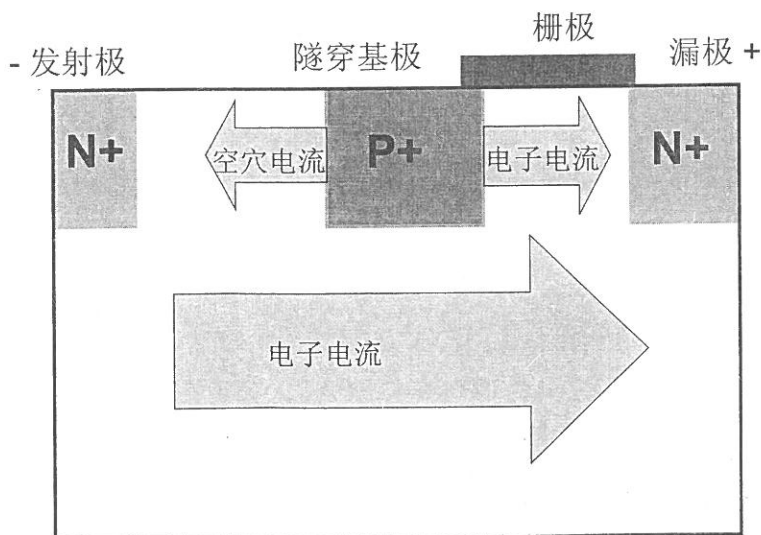


图 4.4 隧穿放大晶体管工作原理

### 4.2.2 隧穿放大晶体管的模拟分析

采用 Sentaurus Tcad Tools 对隧穿放大晶体管进行了模拟分析。发射极采用 N 型掺杂，掺杂浓度  $1 \times 10^{20} \text{cm}^{-3}$ ，隧穿基极掺杂为 P 型，浓度为  $1 \times 10^{20} \text{cm}^{-3}$ ，为了避免双极导通效应，漏极采用  $1 \times 10^{18} \text{cm}^{-3}$  的 N 型掺杂。硅膜厚度为 200nm，体掺杂为 P 型，掺杂浓度  $N_b$  为  $4 \times 10^{15} \text{cm}^{-3}$ ，源漏结深  $T_s$  为 20nm，隧穿基极的结深  $T_b$  为 40nm，长度  $L_b$  为 20nm。栅长  $L_G$  为 100nm，栅氧厚度  $T_{ox}$  为 2nm。隧穿模型采用 Band2band(E2)模型。

模拟分析说明隧穿基极具有以下两个作用：1，抑制源漏之间的穿通；2，作为隧穿极，向发射极提供空穴同时向沟道提供电子。

如果没有隧穿基极的存在，由于发射极与漏极同为 N 型半导体，高漏偏压会将体区完全耗尽，引入发射极到漏极的穿通电流，如图 4.5 所示。而隧穿基极的存在，一定程度上屏蔽了漏极的高电场，阻止了漏极耗尽区向源区扩展，因此可以有效地抑制源漏之间的穿通电流，如图 4.6 所示。

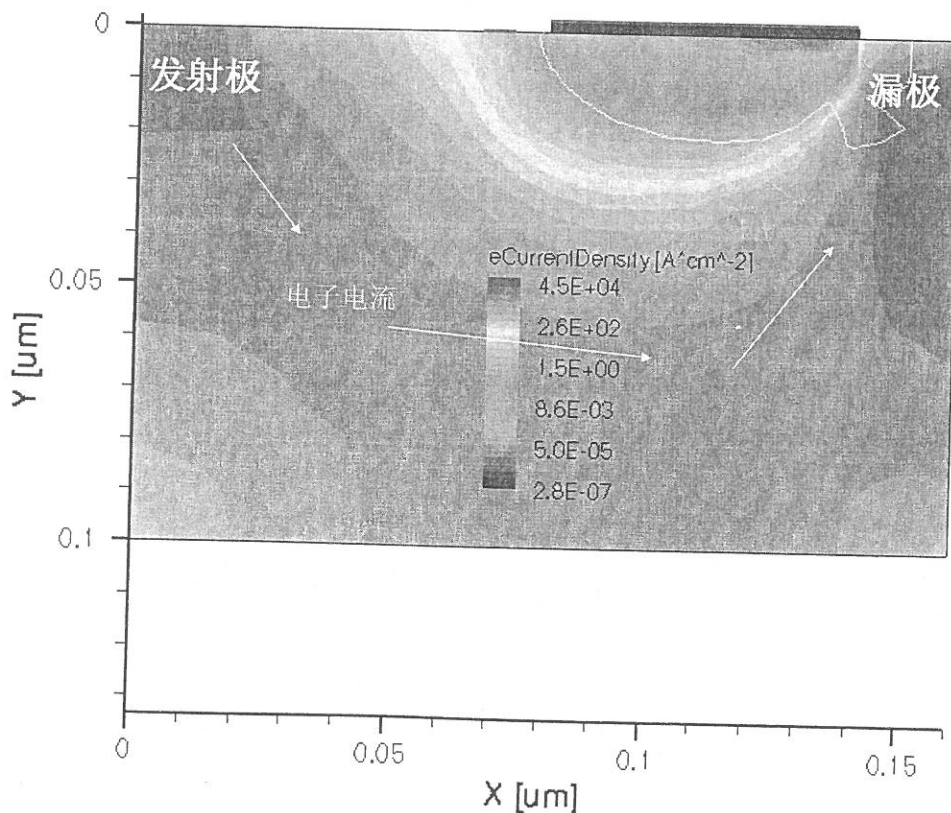


图 4.5 缺失隧穿基极，发射极与漏极之间的穿通电流

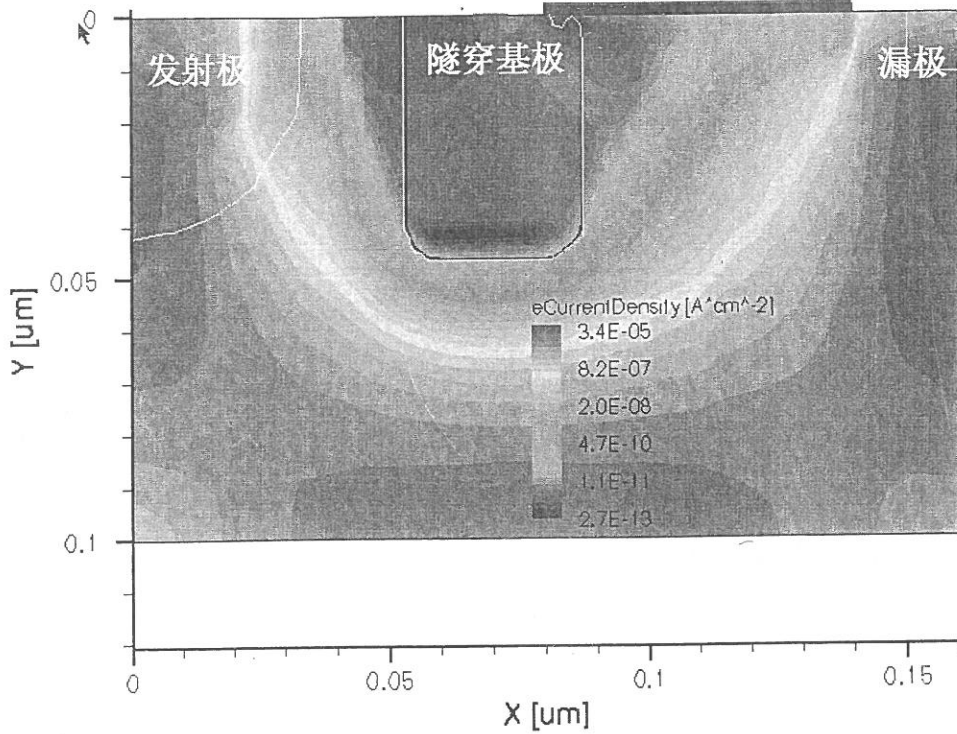


图 4.6 隧穿放大晶体管的泄漏电流，在隧穿基极以下只有少量的泄漏电流。

隧穿放大晶体管的转移特性如图 4.7 所示。模拟分析表明降低  $N_b$  有利于漏极电流提高。原因在于降低  $N_b$  会增加发射极电子电流对隧穿电流的放大能力。当  $N_b$  为  $5 \times 10^{15} \text{cm}^{-3}$ ，相比常规 TFET，隧穿放大晶体管的开态电流大约有 2 个数量级的提高。但是减小  $N_b$ ，漏极对沟道的耗尽作用会增强，即使隧穿基极很大程度上屏蔽了漏极高电场，但是由于体对漏极电场的屏蔽能力是体掺杂与隧穿基极共同作用的结果，因此减小  $N_b$ ，降低体屏蔽能力仍然会造成源漏极穿通泄漏电流的增加。然而太高的体掺杂，同样能够引入高泄漏电流。这是由发射极与体之间的隧穿引入的。

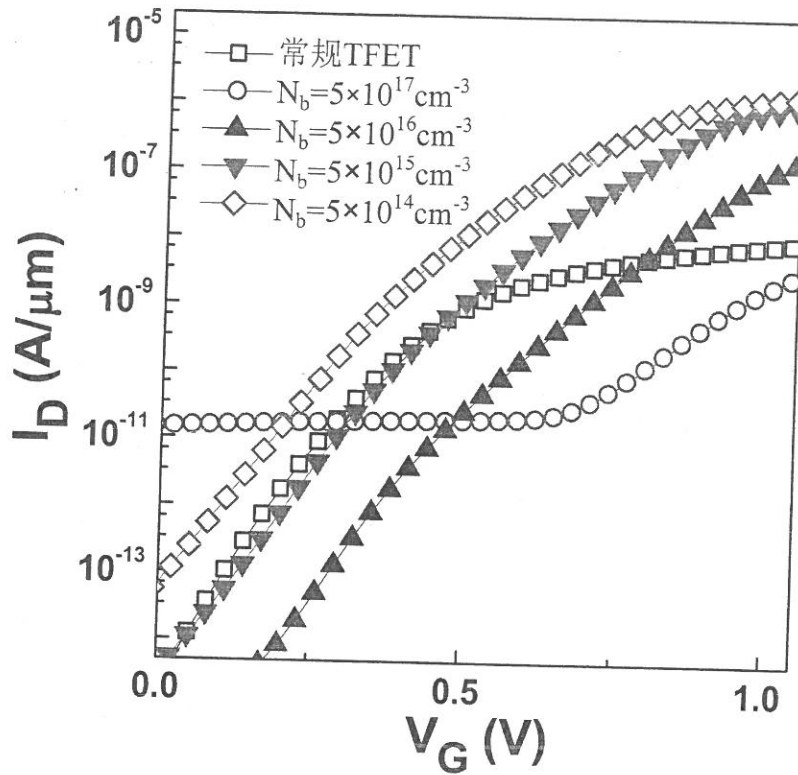


图 4.7 隧穿放大晶体管的转移特性

### 4.2.3 隧穿放大晶体管存在的问题

隧穿放大晶体管虽然可以提高 TFET 开态电流，但是亚阈值斜率却会增加。其原因是隧穿基极的电位会随着栅电压的增加而增加，因此削弱了隧穿结的电场强度所致，如图 4.8 所示。

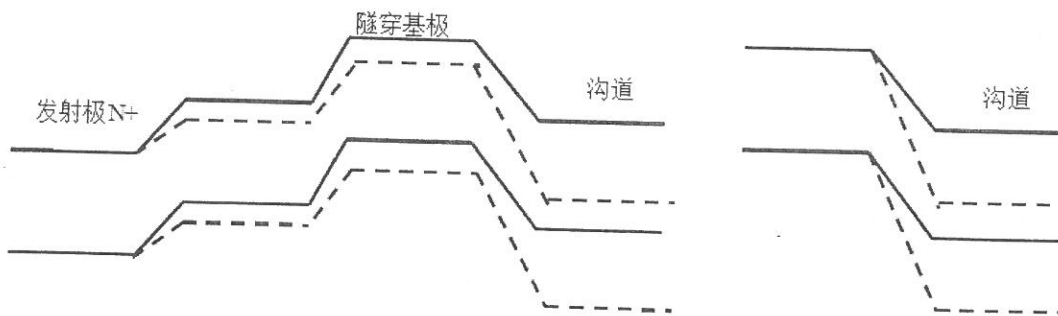


图 4.8(a) 隧穿放大晶体管开启过程能带示意图

(b) TFET 开启过程能带示意图

图 4.8(a), (b) 分别为隧穿放大晶体管与常规 TFET 开态 (实线) 与关态 (虚线) 沟道表面能带示意图 (常规 TFET 仅仅示意隧穿结能带图)。以隧穿放大晶体管为研究对象，由于隧穿基极是一个浮体，随着栅电压的增加，沟道导带与隧

穿基极能带会同时下降,造成了相同栅电压下,隧穿结处的电场强度要小于常规 TFET,如图 4.9 所示。所以,隧穿放大晶体管的亚阈电流开启速度要小于常规 TFET,造成亚阈值斜率退化。

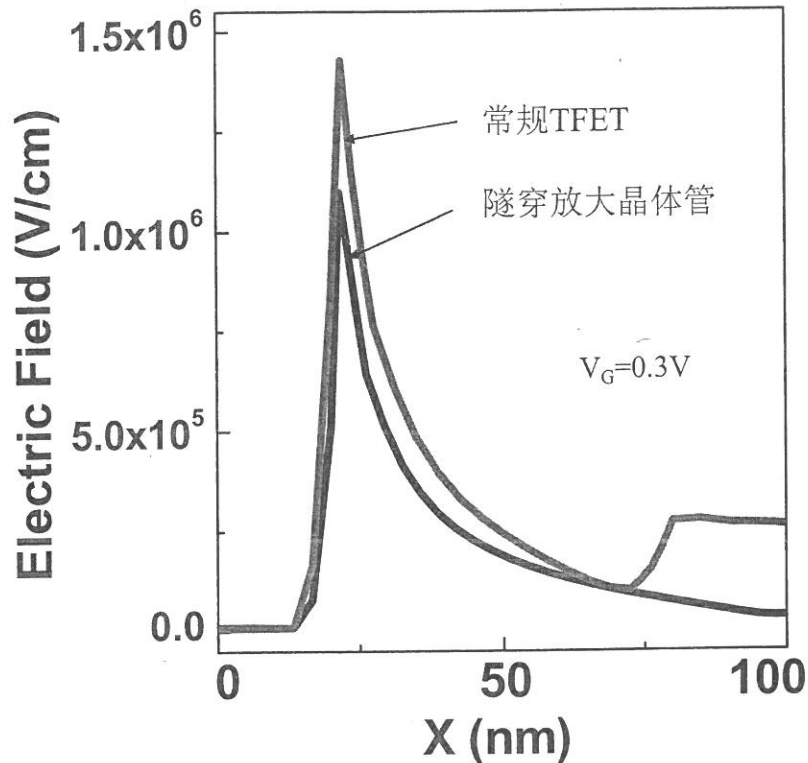


图 4.9 亚阈值隧穿放大晶体管与常规 TFET 隧穿结上电场强度对比

综上所述,隧穿放大晶体管,利用 PN 结放大来自隧穿基极的隧穿电流。相比常规 TFET,开态电流可以得到提升,但是由于隧穿基极的电位会跟随栅电压增加而增加,削弱了隧穿结电场,造成亚阈特性的退化。因此本章又提出一种更优化的器件结构,隧穿触发注入场效应晶体管,利用放大原理提高 TFET 开态电流的同时降低 TFET 的亚阈值斜率。

### 4.3 隧穿触发注入场效应晶体管 TI-FET

隧穿触发注入电流场效应晶体管 (Tunnel-induced injection field-effect transistor/TI-FET) 利用在漂移区中引入的 N 型 Pocket 层所形成的空穴势垒阻挡漏极空穴注入,抑制 TI-FET 的泄漏电流。同时所引入的空穴势垒在导带形成一个电子势阱,可以俘获部分源端隧穿电子。俘获电子后,势阱深度会变浅,相应的价带空穴势垒会降低,因此会引入大量的漏极空穴注入,形成更大的空穴电流。

随着栅电压的增加，隧穿电流会越来越大，越来越多的电子被电子势阱俘获，电子势阱会越来越浅，造成空穴势垒不断减小，因此漏极空穴注入电流会越来越大。直到电子势阱已经非常浅的时候，电流达到最大值，TI-FET 处于导通状态。相比常规 TFET，其特点是高开态电流以及更为陡直的亚阈值斜率。

### 4.3.1 TI-FET 的器件结构

双栅 TI-FET 的器件结构如图 4.10 所示。以 N 型器件为例，TI-FET 的器件结构类似于一个 Short gate TFET。不同的是 TI-FET 源漏都采用 P 型重掺杂。在沟道的非栅覆盖区域（长度用  $L_{\text{underlap}}$  表示）中存在长度为  $L_{\text{poc}}$ ，掺杂浓度为  $N_{\text{poc}}$  的 N 型半导体层(Pocket 层)，其中心位置与栅边缘的距离用  $L_w$  表示。TI-FET 的栅长用  $L_G$  表示，而栅介质（二氧化硅）厚度用  $T_{\text{OX}}$  表示。TI-FET 的硅膜厚度用  $T_{\text{si}}$  表示。

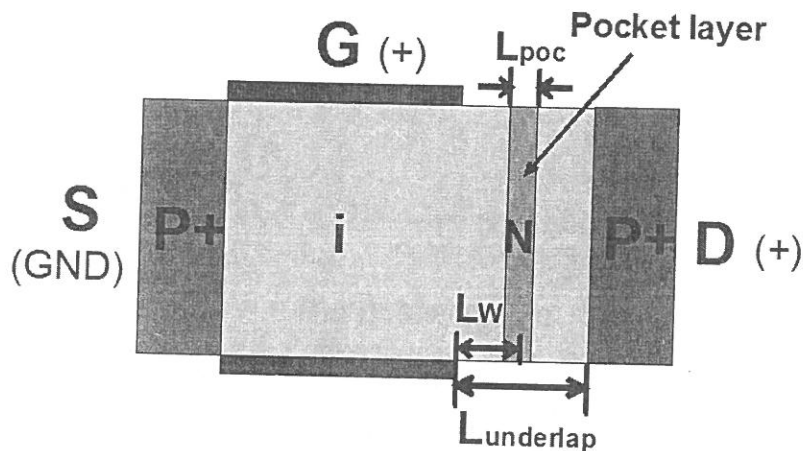


图 4.10 TI-FET 的器件结构

### 4.3.2 TI-FET 的工作原理

本节将分别结合器件关态，亚阈态以及开态下的沟道表面能带示意图说明 TI-FET 的工作原理。图 4.11 为关态 TI-FET 表面能带示意图。

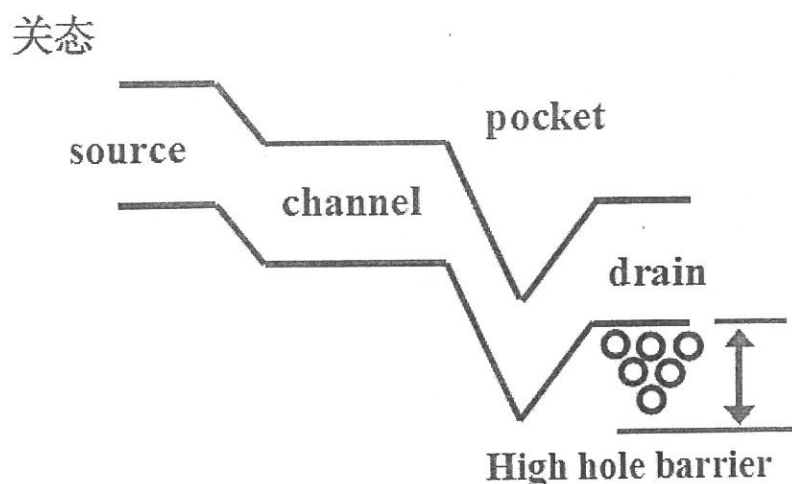


图 4.11 TI-FET 处于关态下表面能带示意图

当 TI-FET 处于关态，引入的 N 型 Pocket 层可以形成一个空穴势垒，它可以阻碍漏极中高能空穴向沟道中注入，因此可以有效地抑制器件的泄漏电流。另外，Pocket 层在导带形成一个电子势阱，它可以俘获一部分导带中的电子。俘获电子后，电子势阱的深度会减小。

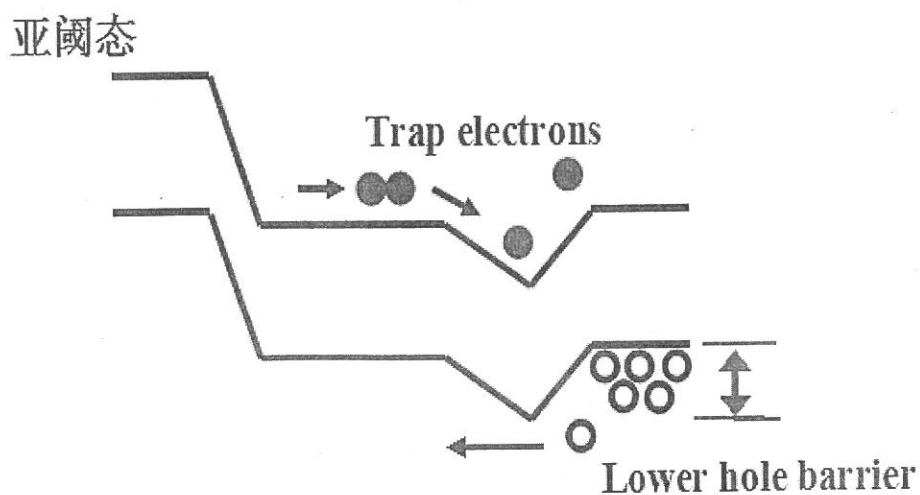


图 4.12 TI-FET 处于亚阈态表面能带示意图

当 TI-FET 处于亚阈值态，如图 4.12 所示。随着栅电压的增加，沟道中能带开始向下移动。当沟道中的导带底低于源极价带顶的时候，源端价带中的电子开始隧穿进入沟道中的导带，然后向漏极漂移。一部分隧穿电子被 Pocket 层所形

成的电子势阱俘获。电子势阱在俘获电子后，势阱深度会减小，从价带来看，空穴势垒在减小，因此会有更多的空穴从漏端注入。随着栅电压继续增加，隧穿电流会不断地增加，会有更多的电子被势阱俘获，空穴势垒高度会进一步降低，导致越来越多的空穴注入沟道，空穴电流不断增加。由于 N 型半导体的掺杂浓度小于漏极 P 型半导体的掺杂浓度，因此空穴注入电流会远大于隧穿电子电流。另外，虽然 TI-FET 的主要电流成分为空穴翻越势垒所形成的注入电流，但是由于势垒高度并不是由栅电势通过栅电容直接藕荷控制的，因此亚阈值斜率并没有受到热电势的限制，可以突破室温 60mV/dec 的限制。

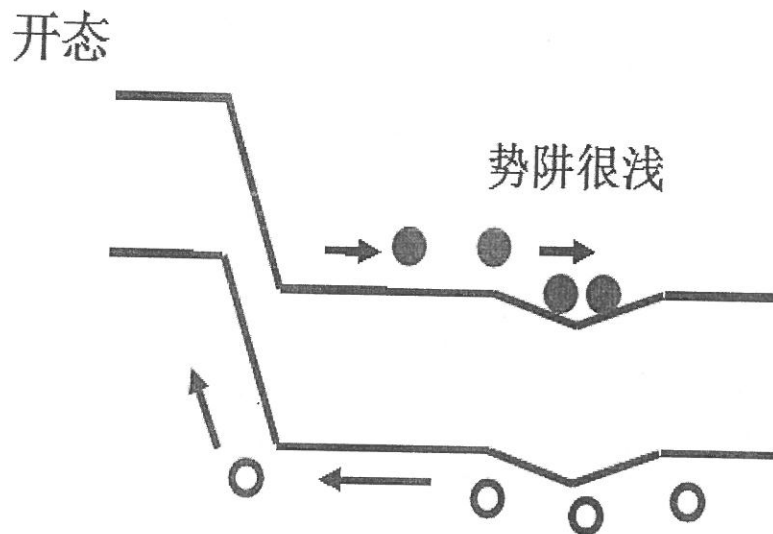


图 4.13 TI-FET 处于开态表面能带示意图

当电子势阱已经很浅，如图 4.13 所示，空穴势垒不能更进一步降低，此时 TI-FET 处于开态。TI-FET 的开态电流包含源端隧穿电子电流以及漏极空穴注入电流，并且空穴电流要远远大于电子电流。因此 TI-FET 可以提供相比常规 TFET 更大的开态电流。

### 4.3.3 TI-FET 的模拟与讨论

TI-FET 的转移特性曲线如图 4.14 所示。为了便于比较，常规 TFET 的转移特性曲线以及不包括 Pocket 层 TI-FET 的转移特性曲线也同时给出。在仿真分析中 TI-FET 的参数如表 4.1 所示。

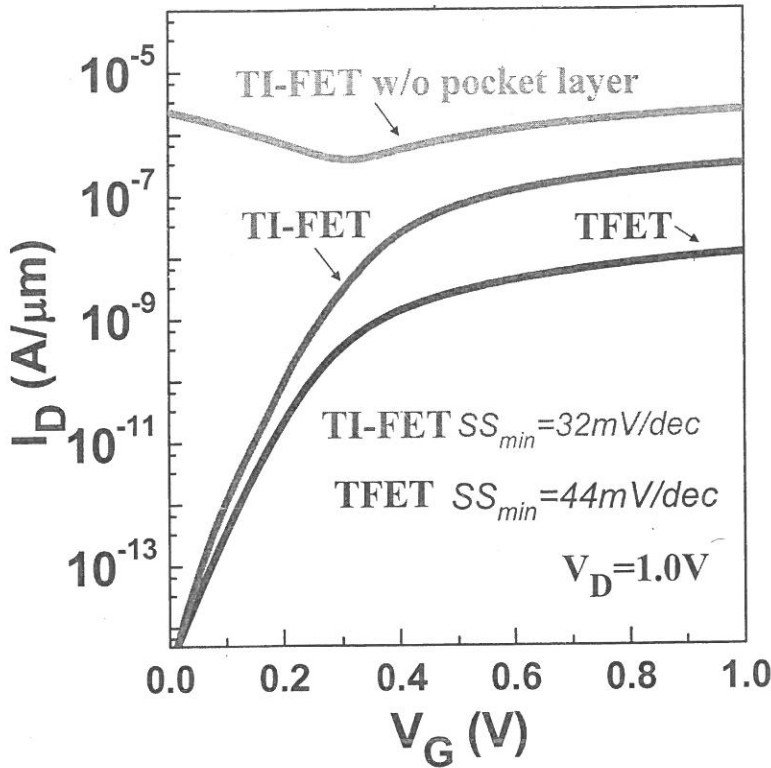


图 4.14 TI-FET 转移特性曲线

表 4.1 TI-FET 结构参数

参数	值	参数	值
$L_G$	60nm	$N_{poc}$	$2 \times 10^{18} \text{cm}^{-3}$
$L_{poc}$	5nm	$L_W/L_{underlap}$	0.5
$L_{underlap}$	140nm	$T_{OX}$	2nm

结果表明，N型 Pocket 层的引入可以有效地降低 TI-FET 的泄漏电流。并且相比常规 TFET，器件的开态电流提升了大约 1.5 个数量级，能实现约  $10^8$  的电流开关比。这是漏极的 P+N 结对隧穿电子电流放大的结果。

另外，虽然 TI-FET 主要的导通电流是漏极空穴翻越势垒的注入电流，但是 TI-FET 亚阈值斜率不仅可以突破室温 60mV/dec 的限制，而且相比常规 TFET 亚阈值斜率降低约 27%。TI-FET 的亚阈值斜率为 32mV/dec，而常规 TFET 的亚阈值斜率为 44mV/dec。不仅如此，对 TI-FET 来说，在关态电流以上 4.6 个数量级的漏极电流范围内都能保证亚阈值斜率小于 60mV/dec。而对于常规 TFET 来说，只有 2.8 个数量级的漏极电流范围内能保证亚阈值斜率小于 60mV/dec。其主要原因是漏极空穴势垒高度并不是栅电势通过栅电容直接耦合控制的，而是由源极隧穿电流所控制的。沟道最高表面电势( $\Psi_s$ )以及表面势增益( $d\Psi_s/dV_G$ )与栅电压之

间的关系如图 4.15 所示。 $\Psi_s$  与  $V_G$  的关系没有表现出线性关系，这一点与 MOSFET 完全不同。对于传统 MOSFET，在亚阈值区  $\Psi_s$  与  $V_G$  基本上为线性关系并且  $d\Psi_s/dV_G$  的最大值为 1，说明表面电势的增加量小于等于栅电势的增加量。当  $d\Psi_s/dV_G$  为 1 的时候，对应着最陡直的亚阈值斜率，其室温理论极限为 60mV/dec。然而由图 4.15 可知，在  $V_G < 0.2V$  的栅电压范围内， $d\Psi_s/dV_G > 1$ 。这表示表面电势的增量会大于栅电压的增量，因此 TI-FET 的亚阈值斜率可以突破 60mV/dec。另外，对于常规 TFET 来说，栅电压越小亚阈值斜率越小，这主要是因为隧穿效率与栅电压的依赖关系随着栅电压的增加越来越小。对于 TI-FET 来说，由于漏极 PN 结对隧穿的放大作用，与 TFET 相比在相同的漏极电流的情况下，TI-FET 具有相对比较低的隧穿电流。因此在相同漏极电流情况下，TI-FET 具有更低的栅偏压，所以 TI-FET 具有更陡直的亚阈值斜率。

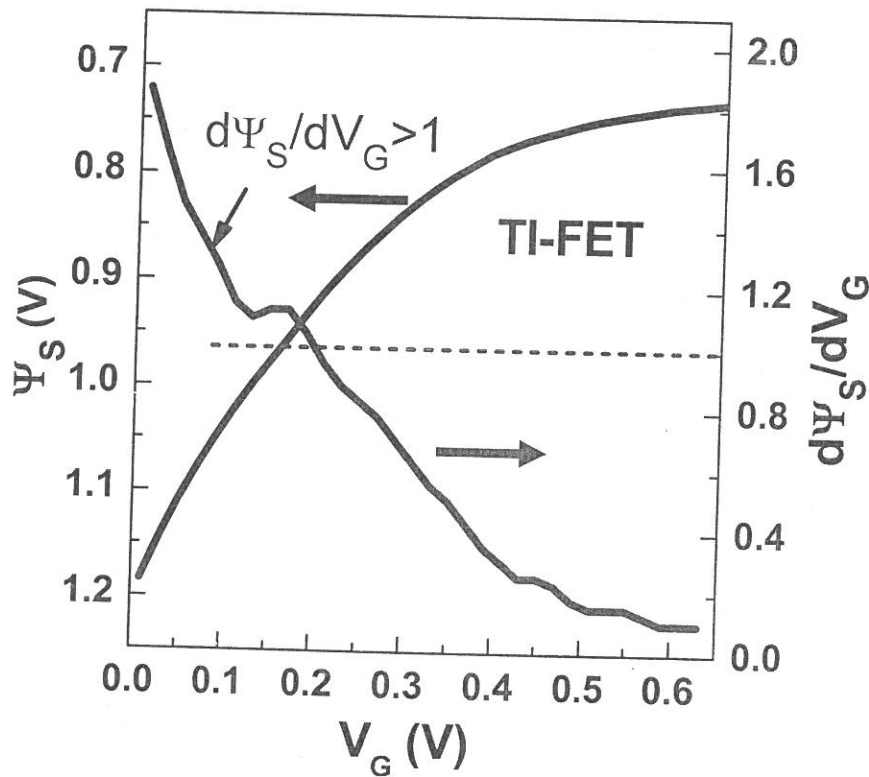


图 4.15 沟道最高表面电势以及表面势增量与栅电压之间的关系

在设计 TI-FET 时候，N 型 Pocket 层以及  $L_{\text{underlap}}$  是设计的关键，它们会直接影响器件的关态与开态特性。接下来本文将对  $N_{\text{poc}}$ ,  $L_{\text{poc}}$ ,  $L_{\text{underlap}}$ ,  $L_W$  等参数

进行讨论，最后本文将对 TI-FET 中的双极导通效应进行研究，并且给出解决方法。

一、对  $N_{poc}$  与  $L_{underlap}$  的讨论

图 4.16 为关态电流与  $N_{poc}$  的依赖关系。在分析中，先设定  $L_{poc}$  为 5nm，并且 Pocket 层放置于沟道非栅覆盖区的正中央 ( $L_{underlap}=2L_W$ )。结果表明，提高  $N_{poc}$  有利于降低 TI-FET 的泄漏电流，因为高掺杂的 N 型 Pocket 层可以更有效地屏蔽漏极的高电场，形成更高的空穴势垒阻碍漏极空穴向沟道注入。图 4.16 还表明  $N_{poc}$  存在一个临界值  $N_C$ ，如果  $N_{poc}$  小于  $N_C$ ，TI-FET 的泄漏电流会迅速升高，原因是 N 型 Pocket 层会被其两端的高电场完全耗尽，造成空穴势垒迅速减小，如图 4.17 所示，从而引起大量的漏极空穴注入，形成高泄漏电流。另外  $L_{underlap}$  越大， $N_C$  会越小，这是因为随着  $L_{underlap}$  的增加，空间电荷区宽度更宽，因此 N 型 Pocket 两侧的电场强度会衰减，如图 4.18 所示。越低的电场强度对 N 型 Pocket 层的耗尽作用就越弱，因此  $N_C$  会减小。

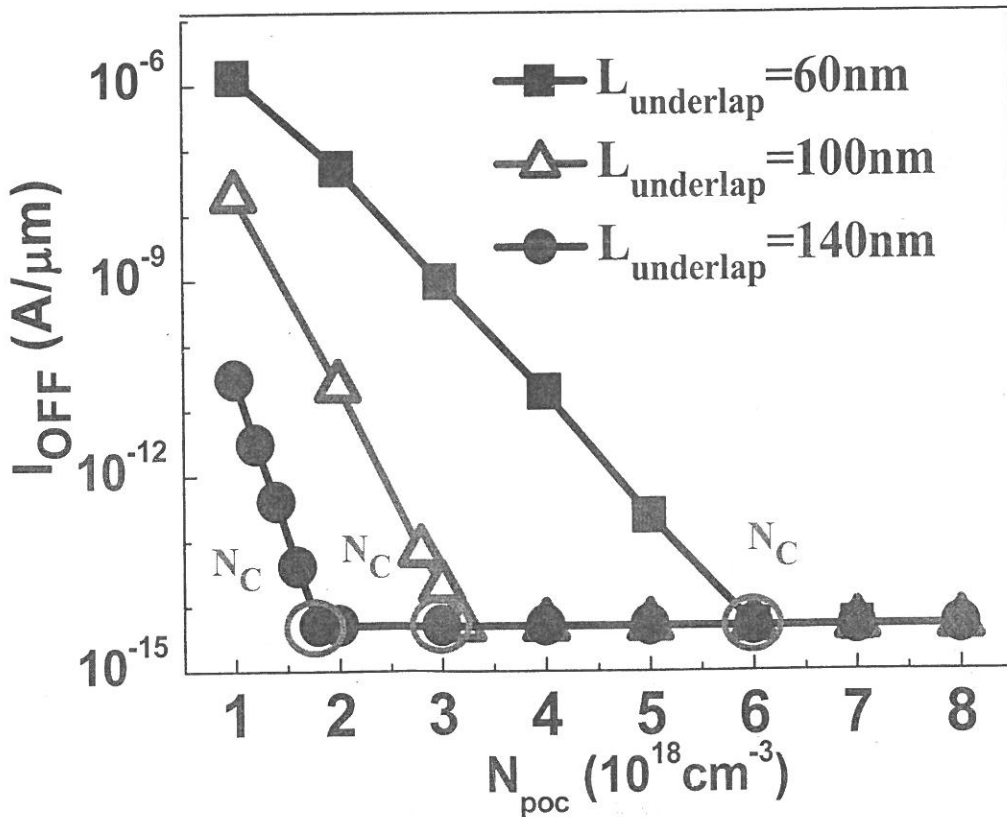


图 4.16 关态电流与  $N_{poc}$  的依赖关系

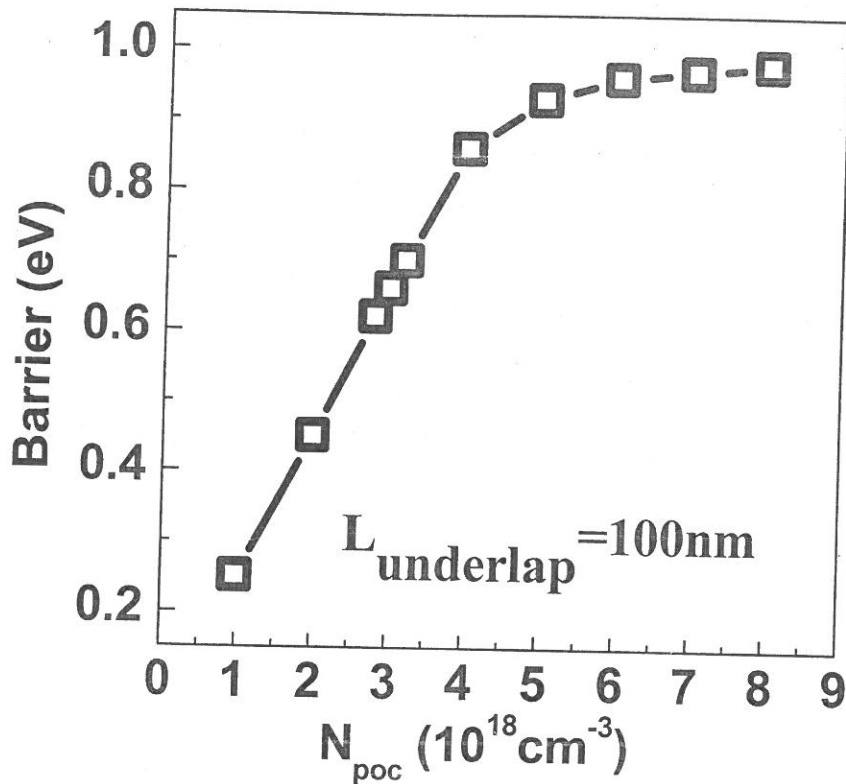


图 4.17 空穴势垒高度与  $N_{poc}$  之间的关系

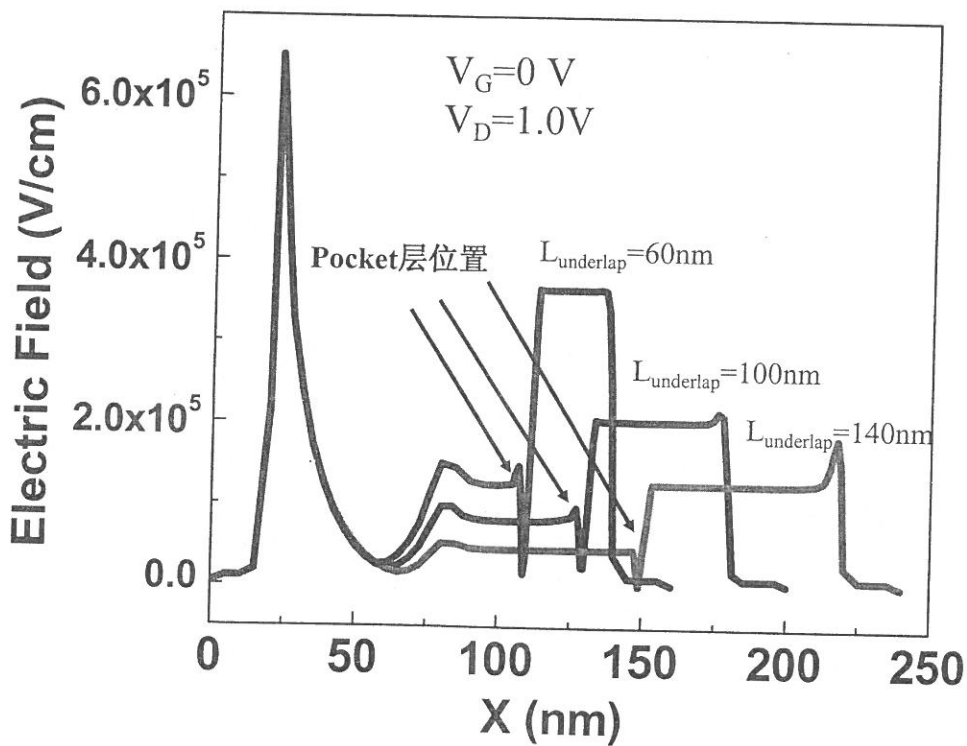


图 4.18 TI-FET 表面电场分布图

TI-FET 开态电流与  $N_{poc}$  之间的依赖关系如图 4.19 所示。减小  $N_{poc}$ ，开态电流会单调地增加。因为随着  $N_{poc}$  的降低，N 型 Pocket 层中的导带会不断地增加，所以漏极 PN 结空穴电流对电子电流的放大倍数会不断地增加。另外  $L_{underlap}$  对 TI-FET 的开态电流同样存在着影响。降低  $L_{underlap}$ ，TI-FET 开态电流会上升。其原因是  $L_{underlap}$  越小，沟道中非栅覆盖的区域内电场强度越强，因此对 N 型 Pocket 层的耗尽作用就越强，空穴势垒就越低（如图 4.20 所示），开态电流就会越高。

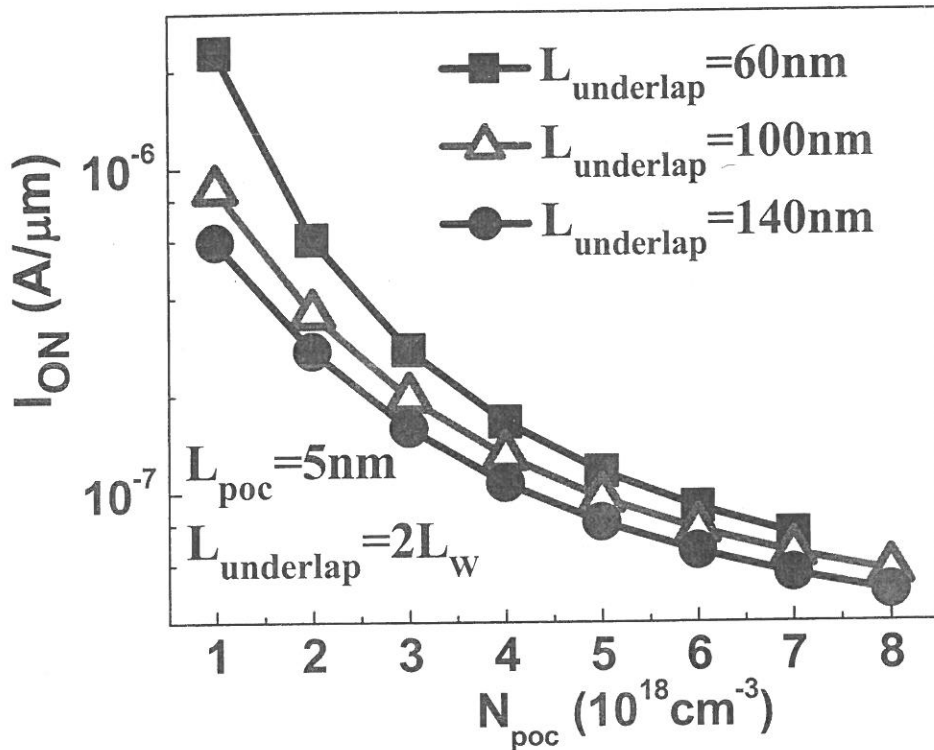


图 4.19 开态电流与  $N_{poc}$  的依赖关系

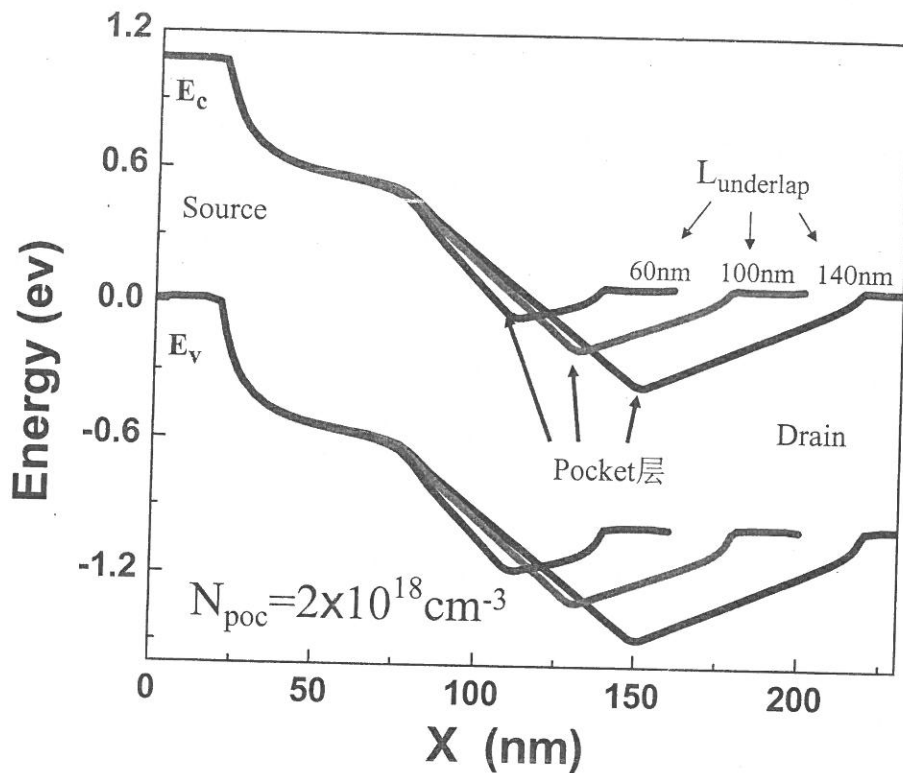


图 4.20 TI-FET 表面能带与  $L_{\text{underlap}}$  的关系

二, 对  $L_{\text{poc}}$  的讨论

以上分析可知, Pocket 的掺杂浓度越小, TI-FET 的开态电流会越高, 但是 Pocket 层的掺杂浓度存在一个最小值  $N_C$ , 因为掺杂浓度低于  $N_C$  就会引入高泄漏电流。因此讨论 TI-FET 设计参数与  $N_C$  之间的关系就可以掌握这个参数对 TI-FET 的影响。

图 4.21 为  $N_C$  对  $L_{\text{poc}}$  的依赖关系。结果表明,  $L_{\text{poc}}$  越大,  $N_C$  越小。主要原因是 N 型 Pocket 层越宽, 其对电场的屏蔽能力就越强, 因此所需要的掺杂浓度就会降低。另外, 减小  $L_{\text{underlap}}$  会增加  $N_C$ , 但是对于一个固定的  $L_{\text{underlap}}$ ,  $N_C * L_{\text{poc}}$  (这里定义为临界掺杂剂量  $D_{\text{poc}}$ ) 却基本上保持为一个常数, 如图 4.22 所示。

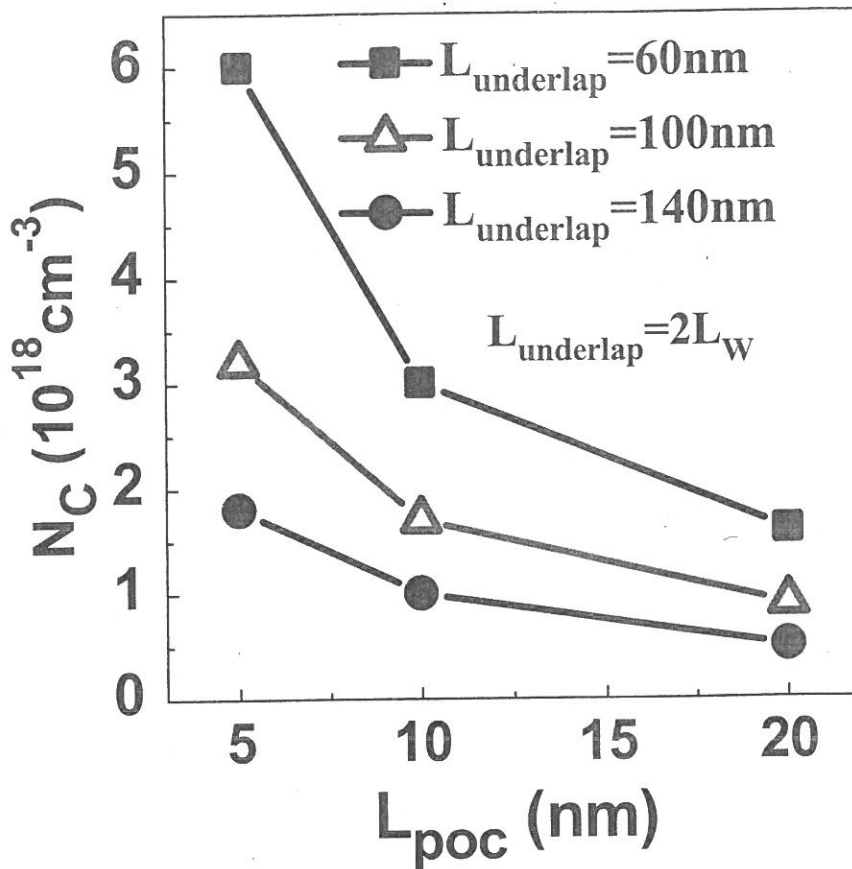


图 4.21  $N_C$  与  $L_{poc}$  之间的关系

为了解释这个现象，本文将对  $D_{poc}$  进行近似推算。如图 4.23 所示的结构示意图 4.23(a)以及沟道非栅覆盖区表面电场分布图 4.23(b)。

首先做如下几点假设：1，漏极电压为  $V_D$  时，N 型 Pocket 层刚刚完全耗尽，因此 N 型 Pocket 层中电场最小值为零，此时 Pocket 层的掺杂浓度为  $N_C$ 。2，理想栅控，在原点处电势为零。

由于是本征半导体，由泊松方程可知在非栅覆盖区域中的电场基本上是匀强电场。在 N 型 Pocket 层中，由一维泊松方程，电场分布为一个直线，斜率为  $\frac{qN_{poc}}{\epsilon_{si}}$ 。

由第一个假设，可以推出当漏电压为  $V_D$  时候，漏极与 N 型半导体层之间的空穴势垒高度没有降低，因此右边梯形面积  $S_1$  就为 PN 结内建势( $V_{b1}$ )。漏极电压  $V_D$  完全落在 N 型 Pocket 层与栅之间，梯形  $S_2$  的面积就为 N 型 Pocket 层与沟道半导体之间的内建势与漏电压的和( $V_{b2}+V_D$ )。

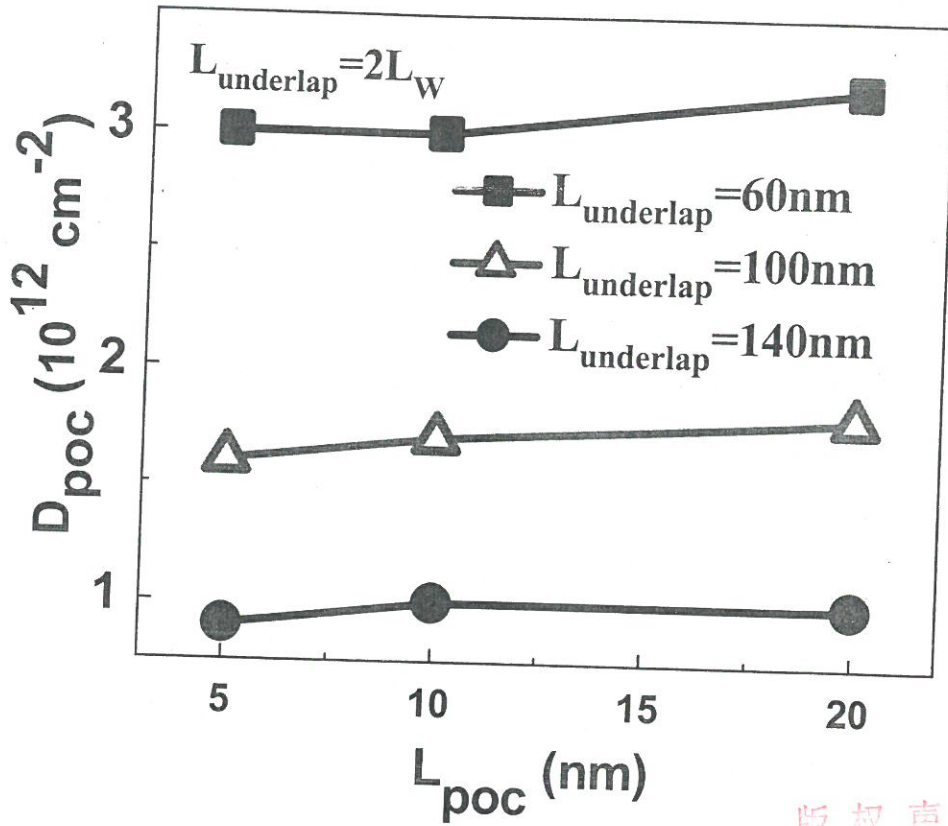


图 4.22 临界掺杂剂量与  $L_{poc}$  之间的关系

版权声明  
 此服务仅提供文献资料内容的1/3复制件，供用户学习、研究或学校课堂教学、科学研究使用。  
 严禁用户超出《中华人民共和国著作权法》规定的合理使用范围使用文献，如用户违反规定，造成侵权行为的，相应的法律责任由用户承担。

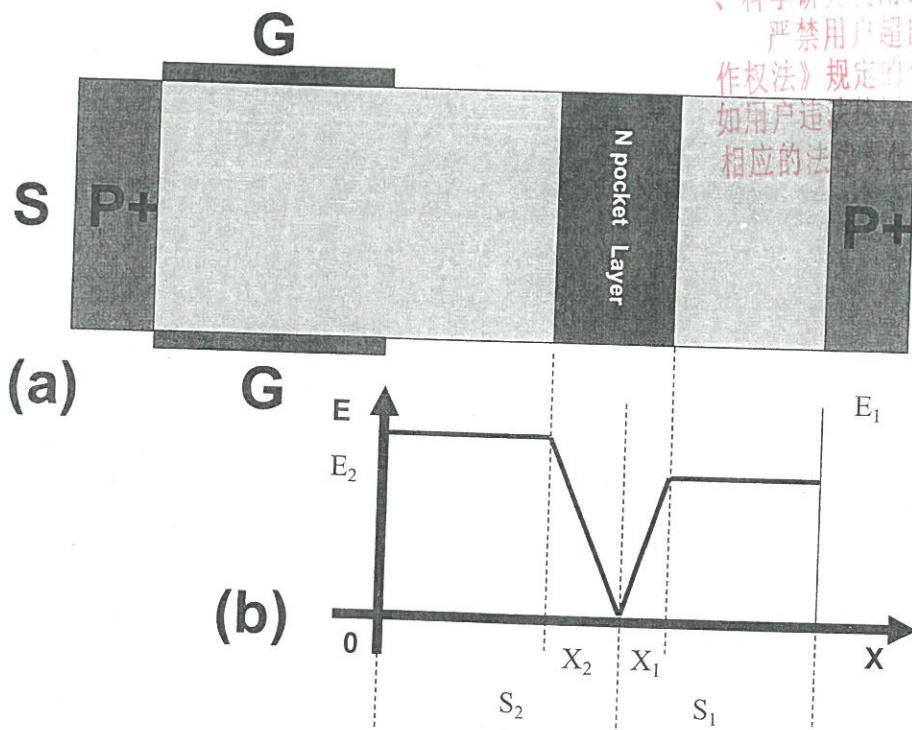


图 4.23 (a)TI-FET 结构 (b) 沟道非栅覆盖区表面电场分布

分别写出  $S_1$  与  $S_2$  的表达式，如下：

$$S_1 \text{ 的表达式: } E_1(L_{\text{underlap}} - X_1 - X_2)/2 + E_1 \cdot X_1/2 = S_1 = V_{b1} \quad (1)$$

$$S_2 \text{ 的表达式: } E_2(L_{\text{underlap}} - X_1 - X_2)/2 + E_2 \cdot X_2/2 = S_2 = V_{b2} + V_D \quad (2)$$

其中  $X_1 + X_2 = L_{\text{poc}}$ ,  $E_1$  为靠近漏极一侧电场强度,  $E_2$  为靠近栅极一侧的电场强度。

在 N 型 Pocket 层中利用泊松方程有:

$$\frac{E_2}{X_2} = \frac{qN_{\text{poc}}}{\epsilon_{\text{si}}} \quad (3)$$

$$\frac{E_1}{X_1} = \frac{qN_{\text{poc}}}{\epsilon_{\text{si}}} \quad (4)$$

其中  $\epsilon_{\text{si}}$  为硅的介电常数,  $q$  为电子电量。

联立: (1)(3), (2)(4)

$$\frac{qN_{\text{poc}}}{\epsilon_{\text{si}}} X_1(L_{\text{underlap}} - X_2) = 2V_{b1} \quad (5)$$

$$\frac{qN_{\text{poc}}}{\epsilon_{\text{si}}} X_2(L_{\text{underlap}} - X_1) = 2(V_{b2} + V_D) \quad (6)$$

如果  $L_{\text{underlap}}$  远大于  $X_1$  以及  $X_2$ :

那么方程组可以转化为:

$$\frac{qN_{\text{poc}}}{\epsilon_{\text{si}}} X_1 \cdot L_{\text{underlap}} = 2V_{b1} \quad (7)$$

$$\frac{qN_{\text{poc}}}{\epsilon_{\text{si}}} X_2 \cdot L_{\text{underlap}} = 2(V_{b2} + V_D) \quad (8)$$

两式相加可以得到:

$$D_{\text{poc}} = \frac{2\epsilon_{\text{si}}(V_{b1} + V_{b2} + V_D)}{qL_{\text{underlap}}} \quad (9)$$

因此临界杂质剂量  $D_{\text{poc}}$  只与  $L_{\text{underlap}}$  有关,  $L_{\text{underlap}}$  越小, 其临界杂质剂量越大, 这与仿真结果相符合。

三, 对  $L_w$  的讨论

器件的关态特性与  $L_w$  之间的关系如图 4.24 所示。结果表明 N 型 Pocket 层最优化的位置在沟道非栅控制区域中间。Pocket 层靠近漏极或者靠近栅电极, 都会引起 Pocket 层界面的电场增强, 造成 Pocket 层更深度的耗尽, 从而造成空穴势垒降低, 引入更高的泄漏电流。但是在  $L_{\text{underlap}}$  比较小的时候, Pocket 层可以适当往栅电极处靠近而不会引入更高的泄漏电流。这可能是由于在小尺寸下, 非栅控区域的电场并不能完全终止在栅电极边缘, 电场会往沟道源端方向拓展, 从而削弱了电场的原因。

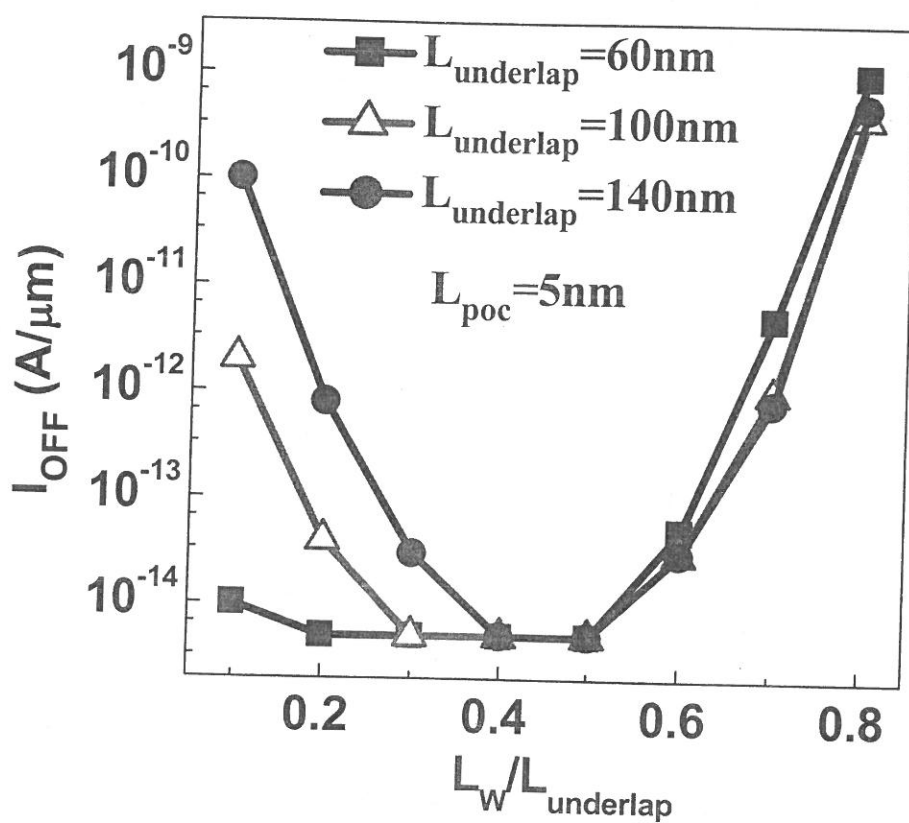


图 4.24  $L_w$  与泄漏电流之间的关系

## 4.4 本章小结

本章提出了一种复合导通机制的隧穿晶体管，利用隧穿放大原理放大隧穿电流，在提高开态电流的同时降低亚阈值斜率。通过一种隧穿放大晶体管详细介绍隧穿电流放大原理，然后通过分析指出隧穿放大晶体管虽然可以提高开态电流，但是由于受到隧穿基极浮电位的影响，亚阈特性会退化。因此提出一种隧穿触发注入场效应晶体管。通过在沟道中插入一个 N 型 Pocket 层，在沟道价带中引入一个空穴势垒同时在导带形成一个电子势阱。在关态，空穴势垒可以阻止漏极空穴向沟道注入，降低泄漏电流。而在开启过程中，沟道中的电子势阱在俘获隧穿电子后会变浅，因此会造成沟道中空穴势垒的降低，引起更大的空穴注入电流，形成空穴注入电流对电子隧穿电流的放大。

仿真分析表明，相比常规 TFET，隧穿触发注入场效应晶体管利用隧穿放大机制，可以将开态电流提高 1.5 个数量级，同时亚阈值斜率会降低约 27%。

本章还对 Pocket 层的参数以及 underlap 区域长度进行了讨论，为设计优化隧穿触发注入场效应晶体管提供依据。研究表明，Pocket 层最优化的设计位置在 underlap 区域正中央，而增加 Pocket 层厚度以及增加 underlap 区域的长度都会降低 Pocket 临界掺杂浓度，增加 Pocket 层的设计窗口。

## 第五章 总结

半导体技术的不断进步伴随着集成电路功耗的不断增长,当半导体器件进入纳米尺度,系统的功耗将成为阻碍半导体技术继续进步的壁垒。为了进一步降低集成电路的功耗,产生了一个新型超低功耗器件的研究领域。超低功耗器件具有非常陡直的亚阈值斜率,能够在降低电源电压的同时维持低泄漏电流以及高电流开关比,适合未来超低功耗领域的应用。现阶段正在被研究的超低功耗器件中,隧穿场效应晶体管(TFET)不仅具有陡直的亚阈值斜率,而且对工作电压要求低,工艺过程完全与CMOS标准工艺兼容,是最具有应用前景的超低功耗半导体器件。然而受制于隧穿结有限的隧穿几率,TFET的开态电流以及亚阈值特性还需要进行优化与改进。

本论文首先针对如何提高TFET的开态电流,提出一种流梳栅TFET,有效地提高TFET的开态电流。然后利用自耗尽效应并且结合肖特基结高隧穿效率的特点提出一种肖特基源极TFET,进一步提高TFET的开态电流。针对如何降低TFET的亚阈值斜率,本论文提出一种条形栅TFET,利用自耗尽效应,降低隧穿起始点隧穿势垒宽度,实现更陡直的电流开启,更有效地降低TFET亚阈值斜率。最后本文旨在同时提高开态电流与降低亚阈值斜率,提出一种隧穿触发注入场效应晶体管,基于器件内部的放大机制放大隧穿电流,在提高开态电流的同时降低亚阈值斜率。这些研究对如何设计优化TFET做出了指导。

本论文的主要工作与创新点总结如下:

- 一, 针对TFET开态电流偏低的缺陷,首次提出了一种流梳栅TFET。通过栅向源极延伸,增加了隧穿结隧穿面积,提高了TFET的开态电流。提出一种肖特基源极流梳栅TFET,进一步提高TFET的开态电流。通过在流梳栅TFET的源端引入金属硅化物,利用肖特基注入电流补充流梳栅TFET的开态电流。同时利用梳指沟道中的自耗尽效应,提高沟道电子势垒高度,减小关态泄漏电流,提高输出电流开关比。
- 二, 在北京大学微米/纳米加工技术国家重点实验室成功制备流梳栅TFET以及肖特基源极流梳栅TFET。采用肖特基源流梳栅设计的TFET开态电流为

5.4 $\mu\text{A}/\mu\text{m}$ ，开关比达到  $10^7$ 。与常规 TFET 相比，开态电流有接近 3 个数量级的提升。

- 三，首次提出一种条形栅 TFET，降低 TFET 的亚阈值斜率。所提出的条形栅 TFET 工艺制备过程完全与 CMOS 工艺兼容。针对小尺寸条形栅 TFET 寄生隧穿结隧穿的问题，分别提出了 Short gate, T 型栅电极，阶梯栅介质以及异质栅介质等结构，有效地抑制寄生隧穿，降低亚阈值斜率。然后，提出了一种 Pocket 条形栅 TFET，不仅进一步降低条形栅 TFET 亚阈值斜率，而且还可以减小器件特性对 Pocket 层尺寸的依赖关系。
- 四，通过实验制备了条形栅 TFET。结果表明，所制备的常规 TFET 的亚阈值斜率为 55mV/dec，而条形栅 TFET 的亚阈值斜率为 50mV/dec，Pocket 条形栅 TFET 的亚阈值斜率为 36mV/dec，首次在硅基 TFET 中实现低于 40mV/dec 的亚阈值斜率。
- 五，首次提出一种隧穿触发注入场效应晶体管。利用隧穿放大原理，降低 TFET 亚阈值斜率的同时提高器件开态电流。通过模拟分析详细讨论了 Pocket 层掺杂、厚度、位置以及栅非覆盖区域长度对器件特性的影响，指导设计隧穿触发注入场效应晶体管。

对于后续的工作，作者建议：

- (1) 对流梳栅 TFET 以及条形栅 TFET 的交流特性进行研究。分析流梳栅与条形栅设计对 TFET 的栅源电容，栅漏电容的影响。
- (2) 采用窄禁带半导体设计条形栅 TFET 的源区，预计可以抑制条形栅 TFET 源区寄生隧穿对亚阈特性的影响，降低亚阈值斜率。并且由于采用了窄禁带半导体材料，可以进一步高开态电流。
- (3) 研究流梳栅 TFET 以及条形栅 TFET 的可靠性问题。
- (4) 对先进技术代下的流梳栅 TFET 以及条形栅 TFET 的特性进行实验验证。
- (5) 对隧穿触发注入晶体管进行实验验证
- (6) 开展 TFET 器件的物理模型研究，以利于指导 TFET 器件结构和相关电路的优化设计

## 参考文献

- [1] G. Moore, "Progress in digital integrated electronics," in *IEDM Tech.Dig.*, 1975, pp. 20-23.
- [2] W. Arden, M. Brillou E T, P. Coge, M. Graef, B. Huizing, and R. Mahnkopf, " " More-than-Moore " White Paper," *International Technical Roadmap for Semiconductors*, 2010.
- [3] iSuppli Corporation supplied rankings [Online].  
Available:<http://www.isuppli.com/Pages/Home.aspx>
- [4] *International Technology Roadmap for Semiconductors (ITRS)*. [Online].  
Available:<http://public.itrs.net>
- [5] M. Jeong, B. Doris, J. Kedzierski, K. Rim, and M. Yang, "Silicon device scaling to the sub-10-nm regime," *Science*, vol. 306, no.5704, pp. 2057--2060, 2004.
- [6] A. Tura and J. Woo, "Performance Comparison of Silicon Steep Subthreshold FETs," *Electron Devices, IEEE Transactions on*, vol. 57, no.6, pp. 1362 - 1368, 2010.
- [7] A. M. Ionescu, L. De Michielis, N. Dagtekin, G. Salvatore, J. Cao, A. Rusu, and S. Bartsch, "Ultra low power: Emerging devices and their benefits for integrated circuits," in *IEDM Tech.Dig.*, 2011, pp. 378-381.
- [8] K. Gopalakrishnan, P. B. Griffin and J. D. Plummer, "I-MOS: A novel semiconductor device with a subthreshold slope lower than  $kT/q$ ," in *IEDM Tech.Dig.*, 2002, pp. 289 - 292.
- [9] W. Y. Choi, J. Y. Song, B. Y. Choi, J. D. Lee, Y. J. Park, and B. G. Park, "80nm self-aligned complementary I-MOS using double sidewall spacer and elevated drain structure and its applicability to amplifiers with high linearity," in *IEDM Tech.Dig.*, 2004, pp. 203 - 206.
- [10] W. Y. Choi, B. Y. Choi, D. S. Woo, J. D. Lee, and B. G. Park, "A new fabrication method for self-aligned nanoscale I-MOS (impact-ionization MOS)," in *DRC. Conference Digest*, 2004, pp. 211 - 212.

- [11] W. Y. Choi, J. Y. Song, J. D. Lee, Y. J. Park, and B. Park, "100-nm n-/p-channel I-MOS using a novel self-aligned structure," *IEEE Electron Device Letters*, vol. 26, no.4, pp. 261 - 263, 2005.
- [12] K. Gopalakrishnan, P. B. Griffin and J. D. Plummer, "Impact ionization MOS (I-MOS)-Part I: device and circuit simulations," *Electron Devices, IEEE Transactions on*, vol. 52, no.1, pp. 69 - 76, 2005.
- [13] K. Gopalakrishnan, R. Woo, C. Jungemann, P. B. Griffin, and J. D. Plummer, "Impact ionization MOS (I-MOS)-part II: experimental results," *Electron Devices, IEEE Transactions on*, vol. 52, no.1, pp. 77 - 84, 2005.
- [14] E. H. Toh, G. H. Wang, L. Chan, G. Q. Lo, G. Samudra, and Y. C. Yeo, "I-MOS transistor with an elevated silicon - germanium impact-ionization region for bandgap engineering," *Electron Device Letters, IEEE*, vol. 27, no.12, pp. 975-977, 2006.
- [15] E. H. Toh, G. H. Wang, L. Chan, G. Q. Lo, D. Sylvester, C. H. Heng, G. Samudra, and Y. C. Yeo, "A complementary-I-MOS technology featuring SiGe channel and i-region for enhancement of impact-ionization, breakdown voltage, and performance," in *ESSDERC*, 2007, pp. 295 - 298.
- [16] F. Mayer, F. Mayer, C. Le Royer, C. Le Royer, G. Le Carval, G. Le Carval, L. Clavelier, S. Deleonibus, and S. Deleonibus, "Experimental and TCAD Investigation of the Two Components of the Impact Ionization MOSFET (IMOS) Switching," *IEEE Electron Device Letters*, vol. 28, no.7, pp. 619 - 621, 2007.
- [17] E. Toh, G. H. Wang, G. Lo, L. Chan, G. Samudra, and Y. Yeo, "Performance enhancement of n-channel impact-ionization metal-oxide-semiconductor transistor by strain engineering," *Applied Physics Letters*, vol. 90, no.2, p. 23505, 2007.
- [18] E. H. Toh, G. H. Wang, L. Chan, G. Samudra, and Y. C. Yeo, "A double-spacer I-MOS transistor with shallow source junction and lightly doped drain for reduced operating voltage and enhanced device performance," *Electron Device Letters, IEEE*, vol. 29, no.2, pp. 189 - 191, 2008.
- [19] F. Mayer, C. Le Royer, D. Blachier, L. Clavelier, and S. Deleonibus, "Avalanche Breakdown Due to 3-D Effects in the Impact-Ionization MOS (I-MOS)

- on SOI: Reliability Issues," *Electron Devices, IEEE Transactions on*, vol. 55, no.6, pp. 1373 - 1378, 2008.
- [20] E. H. Toh, G. H. Wang, L. Chan, G. S. Samudra, and Y. C. Yeo, "Device Physics and Performance Optimization of Impact-Ionization Metal-Oxide-Semiconductor Transistors formed using a Double-Spacer Fabrication Process," *Japanese Journal of Applied Physics*, vol. 47, no.4, p. 3077, 2008.
- [21] E. H. Toh, G. H. Wang, L. Chan, G. Samudra, and Y. C. Yeo, "Simulation and design of a germanium L-shaped impact-ionization MOS transistor," *Semiconductor Science and Technology*, vol. 23, no.1, p. 015012, 2008.
- [22] A. Savio, S. Monfray, C. Charbuillet, and T. Skotnicki, "On the limitations of silicon for I-MOS integration," *Electron Devices, IEEE Transactions on*, vol. 56, no.5, pp. 1110 - 1117, 2009.
- [23] A. Padilla, C. W. Yeung, C. Shin, C. Hu, and T. J. K. Liu, "Feedback FET: A novel transistor exhibiting steep switching behavior at low bias voltages," in *IEDM Tech.Dig.*, 2008, pp. 1--4.
- [24] H. C. Nathanson, W. E. Newell, R. A. Wickstrom, and J. R. Davis Jr, "The resonant gate transistor," *Electron Devices, IEEE Transactions on*, vol. 14, no.3, pp. 117 - 133, 1967.
- [25] A. M. Ionescu, V. Pott, R. Fritschi, K. Banerjee, M. J. Declercq, P. Renaud, C. Hibert, P. Fluckiger, and G. A. Racine, "Modeling and design of a low-voltage SOI suspended-gate MOSFET (SG-MOSFET) with a metal-over-gate architecture," in *Quality Electronic Design, 2002. Proceedings.*, 2002, pp. 496 - 501.
- [26] H. Kam, D. T. Lee, R. T. Howe, and T. J. King, "A new nano-electro-mechanical field effect transistor (NEMFET) design for low-power electronics," in *IEDM Tech.Dig.*, 2005, pp. 463 - 466.
- [27] N. Abele, R. Fritschi, K. Boucart, F. Casset, P. Ancey, and A. M. Ionescu, "Suspended-gate MOSFET: bringing new MEMS functionality into solid-state MOS transistor," in *IEDM Tech.Dig.*, 2005, pp. 479 - 481.
- [28] N. Abele, A. Villaret, A. Gangadharaiah, C. Gabioud, P. Ancey, and A. M. Ionescu, "1T MEMS memory based on suspended gate MOSFET," in *IEDM*

*Tech.Dig.*, 2006, pp. 1 - 4.

[29] K. Akarvardar, C. Eggimann, D. Tsamados, Y. Chauhan, G. C. Wan, A. M. Ionescu, and H. S. P. Wong, "Analytical Modeling of the Suspended-Gate FET and Design Insights for Digital Logic," in *65th Annual Device Research Conference*, 2007, pp. 103 - 104.

[30] D. Tsamados, Y. S. Chauhan, C. Eggimann, K. Akarvardar, H. S. P. Wong, and A. M. Ionescu, "Numerical and analytical simulations of suspended gate-FET for ultra-low power inverters," in *ESSDERC*, 2007, pp. 167 - 170.

[31] K. K. Bhuwalka, J. Schulze and I. Eisele, "A simulation approach to optimize the electrical parameters of a vertical tunnel FET," *Electron Devices, IEEE Transactions on*, vol. 52, no.7, pp. 1541--1547, 2005.

[32] K. K. Bhuwalka, S. Sedlmaier, A. K. Ludsteck, C. Tolksdorf, J. Schulze, and I. Eisele, "Vertical tunnel field-effect transistor," *Electron Devices, IEEE Transactions on*, vol. 51, no.2, pp. 279--282, 2004.

[33] T. Nirschl, P. F. Wang, C. Weber, J. Sedlmeir, R. Heinrich, R. Kakoschke, K. Schrufer, J. Holz, C. Pacha, T. Schulz, and Others, "The tunneling field effect transistor (TFET) as an add-on for ultra-low-voltage analog and digital processes," in *IEDM Tech.Dig.*, 2004, pp. 195--198.

[34] W. M. Reddick and G. A. J. Amaratunga, "Silicon surface tunnel transistor," *Applied Physics Letters*, vol. 67, no.4, p. 494, 1995.

[35] P. F. Wang, K. Hilsenbeck, T. Nirschl, M. Oswald, C. Stepper, M. Weis, D. Schmitt-Landsiedel, and W. Hansch, "Complementary tunneling transistor for low power application," *Solid-State Electronics*, vol. 48, no.12, pp. 2281 - 2286, 2004.

[36] Q. Zhang, W. Zhao and A. Seabaugh, "Low-subthreshold-swing tunnel transistors," *IEEE Electron Device Letters*, vol. 27, no.4, pp. 297 - 300, 2006.

[37] C. Le Royer and F. Mayer, "Exhaustive experimental study of tunnel field effect transistors (TFETs): From materials to architecture," in *ULIS*, 2009, pp. 53 - 56.

[38] J. Knoch, "Optimizing tunnel FET performance-Impact of device structure, transistor dimensions and choice of material," in *VLSI-TSA*, 2009, pp. 45 - 46.

[39] A. M. Ionescu and H. Riel, "Tunnel field-effect transistors as energy-efficient

- electronic switches," *Nature*, vol. 479, no.7373, pp. 329 - 337, 2011.
- [40] A. C. Seabaugh and Q. Zhang, "Low-voltage tunnel transistors for beyond CMOS logic," in *Proceedings of the IEEE*, vol. 98, 2010, pp. 2095 - 2110.
- [41] T. Nirschl, S. Henzler, J. Fischer, M. Fulde, A. Bargagli-Stoffi, M. Sterkel, J. Sedlmeir, C. Weber, R. Heinrich, U. Schaper, and Others, "Scaling properties of the tunneling field effect transistor (TFET): Device and circuit," *Solid-State Electronics*, vol. 50, no.1, pp. 44 - 51, 2006.
- [42] K. Boucart and A. M. Ionescu, "Length scaling of the Double Gate Tunnel FET with a high-K gate dielectric," *Solid-State Electronics*, vol. 51, no.11, pp. 1500 - 1507, 2007.
- [43] L. Liu, D. Mohata and S. Datta, "Scaling Length Theory of Double-Gate Interband Tunnel Field-Effect Transistors," *Electron Devices, IEEE Transactions*, vol. 59, no.4, pp. 902- 908, 2012.
- [44] J. Knoch, S. Mantl and J. Appenzeller, "Impact of the dimensionality on the performance of tunneling FETs: Bulk versus one-dimensional devices," *Solid-State Electronics*, vol. 51, no.4, pp. 572 - 578, 2007.
- [45] C. Sandow, J. Knoch, C. Urban, Q. T. Zhao, and S. Mantl, "Impact of electrostatics and doping concentration on the performance of silicon tunnel field-effect transistors," *Solid-State Electronics*, vol. 53, no.10, pp. 1126 - 1129, 2009.
- [46] W. Y. Choi, B. G. Park, J. D. Lee, and T. J. K. Liu, "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec," *Electron Device Letters, IEEE*, vol. 28, no.8, pp. 743 - 745, 2007.
- [47] K. E. Moselund, H. Ghoneim, M. T. Bjork, H. Schmid, S. Karg, E. Lortscher, W. Riess, and H. Riel, "Comparison of VLS grown Si NW tunnel FETs with different gate stacks," in *ESSDERC*, 2009, pp. 448 - 451.
- [48] Z. X. Chen, H. Y. Yu, N. Singh, N. S. Shen, R. D. Sayanthan, G. Q. Lo, and D. L. Kwong, "Demonstration of tunneling FETs based on highly scalable vertical silicon nanowires," *Electron Device Letters, IEEE*, vol. 30, no.7, pp. 754 - 756, 2009.
- [49] R. Gandhi, Z. Chen, N. Singh, K. Banerjee, and S. Lee, "CMOS-Compatible Vertical-Silicon-Nanowire Gate-All-Around p-Type Tunneling FETs With $\leq$

50-mV/decade Subthreshold Swing," *IEEE Electron Device Letters*, vol. 32, no.11, pp. 1504 - 1506, 2011.

[50] K. Jeon, W. Y. Loh, P. Patel, C. Y. Kang, J. Oh, A. Bowonder, C. Park, C. S. Park, C. Smith, P. Majhi, and Others, "Si tunnel transistors with a novel silicided source and 46mV/dec swing," in *VLSI Technology*, 2010, pp. 121 - 122.

[51] F. Mayer, C. Le Royer, J. F. Damlencourt, K. Romanjek, F. Andrieu, C. Tabone, B. Previtali, and S. Deleonibus, "Impact of SOI, Si<sub>1-x</sub>Ge<sub>x</sub>OI and GeOI substrates on CMOS compatible tunnel FET performance," in *IEDM Tech.Dig.*, 2008, pp. 1 - 5.

[52] S. H. Kim, H. Kam, C. Hu, and T. J. K. Liu, "Germanium-source tunnel field effect transistors with record high ION/IOFF," in *VLSI Technology*, 2009, pp. 178 - 179.

[53] G. Han, P. Guo, Y. Yang, C. Zhan, Q. Zhou, and Y. C. Yeo, "Silicon-based tunneling field-effect transistor with elevated germanium source formed on (110) silicon substrate," *Applied Physics Letters*, vol. 98, no.15, p. 153502, 2011.

[54] D. Kazazis, P. Jannaty, A. Zaslavsky, C. Le Royer, C. Tabone, L. Clavelier, and S. Cristoloveanu, "Tunneling field-effect transistor with epitaxial junction in thin germanium-on-insulator," *Applied physics letters*, vol. 94, no.26, p. 263508, 2009.

[55] S. H. Kim, Z. A. Jacobson and T. J. K. Liu, "Impact of body doping and thickness on the performance of Germanium-source TFETs," *Electron Devices, IEEE Transactions on*, vol. 57, no.7, pp. 1710 - 1713, 2010.

[56] T. Krishnamohan, D. Kim, S. Raghunathan, and K. Saraswat, "Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) With record high drive currents and < 60mV/dec subthreshold slope," in *IEDM Tech.Dig.*, 2008, pp. 1-3.

[57] N. B. Patel, A. Ramesha and S. Mahapatra, "Performance enhancement of the tunnel field effect transistor using a SiGe source," in *IWPSD*, 2007, pp. 111 - 114.

[58] C. H. Shih and N. D. Chien, "Sub-10-nm Tunnel Field-Effect Transistor With Graded Si/Ge Heterojunction," *Electron Device Letters, IEEE*, vol. 32, no.11, pp. 1498 - 1500, 2011.

[59] E. H. Toh, G. H. Wang, G. Samudra, and Y. C. Yeo, "Device physics and

- design of germanium tunneling field-effect transistor with source and drain engineering for low power and high performance applications," *Journal of Applied Physics*, vol. 103, no.10, p. 104504, 2008.
- [60] Q. Zhang, S. Sutar, T. Kosel, and A. Seabaugh, "Fully-depleted Ge interband tunnel transistor: Modeling and junction formation," *Solid-State Electronics*, vol. 53, no.1, pp. 30 - 35, 2009.
- [61] Q. Zhang, S. Sutar, T. Kosel, and A. Seabaugh, "Rapid melt growth of Ge tunnel junctions for interband tunnel transistors," in *Semiconductor Device Research Symposium*, 2007, pp. 1 - 2.
- [62] A. C. Ford, C. W. Yeung, S. Chuang, H. S. Kim, E. Plis, S. Krishna, C. Hu, and A. Javey, "Ultrathin body InAs tunneling field-effect transistors on Si substrates," *Applied physics letters*, vol. 98, no.11, p. 113105, 2011.
- [63] R. Iida, S. H. Kim, M. Yokoyama, N. Taoka, S. H. Lee, M. Takenaka, and S. Takagi, "Planar-type  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  channel band-to-band tunneling metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 110, no.12, p. 124505, 2011.
- [64] R. Li, Y. Lu, S. D. Chae, G. Zhou, Q. Liu, C. Chen, M. Shahriar Rahman, T. Vasen, Q. Zhang, P. Fay, and Others, "InAs/AlGaSb heterojunction tunnel field-effect transistor with tunnelling in-line with the gate field," *physica status solidi (c)*, 2012.
- [65] R. Li, Y. Lu, G. Zhou, Q. Liu, S. D. Chae, T. Vasen, W. S. Hwang, Q. Zhang, P. Fay, T. Kosel, and Others, "AlGaSb/InAs Tunnel Field-Effect Transistor With On-Current of  $78\mu\text{A}/\mu\text{m}$  at 0.5 V," *Electron Device Letters, IEEE*, 99, pp. 1-3, 2012.
- [66] D. K. Mohata, R. Bijesh, S. Mujumdar, C. Eaton, R. Engel-Herbert, T. Mayer, V. Narayanan, J. M. Fastenau, D. Loubychev, A. K. Liu, and Others, "Demonstration of MOSFET-like on-current performance in arsenide/antimonide tunnel FETs with staggered hetero-junctions for 300mV logic applications," in *IEDM Tech.Dig.*, 2011, pp. 33 - 5.
- [67] D. Mohata, S. Mookerjea, A. Agrawal, Y. Li, T. Mayer, V. Narayanan, A. Liu, D. Loubychev, J. Fastenau, and S. Datta, "Experimental Staggered-Source and

- N<sup>+</sup> Pocket-Doped Channel III - V Tunnel Field-Effect Transistors and Their Scalabilities," *Applied Physics Express*, vol. 4, no.2, p. 024105, 2011.
- [68] S. Mookerjea, D. Mohata, T. Mayer, V. Narayanan, and S. Datta, "Temperature-Dependent I - V Characteristics of a Vertical In<sub>0.53</sub>Ga<sub>0.47</sub>As Tunnel FET," *Electron Device Letters, IEEE*, vol. 31, no.6, pp. 564-566, 2010.
- [69] K. Takei, S. Chuang, H. Fang, R. Kapadia, C. H. Liu, J. Nah, H. S. Kim, E. Plis, S. Krishna, Y. L. Chueh, and Others, "Benchmarking the performance of ultrathin body InAs-on-insulator transistors as a function of body thickness," *Applied physics letters*, vol. 99, no.10, p. 103507, 2011.
- [70] H. Zhao, Y. T. Chen, Y. Wang, F. Zhou, F. Xue, and J. C. Lee, "Improving the on-current of In<sub>0.7</sub>Ga<sub>0.3</sub>As tunneling field-effect-transistors by p<sup>++</sup>/n<sup>+</sup> tunneling junction," *Applied physics letters*, vol. 98, no.9, p. 093501 - 093501, 2011.
- [71] H. Zhao, Y. Chen, Y. Wang, F. Zhou, F. Xue, and J. Lee, "InGaAs tunneling field-effect-transistors with atomic-layer-deposited gate oxides," *Electron Devices, IEEE Transactions on*, vol. 58, no.9, pp. 2990 - 2995, 2011.
- [72] H. Zhao, N. Goel, J. Huang, Y. Chen, J. Yum, Y. Wang, F. Zhou, F. Xue, and J. Lee, "Factors enhancing In<sub>0.7</sub>Ga<sub>0.3</sub>As MOSFETs and tunneling FETs device performance," in *DRC*, 2010, pp. 63 - 64.
- [73] G. Zhou, Y. Lu, R. Li, Q. Zhang, W. S. Hwang, Q. Liu, T. Vasen, C. Chen, H. Zhu, J. M. Kuo, and Others, "Vertical InGaAs/InP Tunnel FETs With Tunneling Normal to the Gate," *Electron Device Letters, IEEE*, vol. 32, no.11, pp. 1 - 3, 2011.
- [74] G. Zhou, Y. Lu, R. Li, Q. Zhang, W. Hwang, Q. Liu, T. Vasen, H. Zhu, J. Kuo, S. Koswatta, and Others, "Self-aligned InAs/Al<sub>0.45</sub>Ga<sub>0.55</sub>Sb vertical tunnel FETs," in *DRC*, 2011, pp. 205 - 206.
- [75] S. Mookerjea, D. Mohata, R. Krishnan, J. Singh, A. Vallett, A. Ali, T. Mayer, V. Narayanan, D. Schlom, A. Liu, and Others, "Experimental demonstration of 100nm channel length In<sub>0.53</sub>Ga<sub>0.47</sub>As-based vertical inter-band tunnel field effect transistors (TFETs) for ultra low-power logic and SRAM applications," in *IEDM Tech.Dig.*, 2009, pp. 1 - 3.
- [76] H. Zhao, Y. Chen, Y. Wang, F. Zhou, F. Xue, and J. Lee, "In<sub>0.7</sub>Ga<sub>0.3</sub>As

- Tunneling Field-Effect Transistors With an Ion of  $50 \mu\text{A}/\mu\text{m}$  and a Subthreshold Swing of  $86 \text{ mV/dec}$  Using  $\text{HfO}_2$  Gate Oxide," *Electron Device Letters, IEEE*, vol. 31, no.12, pp. 1392-1394, 2010.
- [77] G. Dewey, B. Chu-Kung, J. Boardman, J. M. Fastenau, J. Kavalieros, R. Kotlyar, W. K. Liu, D. Lubyshev, M. Metz, N. Mukherjee, and Others, "Fabrication, characterization, and physics of III-V heterojunction tunneling Field Effect Transistors (H-TFET) for steep sub-threshold swing," in *IEDM Tech.Dig.*, 2011, pp. 33--6.
- [78] K. Boucart and A. M. Ionescu, "Double gate tunnel FET with ultrathin silicon body and high-k gate dielectric," in *ESSDERC*, 2006, pp. 383 - 386.
- [79] K. Boucart and A. M. Ionescu, "Double-gate tunnel FET with high-k gate dielectric," *Electron Devices, IEEE Transactions on*, vol. 54, no. 7, pp. 1725 - 1733, 2007.
- [80] A. Mallik and A. Chattopadhyay, "The Impact of Fringing Field on the Device Performance of a P-Channel Tunnel Field-Effect Transistor With a High-Gate Dielectric," *Electron Devices, IEEE Transactions on*, vol. 59, no.2, pp. 277-282, 2012.
- [81] M. Schlosser, K. K. Bhuvalka, M. Sauter, T. Zilbauer, T. Sulima, and I. Eisele, "Fringing-Induced Drain Current Improvement in the Tunnel Field-Effect Transistor With High-k Gate Dielectrics," *Electron Devices, IEEE Transactions on*, vol. 56, no.1, pp. 100-108, 2009.
- [82] R. Jhaveri, V. Nagavarapu and J. C. S. Woo, "Effect of Pocket Doping and Annealing Schemes on the Source-Pocket Tunnel Field-Effect Transistor," *Electron Devices, IEEE Transactions on*, vol. 58, no.1, pp. 80 - 86, 2011.
- [83] V. Nagavarapu, R. Jhaveri and J. C. S. Woo, "The tunnel source (PNPN) n-MOSFET: A novel high performance transistor," *Electron Devices, IEEE Transactions on*, vol. 55, no.4, pp. 1013 - 1019, 2008.
- [84] R. Jhaveri, V. Nagavarapu and J. C. S. Woo, "Asymmetric Schottky tunneling source SOI MOSFET design for mixed-mode applications," *Electron Devices, IEEE Transactions on*, vol. 56, no.1, pp. 93 - 99, 2009.

- [85] P. Wang, T. Nirschl, D. Schmitt-Landsiedel, and W. Hansch, "Simulation of the Esaki-tunneling FET," *Solid-State Electronics*, vol. 47, no.7, pp. 1187-1192, 2003.
- [86] J. Nah, E. S. Liu, K. M. Varahramyan, and E. Tutuc, "Ge-Si<sub>x</sub>Ge<sub>1-x</sub> Core - Shell Nanowire Tunneling Field-Effect Transistors," *Electron Devices, IEEE Transactions on*, vol. 57, no.8, pp. 1883-1888, 2010.
- [87] M. T. Björk, K. E. Moselund, H. Schmid, H. Ghoneim, S. Karg, E. Lortscher, J. Knoch, W. Riess, and H. Riel, "VLS-grown silicon nanowires—Dopant deactivation and tunnel FETs," in *SNW*, 2010, pp. 1-2.
- [88] M. A. Khayer and R. K. Lake, "Drive currents and leakage currents in InSb and InAs nanowire and carbon nanotube band-to-band tunneling FETs," *Electron Device Letters, IEEE*, vol. 30, no.12, pp. 1257 - 1259, 2009.
- [89] D. Basu, L. F. Register, M. J. Gilbert, and S. K. Banerjee, "Atomistic simulation of band-to-band tunneling in III-V nanowire field-effect transistors," in *SISPAD*, 2009, pp. 1 - 4.
- [90] N. N. Mojumder and K. Roy, "Band-to-Band Tunneling Ballistic Nanowire FET: Circuit-Compatible Device Modeling and Design of Ultra-Low-Power Digital Circuits and Memories," *Electron Devices, IEEE Transactions on*, vol. 56, no.10, pp. 2193 - 2201, 2009.
- [91] M. T. Björk, J. Knoch, H. Schmid, H. Riel, and W. Riess, "Silicon nanowire tunneling field-effect transistors," *Applied Physics Letters*, vol. 92, no.19, p. 193504, 2008.
- [92] A. Heigl and G. Wachutka, "Quantum-Corrected Simulation of Complementary Nanowire Tunneling Transistors of 5 nm Gate-Length," in *ASDAM*, 2008, pp. 115 - 118.
- [93] A. S. Verhulst, W. G. Vandenberghe, K. Maex, and G. Groeseneken, "Boosting the on-current of a n-channel nanowire tunnel field-effect transistor by source material optimization," *Journal of Applied Physics*, vol. 104, no.6, p. 064514, 2008.
- [94] A. Heigl and G. Wachutka, "Study on the optimized design of nanowire tunneling transistors including quantum effects," in *SISPAD*, 2008, pp. 225 - 228.

- [95] A. Heigl and G. Wachutka, "Simulation of silicon nanowire tunneling field-effect transistors including quantum effects," in *Semiconductor Device Research Symposium*, 2007, pp. 1 - 2.
- [96] K. E. Moselund, M. T. Bjork, H. Schmid, H. Ghoneim, S. Karg, E. Lortscher, and R. W., "Silicon Nanowire Tunnel FETs: Low-Temperature Operation and Influence of High- k Gate Dielectric," *IEEE Transactions on Electron Devices*, vol. 58, no.9, pp. 2911 - 2916, 2011.
- [97] A. L. Vallett, S. Minassian, S. Datta, J. M. Redwing, and T. S. Mayer, "Fabrication of axially-doped silicon nanowire tunnel FETs and characterization of tunneling current," in *DRC*, 2010, pp. 273 - 274.
- [98] J. Appenzeller, J. Appenzeller, J. Knoch, J. Knoch, M. T. Bjork, M. T. Bjork, H. Riel, H. Schmid, H. Schmid, W. Riess, and W. Riess, "Toward Nanowire Electronics," *IEEE Transactions on Electron Devices*, vol. 55, no.11, 2008.
- [99] A. S. Verhulst, W. G. Vandenberghe, K. Maex, and G. Groeseneken, "Tunnel field-effect transistor without gate-drain overlap," *Applied physics letters*, vol. 91, no.5, p. 053102, 2007.
- [100] J. Zhuge, A. S. Verhulst, W. G. Vandenberghe, W. Dehaene, R. Huang, Y. Wang, and G. Guido, "Digital-circuit analysis of short-gate tunnel FETs for low-voltage applications," *Semiconductor Science and Technology*, vol. 26, no.8, p. 085001, 2011.
- [101] S. M. Sze, *Physics of semiconductor Devices: A WILEY-INTERSCIENCE PUBLICATION*, 1981.



## 博士期间发表论文和申请专利情况

### 博士期间发表和提交的论文:

1. Zhan Zhan, Qianqian Huang, Ru Huang, Wenzhe Jiang and Yangyuan Wang, "A tunnel-induced injection field-effect transistor with steep subthreshold slop and high on-off current ratio", *Applied physics letters*, Vol. 100, 113512,2012.(SCI)
2. Zhan Zhan, Qianqian Huang, Ru Huang, Wenzhe Jiang and Yangyuan Wang, "A Comb-gate silicon tunneling Field Effect transistor with improved on-state current", *SCIENCE CHINA Information Sciences*.(Accepted) (SCI)
3. Qianqian Huang, Zhan Zhan, Ru Huang, Xiang Mao, Lijie Zhang, Yinxing Qiu and Yangyuan Wang, "Self-Depleted T-gate Schottky Barrier Tunneling FET with Low Average Subthreshold Slope and High  $I_{ON}/I_{OFF}$  by Gate Configuration and Barrier Modulation," in *IEDM Tech. Dig.*, 2011, pp. 382. (EI)
4. Qianqian Huang, Ru Huang, Zhenhua Wang, Zhan Zhan and Yangyuan Wang, "Schottky barrier impact-ionization metal-oxide-semiconductor device with reduced operating voltage", *Applied physics letters*, Vol. 99, 083507,2011.
5. Huiwei Wu, Shiqiang Qin, Yimao Cai, Poren Tang, Zhan Zhan, Qianqian Huang, Ru Huang, "A novel flash memory cell and design optimization for high density and low power application", in *EDSSC*, 2011.
6. Wenzhe Jiang, Qianqian Huang, Zhan Zhan, Yingxin Qiu and Ru Huang, "Vertical Asymmetric Schottky barrier MOSFET with High On Current and Suppressed Ambipolar Conduction," in *CSTIC*, Shanghai, China(2012)

## 博士期间申请的专利:

1. 詹瞻,黄芊芊,黄如,王阳元,“一种 T 型栅结构的低功耗隧穿场效应晶体管”,  
专利号: ZL201010530475.3 (已授权)
2. 詹瞻,黄芊芊,黄如,王阳元,“一种叉指型栅结构的低功耗隧穿场效应晶体管”,  
申请号: ZL201110048595.4 (已授权)
3. 詹瞻,黄芊芊,黄如,王阳元,“深能级杂质电离碰撞晶体管”, 申请号:  
201110024074.5
4. 黄如,詹瞻,黄芊芊,王阳元,“一种混合导通机制的场效应晶体管”, 申请号:  
201110105079.0
5. 黄如,詹瞻,黄芊芊,王阳元,“隧穿电流放大晶体管”, 申请号: 20111009873

## 致谢

时光荏苒。不要那什么，我知道这句话很土。但是每当到了毕业的季节，我还真觉得就是这个词能概括我此时此刻的心情。就是这个大家平时再熟悉不过的词语，每逢此刻又显得是那么得优美与忧伤。就这样不知不觉我初中毕业的时候土了一把，高中毕业土了一把，大学毕业又土了一把，现在真的又要彻彻底底地土一回了。但是这种“土”代表了幸福，因为只有幸福才会让你感觉到时光流逝的是那么得迅速。

还记得 2008 年的那个早晨王阳元院士对我的教诲。虽然在见面之前，在未名湖畔等待的过程中，我心中有无数个疑问，但是王老师的一番话，让我发现问题重点不是我的疑问，而是我自己的心态。是王老师点醒了我，其实北大已经接受了你，但是你还没有准备好去接受北大。回去的路上我深刻地自我反省。的确，当我踏入校园的那一刻起，紧张与不自信一直伴随着我，但是忙于掩饰却使我的科研生活偏离了正常的轨道，就像打太极拳的时候太注重招式却忘记了意境，反而动作越来越不协调。从此我的科研没有拘泥于形式而是融入了生活，因此即便是遇到困难，会失望、痛苦但是绝不会气馁；即便是喜悦、兴奋但是绝不会骄傲，而这些都是王老师教给我的，在这里我要深深地感谢王老师。

我还要深深感谢黄如教授，谢谢黄老师这几年对我的鼓励、关心、理解与帮助。是黄老师教我如何去科研，千头万绪中把握一条清晰的脉络，琐碎细节中提取事物的本质，在别人平淡无奇的表述中还原它本来的物理图像。但是黄老师教给我的远不止这些，她不仅是我学术的导师，更是我人生的导师。黄老师在学术上，管理上都表现得那么完美。黄老师会参加每一个小组的小组讨论，从学术上、方法上对每一个同学进行指导。她会认真修改每一个学生的大小论文，而且是一遍又一遍，字斟句酌。她让整个 SOI 小组充满了凝聚力，让大家成为欢乐友爱的一家人。虽然我即将毕业，但是黄老师这种严谨治学，认真负责的态度，管理中所表现的自信与睿智以及和蔼可亲的形象是值得我一生去回忆与学习的。

感谢我们低功耗小组的成员们，他们有已经毕业的毛翔。努力勤奋的邱颖鑫，敏锐的江文哲，爱思考的房智轩，学术执着的吴春雷，特别要感谢美丽聪明并且踏实认真的黄芊芊同学。这些年我们合作融洽，组会上我们激烈地讨论甚至会争

吵，组会下面我们会经常开开玩笑，和睦地相处。谢谢你们，也正是因为你们让我在最后时刻终于土的掉了渣。

感谢裴云鹏师姐与薛守斌师兄，你们是我进组的引路人。感谢王振华师兄以及刘慧楚同学，谢谢你们在科研上给予我的帮助。感谢曾经的 08 微电子博士班全体成员：王浩南、杨云祥、云全新、张丽杰、诸葛菁、王川、黄欣、王世涛、王任鑫、唐伟、马盛林、崔健、樊雪娇、雷银花。尤其是我的室友王浩南，我会永远记住我们那些欢声笑语的日子。感谢张兴老师，安霞老师，蔡一茂老师，许晓燕老师，叶乐老师，傅云义老师，廖怀林老师，黎明老师，任黎明老师、刘军华老师、魏莉老师等等，感谢你们创造了如此棒的科研环境。感谢王润声大师兄，我对你的敬仰有如滔滔江水延绵不绝，又如黄河泛滥一发不可收拾。在我心目中，你就是一部具备完美中英语音库的百科全书，而且我一直期盼着你什么时候升级到神雕侠侣版本。还要感谢已经毕业的邝永变师姐，艾玉杰师兄，郭跃同学还有现在一起奋斗着的唐柏人同学、谭斐同学、黄英龙同学、武慧薇同学、侯中原同学、魏芹芹同学、魏子钧同学、李志强同学、刘宇超同学、邹积彬同学、樊捷闻同学、杨帆同学、胡保东同学、谭胜虎同学、林增明同学、林猛同学、刘长泽同学等等 SOI 小组的所有成员。你们让我感到这四年的生活如此的快乐与幸福。

最后，我要深切地感谢我的爱人，黄菊。谢谢你这么多年对我的支持、理解与包容。是你让我土了这么多年，而且还将要让我土一辈子，不仅如此，据说有可能还要我下辈子继续土下去。我还要把我最诚挚的谢意送给我的父母，谢谢你们对我的抚养与教育，并且对我永远的支持。也谢谢我的弟弟，给我带来的欢乐也祝福你人生的道路能一帆风顺。

此时我的耳边又想起了熟悉的歌曲，“眼看着海将我们分开……”，如果我有机会在答辩之后送出以上的致谢，那么不久我们真的会隔着一片海。爱迪生在 1877 年发明了留声机来记录岁月，其实听留声机也能记录岁月。因为每当你听一首歌的时候，你都会突然想起上一次听它时候的场景与心情，也同时会去畅想下一次听同一首歌的情形。这种感觉是怀念还是品味还是期盼，已经无法说清，只会让我感觉到我如此想念这逝去的日子，我会如此珍惜现在的分分秒秒，却又非常乐观积极地期盼明天。随着歌声渐入尾声，我发现了这四年绝尘而去，当我回头寻觅它的时候，只留下那一片象征幸福的尘“土”。

# 北京大学学位论文原创性声明和使用授权说明

## 原创性声明

本人郑重声明：所提交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文不含任何其他个人或集体已经发表或撰写过的作品或成果。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本声明的法律结果由本人承担。

论文作者签名： 日期：2012年6月1日



## 学位论文使用授权说明

(必须装订在提交学校图书馆的印刷本)

本人完全了解北京大学关于收集、保存、使用学位论文的规定，即：

- 按照学校要求提交学位论文的印刷本和电子版本；
- 学校有权保存学位论文的印刷本和电子版，并提供目录检索与阅览服务，在校园网上提供服务；
- 学校可以采用影印、缩印、数字化或其它复制手段保存论文；
- 因某种特殊原因需要延迟发布学位论文电子版，授权学校一年/两年/三年以后，在校园网上全文发布。

(保密论文在解密后遵守此规定)

论文作者签名： 导师签名：  
日期：2012年6月1日

