

分类号_____

密级_____

UDC _____

编号_____

中国科学院研究生院

博士学位论文

硅基液晶微显示驱动电路及其集成技术研究

王文博

指导教师 韩郑生 研究员 硕士 中国科学院微电子研究所

杜寰 副研究员 博士 中国科学院微电子研究所

申请学位级别 博士 学科专业名称 微电子学与固体电子学

论文提交日期 2008.5.20 论文答辩日期 2008.5.28

培养单位 中国科学院微电子研究所

学位授予单位 中国科学院研究生院

答辩委员会主席 _____

摘 要

硅基液晶 (Liquid Crystal on Silicon, LCoS) 是一种液晶显示器 (LCD) 的新兴技术, 它融合半导体 CMOS 集成电路与液晶显示两项技术的优势, 由制备有大规模驱动电路的硅基片和涂有透明导电层的玻璃基板共同封接成一个薄盒, 空腔中注入液晶而成。

LCoS 具有智能化、引线少、体积小、像素开口率高、分辨率高、光利用率高、显示方式多样化、易于实现彩色化、投资少、利于大批量生产等优点。同时又需要特殊的材料、工艺、设计、检测及配套等关键技术, 提高了 LCoS 微显示技术的难度。

项目开展初期硅基液晶材料工作电压居高不下, 因此选用 LDMOS 器件设计驱动电路。通过计算机模拟确定器件的结构和各项工艺条件, 在中国科学院微电子研究所标准 CMOS 工艺基础上, 开发出工作电压 40V 双栅氧 LDMOS 工艺, 制备出薄/厚栅氧、对称/非对称、N/PLDMOS 器件, 并对存在的问题进行了深入研究, 改进了双栅氧工艺的制备方法; 同时对热载流子效应进行评估, 并模拟分析了热载流子现象的成因, 提出了改善器件热载流子注入效应的有效手段。

对 LCoS 像素电路进行充分调研, 设计出高精度像素驱动电路。模拟结果显示像素电压在一帧的保持时间中, 高压幅值变化低于 1%, 低压幅值变化低于 2.6%, 很好满足了 LCoS 显示对电压恒定程度的要求, 提高显示亮度和对比度。

采用计数器+比较器+传输门的电路形式设计出简单易用的 D/A 转换电路, 精度高, 电压调节范围大, 易于调节电位水平以及不同灰度之间的电位差, 很好解决了液晶材料差异所引起的驱动电压不同、光电曲线非线性等技术问题。

LCoS 微显示技术要求制备遮光层阻挡外界强光入射。合理布局金属一和金属二以及镜面反射电极, 使得此三层金属互相交叠, 阻挡外界光源对集成电路的照射, 避免因此引起的电路失效。

LCoS 微显示技术要求像素区域具有高的表面平整度。在集成电路制造过程中, 每次介质层制备完成均施行一次 CMP 工艺, 确保镜面反射电极制备之前的像素表面的平整度; 利用银剥离工艺取代铝刻蚀工艺, 提高镜面反射率, 同时亦可

降低由于铝刻蚀工艺所形成的台阶高度；修改版图布局，使各层台阶交叠在像素之间的沟槽处，保证镜面反射电极的平整度，避免发生漫反射。

在芯片上制作大尺寸 U 型电极，通过导电胶连接 U 型电极和液晶盒 ITO 公共电极，方便 ITO 电压的施加。把灌装液晶之后的管芯粘在定制的 PCB 板上，用硅铝丝键合管芯上的 PAD 与 PCB 板上的焊盘，实现硅片的外引线连接。

分别键合 LCoS 驱动电路裸片和封装液晶的 LCoS 面板，开发测试专用 PCB 版施加测试向量，探针扎到像素区域反射镜面电极上测试电路功能，测得电路波形与设计基本相符，满足 LCoS 微显示驱动的要求。

VGA 信号输出到测试版上，经过测试电路转换处理后输入到 LCoS 微显示面板，实现静态图片和 QVGA 分辨率、16 级灰度、帧频 60Hz 的单色动态视频显示功能。

关键词：硅基液晶 LDMOS 微显示 驱动电路 热载流子效应 CMP D/A 转换 镜面反射电极

Abstract

Liquid Crystal on Silicon (LCoS) is one of the new liquid crystal display(LCD) technologies. It combines advantages of CMOS and liquid crystal technology, and composed of the silicon substrate with large-scale driver circuit and glass board with transparent conductive layer. These two parts are sealed into a thin box, and liquid crystal is filled in it.

LCoS is intelligent, and with less wire, small size, high pixel aperture ratio, high resolution, high-efficiency, diversification of the way, easy to implement color, low investment and conducive to the advantages of mass production. At the same time the need for special materials, technology, design, testing and matching, and other key technologies, enhance the LCoS micro-display technology more difficult.

LDMOS structure is chosen to drive the LCoS panel due to liquid crystal materials and its device structure. The device's structures and the process conditions are determined through process simulation. Dual-gate 40V LDMOS technology is developed independently. And we fabricated thin/thick gate oxide N/PLDMOS devices with symmetrical or asymmetrical drift region. Dual-gate oxide process is researched. And the hot-carrier effect is accurately measured. The cause of hot-carrier injection effect is revealed, and the effective means is put forwards to improve the hot-carrier effect.

We designed pixel driver circuit. The simulation results show that the high voltage decreases less than one percent, and the low voltage changes 2.6 percent within 5 ms. The results meet the voltage requirements of LCoS display very well, at the same time improve the display brightness and contrast.

Making use of counter, Comparators and transmission gate we design D/A converter, which has high accuracy, large arrange of voltage adjusting. It is easy to adjust voltage and voltage difference between the different gray levels. Technical issues such as difference driver voltage that different liquid crystal materials need and non-linear photoelectric curve are solved.

Shade layer is required in LCoS panel, and rational distribution of the metal one

and metal two and the mirror reflection electrode, makes this three layer of metals overlapped with each other, so that they can prevent the integrated circuits from irradiation of the lamp-house outside, thus avoiding circuit failure caused by illumination.

In integrated circuit manufacturing process, CMP process follows each dielectric layer process to ensure the plainness of the mirror reflection electrode surface before the formation of pixel electrode. Silver replace aluminum as the electrode, which improves mirror reflection rate of the surface, and low the step height caused by mirror electrode fabricating. We modify the layout to make all steps overlapped in the trench between pixels, to assure the flatness of the electrode surface in order to avoid diffusion.

Fabricate large U-shaped electrode on the chip, connect U-shaped electrode and liquid crystal box ITO electrode by conductive glue. Stick the chip which is filled with liquid crystal on the PCB board, bond PAD on the chip and the pad on PCB board with fine bonding wire.

Bond LCoS driver circuit die and LCoS panel filled with liquid crystal separately, develop test PCB board, probe reflective mirror electrode to verify circuit functions. Waveform measured accords with the design requirement. The test result meets the requirements of LCoS micro-display driver.

Output VGA signals to the test board, and then input into the LCoS micro-display panel after conversion, so that static images, and QVGA resolution, 16 Gray, the frame rate of 50Hz monochrome dynamic video signals are displayed.

Key words: LCoS, LDMOS, micro-display, driver circuit, hot carrier injection, CMP, D/A converter, mirror reflection electrode

目 录

第一章 研究背景	1
1.1 LCoS 显示技术简介.....	1
1.2 LCoS 显示技术特点.....	2
1.2.1 智能型显示器件	2
1.2.2 外部引线少, 连接简单及整机装配简便.....	3
1.2.3 体积更小, 外观更精巧及成本更低廉.....	3
1.2.4 像素开口率高, 分辨率高	3
1.2.5 光利用率高	4
1.2.6 显示方式多样化	5
1.2.7 易于实现彩色化	5
1.2.8 投资少, 利于大批量生产	5
1.3 LCoS 微显示关键技术.....	7
1.3.1 特殊的材料技术	7
1.3.2 特殊的工艺技术	8
1.3.3 特殊的设计技术	8
1.3.4 特殊的检测技术	9
1.3.5 特殊的配套技术	9
1.4 LCoS 应用领域.....	10
1.5 国内外发展状况	10
1.5.1 国内发展状况	10
1.5.2 国外发展状况	12
1.6 研究意义	12
1.7 内容安排	13

第二章 高压工艺的开发和高压器件的研制	15
2.1 LDMOS 结构与原理简介	15
2.1.1 LDMOS 结构简介.....	15
2.1.2 LDMOS 耐压原理简介.....	16
2.1.2.1 RESURF 技术 (Reduced Surface Field)	16
2.1.2.2 场板技术	18
2.1.2.3 漂移区长度的影响	19
2.1.2.4 漂移区浓度的影响	20
2.2 LDMOS 器件结构设计	21
2.2.1 像素电路的要求	21
2.2.2 高低压转换电路	22
2.3 LDMOS 工艺模拟与优化	25
2.3.1 栅氧厚度的确定	25
2.3.2 漂移区长度和注入剂量的模拟.....	25
2.3.3 沟道防穿通注入和沟道长度模拟和确定.....	26
2.3.4 场板长度的模拟和确定.....	27
2.3.5 器件的电学参数模拟.....	27
2.4 主要工艺步骤	28
2.5 器件测试、结果分析及改进	29
2.5.1 双边厚栅氧 NLD MOS (W/L=40/2.5)	29
2.5.1.1 实验结果	29
2.5.1.2 结果分析	30
2.5.1.3 方案改进	31
2.5.2 单边厚栅氧 PLD MOS (W/L=40/2.5)	32
2.5.2.1 实验结果	32
2.5.2.2 结果分析	33
2.5.2.3 方案改进	34
2.5.3 单边薄栅氧 NLD MOS (W/L=40/2.5)	37
2.5.3.1 实验结果	37
2.5.3.2 结果分析	39

2.5.3.3 方案改进	39
2.6 电路验证	45
2.7 本章小结	46
第三章 LCoS 微显示驱动电路的设计仿真	47
3.1 LCoS 微显示驱动电路的设计要求	47
3.2 LCoS 微显示驱动电路设计实现	49
3.2.1 LCoS 微显示驱动电路结构总览	49
3.2.2 子电路设计与仿真	51
3.2.2.1 移位寄存器、缓冲寄存器的实现	51
3.2.2.2 BUFFER 的实现	51
3.2.2.3 计数器的实现	52
3.2.2.4 行扫描电路的实现	53
3.2.2.5 D/A 转换的实现	54
3.2.3 像素电路的设计与仿真	57
3.2.3.1 LCoS 像素电路发展简介	57
3.2.3.2 LCoS 像素电路设计与仿真	60
3.3 版图设计	62
3.3.1 版图各层定义与规范	62
3.3.2 子电路版图设计	63
3.3.2.1 BUFFER 版图设计	63
3.3.2.2 移位寄存器、缓冲寄存器及比较器版图设计	64
3.3.2.3 计数器版图设计	65
3.3.2.4 像素电路版图设计	65
3.3.3 驱动电路版图总体设计	66
3.4 LCoS 平板显示驱动电路版图验证及后仿真	68
3.4.1 DRC、LVS 验证	68
3.4.2 后仿真	68
3.5 本章小结	70

第四章 LCOS 特殊技术研究	72
4.1 制作遮光层.....	72
4.2 像素表面平整度实现.....	75
4.2.1 工艺设计	75
4.2.2 实验结果	76
4.2.3 工艺改进方案	82
4.2.4 小结	84
4.3 像素表面蒸发形成镜面反射电极.....	84
4.4 硅片上的外引线连接.....	84
4.4.1 ITO 电极的引出与电压施加	84
4.4.2 管芯封装	86
4.5 本章小结	86
第五章 LCOS 驱动电路及显示面板测试	88
5.1 LCoS 微显示驱动芯片外观检测.....	88
5.2 LCoS 微显示驱动电路功能测试.....	89
5.3 LCoS 液晶微显示面板测试.....	93
5.3.1 明暗两级灰度测试.....	93
5.3.2 16 级灰度条测试	95
5.3.3 编程显示简单字符.....	96
5.3.4 连接计算机 VGA 接口, 实现静态图像显示	96
5.3.5 连接计算机 VGA 接口, 实现动态视频显示功能	98
5.4 本章小结	99
第六章 总结.....	100
6.1 主要研究成果.....	100

6.2 创新点	101
参考文献	102
在学期间发表论文情况	113
致 谢	114

第一章 研究背景*

1.1 LCoS 显示技术简介

2007年4月30日至5月1日，胡锦涛到河南省看望干部群众，在河南中光学集团公司南方辉煌图像信息技术有限公司看望一线职工时，胡锦涛主席对随行的国家发改委副主任朱之鑫说：“电视产业是个重要产业，在液晶平板技术上，我们缺乏核心技术，在LCoS方面要迎头赶上。我们要超前一点、看远一点，不要老跟在人家后头。我们要大力支持这种具有创新性技术的产业。”

胡锦涛主席关于发展LCoS投影产业的指示是符合我国发展大屏幕显示技术国情的。在现阶段，应该发展我国具有优势、投资少、见效快、在技术上能有自主创新的大屏幕显示产业。例如，LCoS投影产业既是高新科技产业，又是劳动密集型产业，全球没有一家投影显示设备企业的生产是自动化的，而劳动力在我国具有优势；加之我国光学零件制造能力很强；近年来我国微电子工业发展很快，为生产LCoS打下了坚实基础；同时我国介入LCoS投影产业较早，配套产业链已初步形成，各企业培养了一批技术人才。“没有重点，就没有政策”，只有将LCoS投影产业列为重点，才会制定出一系列发展政策^[1]。

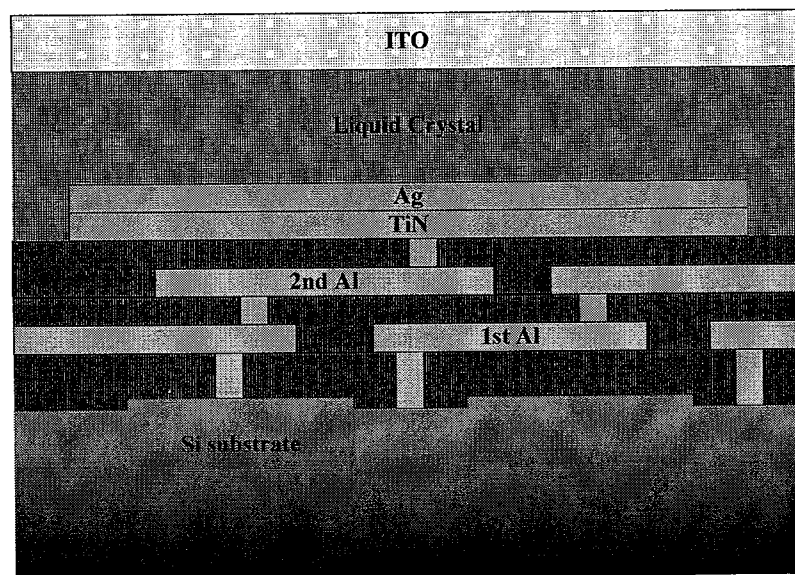


图 1-1 LCoS 像素结构图

*国家 973 重点基础研究发展计划资助项目(编号: 2003CB314705)

硅基液晶(Liquid Crystal on Silicon, LCoS)是一种液晶显示器(LCD)的新兴技术,是由 Aurora Systems 融合半导体 CMOS 集成电路与液晶两项技术的优势,于 2000 年开发出的一种高分辨率,低价格,反射式新型显示技术。它是一种将 LCD 直接制于单晶硅片上的新型液晶显示器件,其像素结构如图 1-1 所示。单晶硅片上可将 LCD 的有源矩阵薄膜晶体管(AMTFT),外部驱动电路及控制电路等全部制于上面,以此作为 LCD 的一块基板,与另一块作为公共电极的涂上透明导电层的玻璃基板共同封接成一个薄盒,注入液晶即可制成硅基液晶显示器件^[2,3]。

1.2 LCoS 显示技术特点

1.2.1 智能型显示器件

由于 LCoS 属于一种将液晶显示器件(LCD)与大规模集成电路(LSIC)制成一体的显示器件,甚至还可将信息处理系统集为一体,故使显示器件自身具有了某些智能功能,可将其称为智能型显示器件。智能型显示器与性能最先进的芯片相结合,不仅能处理极其复杂的运算,而且还能拥有与 PC 相类似的多种功能。不是 PC 胜似 PC,故智能型显示器将不再是电脑的外围设备而逐渐上升为主流设备,与电脑平起平坐。LCD 与 LSIC 是一对孪生兄弟。LCD 的轻,薄,小,微(是指功耗)的特点使显示器件的信息显示实现了个人化,而个人化的最终结果为 LSIC 提供了宽阔的市场发展前景。20 世纪 70 年代,以个人计算器的兴起为标志, LCD 与 LSIC 相互促进,飞速发展,逐步形成了全球的最大产业。90 年代, LCD 又与 LSIC 再度结合,实现了便携式电脑的飞速发展。LCD 与 LSIC 这一对双胞胎相互依存,相生相促。LCD 离开了 LSIC,其轻,薄,小,微的特点便无法实现,假如 LSIC 不能将其大量而丰富并及时处理的信息利用 LCD 及时而简便并准确地展示给人们的视觉,亦大大地埋没其性能。它们必须结合为一体方能充分发挥出作用。但遗憾的是,长期以来它们都是两个不同的产品。LCoS 最终将它们结合成一个产品了,LSIC 使 LCD 增加了智能的功能, LCD 使 LSIC 的智能功能更直接地展示给人们的视觉^[4]。

1.2.2 外部引线少，连接简单及整机装配简便

普通的 LCD 有大量密集的外部引线，如一个 1024×768 像素点阵的 LCD 便有 2592 条外部引线，给整机装配带来了诸多不便，而 LCoS 由于是将 LCD 制于单晶硅片上，LCD 的行、列引出线皆通过半导体工艺在硅片内与 IC 相连接，故留在外部的仅有数条数据控制线，时序线及电源线等。可利用通用连接端口与前级电路相连接，颇为简便。

1.2.3 体积更小，外观更精巧及成本更低廉

普通的 LCD 在制造过程中需在玻璃基板上进行光刻，制成像素。通常将像素制至 0.28mm 已属不易，因在每个像素上还需制出一个有源器件。但 LCoS 的像素是制在单晶硅片上，硅片采用 LSIC 的工艺进行加工，可将像素制至 $4\mu\text{m}$ 以下。故在一个仅零点数英寸的硅片上可制成 1024×768 像素，甚至 1920×1240 像素点阵密度的显示产品。显示的信息量密度增大了，而体积却减少了(达 $0.35 \sim 0.5$ 英寸)，材料费及成本自然便会大幅度地降低。LCoS 可将驱动 IC 等外部电路完全制于 CMOS 基板上，减少外部 IC 的数量及封装成本，并使体积减小。目前试产的 LCoS 显示屏的成本仅 50 美元。 $2.2\text{cm}/1280 \times 1024$ 像素点阵的 LCoS 芯片价格才 150 美元，较相同分辨率的 LCD 和数字微镜(DMD)低得多，将来还会有更大的降价空间。

1.2.4 像素开口率高，分辨率高

LCoS 解决了普通 TFT-LCD 像素开口率不高的技术难题。像素开口率是指显示像素上有效显示面积所占的比例大小。普通的 TFT-LCD 需在每个像素面积内划出一个区域来制成场效应三极管和电容，由于普通的 TFT-LCD 是在玻璃基板非晶硅膜层上制成的，非晶硅或多晶硅层上制作场效应管时，由于非晶硅或多晶硅的电子迁移率低，故场效应管等有源器件所占的面积较大，而 LCoS 采用单晶硅，其电子迁移率较非晶硅或多晶硅高得多，所以其面积可制成很小，因而其开口率可很高，达 96% 以上。由于 LCoS 的晶体管及驱动电路皆制于单晶硅基板内，位于反

射面之下，并不占用表面面积，故仅有像素间隙才占用开口面积，不像透射式 LCD 的 TFT 及导线皆占用开口面积，所以理论上无论是分辨率还是开口率，LCoS 都较透射式 LCD 高。由于 LCoS 采用半导体方式来控制分辨率，故分辨率很高，通常达到 SXGA 等级(1280×1024 像素)，较高的分辨率又导致较小的画面像素，使画质逼真自然。高解析度可随半导体制造过程快速实现微细化，易于提高解析度，尤其适用于便携式咨询设备。迄今，它的制造工艺技术已日臻成熟。

1.2.5 光利用率高

LCoS 可提高光的利用率。它与 LCD 投影显示器相类似，主要差别在于 LCoS 属反射式成像，故光利用率可达 40%以上，与数字光处理(DLP)相当，而透射式 LCD 仅有 3~10%而已。众所周知，LCD 属于被动式显示器件，通过调制外界环境光来实现显示的，普通的 LCD 在前后各装有一片偏光膜，LCD 便是通过调制偏振光的开关通断来实现显示的。偏光膜是通过吸收光来产生偏光的，故制成的 LCD 透光率很低，普通的 TFT-LCD 透光率仅百分之几，因此，为显示清晰，在 TFT-LCD 的背后需装上一个较强的背光源。该背光源颇耗电，从而将 TFT-LCD 低功耗的特点丧失殆尽。

LCoS 的背基板采用单晶硅基片，故 LCoS 大多制成反射式。硅片像素上又镀有光学反光膜，可将光全部反射出，从而大部分入射光皆能被利用。LCoS 的反射式成像光效高，不仅节电，符合绿色环保需求，而且还能给便携式 IT 产品提供高清晰度的大屏面。如手机，掌上电脑(PDA)等便携式产品上网一大障碍便是屏幕太小，分辨率不高，若采用近视器结构便可解决这一问题。用普通的 TFT-LCD 制成的透射式投影电视与用 LCoS 制成的反射式投影电视相比，用 LCoS 制成的反射式投影电视仅需 1/5 功耗的光源，便可获得普通透射式 TFT-LCD 投影电视亮数倍的显示效果。一个 400W 光源的 LCoS 反射式背透型 74 英寸高清晰度电视(HDTV)的亮度可优于 CRT 的亮度。这是目前其他任何投影电视所无法达到的水平。

1.2.6 显示方式多样化

由于 LCoS 的屏幕尺寸很小，故在实现显示时必须采用光学系统进行放大。

常用的方式有：

- (1) 投影放大式：可采用前投影显示方式，亦可采用背投影显示方式；
- (2) 直视型放大式：通常大多采用单目式；
- (3) 虚像放大式：有单目式和双目式两种，还可细分为割取外影式和叠加外景式。

将其用作电视时，通常皆采用投影放大方式。可制成 54~100 英寸的 HDTV，售价不会超过 1 万元，质量低于 10 kg。当然亦可将其制成背投式电脑终端的显示器。借助一个光学系统进行放大，可将图像投射至一个适当大的屏幕上，用于移动通信或可视电话，亦可按虚像放大式制成单目或双目眼罩式的随身看显示装置，使显示图像在人的眼前形成一个放大的虚拟图像。

1.2.7 易于实现彩色化

通常，LCD 的彩色化是采用微彩色膜方式，即将三个子像素制成红，绿，蓝三基色子像素，合成一个全色像素。这是一种空间混色法，占用了大量的像素空间，降低了分辨率。而 LCoS 则自身是黑白的，采用红，绿，蓝三基色光反复循环地照射，借助时间混色实现彩色显示之目的。由于 LCoS 的响应速度可达 μs 级，故此种实现彩色方法完全切实可行，而且大大地降低显示器件的成本，提高了显示的分辨率。

1.2.8 投资少，利于大批量生产

LCoS 的最大优势是可采用应用最为广泛且最价廉的 CMOS 制造工艺，无需额外增加投资，并可随半导体工艺流程的快速化与细微化，易于提高其分辨率。一条 TFT-LCD 生产线，由于需在玻璃基板上生成非晶硅或多晶硅，还需有制成微彩色膜等特殊而独特的工艺，故投资颇大，通常需数亿至十几亿美元，建厂周期

长,回收慢。而 LCoS 的产品结构决定了其无需单独对全程生产线进行投资,它可分别投资在半导体厂和液晶厂,其中半导体厂对工艺要求较低。而对液晶厂仅需投资定向,封盒,灌注及模块等几个工序即可。生产时可分别由半导体集成电路厂和液晶厂生产即可。故投资额度大为减少。由于半导体工艺流程速度快,产量大,液晶封盒,灌注工序少,因而生产批量大,效率高,再加上 LCoS 所用的材料少,其相对投资额自然要少得多^[5]。

1.2.9 LCoS 技术与其他技术的对比

LCoS 同其他高清显示技术相比,在制造成本和技术上都有其独特的优势,表 1-1 为不同技术 HDTV 制造成本对比,可见同规格 HDTV,采用 LCoS 技术的成本约为 LCD 技术成本的 1/3, PDP 技术的 1/2, LCoS 技术在制造成本上有较大的优势。

表 1-1 不同技术 HDTV 制造成本对比

类别	尺寸	制造成本/美元			
		2006Q1	2007Q1	2008Q1	2009Q1
LCD	57 in, 1080p	3 743	3 290	2 816	2 414
PDP	60-65 in, 1080p	4 203	2 744	2 104	1 674
LCoS	60 in, 1080p	1 273	1 114	950	868

表 1-2 为 LCoS 与其他投影技术优劣势对比, LCoS 技术具有解析度提升容易、可利用半导体制程大幅度降低面板生产成本、开口率提高、高解析度等优点,同时又存在对比度差、良率有待进一步提高等不足,有待于我们进一步改进^[6]。

表 1-2 与其他投影技术优劣势对比

技术 ↕	LCD ↕	DLP ↕	LCOS ↕
优势 ↕	<ul style="list-style-type: none"> . 中央与四周的亮度、焦距均一 ↓ . 制程技术较完整 ↓ . 具备量产技术 ↓ . 光学引擎结构较简单 ↕ 	<ul style="list-style-type: none"> ↕ . 反应速度快 ↓ . 易于轻型化 ↓ . 光利用率高 ↓ . 高解析度 ↕ 	<ul style="list-style-type: none"> . 解析度提升较容易 ↓ . 可利用半导体制程大幅降低面板生产成本 ↓ . 开口率提高 ↓ . 高解析度 ↕
劣势 ↕	<ul style="list-style-type: none"> . 光利用率低 ↓ . 开口率低 ↓ . 散热问题 ↓ . 黑白对比较差 ↓ . 动态显示受限 ↕ 	<ul style="list-style-type: none"> . 需高密度、小体积光源 ↕ . 制程复杂 ↕ . 良率低 ↕ . 仅 TI 提供晶片组 ↕ 	<ul style="list-style-type: none"> . 黑白对比较差 ↓ . 不利于轻型化 ↓ . 较高光学元件成本 ↓ . 影像对比较差 ↕
潜在威胁 ↕	面板来源受限於 SONY、EPSON ↕	TI 目前少量产品外卖 ↕	LCOS 的良率有待进一步提高 ↕

1.3 LCoS 微显示关键技术

综上所述，LCoS 是 LCD 与 LSIC 相结合的结晶产物。故它具有该两大行业的一般技术特征。但它的特殊结构与机理又决定其特殊的技术要求与特征。在制造 LCoS 过程中，除需原有的液晶和半导体常规成熟的工艺与技术外，还需如下一些的关键技术。

1.3.1 特殊的材料技术

(1) 特殊液晶混合配方材料

配制该材料是为了适用于投影电视光源投射时的温度，应能在 50℃ 较高温度下正常工作。为满足视频图像显示的需求，显示材料应有较快的响应速度。为能与仅有 1~2μm 的盒厚相匹配，显示材料应具有较高的介电常数等。

(2) 超常平整度、高导电率、高透射率及低膨胀系数的氧化铟锡 (ITO) 玻璃基板

LCoS 的液晶盒是由硅片和玻璃基板封接而成，故所用的玻璃基板的膨胀系数需接近于硅片的膨胀系数。由于盒厚仅 1~2μm，故表面应很平整，又由于光学和

驱动上的需求，其表面的 ITO 膜层应是高透射率及高导电率。

1.3.2 特殊的工艺技术

(1) 在制作硅片上

- ①需在单晶硅基片上制成 X-Y 像素矩阵下的有源矩阵；
- ②需在每个有源像点上制成一个要有一定一致性的补偿电容；
- ③制作遮光层；
- ④制作 1~2 μm 的盒厚衬垫；
- ⑤像素表面化学抛光；
- ⑥像素表面蒸镀反光层；
- ⑦硅片上的外引线连接。

(2) 在制作液晶盒上

- ①特殊零件的净化操作；
- ②1~2 μm 盒厚的控制与封接技术；
- ③理想的液晶分子定向工艺技术；
- ④薄盒的液晶灌注技术；
- ⑤显示模块制造工艺技术。

1.3.3 特殊的设计技术

特殊的设计技术包括液晶与 IC 的综合设计与制版。LCoS 技术是 LCD 技 CMOS 技术的有机结合，LCD 制备于制有大规模驱动电路的硅基片上，LCD 的显示也需要由驱动电路驱动，设计的时候必须考虑二者的相互配合问题，做电路仿真的时候需要计入 LCD 的负载，而设计制版的时候同样需要把液晶镜面反射电极的版图形式考虑在内。

1.3.4 特殊的检测技术

特殊的检测技术是控制 LCoS 质量之关键, LCoS 需有一些不同于普通 IC 和 LCD 的特殊电参数与光参数的检测技术。还需有专业测试分析软件, 其中包括数据回放软件、时域分析软件及频域分析软件。

1.3.5 特殊的配套技术

LCoS 的显示必需借助配套的光路系统方能实现。按不同的用途, 可有如下各种方式, 它们对 LCoS 至关重要。

(1) 投影系统(前投式或背投式)

长寿命、高效率、高色温及色还原性佳的光源;

起偏光与检偏光系统;

分色镜及循环性光扫描系统;

光路放大、消像差及消色差短焦距光学镜头;

高精密结构与加工;

降温与控温系统;

屏幕设计与制造技术。

(2) 随身看显示装置

将 LCoS 显示的小型图像借助光学装置放大成一个直视式大屏幕虚像, 是 LCoS 实现显示的另一种方式。该装置可制成比眼镜还小, 使用时可像眼镜一样戴在眼前, 经光学装置放大即可将 LCoS 的显示画面在人的眼前放大成一幅大屏幕虚像。可采用单目显示, 用于计算机、个人数字处理机及通信等产品上; 亦可采用双目显示, 制成眼罩式电视、立体电视及虚拟现实(VR)显示等。可将其简便地装入随身携带的包中, 便于随时拿出来观看。其光学装置的关键技术如下:

① 红、绿、蓝三基色光循环性扫描装置;

② 起偏与检偏装置;

③ 消色差与消像差短焦距光学镜头;

④ 微型精密结构的设计技术。

1.4 LCoS 应用领域

- 头盔式显示器 (Head- Mounted Display, HMD)
- 单兵信息系统
- 3D 个人影院
- 虚拟教练系统

- 大屏幕显示器
- 背投电视
- 投影机

- 消费类电子产品,
- 数码相机
- 可视移动电话
- 掌上电脑 (PDA)
- 需嵌入微型显示器的各种电子产品^[7,8]

1.5 国内外发展状况

1.5.1 国内发展状况

目前,我国LCoS投影设备产业已初步建立起一线多片的上、中、下游本土化和专业化配套的产业链。

1) 整机

(1) 深圳雅图数字视频技术有限公司:近期除收购了TCL与美国富可视合资的SMT公司,又兴建了年产量超过20万台的LCoS背投影机生产线。

(2) 河南南阳金光数字显示有限公司2006年成立,在短短的几个月里就建成年产3万台65inch 1920×1080p LCoS背投电视机中试线,并已试装成一批背投电视机供展示、检测等用,计划3年内产量达到50万台/年HDTV LCoS背投电视机。

(3) 江西鸿源数显科技有限公司是专业生产LCoS成像器件、光学引擎与整机的企业，该企业LCoS背投影机拼接墙提供给商务部等单位，并正在建设LCoS成像器件封装生产线，形成从成像器件到光学引擎到整机的一条龙生产基地。

(4) 山东威海齐威电子有限责任公司是生产大屏幕LCoS背投影机的企业。该企业将背投影机安装在汽车上整体出售，开辟了汽车移动背投影机市场，是推广背投影机应用的一个创新。其他如康佳、海信及海尔集团下辖的青岛海尔软件有限公司等一些大型电视机生产企业集团也在积极研发和生产LCoS投影设备。

2) 光学引擎

(1) 河南南阳中光学集团公司是南方集团公司控股公司，原专门生产光学元件，最近与美国Syntax—Brilliant合资成立南方辉煌公司，专门生产LCoS光学引擎。

(2) 深圳昂纳明达数字显示技术(深圳)有限公司生产三片LCoS光学引擎，已小批量提供产品给整机企业。

(3) 上海丽宝数码技术有限公司自主研发的三片LCoS光学引擎已装成背投电视，即将投入批量生产，并将建成专业化的LCoS光学引擎生产企业。

(4) 武汉长江光电有限公司是生产光学引擎元件的军工企业，利用自身有利条件进行研发，将成为生产LCoS光学引擎的骨干企业。

(5) 还有一些企业正在积极联系，准备投产LCoS光学引擎。

3) 超高压汞灯

目前投影机用的光源是超高压汞灯，大部分是飞利浦提供的，近来欧洲欧司朗供的灯泡也不少，我国一批本土化企业，经过几年努力也陆续投入生产，如：华夏立新有限公司、丹东新亚照明电器有限公司、苏州太仓杰恩宝照明器材有限公司等超高压汞灯生产企业都有较大进展。

4) 屏幕

(1) 前投影屏幕。国内生产的前投影屏幕大部分为中、低档产品，有一部分出口，厂家大部分是中小企业，如：无锡三石科工贸有限公司等。

(2) 背投影屏幕。国内生产企业有十多家，由于材料与工艺各不相同，不易规范化，且起步较晚，尽管价格低廉，但质量尚不能达到国外先进水平。较好的企业有：秦皇岛昌隆银幕有限公司、北京迪诺普光电技术有限公司、成都菲斯特科

技有限公司等。

5) 光学元件

我国有一批光学元器件生产企业，如成都奥晶科技有限责任公司、昆明高新爱克瑞光学技术有限公司、武汉长江光电有限公司、南阳利达光电股份有限公司、荆州精密光学元件厂等都在生产光学元件。

6) 反射镜

一些反射镜生产企业，如北京弘森创新真空镀膜技术有限公司、上海西贝光学材料有限公司等企业生产的反射镜不仅供应国内，有的还出口到国外。

7) 专用电路

一些专门生产驱动电路、电源、音视频电路的配套企业积极与整机企业配合。如东杰电器(上海)有限公司、德州三和电器有限公司、杭州码泰数码科技有限公司等。

8) 我国台湾地区台联电牵头成立了联电LCoS厂商联盟，着力开发LCoS产品以及周边设备^[9-11]。

1.5.2 国外发展状况

芯片厂商主要集中在 intel、Aurora Systems、Micro-display、ADS 等。英特尔、JVC、索尼、飞利浦等欧美、日、韩企业在 LCoS 技术上位于第一梯队，开发并量产了 LCoS 背投电视、投影机等产品^[12-15]。

其他高清显示技术比如 DLP 技术，其核心部件为数字微镜器件 (DMD)，此技术被德州仪器 (TI) 公司垄断，而在 LCD、PDP 等技术也均为外国企业所主导。LCoS 技术领域目前尚无绝对强势企业出现，有利于我们发展自己的数字高清技术。

1.6 研究意义

LCoS 融合半导体 CMOS 集成电路与液晶两项技术的优势，是一种高分辨率、低价格、反射式新型显示技术。代表了未来平板显示的一个重要方向。

LCoS 工艺复杂，成品率以及表面平坦化等一些工艺难题始终得不到解决，导

致量产困难, LCoS 技术出现了反覆, 一些 LCoS 联盟企业退出, 产业进入了低谷。

LCOS 投影技术尚未成熟, 此时介入 LCOS 技术的开发, 将有机会能与美、日、韩大厂一争高低, 可以摆脱在 LCD、DLP 投影技术上受制于人的情况^[16]。

1.7 内容安排

第一章主要为 LCoS 微显示技术简介, 介绍 LCoS 面板的基本结构以及技术特点, 提出 LCoS 制备的特殊要求和特殊技术, 介绍 LCoS 在世界和我国的发展状况, 分析其在我国的产业链结构, 阐明研究与发展 LCoS 技术所具有的意义。

第二章为高压工艺开发和高压器件的研究, 通过工艺模拟确定器件的结构和各项工艺条件, 在中国科学院微电子研究所 4 寸 CMOS 生产线上, 独立开发出工作电压 40V 双栅氧 LDMOS 工艺, 制备出薄栅氧/厚栅氧、对称/非对称、N/PLDMOS 器件, 并对存在的问题进行了深入研究, 改进了双栅氧工艺的制备方法, 同时对热载流子效应进行准确衡量, 并模拟分析了热载流子现象的成因, 提出了改善器件热载流子诸如效应的有效手段。

第三章为 LCoS 驱动电路的设计与仿真, 通过研究 LCoS 像素电路的发展历史, 设计出高精度像素驱动电路, 使像素电容上的电压在 5ms 的保持时间中, 高压幅值变化低于 1%, 低压幅值变化低于 2.6%, 很好满足了 LCoS 显示对电压恒定程度的要求, 提高显示亮度和对比度。

采用计数器+比较器+传输门的电路形式设计出简单易用的 DA 转换电路, 不仅精度高, 变化范围大, 而且调试过程中易于调节电压水平以及不同灰度之间的电压差, 很好满足了液晶材料不同所带来的驱动电压不同, 光电曲线非线性等技术问题。

第四章研究了 LCoS 面板制备中集成电路工艺与液晶工艺的接口问题, 在电路芯片上制备 U 型公共电极, 通过导电胶与 ITO 电极相连, 把 ITO 电极从芯片 PAD 引出。利用三次 CMP 的工艺确保芯片表面的平整度, 利用金属一与金属二两层金属同时实现布线与遮光层的作用, 减少了一次金属工艺。镜面反射电极一般用铝制备, 但是加工过程中, 如果铝暴露在空气中极易被氧化, 反射率降低, 并且铝

在光刻之前需覆盖一薄层 TiN，防止铝镜面反射影响光刻精度，铝表面附着一层低反射率的 TiN，同样降低了电极反射率。本文提出用银电极代替铝电极，用剥离工艺取代刻蚀工艺的方案，解决了铝容易氧化，反射率降低的问题。

第五章是对整个电路的测试。芯片粘在定制的 PCB 板上，用硅铝丝键合引出芯片 PAD 到 PCB 板，开发专用测试电路生成所需测试向量，对未封装液晶的芯片裸片和封装液晶的 LCoS 面板分别进行测试。

对于未封装液晶的裸片，采用探针扎芯片表面的方法，测的电路的功能完全正常，各项指标均达到了设计要求；对于已经封装液晶的 LCoS 面板成品，通过对测试板编程输出特定的测试向量，在 LCoS 面板上显示出各种图案和条纹，证明 LCoS 面板工作正常。计算机 VGA 信号经过测试版的处理与电平转换，输入到 LCoS 面板中，可显示计算机输出图像与视频信号，实现频率 50Hz、分辨率 320×240、16 级灰度单色动态视频显示功能。

第二章 高压工艺的开发和高压器件的研制

项目开展初期,用于 LCoS 显示的液晶材料开启电压基本都在 10V 以上,饱和电压最高达到 40V。LDMOS (Lateral Diffusion MOS) 器件由于其工作电压高,易于与标准 CMOS 工艺兼容,为了配合液晶材料 10-40V 的驱动电压,开发了工作电压 40V 的高压 LDMOS 工艺。

本章主要介绍了 LDMOS 结构以及耐压原理,从 RESURF 技术、场板技术、漂移区技术等几个方面介绍了提高 LDMOS 器件耐压特性的方法。根据 LCoS 驱动电路的要求,提出了所需 LDMOS 器件的结构,并利用 CAD 软件模拟其工艺过程,对其结构参数进行优化,确定了其工艺制备流程及各步骤条件。进行 LDMOS 器件的制备及测试分析,对各种结构器件的转移特性、输出特性及击穿特性进行测试,得出其电学参数,分析其测试结果,并跟模拟结果相比,分析其差异,并提出合理的解决方案。通过电路验证 LDMOS 高压工艺的合理性,利用 LCoS 驱动电路中用到的高低电压转换电路对 LDMOS 器件性能进行电路验证,分析实验结果,给出改进方案。

2.1 LDMOS 结构与原理简介

2.1.1 LDMOS 结构简介

LDMOS 器件结构如图 2-1 所示。LDMOS 是一种双扩散结构的高压器件,这项技术是在相同的源/漏区域注入两次,一次注入浓度较大(典型注入剂量为 $1 \times 10^{15} \text{ cm}^{-2}$)的砷(As),另一次注入浓度较小(典型剂量 $1 \times 10^{13} \text{ cm}^{-2}$)的硼(B)。注入之后再进行一次高温推进过程,由于硼扩散比砷快,所以在栅极边界下会沿着横向扩散更远(图中 P 阱),形成一个有浓度梯度的沟道,它的沟道长度由这两次横向扩散的距离之差决定。

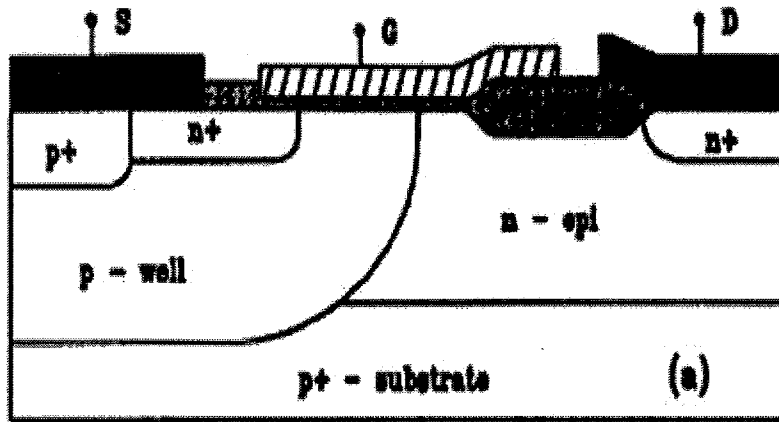


图 2-1 LDMOS 器件结构图

常规单漂移区 LDMOS 晶体管只在漏极增加一个漂移区，漂移区为轻掺杂的 n 型区域，当漏极施加较高电压时，轻掺杂的漂移区与沟道区域的界面处形成的 pn 结产生耗尽，随着漏极电压的增大，耗尽区由 pn 结界面附近逐渐向重掺杂的漏电极扩展，这样漏极所施加的较高的电压分散在一个延展了的区域中，由于漂移区对漏极高压的分压作用，在漏极施加相同的电压水平下，此结构的电场强度比常规不带漂移区的 MOS 结构相对降低。Si 材料所能承受的最大电场强度是确定的，要使漂移区内电场强度达到雪崩击穿发生时的程度，漏极可以施加比常规 NMOS 管耐压更高的电压，因此带有漂移区的漏极能承受较高的电压^[1]。

2.1.2 LDMOS 耐压原理简介

2.1.2.1 RESURF 技术 (Reduced Surface Field)

RESURF 技术就是利用轻掺杂的外延层制作器件，在器件达到击穿电压前漂移区耗尽，表面电场分布更加平坦，从而改善表面击穿特性，使击穿点从表面转移到体内。

在薄的外延层上获得高的击穿电压，其结构的基本原理由三个参数来决定：衬底杂质浓度，N 型漂移区（假设为均匀掺杂）杂质平均浓度和 N 型漂移区结深。

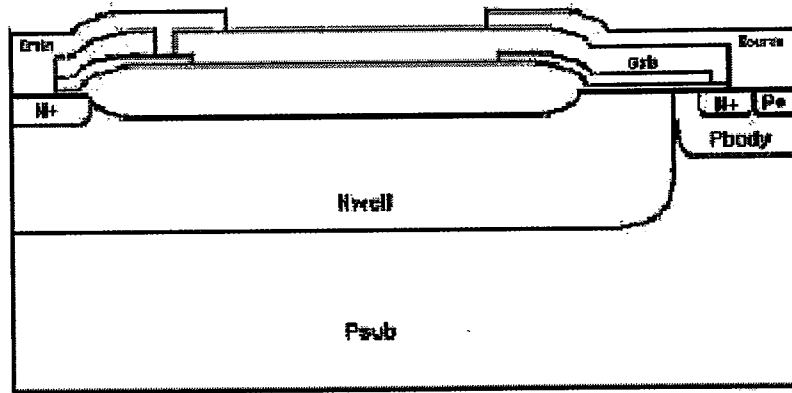


图 2-2 RESURF 结构图示

RESURF 结构由一个横向 P+/N 二极管 (Pbody/Nwell) 和一个纵向 P-/N 二极管 (Psub/Nwell) 构成, 其结构如图 2-2 所示。此横向二极管决定了器件电阻的特性, 此纵向二极管则提供了维持高耐压的空间电荷耗尽区。因此 Nwell 中积分电荷为 $Q_n = N_{well} \times X_{jwell}$, 当 Q_n 在一定范围内时, 纵向二极管在 Nwell 侧的耗尽区与横向二极管在 Nwell 侧的耗尽区连接, 使得横向二极管耗尽区宽度与没有 P 型衬底横向二极管的耗尽区宽度相比有大幅度的增加。因此在 P+/Nwell 结处的横向电场比一维二极管的明显降低, 从而可提高器件击穿电压。要求在横向电场达到临界击穿电场前 Nwell 漂移区全部耗尽, 此时 RESURF 结构获得最大击穿电压。

由于器件的表面曲率效应的影响, 使表面最大电场常大于体内的最大的电场, LDMOS 器件的耐压主要由表面击穿来决定。采用临界电场 E_c 来考虑高压器件的击穿问题。硅临界电场的定义是当器件层内有某个区域的电场达到该电场 E_c 值时, 就可认为器件发生击穿雪崩击穿。严格讲 E_c 不是一个常数, 它随杂质浓度而变化, 可近似地 (对硅而言) 定为 $2.2 \sim 3 \times 10^5 V/cm$ 之间。当认为临界电场为一常数, 如果器件的表面各点在器件击穿时都能同时达到临界电场, 此时器件耐压 V_B 可达最大值: $V_B = E_c \times L_d$, 其中 L_d 为漂移区长度, 如图 2-3A 所示; 实际情况是 PN 结的表面曲率效应影响使得器件表面的最大电场出现在漂移区的两端, 表面电场并不能均匀分布, 造成器件耐压难以达到理想情况, 器件的耐压受到限制, 此时器件的表面电场如图 2-3B 所示^{[2][3][4]}。

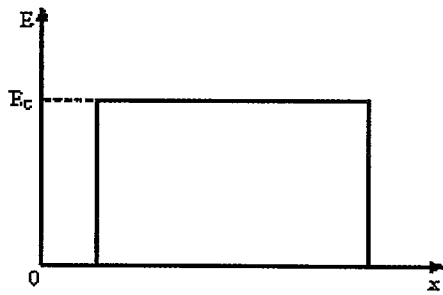


图 2-3A 理想情况表面电场分布

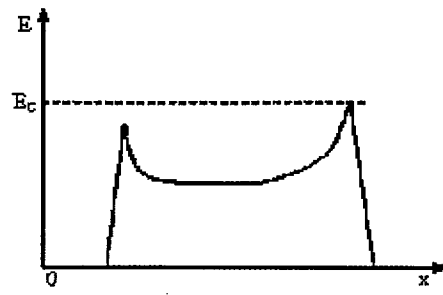
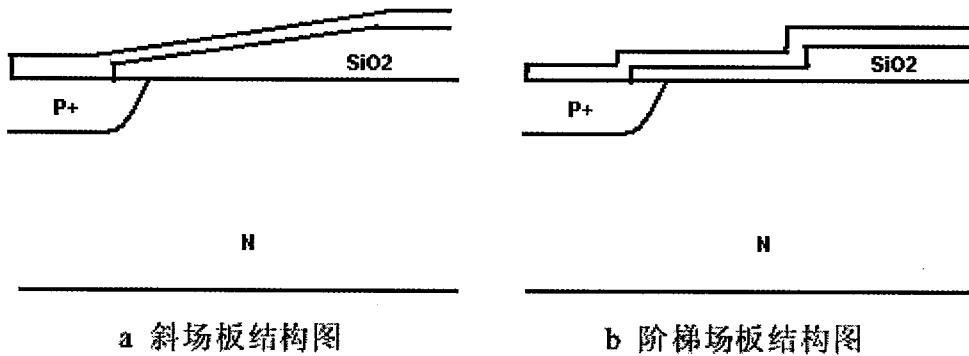


图 2-3B 实际表面电场分布

2.1.2.2 场板技术

场板技术是一种常用的提高 PN 结击穿电压的结终端技术, 结构如图 2-4 所示, 当 PN 结反偏时, 可显著降低其峰值电场, 避免其过早击穿, 改善器件表面电场分布, 提高器件表面击穿电压。

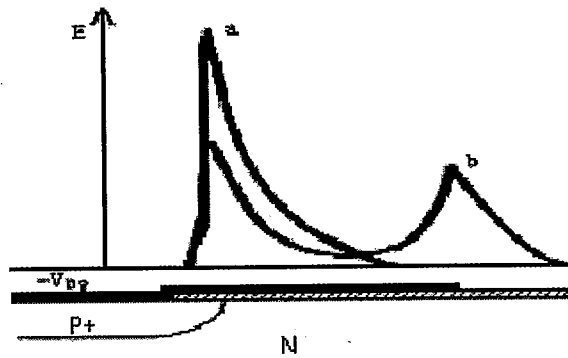


a 斜场板结构图

b 阶梯场板结构图

图 2-4 场板结构图

从图 2-5 可以看到, 没有场板时 PN 结的冶金界面处出现一高电场峰值, 很容易造成 PN 结击穿; 当应用了场板后, PN 结的电场峰值大大降低。因为有场板时, 一部分电力线从半导体的表面出发终止于场板, 相当于在结的表面引入了附加电荷, 附加电荷的电场方向和原来的空间离子电荷的电场方向相反, 降低了结的电场^[5]。

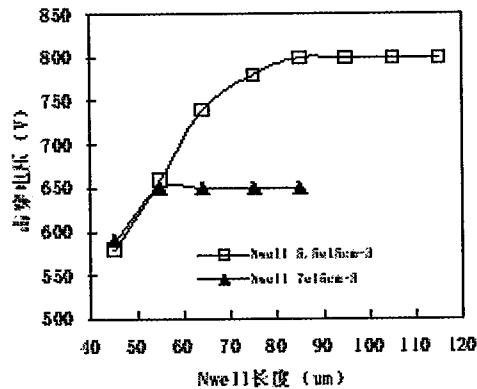


有、无场板结构时的表面电场图
(a 表示没有场板的电场；b 表示有场板时电场)

图 2-5 场板对表面电场的影响

2.1.2.3 漂移区长度的影响

漂移区长度是影响器件耐压特性的主要因素之一，图 2-6 给出了击穿电压与漂移区长度的关系曲线。



器件漂移区长度对击穿电压的影响
($X_{jNwell}=7\mu\text{m}$, $X_{jPcap}=1\mu\text{m}$, $N_{jcap}=1\times 10^{16}\text{cm}^{-3}$, $L_{dPcap}=33.5\mu\text{m}$)

图 2-6 击穿电压与漂移区长度关系曲线图

在漂移区长度较短时，器件的击穿电压随着漂移区长度的增长而增大，当漂移区长度较长时，器件的击穿电压不再随着漂移区的增长而增大，逐渐达到最大值。因为在漂移区长度较短时，器件的纵向耐压大于横向耐压，此时器件的击穿

电压由横向耐压决定，漂移区长度越长，横向耐压越高，所以击穿电压随漂移区长度的增长而增大。当漂移区长度增大到器件的横向耐压大于器件的纵向耐压时，器件的耐压由纵向耐压来决定，此时器件的击穿电压就不会随着漂移区长度的增长而增大^[6]。

2.1.2.4 漂移区浓度的影响

根据 RESURF 原理，器件的漂移区浓度必须满足一定的条件，当外加电压达到击穿电压时，漂移区全部耗尽，由整个漂移区承受外加电压，这样才能得到高的耐压。如果漂移区的浓度过低，当漏端电压增大时，漂移区过早耗尽，漏端的电力线集中，器件提早在漏端击穿，此时器件表面电场如图 2-7A 所示。如果漂移区的浓度过高，其难以耗尽，电力线在 Pbody/Nwell 结处集中，器件也会过早击穿，表面电场如图 2-7B 所示。当漂移区浓度达到优化值时，源端和漏端的电场分布较为均匀，器件的反向耐压达到最大，如图 2-7C 所示。

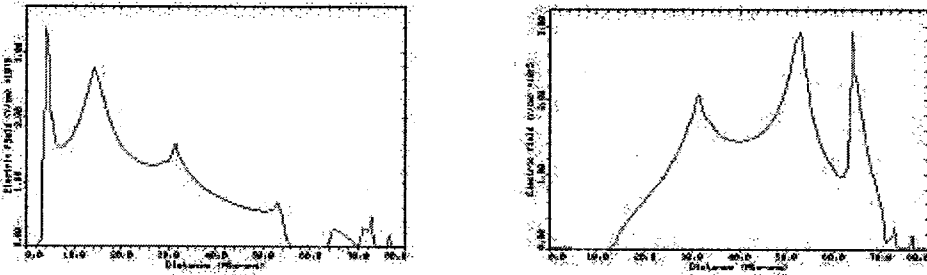


图 2-7A 漂移区浓度过低时的表面电场 图 2-7B 漂移区浓度过高时的表面电场

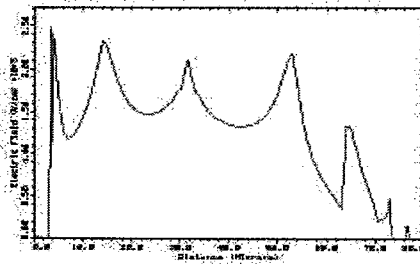


图 2-7C 漂移区浓度优化时的表面电场

图 2-7 不同漂移区浓度时表面的电场分布情况

2.2 LDMOS 器件结构设计

LCoS 驱动电路中，有两个地方需要用到高压器件，分别是像素电路和高压转换电路，在一个完整的 LCOS 驱动电路中需要用到多种常压和高压的 MOS 器件。下面分别分析二者对高压器件的要求及相关器件结构设计。

2.2.1 像素电路的要求

图 2-8 是 LCOS 像素点的驱动电路简图，其中的电容 C 代表所驱动的液晶像素电容，M 为高压传输管。Write 为高电平时，M 管导通，电平数据信号通过 M 管传输到像素电容 C 上；Write 为低时，M 管截止，电容 C 上电平保持不变。驱动液晶实现灰度显示功能的 Data 信号为高压信号，则相应传输管 M 管的栅电压，即 Write 信号也必须为高压信号。当电容被充电，NMOS 的栅源漏各电极均为高压状态，栅关闭后要求源极保持高压，所以要求传输管 M 三极均能耐高压。为了保证液晶点发光的稳定性和精确度，在栅关闭时源漏之间的漏电要足够的小，使得栅极为低电压的时候，源漏两极可以有效的关断，保持源极所驱动的电容器上的电压的稳定。在 LCOS 驱动电路中，要求单个传输管源漏之间的泄漏电流应低于 $1 \times 10^{-10} A$ [7][8][9]。

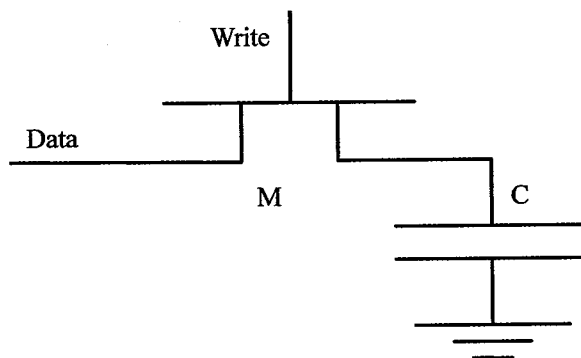


图 2-8 单像素 LCOS 驱动电路图

根据像素电路的要求，采用厚栅氧双边对称 NLDMOS 器件作为传输管。其结

构如图 2-9 所示。此结构具有对称的漂移区和较厚的栅氧，源栅漏三级均可承受高压电平信号，可以作为高压传输管使用。

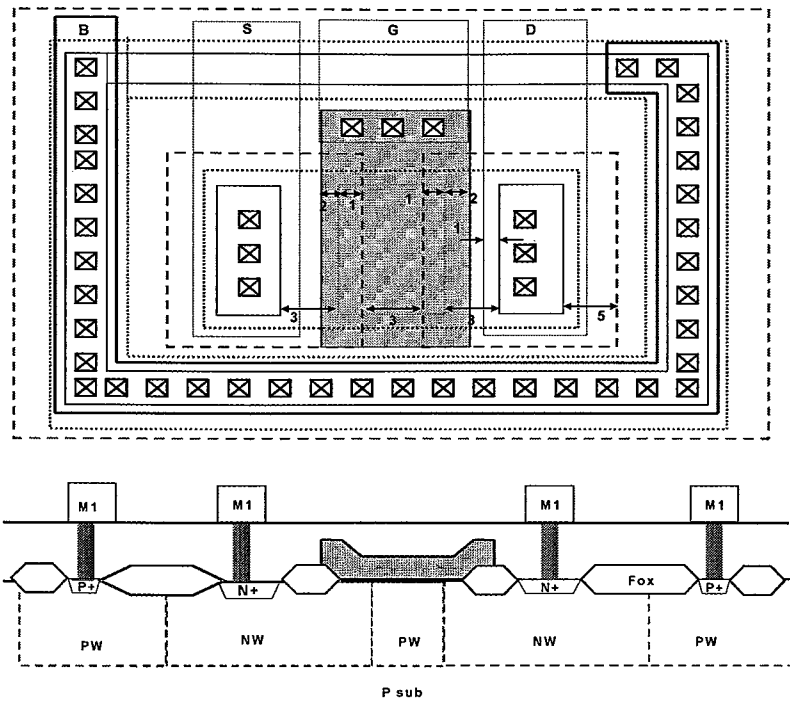


图 2-9 厚栅氧双边对称 NLD MOS 结构图

2.2.2 高低压转换电路

LCoS 驱动外围控制电路为标准 5V CMOS 电路，为了控制高压传输门的状态，需要利用高低电平转换电路把 5V 信号转换成 40V 高压信号。本文采用如图 2-10 所示电路实现高低电压转换。

图 2-10 中，HVP1、HVP2、HVP3 为高压 PLDMOS 管，HVN1、HVN2、HVN3 为高压 NLD MOS 管。IN 输入端为低压逻辑控制信号，VDDH 为 4V 高压控制电源。此电路采用交叉耦合电平位移形式，可以实现超低功耗，电路转换速度更快。

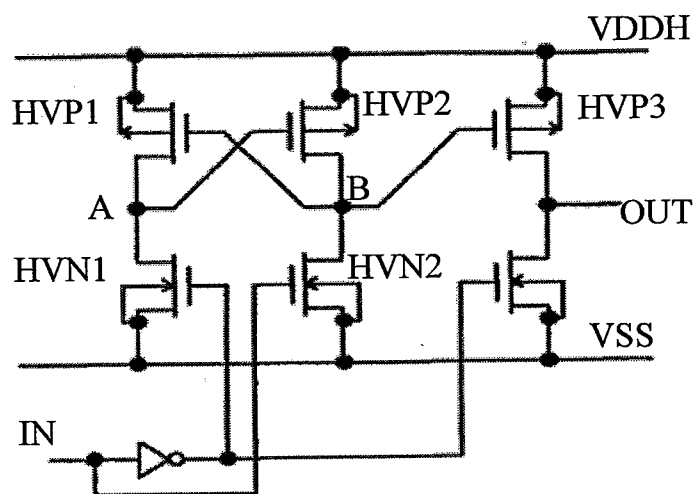


图 2-10 高低电平转换电路

当IN端输入低电平时，HVN1，HVN3管导通，HVN2管截止，HVN1管的导通导致A点电位下拉，A点电位的下拉又促使HVP2管对于结点B充电，使B点电位上升，B点电位的上升又促使HVP1和HVP3趋向截止。这样形成一个正反馈过程，最终使HVP1和HVP3截止，HVP2导通。同时HVN3的导通把输出端电位下拉，最后输出低电平。当In端输入高电平时，HVN2导通，HVN1，HVN3截止，HVN2的导通将B点电位下拉，而B点电位的下拉使HVP1管对A点充电，同时使HVP3对输出端充电，从而使A点和OUT电位上升，而A点电位的上升又促使HVP2趋向截止，最终使HVP2截止，HVP1，HVP3导通，A点及输出端电位上升为高电平VDDH。从而实现低、高电平的转换功能。

根据电路工作过程，HVN源接地，栅接5V控制信号，漏接高压信号，则HVN管应选择薄栅氧非对称单边NLDMOS器件，其结构如图2-11所示；HVP源端接高压电源，栅与漏均接高压信号，则HVP管应选择厚栅氧非对称单边LDMOS器件，其结构如图2-12所示^{[10][11]}。

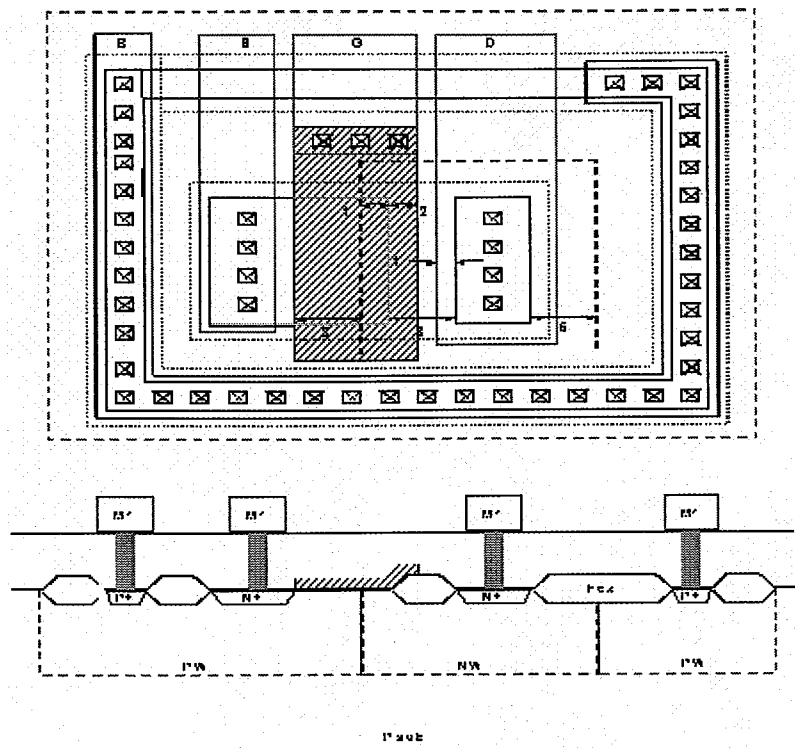


图 2-11 薄栅氧单边非对称 NLD MOS 结构图

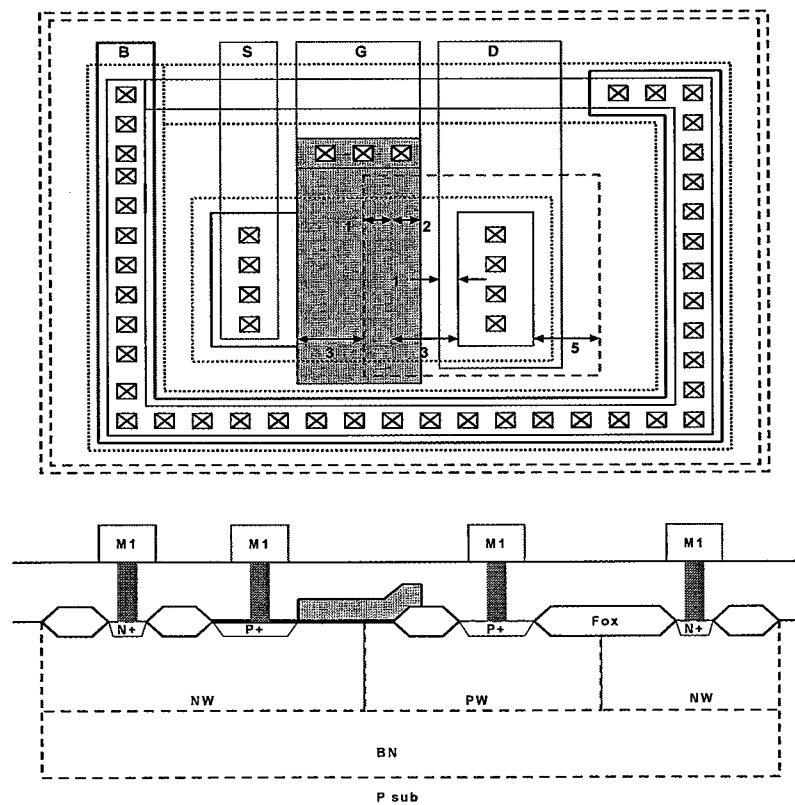


图 2-12 厚栅氧单边非对称 PLD MOS 结构图

2.3 LDMOS 工艺模拟与优化

用作高压传输管的 LDMOS 器件的关键参数为击穿电压和漏电流，影响击穿电压的因素主要有漂移区注入剂量、漂移区结深、漂移区长度、场板长度、沟道防穿通注入剂量、沟道长度等因素，我们通过工艺模拟和器件仿真确定这些参数。

2.3.1 栅氧厚度的确定

本节所论述的高压 NLD MOS 器件，由于其栅极同样需要施加较高的电压，为了确保晶体管能正常工作，栅氧不被击穿，应该按照比例提高栅氧的厚度。SiO₂ 的耐压大概在 $\sim 5\text{MV/cm}$ ，具体数值还依赖于栅氧生长的致密度和缺陷密度。本文中论述的高压 MOS 管工作时栅压承受的电压为 $30\sim 40\text{V}$ ，为了确保栅氧的耐压，以及生长较厚栅氧所面临的较大缺陷密度可能，我们必须考虑留出足够的余量，来确保栅氧的耐压能力，在此定为 1200\AA 。

2.3.2 漂移区长度和注入剂量的模拟

在其他条件相同的条件下（沟道长度 $2\mu\text{m}$ ，沟道防穿通注入 $10^{13}\mu\text{m}^{-2}$ ，漂移区长度 $4\mu\text{m}$ ，场板长度 $1.5\mu\text{m}$ ），我们模拟了漂移区注入剂量对击穿电压的影响，如图 2-13 所示。

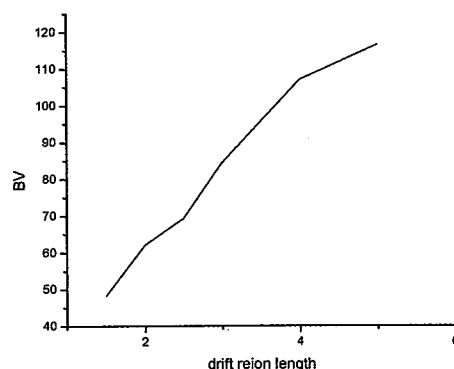
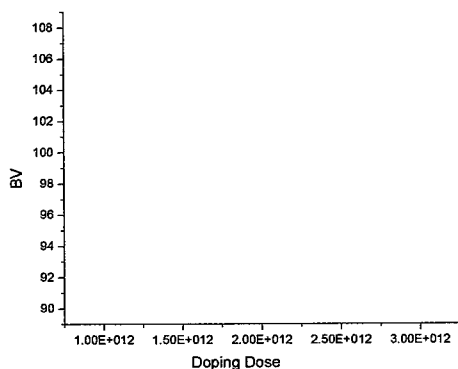


图 2-13 击穿电压 V_b 与漂移区注入剂量关系曲线 图 2-14 击穿电压 V_b 与漂移区长度关系曲线

我们看出击穿电压开始时随漂移区的注入剂量增大而增大，在注入剂量为 $1.8E12$ 的时击穿电压达到最大值，然后随着注入剂量的增大击穿电压反而降低。因此我们采用击穿电压最大时注入剂量的值 $1.8E12$ 。漂移区的结深对击穿电压也有一定影响，但是为了工艺步骤的简化，我们把漂移区注入安排在在低压阱推进和 LOCOS 之间，漂移区杂质扩散的热预算已经确定，所以结深已经确定，我们无法进行调整。

漂移区的长度直接影响了击穿电压的高低，应该选取满足我们要求的击穿电压的最小漂移区长度，可以节省芯片面积，降低寄生效应，增大电路的集成度。对于不同的漂移区长度，我们同样在条件相同的情况下（沟道长度 $2\mu\text{m}$ ，防穿通注入 $1E13$ ，漂移区注入 $1.8E12$ ，场板长度 $1.5\mu\text{m}$ ）做了模拟，击穿电压随着漂移区长度的增加而增加，如图 2-14。LCOS 驱动电路的工作电压为 40V ，我们选择击穿电压为 60V ，即漂移区长度选择 $2\mu\text{m}$ ，保险起见，留出 $0.5\mu\text{m}$ 的余量，取为 $2.5\mu\text{m}$ 。

2.3.3 沟道防穿通注入和沟道长度模拟和确定

当沟道长度较小，沟道注入浓度较低的时候，器件的击穿往往不是由于高电场强度引起的雪崩击穿，而是源漏 pn 结耗尽区展宽，重合到了一起，引起源漏之间的穿通。为了分析这个问题，我们做了相同情况下（沟道长度 $2\mu\text{m}$ ，漂移区注入 $1.8 \times 10^{12} \mu\text{m}^{-2}$ ，漂移区长度 $4\mu\text{m}$ ，场板长度 $1.5\mu\text{m}$ ），不同沟道防穿通注入剂量情况下的击穿电压的研究。在其他条件确定的情况下击穿电压与沟道防穿通注入剂量的关系如图所示。在沟道防穿通注入剂量达到 $5 \times 10^{12} \text{cm}^{-2}$ 的时候，其击穿电压达到最大值 110V ，如图 2-15 所示。在此注入剂量下，对其开启电压模拟得到图 2-16，其开启电压为 1.3V ，对于工作电压为 40V 的高压 NMOS 管，此值为正常值，因此我们采用沟道防穿通注入剂量为 $5 \times 10^{12} \text{cm}^{-2}$ 。

同样，沟道长度对于穿通电压同样有影响，沟道长度越长，其穿通电压就越大。对不同的沟道长度的情况进行模拟，发现在沟道较长，大于 $2\mu\text{m}$ 的时候，击穿电压和沟道长度基本没有关系，此时发生的是雪崩击穿；但是在沟道小于 $1.5\mu\text{m}$ 的时候，击穿电压随沟道长度的减小迅速下降，经模拟发现漂移区杂质扩散到沟道区，使得沟道有效掺杂浓度明显下降，因此我们采用沟道长度为 $1.5\mu\text{m}$ 。

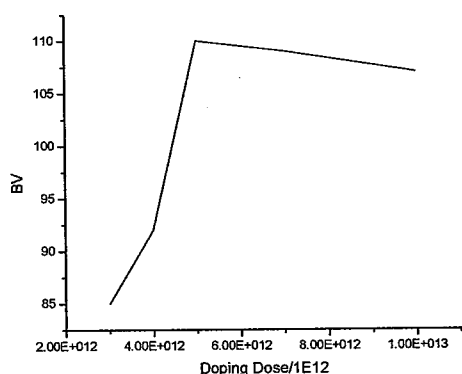


图 2-15 V_b 与沟道防穿通注入剂量
关系曲线

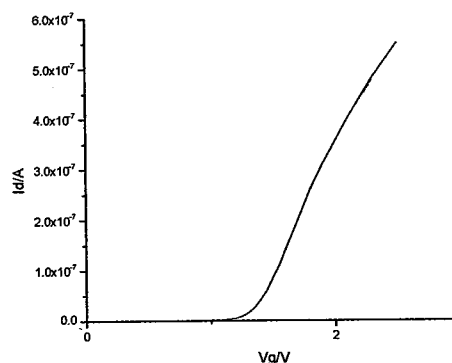


图 2-16 防穿通注入为 $5 \times 10^{12} \text{ cm}^{-2}$ 时转移
特性曲线

2.3.4 场板长度的模拟和确定

而在相同条件下，随着场板长度的增大，击穿电压也会有一定的增长，因此我们尽可能长的增加场板的长度，但是应该避免场板太接近源漏，反而在场板和源漏间发生击穿。在此我们设计场板长度为 $1 \mu\text{m}$ 。

2.3.5 器件的电学参数模拟

模拟其漏电情况得到图 2-17。源漏电压为 40V 的情况下，其漏电为 $1.25 \times 10^{-12} \text{ A}/\mu\text{m}$ ，如果设计沟道宽度为 $30 \mu\text{m}$ ，则单管漏电为 $3.75 \times 10^{-11} \text{ A}$ ，可以满足 LCoS 驱动管的要求。

最后模拟其输出特性，图 2-18 给出了栅压为 $0 \sim 30\text{V}$ 、间隔 10V 情况下的一组输出曲线，可知在栅压和源漏电压均为 30V 时，器件的驱动电流为 $\sim 1.8 \times 10^{-4} \text{ A}/\mu\text{m}$ ，如果设计沟道宽度为 $30 \mu\text{m}$ ，则单管驱动电流为 5.4mA ，有足够的驱动能力驱动 LCOS 像素点。栅压 30V 情况下，曲线发生上翘，此为短沟道效应所致，增加沟道防穿通注入可以减小上翘。

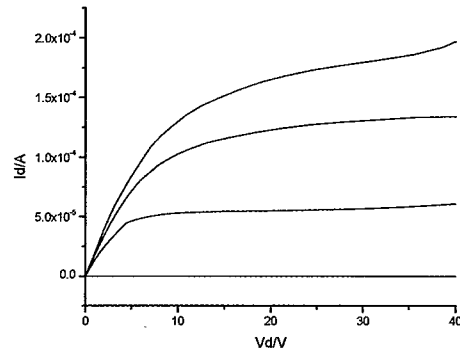
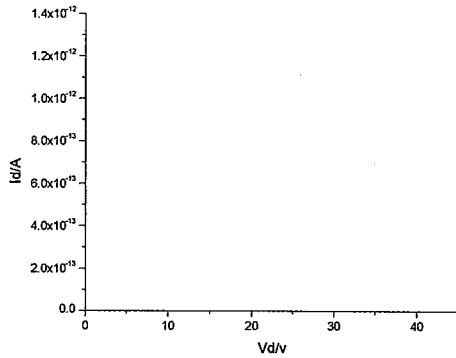


图 2-17 源漏漏电流与源漏电压的关系曲线 图 2-18 不同栅压下输出特性曲线

经过 Tsuprem4 工艺模拟和 medici 器件模拟，我们得出了此高压双漂移区 NLD MOS 器件的各种结构参数和掺杂参数，模拟出器件的性能参数。设计过程中我们经过优化组合，采用的漂移区注入剂量为 $1.8 \times 10^{12} \mu\text{m}^{-2}$ ，沟道防穿通注入为 $5 \times 10^{12} \text{cm}^{-2}$ ，栅氧厚度 1200Å，漂移区长度 $2.5 \mu\text{m}$ ，沟道长度 $1.5 \mu\text{m}$ ，漂移区结深 $1.1 \mu\text{m}$ ，场板长度 $1 \mu\text{m}$ ，其他与常规 MOS 工艺兼容，取值标准参照标准 CMOS 工艺参数设计，来获得和常规低压 CMOS 工艺的兼容^{[12][13]}。

2.4 主要工艺步骤

结合中国科学院微电子研究所 0.8μm 4 英寸 5V 标准 CMOS 工艺流程，依据工艺模拟结果，设计出以下 LDMOS 工艺步骤。

- 深 N 阱注入和推进
- 高压 N 阱、P 阱注入和推进
- 低压阱的形成
- 场注
- LOCOS 隔离
- 调高压管开启
- 厚栅氧化
- 一次多晶淀积和光刻刻蚀
- 调低压管开启

- 薄栅氧化
- 二次多晶淀积和光刻刻蚀
- LDD 注入及源漏注入
- 形成互联
- Pad

针对漏栅源三端都要求高压的情况，我们在源漏两端均增加漂移区，并且采用厚栅氧的工艺，实现了这个要求。相对于常规 NMOS 管，我们所设计的双漂移区厚栅氧高压 NMOS 管需要额外增加三块掩模版，分别为漂移区注入掩模、厚栅氧刻蚀掩模和沟道防穿透注入掩模。我们设计的工艺步骤要点如下：防穿透注入在低压阱推进之前完成，然后和低压阱一起推进；低压阱推进之后做漂移区的杂质注入，然后再做 LOCOS；在高低压器件集成的情况下，栅氧顺序为先长厚栅氧，后长薄栅氧^{[14][15][16]}。

2.5 器件测试、结果分析及改进

2.5.1 双边厚栅氧 NLD MOS (W/L=40/2.5)

2.5.1.1 实验结果

双边厚栅氧 NLD MOS 器件源和衬底接地，漏端施加 0.1V 电压，栅极电压由 -2V 到 2V 作电压扫描，测得其转移特性曲线如图 2-19 所示，由转移特性曲线求得其开启电压为 0.2V。

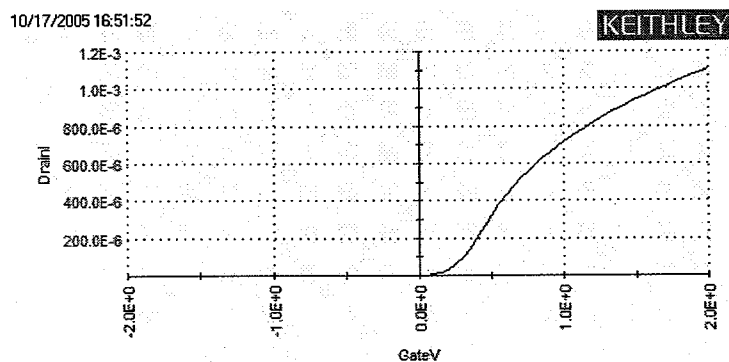


图 2-19 双边厚栅氧 NLD MOS 转移特性曲线

双边厚栅氧 NLDMOS 器件源和衬底接地，栅极分别施加 0V、10V、20V、30V、40V 台阶信号，漏端施加 0V 到 40V 电压扫描信号，测得其输出特性曲线如图 2-20 所示，其中饱和区电流无上翘，很好抑制了短沟道效应。栅压、漏压均为 40V 的条件下，测得其最大驱动电流为 10mA。

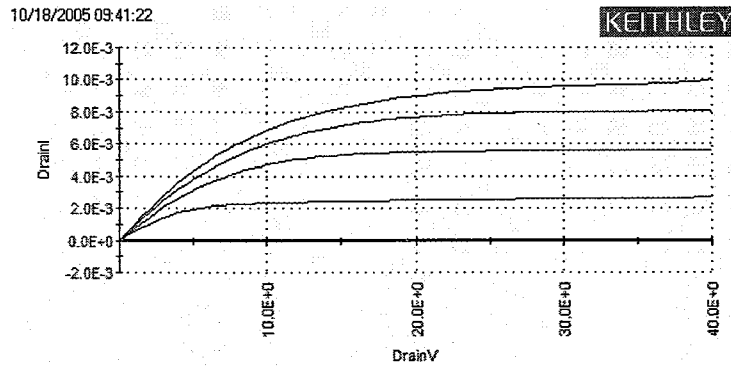


图 2-20 双边厚栅氧 NLDMOS 输出特性曲线

双边厚栅氧 NLDMOS 器件源、栅及衬底均接地，漏极施加 0V 到 80V 扫描电压信号，测得其击穿特性曲线如图 2-21 所示。由曲线得器件的源漏击穿电压为 69V。器件源漏发生击穿后，测试仪器限流，所以最大电流为仪器设定的最大电流 10mA。而栅压为 0V，漏压为 40V 情况下源漏泄漏电流达到 0.2mA。

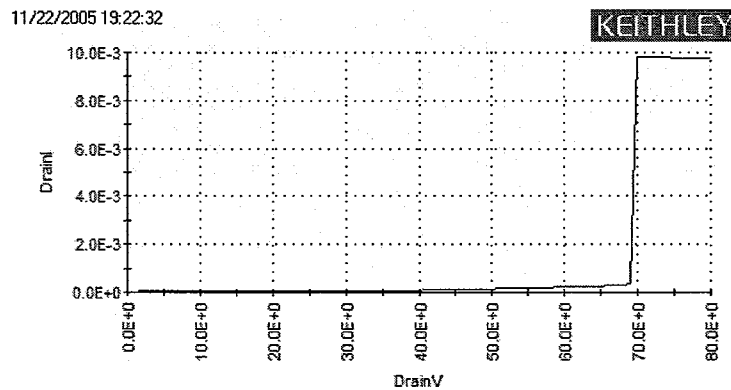


图 2-21 双边厚栅氧 NLDMOS 击穿特性曲线

2.5.1.2 结果分析

由测试得到栅压与漏压均为 40V 的情况下测得最大驱动电流为 10mA，而且

饱和区电流较平，没有出现明显上翘，证明很好的抑制了短沟道效应；测得器件源漏击穿电压为 69V，与模拟结果较吻合，很好的满足器件作为高压驱动电路的击穿电压要求。

测得双边厚栅氧 NLD MOS 器件的开启电压只有 0.2V，与设计值有较大偏差；同时在栅压 0V，漏压 40V 的情况下，源漏出现较大的泄漏电流，对在 LCoS 驱动电路中作为传输管的应用带来了致命影响。

本工艺所涉及的热过程非常多，对沟道区掺杂浓度的控制难度加大，导致模拟结果与实验结果出现较大偏差，适当增加沟道区杂质注入剂量，则可提高器件开启电压到适当值。

较大的源漏泄漏电流一方面与过低的开启电压有关系，另一方面也受到版图布局的影响。如图 2-22 所示，版图布局不合理，导致沟道宽度方向的两侧掺杂浓度过低而过早开启，出现源漏泄漏电流^[18-22]。

2.5.1.3 方案改进

(1) 调整沟道注入剂量，调节开启电压到适当值。

(2) 由图 2-22 可以看到改进前 P 阱并没有覆盖沟道两端，在栅上加高电压的时候，沟道两端由于衬底浓度较低，产生寄生沟道，发生漏电。改进后的厚栅氧双漂移区对称 NLD MOS 高压 N 阱 P 阱形状如图 2-23 所示，沟道两端被高压 N 阱隔断，避免了沟道两端寄生管的导通。

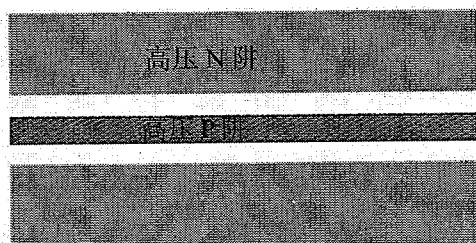


图 2-22 厚栅氧双漂移区对称 NLD MOS 高压 N 阱和 P 阱的形状示意

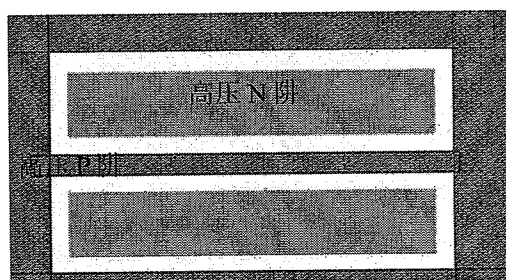


图 2-23 改进后的厚栅氧双漂移区对称 NLD MOS 高压 N 阱 P 阱形状

2.5.2 单边厚栅氧 PLDMOS (W/L=40/2.5)

2.5.2.1 实验结果

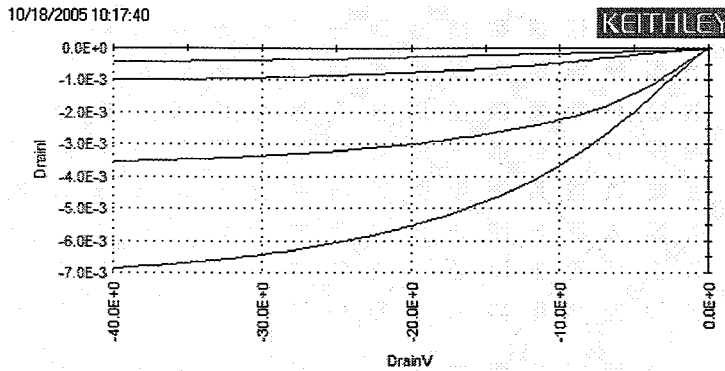


图 2-24 单边厚栅氧 PLDMOS 输出特性曲线

单边厚栅氧 PLDMOS 器件源和衬底施加 0V 电压，栅极分别施加 0V、-10V、-20V、-30V、-40V 台阶信号，漏端施加 0V 到-40V 电压扫描信号，测得其输出特性曲线如图 2-24 所示，栅压、漏压均为-40V 的条件下，测得其最大驱动电流为 -6.9mA。

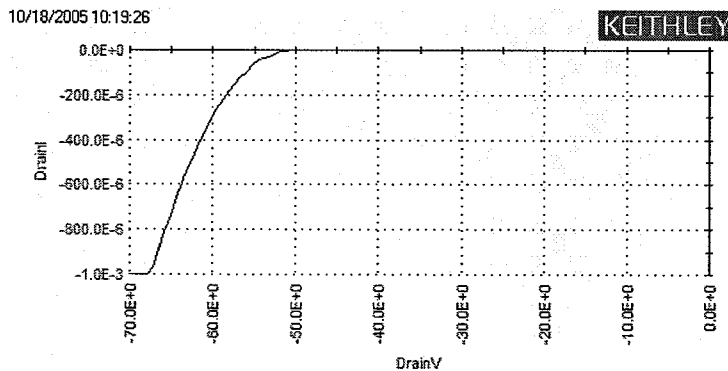


图 2-25 单边厚栅氧 PLDMOS 栅耐压特性曲线

栅端、源端施加 0V 电压，漏端施加 0V 到-40V 的扫描电压，测得如图 2-25 所示的单边厚栅氧 PLDMOS 栅耐压特性曲线。由测试结果可见，单边厚栅氧 PLDMOS (W/L=40/2.5) 击穿电压为 52V，大于 52V 的情况下器件漏电增大，发生非正常击穿。

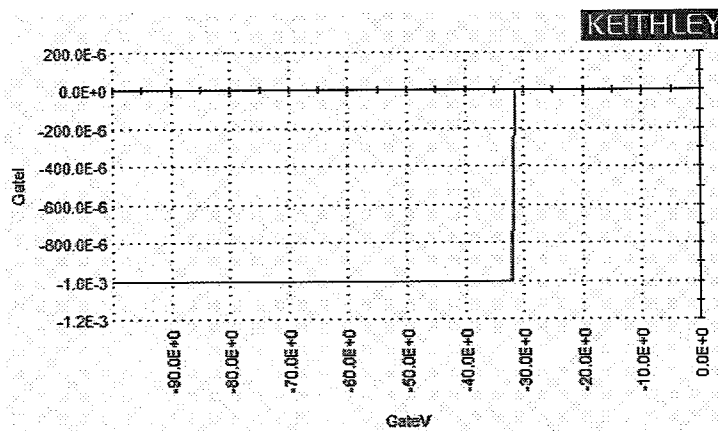


图 2-26 单边厚栅氧 PLDMOS 栅氧耐压特性曲线

源漏和衬底均施加 0V 电压，栅极施加 0V 到-100V 的扫描电压，测得单边厚栅氧 PLDMOS 栅氧耐压特性曲线如图 2-26 所示，栅电流在栅压扫描到-32V 的时候急剧增大，栅氧击穿。

2.5.2.2 结果分析

设计栅氧耐压能力为大于 70V，实测得到部分单管栅氧耐压为 32V 左右，耐压能力远低于预期。从工艺流程和器件结构来分析栅压耐压能力差的原因。

本双栅氧工艺所采用的流程如图 2-27 所示。

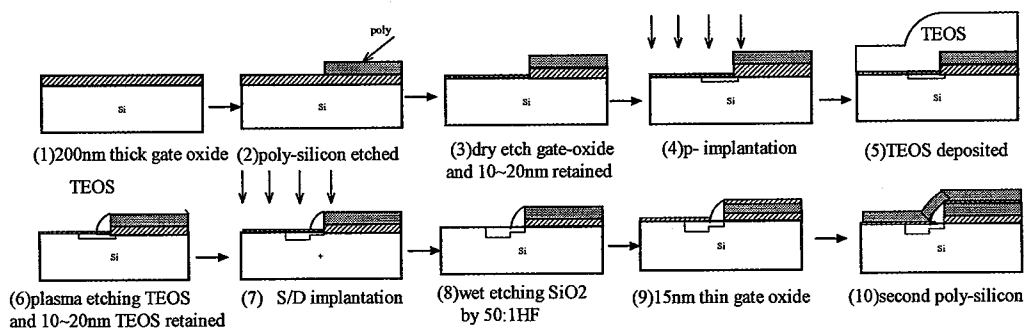


图 2-27 双栅氧刻蚀方法及相关工艺的流程图

其主要流程为：生长 200nm 厚栅氧—淀积注入并刻蚀多晶硅—干法刻蚀厚栅氧不彻底，剩余 10~20nm 氧化层—P-注入—淀积 TEOS—等离子体刻蚀 TEOS，并保留 10-20nm—源漏注入—50:1HF 漂掉剩余氧化层—干法热生长 15nm 薄栅氧—

形成二次多晶。

经过观察分析，发现步骤（8）中湿法腐蚀破坏了侧墙的形状，栅氧边缘出现多晶刻蚀残留的情况，即湿法刻蚀使侧墙的形状变得不完整，失去了对一次多晶硅栅的隔离作用，同时一次多晶刻蚀后在栅源交界处形成约 400nm 的陡直台阶，导致台阶角落处二次多晶刻蚀不干净。留存下来的多晶硅导致栅极和源区过早击穿，SEM 照片如图 2-28 所示。

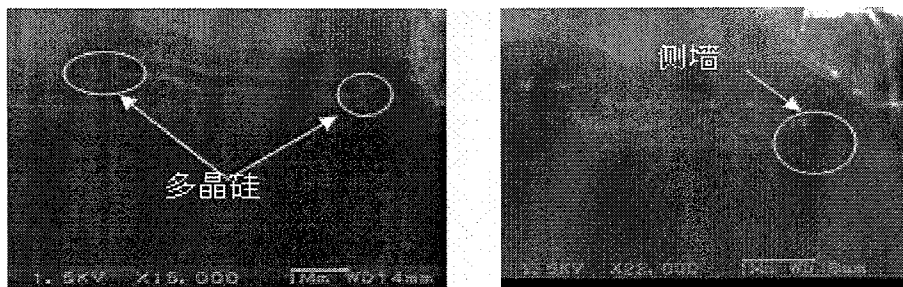


图 2-28 图 2-27 方法形成的厚栅氧 PLDMOS SEM（扫描电镜）分析

2.5.2.3 方案改进

(1) 栅压低于 5V 的 LDMOS 器件，其栅氧和标准 CMOS 器件兼容通用；

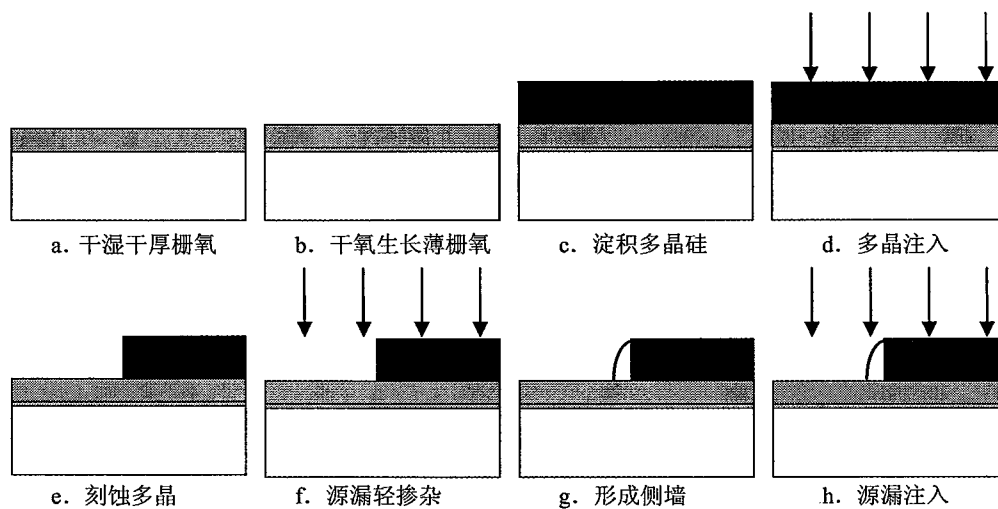


图 2-29 栅氧厚度为 10~70nm 的厚栅氧形成过程及相关工艺的流程

(2) 栅压水平为 5~30V 的 LDMOS 器件，栅氧厚度约为 10~70nm。我们提出改进方法为：扩大厚栅氧的留存范围，保留整个高栅压器件区域内的厚栅氧；而不是如

图 1 第 (3) 步那样只保留多晶硅栅极覆盖区域的厚栅氧化层。厚栅氧区域相关主要工艺过程如图 2-29 所示^{[2][3][4]}。

离子注入对氧化层有一定的穿透能力,适当调整源漏注入的能量,即可穿透较薄的氧化层,同样可以形成比较理想的源漏区域杂质分布。此种方式形成的厚栅氧器件由于栅电极和源漏区域被栅氧化层完全隔离,其栅电极耐压情况的成品率为 100%。图 2-30 为此方法制成的高压厚栅氧器件栅源区域结构图,其栅氧厚度为 70nm, PLDD 注入杂质为 BF₂, 能量 55KeV, 剂量 $2.8 \times 10^{13} \text{ cm}^{-2}$, 源漏注入杂质为 BF₂, 能量 55KeV, 剂量 $2.1 \times 10^{15} \text{ cm}^{-2}$ 。杂质再分布后源漏重掺杂区域浓度达到 $1 \times 10^{20} \text{ cm}^{-3}$, LDD 轻掺杂区域最大浓度约为 $1 \times 10^{18} \text{ cm}^{-3}$, 较好实现了源漏欧姆接触和 LDD 轻掺杂缓冲结构。同时因为 55KeV 的注入能量并不是很高, 低压区域同样可以形成较好的杂质分布图形, 如图 2-31 所示。此工艺中高低压器件可以很好兼容, 其源漏掺杂可以同时形成。

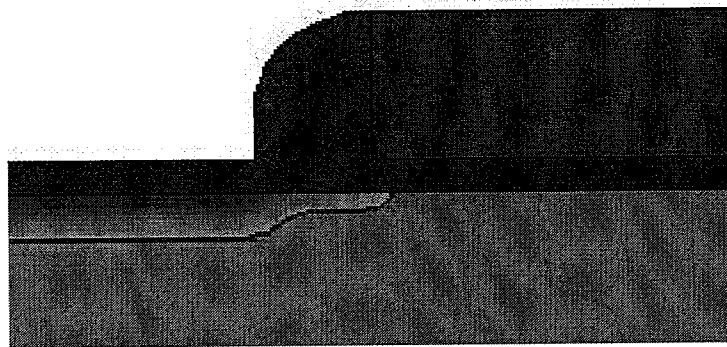


图 2-30 栅氧厚度 70nm、注入能量 55KeV, 厚栅氧区域杂质分布图

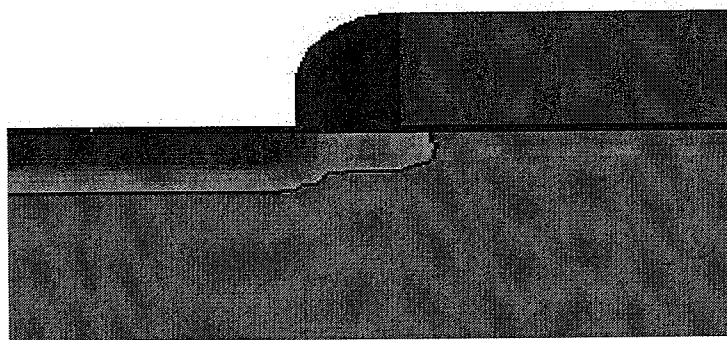


图 2-31 栅氧厚度 15nm, 注入能量 55KeV, 薄栅氧区域杂质分布图

(3) 栅压更高, 厚栅氧厚度更大时, 如果保留高压源漏区厚栅氧, 则需要继续提高 LDD 轻掺杂和源漏注入的能量。由于低压区域源漏结深及杂质分布的要求, 源漏注入的能量不能无限制提高。因此我们采用增加一次光刻的办法, 单独对高压厚栅氧器件采取较大能量 LDD 注入以及源漏掺杂, 而低压区域仍然采用标准 CMOS 源漏注入工艺。图 2-32 为栅氧厚度 100nm, LDD 注入杂质 BF₂, 注入剂量 $2.8 \times 10^{13} \text{ cm}^{-2}$, 注入能量 80KeV, 源漏注入杂质 BF₂, 注入剂量 $2.1 \times 10^{15} \text{ cm}^{-2}$, 注入能量 80KeV 情况下形成的高压器件源漏区域杂质分布, 同样形成了较理想的源漏区欧姆接触及 LDD 轻掺杂缓冲分布。同时由于高压区域和低压区域为分开注入形成, 我们可以提高高压厚栅氧区域的注入剂量到 $4.2 \times 10^{15} \text{ cm}^{-2}$, 其杂质分布如图 2-33 所示, 可以进一步减小源漏区域串联电阻。

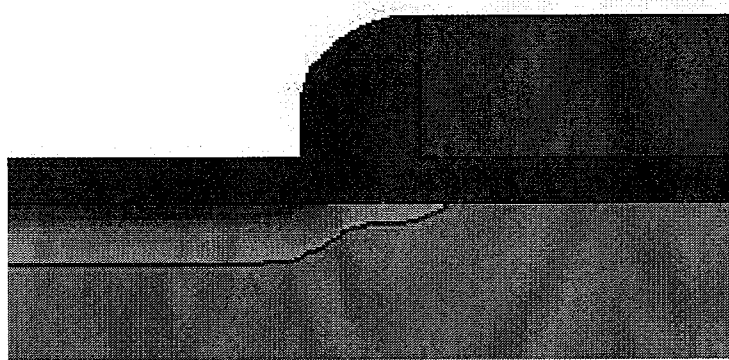


图 2-32 栅氧厚度 100nm、注入剂量 $2.1 \times 10^{15} \text{ cm}^{-2}$ 、能量 80KeV, 厚栅氧区域杂质分布图

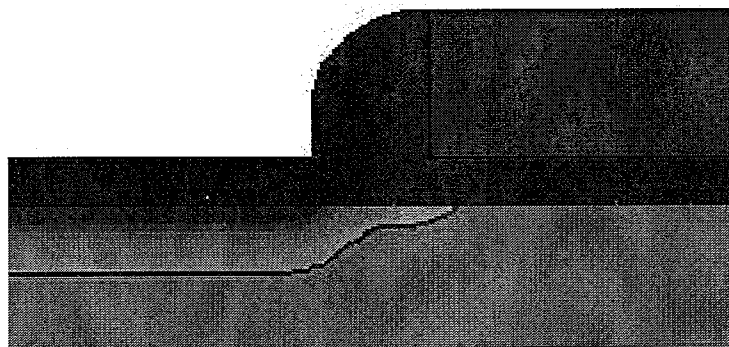


图 2-33 栅氧厚度 100nm、注入剂量 $4.2 \times 10^{15} \text{ cm}^{-2}$ 、能量 80KeV, 厚栅氧区域杂质分布图

(4) 结论

栅源交界处的二次多晶硅残留是引起栅源击穿电压降低的主要原因,有效降低栅源台阶高度能防止多晶硅残留。栅氧厚度较小时,采用一次多晶的工艺,高低压多晶硅栅一次形成,保留整个高压区域的厚栅氧,栅源处无台阶,适当提高源漏注入能量,则可以在保证低压器件性能的前提下,达到高压厚栅氧器件源漏区域较理想的掺杂分布,在不增加工艺步骤的同时,解决了栅耐压过低的问题;栅氧厚度较大时,增加一次光刻工艺,单独对高压厚栅氧器件采取较大能量 LDD 注入以及源漏掺杂,同样可以形成较理想的源漏区域欧姆接触以及源漏轻掺杂缓冲分布,低压区域仍然采用标准 CMOS 源漏注入工艺。

方法(2)不增加工艺步骤,与低压工艺完全兼容;方法(3)虽然增加了一次光刻工艺,但是高低压源漏单独形成,可以更好的优化高低压器件的性能。此二种方法均采用一次多晶工艺,有效降低了台阶高度,降低了工艺难度,提高了成品率,是简单有效的双栅氧 LDMOS 器件工艺改进方案。^[12-17]

2.5.3 单边薄栅氧 NLD MOS (W/L=40/2.5)

2.5.3.1 实验结果

单边薄栅氧 NLD MOS 器件源和衬底接地,漏端施加 0.1V 电压,栅极施加从 -1V 到 2V 的扫描电压信号,测得单边薄栅氧 NLD MOS 转移特性曲线如图 2-34 所示,根据转移特性曲线求得开启电压为 0.3V,同样偏低。

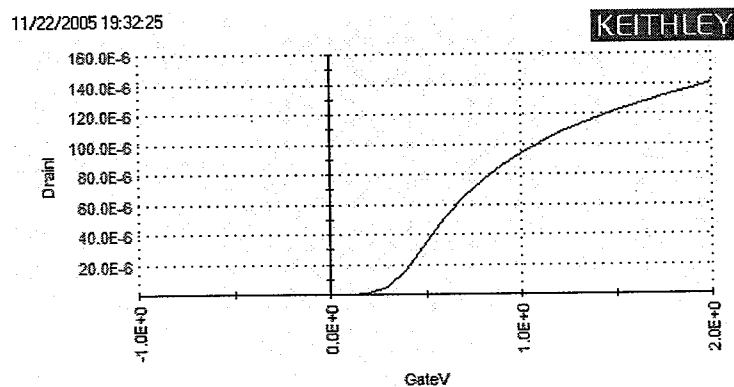


图 2-34 单边薄栅氧 NLD MOS 转移特性曲线

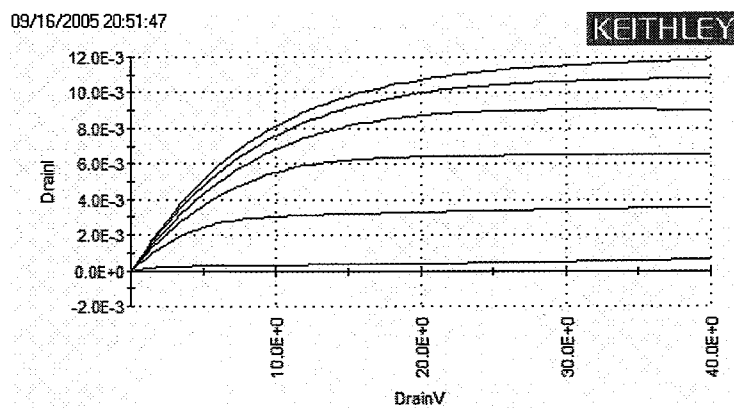


图 2-35 单边薄栅氧 NLD MOS 输出特性曲线

单边薄栅氧 NLD MOS 器件源和衬底接地，栅极分别施加 0V、1V、2V、3V、4V、5V 台阶电压，漏端施加 0V 到 40V，测得单边薄栅氧 NLD MOS 输出特性曲线如图 2-35 所示，其中在栅压为 5V，漏压为 40V 的时候，测得器件最大驱动电流为 12mA。

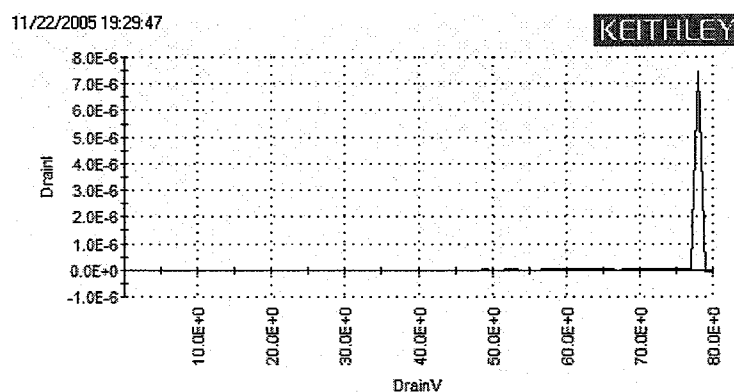


图 2-36 单边薄栅氧 NLD MOS 击穿特性曲线

单边薄栅氧 NLD MOS 器件栅源和衬底均接地，漏端施加 0V 到 80V 的扫描电压信号，测得单边薄栅氧 NLD MOS 击穿特性曲线如图 2-36 所示，测得单边薄栅氧 NLD MOS 器件源漏击穿电压为 77V。

2.5.3.2 结果分析

单边薄栅氧 NLD MOS 器件同样存在开启电压过低和源漏泄漏电流大的问题，采用前述方案提高击穿电压，降低源漏泄漏电流。

LDMOS 器件由于其较高的工作电压和电场，其热载流子注入效应相对也比较显著。热载流子注入效应改变了氧化层中电荷的分部，引起器件参数的退化，大大降低了器件的可靠性和工作寿命。

半导体材料中的热载流子一般是指具有比热平衡状态下的载流子高得多的 kinetic 能量的那些载流子（电子和空穴）。在非平衡状态下，因为电流的流动，载流子可以获得比平衡状态下高得多的 kinetic 能量，当载流子在一个大的电场下运动，例如 MOSFET 中电子沿着沟道运动，在很短的距离内，电子的 kinetic 能量快速上升。被加速的电子的 kinetic 能量可以用表达式 $E - E_c = kT_e > kT$ 表示，其中 T_e 称为有效温度。即使器件本身温度为室温，有效温度却可以比室温 T 高得多。根据载流子的有效温度 T_e ，我们称之为“热”载流子。

NMOS 晶体管中沟道区域的电子由源到漏的流动产生沟道热载流子，漏源电压较高时，沟道中电子获得足够高的能量，到达 $S_i - S_iO_2$ 界面，具有较高 kinetic 能量的热载流子越过界面能量势垒注入到栅氧中，形成大量电荷积累和界面态，引起阈值电压漂移、跨导降低、漏端驱动能力下降等性能参数的衰退。对晶体管进行最恶劣情况下的加速老化试验，可以推算出常规条件下器件的寿命，通过这个方法，可以衡量出热载流子特性的优劣。一般应用中要求晶体管的寿命不小于 10 年，换算成最恶劣情况下有一个经验因子为 50，也就是说最恶劣情况下的寿命应该不小于 $10/50=0.2$ 年= $3.15E7$ 秒^{[23][24]}。

2.5.3.3 方案改进

(1) 热载流子注入现象严重的原因分析：

试制出的一种薄栅氧低栅压 NLD MOS 晶体管，剖面图如图 2-37 所示。对此器件进行了最恶劣情况下的加速老化测试，得到其性能参数衰减 10% 的情况下的寿命。

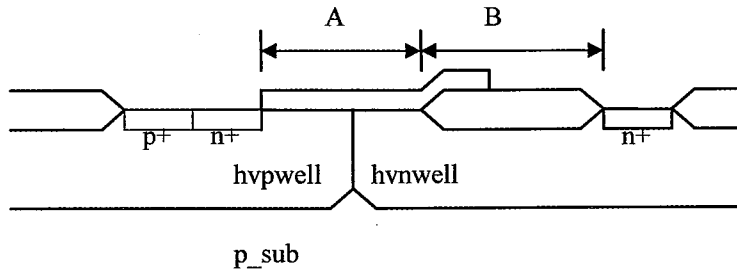


图 2-37 N-LDMOS 结构器件剖面图

首先通过电压扫描获得最恶劣情况的偏置条件：加固定漏压 $V_d=40V$ ，扫描栅压，得到衬底电流最大情况下的栅压 $V_g=3.125V$ 。由此我们确定最恶劣偏置条件为 $V_g=3.125V$ ， V_d 取最高工作电压 $40V$ ，其他端设为 $0V$ 。持续施加此偏置条件，并且在各个时间点分别测试器件的各项电学参数，并以时间作为横轴，参数衰减的比例作为纵轴，得到了参数衰减随时间延续的变化关系^{[25][26]}，如图 2-38、图 2-39 所示。

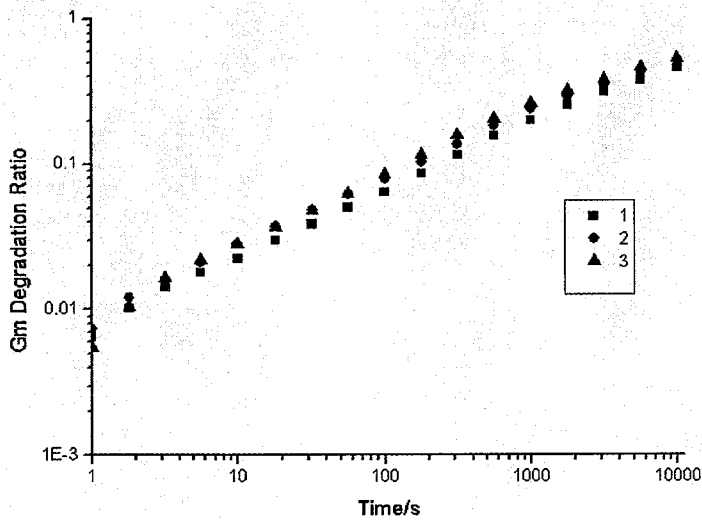


图 2-38 N-LDMOS 器件最恶劣情况下 G_m 的衰退曲线

由图 2-38，我们看到 G_m 衰减很剧烈，在应力施加时间到 $200s$ 左右时，其衰减比例已经达到了 10% ，因此我们认为此器件最恶劣状态下的 G_m 寿命约为 $200s$ ；由图 2-39 数据，我们发现器件参数衰减比例的对数与时间的对数大致为一条直线，

取其平均值，得到一条直线，此直线 y 轴为 0.1 时，对应 x 轴时间约为 $10^6 s$ ，据此推算 I_{dsat} 寿命约为 $10^6 s$ 。

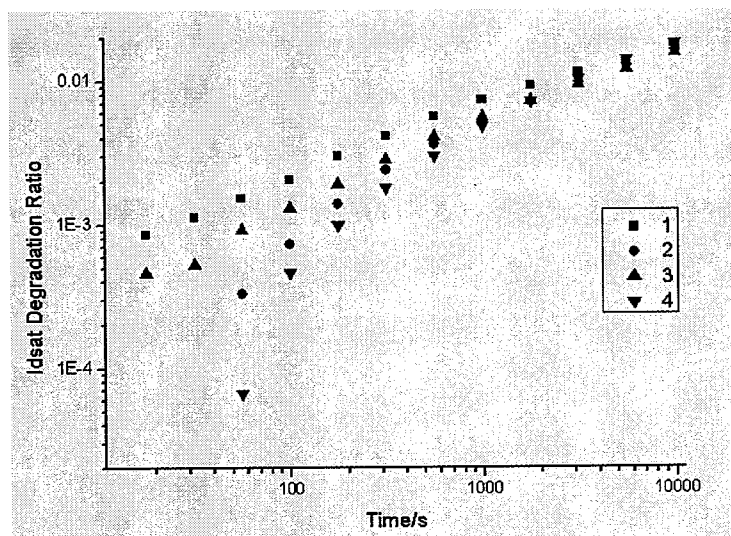


图 2-39 N-LDMOS 器件最恶劣情况下 I_{dsat} 的衰退曲线

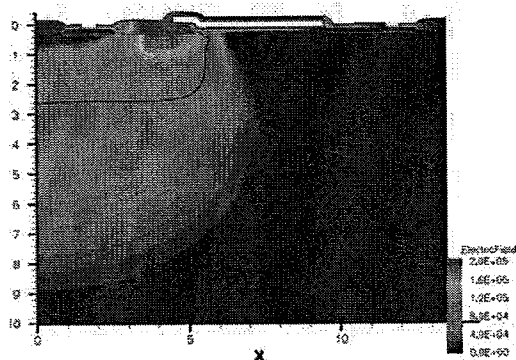


图 2-40 最坏偏置下器件内部电场分布情况

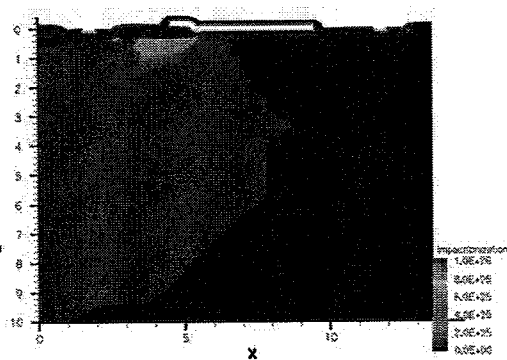


图 2-41 最坏偏置情况下器件内部碰撞电离率分布情况

对比可见，其寿命低于实际应用的要求，为此进行了模拟分析和试验。利用 CAD 软件对此结构进行了模拟。得到了在最恶劣偏置情况下器件的内部状态示意图。其中图 2-40 为最坏偏置情况下器件内部结构中电场强度的分布情况，在鸟嘴下方和场氧的下方，存在着明显的高电场区域，其强度超过 $10^5 V/cm$ 。图 2-41 为器件内部碰撞电离几率的分布情况示意图，可以看到在鸟嘴和场氧下方，很大范

围内的碰撞电离几率都超过了 5×10^{25} 。

在这种情况下，碰撞电离现象很严重，产生了大量的电子空穴对，其中少量能量较高的电子和空穴注入到栅氧和场氧中，形成热电子；大部分电子被漏极所收集，成为漏端电流 I_d 的一部分，大部分空穴被衬底电极收集，形成衬底电流 I_{sub} 。因此 I_{sub} 的大小表征了碰撞电离的严重程度，也间接反映了热载流子注入效应的严重程度。

经过对器件电学性能的模拟，我们得到了器件的输出特性以及衬底电流 I_{sub} ，如图 2-42 所示。由图中可以看到，在此栅压偏置条件下进行漏极电压扫描，漏压 35V 的时候输出特性曲线就出现了明显上翘，达到 40V 工作电压的时候 I_{sub} 为 $5 \times 10^{-5} A/\mu m$ 。

分析图 2-40 的情况发现：鸟嘴区和栅氧下方的衬底区域既是电场集中的区域，又是电流集中的区域，加剧了碰撞电离的发生。要避免这种情况，必须调整器件结构参数，使电场均匀分散在整个漂移区中，降低电流集中区域的电场。

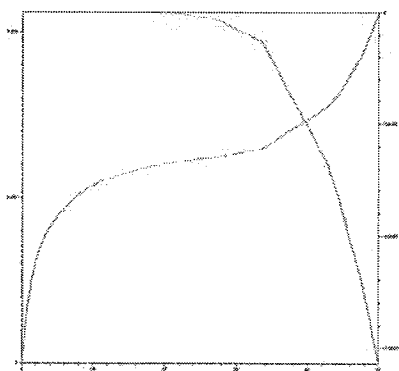


图 2-42 最坏偏置情况下输出特性曲线与衬底电流 I_{sub}

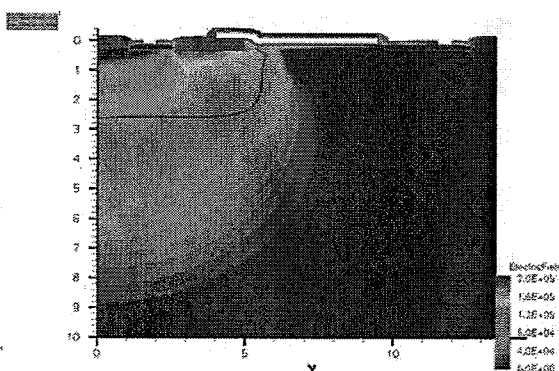


图 2-43 多晶硅栅搭接场氧长度增加 $0.5\mu m$ 情况下电场分布

(2) 结构参数的优化

① 场板的优化

由图 2-40 可以看到，在靠近栅氧一端的漂移区中电场集中，而靠近漏端的区域电场线相对稀疏，因此可以通过增加场板的长度，来分散靠近栅氧一端的较大电场。我们模拟了场板长度增加 $0.5\mu m$ 的情况，其电场分布示意图如图 2-43。可以

看到,较大电场的区域明显向漏端迁移。图 2-44 为多晶硅栅搭接场氧长度增加 $0.5\mu\text{m}$ 的电离几率分布示意图,可以看到鸟嘴下方区域碰撞电离几率明显降低,靠近漏端的区域碰撞电离几率升高,这是因为场板增长的作用,等势线向漏端弯曲。如图 2-45 所示,同样栅压偏置条件下,输出特性曲线在漏压 45V 的时候才出现上翘,正常工作电压 40V 情况下 I_{sub} 为 $1.5 \times 10^{-5} \text{ A}/\mu\text{m}$, 相比最初结构, I_{sub} 降低到原来的 1/4。

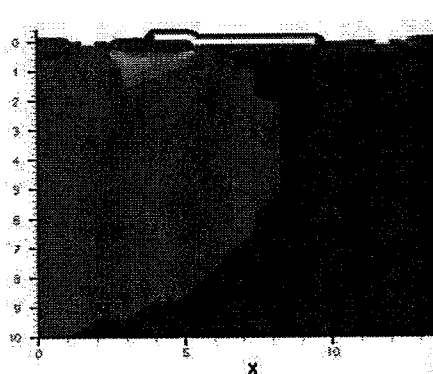


图 2-44 多晶硅栅搭接场氧长度增加 $0.5\mu\text{m}$ 的碰撞电离几率分布

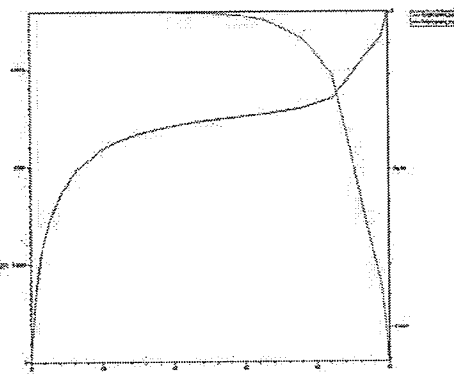


图 2-45 多晶硅栅搭接场氧长度增加 $0.5\mu\text{m}$ 的输出特性曲线和衬底电流 I_{sub}

②漂移区长度的优化

由图 2-44 看到,在场板增加的情况下,漏端出现了明显的高碰撞电离几率的区域,为了改善这个问题,模拟了增加漂移长度 $0.5\mu\text{m}$ 的情况,在器件结构中没有发现明显的较大电场区域,也没有发现有较大碰撞电离几率的区域的存在。衬底电流进一步降低, $V_d=40\text{V}$ 情况下, $I_{\text{sub}}=7 \times 10^{-6} \text{ A}/\mu\text{m}$, 漏压加到 50V 的情况下其输出特性曲线没出现明显上翘现象。有理由相信,热载流子注入效应得到了有效的抑止。

③增加高压 N 阱包有源区

增加高压 N 阱包有源区相当于变相增加了漂移区的长度,并且降低了鸟嘴下方的电流浓度,因此也可以达到改善热载流子注入效应的效果。

④综合考虑

综合考虑以上因素,得到一个最优的结果。图 2-46、图 2-47、图 2-48 依次为

电场分布、碰撞电离几率分布和输出特性曲线。

我们所得出的优化结构中，如图 2-46 中，最大电场均低于 $10^5 V/cm$ ，无明显大电场区域；碰撞电离如图 2-47 所示，碰撞电离几率低于 10^{25} ，无明显碰撞电离几率较大的区域；器件输出特性曲线如图 2-48，在 50V 漏压范围内无明显上翘； $V_d=40V$ 工作电压的情况下，衬底电流 $I_{sub}=5 \times 10^{-6} A/\mu m$ ，相对于原来的结构， I_{sub} 降低了 10 倍。

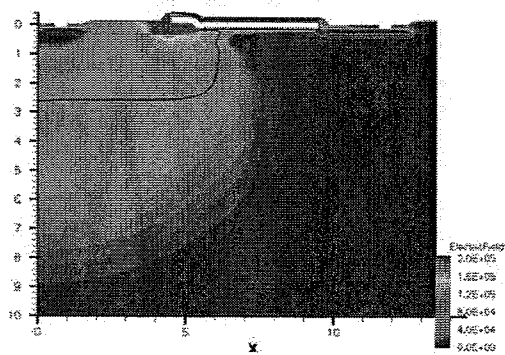
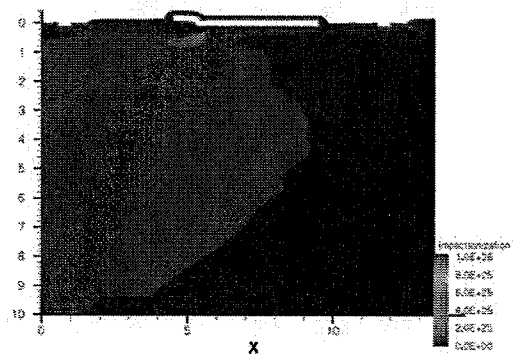


图 2-46 最优结构电场分布图



2-47 最优结构碰撞电离几率分布

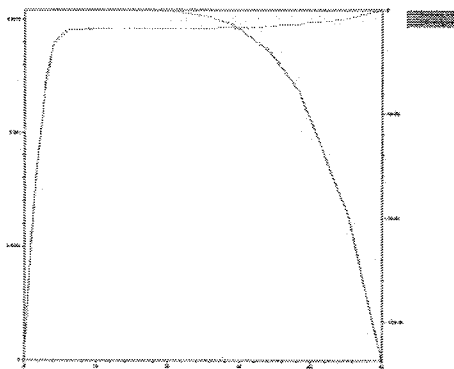


图 2-48 最优结构输出特性和衬底电流 I_{sub}

(3) 结论

在原来器件结构的基础上，通过适当增加场板长度、增加漂移区长度、增加高压 N 阱包有源区的长度等方法，改进了器件的热载流子注入效应特性，使得表征热载流子注入效应剧烈程度的物理量 I_{sub} 降低到原有结构的 1/10，而同时增加场板长度和增加高压 N 阱包有源区的长度这两种办法并不增加器件的面积，增加漂移区长度加大了器件的面积。相对于器件可靠性的大幅提高来说，漂移区长度的有限增加 ($0.5 \mu m$) 是完全值得的。^[27-30]

2.6 电路验证

电路外围控制信号和视频信号都是低压信号，因此需要高低压电平转换电路把 0/5V 标准信号转换成驱动 LCoS 显示所需的 0/40V 高压信号。制备图 2-10 所示电平转换电路验证高压器件性能^[31-34]。

输入信号为 0/5V 低压信号，因为实验制备的单边厚栅氧 PLDMOS 器件栅氧耐压能力只有 32V，因此工作电压最高只能为 30V。VDDH=30V、VDDL=5V，输入信号为频率为 2MHz、幅值 5V 的方波信号，如图 2-49 中波形 1 所示，测得输出信号波形为图 2-49 中波形 2 所示。

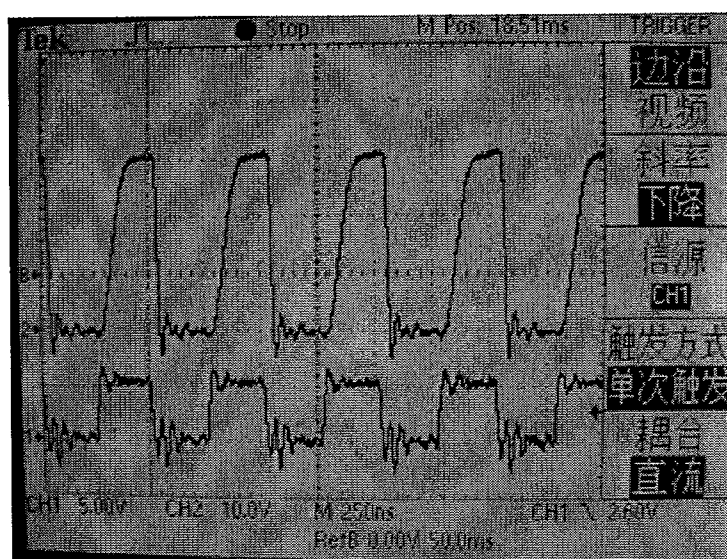


图 2-49 低高压转换电路实测波形图

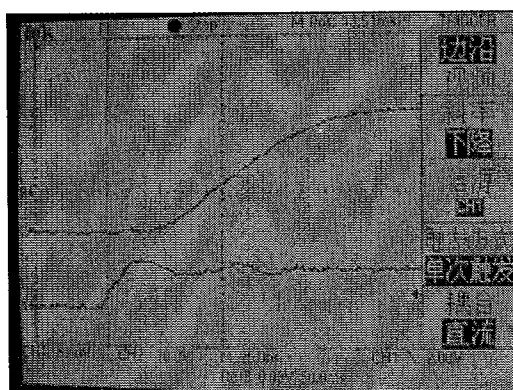


图 2-50 低高压转换电路上升沿波形图

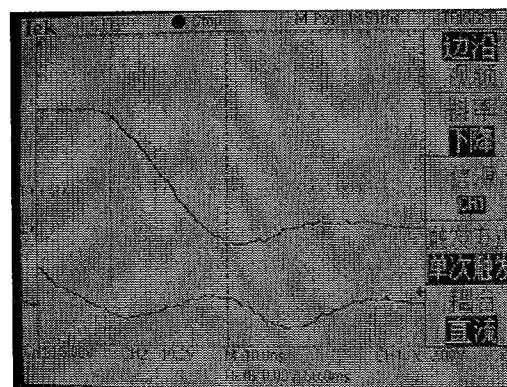


图 2-51 低高压转换电路下降沿波形图

放大输入输出信号上升沿和下降沿如图 2-50、2-51 所示，测得输出信号上升沿约为 80nm，下降沿约为 20nm。QVGA 分辨率、60Hz 视频显示驱动电路中，像素时钟频率为 $320 \times 240 \times 60 = 4.608\text{MHz}$ ，此电平转换电路的频率可以满足 LCoS 显示驱动电路的要求

2.7 本章小结

本章研究了 LCOS 电路中驱动液晶像素点的高压 NMOS 传输管的性能要求、结构设计和器件性能方面的模拟，提出了制造此规格高压 LDMOS 晶体管的基本流程。

经过流片试制，得到了基本满足设计要求的 LDMOS 器件。

对称结构 NLDMOS 器件饱和电流达到 $2.5 \times 10^{-4} \text{ A}/\mu\text{m}$ ，击穿电压约为 70V，开启电压较低，仅 0.2V，导致栅压 0V，漏压 40V 的情况下源漏之间有较强的泄漏电流。若要达到高压传输管的要求，则需要提高沟道注入剂量，提高开启电压；调整器件版图布局，降低源漏泄漏电流。

对非对称厚栅氧 PLDMOS 器件工艺做出改进，采取一次多晶工艺，保留整个高压区域的厚栅氧，而适当提高源漏注入能量或者单独使用一块版限制注入厚栅氧源漏区域的方法，既简化了工艺步骤，降低了工艺难度，又解决了不对称厚栅氧耐压能力低的问题。

针对高压 LDMOS 器件热载流子注入效应显著的问题，通过适当增加场板长度、增加漂移区长度、增加高压 N 阱包有源区的长度等方法，改进了器件的热载流子注入效应特性，使得表征热载流子注入效应剧烈程度的物理量 I_{sub} 降低到原有结构的 1/10，显著降低了热载流子注入效应的严重程度，提高了器件寿命和可靠性。

利用低高压转换电路对高压器件性能进行验证，低高压电路在 2MHz 频率、30V 电压下正常工作，其中上升沿为 80ns，下降沿为 20ns。

第三章 LCoS 微显示驱动电路的设计仿真

本章研究 LCoS 驱动电路的设计与仿真,根据视频信号的特点和视频显示对驱动电路的要求,设计出 LCoS 平板微显示驱动电路结构框图,调用基本单元实现各部分电路的功能,并对各部分子电路进行模拟验证,组成完整的驱动电路。

对像素驱动电路进行充分调研,提出了逻辑较简单、精度较高的像素驱动电路,并对其进行模拟。与各种像素电路模拟结果进行对比,验证了其改进效果。

模拟完整的驱动电路,验证其功能和性能满足分辨率 320×240 、频率 60Hz、16 级灰度单色 LCoS 视频显示驱动的要求。

设计 LCoS 像素电路版图,在功能正确的基础上合理布局,实现遮光层作用。设计子电路版图,合理布局完成全局布线。考虑液晶封装的要求,综合设计版图,预留封装空间和引出管脚,设计 U 型 PAD 连接液晶 ITO 公共电极。

进行 DRC 检查,确保版图绘制符合设计规则要求;进行 LVS 验证,确保版图提取的网表与所设计的电路图相符;提取版图寄生参数,选取代表性节点进行电路后仿真验证,进一步验证电路功能,提高流片成功率。

3.1 LCoS 微显示驱动电路的设计要求

本电路拟实现 QVGA (320×240) 分辨率、60Hz 帧频、16 级灰度单色视频显示功能。视频信号来自于计算机的 VGA 输出。VGA 输出信号时序如图 3-1、3-2 所示,分别为 VGA 输出水平时序和垂直时序信号,水平时序信号依次为 B: 同步脉冲长度, C: 视频信号后沿, D: 有效视频时间, E: 视频信号前沿,而 A 为 BCDE 的总和,称为扫描时间。垂直时序信号依次为 P: 同步脉冲长度, Q: 视频信号后沿, R: 有效视频时间, S: 视频信号前沿,而 O 为 PQRS 的总和,称为整帧时间。频率为 60Hz 的 VGA 信号,其整帧时间为 $16.68\text{ms}^{[1]}$ 。

VGA 信号输出接集成电路模块 AD9884 完成模数转换,AD9884 的输入对应 VGA 信号的输出,AD9884 的输出为三基色各 8bit 的数字信号以及行场同步信号,取绿色信号高 4 位作为 LCOS 显示的视频输入信号,VGA 信号的行场同步作为

LCOS 面板的行场同步信号实现 LCOS 面板的单色视频信号显示。

Horizontal Timing

Horizontal Dots	640	640	640	
Vertical Scan Lines	350	400	480	
Horiz. Sync Polarity	POS	NEG	NEG	
A (us)	31.77	31.77	31.77	Scanline time
B (us)	3.77	3.77	3.77	Sync pulse length
C (us)	1.89	1.89	1.89	Back porch
D (us)	25.17	25.17	25.17	Active video time
E (us)	0.94	0.94	0.94	Front porch

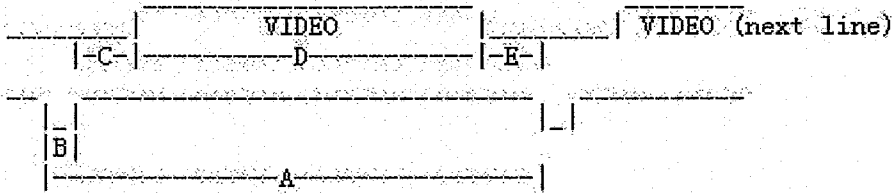


图 3-1 VGA 输出水平时序信号

Vertical Timing

Horizontal Dots	640	640	640	
Vertical Scan Lines	350	400	480	
Vert. Sync Polarity	NEG	POS	NEG	
Vertical Frequency	70Hz	70Hz	60Hz	
O (ms)	14.27	14.27	16.68	Total frame time
P (ms)	0.06	0.06	0.06	Sync length
Q (ms)	1.88	1.08	1.02	Back porch
R (ms)	11.13	12.72	15.25	Active video time
S (ms)	1.2	0.41	0.35	Front porch

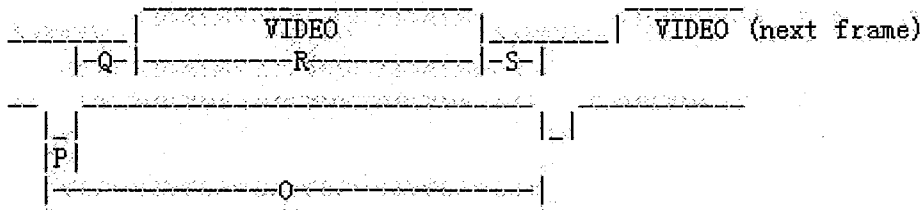


图 3-2 VGA 输出垂直时序信号

本文所设计 LCoS 驱动电路分辨率为 QVGA, 即 320×240, 如若用来显示 VGA

信号，则需对视频信号进行处理，提取奇数行、奇数列或者偶数行、偶数列信号输入到 LCoS 驱动电路，实现 QVGA 分辨率显示。

3.2 LCoS 微显示驱动电路设计实现

3.2.1 LCoS 微显示驱动电路结构总览

LCoS 面板的透光系数与施加在液晶两端的电压有关，通过控制电压高低来实现灰度显示功能。VGA 端口输出的视频信号其电压水平不适合 LCoS 液晶驱动的要求，因此需经过 AD9884 处理变成相应的数字信号输入 LCoS 驱动芯片，再经 DA 转换得到合适的模拟电压信号驱动 LCoS 显示。

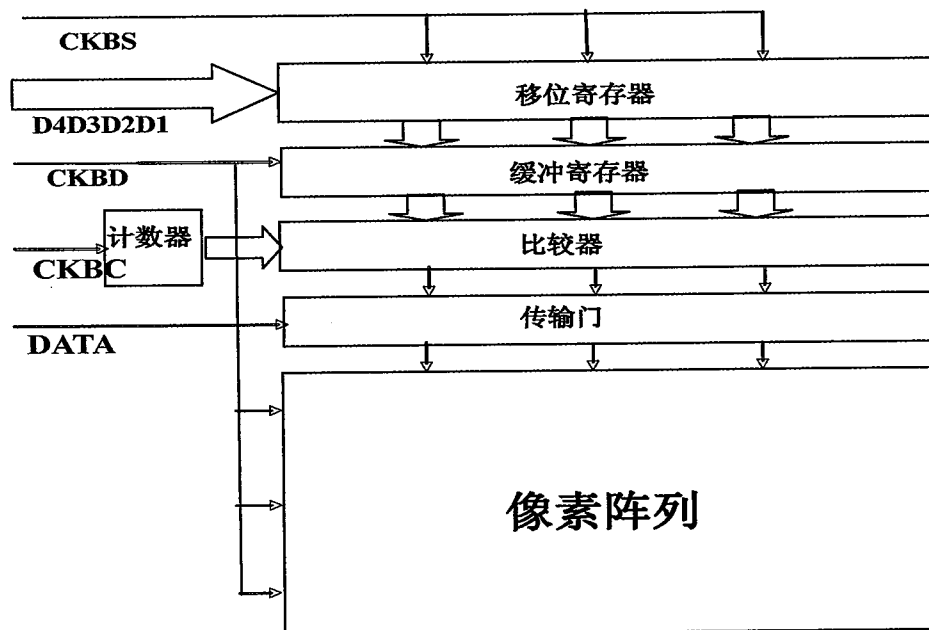


图 3-3 LCoS 平板微显示驱动电路结构框图

LCoS 驱动芯片的电路结构框图如图 3-3 所示，搭载 16 级电压灰度的 4 位数字视频信号 D4D3D2D1 在像素时钟 CKBS 的作用下逐次移位存贮到移位寄存器中，每 320 个 CKBS 时钟周期后，320 组数字信号占据移位寄存器，此时 CKBD 下降

沿到来，320 组信号锁存到缓冲寄存器中，同时在时钟信号 CKBD 的控制下，240 行行扫描开关中有且仅有一行打开。计数器在时钟 CKBC 控制下连续跳动，其输出值与缓冲寄存器中存储的 320 组数据信号分别比较，二者相同，则比较器输出信号“en”为高电平，不同，输出低电平。比较器输出高电平时，对应传输门开启，输入台阶信号：DATA 上对应电平值施加到相应行的像素帧缓存电容上。时钟依次跳转，相应电平信号逐行施加到像素帧缓存电容上^{[2][3][4][5][6]}。

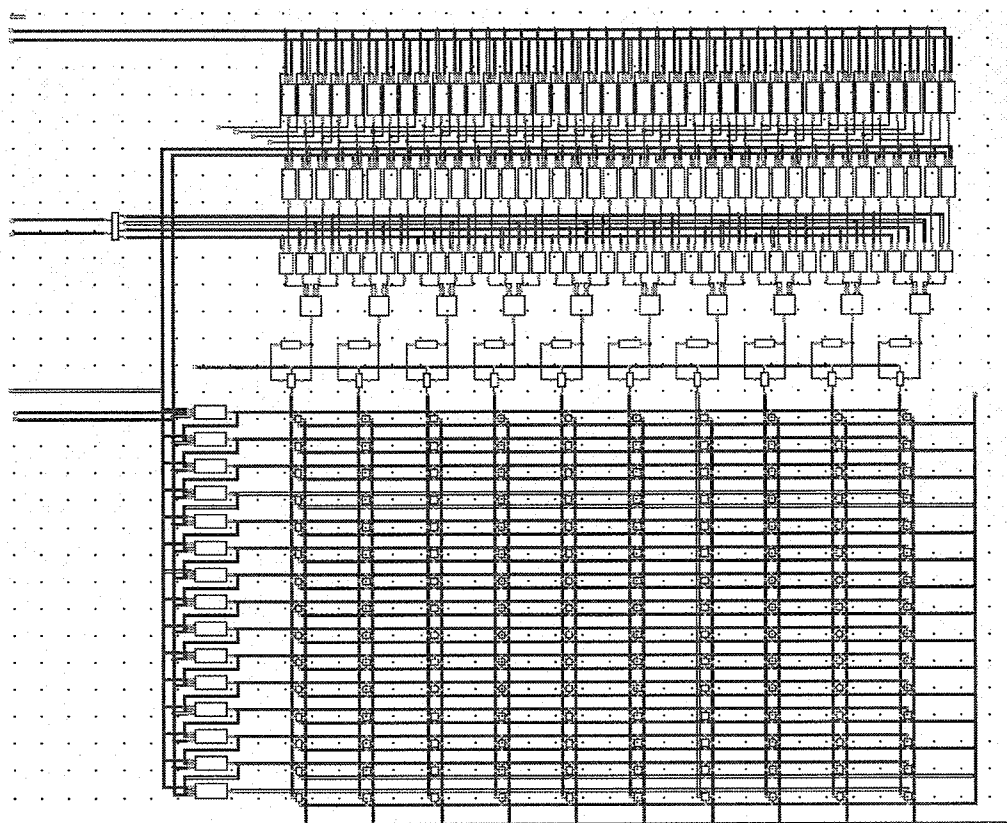


图 3-4 LCoS 平板微显示驱动电路简图

图 3-4 为 LCoS 平板微显示驱动电路简图，给出了电路的连接方式和部分子电路的实现形式。其中移位寄存器组由 4 个 D 触发器并联组成一组，320 组 D 触发器串联组成，缓冲寄存器由 320×4 个 D 触发器并联组成，行扫描电路由 240 个输出端带有驱动单元 BUFFER 的 D 触发器组成。

3.2.2 子电路设计与仿真

3.2.2.1 移位寄存器、缓冲寄存器的实现

4 个 D 触发器 DFNSYNCLQ1 并联组成四位寄存器，连接输入数据信号 D4~D1，320 组 4 位寄存器组串联组成移位寄存器组，在像素时钟 CKBS 作用下依次移位锁存数据信号；同时另 320 组四位寄存器输入接 320 组移位寄存器输出，构成缓冲寄存器，缓冲寄存器在行扫描时钟 CKBD 作用下锁存移位寄存器输出，输出端接比较器。经过 320 个像素时钟，移位寄存器中存满数字信号，行扫描时钟 CKBD 下降沿到来，移位寄存器中数据锁存进缓冲寄存器中，与计数器输出 4 位数字信号进行对比。寄存器所用到的 D 触发器 (DFNSYNCLQ1) 为时钟下降沿触发，带有同步复位端的触发器，其电路符号与真值表分别如图 3-5A、图 3-5B 所示。

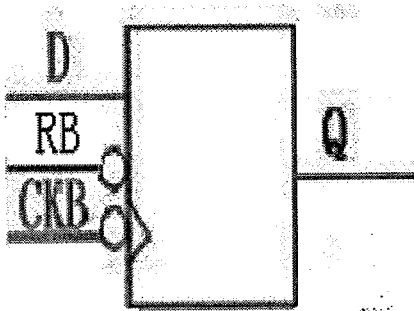


图 3-5A 逻辑符号图

INPUT			OUTPUT
CKB	RB	D	Q
↓	1	1	1
↓	1	0	0
↓	0	X	0

图 3-5B 输入输出真值表

3.2.2.2 BUFFER 的实现

BUFFER 电路图如图 3-6 所示，它由多级反相器组成，反相器 IN01DX 根据 X 的不同具有不同的宽长比和驱动能力。组成 BUFFER 的反相器宽长比依次增加，能大幅提高信号驱动能力。

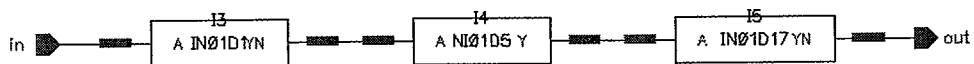


图 3-6 BUFFER 电路框图

3.2.2.3 计数器的实现

计数器的逻辑符号图如图 3-7 所示，输入信号为时钟信号 ckb 和复位信号 rb，输出为 4 位数字信号 q<1-4>。计数器电路由 D 触发器 (DFNSYNCLQ1)、两输入异或门 (XR02D1)、BUFFER 等基本单元电路组成，其中两输入异或门 (XR02D1) 电路符合和真值表如图 3-8A、3-8B 所示。

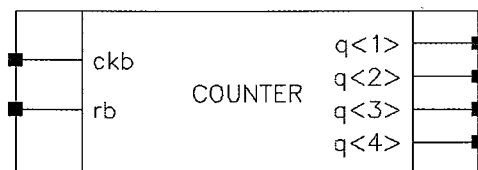


图 3-7 计数器逻辑符号图

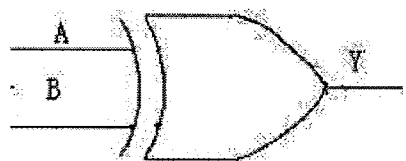


图 3-8A 异或门逻辑符号图

INPUT		OUTPUT
A	B	Y
1	1	0
0	0	0
otherwise		1

图 3-8B 异或门输入输出真值表

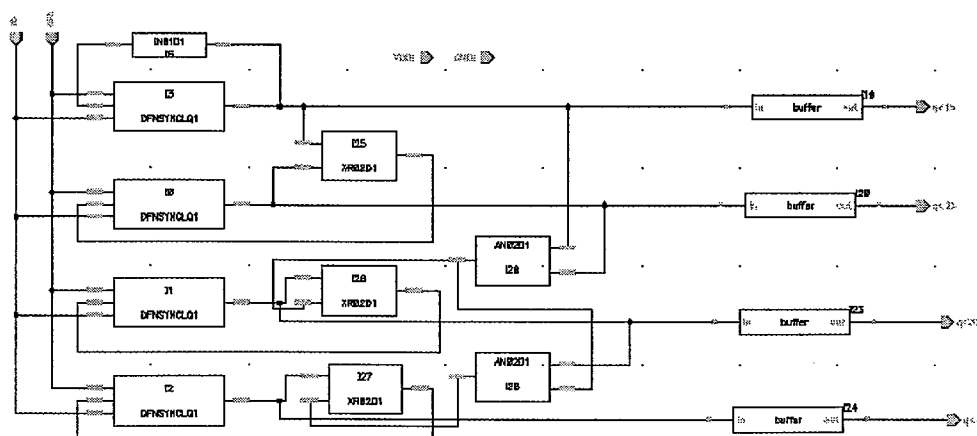


图 3-9 计数器电路图

图 3-9 为计数器电路图，rb 为低电平时，D 触发器复位为 0；rb 为高电平时，

计数器开始计数，验证其工作波形如图 3-10 所示，时钟 ckb 每跳动一次，输出 4 位数字在一个周期内由“0000”到“1111”依次增长，实现递增计数功能。

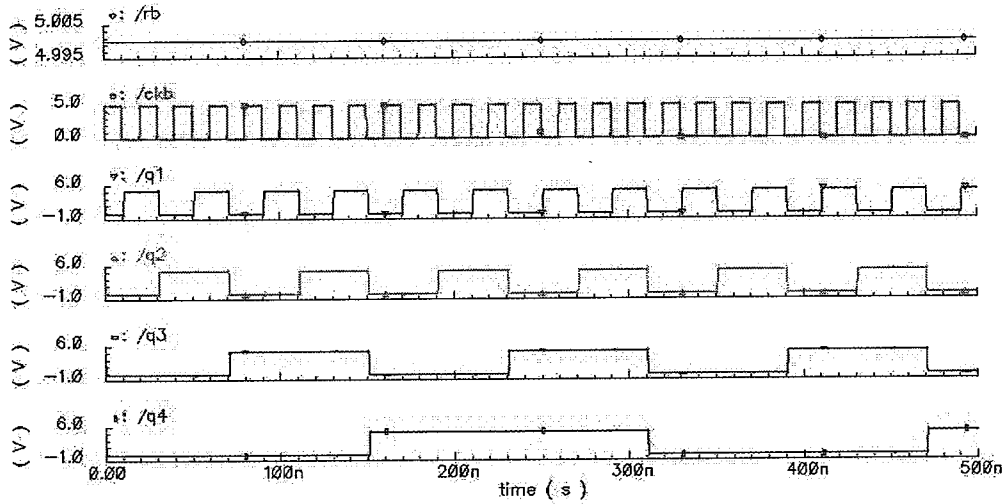


图 3-10 计数器逻辑波形图

3.2.2.4 行扫描电路的实现

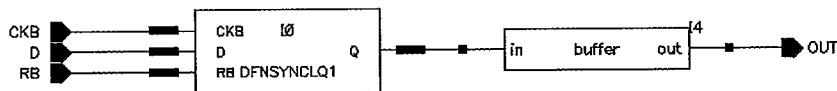


图 3-11 行扫描单元电路构成

图 3-11 为行扫描单元电路构成，由 D 触发器和 BUFFER 组成。行扫描由单元电路首尾相接而成，下一单元输入端 D 接上一单元的输出端 OUT，第一个单位的输入端 D 接周期性脉冲信号 dr，其周期为行扫描时钟 ckb 的周期的 240 倍。在行扫描时钟 ckb 的作用下，实现行扫描功能，任意时间内均有且仅有一行输出扫描信号为高电平。实现逐行扫描功能，其模拟波形如图 3-12 所示，其中 net290、net115、net120 分别为连续三行的行扫描信号，同一时间有且仅有一行扫描信号为高电平。

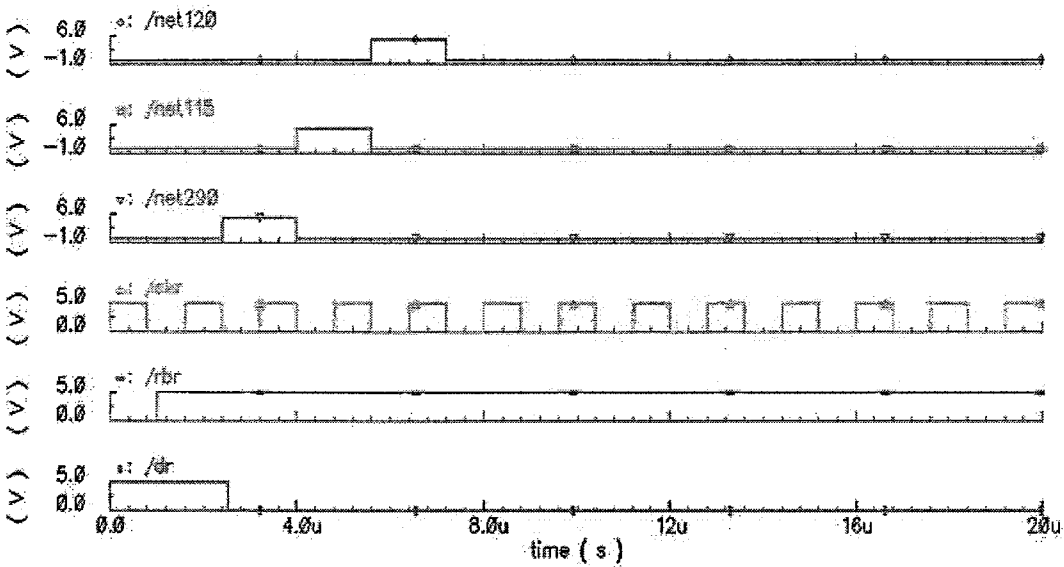


图 3-12 行扫描电路波形图

3.2.2.5 D/A 转换的实现

输入的视频信号为 4 位数字信号，而液晶像素显示不同灰度所需要的是不同高度的模拟电压信号，因此电路中需要集成 D/A 转换模块实现数模转换功能。

LCoS 面板的透光系数与施加在液晶两端的电压有关，通过控制电压高低来实现灰度显示功能。4 种典型液晶材料参数如表 3-1 所示，液晶材料的阈值电压为 1.51~1.97V，饱和电压为 2.43~3.16V，并且液晶材料的电光曲线并不是一条直线。因此电路中的 D/A 转换模块应具备以下特点：输出高低电平幅值可灵活调节，对应于不同液晶材料的阈值与饱和电压水平；不同灰度电压之间的间隔应为可变值，以满足电光曲线的非线性特点。

表 3-1 不同液晶材料参数列表

液晶材料型号	SLC-6019-100	SLC-6019-000	SLC-6014-100	SLC-6014-000
开启电压 (V)	1.92	1.97	1.51	1.52
饱和电压 (V)	3.09	3.16	2.43	2.46

本文采用了如图 3-13 所示的计数器+比较器+传输门的结构巧妙实现数模转换

功能，并可满足输出模拟电压幅度和间隔任意可调的要求。

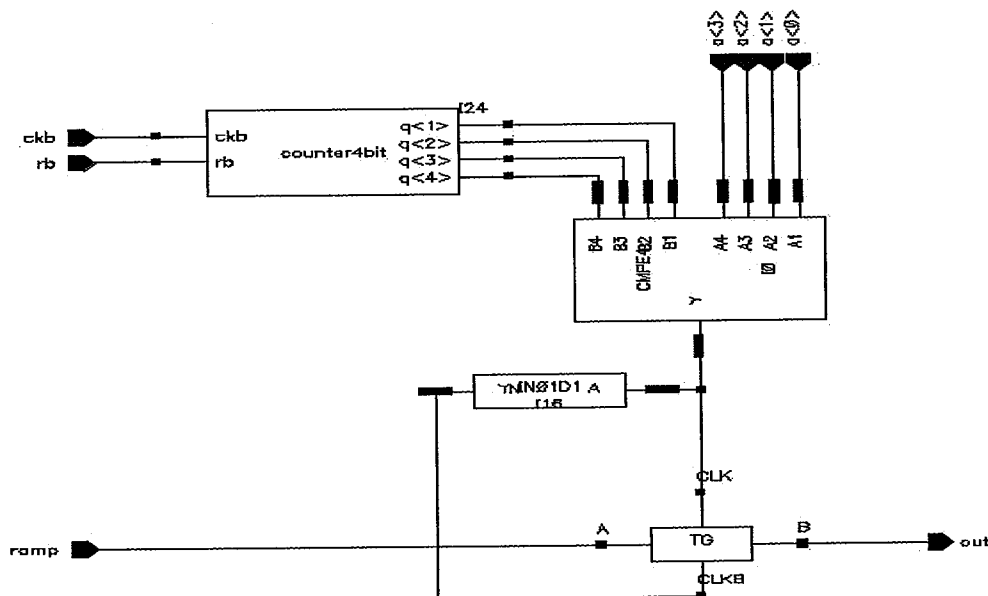


图 3-13 计数器+比较器+传输门结构组成的 D/A 转换电路

计数器和缓冲寄存器的输出连接到比较器的输入端，比较器的输出控制传输门的开断。计数器在时钟作用下重复计数，其输出为 4 位数字信号，与缓冲寄存器中所存储的 4 位数字视频信号进行比较，如果不同输出为低电平，如果相同输出为高电平。传输门输入信号为 16 级不同电压水平的台阶信号，传输门的控制端接比较器的输出。

计数器输出的 4 位数字信号与缓冲寄存器所储存的 4 位数字视频信号不同时，比较器输出低电平，传输门截至，像素帧缓存电容上的电压保持不变；计数器输出的 4 位数字信号与缓冲寄存器所储存的 4 位数字视频信号相同时，比较器输出高电平，传输门开启，对应的台阶电平通过传输门传送到像素电路帧缓存电容上，实现 D/A 数模转换功能。适当调节台阶电平电压幅值，则可得到数字信号与任意模拟电平高度对应的数模转换结果，因此输出模拟电平的最低和最高电压值可在 0-4V 的工作电压范围内任意变动，任意两级灰度的电压之差也可以随意调节，满足不同液晶材料驱动要求^[7-12]。

图 3-14 为 D/A 转换电路逻辑电路波形图，a<3>~a<0>为四位数字信号，ramp

为 16 级台阶信号，ckb 为计数器时钟信号，其周期与台阶电平信号每级保持时间相等。经过 D/A 转换得到与数字信号数值对应的 16 级模拟信号 out，并且模拟信号 out 每级电平高度只与台阶信号对应台阶高度有关，非常方便电压水平的调节。

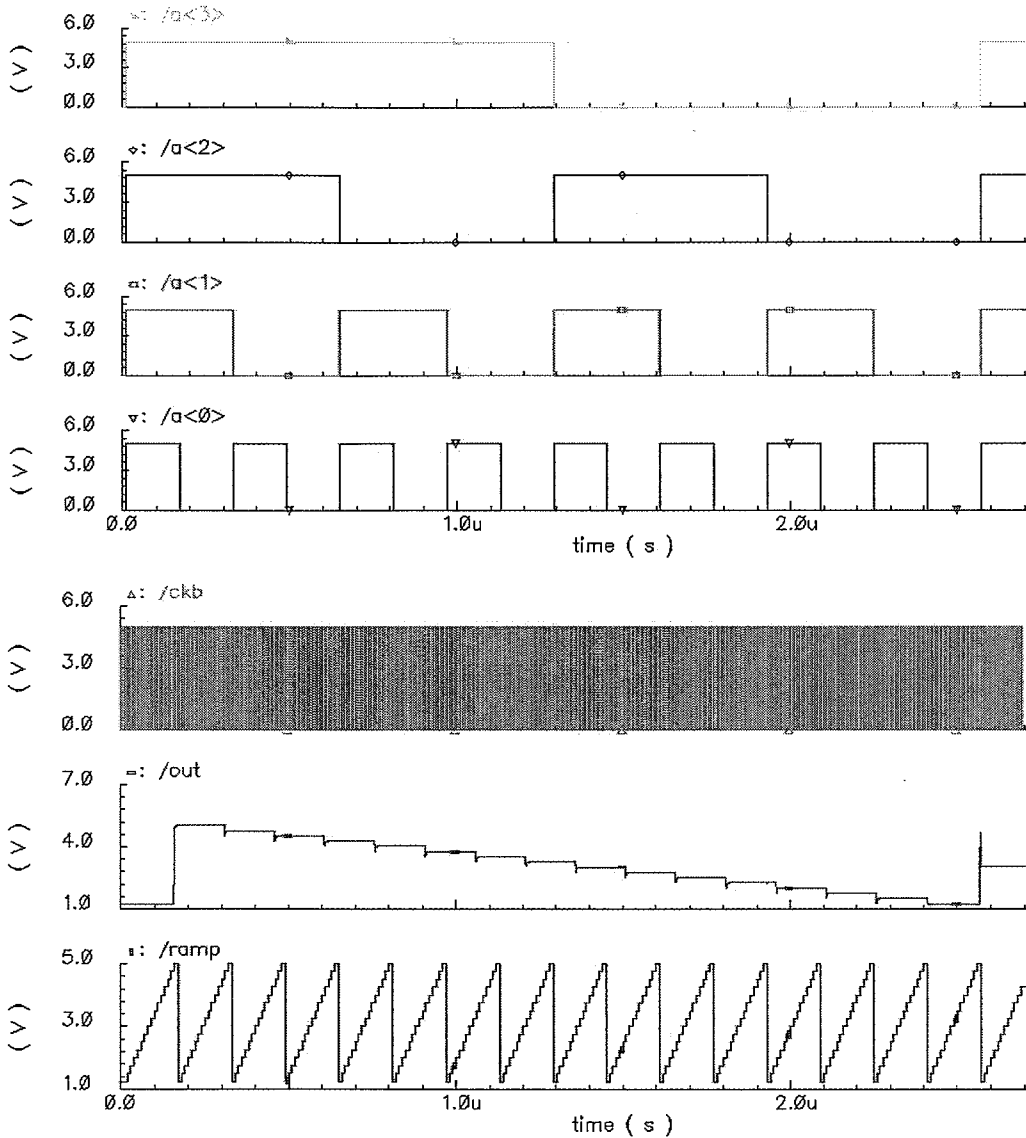


图 3-14 D/A 转换电路逻辑电路波形

计数器+比较器+传输门形式电路优点：

1. 电路形式简单，均为标准模块搭建，可靠性高；
2. 数模转换精度只和外部输入的台阶电平信号有关，所以可以达到较高的精度，

并且根据驱动情况可以很方便的予以调整，得到最佳的显示效果；

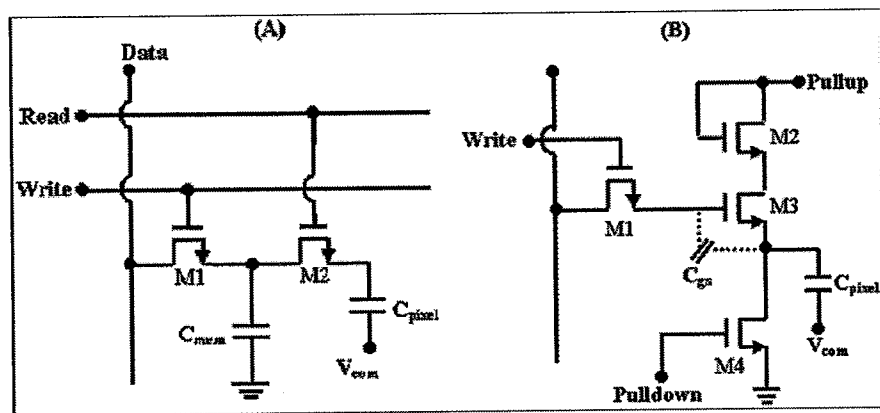
3. 输出电平可调范围大，0-5V之间自由调节；
4. 电路形式均为CMOS形式，无直流通路，电路功耗较低。

缺点：

1. 加入了计数器，时序较复杂；
2. 其工作频率受灰度级数的限制，但仍能很好满足电路的频率要求；
3. 测试的时候需提供台阶电平信号。

3.2.3 像素电路的设计与仿真

3.2.3.1 LCoS 像素电路发展简介



(A) Shields 提出的电路形式 (B) McKnight 提出的电路形式

图 3-15 帧缓存像素电路

早期的 LCoS 像素电路如图 3-15 (A) 所示，“write”为高电平“write”为低电平时，M1 开启，M2 关闭，“data”信号传送到电容 C_{mem} 上；“write”为低电平“write”为高电平时，M1 关闭，M2 开启， C_{mem} 与 C_{pixel} 形成电荷共享，二者电压持平，为 $V_{pixel} = V_{mem} \left(\frac{C_{mem}}{C_{mem} + C_{pixel}} \right)$ ，此电路结构简单，但是电平读写过程中 C_{mem} 与 C_{pixel} 产生电荷共享， V_{pixel} 并不等于 V_{mem} ，为了保证电荷共享效应不致影响电路功能，须保证 $C_{mem} \gg C_{pixel}$ ，同时 C_{pixel} 要足够大，保证 V_{pixel} 保持时间大于几个毫秒^[13-15]。

为了克服电荷共享效应和帧缓存带来的其他问题,McKnight 提出了图 3-15(B) 所示像素电路, M2、M4 分别作为上拉和下拉管, 负责给像素电容 C_{pixel} 充电和放电, M3 作为帧缓冲电容。“write”为高电平时, 数据信号“data”传送到 M3 的栅电极上, “Pullup”为高, “Pulldown”为低时, 给 C_{pixel} 充电到 $V_{pixel} = V_{g3} - V_{th}$, “Pullup”为低, “Pulldown”为高时, C_{pixel} 放电到 0V。因为 M3 的栅电极与 C_{pixel} 之间无通路, V_{pixel} 只由“data”电平的高低所决定, 因此避免了电荷共享效应^[16-18]。其电路波形如图 3-16 所示。

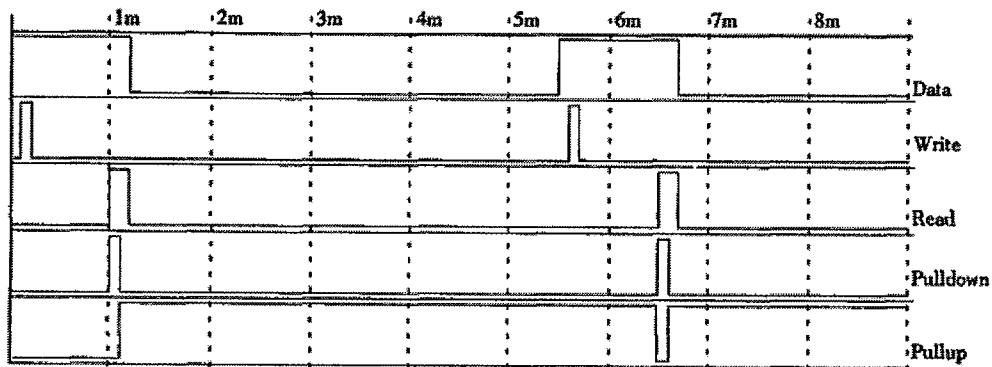


图 3-16 图 3-15 (B) 所示电路波形图

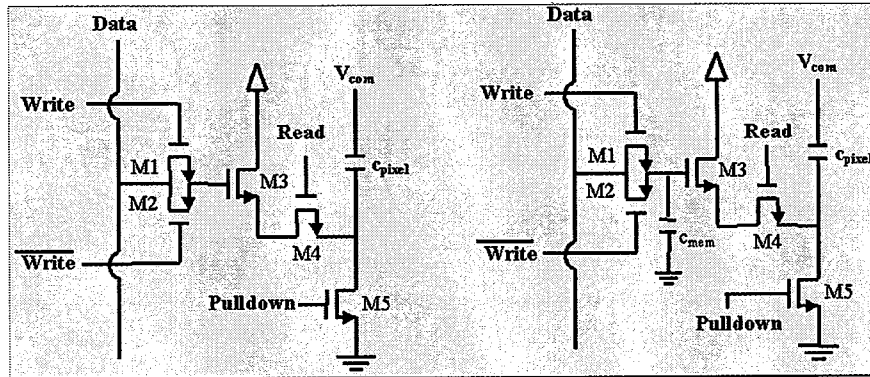
存储电容和像素电容之间无电荷共享效应, 因此 LCoS 亮度和对比度相对 Shields 提出的电路得到提高, 像素电容直接被外部输入的电压信号所驱动, 只受存储在 M3 栅极电容上的电压所控制。

但是当“write”起作用的时候, 引入了预期之外的电荷, 此电荷来源于 M3 的寄生电容 C_{gs} , 电压保持期间, M2、M4 均保持截止, C_{gs} 与 C_{pixel} 等效于串联, “write”为高时, 如果 M3 栅电压变化, 引起 V_{pixel} 相应发生变化。

导入的电荷影响了 LCoS 显示的亮度, 特别是降低了其对比度。为了减轻这种影响, 栅电容 C_{gs} 与像素电容 C_{pixel} 的比例一定要降低。图 3-17 展示了 Sangrok Lee 提出的一种新的帧缓存像素电路, 通过去除电荷共享和诱导电荷提高了图像显示质量^[19-24]。

如图 3-17 (A) 所示, 传输管 M4 隔离了 M3 栅电容与像素电容, 避免“write”

信号为高时产生诱导电荷。在一个周期中，离散化的电压数据信号被存贮在存贮电容上，也即 M3 的栅电容上。当“read”信号起作用时，M3 栅极存贮的电压控制电流流过，给像素电容充电到相应的电压水平。图 3-17 (B) 中，Sangrok Lee 加入一个独立电容元件作为存储电容，利用二次多晶工艺很容易制作出独立电容来代替 M3 的栅电容，提高电路工作的可靠性^[25-29]。



(A) 利用固有栅电容的像素电路 (B) 具有独立电容的像素电路

图 3-17. Sangrok Lee 提出的新的帧缓存像素电路

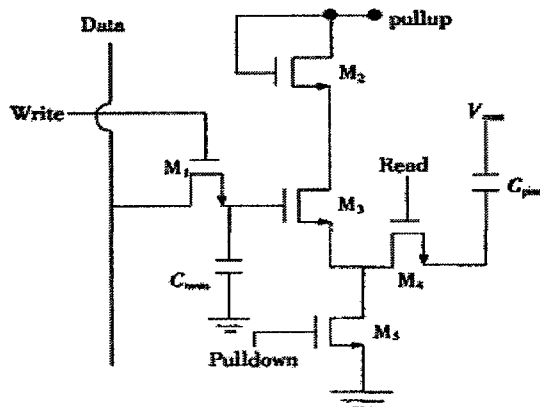
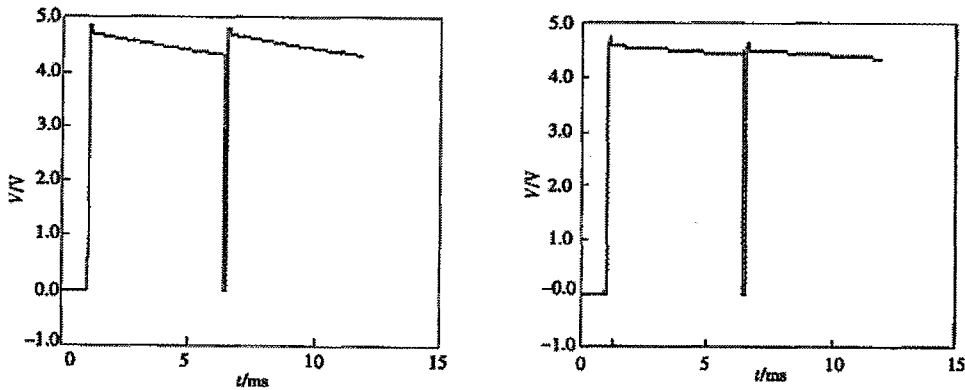


图 3-18 Song Yulong 提出的像素电路结构

Song Yulong 提出如图 3-18 所示的像素电路结构，利用 M4 隔离 M5 和像素电容，使得在电压保持期间，对像素电容有冲击的晶体管数目减小到最少，提高电压保持率，减少图像跳动，降低像素电压上的电磁干扰效应，提高微显示的可靠

性，同时对温度变化的免疫性能也得到了加强，其与 Sangrok Lee 提出的电路形式的电压保持率对比情况如图 3-19 (B) 所示，电压保持性能有较大提高。^[30-34]



(A) Sangrok Lee 提出的像素电路电压保持率对比 (B) Song Yulong 提出的像素电路电压保持率对比

图 3-19 Sangrok Lee 和 Song Yulong 提出的像素电路电压保持率对比

3.2.3.2 LCoS 像素电路设计与仿真

我们可以用一个信号同时控制“pullup”和“pulldown”，图 3-20 为 LCoS 像素电路图^[6]，图 3-21 为其工作波形图，其中“write”为行选通信号，“data”为灰度信号，“pull”为充放电信号。当“write”为高，“data”上的数据被写到帧缓存电容 c1 上；“pull”和“read”均为高时，显示电容 c2 放电；“pull”为低，“read”为高时，c1 上的数据被写到 c2 上，驱动液晶晶向翻转，实现显示功能^[35-41]。

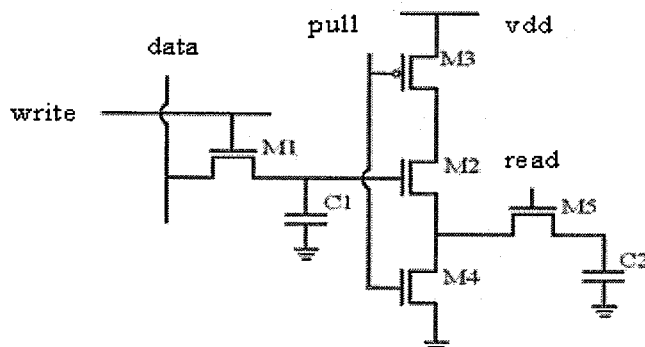


图 3-20 LCoS 像素点电路图

取各晶体管均为最小尺寸，宽长比为 1: 1，一方面可以节省面积，另一方面

减小宽长比有利于减小泄漏电流，从而保证像素电容上的电压能更持久保持，同时驱动电路像素时钟频率并不高，减少晶体管宽长比不会影响到电路的工作频率。设定 $C_1 = 0.5\text{ pf}$ ， $C_2 = 0.2\text{ pf}$ ，帧周期为 5 ms ，写脉冲 0.1 ms ，读脉冲 0.2 ms ，下拉脉冲 0.1 ms ，模拟电路波形如图所示。

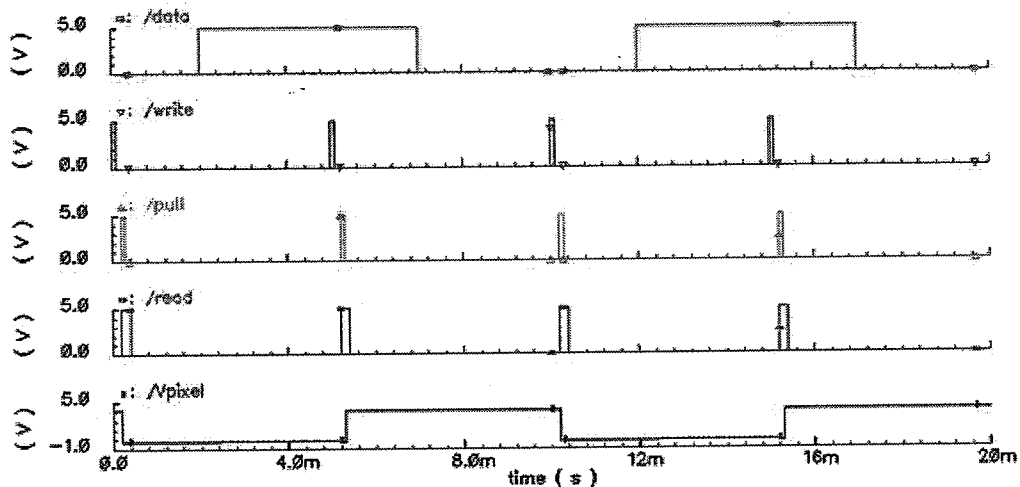


图 3-21 LCoS 像素电路读写波形图

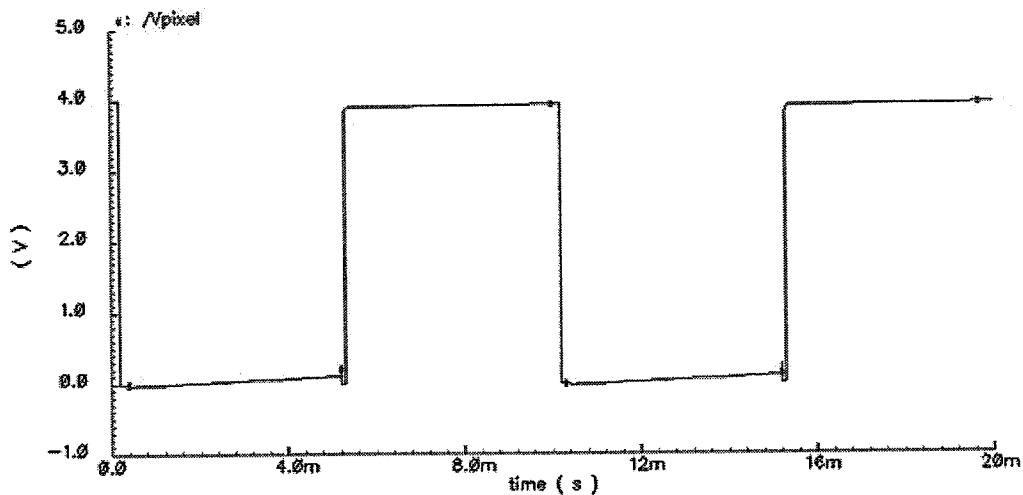


图 3-22 像素电压保持情况模拟波形

放大 V_{pixel} 波形如图 3-22，观测其电压保持情况。帧周期为 5 ms ，像素电压幅值范围为 $0\sim 4\text{ V}$ 的情况下， 0 V 电压保持 5 ms 后上升为 0.106 V ，变化幅度为 2.6% ；

3.91V 电压保持 5ms 后上升到 3.95V，变化幅度为 1%。因为“pull”大部分时间为低电平，M2 长时间开启，M3 栅极电压处于变动状态，但统计其大部分时间仍是大于其开启电压，M5 即使在关闭状态下仍有极小电流流过，因此电源通过 M5 给像素电容充电，使得保持状态下像素电压略有升高。

3.3 版图设计

3.3.1 版图各层定义与规范

表 3-2 列出了本次流片所需要的版图情况，版图总数为 13，各层层号、对应工艺、名称、明暗定义、扩大/缩小尺寸、划片道明暗情况、材质等规范见表 3-2。其中 1~12 版为标准 CMOS 工艺所需分别对应源区、P 阱、多晶、N+ 区域、P+ 区域、接触孔、金属一、通孔一、金属二、通孔二、金属三、Pad，13 号版用于剥离工艺制备镜面反射电极。

表 3-2 本次流片所需版图情况列表

Process No.	MASK NAME	Chip Dig Area.			Scribe Line	AlignTo	Mask Material
		Level No.	C/D	Bias/Side			
Active	LCoS01-A-TO	1	D	+0.1	C	FLAT	QZ
Pwell	LCoS01-A-PT	2	D	0	D	TO	QZ
Poly1	LCoS01-A-GT	3	D	+0.01	C	TO	QZ
N+	LCoS01-A-SN	4	C	0	D	TO	QZ
P+	LCoS01-A-SP	5	C	0	D	TO	QZ
Contact	LCoS01-A-W1	6	C	0	D	TO GT	QZ
Metal1	LCoS01-A-A1	7	D	0	C	W1	QZ
Via1	LCoS01-A-W2	8	C	0	D	A1	QZ
Metal2	LCoS01-A-A2	9	D	0	C	W2	QZ
Via2	LCoS01-A-W3	10	C	0	D	A2	QZ
Metal3	LCoS01-A-A3	11	D	0	C	W3	QZ
Pad	LCoS01-A-CP	12	C	0	D	A1	QZ
Polyimide	LCoS01-A-PI	13	C	0	D	A1	QZ

图 3-23 示出了各层版图的图例，用不同颜色和不同图案代表各个不同层次的版图形状，方便版图的绘制和读取检查。

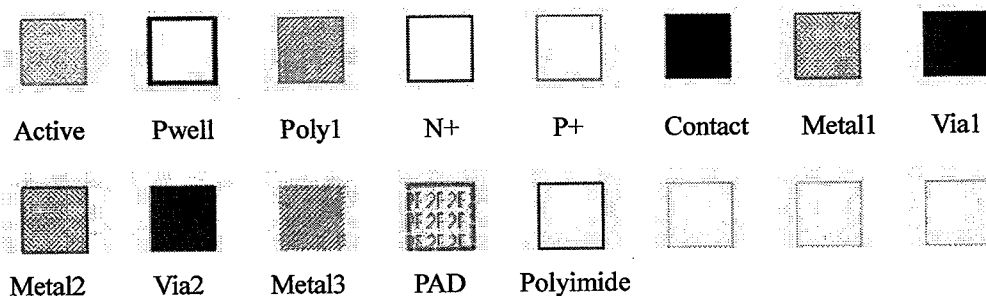


图 3-23 各层版图图例

3.3.2 子电路版图设计

3.3.2.1 BUFFER 版图设计

BUFFER 电路由若干个反相器串联组成，反相器的宽长比逐次增大。输入信号从第一级反相器的输入端输入，从最后一级反相器的输出端输出，经过多级反相器放大，大幅提高了驱动能力。

Foundry 提供的标准工艺库中给出了不同尺寸和驱动能力的反相器版图，选择合适尺寸的反相器版图串联得到 BUFFER 版图。

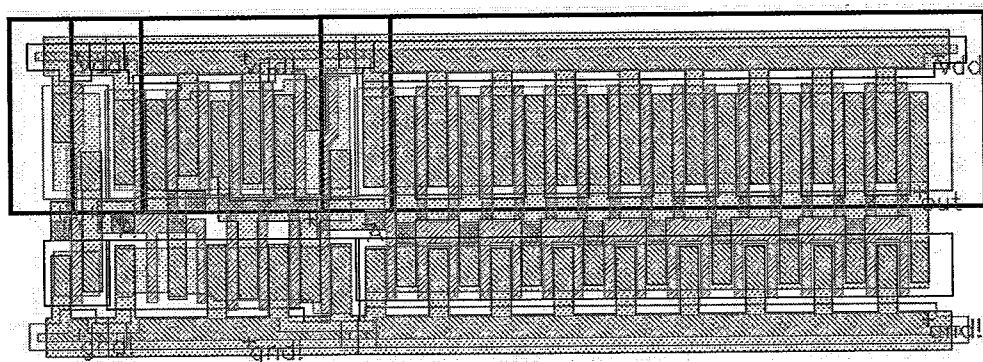


图 3-24 BUFFER 版图设计

图 3-24 给出了驱动能力分别为 1X、5X、17X 的反相器组成的 BUFFER 的版图，不同尺寸的反相器版图规格统一，其高度相同，长度不等，而电源线和地线正相对。对齐其电源线和地线，用金属布线把前一级反相器的输出端和后一级反相器的输入端首尾相连，得到用于提高驱动能力的 BUFFER 版图。

3.3.2.2 移位寄存器、缓冲寄存器及比较器版图设计

4 位移位寄存器组由 4 个 D 触发器并组成，4 位缓冲寄存器由 4 个 D 触发器并联组成，标准单元库中分别提供了 D 触发器和 4 位比较器的版图，合理布局 D 触发器和比较器的位置，得到如图 3-25 所示移位寄存器、缓冲器及比较器版图。

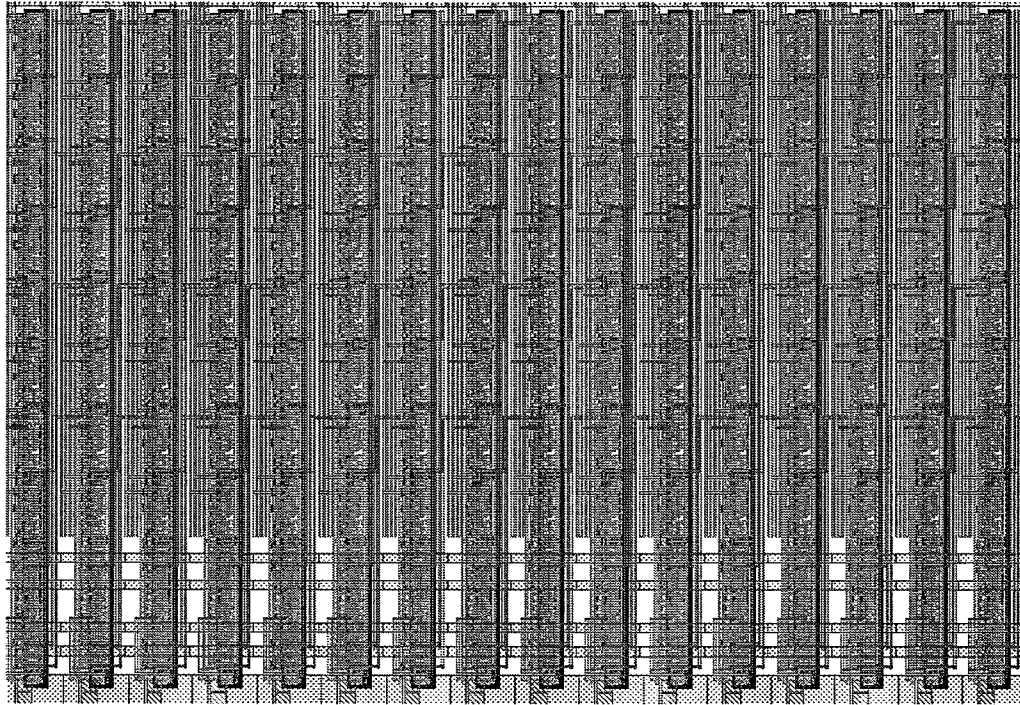


图 3-25 移位寄存器、缓冲寄存器及比较器版图设计

如图 3-25 所示，8 个 D 触发器成一列排列，其中上部 4 个 D 触发器并联组成移位寄存器组，下部 4 个 D 触发器并联组成缓冲寄存器组。前级和后级移位寄存器组相应位置 D 触发器串联，组成 320 列移位寄存器组；上部移位寄存器组和下部缓冲寄存器组相应 D 触发器串联，组成行锁存逻辑。

比较器版图布局在缓冲寄存器版图下方，比较器的输入端分两组，一组 b3、b2、b1、b0 接计数器的输出，另一组 a3、a2、a1、a0 接缓冲寄存器的输出；比较器的输出端接传输门的控制端。

比较器下方为 CMOS 传输门，传输门输入端为台阶信号 RAMP，控制端接比较器的输出。比较器的输出端接像素电路 DATA 端，给像素帧缓存电容充电。

3.3.2.3 计数器版图设计

计数器电路由 D 触发器(DFNSYNCLQ1)、两输入异或门(XR02D1)、BUFFER 等基本单元电路组成,标准单元库提供了这些子电路的版图,合理布局得到如图 3-26 所示计数器版图,在其每个输出端串联 BUFFER,提高输出信号的驱动能力。

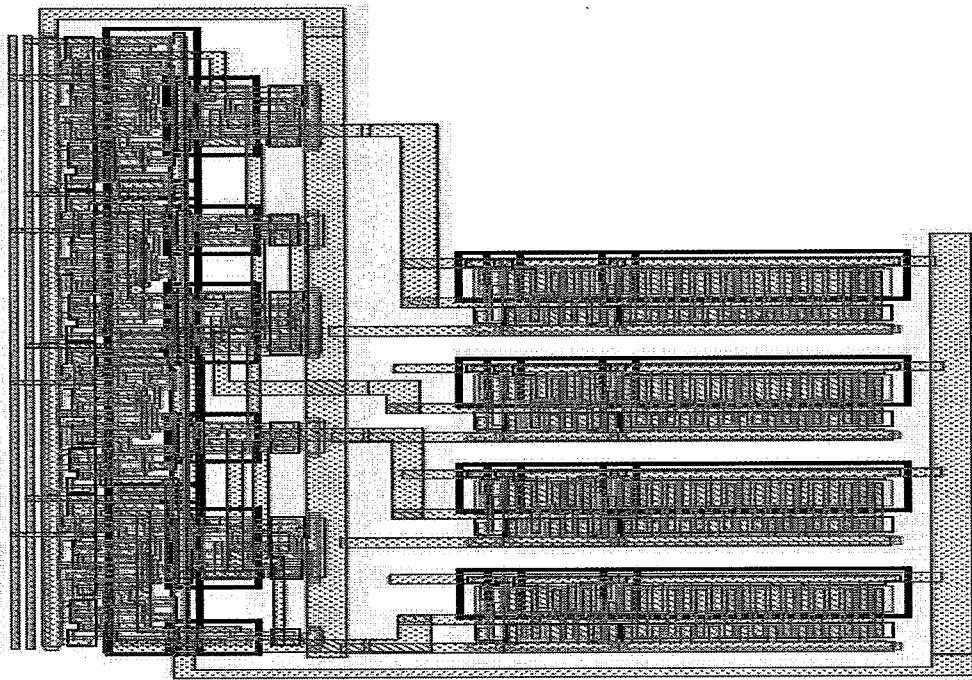


图 3-26 计数器版图设计

3.3.2.4 像素电路版图设计

像素电路版图如图 3-27 所示,合理布局一铝和二铝,其中方形部分为像素镜面反射电极,像素电极之间的横向沟槽为一铝所覆盖,纵向沟槽为二铝所覆盖,像素区域表面完全被金属所遮盖,避免外界强光入射对下层集成电路产生不利影响,造成电路性能退化或失效。

利用 CMOS 栅电容制备像素帧缓冲电容和显示电容。MOS 电容密度为 $2.7 \text{ fF} \cdot \mu\text{m}^{-2}$,其中像素帧缓冲电容 $300 \mu\text{m}^2$,电容值约为 0.8 pF ;像素显示电容面积为 $185 \mu\text{m}^2$,电容值约为 0.5 pF 。

MOS 电容容值随电容两端电压的变化而改变，但电压固定的情况下，其电容值也基本不变。但是 MOS 电容单位面积容值大，而且利用硅衬底和栅极多晶硅作为电极，避免了二次多晶工艺，简化了工艺步骤。本电路对电容容值的要求并不高，因此采用 MOS 电容制备帧缓冲电容和像素显示电容。

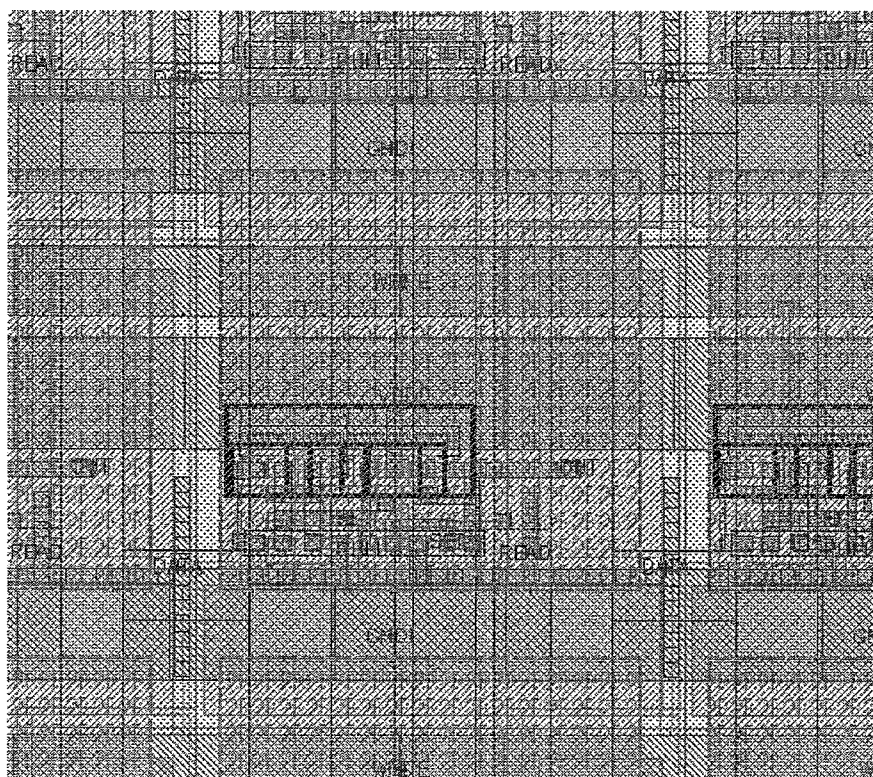


图 3-27 像素电路版图绘制

3.3.3 驱动电路版图总体设计

LCoS 属于反射型显示器件，通过调制液晶材料透明系数，控制反射光线强度来实现显示功能。因此本芯片不能采用常规的塑料或者陶瓷封装。粘合硅基板和涂有透明导电层的 ITO 公共电极形成薄盒，灌装液晶制程 LCoS 面板。

ITO 公共电极需通过硅片压点引出，制版的时候需要全局考虑，如图 3-28 所示，在芯片上刻出 U 形 PAD，通过导电胶粘合，连通芯片电极与 ITO 电极，方便从芯片上施加电压。

电路的 16 条 PAD 整齐排列在芯片上部，每条 PAD 宽为 0.5mm，长为 3.5mm，

相邻 PAD 间隔为 0.5mm，左右最靠边的 PAD 分别制有一个横向突起，以备采用排线热压方法引出引脚的时候作为对准标志。

制备液晶薄盒需要用导电胶粘合 U 形 PAD 与 ITO 公共电极。如果裸露在外的 PAD 与像素区域之间的距离太小，则由于导电胶具有一定的流动性，很容易导致像素镜面反射电极与 ITO 电极短路。因此在设计版图的时候必须留出足够的距离，本文中 PAD 与像素区域之间的最小距离为 1.9mm。

表 3-3 给出了 LCoS 驱动电路管芯的尺寸，管芯长为 18.5mm，宽为 18mm，版图不需要涨缩，不需要镜像。版图数据交由厂家，制备光刻版 13 块，其边长 5 英寸，厚度 0.09 英寸，比例 5: 1，材质为石英。

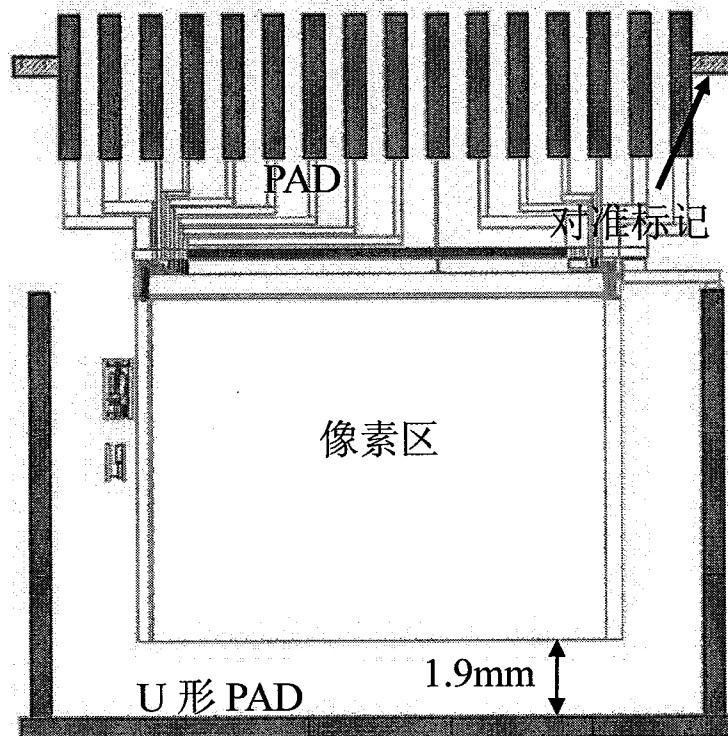


图 3-28 LCoS 驱动电路版图总览

表 3-3 LCoS 驱动电路版图

Data NO.	Chip DataBase	Top Cell	Chip Window	Chip shrinkage	Mirrored
A	LCoS01.gds	LCoS01	(0,0), (18000,18500)	100%	N

3.4 LCoS 平板显示驱动电路版图验证及后仿真

3.4.1 DRC、LVS 验证

绘制电路版图过程中难免发生尺寸、位置等错误，因此需要对版图进行 DRC (Design Rule Check) 检查，确保版图绘制符合设计规则要求。版图文件导出为 GDS 格式，版图设计规则文件由工艺车间提供。以版图设计规则为依据，利用 Cadence 自带版图检查工具 Dracula 对版图进行 DRC 验证，修改版图直至 DRC 检测顺利通过。

版图绘制均符合设计规则要求，并不能证明版图与电路图相符，仍需要进行 LVS (Layout Verse Schematics) 验证。从版图 GDS 文件中提取电路网表，并利用 Dracula 工具把从版图文件中提取的电路网表与所设计电路的网表进行对比，确保版图所提取出的电路与所设计的电路完全一致，保证电路功能正确^[33]。

3.4.2 后仿真

电路模拟过程使用的电路网表是理想状态下的网表，并没有考虑布线、版图布局等产生的寄生效应。因此实际电路的性能与模拟数据会有一些的偏差。为了准确模拟实际电路的工作状态，需要对电路版图进行后仿真，即根据工艺条件与设计规则提取电路版图的电容与电阻等寄生参数，生成计入寄生参数影响的电路网表，利用电路模拟软件 hspice 对此网表进行模拟，得出更符合实际情况的电路工作状态。

本电路规模比较大，集成了超过 100 万只晶体管，利用 Dracula 工具提取整个电路版图寄生参数所得文件为 50M，如此庞大的数据量 hspice 软件无法模拟。同时我们也注意到电路中重复单元多，对有限个单元的后仿真在一定程度上可以代替对整个电路的后仿真，因为我们对 2 行 320 列像素区域和所有外围电路进行参数提取工作，并抽取其中有代表性的节点，验证电路功能及性能。

选取其中的 4 个像素点进行后仿真，其波形如图 3-29 所示。

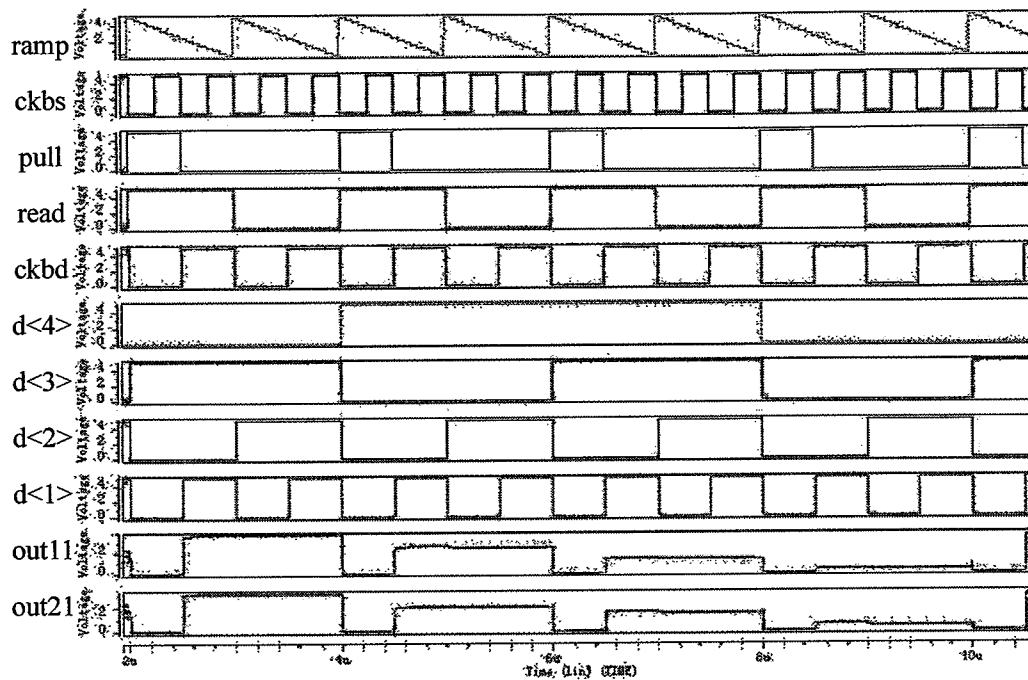


图 3-29 代表性电路后仿真波形图

图 3-29 中，随着像素时钟 $ckbs$ 的跳动， $d<4>\sim d<1>$ 所代表的四位数字信号存入移位寄存器，行扫描时钟 $ckbd$ 下降沿到来，移位寄存器中数据信号锁存到缓冲寄存器中，计数器在时钟 $ckbc$ 的作用下，四位输出端所代表的四位数字信号逐一递增，与缓冲寄存器中数据一致时，比较器输出高电平，传输门开启， $ramp$ 对应电平给行扫描信号选中行的像素电路帧缓存电容充电，一帧扫描完成后， $pull$ 和 $read$ 同时为高，像素显示电容放电， $pull$ 关闭， $read$ 仍为高，帧缓存电容上的电压信号写到像素显示电容。图 3-30 中， $out11$ 和 $out21$ 分别代表同一列，相邻行像素电路像素电容上的电压值， $out11$ 与 $out21$ 周期同步，而幅值相差 $0.6V$ 左右，即相差两个灰度，证明电路功能正确。

图 3-30 验证了像素电路的 16 级灰度功能，帧周期为 $3\mu m$ ，模拟像素缓存电容 $c11$ 上的电压波形为图 3-30 中曲线 $c11$ ， $pull$ 与 $read$ 信号同时为高，像素显示电容放电到 $0V$ ， $pull$ 为低， $read$ 仍为高，像素显示电容上的电压 V_{pixel} 充电到像素缓存电容电压减去 $nmos$ 阈值电压，模拟得到波形 $out11$ 。 $out11$ 为幅度范围 $0-4V$ 、灰度 16 级台阶电压波形，与设计预期相符。

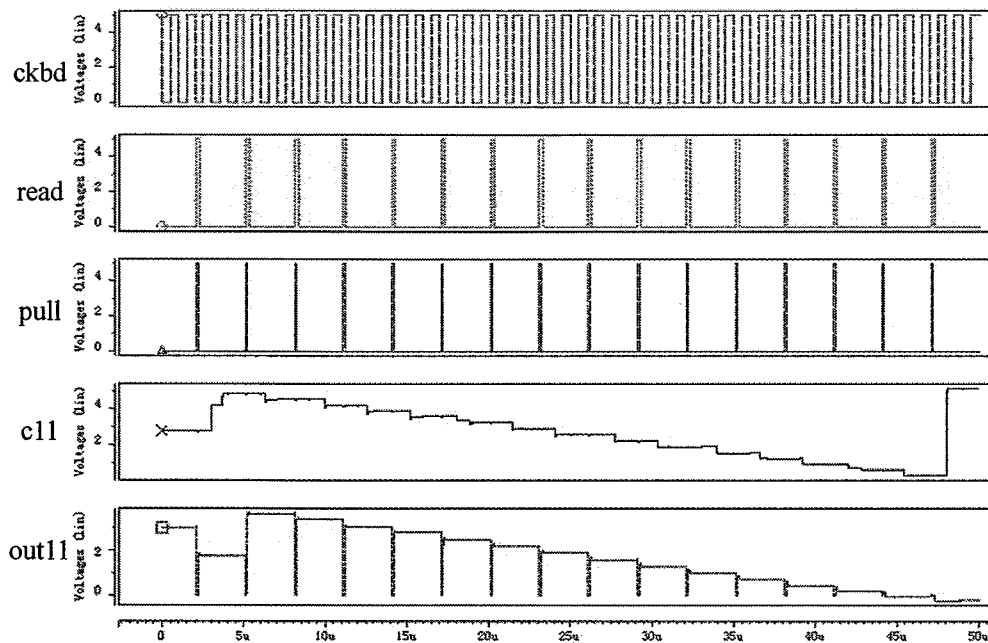


图 3-30 16 级灰度模拟波形图

经以上电路版图后仿真，证明电路功能正确，版图绘制合理，满足 LCoS 微显示驱动的要求^[42]。

3.5 本章小结

本章首先给出 LCoS 微显示驱动电路的结构框图，然后从基本单元着手，搭建起具有各种功能的模块，再组合成完整的电路。

用到的基本模块包括反相器、D 触发器、异或门、比较器等，在此基础上搭建了 320×4bit 移位寄存器、320×4bit 缓冲寄存器、4 位计数器、具有更高驱动能力的 BUFFER 以及行扫描电路。

不同液晶材料的阈值和饱和电压各不相同，为了能应用于各种液晶材料，而且电压调节简单方便，设计了计数器+比较器+传输门组成的数模转换电路，输入为 4 位数字信号、时钟信号和 16 级台阶电平信号，输出为 4 位数字信号所代表的模拟电平信号。此电路结构简单，调节方便，电压变化范围大，很好满足了后期

LCoS 微显示面板的测试工作

对 LCoS 像素电路的发展历程进行了研究,对各种像素电路的优缺点进行了深入细致的分析,综合各种像素电路的优势,并修正其不足,提出了逻辑较简单、亮度和对比度更高的电路形式。

对所有单元电路进行了仿真模拟,确保电路功能与设计要求一致。绘制电路版图,进行 DRC、LVS 等验证,确保版图绘制准确无误,提高流片成功率。提取版图寄生参数,选取代表性电路进行后仿真,验证电路功能,提高电路模拟的准确度。

第四章 LCoS 特殊技术研究

LCoS 技术是集成电路技术与液晶技术的有机融合, LCoS 制程主要分为三部分: CMOS 驱动电路制备、液晶灌装以及集成电路技术与液晶技术的协同技术。在集成电路与液晶工艺的整合方面, LCoS 技术有许多特殊的技术要求。

LCoS 为反射型显示器件, 需要外界强光源照射, 成像器件反射强光, 提高显示的亮度和对比度。强光照射会对集成电路产生影响, 引起电路性能退化甚至产生错误操作, 因此需要利用金属制作遮光层阻挡外界光照, 保护深层电路不受影响。本文利用金属布线和镜面反射电极合理布局, 不增加工艺步骤实现了遮光层的制备。

LCoS 技术采用的液晶材料厚度一般在 $2\mu\text{m}$ 左右, 硅基板的表面起伏对液晶厚度的均匀性影响很大, 因此 LCoS 技术要求硅基板的平整度非常高。本文采用三次 CMP 工艺确保像素区域能够获得较高平整度, 同时合理优化版图结构, 把台阶叠加到像素之间的隔离沟槽中, 最大限度减少表面起伏对 LCoS 显示效果的影响。

LCoS 像素区域镜面反射电极一般采用铝来制备, 但是铝暴露在空气中极易氧化, 反射率大大降低。本文用银代替铝制备镜面反射电极, 提高镜面反射电极反射率和抗氧化性。

4.1 制作遮光层

LCoS 为反射型显示器件, 外部强光源透过液晶层, 照射到反射镜面电极上, 经镜面电极反射入人眼, 利用液晶层两端电压控制液晶层的透明度来控制反射出液晶层的光线的强度, 实现灰度调制功能。

在使用过程中, LCoS 面板长时间受到外界强光的照射, 为了保证硅衬底上的集成电路不受外界强光照射的影响, 需要制作遮光层, 遮挡外界强光入射, 保护下层电路正常工作^[1]。

普遍采用的一种遮光层结构如图 4-1 所示, 采用四层金属工艺制备硅基板, 其中金属一、金属二两层金属布线, 单独制作一层金属制备遮光层遮蔽外部光线,

像素中部遮光层开孔，把下层金属电极引上来，再制作铝反射镜面电极，完成硅基板的制备。

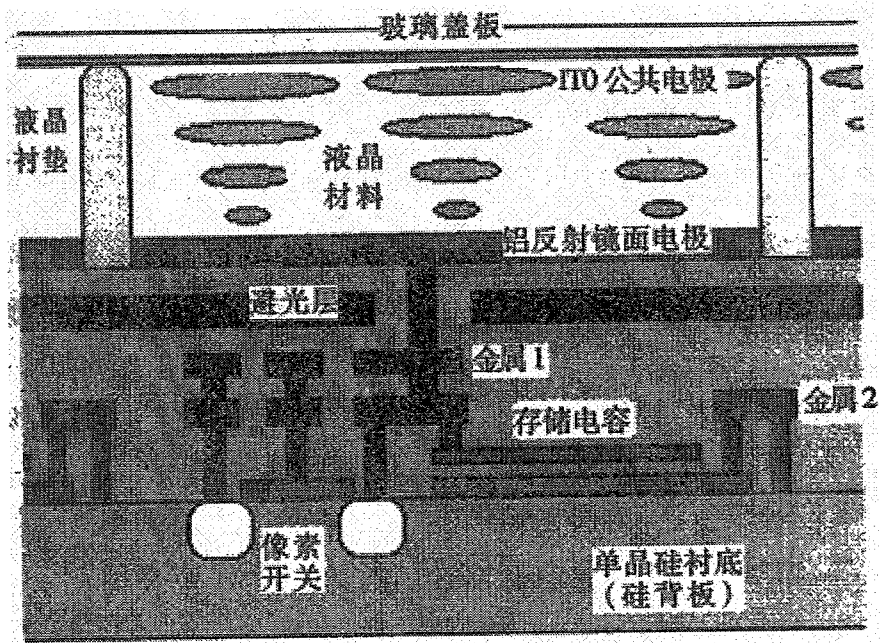


图 4-1 一种 LCoS 像素剖面图

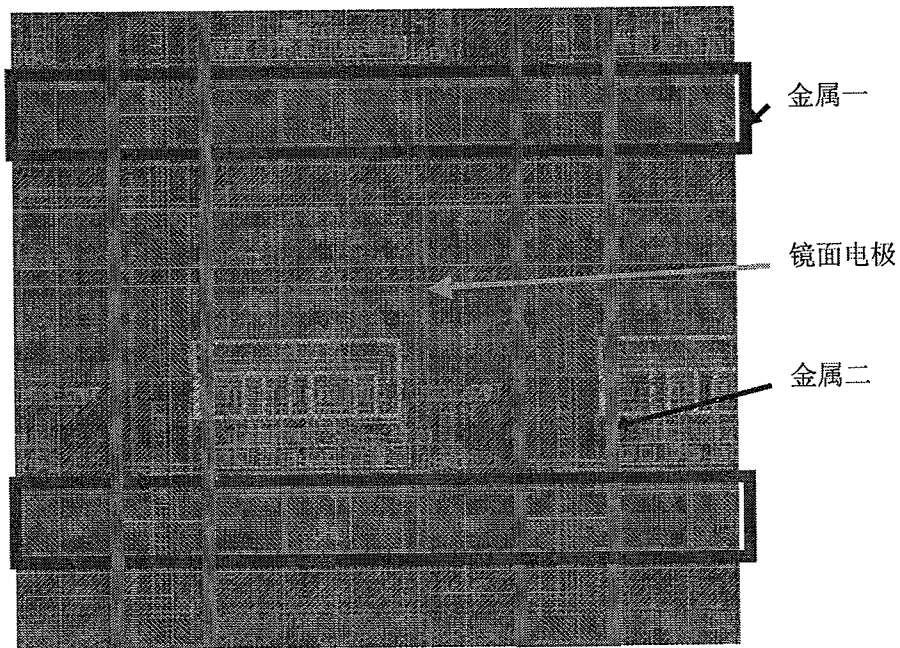


图 4-2 本文所采用的像素电路版图形式

本文所采用的像素电路版图布线形式如图 4-2 所示,其中方形部分为像素镜面反射电极,横条部分为金属一,竖条部分为金属二,像素表面分别被金属一、金属二和镜面反射电极所覆盖。硅片表面划分为三个部分:镜面电极、相邻镜面电极之间的横向沟槽、相邻镜面电极之间的纵向沟槽。在本文所采用的版图形式中,横向沟槽被金属一遮盖,纵向沟槽被金属二遮盖,巧妙布局金属一、金属二和镜面反射电极即可完全覆盖像素区域。

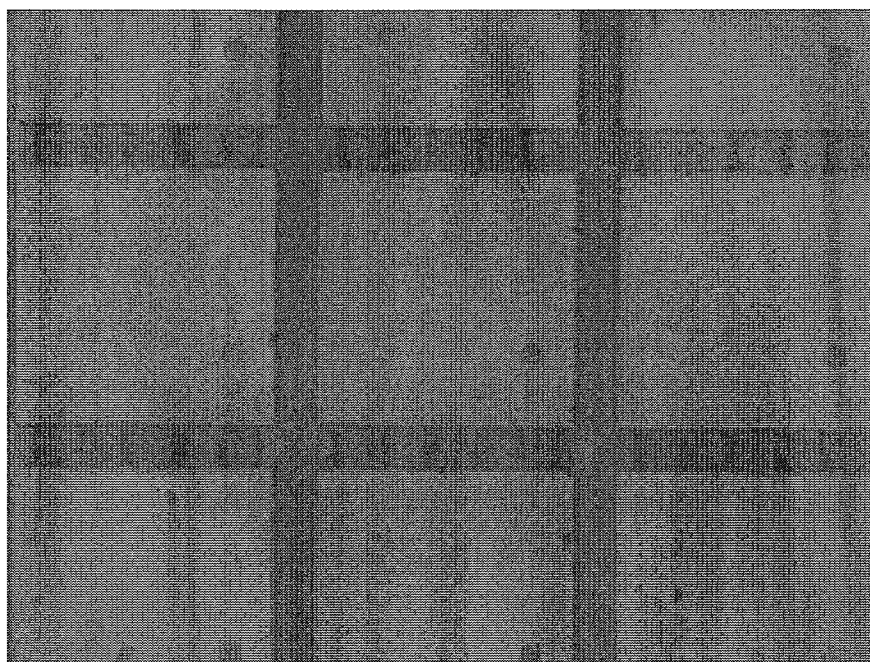


图 4-3 LCoS 驱动电路像素区域显微照片

图 4-3 为驱动电路芯片像素区域的显微照片,可以看出整个像素表面完全被金属所覆盖,避免了外界强光对集成电路的影响。本方案采用三层金属工艺,既完成了布线功能,又实现了遮光层的作用,减少了一次金属薄膜制备工艺,是对 LCoS 遮光层制备工艺的一种改进。

4.2 像素表面平整度实现

4.2.1 工艺设计

为了保证像素表面的平整度,在标准铝布线 CMOS 工艺的基础上,增加了 CMP 工艺,保证了介质表面的平整度,工艺步骤如下:

- 硅衬底及集成电路器件制备;
- PECVD (等离子增强化学气相淀积) 方法生长介质一;
- CMP (化学机械抛光), 保证硅片表面平整度;
- 光刻并刻蚀接触孔;
- 溅射铝并光刻、刻蚀, 形成一铝布线;
- PECVD 介质二
- CMP;
- 刻一次通孔;
- 二铝布线;
- PECVD 介质三
- CMP;
- 刻二次通孔;
- 溅射 Ti/TiN 和钨, 反刻钨, 形成钨塞;
- 蒸银;
- 剥离银, 形成银反射电极;
- 制备薄盒, 灌装液晶;
- 键合引出电路管脚;
- 成品测试^[2-7]。

图 4-4 给出了具体工艺流程的直观图示。其中 (2)、(4)、(6) 步确保刻二次通孔之前硅片表面的平整度。第 (7) 步保留了大面积的 TiN, 一方面保护二次通孔不会在反刻钨塞的时候受到破坏; 另一方面由于 TiN 与 Ag 的粘附性能大于 SiO₂

与 Ag，保留大面积的 TiN 可以防止剥离 Ag 的时候 Ag 出现脱落^[8-13]。

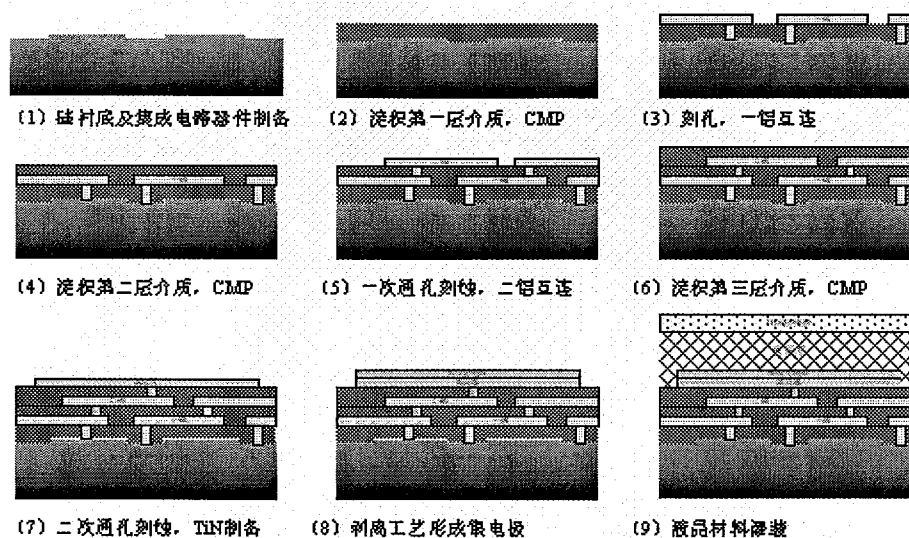


图 4-4 LCoS 微显示驱动面板制的具体工艺步骤

4.2.2 实验结果

按照上述工艺步骤制备出 LCoS 驱动芯片，利用 AFM（原子力显微镜）测试像素区域表面平整度。图 4-5 为像素区域表面形貌示意，其中深度方向的尺度进行了放大，方便我们直观理解表面起伏状况，实际表面形貌则要比示意图缓和的多。

由图 4-5 可以看到方形的反射电极，四周有较深的隔离沟槽。除了像素之间沟槽之外，每个像素反射电极区域还有 2 条较浅的槽，其中一条贯穿整个像素反射电极区域，浅槽的一端有一个点状突起，另一条浅槽长度约为像素电极宽度的 2/3，并没有贯穿像素反射电极。

横切像素隔离沟槽、像素反射电极上的浅槽得到如图 4-6 所示剖面曲线，测量得像素隔离沟槽与像素反射电极之间的台阶高度为 687nm。

沿点状突起所在位置横切像素区域，得到如图 4-7 所示剖面曲线，量得点状突起高度约 294nm。AFM 测试结果显示点状突起中间存在一个凹坑，凹坑深度约 150nm。但由于点状突起和凹坑尺度很小，AFM 只能测到此处有起伏，对于小尺寸的台阶，AFM 测试数据并不准确。

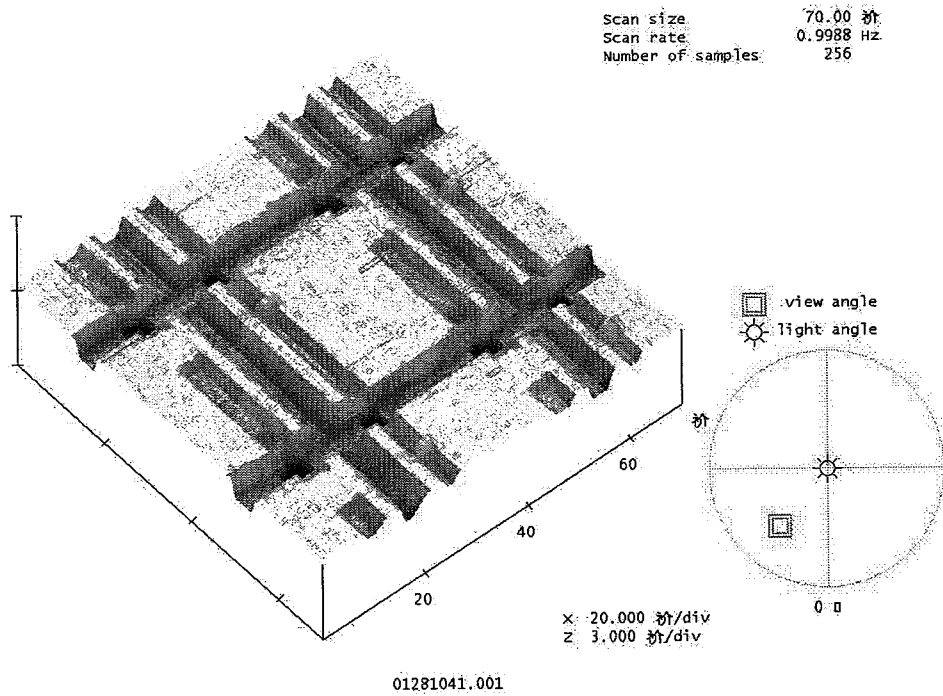


图 4-5 AFM 测试所得像素区域表面形貌示意图

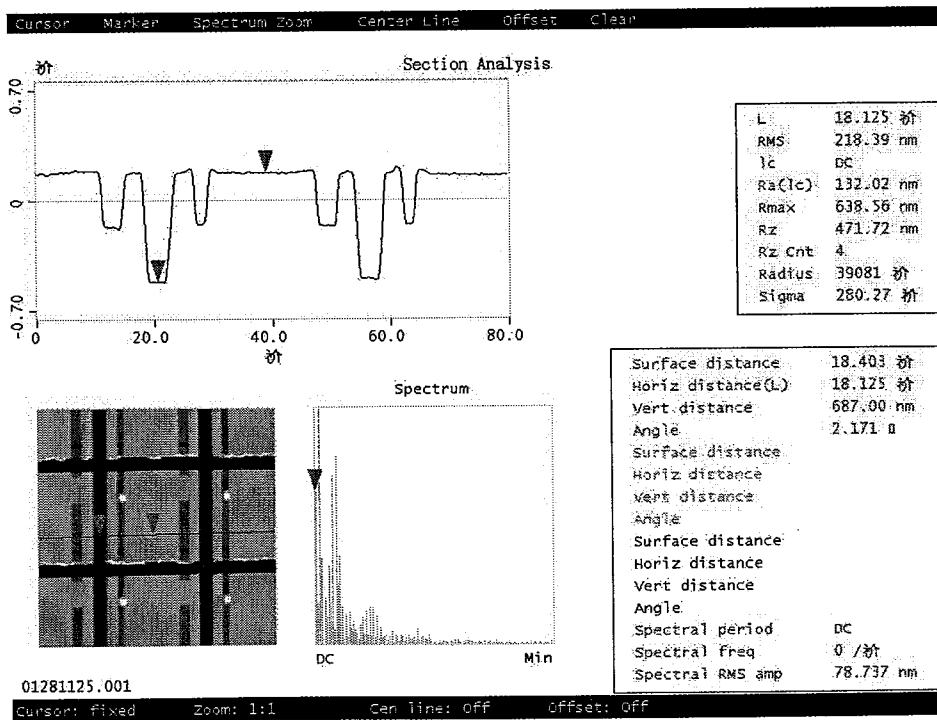


图 4-6 AFM 测试所得像素区域表面横向高度起伏示意图 1

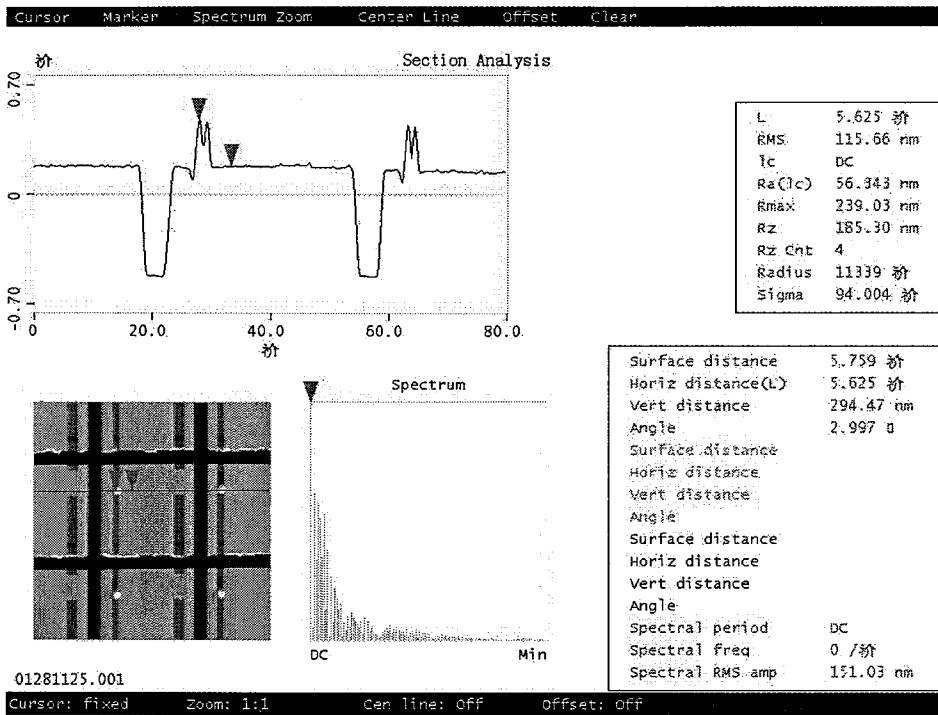


图 4-7 AFM 测试所得像素区域表面横向高度起伏示意图 2

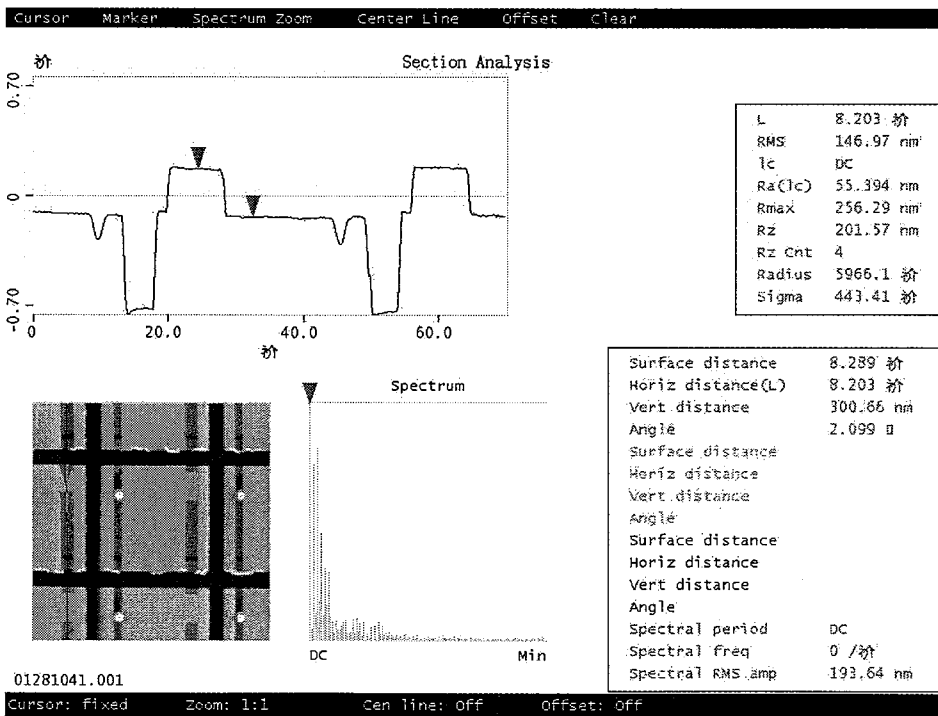


图 4-8 AFM 测试所得像素区域表面纵向高度起伏示意图

沿像素反射电极上的浅槽方向绘制像素表面起伏状态曲线，如图 4-8 所示，测得像素反射电极上的浅槽与反射电极之间的台阶高度约为 300nm。另外此浅槽中存在一个凹坑，深度约为 150nm。

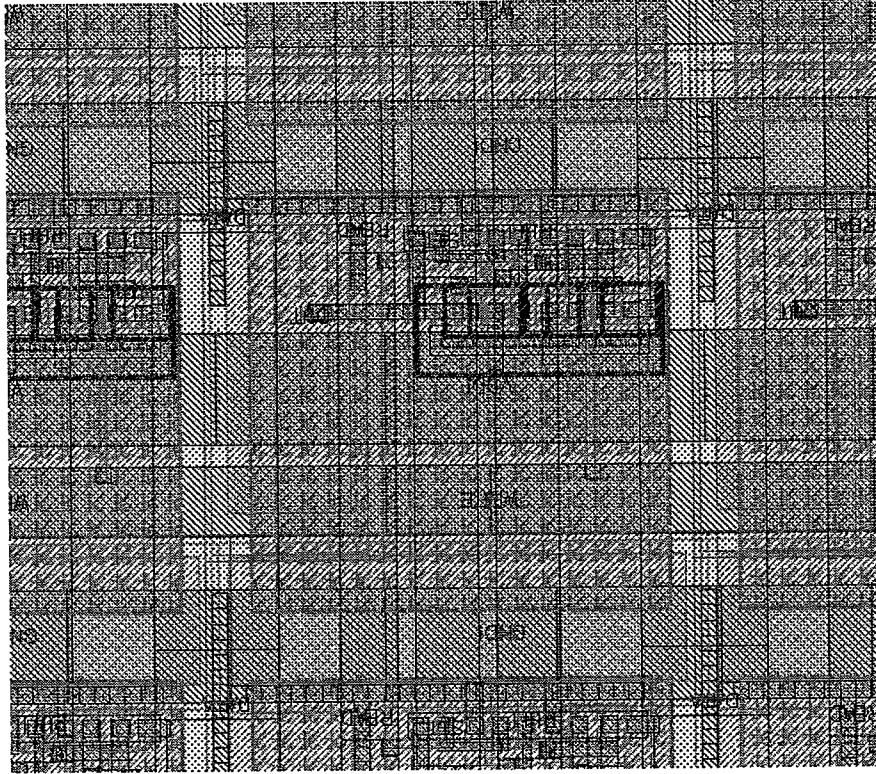


图 4-9 与 AFM 测试区域相对应的版图形状

图 4-9 为对应 AFM 测量区域的版图，方形区域为镜面像素电极，长条状图形为二铝，对比图 4-5、4-6、4-7、4-8 与图 4-9，发现像素电极上的浅槽对应版图中没有二铝的区域，证明此浅槽是由于制备二铝和第三层介质之后的 CMP 不彻底所形成。较短的浅槽一端有一个点状突起，中间有一凹坑，对应版图中相同位置放置了通孔 2 连通像素电极，此处 Ti/TiN 层在制备过程中有返工，原始版图 Ti/TiN 为 $1.2\mu\text{m}\times 1.2\mu\text{m}$ 方块，修正后的版图扩大其面积与像素电极相等，此处 Ti/TiN 层做了两遍，形成点状突起。凹坑则由通孔 2 形成，Ti/TiN 的中间放置了通孔 2 的版图，虽然通孔中填充了钨塞和 Ti/TiN，但仍然不能填平刻孔带来的凹坑，仍留下了深度约为 150nm 的凹陷。右边的浅槽有一段中断，对应版图相应位置有 2 条

二铝，其间隔小于 1 μm ，介质三对较小尺寸的台阶填充效果较好，因此平坦化效果较好，没有出现明显凹陷。

对照版图与表面形貌图，还可得知图 4-6 所测得 686nm 的台阶为 Ti/TiN 台阶、剥离 Ag 所形成台阶之和。

图 4-10 是用同样工艺制备的硅基 OLED 微显示器件像素区域形貌示意，图 4-11 是与图 4-10 对应像素区域的版图布局。通过对比发现此器件各步工艺形成的台阶都是独立存在的，不存在叠加，分别对应不同层次形成的高度差。

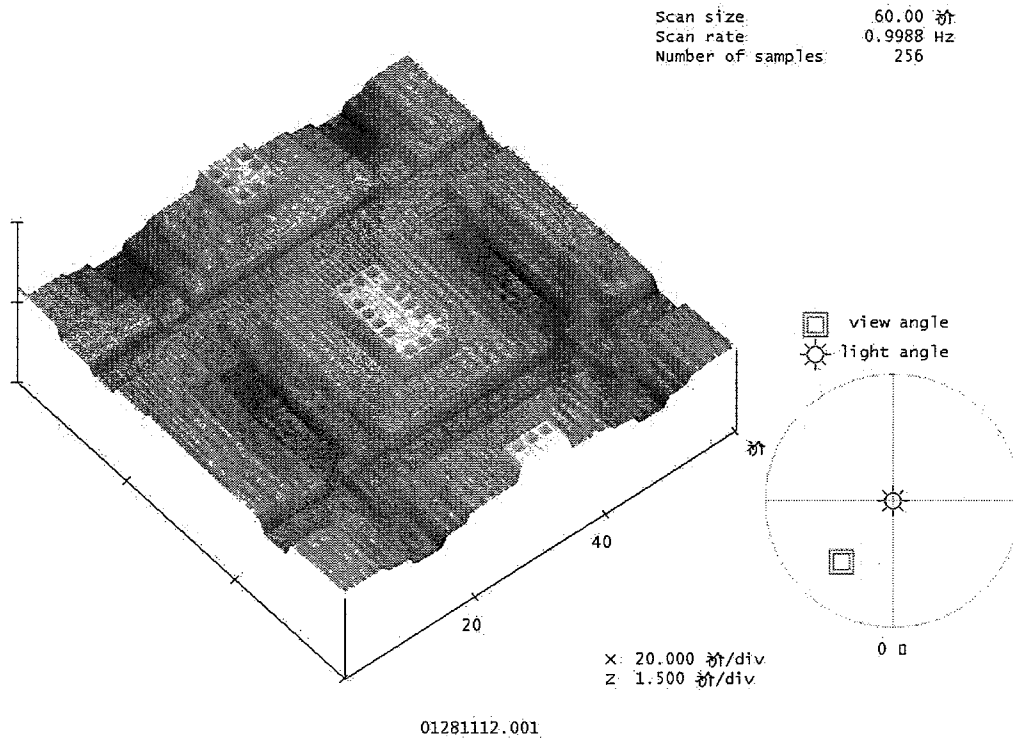


图 4-10 相同工艺条件制作的硅基 OLED 像素区域表面形貌示意图

图 4-12、4-13 分别给出了硅基 OLED 器件横向和纵向表面高度起伏示意，对照其版图，即图 4-12，得出各个台阶的对应高度。其中图 4-12 测得台阶高度即为单次刻蚀 Ti/TiN 所形成的台阶，高度为 272nm。曲线最低处的台阶为银电极形成的台阶，高度约为 150nm。因为二者制备工艺采用的银厚度相同，则可计算出 LCoS 像素区域 Ti/TiN 形成的台阶为 536nm，形成的原因一为 Ti/TiN 返工，二为 Ti/TiN 过刻严重，导致此台阶高度远超设计预期。

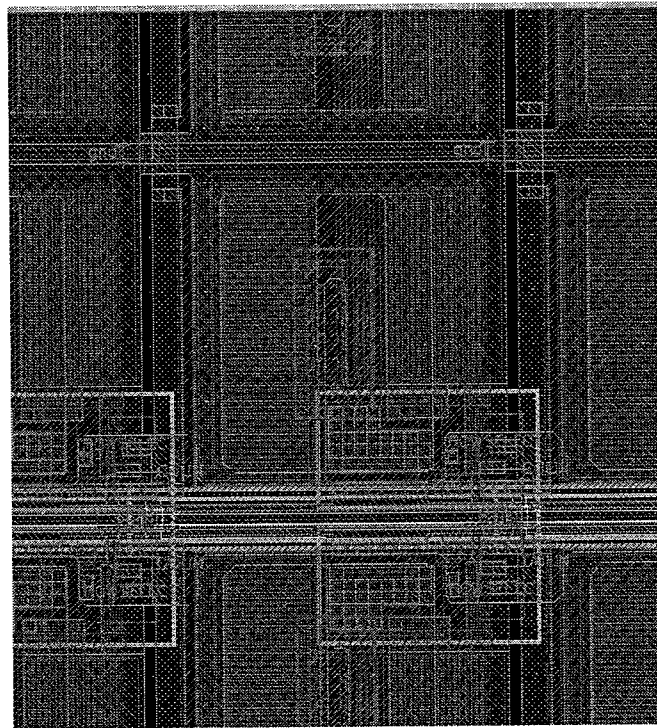


图 4-11 相同工艺条件制作的 OLED 器件像素区域版图

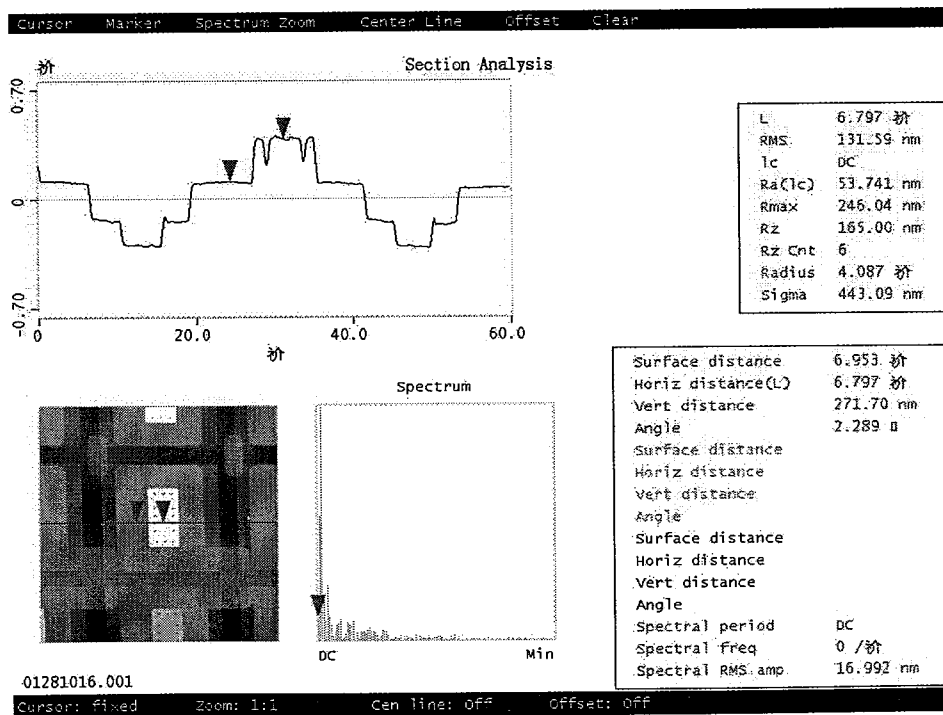


图 4-12 相同工艺条件制作的 OLED 器件像素区域表面横向高度起伏示意图

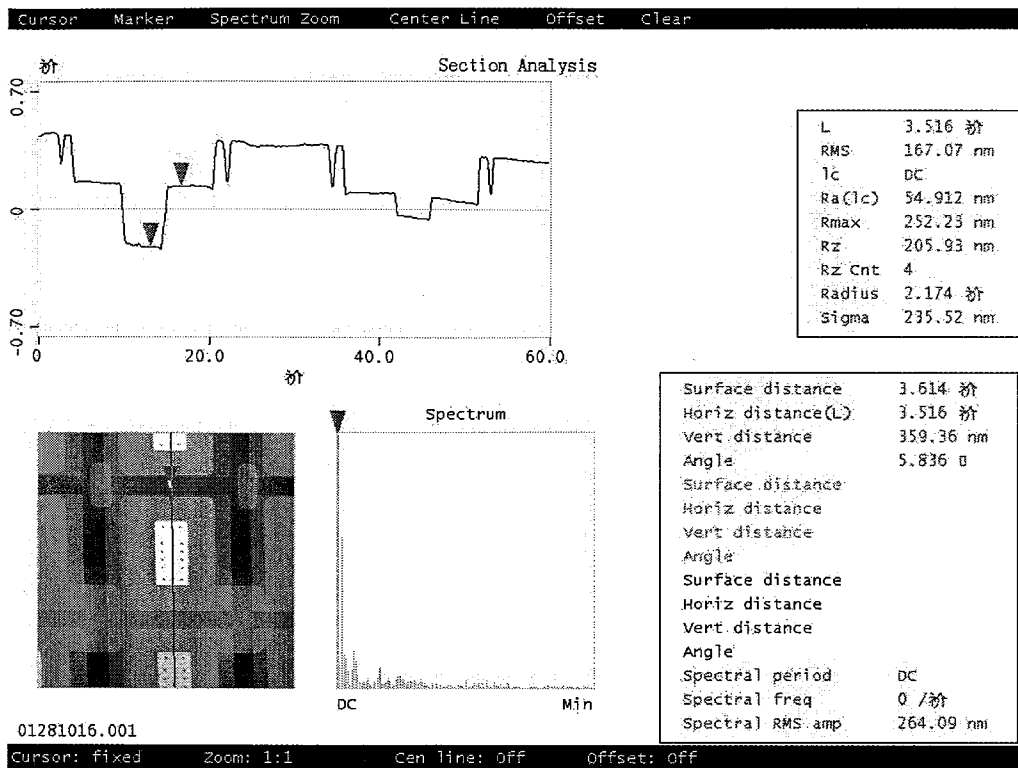


图 4-13 相同工艺条件制作的 OLED 器件像素区域表面纵向高度起伏示意图

与预期台阶高度对比，见表 4-1 所示，总的台阶高度大大超出预期结果。

表 4-1 预期台阶高度与实测高度对比及形成原因

项目	银电极台阶	Ti/TiN 台阶	二铝 CMP 台阶	最大起伏
预期台阶高度	100nm	100nm	0	200nm
实测台阶高度	150nm	265m	300nm	686nm
形成原因	银蒸发厚度变大	Ti/TiN 有返工，并且过刻严重	CMP 不彻底	银与 Ti/TiN 二者叠加

4.2.3 工艺改进方案

为了提高像素区域表面平整度，解决方案有二，一是降低台阶高度，尤其是降低像素电极上的台阶高度；二是通过修改版图把台阶移到不影响显示效果或相对

影响较小的地方。

Ag 电极的制备采用剥离工艺，形成的 Ag 的台阶高度即为 Ag 电极的厚度，不存在过刻蚀问题。减少 Ag 的蒸发时间，或者降低 Ag 的蒸发速率，即可降低 Ag 的厚度，剥离后形成的台阶也会相应变小。

标准工艺中 Ti/TiN 总的厚度约为 70nm，保证刻蚀完全的情况下减少 Ti/TiN 的过刻可以降低 Ti/TiN 刻蚀形成的台阶高度。如果过刻 50%，则台阶约为 100nm，如果过刻 100%，则台阶约为 150nm，比现在的正常实验结果 272nm 均可以有超过 100nm 的改进。像素电极上的点状突起是由于 Ti/TiN 返工形成的，属于非正常情况，故可以忽略。

二铝台阶的形成是因为第三次 CMP 做的不彻底，并没有磨平二铝布线形成的台阶。二铝布线完成，淀积介质三之后，形成的二铝台阶约为 500nm，淀积足够厚的氧化层，抛去表面至少 500nm 厚的介质层，则可以保证 CMP 磨平二铝形成的台阶。

通孔 2 在像素镜面反射电极表面形成一个凹坑，其面积 $6\mu\text{m}\times 0.6\mu\text{m}$ ，深度小于 200nm。在保证互联效果的基础上减少通孔 2 的数量，可以降低表面凹坑数量，改善镜面反射电极平整度。

如上提及的台阶并不会全部叠加在一起，可能出现的最大台阶为 Ti/TiN 台阶与银电极台阶叠加所形成的台阶，通过以上措施，则像素区域最大台阶高度可降低到 250nm 以下。

LCoS 器件正常显示情况下，像素电极反射外部光源照射进来的光线，而像素之间的沟槽区域由于底部无电极，与上 ITO 电极之间没有电位差，液晶一直处于不透明状态，因此沟槽处所形成的台阶对器件的显示效果影响不大。工艺条件不变的条件下修改版图，使所有可能出现的台阶都叠加在像素沟槽上，保证像素电极的平滑程度，可以显著提高显示效果。Ag 与 Ti/TiN 的台阶在修正后的版图中已经重合；增大二铝的面积，使二铝完全覆盖像素区域，如因布线要求需要断开，则二铝之间间隔不大于 $1.2\mu\text{m}$ ，保证电学断开的同时兼顾 CMP 工艺的效果，确保像素电极上无二铝台阶；保证连通效果的情况下减少通孔 2 的数量，减少像素电极凹坑数量，保证平滑度。

此二种方案结合运用，即可得到除通孔 2 形成的凹坑外基本平滑的像素电极，满足镜面反射的要求；允许出现一定的台阶，全部叠加在像素间隔沟槽中，降低台阶对 LCoS 显示效果的影响。

4.2.4 小结

通过 AFM 测试得到 LCoS 像素确切的表面形貌，对比相应部分的版图得出台阶形成原因，修正工艺步骤有效降低台阶的高度，修改版图改变台阶所在的位置和凹坑的数量，保证用于反射光线的像素镜面电极的平滑程度。通过以上措施，可以把总的台阶高度由 685nm 降低到 250—300nm，并移动到对显示效果影响较小的像素间隔沟槽中，最大限度提升 LCoS 器件的显示效果。

4.3 像素表面蒸发形成镜面反射电极

铝电极是集成电路制造的标准工艺，但是铝电极反射率低，暴露在空气中极易氧化，并且光刻时为了降低铝膜反光对光刻精度的影响，往往须在铝膜表面再做一层 TiN，降低表面反射率；LCoS 微显示的特点要求硅片表面平整度要高，标准 CMOS 工艺中铝膜厚度一般在 5000Å，则刻蚀铝所形成的台阶至少也是 5000Å，如果降低铝的厚度，则其工艺与标准 CMOS 工艺不兼容。因此我们采用银来制作反射电极^[3]。银工艺不是集成电路制造的标准工艺，会污染超净间，因此银电极的形成不能采取在超净间刻蚀的方法，而应单独加工，我们采取图 4-4 第（8）步中光刻、蒸银、剥离银的方法制成反射镜面电极^[14-18]。

4.4 硅片上的外引线连接

4.4.1 ITO 电极的引出与电压施加

图 4-4 第（9）步中要求公共电极 ITO 通过硅片压点引出，我们在芯片上刻出 U 形 PAD，通过导电胶粘合，连通芯片电极与 ITO 电极。图 4-14 为 LCoS 驱动面板布局图，表 4-2 为管脚定义列表，用导电胶把 U 形 PAD 与 ITO COMMON 电极

连接以方便从芯片上施加电压。

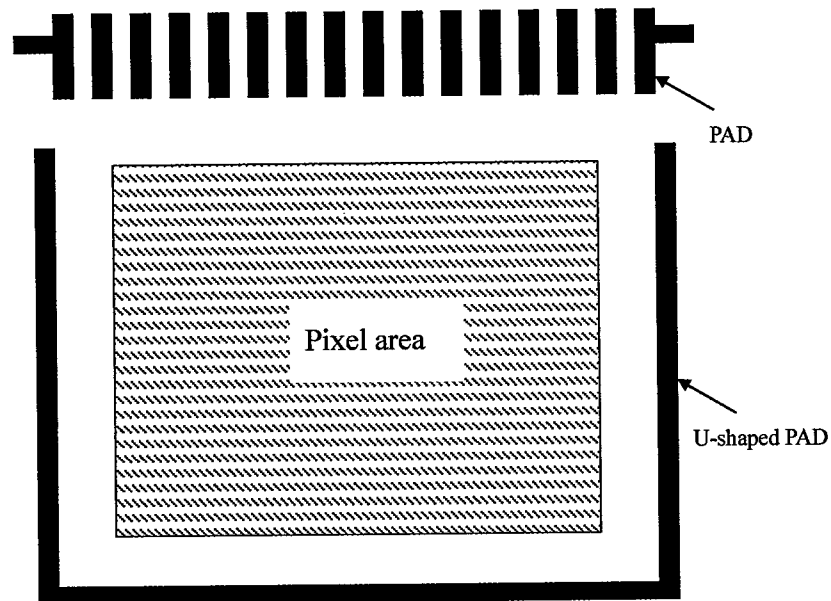


图 4-14 LCoS 驱动面板布局图

表 4-2 管芯布局及管脚定义

管脚序号	管脚定义	信号形式	备注
1	VDD	dc	电源
2	RBD	level	复位端
3	CKBD	pulse	行扫描时钟
4	CKBC	pulse	计数器时钟
5	DD	dc	行扫描电路置位脉冲
6	D4	pulse	数据位
7	D3	pulse	数据位
8	D2	dc	数据位
9	D1	dc	数据位
10	CKBS	pulse	像素时钟
11	DATA	level	阶梯信号

12	PULL	pulse	泄放回路信号
13	SET	dc	全点亮信号
14	READ	pulse	读信号
15	GND	dc	地
16	COMMON	dc	ITO 公共电极

4.4.2 管芯封装

管芯制备完成后，仍需要灌装液晶用于视频显示，因此本芯片不能采用常规的塑料或者陶瓷封装。我们采用的方案是把灌装液晶之后的管芯粘在定制的 PCB 板上，用硅铝丝键合管芯上的 PAD 与 PCB 板上的焊盘，实现硅片的外引线连接。图 4-15 即为灌装液晶、键合引线后的 LCoS 微显示驱动面板成品。

因液晶材料不能经受 90 度以上的高温过程，因此粘合管芯的胶水不能通过烘烤固化，而需要通过常温长时间自然风干固化。

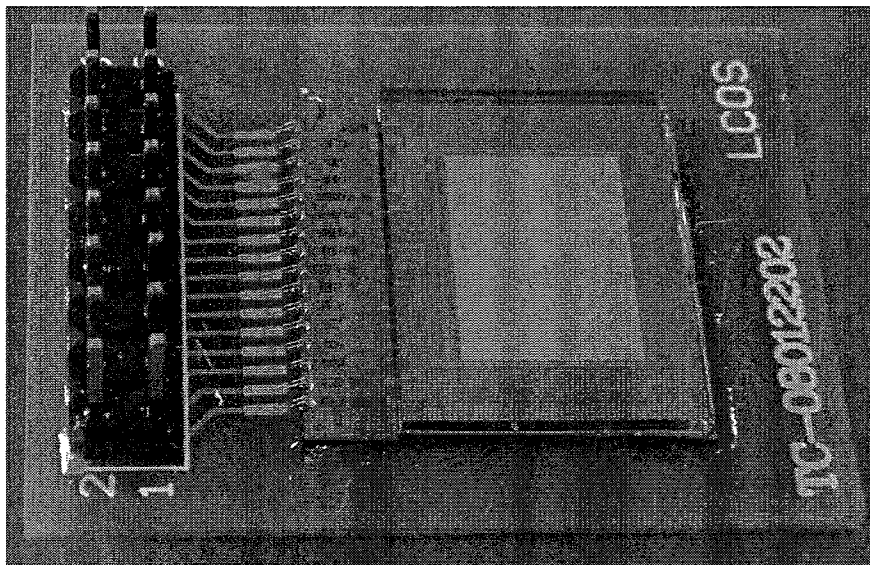


图 4-15 LCoS 微显示驱动面板成品

4.5 本章小结

本章主要研究了的对接问题。集成电路工艺与液晶工艺各有不同的要求，对这些要求进行研究，提出了切实可行的解决办法。

反射型液晶显示器件需要外界强光源长时间照射，为了避免强光照射导致集成电路失效或性能降低，合理布局金属一和金属二以及镜面反射电极，使得此三层金属互相交叠，完全覆盖像素表面区域，阻挡外界光源对集成电路的照射，避免因此引起的失效问题。

液晶层厚度设计为 $2\mu\text{m}$ 左右，像素表面的高低起伏会对液晶的厚度均匀性带来严重影响，并且像素表面电极如果不平整，容易形成漫反射，镜面反射电极徒有其名，严重影响显示效果。在集成电路制造过程中，每次介质层制备完成均施行一次 CMP 工艺，确保镜面反射电极制备之前的像素表面的平整度；利用银电极取代铝电极，提高镜面反射铝，同时亦可降低由于制备镜面反射电极所形成的台阶高度；修改版图布局，使各层台阶交叠在像素之间的沟槽处，保证镜面反射电极的平整度，避免漫反射发生。

在芯片上制作大尺寸 U 型电极，通过导电胶连接 U 型电极和液晶盒 ITO 电极，方便 ITO 电压的施加。

把灌装液晶之后的管芯粘在定制的 PCB 板上，用硅铝丝键合管芯上的 PAD 与 PCB 板上的焊盘，实现硅片的外引线连接。

第五章 LCoS 驱动电路及显示面板测试

本章主要进行了 LCoS 驱动芯片的外观检测,驱动电路功能测试和 LCoS 面板显示功能测试。对制备所得晶圆、管芯外观以及像素区域显微图像进行检测并拍照存档。

因为封装液晶之后的芯片,其表面被玻璃盖板覆盖,电路功能无法测试,因此在封装液晶之前,键合管芯管脚到 PCB 板上,引出芯片 PAD,施加测试向量检验电路功能及性能。本芯目的为驱动液晶显示,并无输出管脚,采用探针扎取像素镜面反射电极的方法取得其电平参数,验证电路功能。

管芯上封装液晶,制得 LCoS 显示面板。同样键合管芯管脚到 PCB 板上,引出芯片 PAD,施加测试向量检验 LCoS 面板显示功能,测试其对比度以及静态图片、动态视频显示功能。

5.1 LCoS 微显示驱动芯片外观检测

图 5-1 为制备完成镜面反射电极之后、划片之前的晶圆图片,每片晶圆可制备 LCoS 管芯 38 只。图 5-2 为 LCoS 驱动电路管芯外观照片,可见方形镜面电极区域除了左上角有一个二次通孔形成的暗点之外,其他区域基本光亮平整,易于形成镜面反射。

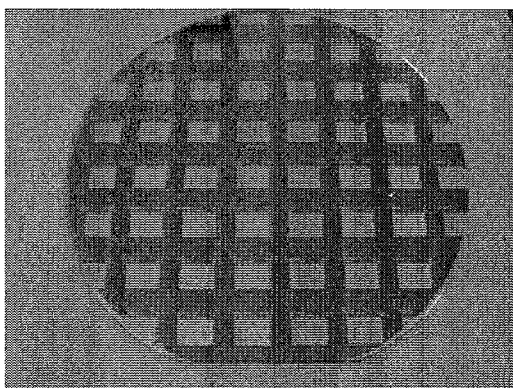


图 5-1 LCoS 晶圆外观照片



图 5-2 LCoS 像素区域显微照片

5.2 LCoS 微显示驱动电路功能测试

晶圆划片得到独立的 LCoS 驱动电路管芯，封装液晶之前，管芯像素区域镜面反射电极裸露在外。将其粘于定制的 PCB 板上，电极键合到 PCB 板焊盘上引出，焊接插座，得到可以用于测试电路功能的 LCoS 驱动电路芯片^[1]，外观照片如图 5-2 所示。

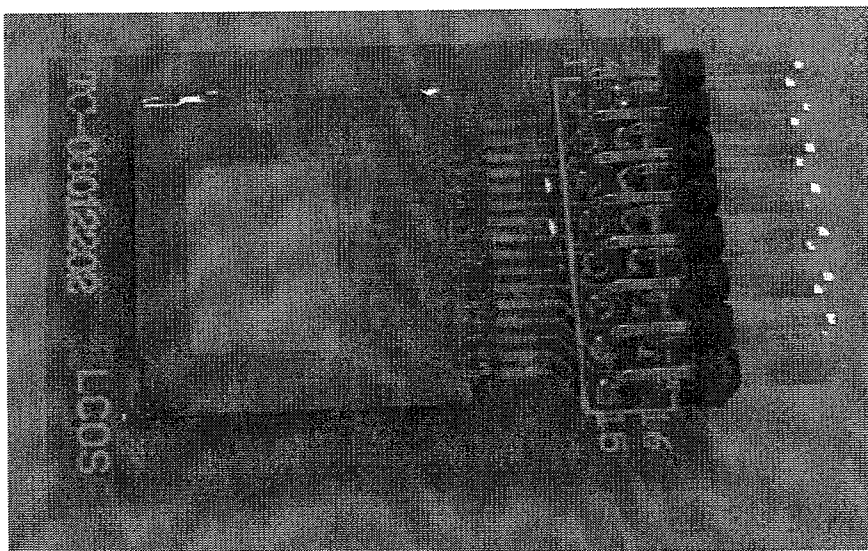


图 5-3 用于电路功能测试的 LCoS 驱动电路管芯外观

本电路具有 16 个输入引脚，其中时钟输入引脚 3 个，数字视频信号输入引脚 4 个，另有电源、地、公共电极以及其他控制信号，测试所需要施加的输入信号数量及种类均较多。为配合 LCoS 电路测试，专门开发出 PCB 测试板，用于产生测试向量。

测试版外观如图 5-4 所示，其上集成晶振、FPGA、大容量 SRAM、电平转换电路、D/A 转换电路等元件以及电源、开关、插槽、插座等各种功能的部件，晶振输出 40M 时钟信号，通过对 FPGA 进行编程，实现各种时序和控制逻辑，同时产生 16 级台阶信号，输入 LCoS 驱动芯片，测试其功能和性能^[2]。

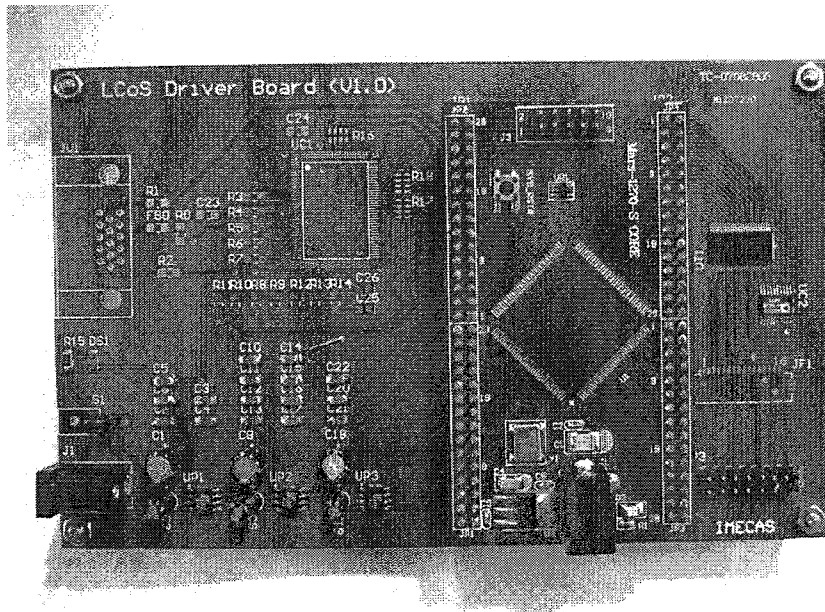


图 5-4 LCoS 电路测试板

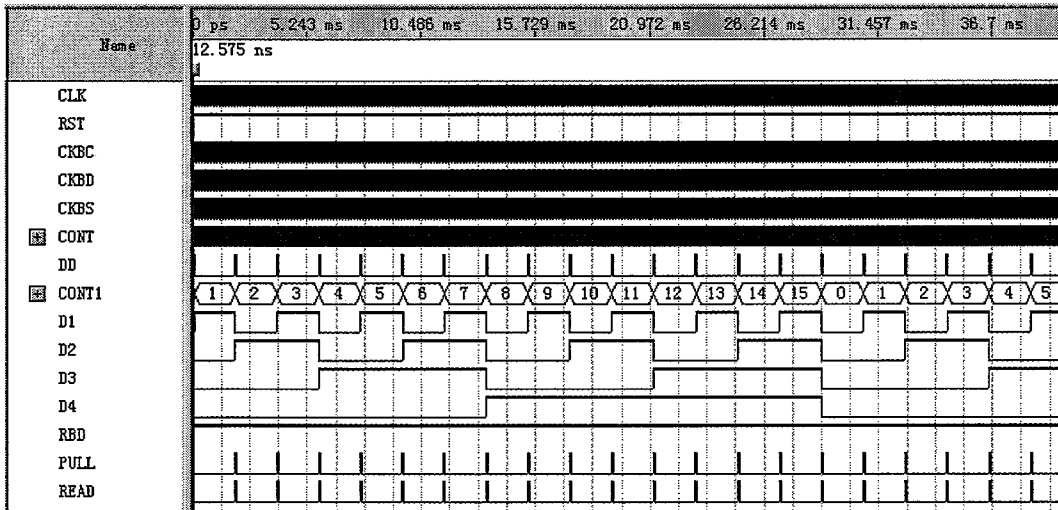


图 5-5 LCoS 电路测试向量 (40ms)

测试版输出的信号施加到 LCoS 驱动芯片输入端，其中芯片 DATA 管脚施加幅值 0-5V 的 16 级台阶电压信号，其他时钟信号和控制端信号如图 5-5 所示，图 5-5 显示较大时间域的电压波形，D4、D3、D2、D1 为 4 位数字信号，代表了从“0000”到“1111”的 16 级灰度，在时间轴上，其代表的电压幅值逐次上升。DD 为一个短脉冲，其周期为行扫描信号 CKBD 的 240 倍，即 240 个行扫描信号周期后，对第

一个行扫描单元置位，实现有切仅有一行像素单元被选中的逐行扫描功能。RBD 为复位信号，低压脉冲到来时，电路中所有触发器复位。PULL 为像素电容放电信号，READ 为像素电容读取电压信号，PULL、READ 均为高时，像素电容放电，PULL 为低，READ 为高时，像素电容充电。

图 5-6 为图 5-5 截取拉伸得到，显示四个计数器时钟周期信号，给出了 CKBS、CKBD、CKBC 三个时钟周期的比例关系。其中 CLK 为晶振时钟，频率为 40MHz；CKBS 为像素时钟，每个时钟下降沿到来，有一组数字信号锁存进移位寄存器，同时锁存器中已有数据顺序平移。CKBD 为行扫描时钟，其周期为像素 CKBS 的 320 倍，CKBS 翻转 320 次，一行数字信号存贮到移位寄存器中，此时 CKBD 翻转，移位寄存器中数据锁存进缓冲器寄存器中，同时行扫描电路顺序移位，下一行写入信号为高，实现逐行扫描。CKBC 为计数器时钟，其周期为 CKBD 的 1/16，即 CKBD 跳动一次，四位计数器计数一周^[3-5]。

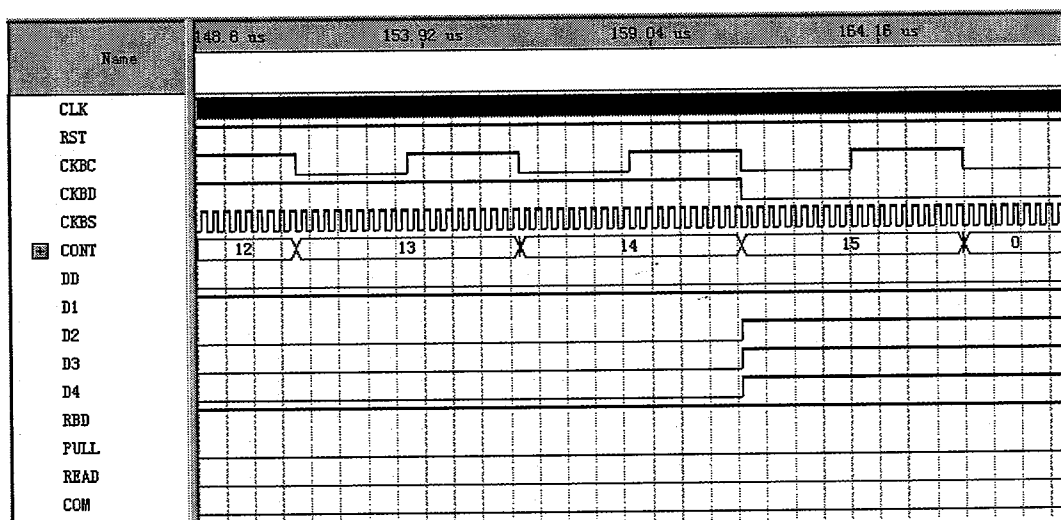


图 5-6 LCoS 电路测试向量 (25 μ s)

施加以上测试向量，用探针扎到像素区域测试像素镜面电极上的电压，得到如图 5-7 所示波形，镜面电极输出电压为随时钟信号变化的 16 级电平信号，幅值在 0-3.8V 之间。输出电压较低时，信号基本无衰减；输出电压较高时，除了最高级灰度由于高压阈值损失而无法上升到应有的高度外，其他灰度级在电压保持期间衰减幅度小于 3%，基本满足设计要求。

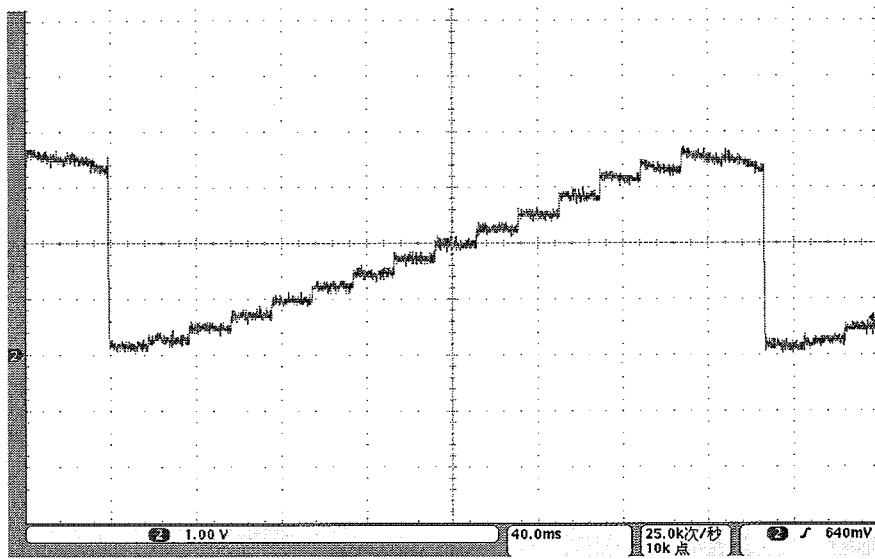


图 5-7 像素镜面反射电极输出电压波形 (0-3.8V)

不同规格的液晶材料具有不同的开启和饱和电压，只需改变输入台阶信号幅度，即可得到小于 4V 的任意电压，满足不同规格液晶材料的驱动要求。一种较典型液晶材料的工作范围为开启电压 1.5V，饱和电压 2.5V，调整输入台阶信号的幅度范围为 2.7-3.7V，得到如图 5-8 所示波形。其最低电压为 1.5V，最高电压为 2.5V，满足此种材料的驱动要求。同理液晶材料发生变化，只需改变台阶电压范围，即可适应其驱动要求。

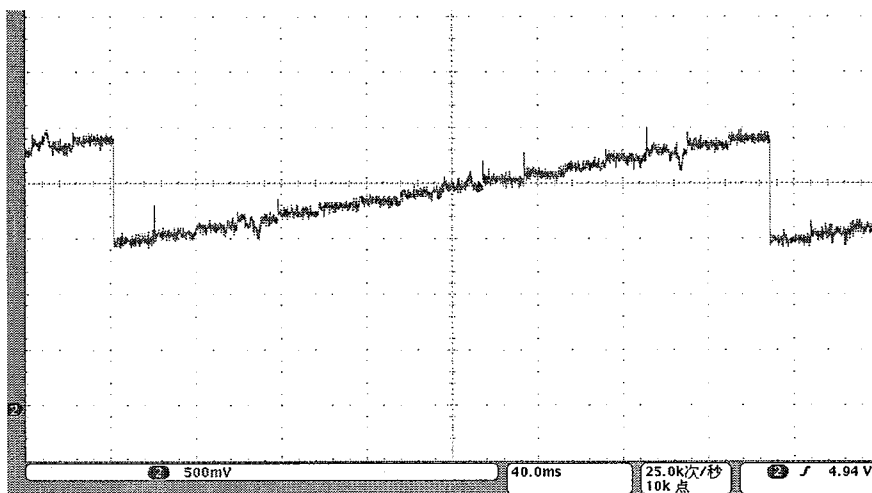


图 5-8 像素镜面反射电极输出电压波形 (1.5V-2.5V)

5.3 LCoS 液晶微显示面板测试

键合完成液晶灌装的 LCoS 微显示面板如图 5-9 所示，像素表面覆盖了一层玻璃盖板，条状 PAD 露在玻璃盖板之外，键合到 PCB 板上引出。施加激励向量，对 LCoS 微显示驱动面板显示功能进行测试^[67]。

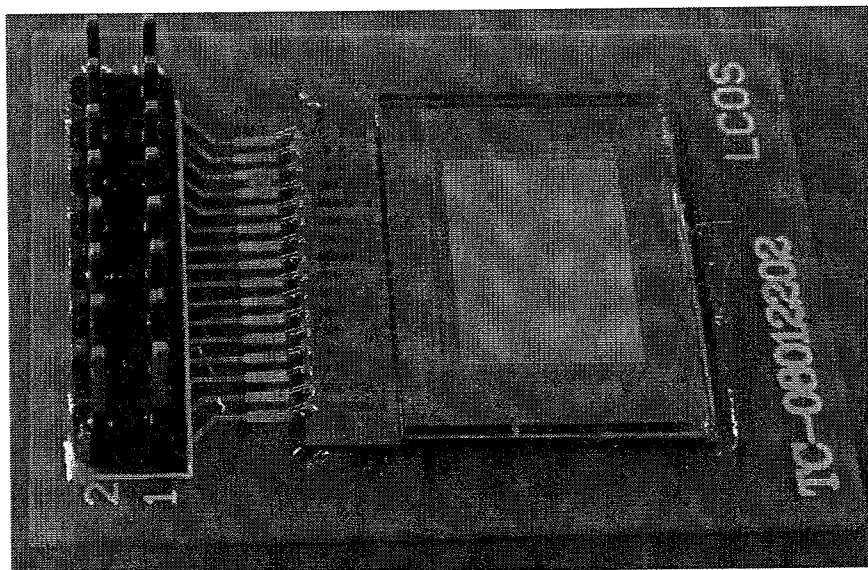


图 5-9 LCoS 微显示驱动面板外观照片

5.3.1 明暗两级灰度测试

施加如图 5-10 所示测试向量，输入数字信号“D4、D3、D2、D1”为“0000”与“1111”交替信号，“0000”与“1111”持续的时间均为 80 个像素时钟周期，输入数字信号每经过 320 个像素时钟周期后并不翻转，而再保持 80 个像素时钟周期，但每经过 19200 个像素时钟周期后不保持而正常翻转。输入到 LCoS 微显示面板上的图形应该为四行四列明暗相间方格图形。DATA 信号为 16 等分、幅度 0-5V 的 16 级台阶电平信号。

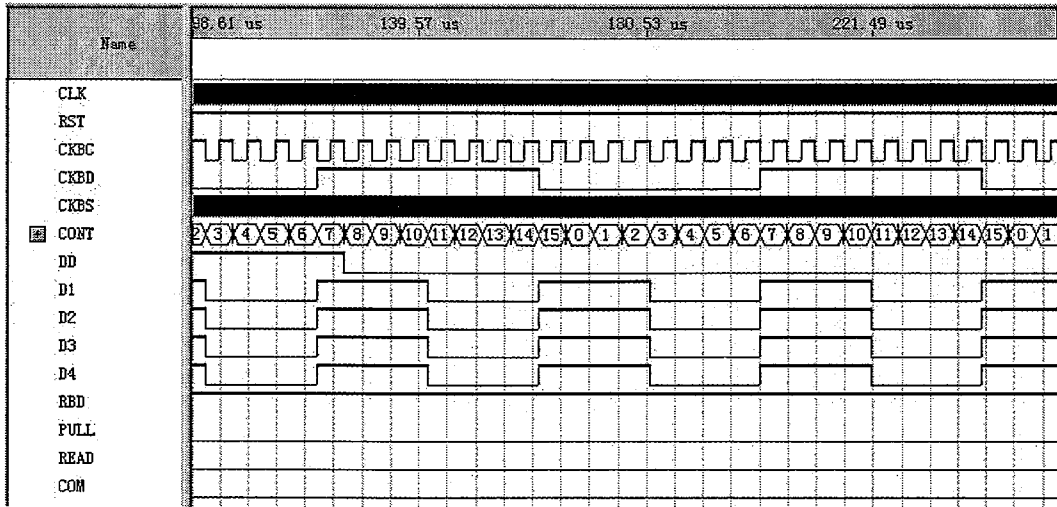


图 5-10 明暗两级灰度测试向量波形图

施加以上测试向量得到如图 5-11 所示 16 方格明暗相间的显示效果，明暗区域分隔很明显，但因为 LCoS 为反射型显示器件，因此在测试环境为实验室，光照条件为窗户照进来的自然光的条件下，对比度并不是很高。所灌装的液晶材料中存有气泡，图中显示为白色斑点部分。面板下缘白色光斑为液晶不均匀所致。

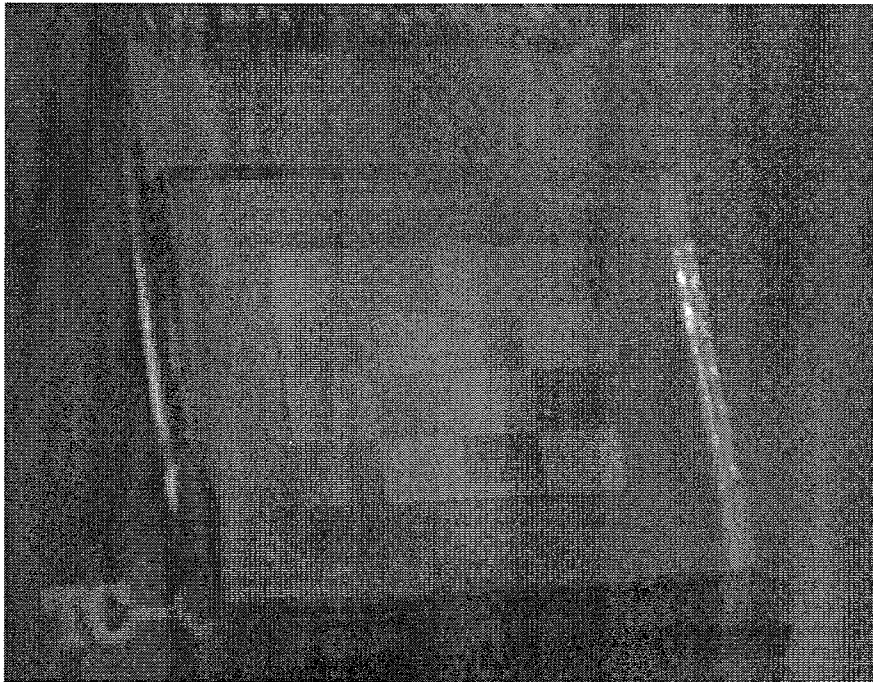


图 5-11 16 明暗方格显示测试照片

5.3.2 16 级灰度条测试

所灌装的液晶材料电光曲线如图 5-12 所示，可见阈值电压约为 1.7V，饱和电压约为 2.7V，液晶材料电光曲线在此范围内基本为线性，因此台阶电压选取为等差台阶电平信号。像素电路中用 NMOS 管作传输门，因此传输到像素电容上的电压有 1.2V 左右的高压阈值损失，输入幅值范围为 2.9V-3.9V 的台阶信号，则施加到像素电容上的电压刚好为液晶材料的工作电压范围：1.7V-2.7V。



图 5-12 一种液晶材料电光曲线测试

编程定义每 30 行显示一个灰度，则应观测到 16 级灰度条的现象，拍得照片如图 5-13 所示。由图中大致可以看出 16 行不同对比度的条纹，但是对比度很低，不易区分，并且在显示区域的右侧并无任何明显现象。而用未封装液晶的裸片测试由上到下不同区域的电压，得到 1.7V 到 2.7V 的等差分布，与设计要求吻合，证明电路功能正确，出现这种情况跟液晶材料的性能和均匀程度有关。

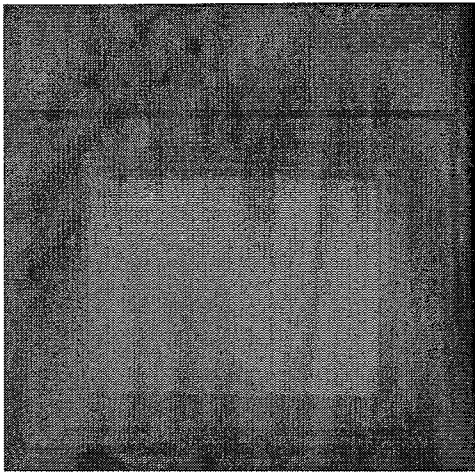


图 5-13 16 级灰度条测试照片

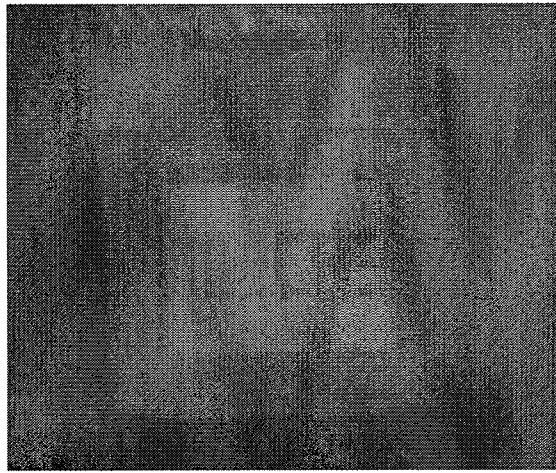


图 5-14 字符 IMECAS 显示照片

5.3.3 编程显示简单字符

对 FPGA 编程定义 LCoS 微显示面板各个位置的灰度信息，通过控制信号加载到相应像素点，可实现简单的字符及图形显示功能，图 5-14 显示了本单位的英文简称：IMECAS。

5.3.4 连接计算机 VGA 接口，实现静态图像显示

连接计算机 VGA 接口，连接方式如图 5-15 所示，LCoS 面板插到 PCB 板插座上，上盖偏振片，读取 VGA 信号到测试版内置存储器，经过电平转换，输出到 LCoS 面板上，同时获取并处理 VGA 信号的行、场同步信号，控制数据写入的时序，实现计算机 VGA 信号的回放。

计算机 VGA 信号分辨率为 640×480 ，帧频为 60Hz。抽取奇数行和奇数列数据组成 QVGA 即每帧 320×240 分辨率的数字信号，存储到测试版上的存储单元中。行扫描时钟 CKBD 为 $240 \times 60 = 14400\text{Hz}$ ，计数器时钟 CKBC 为 $14400 \times 16 = 230400\text{Hz}$ ，像素时钟 CKBS 为 $320 \times 240 \times 60 = 4.608\text{MHz}$ ，行扫描置位信号 DD、像素控制信号 PULL、READ 周期均为 60Hz，读取存储单元中的数据信号，写入到 LCoS 显示面板上，实现 VGA 信号的计算机显示到 QVGA 信号的 LCoS 显示^[8]。

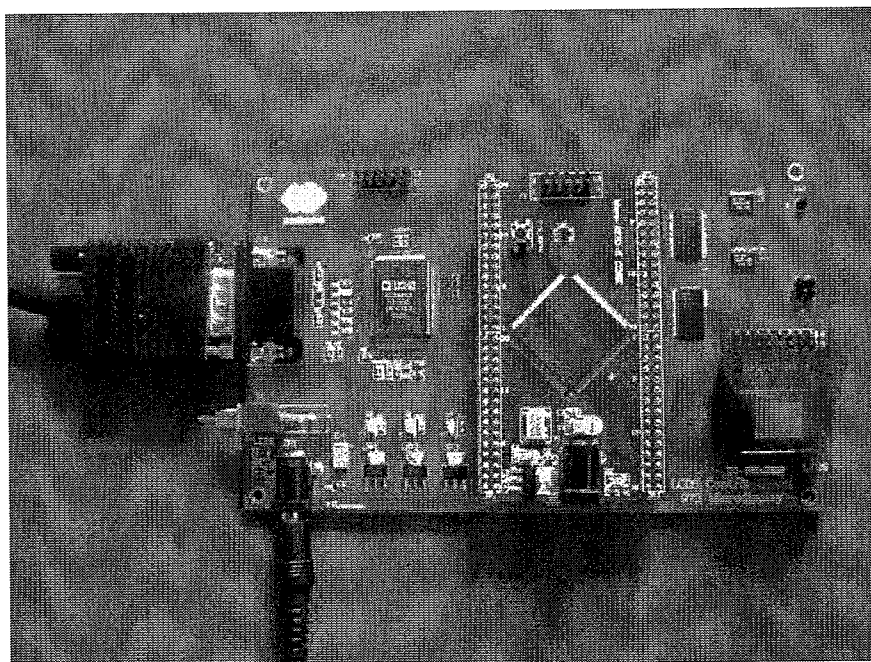


图 5-15 VGA 接口、测试版、LCoS 面板的连接方法示意

通过计算机显示一幅图片，通过 VGA 接口把数据信息输入到 LCoS 微显示面板上，可实现静态图片的显示功能。图 5-16 为计算机上显示的图片福娃迎迎，图 5-17 为 LCoS 显示相同图片的效果照片。



图 5-12 计算机上显示的图片

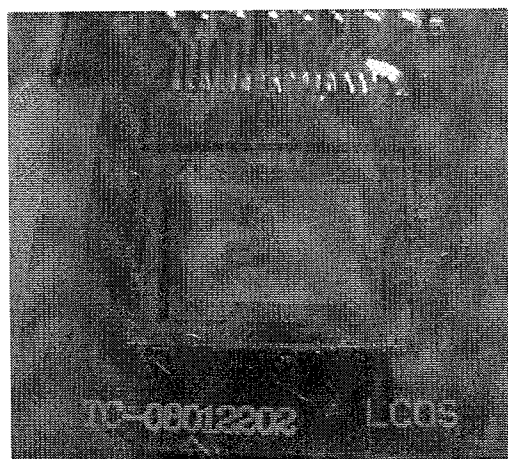


图 5-17 LCoS 微显示面板显示效果照片

5.3.5 连接计算机 VGA 接口，实现动态视频显示功能

计算机主机、测试版、LCoS 面板的连接方式同 5.3.4，利用计算机播放动态视频，通过 VGA 接口输出到 LCoS 面板，即可实现 QVGA 分辨率、16 级灰度、帧频 50Hz 的单色视频信号显示功能。

全屏播放视频的时候，计算机输出信号的分辨率可能会被播放软件修改，则 LCoS 显示会出现乱码，即点阵位置出现紊乱。强制限制播放器全屏播放状态下的分辨率或者利用窗口模式播放视频，则可解决此问题，图 5-18 为摄录 LCoS 视频播放的录像截图，摄录机器为佳能 A650，播放软件为暴风影音，截图显示了经典卡通形象米老鼠弹琴的一个画面，自然光状态下明暗分明，显示效果较好。实现了分辨率 320×240、帧频 60Hz 的动态视频显示功能，视频显示响应速度快、无拖尾。

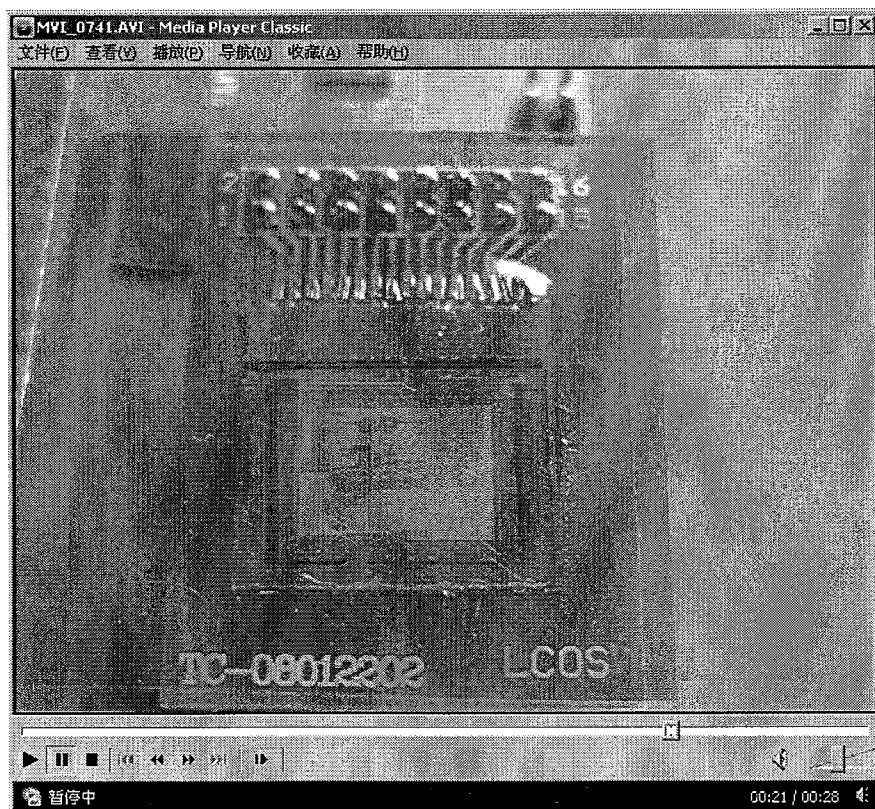


图 5-18 LCoS 动态视频显示录像截图

5.4 本章小结

本章主要进行了 LCoS 微显示驱动电路的功能测试和 LCoS 微显示面板的显示效果测试。

每个 6 英寸晶圆可制备得到 38 个 LCoS 驱动管芯，未封装液晶的管芯粘到定制的 PCB 板上键合引出芯片电极，通过自主开发的测试板施加数字信号、台阶电平和控制信号，扎探针到像素镜面反射电极上，测得等差增加的 16 级灰度电压波形，幅度分别为 0-4V 和 1.5-2.5V，并且幅度与不同灰度之间的电压差可以在 0-4V 范围内任意调节，满足不同液晶材料、不同工作电压的驱动要求。此结果与设计要求相符，证明电路功能正确，性能达到设计要求，满足 LCoS 驱动要求。

把已经封装液晶的管芯，即 LCoS 微显示驱动面板成品，粘到定制的 PCB 板上，通过测试板施加相应测试向量，分别得到验证两级灰度的 16 方格效果图片和验证 16 级灰度的 16 条纹效果图片，结果表面灰度显示效果不理想。对比电路测试与显示效果测试得出结论：LCoS 驱动电路功能正常，液晶材料灰度显示性能不佳。

VGA 信号存储到测试版存储单元中，经过测试电路转换处理输入到 LCoS 微显示面板，实现静态图片和 QVGA 分辨率、16 级灰度、帧频 60Hz 的单色动态视频显示功能。视频显示响应速度快、无拖尾，充分体现了 LCoS 技术的一大优势。

第六章 总结

6.1 主要研究成果

(1) LCoS 微显示技术简介

包括 LCoS 面板的基本结构、技术特点、LCoS 制备的特殊要求和特殊技术以及在世界和我国的发展状况, 分析其在我国的产业链结构, 阐明研究与发展 LCoS 技术所具有的意义。

(2) 40V 双栅氧 LDMOS 高压工艺开发和高压器件的研究

通过工艺模拟确定器件的结构和各项工艺条件, 在中国科学院微电子研究所 4 寸 CMOS 生产线上, 独立开发出工作电压 40V 双栅氧 LDMOS 工艺, 制备出薄栅氧/厚栅氧、对称/非对称、N/PLDMOS 器件, 并对存在的问题进行了深入研究, 改进了双栅氧工艺的制备方法, 同时对热载流子效应进行准确衡量, 并模拟分析了热载流子现象的成因, 提出了改善器件热载流子诸如效应的有效手段。

(3) LCoS 驱动电路的设计与仿真

通过研究 LCoS 像素电路的发展历史, 设计出高精度像素驱动电路, 使像素电容上的电压在 5ms 的保持时间中, 高压幅值变化低于 1%, 低压幅值变化低于 2.6%, 很好满足了 LCoS 显示对电压恒定程度的要求, 提高显示亮度和对比度。采用计数器+比较器+传输门的电路形式设计出简单易用的 D/A 转换电路, 不仅精度高, 变化范围大, 而且调试过程中易于调节电压水平以及不同灰度之间的电压差, 很好满足了液晶材料不同所带来的驱动电压不同, 光电曲线非线性等技术问题。

(4) LCoS 技术的特殊要求

在电路芯片上制备 U 型公共电极, 通过导电胶与 ITO 电极相连, 把 ITO 电极从芯片 PAD 引出。利用三次 CMP 的工艺确保芯片表面的平整度, 利用金属一与金属二两层金属同时实现布线与遮光层的作用, 减少了一次金属工艺。镜面反射电极一般用铝制备, 但是加工过程中, 如果铝暴露在空气中极易被氧化, 反射率降低, 并且铝在光刻之前需覆盖一薄层 TiN, 防止铝镜面反射影响光刻精度, 铝表面附着一层低反射率的 TiN, 同样降低了电极反射率。本文提出用银电极代替铝电极, 用剥离工艺取代刻蚀工艺的方案, 解决了铝容易氧化, 反射率降低的问题。

(5) LCoS 电路和面板显示效果测试

裸露镜面反射电极的芯片粘在定制的 PCB 板上, 用硅铝丝键合引出芯片 PAD 到 PCB 板, 开发专用测试电路生成所需测试向量, 对未封装液晶的芯片裸片和封装液晶的 LCoS 面板分别进行测试。对于未封装液晶的裸片, 采用探针扎芯片表面的方法, 测的电路的功能完全正常, 各项指标均达到了设计要求; 对于已经封装液晶的 LCoS 面板成品, 通过对测试板编程输出特定的测试向量, 在 LCoS 面板上显示出各种图案和条纹, 证明 LCoS 面板工作正常。计算机 VGA 信号经过测试版的处理与电平转换, 输入到 LCoS 面板中, 可显示计算机输出图像与视频信号, 实现频率 50Hz、分辨率 320×240、16 级灰度单色动态视频显示功能。

6.2 创新点

(1) 改进了非对称厚栅氧器件的制备方法, 采用一次多晶工艺, 保留整个高压区域的厚栅氧, 而适当提高源漏注入能量或者单独制备一块光刻版限定厚栅氧器件源漏注入区域的方法, 改进不对称厚栅氧耐压能力低的问题。

(2) 提出了一种新的 LCoS 像素电路结构, 简化了电路控制逻辑, 提高了像素电压的精确度和保持率, 提高了 LCoS 微显示的亮度和对比度。

(3) 提出一种遮光层制备新方案。常规方法是单独利用一层金属制备遮光层, 本文提出一种新的制备方法, 通过合理布局金属一和金属二以及镜面反射电极, 使得此三层金属互相交叠形成遮光层, 减少了一次金属薄膜制备工艺。

(4) 提出利用一种 LCoS 驱动电路测试新方法, 利用探针扎到裸露镜面反射电极的硅片表面, 施加测试向量, 验证 LCoS 驱动电路功能。