

密级: _____



中国科学院大学
University of Chinese Academy of Sciences

博士学位论文

相变存储器产业化关键纳米薄膜制备及其机理研究

作者姓名: _____ 任万春 _____

指导教师: _____ 宋志棠 研究员、刘波 研究员 _____

_____ 中国科学院上海微系统与信息技术研究所 _____

学位类别: _____ 工学博士 _____

学科专业: _____ 微电子学与固体电子学 _____

培养单位: _____ 中国科学院上海微系统与信息技术研究所 _____

二〇一三年 五月

**Research on the Deposition of Nanoscale Materials and Its
Related Mechanism Used for Mass Production of PCRAM**

By
[Ren Wanchun]

A Dissertation Submitted to
University of Chinese Academy of Sciences
In partial fulfillment of the requirement
For the degree of
Doctor [Engineering]

[Shanghai Institute of Microsystem and Information Technology]

May, 2013

致谢

衷心感谢我的导师宋志棠研究员，在过去的几年时间里，他用他最大的努力给我们创造了优越的科研条件，给我们提供了施展才华的机会。宋老师在学术上具有深厚的理论功底，敏锐的洞察力，科技创新的激情。在课题遴选、实验方法、结果讨论、论文润色各方面给予我许多宝贵的建议。宋老师严谨求实的治学态度，对科研的投入与勤奋都是我学习的榜样。

特别感谢导师刘波研究员，在学习上的谆谆教诲，在生活上的悉心关怀，让我获益良多。他细致耐心，循循善诱，亦师亦友，打开了我科学研究的眼界，帮助我奠定了扎实的科研基础，他严密的逻辑思路和严谨的治学态度给我以后的生活工作树立了标杆，在此向刘波老师致以最衷心的感谢。

感谢中芯国际集成电路制造(上海)有限公司能够给我提供这个工作、学习的平台，让我在工作中进步、在学习里成长。同时，感谢张复雄经理、向阳辉博士、张北超博士、荆学珍博士、吴关平经理、杨左娅经理、冯永刚、王宗涛、徐佳、朱南飞博士、冯高明博士、段淑卿、虞勤勤、齐瑞娟、范春燕、张彬、鲍宇、邓浩、童浩等同事在工作和学习中的帮助和支持。

感谢上海微系统与信息技术研究所的饶峰博士、吴良才博士、刘燕博士、王良咏博士、吕业刚博士、朱敏博士、任堃博士、张徐硕士、何敖东博士、李俊焘博士、俞磊博士等在薄膜制备和表征方面的大力帮助和支持！

感谢所人才教育处罗琦、余翔波、和解佳老师。

衷心感谢我的父母、岳父母和两位姐姐。感谢你们多年来给予我的默默奉献和无私关怀，正是在你们一如既往的支持和照顾下，我才得以顺利完成学业，祝愿你们永远健康、幸福。

衷心感谢爱妻陈丽和爱子任宥晨对我学业的支持和鼓励，正是你们的陪伴使我充满了学习的动力，感谢你们为我付出的一切，衷心祝愿你们永远健康、快乐。

相变存储器产业化关键纳米薄膜制备及其机理研究

任万春（微电子学与固体电子学）

指导教师：宋志棠 研究员

刘 波 研究员

摘要

相变存储技术是业界公认的最具潜力和应用前景的下一代非挥发性存储技术之一。本研究依托研究所深厚的理论研究背景以及半导体公司先进的产业化工艺平台等资源，以相变存储器的工程化为切入点，开发和优化相变存储单元的制备工艺，开展和推动自主知识产权的新型相变材料的工程化验证，针对 40 纳米及其以下技术节点的工艺要求，开发出相变材料的纳米小孔填充技术。主要研究成果如下：

1. 在 200 mm 的工艺平台上，成功开发了氮掺杂 GST、 $\text{Si}_2\text{Sb}_2\text{Te}_6$ 、上电极 TiN 和 TiO_x 过渡层工艺，通过表征薄膜性质和测量电性，优化后的薄膜满足相变存储器的性能要求；研究和优化相变材料单步沉积工艺的填充效果，成功开发出针对纳米孔洞填充的沉积-刻蚀-沉积技术，并研究其机理。运用 0.13 μm 的 CMOS 工艺技术，成功实现了相变存储器的小批量量产。
2. 在 300 mm 的工艺平台上，开发出 GST 室温和热板沉积工艺，优化了薄膜的性能，满足工程化要求。成功开发出沉积-刻蚀-沉积的纳米孔洞填充技术。实现了 30 nm 和 7 nm 的小孔填充，孔内的组分均匀，满足 40 nm 及其以下技术节点的要求。
3. 在 300 mm 的工艺平台上，为了实现自主知识产权的新型相变材料在 40 nm 技术节点上的工程化，成功开发了 $\text{Ti}_{0.4-0.5}\text{Sb}_2\text{Te}_3$ 和 $\text{Si}_2\text{Sb}_2\text{Te}_3$ 的制备工艺。通过调整共溅射靶材上的溅射功率实现组分的调整和优化，通过卡盘高度和腔体压力的调整，优化了薄膜的厚度和组分的均匀性，表征薄膜在大气环境的氧化程度并提出了解决方案，使薄膜工艺满足工程化的要求。
4. 在 300 mm 的工艺平台上，运用均匀设计的实验设计方法，优化了 TiN 上电极薄膜的性能，同时研究了薄膜在氟化氢溶液里的抗腐蚀能力。通过工艺集成的验证，满足了工程化的需求。
5. 在 300 mm 的工艺平台上，针对相变材料的特点，开发低温绝缘包裹层的沉积工艺。分别采用 200 $^{\circ}\text{C}$ 的 SiN、350 $^{\circ}\text{C}$ 的 SiO_2 填充工艺以及 250 $^{\circ}\text{C}$ 的 SiO_2 覆盖层工艺，将图形化后的相变单元保护起来，有效防止了相变薄膜在高温时发生元素挥发和扩散，并减少热损耗和相变单元之间的热串扰，成功实现工程化。

关键词：相变存储器，工程化，纳米填充技术，相变材料，绝缘包裹层

Research on the Deposition of Nanoscale Materials and Its Related Mechanism Used for Mass Production of PCRAM

Ren Wanchun (Micro-Electronics and Solid-State Electronics)

Directed by: Professor Song Zhitang and Liu Bo

Abstract

Phase change random access memory (PCRAM) has been regarded as one of the most promising candidates of the next generation nonvolatile memory. In the doctoral thesis, it is mainly based on the process development and phase change materials engineering of PCRAM. Phase change material, electrode material, dielectric package layer and nanoscale gap filling processes were studied systematically with the aim of engineering and production of PCRAM. The main results are summarized as follow:

1. On the 200 mm manufacturing system, developed the process of nitrogen doped GST, $\text{Si}_2\text{Sb}_2\text{Te}_6$, TiN and TiOx and characterized the film properties and electrical performance. Novel nanoscale gap filling process of GST was developed and the mechanism was studied.
2. On the 300 mm manufacturing system, developed the processes of amorphous and crystalline GST deposition and matched the requirements of film engineering after the parameters optimization. To improve the gap filling capability of conventional sputtering process, a novel deposit-etch-deposit process was developed. Void free gap filling performance was achieved for 30 nm and 7 nm via, which matched the requirement of 40 nm and below technology nodes PCRAM.
3. To achieve the engineering and production of new phase change materials, which include $\text{Ti}_{0.4-0.5}\text{Sb}_2\text{Te}_3$ and $\text{Si}_2\text{Sb}_2\text{Te}_3$. The composition targets were matched by tuning the powers ratio during co-sputtering process. We optimized the film thickness and composition uniformity by tuning the chuck height and pressure. At the same time, the oxidization of film surface was characterized and the solution was proposed.
4. On the 300 mm manufacturing system, we optimized the thickness and resistivity uniformity, stress and deposit rate of TiN top electrode film by DOE with uniform design method. After studied the erosion resistivity of TiN in HF and found that higher N/Ti and film density induces better erosion resistivity. Developed the TiN film and

matched the requirements of engineering.

5. On the 300 mm manufacturing system, developed lower temperature dielectric packaging materials to protect the phase change cell from element volatilization and diffusion, thermal loss and cross talk. SiN with 200°C, filling-in SiO₂ with 350°C and capping SiO₂ layer with 250°C were integrated to manufacture the phase change cell and good performance were achieved.

Keywords: PCRAM, Engineering, Nanoscale gap filling, Phase change material, Dielectric packaging layer

目 录

致谢.....	I
摘要.....	III
Abstract.....	V
第一章 绪论.....	1
1.1 引言.....	1
1.2 相变存储器的基本原理.....	7
1.3 相变存储器的发展历程.....	8
1.4 相变存储器的材料.....	10
1.5 相变存储器的结构.....	12
1.6 相变存储器发展的挑战.....	15
第二章 基于 200 mm 平台的工艺开发和工程化.....	18
2.1 氮掺杂 GST 工艺开发.....	18
2.2 硅锑碲(SST, SiSbTe)工艺开发.....	28
2.3 GST 纳米填充工艺开发.....	37
2.4 氮化钛上电极工艺开发.....	50
2.5 过渡层材料工艺开发.....	57
第三章 基于 300 mm 平台的 GST 工艺开发和工程化.....	63
3.1 GST 室温沉积工艺开发与优化.....	63
3.2 热板工艺开发.....	77
3.3 GST 纳米孔洞填充工艺开发和工程化.....	91
第四章 基于 300 mm 平台的新相变材料工程化.....	109
4.1 TiSbTe 材料的开发和工程化.....	109
4.2 SST 材料的开发和工程化.....	126
第五章 TiN 电极和绝缘包裹材料的工艺开发与工程化.....	142
5.1 TiN 上电极材料的工艺开发和工程化.....	142
5.2 绝缘包裹材料的工艺开发和工程化.....	151
第六章 全文总结和展望.....	160
参考文献.....	162
攻读博士期间发表的学术论文与研究成果.....	172

第一章 绪论

1.1 引言

人类的历史是文明进化的历史，而人类文明从诞生之初就与信息密不可分。追溯到远古时期，人们只能通过手势、表情、以及简单的语言、壁画等方式进行相互之间信息的交流。随着文字的发明及使用，人类有了更为可靠的记录、传播与传承信息的工具。它突破了口头语言的时空局限，具有规范、便携、可长期保存等优点，所承载的信息也由简单、单调变得更加复杂、丰富。与此同时，人们也开始寻找新的载体作为承载文字的媒介，从泥地、石头、草绳、羊皮到竹简、丝帛、草纸等，正是文字推动着人类对信息记录与传播媒介的发明创造。

纵然人类的文明史与信息一直都是如影相随，但人类对信息的真正认识却姗姗来迟。直至二十世纪中期，随着电子技术的发展，特别是1946年美国宾夕法尼亚大学的埃克特和莫希里研制出世界上第一台电子计算机后，人类才隐隐约约听到信息时代即将来临的脚步声。于是，一系列的科学发现、发明让人类逐步迈入信息时代：20世纪40年代，科学家们发现了半导体材料；1948年美国贝尔实验室的肖克莱、巴丁和布拉坦发明了晶体三极管，点燃了微电子技术的火种；1959年美国的基尔比和诺伊斯发明了集成电路，宣布了微电子技术的诞生。在过去的半个多世纪里，信息技术按照摩尔定律所描述的规律取得飞速的发展：当价格不变时，集成电路上所容纳的晶体管数目，约每隔18个月便会增加一倍，性能也将提升一倍。换言之，每一块钱所能买到的电脑性能，将每隔18个月翻两倍以上。微电子技术的进步极大地推动了电子产品（电脑、电视、手机、汽车等）的更新换代，使电子产品显示了前所未有的信息处理功能，人类的信息总量开始呈现几何级数的增长。因此，由二十世纪末到二十一世纪初，人类迎来了一个信息爆炸的崭新时代。对于扑面而来的巨量信息，进行存储、传播和快速处理的巨大需求促成了半导体存储技术的出现。

半导体存储器芯片按存取方式(读写方式)可分为只读存储器芯片(ROM)和随机存取存储器芯片(RAM)。早期的ROM是由半导体厂按照具体需求，设计和制造出固定线路，而制造好以后ROM中的信息只能被读出，而不能被修改或删除，故一般用于存放固定的程序，如监控程序、汇编程序等，以及存放各种常用表格。可编程只读存储器(PROM)的写入过程是破坏性非可逆的过程，用户只能根据需要对存储器进行一次性编程和定义。后来发展到电可擦的可编程只读存储器(EPROM)，它可用紫外线照射来擦除原来的数据信息，是一种既可以随机改写，又可以在断电的情况下保存信息。而RAM是可以随时进行读写操作的存储器，一般主要用来存放各种即时的输入输出数据、中间计算结果以及与外部存储器交换信息和作堆栈用。由于RAM由电

子器件组成，所以只能用于暂时存放程序和数据，一旦关闭电源或发生断电，其中的数据就会丢失。现在的 RAM 多为金属-氧化物-半导体 (MOS) 型半导体电路，它分为静态 (SRAM) 和动态 (DRAM) 两种。SRAM 是靠双稳态触发记忆信息的，只要保持供电，其总能保持两个稳定状态中的一种；DRAM 是靠 MOS 电路中的栅极电容记忆信息的。由于 DRAM 电容上的电荷会泄漏，除了需保持供电外，还必须设置刷新电路来定时予以电荷补偿，否则信息就会因漏电而丢失。但 DRAM 集成度高、功耗低，从而成本也低，适于作大容量存储器；而 SRAM 一般用于高速缓存。

信息的爆炸性发展，对存储器性能提出了更高的要求：1、高密度大容量。由于数据信息量的激增，对信息存储量的要求也剧增，促使各大半导体厂商不断投入巨额资金发展纳米级集成电路技术，提高存储器的集成度，不断推出大容量存储芯片。2、高速度。随着微处理器速度的飞速发展，存储器的速度与处理器性能之间差距越来越大，极大地制约了计算机整体性能的提升，因而发展高速存储器也显得越来越重要。3、断电的情况下也能工作的非挥发性存储器。便携式笔记本电脑、数码相机和手机等数字产品的普及化，要求产品有更小的体积，更低的功耗以及更长的寿命，使得非易失性存储器在半导体行业中扮演越来越重要的角色。

非挥发性存储器是断电后仍可以保存数据的存储器，它起源于简单的 ROM，随后演变成 PROM，再后来成为 EPROM。1988 年英特尔公布了快速随机存取的 NOR 闪存 (Flash)。闪存与 EPROM 的概念类似，但仍有别于 EPROM。因为闪存能在字节水平上进行删除或重写而不是整个芯片的擦写，因此，闪存比 EPROM 的更新速度更快。由于其断电后仍能保存数据，闪存通常被用来保存设置信息或资料，如电脑的基本输入输出程序、手机和数码相机的数字和图片信息等。

应市场需求的推动，以闪存为代表的非挥发性存储器技术发展非常迅猛。闪存主要包括 NAND 和 NOR，是目前市场上主流的非挥发性存储器。闪存是采用具有浮栅的金属-氧化物-半导体场效应晶体管 (MOSFET) 来存储电荷。对于闪存来说，晶体管沟道和浮栅之间的氧化介质层质量是至关重要的，直接决定闪存存取数据的速度、稳定性和可靠性。为了提高存储器的速度和密度，介质层的厚度将会变得越来越薄。当介质层的厚度达到其物理极限，电子很容易直接隧穿而使数据丢失。尤其是在 20 nm 及其以下技术节点，其使用寿命和可靠性将变得不可接受。此外，较高的写擦能耗和较长的写擦时间同样制约了其继续主导未来的非挥发性存储器市场。

针对闪存目前存在的技术上的局限性，业界和学术界对下一代可能的非挥发性存储器展开了积极的研究和开发。目前，有望取代闪存的新型非挥发性存储器主要有以下四种：铁电存储器、磁阻存储器、阻变存储器以及相变存储器。下面对这几种存储器作简单的介绍和比较。

1. 铁电存储器 (FeRAM)

铁电存储器是一种在断电时不会丢失内容的非易失存储器，具有高速、高密度、

低功耗和抗辐射等优点。当前应用于存储器的铁电材料主要有钙钛矿结构系列，包括 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 、 $\text{SrBi}_2\text{Ti}_2\text{O}_9$ 和 $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ 等。铁电存储器是基于铁电材料的高介电常数和铁电极化特性来实现数据存储，其工作原理如图 1.1 所示。在外加电场作用下，铁电材料的中心原子顺着电场方向在晶体中移动，中心原子在移动过程中需要克服能量势垒，内部电路通过感应因能量势垒被突破而引起的电荷击穿去设置存储器。当移除外加电场后，中心原子的位置保持不变，存储器的状态也得以保存。

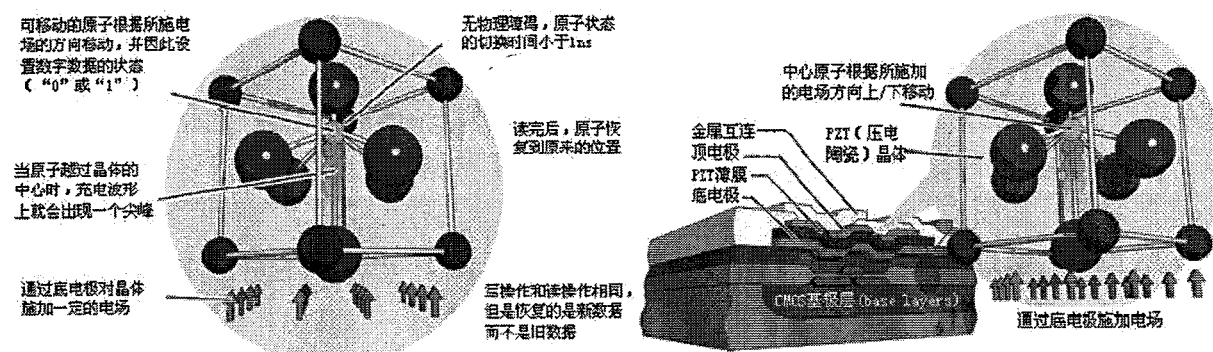


图 1.1 铁电存储器的基本原理

按照铁电存储器的工作模式，可以将其分为破坏性读出(DRO)和非破坏性读出(NDRO)^[1]。DRO 模式是利用铁电薄膜的电容效应，以铁电薄膜电容取代常规的存储电荷的电容，利用铁电薄膜的极化反转来实现数据的写入与读取。FeRAM 读操作需要预先写入数据位，然后与参考位作比较来判断所存储的数据，而读出后，电路会自动通过一个“预充”过程来恢复数据。所以，在该工作模式下，信息读取过程中伴随着大量的擦除/重写的操作。随着不断重复地极化反转，其剩余极化值会逐渐降低，以致电路很难区分开关电流和非开关电流之间的微小区别。至此，FeRAM 会发生疲劳失效等可靠性问题。NDRO 模式存储器以铁电薄膜来替代 MOSFET 中的栅极二氧化硅层，通过栅极极化状态实现对来自源漏电流的调制，使它明显增大或减小，根据源漏电流的相对大小即可读出所存储的信息，而无需使栅极的极化状态反转，因此它的读出方式是非破坏性的。基于 NDRO 工作模式的铁电场效应晶体管(FFET)是一种比较理想的存储方式。但迄今为止，这种铁电存储器尚处于实验室研究阶段，还不能达到实用程度。因此，目前市场上的 FeRAM 全部是采用 DRO 的工作模式。

Ramtron 公司是最早成功制造出 FeRAM 的厂商。该公司推出的产品主要用于汽车电子、消费电子、通信、工业控制、仪表和计算机等领域。Toshiba 公司与 Infineon 公司 2003 年合作开发出存储容量达到 32 Mb 的 FeRAM。Matsushita 公司也在 2003 年 7 月宣布推出世界上第一款采用 $0.18 \mu\text{m}$ 工艺大批量制造的 FeRAM 嵌入式系统芯片(SOC)。2003 年初，Symetrix 公司向 Oki 公司授权使用 NDRO FeRAM 技术，后者采用 $0.25 \mu\text{m}$ 工艺生产 NDRO FeRAM。

FeRAM 已成为存储器家族中最有发展潜力的新成员之一。然而，FeRAM 中所

使用的铁电材料在单元尺寸缩小至一定程度以后将会丧失铁电效应^[2]，这直接制约了发展高密度、大容量的存储器的可能性。因此，目前铁电存储器仅占据非挥发性存储器市场的一小部分份额，而且仅局限于在某些特殊领域内的应用。

2. 磁性随机存储器(MRAM)

磁性随机存储器主要是通过控制铁磁体中的电子旋转方向来达到改变读取电流大小的目的，从而使其具备二进制数据存储能力。理论上来说，铁磁体是永久不会失效的，因此它的写入次数也是无限的。在 MRAM 发展初期，所使用的磁阻元件是被称为巨磁阻(GMR)的结构，该结构由上下两层磁性材料，中间夹着一层非磁性材料的金属层所组成。由于 GMR 元件需较大电流而成为无法突破的难点，因此无法满足高密度存储器的要求。为了克服 GMR 结构电流较大的缺点，开发出了磁性隧道结 (MTJ) 的结构。如图 1.2 所示，MTJ 与 GMR 元件之间最大的差异在于隔开两层磁性材料的是绝缘金属氧化物而非金属层。MTJ 元件通过磁场调制上下两层磁性层的磁化方向而建立两个稳定状态：平行和反平行。在反平行状态时，通过此元件的电子会受到比较大的干扰，因此表现出较高的阻值；而在平行状态时，电子受到的干扰较小得到相对低的阻值。MTJ 元件通过内部金属导线所产生的磁场强度来改变不同的阻值状态，并以此分别记录“0”与“1”的信号。

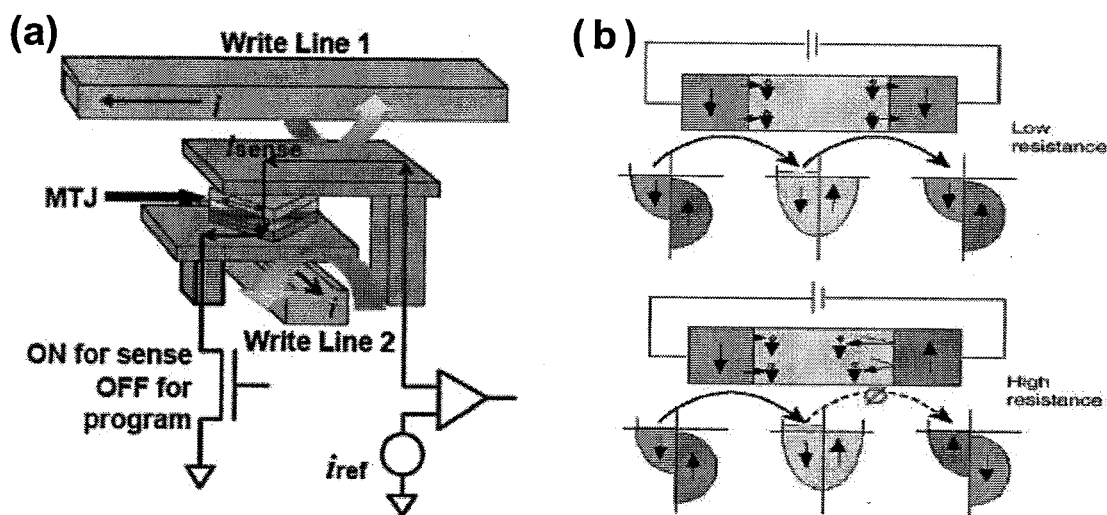


图 1.2 基于 MTJ 磁阻单元的 MRAM 的(a)结果示意图和(b)原理图

NVE 公司于 2003 年 11 月宣布，其工程师研制成功迄今为止最高的自旋穿隧结磁阻(SDT)。NVE 已向包括 Motorola 公司在内的几家致力商用化 MRAM 的公司授权使用其 MRAM 知识产权。IBM、Motorola 和 Infineon 等公司的 MRAM 样品已纷纷出炉，预计以后更多的 MRAM 商用产品将陆续面市。

MRAM 当前依然面临一些技术挑战^[3]。首先，磁致电阻非常微弱，两个状态之间的电阻值差异较小，造成读写过程中很难识别存储器的状态；其次，与 FeRAM 一

样, MRAM 也面临着器件尺度不断缩小的问题。随着尺寸的不断缩小, 相邻 MTJ 单元之间磁场的串扰将会变得越来越严重, 这会严重制约高密度、大容量存储器件的制造; 而且, MTJ 结构对隧穿氧化层的厚度均匀性要求很高, 而且该层金属氧化层的厚度本身很薄, 这对其制备工艺提出很高的要求和挑战。

3. 阻变存储器(RRAM)

RRAM 已成为目前研究比较活跃的非挥发性存储器之一。它是利用介质材料在电诱导下的阻变效应来实现信息存储的。在外加电场作用下, 某些介质材料的电阻可以在高阻和低阻态之间进行可逆转变, 而且所得到的电阻状态在外电场撤除后依然可以保持。RRAM 的基本结构为金属-绝缘介质-金属或半导体, 中间的绝缘层作为阻变功能层, 其中上面的金属薄膜作为上电极, 下面的金属或半导体作为下电极。

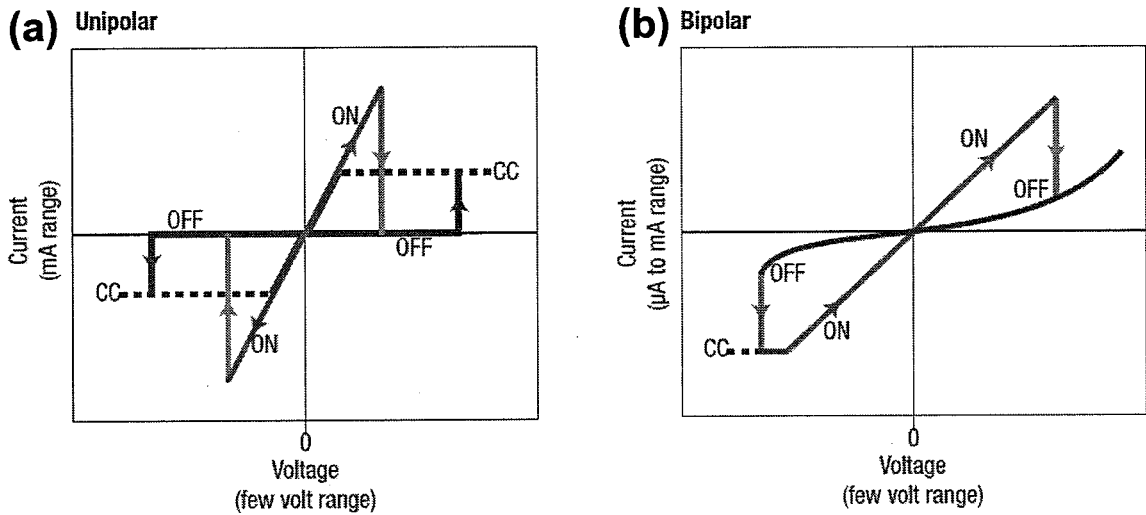


图 1.3 阻变存储器的两种电阻转换, (a)单极化和(b)双极化电阻转变

按照 RRAM 的工作方式, 可以将其分为两类: 单极性电阻转变和双极性电阻转变^[4]。如图 1.3(a)所示, 单极性转变的 RRAM 由施加在两极间的电压大小来控制, 而不发生极性的改变。当电压从 0 逐渐增加时, 电压达到一定值后通过器件单元的电流瞬间增大, 电阻从高阻态转化为低阻态, 器件被 SET。在该过程中, 需要对器件进行限流保护, 以防止器件被硬击穿而造成不可逆的电阻转换。当正偏压再次从 0 逐渐增大到某一值时, 通过器件的电流瞬间变小, RRAM 从低阻态重新恢复到高阻态, 器件被 RESET。通常 RESET 电压比 SET 电压低。具有单极性转变特性的绝缘介质材料一般为简单的二元过渡金属氧化物, 如 NiO、TiO₂、HfO_x、Cu_xO、MnO_x、ZnO、ZrO₂ 和 Al₂O₃ 等。如图 1.3(b)所示, 双极性电阻转变的 RRAM 是通过施加电压的极性不同来改变电阻的状态。正偏压可使器件从高阻态变为低阻态, 完成 SET。而负偏压正好相反, 将器件从低阻态恢复到高阻态, 实现 RESET。在双极性电阻转变过程中, 不需要对器件进行限流。双极性转变的绝缘介质层材料一般为多元过渡金属氧化物,

如 SrTiO_3 、 SrZrO_3 、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 和 $\text{La}_{0.67}\text{Sr}_{0.33}\text{MnO}_3$ 等。

与其它非挥发性存储器件比较, RRAM 具有简单的器件结构、较好的等比微缩特性, 而且具有较快的速度和较小的功耗等优点。然后, 到目前为止, RRAM 的许多关键问题仍然没有得到解决, 仍处于研发阶段。首先, 对绝缘介质材料的阻变机理尚未完全清楚, 许多提出的阻变机制仍缺乏直接的实验证据; 此外, RRAM 器件的稳定性和可靠性尚需进一步的研究和验证。

4. 相变存储器(PCRAM)

奥弗辛斯基(Stanford R. Ovshinsky)在 1968 年发表了第一篇关于非晶体相变的论文, 创立了非晶体半导体学。一年以后, 他首次描述了基于相变理论的存储器: 材料由非晶体状态变成晶体, 再变回非晶体的过程中, 其非晶体和晶体状态呈现不同的反光特性和电阻特性, 因此可以利用非晶态和晶态分别代表“0”和“1”来存储数据。后来, 人们将这一学说称为奥弗辛斯基电子效应。相变存储器是基于奥弗辛斯基效应的元件, 因此被命名为奥弗辛斯基电效应统一存储器(OUM)^[5,6]。从理论上来说, OUM 的优点在于器件单元的体积较小、成本低、可直接写入(即在写入资料时不需要将原有资料抹除)和制造简单, 与现有的 CMOS 工艺兼容性较好。

表 1.1 各种存储器的性能比较^[4-9]

Memory	SRAM	DRAM	NOR	NAND	FeRAM	MRAM	RRAM	PCRAM
Cell area (F^2)	140	6	6	5	22	45	4	4
Density	NA	8 Gb/chip	2 Gb/chip	128 Gb/chip	128 Mb/chip	64 Mb/chip	64 Mb/chip	8 Gb/chip
Read	0.3ns	<10ns	10ns	50ns	45ns	50ns	25ns	20ns
Write /Erase	0.3ns	<10ns	1us/10ms	1ms/0.1ms	10ns	50ns	8.2ns	10ns/50ns
Endurance	>1E16	>1E16	>1E6	>1E6	>1E12	>1E12	>1E12	>1E12
Retention	NA	64ms	>10yr	>10yr	>10yr	>10yr	>10yr	>10yr
Multi-bit	No	No	Yes	Yes	No	Yes	Yes	Yes

半导体存储器主要以速度、功耗、价格、循环寿命和非挥发性等指标衡量其水平。目前, 已有多种成熟的半导体存储技术, 包括常规的易失性存储技术(如SRAM和DRAM)和非易失性存储技术(如EEPROM、FLASH等)。虽然这些技术曾经或现在尚能满足应用, 但随着半导体技术的迅猛发展, 对存储器的要求也越来越高。然而, 目前还没有一种“理想”的存储器: 与CMOS工艺完美兼容, 其存储性能具有DRAM的高容量低成本、SRAM的高速度、闪存的数据非挥发性, 同时可靠性高、操作电压低、功耗又小。而这些性能, 恰恰是3C融合和移动应用产品所需要的。因此, 对新一代存储器的要求是: 便宜、省电、读写速度要快、掉电后数据不能丢失, 其速度达到

DRAM的水平。

目前新一代的存储器发展方向主要有MRAM、FeRAM、RRAM和PCRAM等。如表1.1中所示，PCRAM存储器是一种新兴的半导体存储器，与目前主流及在研的多种半导体存储技术相比，具有非易失性、循环寿命长(大于 10^{13} 次)、元件尺寸小、功耗低、可多级存储、高速读取、抗辐照(剂量大于1Mrad)、耐高低温($-55\sim 125\text{ }^{\circ}\text{C}$)、抗振动、抗电子干扰和制造工艺简单等优点。

业界认为PCRAM在45nm节点后将会具有越来越大的技术优势。PCRAM在民用市场上有广阔应用前景，其优良的抗辐照性能在航天航空电子领域具有重要的应用价值。作为新型半导体存储技术，最有取代目前SRAM、DRAM和FLASH等主流产品而成为主流产品潜质，具有广泛的商业化前景。

1.2 相变存储器的基本原理

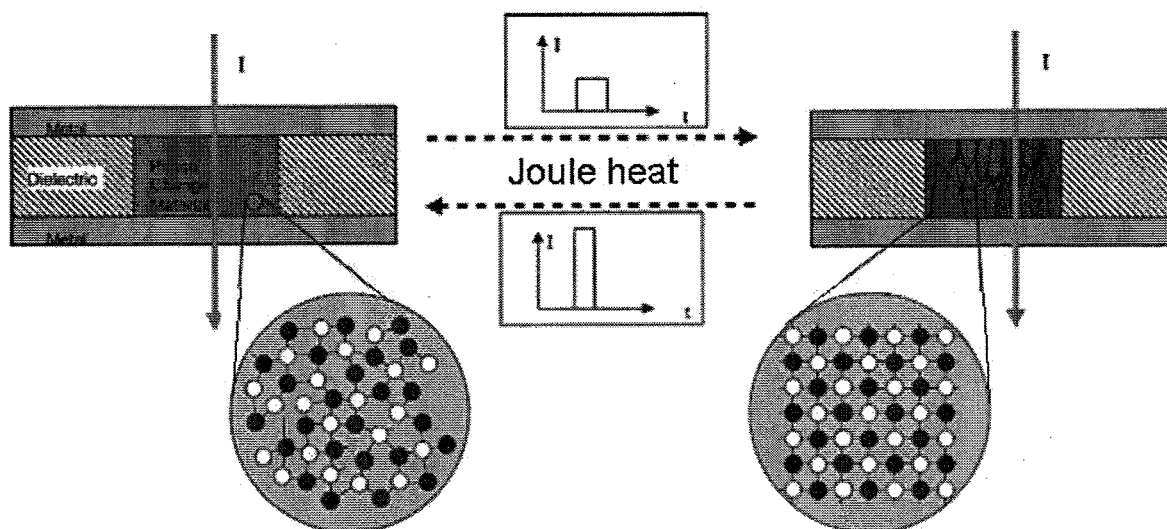


图 1.4 PCRAM 的相变过程^[10]

相变存储器主要是以硫系化合物的相变材料作为存储介质。如图 1.4 所示，相变材料具有两种不同的状态，一种是长程有序的晶态，当材料处于该状态时，薄膜具有较低的电阻值和较高的反射率；反之，另一种是无序的非晶态，材料具有较高的电阻值和较低的反射率。对相变单元通电，会产生焦耳热使相变材料在晶态和非晶态之间相互转化，实现信息的写入和擦除，信息的读出靠测量电阻的变化而实现^[10,11]。写入过程是指施加一个短而强的电压脉冲，电能转化为热能，使相变材料温度升高到熔化温度以后经快速冷却，可以使多晶的长程有序遭到破坏，从而实现由多晶向非晶的转化，该过程叫 RESET；擦除过程是指施加一个长而强度中等的电压脉冲，使得相变材料的温度升高到结晶温度以上、熔化温度以下，并保持一定的时间，使相变材料由

无定型转化为多晶；数据的读过程是通过施加一个比较弱的电压脉冲，产生的热能使材料温度升高的温度必须低于结晶温度，不足以使材料发生相变，然后测量相变材料的电阻值来实现的。

1.3 相变存储器的发展历程

1968年Stanford R. Ovshinsky首先报道了硫系化合物($\text{Ge}_{10}\text{Si}_{12}\text{As}_{30}\text{Te}_{48}$)在电场激发下出现高低阻值之间的转变现象。之后,PCRAM的发展经历了近三十年的停滞阶段。硫系化合物真正被应用到电学存储器中也只是最近十几年的事情,这主要归功于半导体行业近年来的飞速发展,为电学存储器件的实现提供了技术前提。因为只有在微米甚至纳米尺度的情况下,硫系化合物材料相变所需要的功耗才能大大降低,其工业化才被提上日程。

直到1999年Ovonyx联合风险投资公司的成立,PCRAM的研发和产业化开始进入了一个飞速发展的时期。2003年,英特尔和意法半导体成立了一个PCRAM合作开发项目组(JDP)。在2004年超大规模集成电路研讨会(VLSI)上,这个项目组演示了采用180纳米工艺制造的8兆位相变存储阵列;在2006年VLSI研讨会上,该项目组率先发布了采用90纳米的128兆位的Alverstone PCRAM芯片。2007年5月,意法半导体、英特尔和Francisco Partners签订合资协议,成立了一家独立的半导体公司恒忆(Numonyx),新公司的战略重点是提供完整的存储器解决方案,目标市场锁定在消费电子产品和工业设备,包括手机、MP3播放器、数码相机、计算机等高科技设备。2008年2月英特尔(Intel)和意法半导体(STMicroelectronics)已宣称开始为用户提供PCRAM芯片样片,PCRAM离全面产业化的目标愈发接近。2010年4月,恒忆(Numonyx)宣布正式推出全新系列PCRAM。2012年3月三星发布了8Gb相变存储芯片。2012年7月,Micron采用45nm工艺成功量产1Gb PCRAM芯片,该芯片应用于移动设备中。PCRAM在发展过程中的重大事件如表1.2所示。

表 1.2 PCRAM发展过程中的典型重要事件

时间	重要发展事件
1966年9月	Ovshinsky提出第一个相变技术专利
1968年11月	ECD的Ovshinsky首先报道硫系化合物的快速可逆相转变,具有开关/存储的用途
1970年9月	Gordon Moore在Electronics杂志上发表研究结果
1999年6月	ECD成立Ovonyx公司专门推进PCRAM商业化
1999年11月	Lockheed Martin与Ovonyx合作开发PCRAM在空间的应用

2000年2月	英特尔投资 Ovonyx, 获得技术授权
2000年12月	意法半导体从 Ovonyx 获得 PCRAM 技术授权
2001年3月	旺宏成立前瞻技术实验室开发 PCRAM
2001年11月	英特尔与 Ovonyx、Azalea 微电子合作开发出 4 MbPCRAM
2001年12月	日本媒体选出了 2001 年半导体、LCD 产业 10 大新闻: 第五名为 PCRAM、MRAM 等, 新型非易失性存储器相继问世
2002年3月	旺宏提出无晶体管的 PCRAM 专利
2002年3月	英特尔在 IDF 论坛上表示, 相对于 FeRAM 和 MRAM 等技术, PCRAM 技术的前景更具有希望
2002年11月	英特尔投资 Plasmon, 开发高密度、低成本 PCRAM
2003年7月	三星开始研发 PCRAM 技术
2004年7月	英特尔与 IBM 签订“合作研发 PCRAM”联盟协定
2004年8月	Nanochip 从 Ovonyx 获得 PCRAM 技术授权
2004年8月	三星宣布成功研制出 64 Mb PCRAM 芯片
2005年2月	尔必达从 Ovonyx 获得 PCRAM 技术授权
2005年4月	飞利浦在《Nature Materials》发表相变材料纳米线 PCRAM 成果
2005年5月	IBM、英飞凌和旺宏宣布进行 PCRAM 技术的联合开发
2005年9月	三星研制出 256 Mb PCRAM 芯片, RESET 电流降至 0.14 mA
2005年10月	英特尔增加对 Ovonyx 的投资
2005年12月	日立和瑞萨发布(115 V, 0.11 mA) PCRAM 芯片
2005年12月	三星从 Ovonyx 获得 PCRAM 技术授权
2006年7月	BAE Systems (前身 Lockheed Martin)发布抗辐照 4 Mb PCRAM 芯片
2006年9月	三星宣布研制出 512 Mb PCRAM 芯片
2006年10月	英特尔和意法半导体展示 128 Mb PCRAM 芯片
2006年12月	IBM 研究实验室演示了 3 nm×20 nm 的单元存储性能(旺宏、IBM 与奇梦达的联合研发成果)
2007年1月	奇梦达从 Ovonyx 获得 PCRAM 技术授权
2007年5月	意法半导体、英特尔和 FranciscoPartners 签订合资协议, 成立了 Numonyx 公司, 专门从事 PCRAM 开发
2007年12月	英飞凌、奇梦达、IBM 和旺宏联合开发出可实现 PCRAM2 bit/单元(4 值)和 4 bit/单元(16 值)多值化的新型写入技术
2008年2月	英特尔与意法半导体向客户提供 PCRAM 原型样片
2009年9月	三星电子大规模量产 60 nmPCRAM512Mb 芯片
2010年4月	Numonyx 宣布正式推出 90 nm 工艺全新系列相变存储器。新产品

	包括支持串行外设接口的存储器和支持并行 NOR 接口的存储器
2010年4月	三星电子推出 65 nm 制程 512Mb 多芯片封装(MCP)相变存储产品
2011年2月	三星发布 58 nm 制程的 1Gb 相变存储器
2011年7月	IBM 宣布研发出 90 nm 工艺高性能的多位相变存储器
2012年3月	三星发布 20 nm 制程可用于 1.8V 与 40Mb/s 编程频宽的 8Gb 相变存储器
2012年7月	Micron 采用 45 nm 工艺成功量产 1Gb

PCRAM 芯片从上述相变存储的发展历程可以看到,越来越多的半导体著名企业陆续参与到开发PCRAM 的队伍中来,相变存储器是当今全球半导体产业中炙手可热的领域之一,现在全球有望实现量产相变存储器的企业寥寥可数,而市场空间又格外巨大,中国企业跻身其间正当其时。

1.4 相变存储器的材料

相变材料是相变存储器的核心,直接决定PCRAM的性能。要制备性能优异的相变存储器单元,其相变材料必须同时具备以下特点:

1、较大的非晶态/晶态电阻率比。相变材料的非晶态和晶态电阻差是其能够应用于PCRAM器件制备的最基本前提条件。电阻率差别比较大,材料抗干扰能力较强,材料的疲劳特性比较好。

2、较大的晶态电阻。如果晶态电阻太低,需要很大的电流才能使器件完成RESET。晶态电阻越大,在RESET时发热效率越高,让相变材料从晶态向非晶态转变过程中所需要的电流越小。

3、较快的结晶速度。PCRAM的电操作过程中,最耗费时间的往往是SET过程,因为该过程中需要使处于非晶态材料的原子重新排列重组。相变材料的结晶速度越快,原子的重排过程花费时间最短,PCRAM器件的速度越快。

4、较高的相变温度。相变的温度越高意味着相变材料在非晶态时越稳定,PCRAM器件的数据保持力越好,这是PCRAM能够在高温环境下正常工作和可靠性的重要保证。

5、较好的化学稳定性。PCRAM器件在工作过程中,需要在晶态和非晶态之间来回转变。也就是说,相变材料需要在极短的时间内经历多次熔化冷却的循环过程。研究表明,多元合金的相变材料在反复擦写过程中会引起分相,最后导致器件单元的最终失效,从而影响到器件的循环寿命^[12-14]。材料具有良好的热稳定性,对PCRAM的疲劳特性尤为重要。

6、较低的熔点和热导系数。对PCRAM来说,制约功耗的过程主要是相变材料

的RESET过程。因为在该过程中，需要提供高于相变材料熔点的温度使材料从晶态向非晶态转化。材料的熔点越低，RESET电流越小。同时，相变材料的热导系数越小，通过材料的热损耗越小，这也有利于提高加热效率、降低功耗。

实际上，目前没有一种完美的相变材料，它能同时完全满足以上的所有要求。甚至，这些要求之间本身存在一定的矛盾，例如如果需要相变材料的结晶温度很快，那么就需要材料在晶态和非晶态之间具有相似的结构。而相似的结构意味着相似的电子能带结构，能带结构相似又会导致具有相似的光学、电学性能，因而晶态和非晶态之间的差异就很小。另外，较快的结晶速度通常伴随较低的结晶温度，而较低的结晶温度意味着材料容易晶化，导致数据保持力不理想。因此，对研究开发新型相变材料来说，最大的挑战就来自于如何在提高某些性能的同时尽可能地减少对其它性能的伤害，也就是找到一个既优化又平衡的折中。

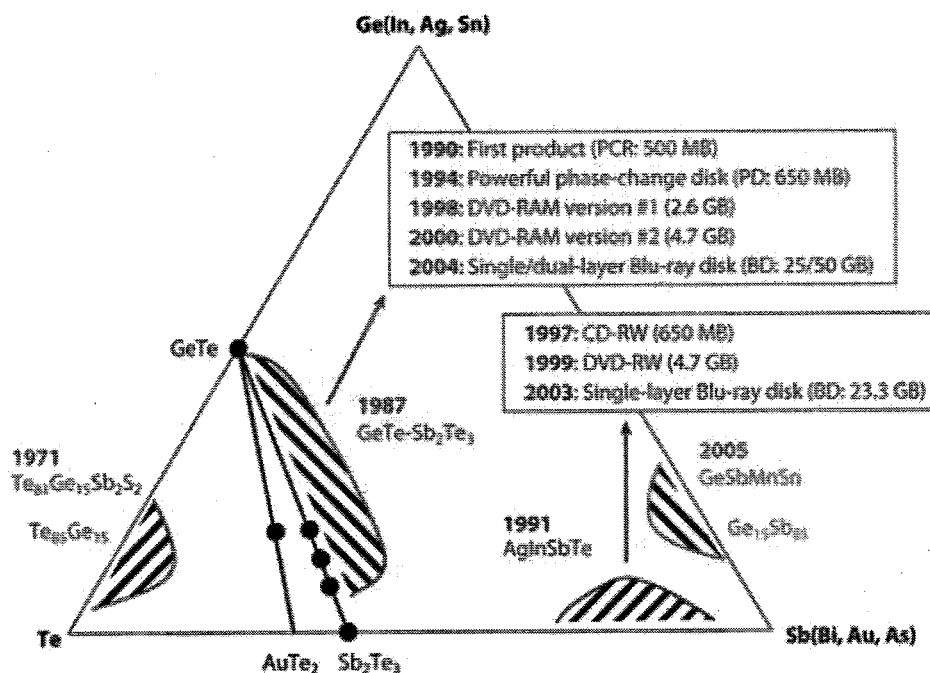


图 1.5 相变材料的三元相图^[15,16]

关于相变材料的开发与研究已经经历了几十年，如图1.5中所示，最初发现的材料多属于玻璃形成体，如 $\text{Ge}_{15}\text{Te}_{85}$ ，以及采用S、P和Sb元素掺杂的材料。尽管这些材料已经表现出一定的能用于电学存储方面的电性能现象和潜力，但其结晶时间却达到了微秒量级，主要是因为该类材料在结晶时不能快速地形成单一的固相。第一批发现能快速再结晶且具有较大光学差异的材料主要是 GeTe 和 $\text{Ge}_{11}\text{Te}_{60}\text{Sn}_4\text{Au}_{25}$ ^[17,18]。这些材料的出现激发了对 $\text{GeTe-Sb}_2\text{Te}_3$ 比例链上的伪二元相变合金材料的持续研究和开发，如 $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST)。另一个主要的相变材料体系是掺杂了Ag、In、Ge等元素的 Sb_2Te 材料^[19,20]。第三个相变材料体系是Ge掺杂的Sb，此种材料不包

含硫系元素(S、Se和Te)，因此现在的相变随机存储器已不能笼统地称之为硫系化合物存储器^[21]。

目前，GST是目前研究最多应用最广泛的相变材料，已经被业界广泛地用于量产。然而，GST材料本身存在一些缺点。比如相变温度较低，非晶态材料的稳定性较差；晶态阻值较低，RESET时的功耗较高；GST从非晶态到晶态转化过程中，材料会产生7~8%的体积收缩，这对器件的工艺集成和可靠性造成不良影响。为了提高相变材料的性能，以更好的满足相变存储器发展的需求，学术界和业界主要对相变材料进行了更多的研究和探索：(1)对现有的材料进行掺杂改性^[22]。例如，对应用最广泛的传统材料GST，采用N^[23]、O^[24]、Ti^[25]、Si^[26]、Zn^[27]等元素对其进行掺杂，以达到降低功耗和提高热稳定性等目的；(2)将相变材料与绝缘介质材料进行纳米复合。例如：GST-SiO₂^[28]、GST-TiO_x^[29]、GST-TaO_x^[30]、GST-PZT^[31]、GST-HfO₂^[32]等；(3)通过构造多层界面来降低相变层的热导率，减少热损耗，提高加热效率，以降低PCRAM的功耗^[33-36]；(4)新相变材料的开发和研究，包括Ga-Sb、Ga-Te、Sb-Se、Si-Sb、Sn-Sb等二元^[37-41]和Si-Sb-Te^[42]、Ga-Sb-Te^[43]、Al-Sb-Te^[44, 45]、Cu-Ge-Te^[46]、In-Sb-Te^[47]、Ti-Sb-Te^[48]等三元材料等。

1.5 相变存储器的结构

通过改善和优化相变材料，可以极大提高相变器件的性能。同时，相变单元的结构同样对PCRAM的性能有着非常重要的影响。半导体技术遵循摩尔定律向着小尺寸、高密度和低成本化的方向发展，这为相变存储器实现大容量、高性能、低能耗提供了强大的技术保障。与其它几种非易失性存储器相比，相变存储器具有更佳尺寸缩小特性。实验证明，PCRAM存储器能够缩减到5 nm的技术节点^[49]。缩小相变单元的尺寸能够有效的减小相变操作区域，从而降低操作时的功耗。所以，如何改进器件结构使相变区域编程体积减小，或者使编程区域的加热效率提高是当前PCRAM的研究热点。

1. T型结构

T型结构也称为蘑菇形结构(图 1.6)。该结构是目前被研究最为广泛的器件单元结构。主要是因为此结构与CMOS工艺兼容性很好，制备简单。而且，可以通过采用精度更高的光刻工艺，刻蚀出更小尺寸的相变器件单元。在降低相变材料尺度的同时，也可以缩小下部圆柱型电极的直径，达到减小相变操作区域的功效，Samsung已经通过90 nm工艺实现了对此种结构512 Mb芯片的制备。

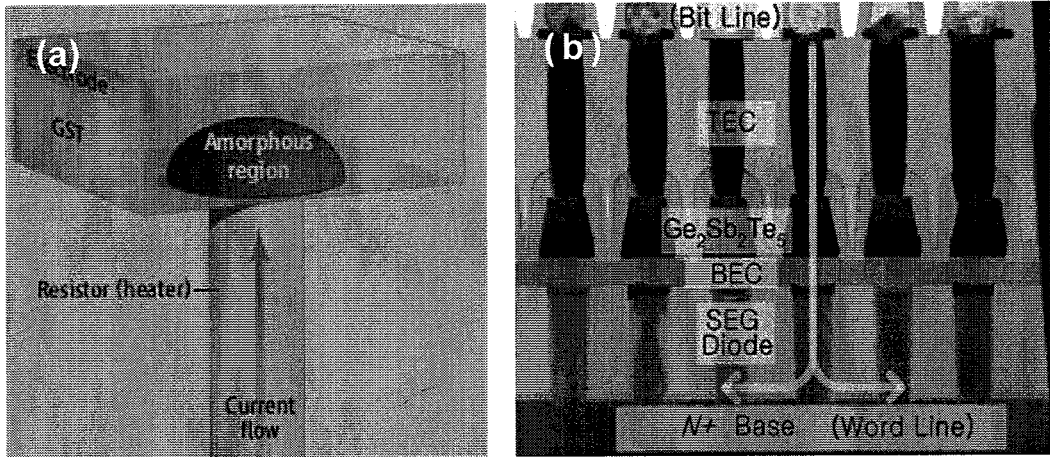


图 1.6 (a)T 型结构示意图^[50]和(b)工艺集成后的截面图^[51]

2、环形下电极结构

采用环形电极（图1.7）可以进一步降低相变材料与下电极之间的接触面积，因此可以有效地减少参与相变的相变材料的体积，从而降低操作电流。

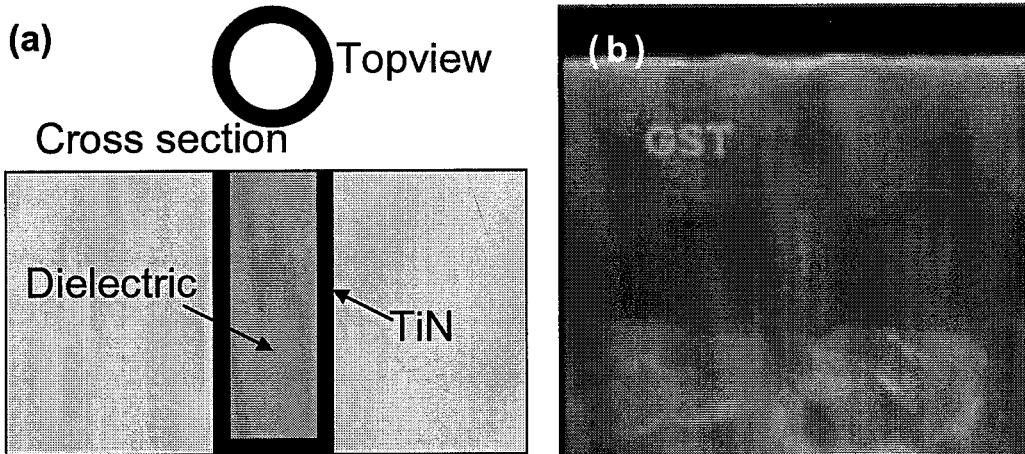


图 1.7 (a)环形电极示意图和(b)工艺集成后的截面图^[52]

3、边缘接触型结构

边缘接触型结构的最大优点在于将电极横向放置^[53, 54]。如图 1.8 所示，使用该方法制备下电极的工艺过程中不需要金属的孔洞填充和 CMP 工艺，极大地降低了工艺集成的难度。通过对电极金属材料的沉积厚度的精确控制，可以有效地减小电极与相变材料之间的接触面积，从而降低操作电压和功耗。

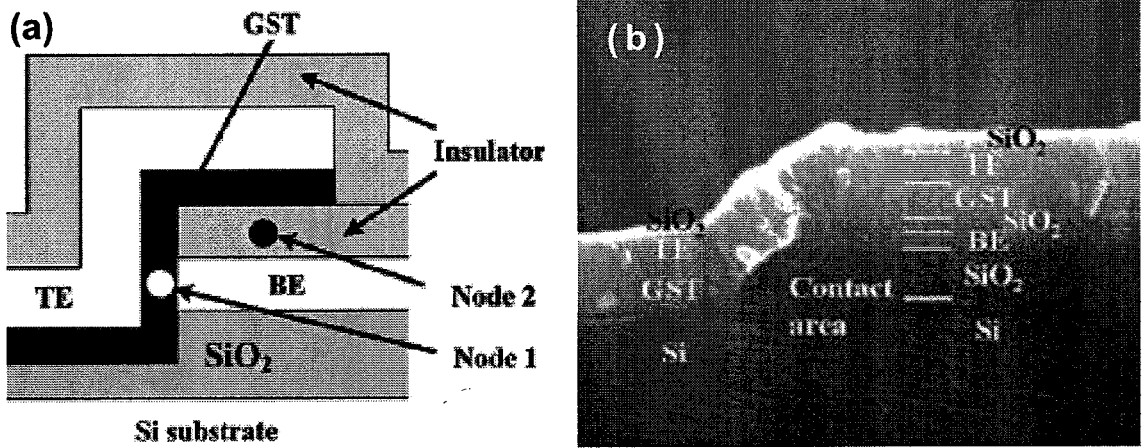


图 1.8 (a)边缘接触结构示意图和(b)工艺集成后的截面图

4、 μ 型凹槽结构

μ 型凹槽结构（图1.9）与前面几种结构最大的不同是将相变材料限制在小尺寸的凹槽内^[56,57]。该结构带来的好处有：首先，参与相变的相变材料体积完全可以由凹槽的形貌来得以限制和定义，可以有效地降低操作电流；其次，相变薄膜的填充比较容易；而且使用该结构可以有效地避免由相变材料的干法刻蚀造成的侧壁损伤。

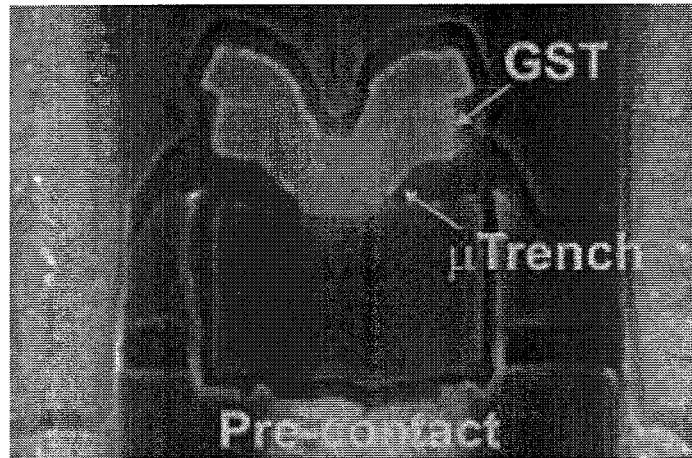


图 1.9 μ 型凹槽结构^[55]

5、完全限制的结构

通过将小尺寸的相变材料完全限制在一个纳米尺度的空间内（图 1.10），具有诸多好处：(1)下电极和相变材料的尺寸很小，所需要的操作电流很小；(2)相变区域所产生的热很好地限制在孔洞内，可以有效地减少相邻相变单元之间的热串扰；(3)没有干法刻蚀，所以没有刻蚀造成的组分偏析。该结构成为制备高密度、低功耗的相变存储器的潜在解决方案。

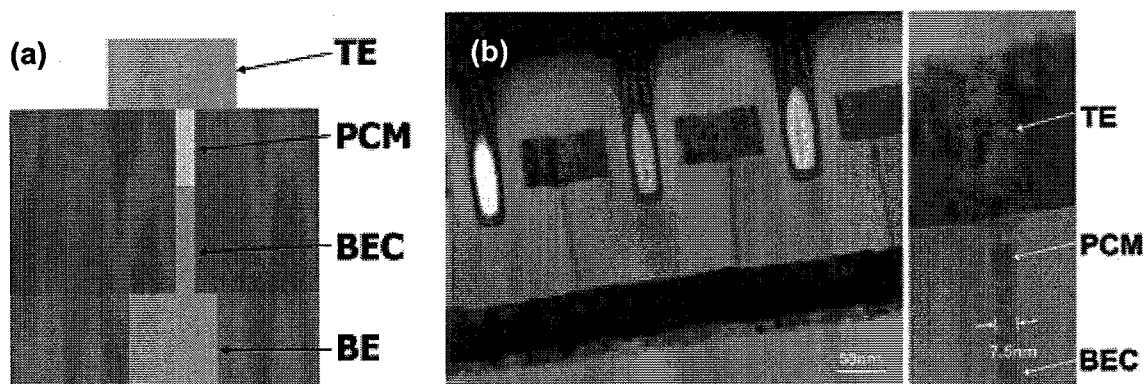


图 1.10 (a)完全限制的结构示意图和(b)工艺集成的截面图^[58]

1.6 相变存储器发展的挑战

经过研究机构和工业界的共同努力下，新型相变材料、相变机理和新型器件结构等方面的研究取得了显著的进展。尽管如此，PCRAM发展面临的一些问题还有待解决。这些问题主要包括：

1、RESET电流过大，功耗较大

降低 RESET 电流对 PCRAM 的产业化至关重要。只有实现了存储单元的低压、低功耗，才能有效地降低 CMOS 管的驱动电流、减小存储单元间的热串扰和提高存储阵列的密度，最终实现高密度、大容量和低成本相变存储器制备。在 RESET 操作过程中，需要将相变材料的编程区域加热至相变材料熔点以上，而 SET 操作只需要将相变材料加热到结晶温度以上，因此，RESET 操作的能耗成为决定整个器件能耗的关键因素。所以降低 RESET 操作电流，即可降低 PCRAM 功耗。目前降低器件功耗的主要方案有三种：(a)研发新型相变材料。使其具有较低的熔点和热导率，以及较高的晶态电阻率；(b)减小下电极与相变材料的接触面积；(c)在相变材料和电极之间增加过渡层。该过渡层具有较高的电阻率和较低的热导率，以提高加热效率和降低热扩散。

2、数据保持力有待提高

良好的数据保持能力可以保证存储器件的可靠性。如果相变材料的结晶温度和结晶激活能越高，该材料在非晶态下越稳定。因此，可以通过提高相变材料的结晶温度和结晶激活能来提高PCRAM的数据保持能力。基于GST材料的PCRAM，其存储的数据能在约85 °C保持十年。然而，车载电子等领域要求存储器件的数据能在120 °C以上保持10年。

3、相变速度有待提高

PCRAM的操作速度主要取决于SET操作时间。一般而言，玻璃转变温度与熔化温度比值较小的材料，其结晶速度较快^[59]。然而这种材料往往具有较低的结晶温度，

不利于材料在非晶态的热稳定性。因此，在优化相变材料时，需要权衡两者的关系。一般来说，结晶方式为生长主导的相变材料具有较快的结晶速度，相应的PCRAM操作速度也较快。

4、相变存储器技术的工程化和产业化

学术界和工业界已经分别对相变材料、相变结构和相变机理做了很多的理论研究，并取得了一系列令人欣喜的成果。然而，怎样将理论运用于实践、将研究成果进行工程化转化为产品已经成为一个亟待解决的课题。需要我们依托学术界的深厚理论资源，利用工业界的先进工艺平台，尽快实现相变存储的工程化和产业化。

1.7 本论文的研究意义和主要内容

本论文主要围绕相变存储器技术的工程化和产业化展开研究，分别在200 mm和300 mm工艺平台上，系统地研究和开发相变材料、电极材料、过渡层和绝缘包裹层材料的制备工艺，以满足工程化的要求。此外，开发了相变材料的纳米孔洞填充技术，为40 nm及其以下技术节点提供了可靠的解决方案。而且在200 mm的平台上，运用0.13 μm 的CMOS工艺技术，成功实现了相变存储器的小批量量产。主要结论归纳如下：

- 1、在200 mm的工艺平台上，成功开发了氮掺杂GST工艺，通过表征薄膜性质和测量电性，优化了氮元素的掺杂浓度；开发出 $\text{Si}_2\text{Sb}_2\text{Te}_6$ 的制备工艺，经过参数优化后，沉积的SST薄膜满足工艺集成的要求；研究和优化相变材料在不同尺寸和形貌的孔洞上，单步沉积工艺的填充效果，成功开发出针对纳米孔洞填充的沉积-刻蚀-沉积技术，并研究其机理；开发了上电极TiN薄膜的沉积工艺，优化后的薄膜满足相变存储器的性能要求；开发 TiO_x 过渡层薄膜的沉积工艺，通过将其集成到器件单元，发现了该工艺条件下存在的问题并提出解决方案。
- 2、在300 mm的工艺平台上，开发出GST的室温沉积工艺，通过对溅射功率和气体流量的调整，优化了GST的沉积速率、均匀性等薄膜性能；通过调整热板温度，开发出晶态GST的沉积工艺，有效地减小了薄膜在后续热过程中的体积收缩，提高了工艺集成的可靠性。
- 3、在300 mm的工艺平台上，为了克服传统溅射方法填充能力不足的缺点，开发出沉积-刻蚀-沉积的纳米孔洞填充技术。通过研究不同工艺条件下相变材料在小孔内的填充形貌，发现在刻蚀过程中相变材料的再沉积是填充能力得以提高的主要原因。成功实现了30 nm和7 nm的小孔填充，孔内的组分均匀，满足40 nm及其以下技术节点的要求。
- 4、在300 mm的工艺平台上，为了实现自主知识产权的新型相变材料在40 nm技术节点上的工程化，成功开发了 $\text{Ti}_{0.4-0.5}\text{Sb}_2\text{Te}_3$ 和 $\text{Si}_2\text{Sb}_2\text{Te}_3$ 工艺。通过调整共溅射靶材上的溅射功率实现组分的调整和优化，通过卡盘高度和腔体压力的调整，优化了薄

膜的厚度和组分的均匀性，表征薄膜在大气环境的氧化程度并提出了解决方案，使薄膜工艺满足工程化的要求。

- 5、在300 mm的工艺平台上，运用均匀设计的实验设计方法，优化了TiN上电极薄膜的性能，包括厚度和电阻率均匀性、应力和沉积速率等。同时研究了薄膜在氟化氢溶液里的抗腐蚀能力，发现TiN薄膜的N/Ti比率和体密度越高，薄膜的抗腐蚀能力越强。通过工艺集成的验证，满足了工程化的需求。
- 6、在300 mm的工艺平台上，针对相变材料的特点，开发低温绝缘包裹层的沉积工艺。分别采用200°C的SiN、350°C的SiO₂填充工艺以及250°C的SiO₂覆盖层工艺，将图形化后的相变单元保护起来，有效防止了相变薄膜在高温时发生元素挥发和扩散，并减少热损耗和相变单元之间的热串扰，成功实现工程化。

第二章 基于 200 mm 平台的工艺开发和工程化

本章主要介绍在 200 mm 的工艺平台上的工艺研发和成果。主要包括通过往 GST 相变材料中掺入氮,以提高其相变温度和晶态电阻值; SiSbTe 相变材料的制备工艺开发,以得到比 GST 更好的相变特性; 纳米小孔的填充技术研发,以满足 90 nm 及其以下技术节点对相变材料的填充性能要求; 上电极 TiN 工艺的开发和优化,以满足相变存储器上电极的性能要求; 在相变材料和下电极之间加入一层介质材料,以提高发热效率和减少热量从下电极的损耗。通过对这些材料和工艺的集成,最后在器件上得到了验证,成功实现了工程化和产业化。

2.1 氮掺杂 GST 工艺开发

引言

PCRAM器件的综合性能主要取决于存储介质的相变特性。在所有的相变硫系化合物中,GST材料是目前被研究得最多、最深入的一种相变材料,已经成为业界的首选,包括三星、英特尔、美光、IBM、海力士、日立等相变存储器公司都将GST材料成功用于量产。

然而,GST材料有其本身的缺点和局限。1、较高的熔点(600°C)。高熔点意味着较高的RESET电流,因为需要更大的电流脉冲产生足够的焦耳热才能熔化GST材料,以实现从低阻态到高阻态的相变过程。此外,较多焦耳热容易导致相邻器件之间热串扰,这不仅制约了高密度、大容量PCRAM的实现,而且容易带来可靠性方面的问题。2、低的晶态电阻率。在相同操作电流条件下,较低的晶态电阻率会导致在RESET的过程中相变材料本身发热量效率比较差,使得RESET较难实现。为了提高RESET,需要提高操作电流。3、相变温度较低。非晶态的稳定性是PCRAM数据保持力的保证。如果相变温度较低,GST材料在较高的工作环境下很容易发生相变,从而导致存储数据的丢失。目前,汽车电子等领域对数据保持力有特殊的要求:数据在120°C的环境下能保持10年。GST不能满足此要求,因为其结晶温度低,非晶态热稳定性不佳。

如何解决这些问题已成为当前相变存储器研究的热点,氮掺杂是目前最为有效的解决途径之一。将一定数量的氮掺入GST材料后,材料的相变温度和晶态电阻可以得到显著提高,从而可以有效降低RESET电流、提高数据保持力^[60-62]。

2.1.1 试验简介

在室温条件下,利用200 mm的物理气相沉积平台,采用磁控溅射的方法在SiO₂/Si

(100晶面)基底上制备100 nm薄膜, 包括一种非掺杂与三种不同氮掺杂浓度的GST薄膜。系统本底真空优于 $5E-6$ Pa, 采用13.56 MHz的射频功率源, 合金GST(原子比例为225)的单靶溅射源。用氩气作为溅射气体, 在溅射沉积过程中, 保持相同的溅射腔体压力0.28 Pa, 并控制Ar/N₂的流量比例制备出三种不同氮掺杂浓度的薄膜: 50:1、25:1和15:1。采用扫描电子显微镜(SEM)进行薄膜截面和均匀性表征。薄膜的表面形貌采用SEM和原子力显微镜(AFM)进行了观察。采用辉光发射光谱(GD-OES)确定薄膜氮掺杂浓度及组分, 三组不同氮掺杂样品的氮原子百分比浓度分别为: 4.6、7.9及10.2 at.%。采用X射线衍射仪(XRD)分析了氮掺杂薄膜的晶体结构。在温度可控的真空腔体中, 对GST和氮掺杂GST薄膜的电阻率进行原位加热测试, 得到其电阻-温度关系(R-T)。结晶温度(T_c)定义为R-T 曲线对温度微分后的极小值所对应的温度。

2.1.2 材料性能

图2.1(a)-(d)是硅片中心上截取的样品, 其中(a)是纯GST的横截面形貌, (b)-(d)是氮掺杂GST薄膜截面, 其Ar/N₂的流量比分别为50:1、25:1和15:1。从图上可以看出, 纯GST的晶粒比较大, 截面比较粗糙。在(b)-(c)中, 氮掺杂薄膜截面较光滑, 而且随着掺氮比例的增加晶粒更细小。因为掺入的氮元素会跟GST薄膜里的Ge结合形成GeN, 而GeN分布在晶界上, 抑制晶粒的生长。所以在SEM的截面上, 掺氮越多, 晶粒越小、截面越显光滑^[62]。而(d)图中, 截面可见微小亮点, 应该与氮掺杂含量密切相关。对应地(e)-(h)是距硅片约10 mm边缘截取点, 看上去薄膜的形貌在中心与边缘点的均匀性比较好。此外, 所有薄膜与下面的SiO₂之间的界面结合比较好, 没有明显的脱附现象。

图2.2(a)-(d)是硅片中心点, 其中(a)是纯GST的表面形貌, (b)-(d)是氮掺杂GST表面形貌, 其Ar/N₂的流量比分别为50:1、25:1和15:1。从图上可以看出, 纯GST的晶粒比较大, 表面略显粗糙。(b)和(c)的氮掺杂薄膜晶粒很小, 表面比较光滑。然而, 如果继续增加掺氮量, 薄膜表面就会出现衬度不同的斑点。因为在薄膜沉积过程中, 如果加入的氮气过多, 部分氮气没有与靶材表面的Ge元素结合生成GeN, 这些过量的氮气分子就会部分随机地被镶嵌在GST薄膜里, 从而使氮掺杂薄膜出现微空隙, 在SEM下面呈现不同的衬度, 该结果跟横截面上观察到的现象吻合。

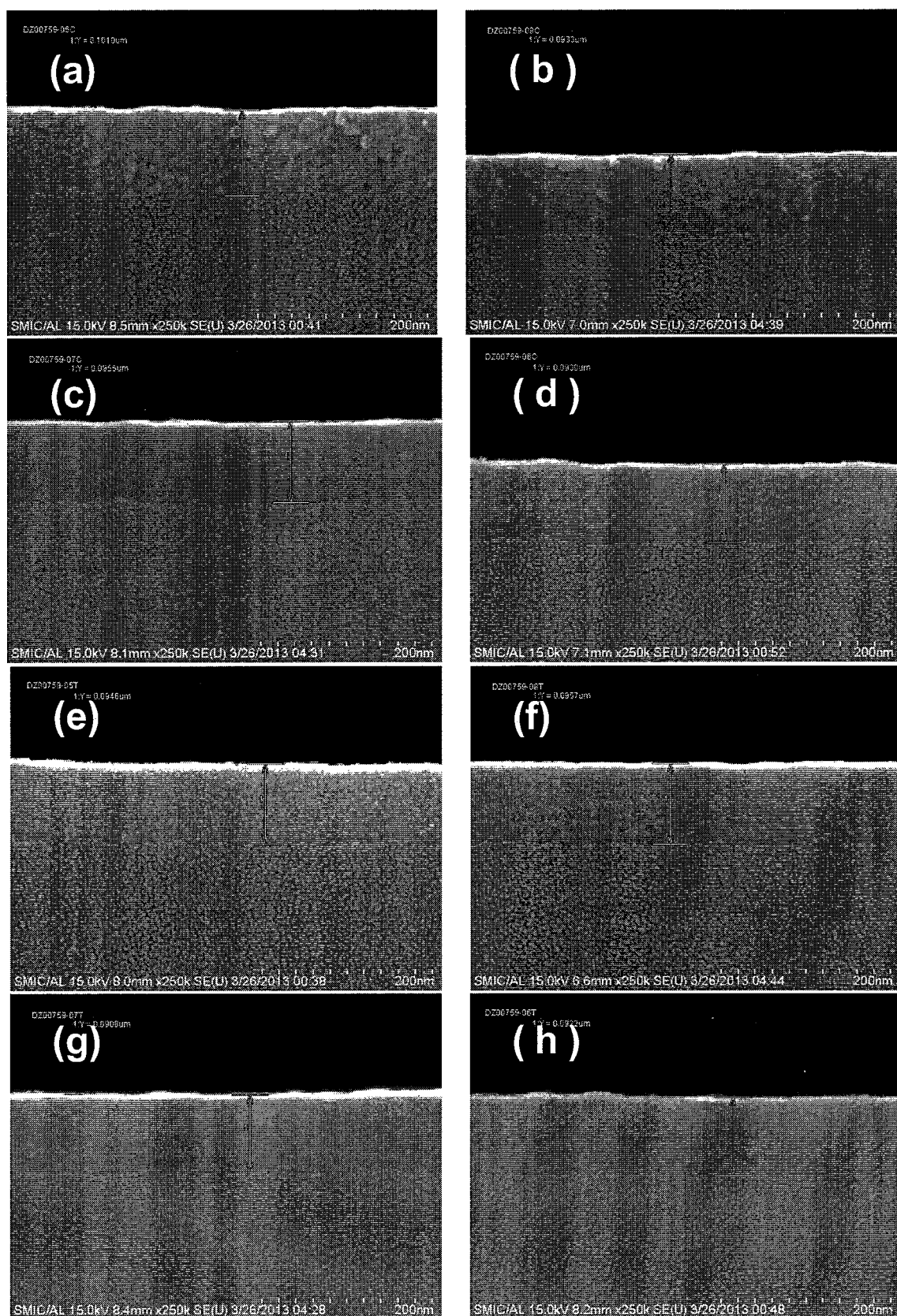


图 2.1 SEM截面图，薄膜厚度约100 nm：硅片中心点(a)-(d)，距硅片边缘约10 mm的点(e)-(h)，分别为纯GST-(a)和(e)、Ar/N₂的流量比为50:1-(b)和(f)、25:1-(c)和(g)和15:1-(d)和(h)的氮掺杂GST薄膜

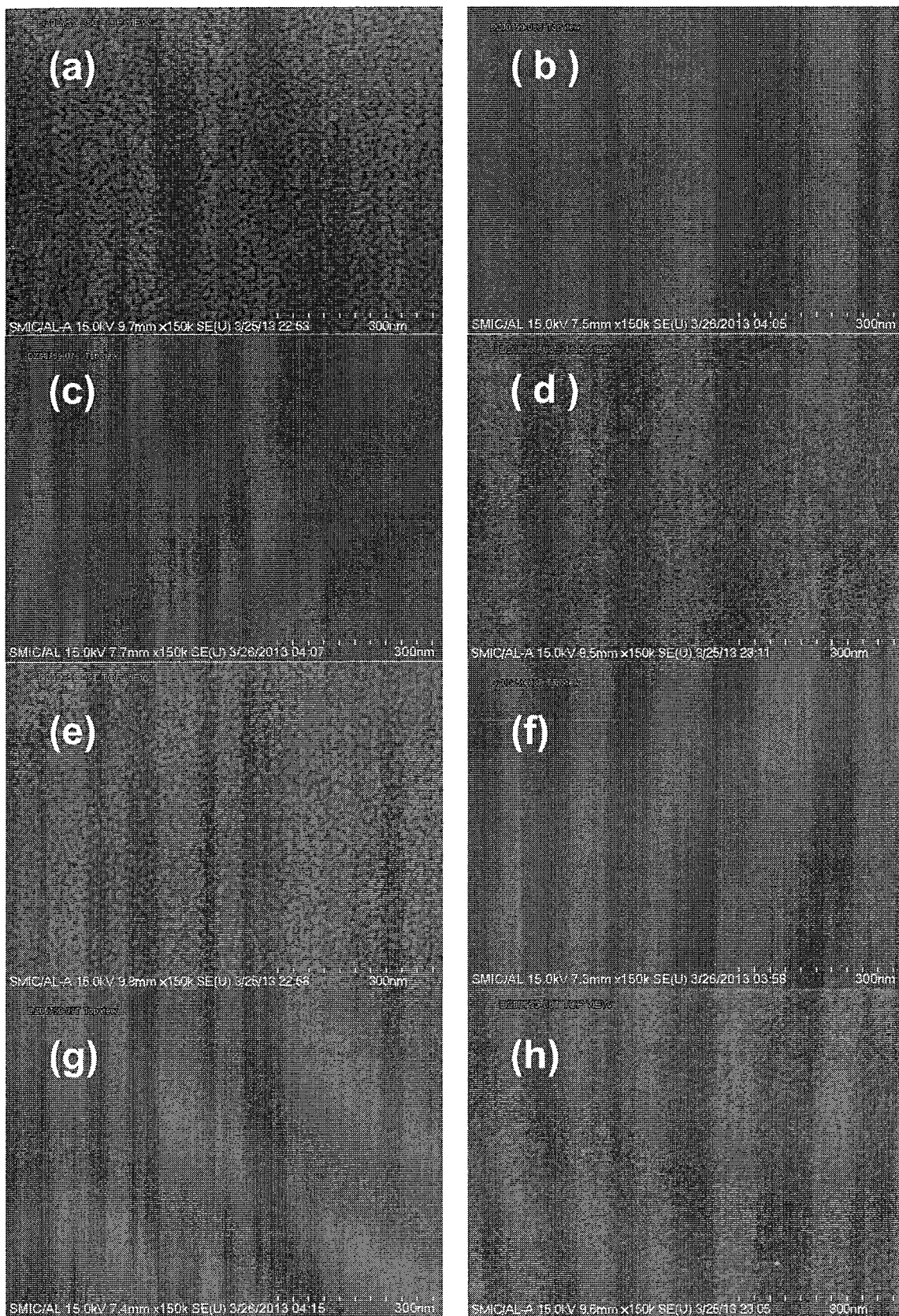


图 2.2 SEM俯视表面图：硅片中心点(a)-(d)，距硅片边缘约10 mm的点(e)-(h)，分别为纯GST-(a)和(e)、Ar/N₂的流量比为50:1-(b)和(f)、25:1-(c)和(g)和15:1-(d)和(h)的氮掺杂GST薄膜

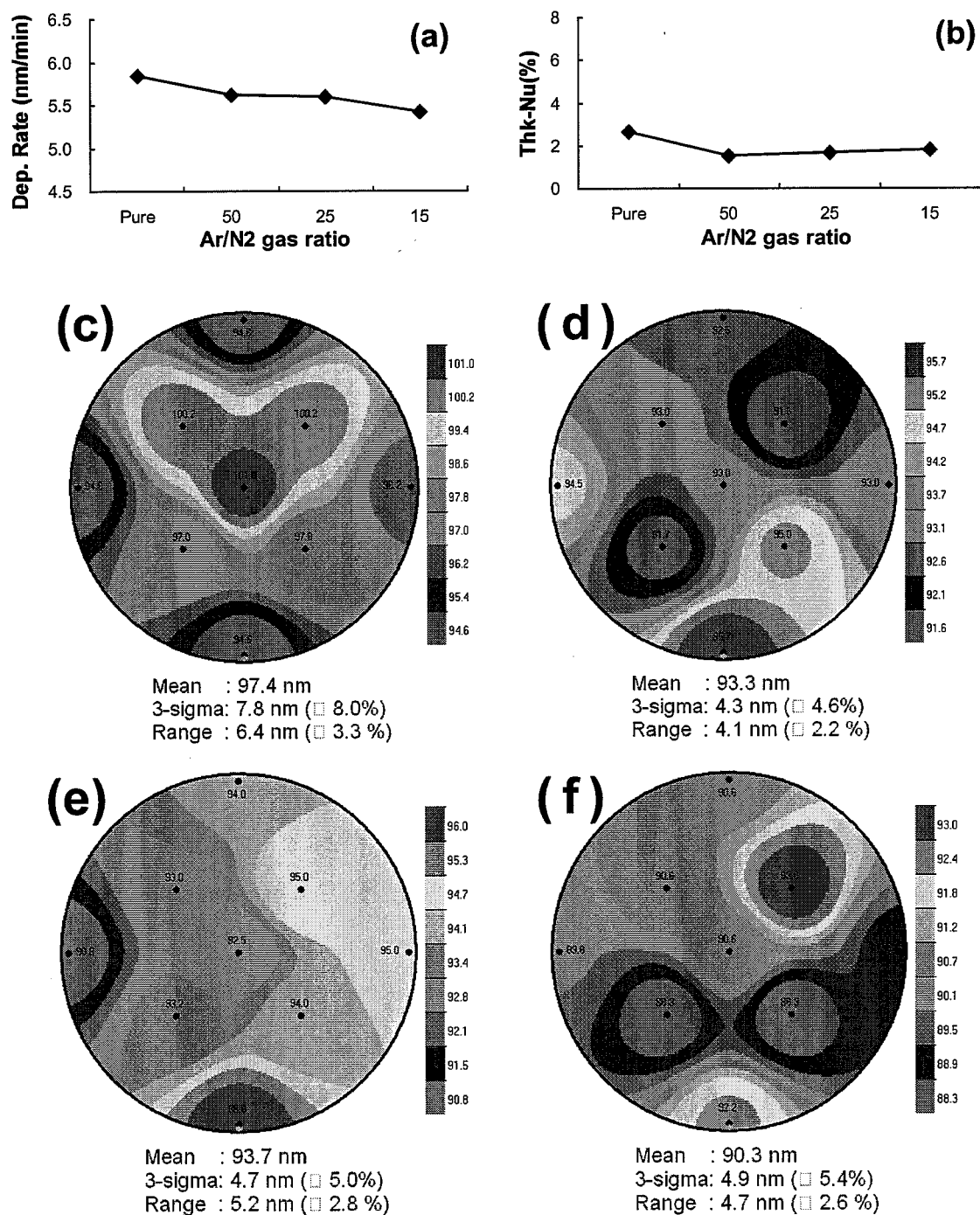


图 2.3 不同Ar/N₂的流量比相关的薄膜特性：(a)薄膜的沉积速率，(b)薄膜均匀性和(c)-(f)薄膜厚度的分布图，分别为纯GST-(c)、Ar/N₂的流量比为50:1-(d)、25:1-(e)和15:1-(f)的氮掺杂GST薄膜

图2.3(a)是薄膜沉积速率与不同Ar/N₂的流量比之间的对应关系，由图中可以看出，随着氮气含量的增加，薄膜的沉积速率略有下降。因为腔体中的氩气相对含量降

低,可分离的氩原子减少,相应地对靶材表面的轰击减弱,从而导致沉积速率略有下降。此外,氮气与靶材表面的反应程度也会造成最终沉积速率的差异。图(b)是薄膜均匀性与氮掺杂之间的关系,由图中可以发现,氮掺杂薄膜的均匀性比纯GST薄膜略好,但总体上看处于同一水平。图(c)-(f)是薄膜厚度的分布图,不同Ar/N₂的流量比条件下,所沉积的GST薄膜厚度分布会有不同。这是由于不同流量的氮气加入,会对腔体内气体空间密度分布产生影响的缘故。

图2.4(a)-(d)是锗、锑、碲和氮元素在不同Ar/N₂的流量比条件下的原子百分比。从图中可以看出,在Ar/N₂的流量比为50:1、25:1和15:1的条件下,氮元素的原子百分比逐渐增加,分别为:4.6、7.9及10.2 at.%。锗、锑和碲元素随着氮掺杂浓度的增加而略有降低。

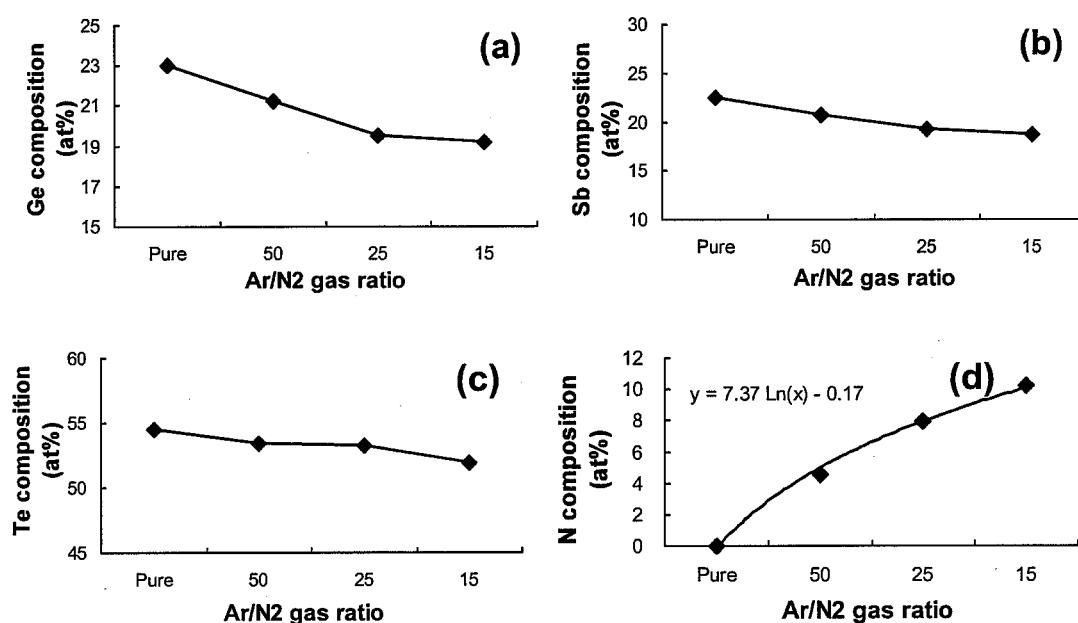
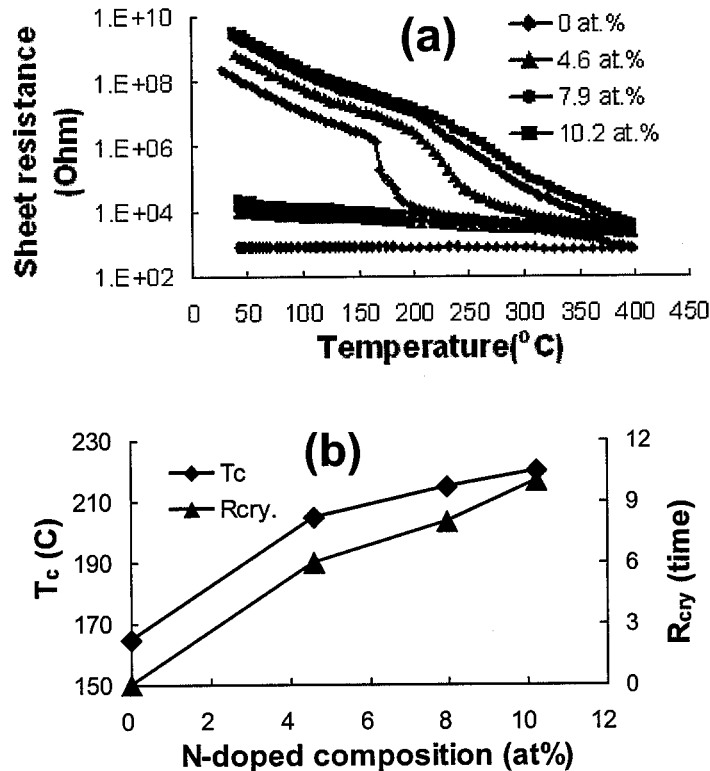


图 2.4 不同Ar/N₂的流量比条件下,元素的原子百分比:(a)锗、(b)锑、(c)碲和(d)氮

图2.5(a)是不同氮掺杂浓度下薄膜的电阻率-温度曲线,由图中可以看出,随着氮掺杂浓度增加,相变曲线整体往高温方向移动,同时,相变曲线趋于缓和。图(b)中可以看出,氮掺杂可以提高GST薄膜的相变温度 T_c 和增加晶态电阻 R_{cry} 。当往纯GST薄膜中掺入4.6 at.%的氮元素后,相变温度从165 °C提高到205 °C,同时晶态电阻率是未掺杂时的6倍。这是因为氮元素与锗元素生成的GeN位于晶界上,一定程度阻止和延缓了GST薄膜的晶化过程,从而提高了相变温度。此外,生成的GeN还可以细化晶粒,从而导致晶态电阻的提高。这些特性可大大提升相变存储器的数据保持力和降低RESET操作电流。如果进一步增加氮掺杂的浓度,相变温度和晶态电阻会继续分别提升至220 °C和10倍。图(c)-(e)是GST薄膜的XRD谱图,薄膜的沉积态是非晶态,如图(c)

中可以看出,纯GST经过150 °C加热3 min后,出现了面心立方相,此时薄膜已经开始发生相变。如果继续加温至350 °C并维持该温度3 min,部分面心立方转化为斜六方结构相。由图(d)可以看出,当往纯的GST薄膜中加入微量的氮元素(Ar/N₂为200:1,氮含量小于2 at.%),在150 °C加热3 min后,没有出现任何面心立方结构相,这意味着材料仍然处于非晶态,没有发生相变。这是因为加入氮元素后,GST薄膜的相变温度提高了,即使经过150 °C保持3 min的热过程后,该氮掺杂材料依然没有达到材料的相变温度点,所以没有发生相变。如果再对该微量氮掺杂薄膜加热至350 °C,并在该温度下保持3 min后,发现面心立方和斜六方结构相同时出现。这说明该薄膜已经发生相变,而且局部已经转变为斜六方结构相。相比较于纯GST,该微量氮掺杂薄膜的斜六方结构相明显减少,这是由于位于晶界上的GeN对面心立方到斜六方的相转变起到了抑制作用。当继续增加氮掺杂浓度至4.6 at.%甚至更高,如图(e)示,薄膜经过350 °C加热3 min的热过程后,单独的斜六方结构基本已经消失,这说明通过在纯GST薄膜中掺入氮元素后,薄膜的低阻相只有面心立方结构,而不需要由面心立方进一步向斜六方结构转化,这将大大提高薄膜的稳定性和相变特性,有利于得到更好数据保持力。



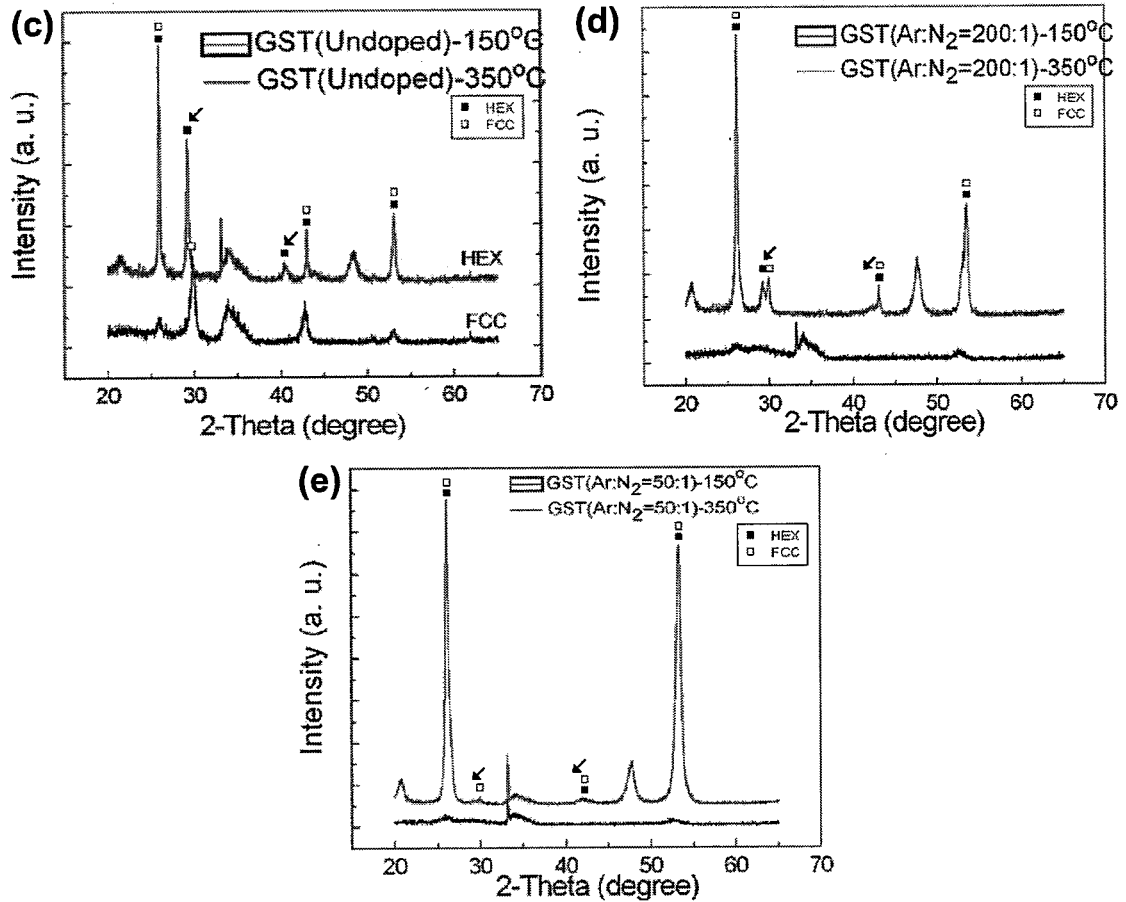


图 2.5 氮掺杂薄膜的相变性质: (a)电阻率-温度曲线, (b)掺杂后对相变温度 T_c 与晶态电阻 R_{cry} 的影响, (c)-(e)氮掺杂对XRD谱图的影响

2.1.3 氮掺杂薄膜的抛光性能

2.1.3.1 实验简介

在室温条件下,利用200 mm的物理气相沉积平台,采用磁控溅射的方法在 SiO_2/Si (100晶面)基底上制备400 nm薄膜,包括一种非掺杂与三种不同氮掺杂浓度的GST薄膜。系统本底真空优于 $5\text{E}-6$ Pa,采用13.56 MHz的射频功率源,合金GST(原子比例为225)的单靶溅射源。用氩气作为溅射气体,在溅射沉积过程中,保持相同的溅射腔体压力0.28 Pa,并控制Ar/ N_2 的流量比例制备出三种不同氮掺杂浓度的薄膜:4.6、7.9和10.2 at.%。同时,选取氮掺杂浓度为7.9 at.%的薄膜填充670 nm的孔洞,并用CMP抛光表面。用SEM表征在平板二氧化硅基底上抛光速率,图形片上的抛光后截面和俯视图的形貌。

2.1.3.2 抛光效果

图2.6是不同氮掺杂薄膜的抛光效果。图(a)中可以看出,与纯GST相比较,掺杂

浓度为4.6和7.9 at.% GST薄膜的抛光速率分别低31和47 nm/min。这是因为由于氮元素掺入纯GST薄膜后，会与锗元素形成GeN，并且分布在晶界上，大大提升了GST薄膜的强度。因此，在CMP抛光过程中，掺氮的薄膜比纯GST薄膜更难去除，抛光率比较低。而且掺杂浓度为7.9 at.%的薄膜比4.6 at.%的抛光率低约5.3%。这说明在一定范围内，掺氮量越高，薄膜强度越大，抛光率愈低。当氮掺杂浓度为10.2 at.%时，抛光速率不降反升，比纯GST高出21.5%。这是由于氮掺杂浓度很高的时候，薄膜内部会有氮气分子镶嵌其中，从而导致薄膜强度的急剧降低^[63]。经过CMP抛光后，表现为抛光速度较其它掺杂浓度的薄膜突然大幅增加。这与我们之前的数据相吻合。如图(b)-(c)所示，把氮掺杂浓度为7.9 at.%的薄膜填入670 nm的孔洞后，经过CMP抛光。通过SEM横截面和俯视图可以看出，抛光后的氮掺杂薄膜质量良好，抛光后的表面平整光滑，没有发现腐蚀、空洞、脱附和残余等问题。

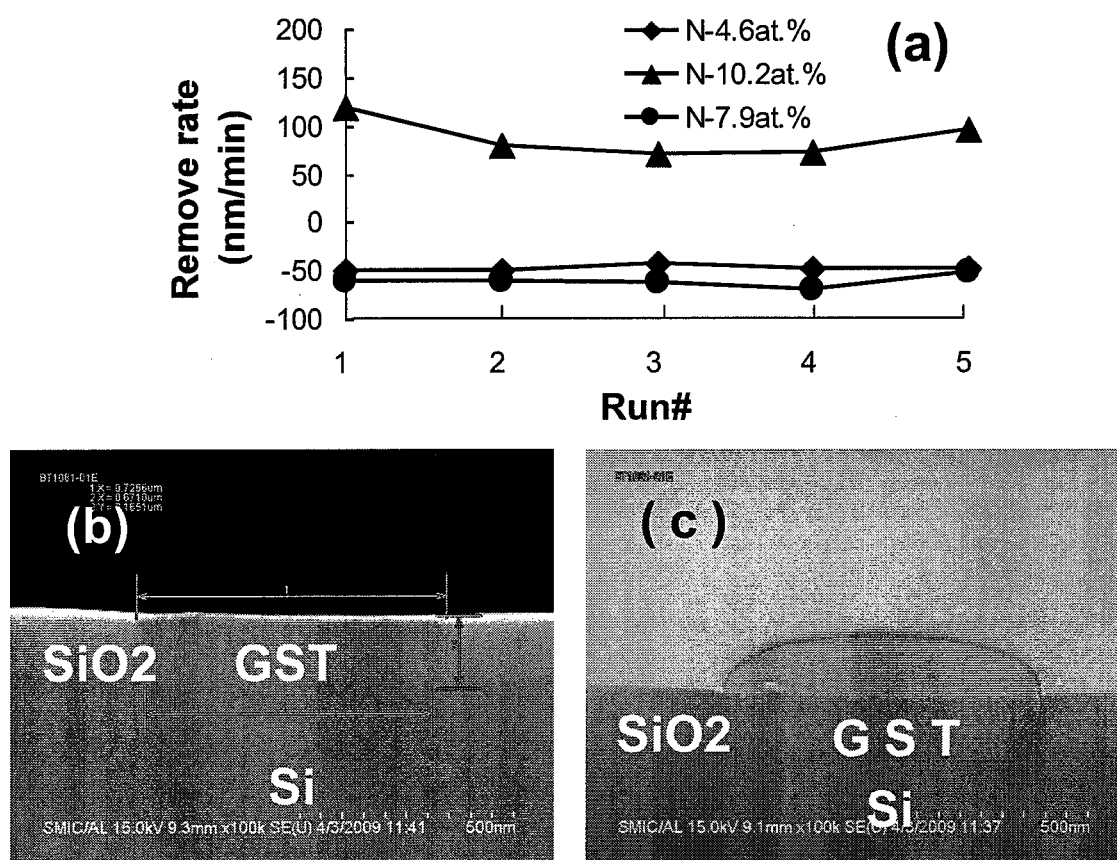


图 2.6 氮掺杂GST薄膜的CMP抛光性能，(a)不同掺杂浓度的GST薄膜的抛光速度比较，氮掺杂浓度为7.9 at.%的薄膜的抛光效果的(b)截面图和(c)俯视图

2.1.4 电性验证

图2.6(a)是经过PVD孔洞填充、CMP抛光等工艺制备出的器件结构，从图中可以

看出，氮掺杂GST薄膜的填充没有空洞，并与下电极接触良好。经过CMP抛光后，表面平整没有残余，且与上电极之间界面没有氧化或其它缺陷。图(b)是掺杂前后的GST薄膜晶态电阻率的对比，从图中可以看出，氮掺杂的晶态电阻率比纯GST薄膜高出近10倍，而且电阻值分布收敛性较好。在图(c)中，氮掺杂器件的RESET电压比纯GST低，仅为纯GST器件的1/2。

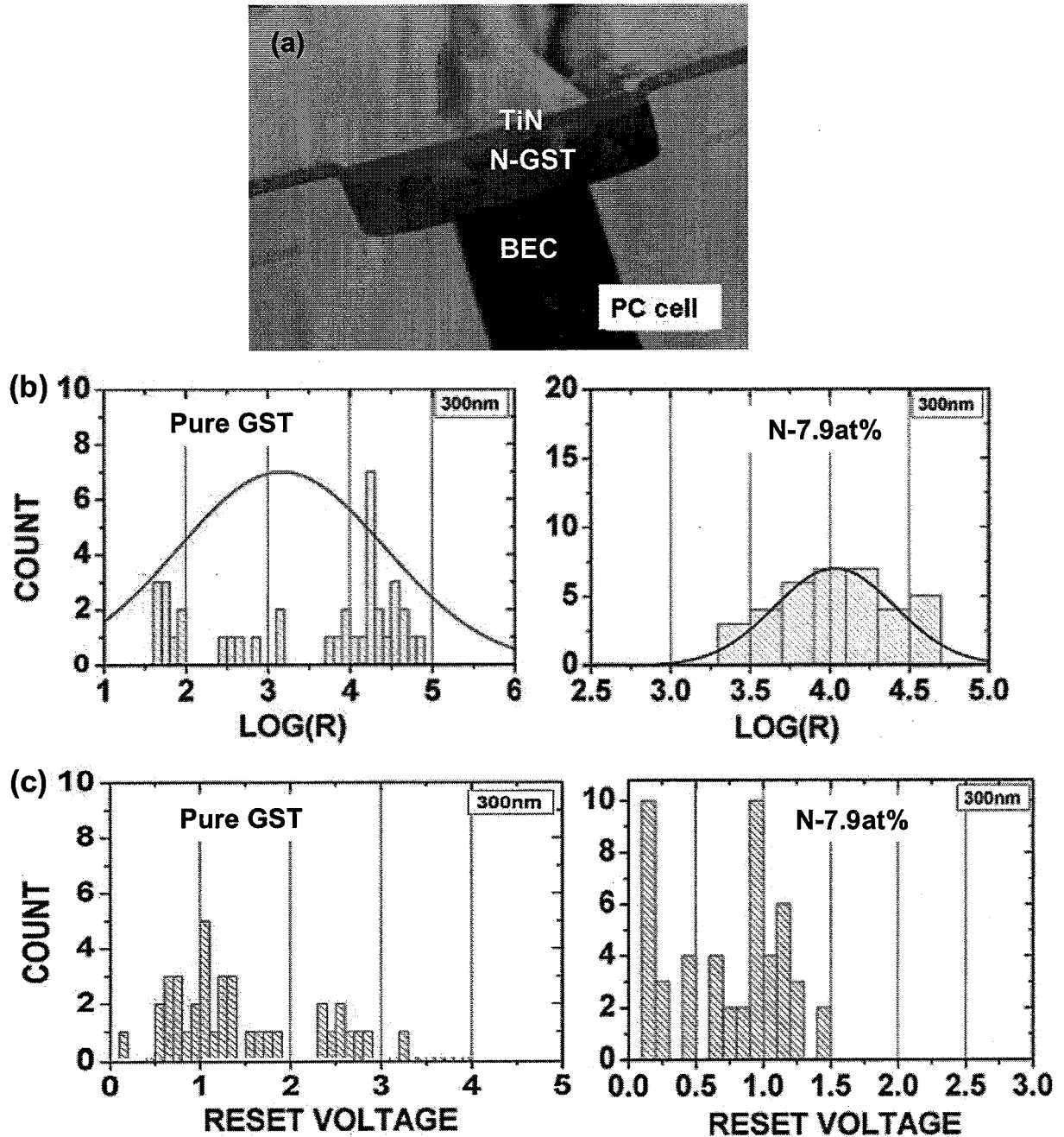


图 2.6 纯GST和氮掺杂GST薄膜器件性能对比，(a)器件结构，(b)晶态电阻率 R_{cr} 和(c) RESET电压

2.1.5 本节小结

通过调整Ar/N₂的流量比(50:1、25:1和15:1),可以对纯GST进行不同浓度的掺杂(4.6、7.9及10.2 at.%)。掺杂后可以提高薄膜的相变温度(50~80 °C)和晶态电阻率(约10倍),从而提高器件数据保持力和降低操作功耗。但如果掺杂浓度过高,薄膜内容易因包含氮气分子而造成薄膜质量变差。综合考虑,建议氮含量在4.6~7.9 at.%区间选取。经过电性能测试,7.9 at.%显示较之纯GST薄膜更加优异的相变性能。

2.2 硅锑碲(SST, SiSbTe)工艺开发

引言

如何解决相变材料GST所面临的这些问题已成为当前相变存储器研究的热点,新相变材料的研究与开发是成功解决方案之一。在众多的候选材料中,SST材料因其具有的众多优势脱颖而出:1、SST具有较高的相变温度,所以热稳定性好,适用于在高温环境下工作的存储器件;2、薄膜在相变过程中体积的变化率比GST小,所以在电性操作过程中的可靠性更好;3、薄膜的晶态电阻率比较高,在作RESET操作的时候,相同的操作电流条件下,SST材料的加热效率更高,所以能都有效的降低功率消耗,这对制备高密度、低功耗的相变存储器至关重要^[64-70]。

2.2.1 试验简介

在室温条件下,利用200 mm的物理气相沉积平台,采用磁控溅射的方法在SiO₂/Si(100晶面)基底上制备SST薄膜。系统本底真空优于5E-6 Pa,采用13.56 MHz的射频功率源,合金SST(原子比例为226)的单靶溅射源。用氩气作为溅射气体,在溅射沉积过程中,保持相同的溅射腔体压力0.28 Pa。采用不同的溅射功率200W、300W、400W、500W和600W,分别在平板和孔洞填充的硅片上沉积SST薄膜,对比其不同薄膜形貌和填充能力。在CMP抛光后查看薄膜的形貌。采用SEM对薄膜截面和均匀性进行表征。薄膜的表面形貌采用SEM和原子力显微镜(AFM)进行了观察。运用纳米划痕法表征SST在二氧化硅基底上的黏附性,并与GST薄膜做对比,同时,还表征了不同放置时间对SST薄膜黏附性的影响。运用俄歇电子能谱(AES)对表面的氧化程度进行定量分析。在温度可控的真空腔体中,对SST的电阻率进行原位加热测试,得到其电阻-温度关系(R-T)。结晶温度(T_c)定义为R-T 曲线对温度微分后的极小值所对应的温度。

2.2.2 材料性能

图2.7是在开展SST工艺研发之前,对SST薄膜在二氧化硅上的黏附性进行初步的定性探索验证,以防止在高真空的PVD腔体中因为SST黏附性问题而导致大面积的剥落。由图(a)-(c)中可以看出,在SST薄膜厚度从72 nm到400 nm变化过程中,SST薄膜

与二氧化硅之间的界面结合良好。从图(d)-(f)中可以看出, SST表面经过划痕后, 没有发现明显大面积脱附现象。因此, 在二氧化硅基底上, 即使SST薄膜厚达400 nm其黏附性仍旧良好。

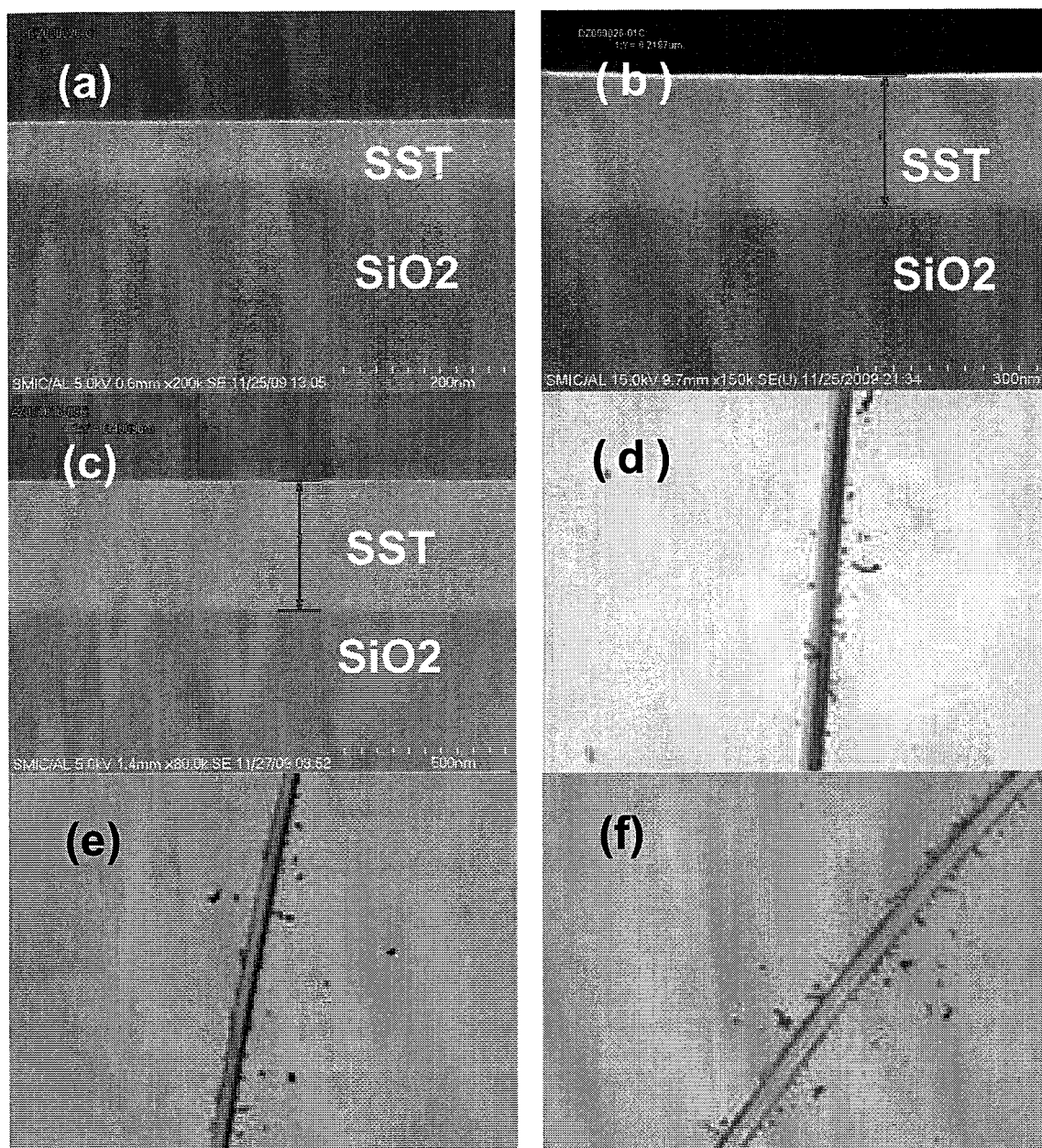


图 2.7 SST薄膜在不同厚度情况下的黏附性定性分析, (a) 72 nm, (b)200 nm, (c)400 nm, (d)-(f) 是对应(a)-(b)不同厚度的薄膜划痕后的表面

图2.8是利用SEM对不同溅射功率的SST薄膜的截面形貌进行表征。由图(a)-(c)可以看出, 在200~600W功率范围内, SST薄膜晶粒较小且结构均匀、薄膜表面平整, SST与基底之间的结合较好。结合图(d)-(f), 薄膜在200 mm的硅片上边缘点与中心点之间从截面形貌、薄膜界面上看皆没有明显的差别, 比较均匀。

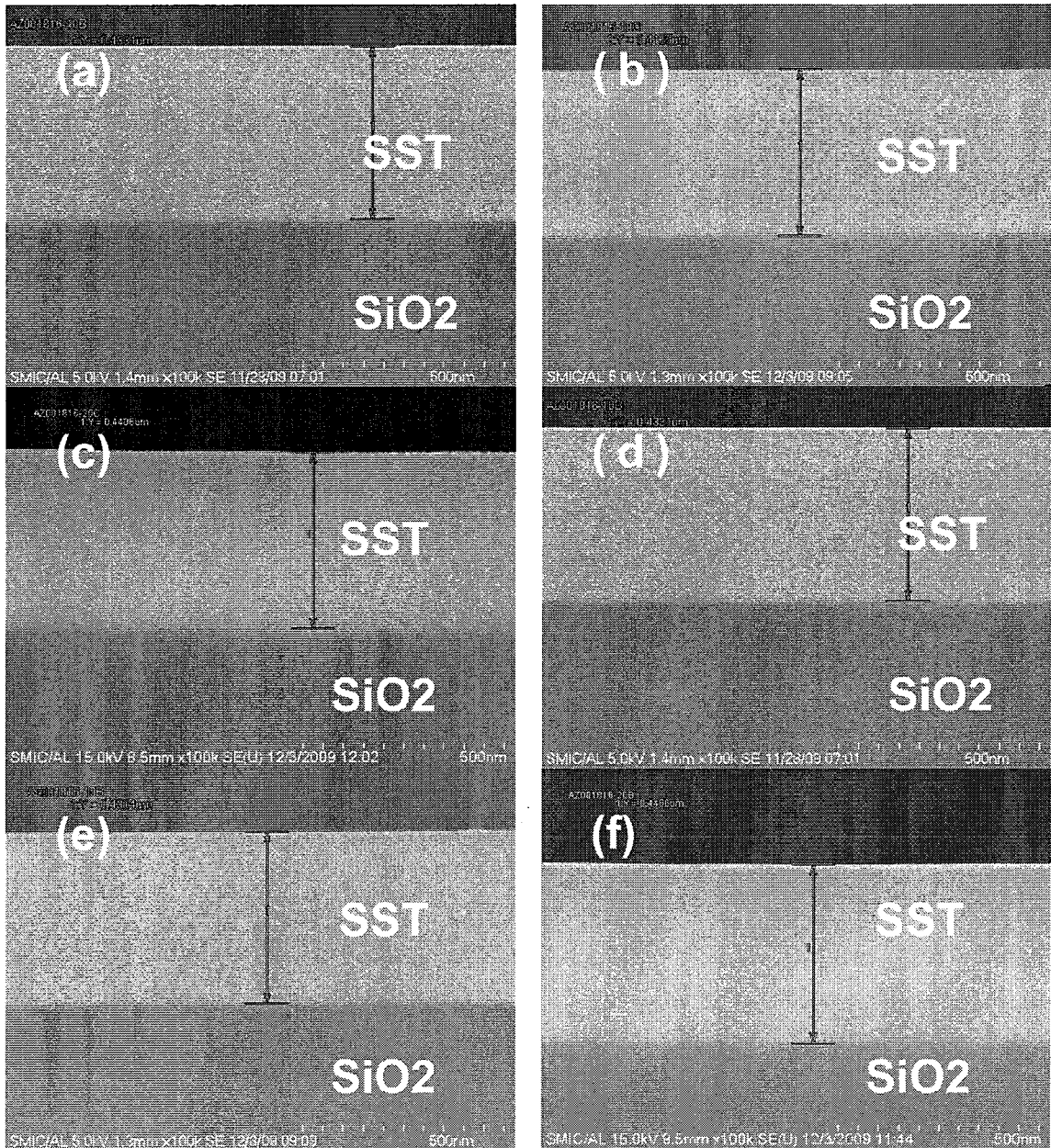


图 2.8 不同溅射功率条件下, SST薄膜的形貌。(a)-(c)和(d)-(f)分别取自硅片中心点和距边缘约15mm的点, 溅射功率分别为: 200W ((a)和(d))、400W ((b)和(e)) 和600W ((c)和(f))

图2.9是研究在不同溅射功率条件下SST薄膜的沉积速度、薄膜均匀性等性能的表现, 通过比较以优化SST薄膜的沉积工艺参数。从图(a)中可以看出, 随着溅射功率的增加, SST薄膜的沉积速度基本上呈线性增加。而如图(b)中所示, 薄膜厚度的标准方差随着溅射功率的增加逐渐减小, 也就是说, 功率越大, SST薄膜厚度越均匀。如图(c)-(d), SST薄膜厚度在200 mm硅片上的分布图略有不同, 这是因为: 在不同的溅射功率条件下, 被溅射出的SST原子的运行轨迹分布略有不同, 最终表现在沉积到硅片表面的SST薄膜的厚度分布图之间的差异。

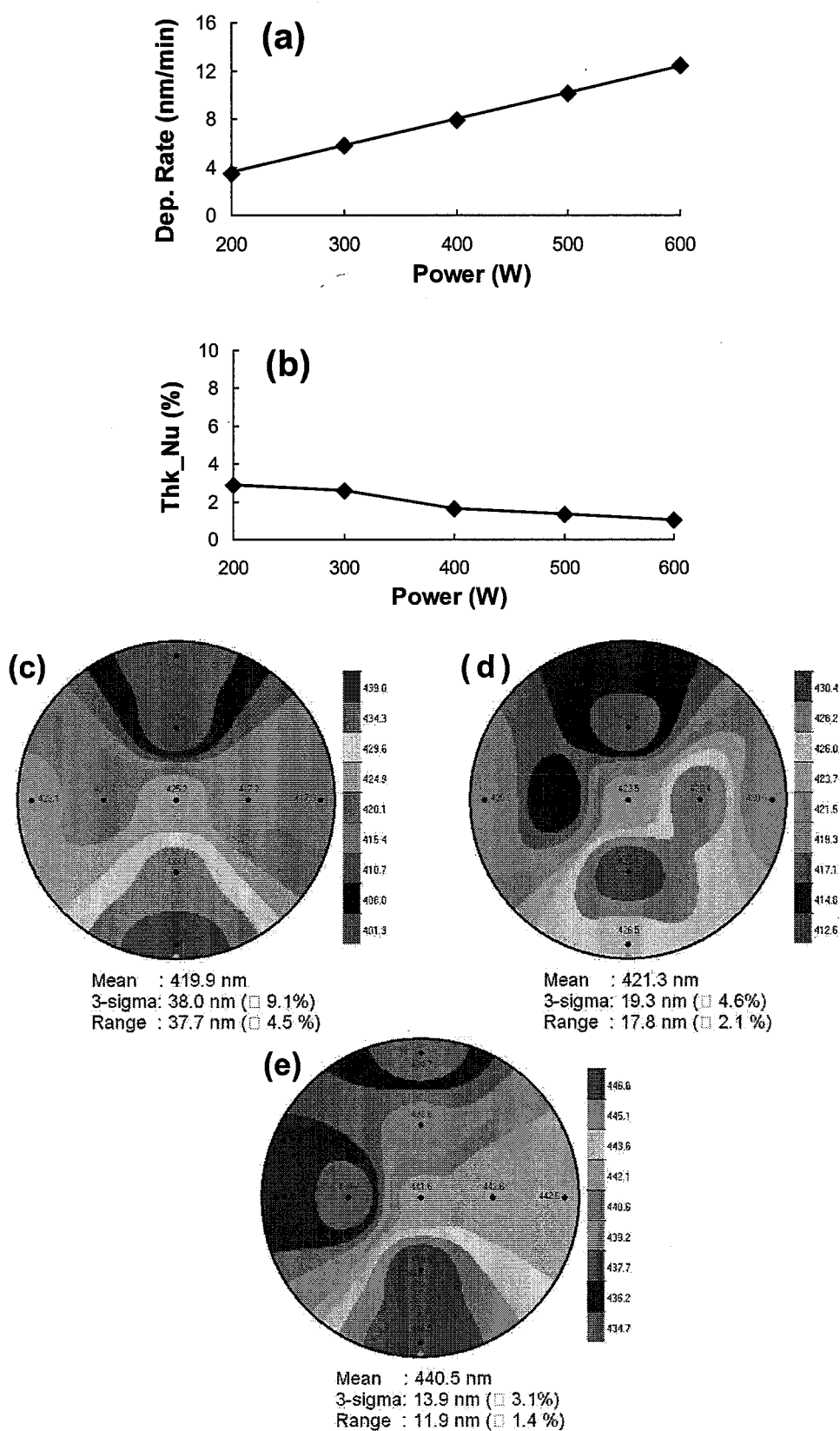


图 2.9 不同溅射功率下，SST的工艺参数优化，(a)薄膜的沉积速度，(b)厚度均匀性，(c)-(e)

不同溅射功率薄膜在硅片上的厚度分布图：200W，400W和600W

图2.10是将沉积在二氧化硅基底上的SST薄膜放置在大气环境中，在空气中放置约24小时后，表征薄膜表面的氧化情况。该测试对SST材料用于大批量生产过程非常重要，因为在芯片制造过程中，需要了解各道工序之间的等待时间对薄膜或电性能的影响大小，以更加精确地控制整个制造工作流程，从而保证芯片的最终性能。利用俄歇电子能谱的方法，在真空条件下，氩原子轰击SST薄膜表面，可以探测各元素O、C、Si、Sb和Te的信号，可以得到元素沿深度方向的组分分布。由图2.10中可以看出，氧元素分布在距SST薄膜表面约1 nm的范围内，可以认为在该组分条件下SST(2,2,6)薄膜抗氧化的能力能满足大批量生产的需求。

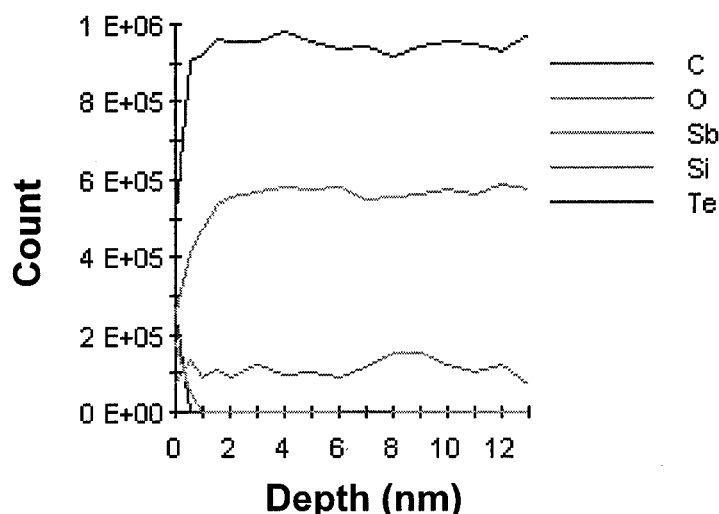


图 2.10 SST薄膜暴露在大氣条件下24小时后，表面氧化程度的俄歇电子能谱表征

图2.11是GST和SST薄膜在二氧化硅基底上的黏附性比较，包括刚沉积和暴露在空气中一周后的两种情况。由图(a)-(b)可以看出，GST和SST之间的划痕周围比较光滑，没有很严重的脱附现象。图(c)中所示，在刚沉积的状态下，SST薄膜在二氧化硅基底上的黏附力比GST差，临界力约为GST的80%。暴露在大气环境下一周后，SST和GST的临界力分别下降约31.5%和8.6%，SST的黏附力比GST下降得更加明显。造成这种结果的可能原因：SST在空气中比GST更容易发生氧化，从而导致薄膜在与二氧化硅的界面上的应力释放，导致黏附力降低^[71]。

图2.12在相同尺寸的孔洞条件下，运用相同的溅射功率对SST的填充效果与GST相比较，并通过调整SST的溅射功率优化SST薄膜的填充能力。由图(a)-(b)可以看出，在250 nm深宽比为0.88的孔洞上，使用相同工艺条件，SST薄膜的填充能力明显比GST好。通过提高SST的溅射功率到400W和600W后，SST的填充效果得到明显的增强。如图(e)中所示，GST在200 W的溅射功率时能够填满63.6%的孔洞深度，在同样的工

艺条件下，SST的填充率提升至96.5%，几乎已经将孔洞填满。SST和GST靶材的密度和制备方法，以及不同元素的质量可能造成了这种填充能力的差异。而根据在GST填充工艺优化的经验，我们知道：在其它条件不变的条件下，使用较大的溅射功率可以是被溅射出的原子具有更好的方向性，从而可以在硅片得到更好的填充能力，在SST薄膜上同样可以借鉴这样的经验。当SST的溅射功率从200W增加到400W后，填充效果得到非常明显的提高，孔洞填充率由96.5%增加到117.5%，孔洞被完全填满。当功率为600W时，填充率则增加至120.8%。

由此可见，在相同条件下，SST薄膜的填充能力比GST薄膜好。而且可以通过增加SST的溅射功率进一步改善填充能力，使SST的孔洞填充达到工程化的需求。

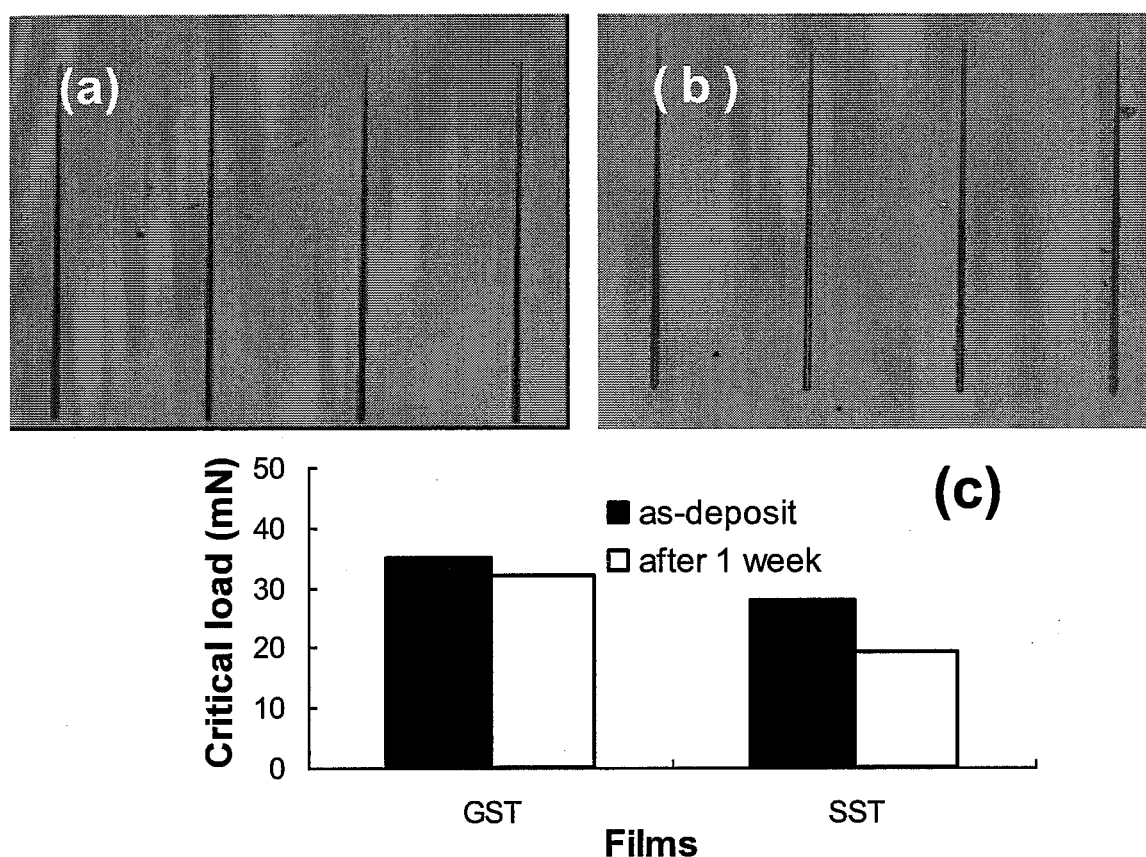


图 2.11 SST与GST薄膜在二氧化硅基底上的黏附性比较，刚沉积薄膜的划痕图(a)GST，(b)SST，(c)刚沉积与暴露在大气中一周后的黏附性对比

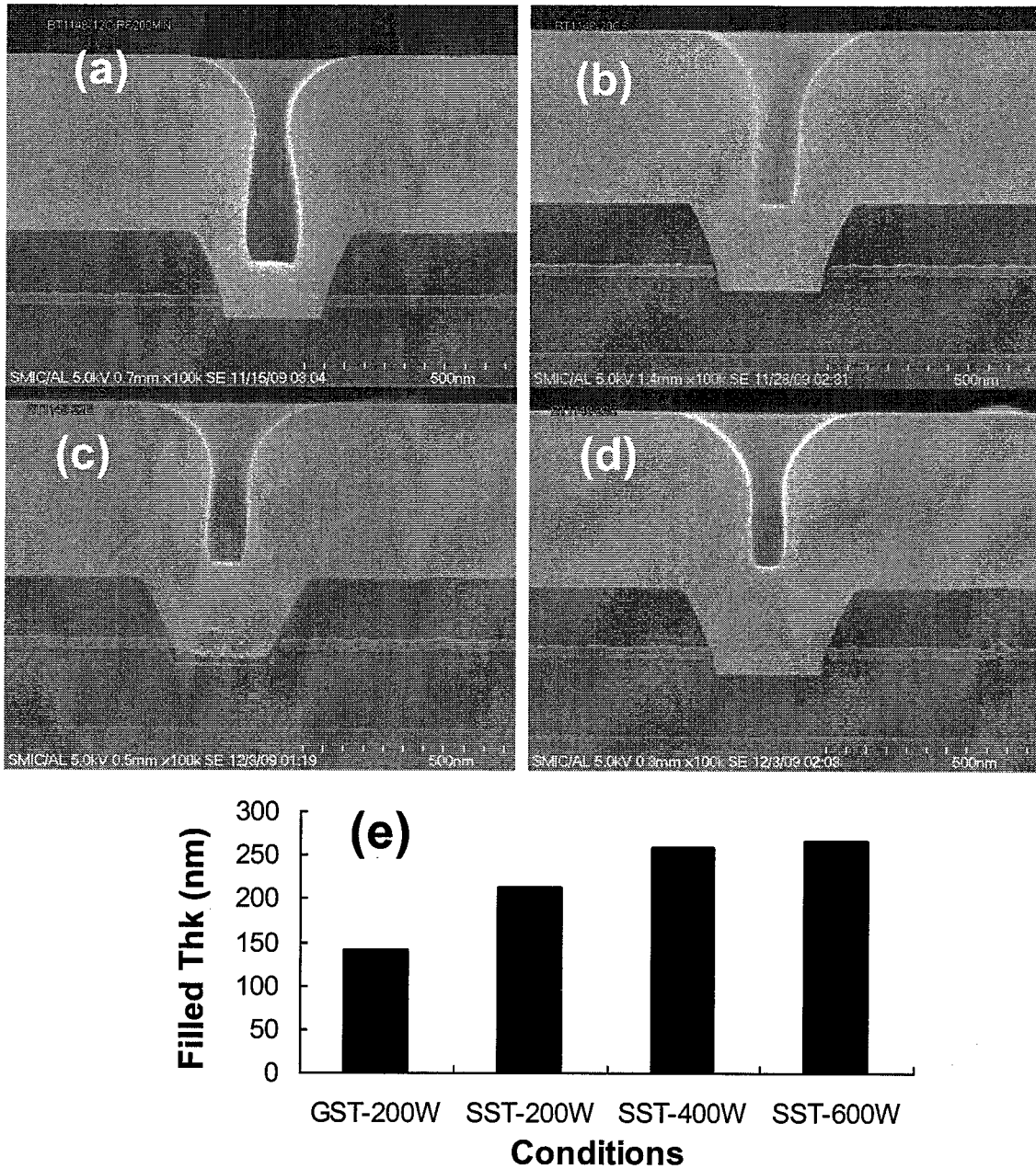


图 2.12 在孔洞尺寸为250 nm深宽比为0.88的条件下,对比(a)GST和(b)SST在溅射功率为200 W时的填充效果,提高SST的溅射功率到(c)400 W和(d)600 W的填充效果,(e)定量分析SST和GST薄膜的填充效果

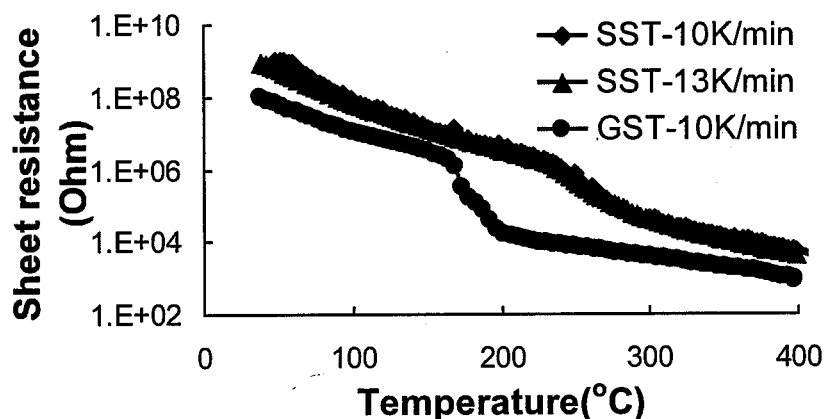


图 2.13 SST和GST薄膜的电阻率-温度曲线对比

图2.13 是SST和GST薄膜的相变性能比较。由图中可以看出，在不同的加热速率条件下，SST薄膜的电阻率-温度曲线基本一致。SST的相变温度为240 °C，比GST高45.5 %。所以，SST薄膜的非晶态稳定性比GST更好，比较适合用于需要高温环境工作的存储器制备。此外，SST的晶态电阻率比GST高约533 %，在作RESET操作的时候，因为SST的电阻率比较高，相同的操作电流条件下，SST材料的加热效率更高，所以能都有效的降低功率消耗，这对制备高密度、低功耗的相变存储器至关重要。

2.2.3 SST的CMP抛光验证

图2.14是SST薄膜表面粗糙度的表征。如图(a)中所示，在二氧化硅基底上，沉积约400 nm的SST薄膜，表面较光滑，粗糙度约为0.64 nm。如图(b)中，经过CMP抛光后，约200 nm的表面SST薄膜被去除，表面没有明显的残余和划痕，粗糙度为0.71 nm。与GST比较，SST的抛光速度快约32.7 %。由此可以看出，SST薄膜在沉积后和CMP抛光后，表面的粗糙度没有明显的改变，表面比较光滑，没有明显的缺陷。

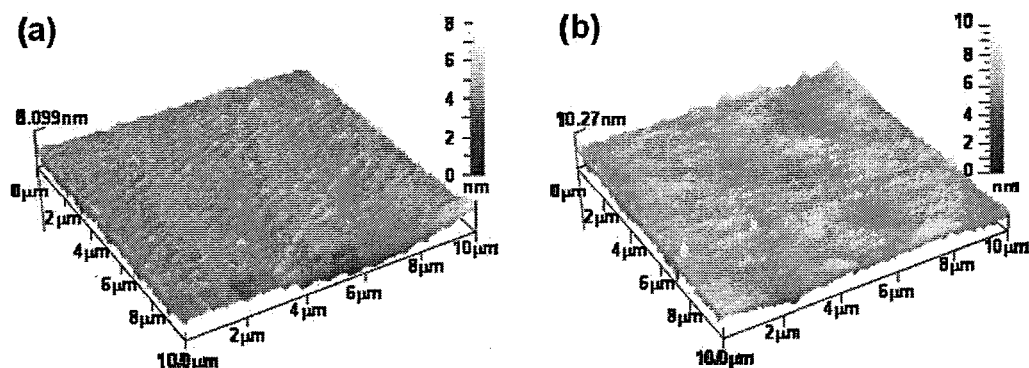


图 2.14 在二氧化硅基底上，SST薄膜的表面粗糙度，(a)沉积后和(b)CMP抛光后

图2.15为CMP抛光后表面和截面形貌的表征。由图(a)中可以看出，抛光后的表面非常光滑，没有划痕、残余及其它颗粒污染。而图(b)截面上看，孔洞中的SST薄膜在抛光后没有碟状凹陷和腐蚀孔洞。而且从剩余的孔洞高度来看，二氧化硅的去除量控制在少于40 nm的水平。结合靠近边缘点的抛光效果(c)-(d)来看，在整个硅片上，抛光的均匀性比较好。

由此看见，SST薄膜完全满足制备器件所要求的CMP抛光工艺的需求，成功达到工程化水平。

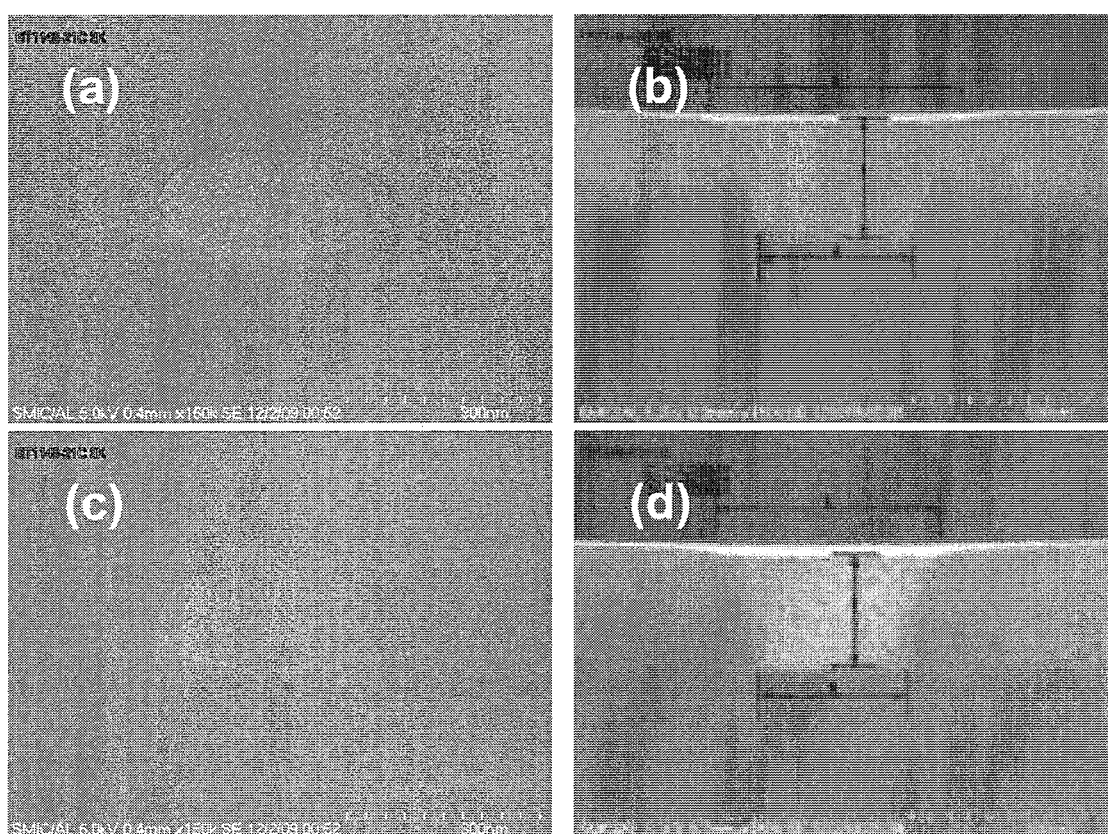


图 2.15 经过CMP抛光过后的孔洞表征，硅片中心点的(a)顶视图和(b)截面图，距边缘约为15 mm处的(c)顶视图和(d)截面图

2.2.4 本节小结

成功开发出 $\text{Si}_2\text{Sb}_2\text{Te}_6$ 的制备工艺，通过调整溅射功率，发现功率越高，薄膜的沉积速率越快、厚度均匀性和小孔填充能力越好。表征后发现薄膜的抗氧化能力较好。与GST薄膜相比较，SST相变温度和晶态电阻分别高45.5 %和533 %，说明SST薄膜的数据保持力较好且操作电流较小。然而SST薄膜与二氧化硅基底的黏附性略差。经过工艺集成的验证，SST在CMP抛光后表面光滑没有残余，完全满足制备器件所要求的

CMP抛光工艺的需求，成功达到工程化水平。

2.3 GST 纳米填充工艺开发

引言

为了减小RESET电流，可以将相变材料限制在纳米小孔内，这样可以减少操作区域的相变材料体积，同时，也可以减少热损耗。然而，这就对纳米材料的小孔填充能力提出较高的要求。一般来说，CVD和ALD工艺的薄膜填充能力比较好^[72-74]，可是目前针对相变材料的前驱体和工艺都尚未成熟^[75-77]。PVD工艺沉积的薄膜具有较好的性质，包括纯度较高、组分稳定和致密度较高等。然而，传统的PVD工艺的孔洞填充能力不足，需要对现有工艺进行优化或开发新的填充工艺来满足相变器件制备的需求。

2.3.2 单步纳米填充工艺

2.3.2.1 试验简介

在室温条件下，利用200 mm的物理气相沉积平台，采用磁控溅射的方法沉积GST薄膜，系统本底真空优于 $5E-6$ Pa，采用13.56 MHz的射频功率源，合金GST(原子比例为225)的单靶溅射源，用氩气作为溅射气体。分别用不同侧壁倾斜度(88° ， 83° 和 73°)和不同孔径大小(200, 300, 500, 600和1000 nm)的孔洞，沉积500 nm的GST薄膜后对比其填充效果。分别调整沉积时的腔体压力，硅片旋转速度和溅射功率来优化单步GST薄膜的填充能力。采用扫描电子显微镜(SEM)对GST在孔洞内的填充效果进行表征。

2.3.2.2 孔洞形貌对填充效果的影响

图2.16是在不同的纳米孔洞开口斜度的情况下，相变材料单步纳米填充性能的比较。对PVD工艺来说，薄膜在孔洞口部的沉积速率最快，很容易形成封口，使后续的沉积过程中在孔洞底部形成空洞。从图(a)中可以看出，孔洞侧壁和孔口处接近垂直，在沉积的开始阶段，孔口处薄膜生长很快，迅速形成悬垂状的GST形貌，在后续的溅射沉积过程中，该悬垂状的形貌阻止了薄膜填入孔洞内部。经过500 nm的GST薄膜沉积后，孔口基本上已经被完全封闭，在孔洞里形成很大的空洞，这对后续的CMP抛光工艺来说是不可接受的。为了提高GST的填充性能以得到填充完好的结果，最有效的途径是竭力减少孔洞口部的悬垂状形貌的出现，让更多的GST材料能够被填入纳米孔洞内。增加孔口的倾斜度是行之有效的方案之一。如图(b)所示，将孔口角度从 88° 减小至 83° ，经过500 nm的GST薄膜沉积后，填充进孔洞的GST薄膜厚度比之前增加了140%，填充效果得到了很大的提高。与此同时，还可以发现洞口的悬垂形貌比之

前也得到了明显改善。按照该思路,继续减小孔口角度至 73° ,由图(c)中可以看出,填入孔洞内的GST薄膜厚度较之孔口角度为 88° 时增加了252%,在280 nm的孔洞上成功实现无空洞的完全填充。图(d)可以看出,GST材料的填充效果与孔洞的形貌密切相关,孔洞侧壁约倾斜,在沉积过程中越不容易形成悬垂状结构而导致封口,越容易得到更好的填充效果。所以,适当增加孔洞倾斜度可以有效提高GST材料在纳米孔洞上的填充效果。

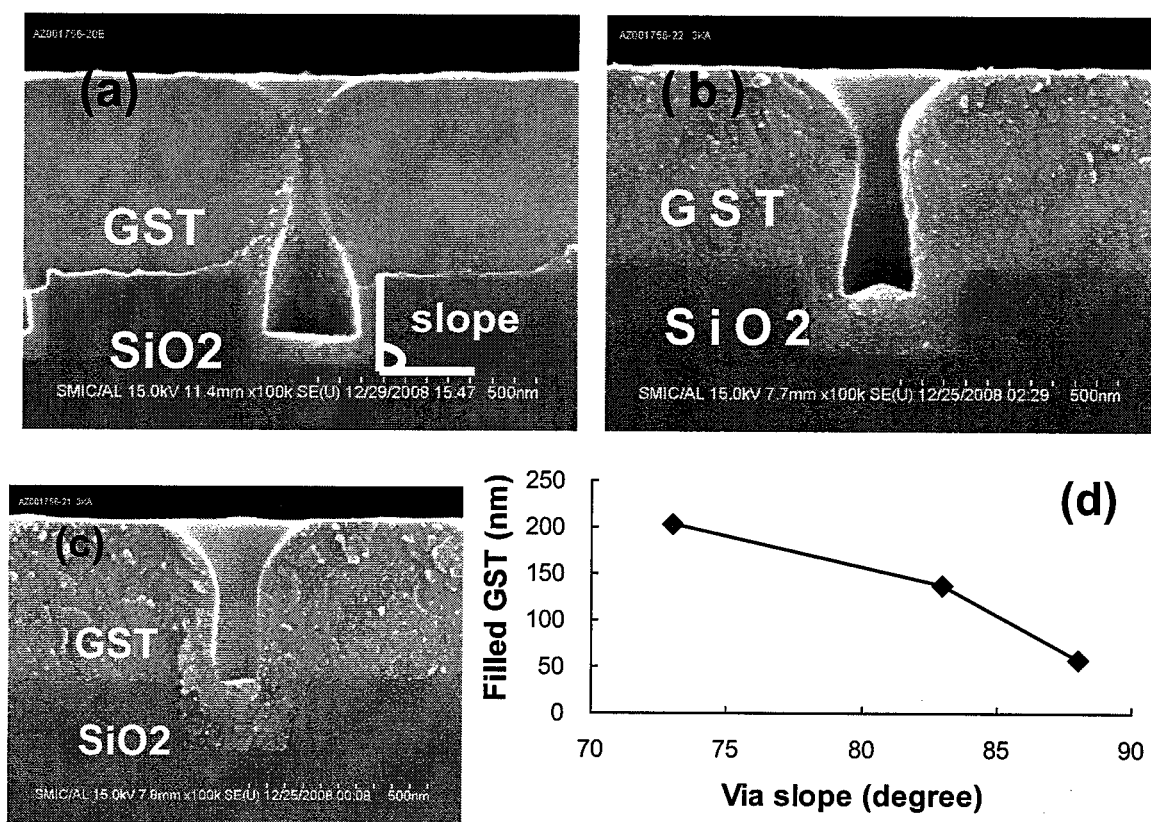
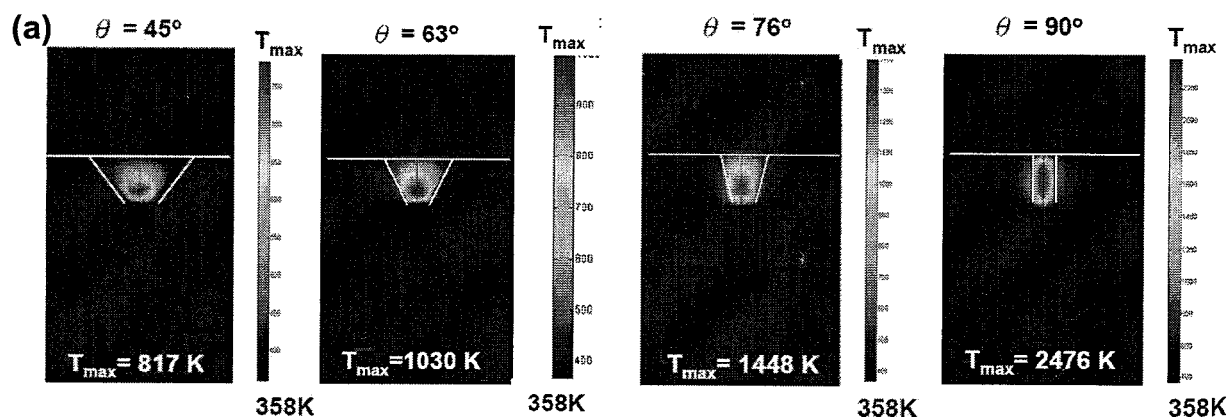


图 2.16 GST材料的纳米填充性能与不同孔洞开口斜度的关系:(a) 88° , (b) 83° , (c) 73° 和(d)量化关系



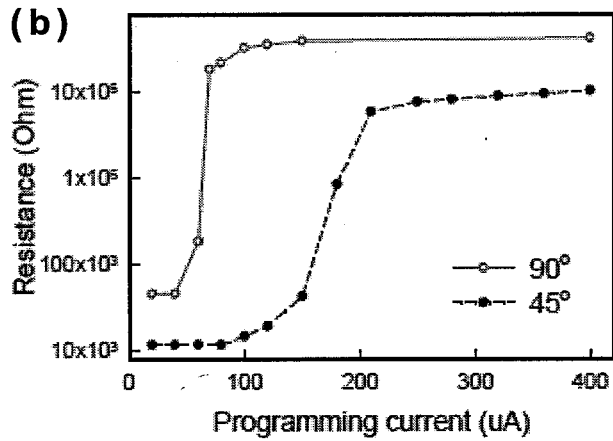
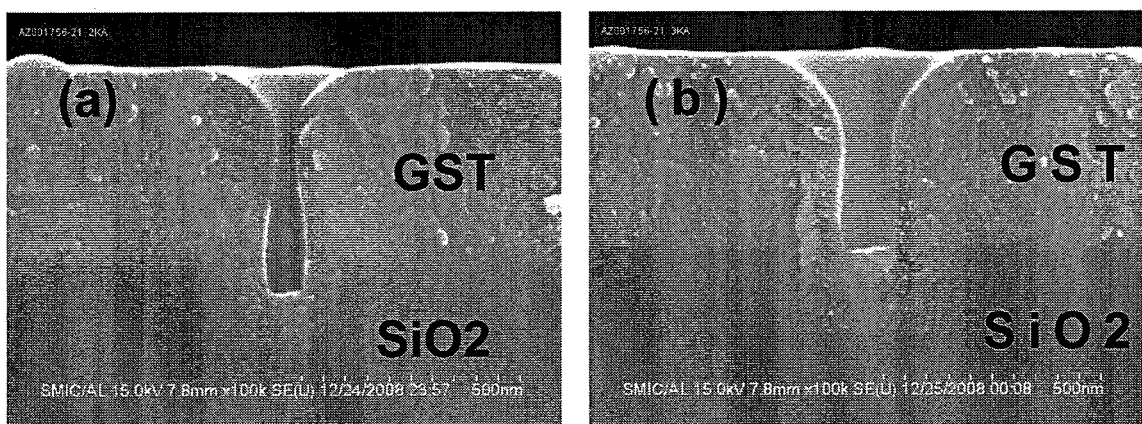


图 2.17 孔洞侧壁的倾斜度与加热效率之间的关系：(a)不同倾斜角度下相变区域的最高温度，(b)电阻率、消耗功率与倾斜度的关系^[78]

由图2.17(a)可以看出，随着孔洞倾斜角度的增加，相变区域的最高温度迅速降低，这说明孔洞倾斜度对器件的加热效率密切相关。如图(b)中示，倾斜度越大操作电流越大。这是因为越大的倾斜角度，热量的损失越多，加热效率越差，直接造成了操作电流的增加。而孔洞侧壁越垂直，热量被很好的限制在孔洞内部，使加热电极产生的焦耳热大部分都有效的用于相变材料的操作，从而可以降低器件的功率消耗。因此，对相变存储器的电性能来说，孔洞的倾斜角度并非越倾斜越好。

所以，提高纳米孔洞的填充效果，仅仅依靠改变孔洞侧壁的形貌是远远不够，需要进一步寻求更加有效的方案。

2.3.2.3 孔洞尺寸对填充效果的影响



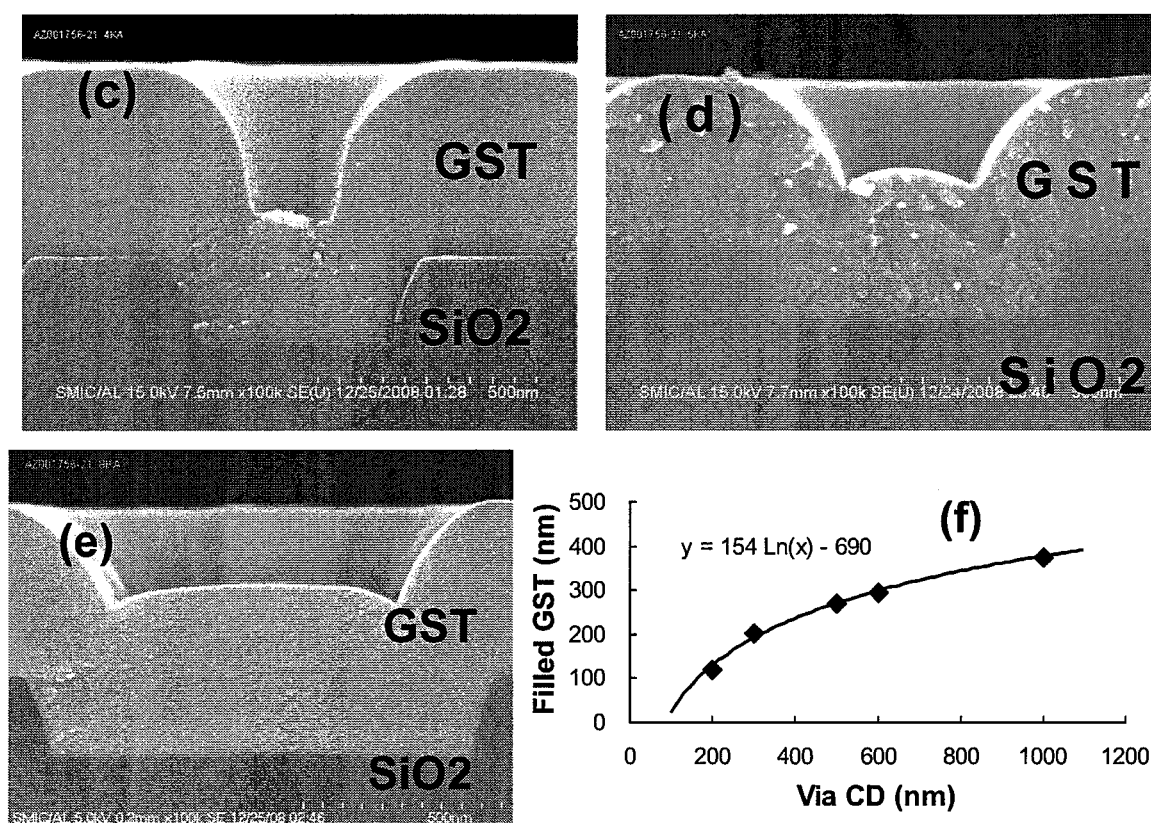


图 2.18 SEM截面表面图，孔洞深度为200 nm，不同孔洞尺寸对GST填充效果的影响，(a)-(e)孔洞尺寸分别为：200 nm，300 nm，500 nm，600 nm和1000 nm，(f)为孔洞尺寸与填入孔洞内GST厚度关系

图2.18是不同孔洞尺寸条件下GST填充效果的比较。孔洞侧壁倾斜度均为 73° ，沉积的GST薄膜厚度为500 nm。随着孔洞尺寸的增加，填入孔洞内的GST薄膜厚度持续增加。如图(a)所示，当孔洞尺寸为200 nm时，孔洞可以达到填充60%的效果。但是，洞口基本已封口，即使再增加沉积厚度，也没有办法达到孔洞的完全填充。在图(b)中，当尺寸增加到300 nm，GST实现了无空洞的完全填充。虽然填充后的洞口仍然存在悬垂状的形貌，但其开口比200 nm时大173%。尽管如此，如果再继续增加GST沉积的厚度，因为深宽比较大的缘故，对孔洞内GST的填充厚度提升帮助不大。从图(c)可以看出，孔洞内的GST填充厚度已经高于孔洞本身的深度，而且填充后孔洞口部的形貌基本没有悬垂状的形貌，如果增加沉积厚度，洞内的GST厚度将继续保持增加。而图(d)-(e)中，随着孔洞尺寸的进一步增加，孔洞的深宽比已经小到仅为0.2~0.3，这样的孔洞易于填充。而且，在填充后，洞口侧壁倾斜角度很大，完全没有悬垂状的形貌，如果继续沉积GST薄膜，洞内填入的薄膜厚度几乎会以等比例的方式增加。所以，在图(f)中，可以发现，当孔洞尺寸大于500 nm(深宽比小于0.4)，填入孔内的厚度与GST薄膜的沉积厚度基本保持线形增长趋势。

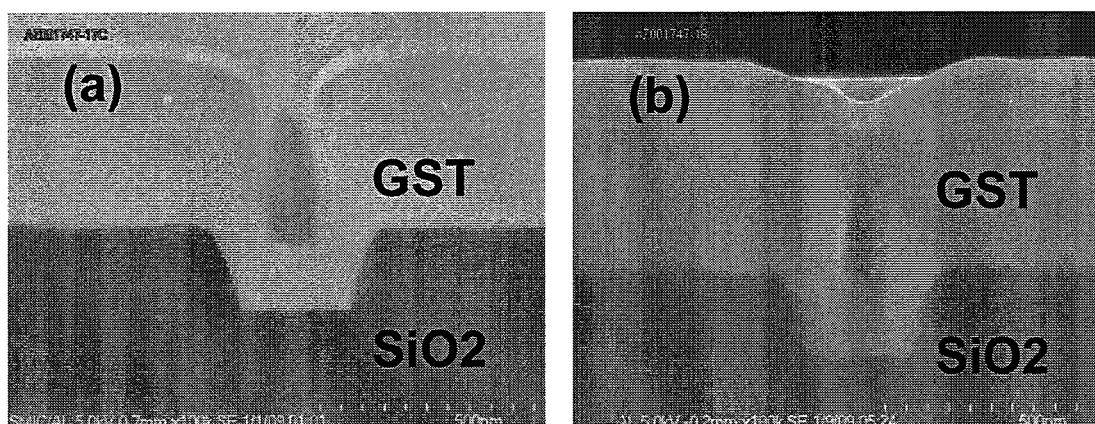
大尺寸、低深宽比的孔洞的PVD填充工艺难度不大，因为在沉积过程中洞口基本

不会形成悬垂状的形貌，更有利于实现无空洞的完全填充效果。而小尺寸、高深宽比孔洞填充过程则恰好相反，洞口的薄膜生长速度最快，导致洞口很快就被悬垂状的薄膜封住，即使再继续沉积相变薄膜，也无法填满孔洞。然而，制造高密度、低功耗的相变存储器的需求，必须将相变材料限制在较小的孔洞内，这就对纳米孔洞的填充提出了很高的要求。所以，小尺寸、高深宽比的纳米孔洞的填充工艺研发是极具挑战的技术难点。

2.3.2.4 单步沉积工艺参数的优化

图2.19是单步沉积纳米填充工艺的参数优化。在孔洞尺寸为260 nm，深度为200 nm和孔洞侧壁倾斜度为73°的条件下，分别改变溅射时的腔体压力、硅基底的旋转速度和降低溅射功率，沉积约500 nm的GST薄膜，并对利用SEM截面图对填充效果进行比较。如图(a)填入孔洞内的GST薄膜厚度约为152 nm，但洞口已经有明显的悬垂状形貌，即使继续沉积也对沉积效果改善不大。图(b)-(c)所示，在较低腔体压力和较低的硅片旋转速度的条件下，GST薄膜的填充效果比基准条件略好，分别提高3.2%和0.5%。考虑到工艺在正常范围内的波动以及测量误差，基本上认为这两个条件的填充效果与基准相比较没有明显的改善，所以，这两个条件的纳米填充能力相当。由图(d)-(f)可以看出，低的溅射功率条件明显比基准条件的填充效果差，其填充到孔洞内的GST厚度比基准条件少16.7%。

根据以上实验结果，可以看出在可调整的范围内，沉积时的腔体压力低的填充能力比基准条件略好，而硅片旋转速度对相变材料的纳米填充能力影响不大。当降低溅射功率时，GST的填充效果显著降低。从另一个角度来看，高的溅射功率或许具备比较好的填充能力。下面将对比高溅射功率、高溅射功率与低的腔体压力条件下的填充能力，以确定最优化的单步纳米填充工艺条件。



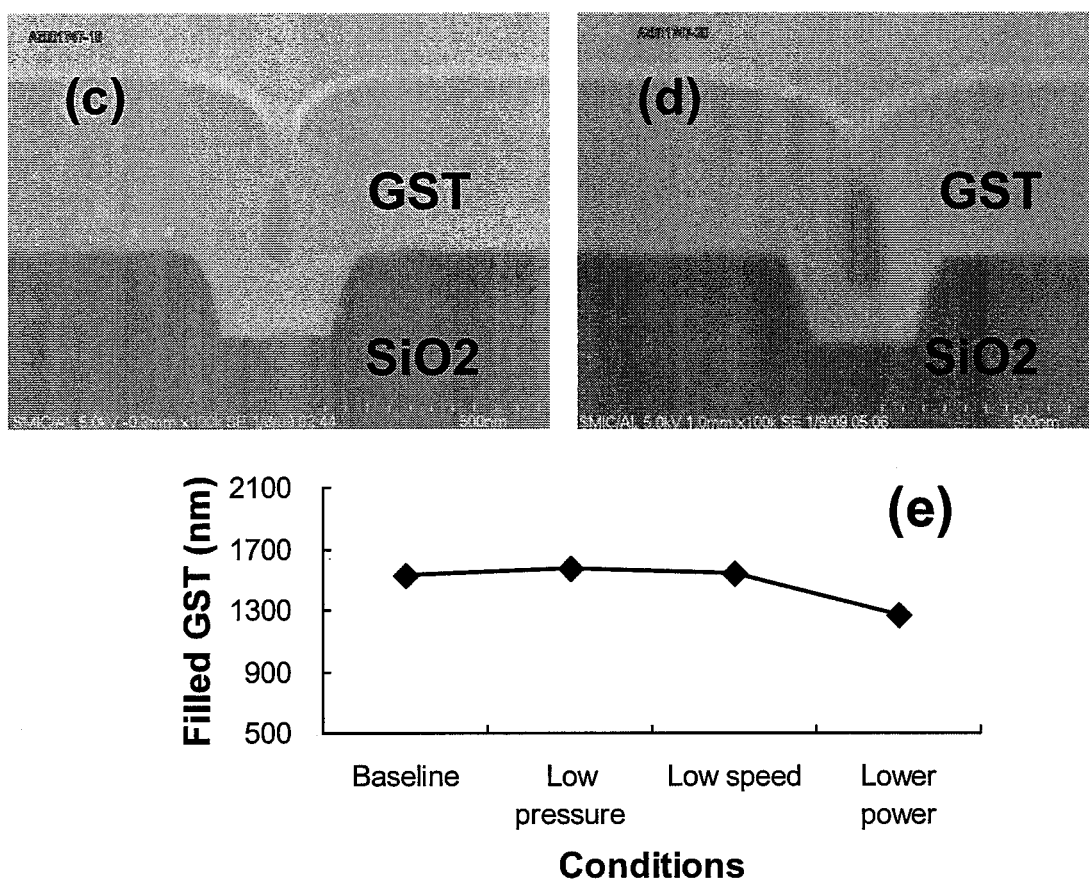
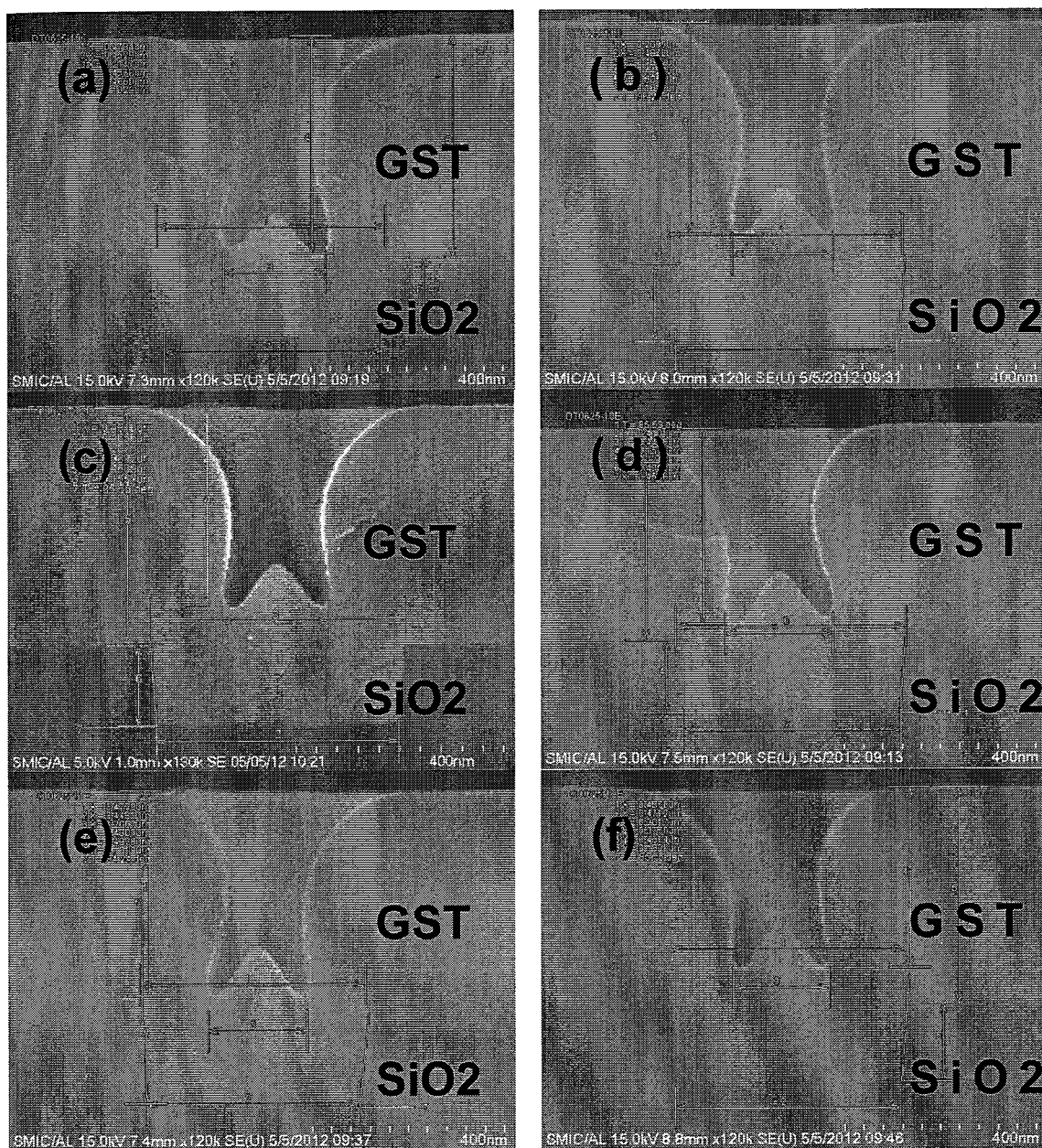


图 2.19 单步沉积填孔工艺参数的优化, (a)基准条件, (b)低腔体压力, (c)低硅片旋转速度, (d)低溅射功率和(e)填入孔洞的GST厚度比较

图2.20中是根据前面的实验结果, 进一步对单步填充工艺条件进行优化。在孔洞尺寸为450 nm, 深度为400 nm和孔洞侧壁倾斜度为85°的条件下验证高溅射功率对填充性能的影响, 同时, 将高溅射功率条件与低腔体压力条件结合起来, 对比其填充性能。由图(a)-(c)可以看出, 高溅射功率条件下, GST的填充性能比基准条件好约13.5%。造成这种结果的可能原因有两种: 1、在高溅射功率条件下, 从靶材上轰击出的GST原子的方向性比基准条件下轰击出的原子强, 更多的原子可以直接被沉积到孔洞底部, 从而导致高溅射功率下较好的填充能力; 2、靶材上的GST原子被高能量的氩离子攻击后, GST原子获得更多的能量并脱离靶材表面, 当这些原子沉积在硅片上时, 原子还有能量可以继续移动, 从而可以减少因洞口材料的堆积而封口的趋势, 所以高功率时显示出比较好的填充能力。图(c)中可以看出, 在低腔体压力与高功率结合的条件下, 其孔洞填充性能最好, 比仅高功率条件和基准条件分别好1.9%和15.6%。该结果与图2.4(b)基本一致, 导致低压力条件填充性能略好的原因在于: 低腔体压力条件下, 氩离子的密度较低, 所以与GST原子发生碰撞的几率较小, 被散射到侧壁的GST原子数量减少, 大部分GST具有较好的方向性, 最终的填充性能较好。从图(d)-(f)

中可以看出,边缘点的填充性能趋势与中心点之间的一致性非常好。根据图(f)可以得出,高溅射功率条件下,GST的填充性能好于低功率条件,低腔体压力对填充能力的提高有所帮助,但在可调范围内影响不是很大。

因此,对单步纳米填充工艺来说,应该以高的溅射功率为主,并辅以低的腔体压力,可以得到最优化的工艺条件。



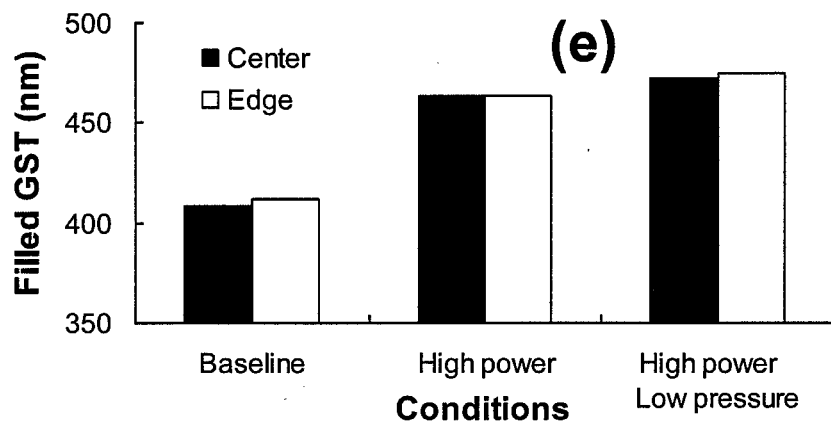


图 2.20 单步纳米填充工艺的优化, (a)-(c)分别是基准条件、高溅射功率、高溅射功率与低气体压力的结合, 此三点皆取自硅片中心点; 对应地, (d)-(f)是取自靠近硅片边缘约15 mm处的点, (f)定量比较各条件在中心和边缘点在不同参数条件下的填充效果

然而, 应高密度、低功耗相变存储器制备的要求, 孔洞尺寸需要持续缩小, 这对PVD的填充能力提出更高、更严苛的要求。我们可以看到, 单步工艺的填充能力和调整空间比较有限。要满足90 nm及其以下技术节点的需求, 势必需要开发新的填充工艺。

2.3.3 沉积-刻蚀-沉积(DED, Deposit-Etch-Deposit)工艺的开发

2.3.3.1 试验简介

在室温条件下, 利用200 mm的物理气相沉积平台, 采用磁控溅射沉积薄膜, 射频源的频率为13.56 MHz。采用合金GST(原子比例为225)为单靶溅射源, 氩气作为溅射气体, 在溅射沉积过程中, 保持相同的溅射腔体压力0.28 Pa。在刻蚀过程中, 利用氩离子的等离子体对硅片表面进行轰击, 保持腔体压力为0.6 Pa。沉积和刻蚀及其相互之间的转换均保持在高真空条件。系统本底真空优于 $5E-6$ Pa。在不同尺寸的孔洞上: CD300 nm深宽比0.4和CD45 nm深宽比1.5, 对比了单步沉积、一个周期和两个周期的DED工艺的填充能力, 并且研究其填充机理。采用SEM和TEM对填充后的孔洞截面形貌表征, GD-OES对刻蚀后的薄膜的元素组分表征。

2.3.3.2 实验结果

图2.21(a)中, 经过工艺参数优化后, 单步沉积可以基本填满尺寸为300 nm、深宽比为0.4以及侧壁较垂直的孔洞。但孔洞口部已经基本上被封住, 即使进一步增加GST的沉积厚度, 也对孔洞内的填充厚度没有明显帮助。图(b)中可以看出, 对尺寸为45 nm、深宽比为2的纳米孔洞, 单步沉积工艺只能填满孔洞深度的16%。由此可以看出,

单步沉积工艺的填充能力已经不能满足纳米级小孔洞的填充需求。

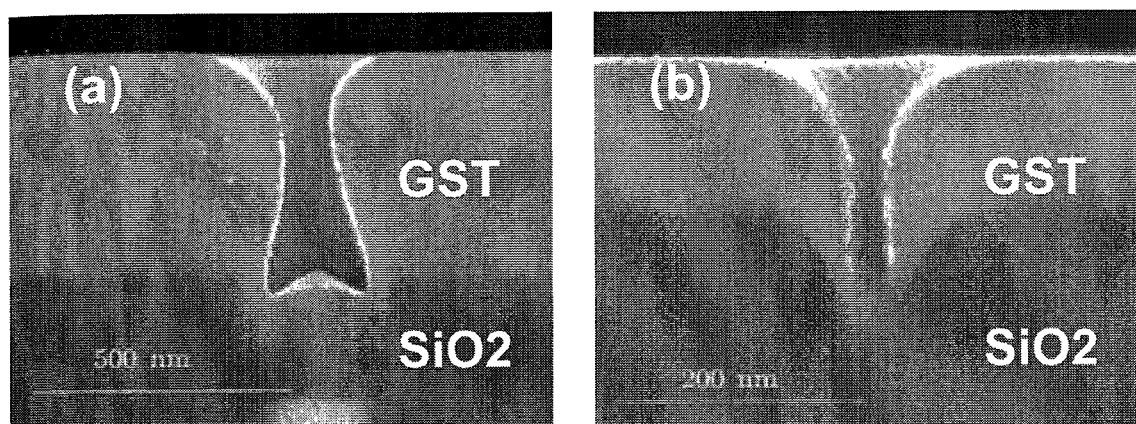
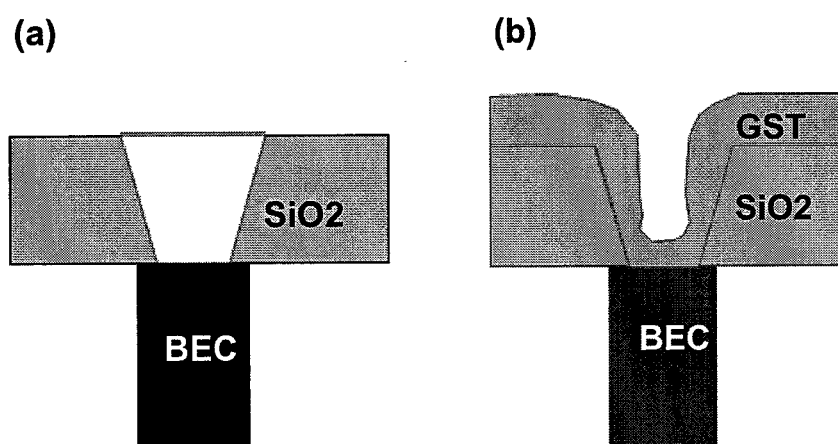


图 2.21 单步沉积工艺在不同尺寸孔洞上的填充能力, (a)尺寸为300 nm, 深宽比为0.4和(b)尺寸为45 nm, 深宽比为2

图2.22示意性介绍了DED工艺的基本概念。一般来说, PVD薄膜沉积过程中, 薄膜在孔洞侧壁口部的沉积速率最快, 很容易形成封口, 使后续的沉积过程中在孔洞底部形成空洞。为了解决这个制约PVD工艺填充能力的瓶颈, 我们引入了DED工艺的概念。如图2.22(a)-(b)可以看出, 在刻蚀出的纳米孔洞内填入一定厚度的GST薄膜, 沉积后的薄膜就会在孔洞口部形成悬垂状形貌, 从而阻止后续沉积的大部分GST原子进入孔洞底部。如图2.22(c)-(d)所示, 如果增加一道刻蚀工艺, 削去洞口的悬垂状突起, 同时尽可能多地保持底部GST的厚度。这样的孔洞形貌较之前就有了很大的改善, 一方面口部变得更加倾斜, 另一方面需要填充的孔洞深度变浅。在此基础上进行下一步的填充, 就可以获得无空洞的完全填充^[79]。



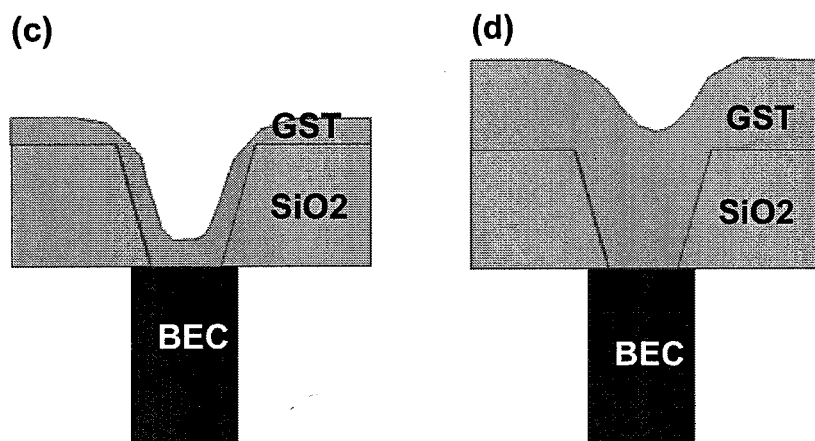


图 2.22 DED工艺的基本原理, (a) 纳米图形形成, (b) 第一次沉积, (c) 刻蚀打开封口, (d) 第二次沉积

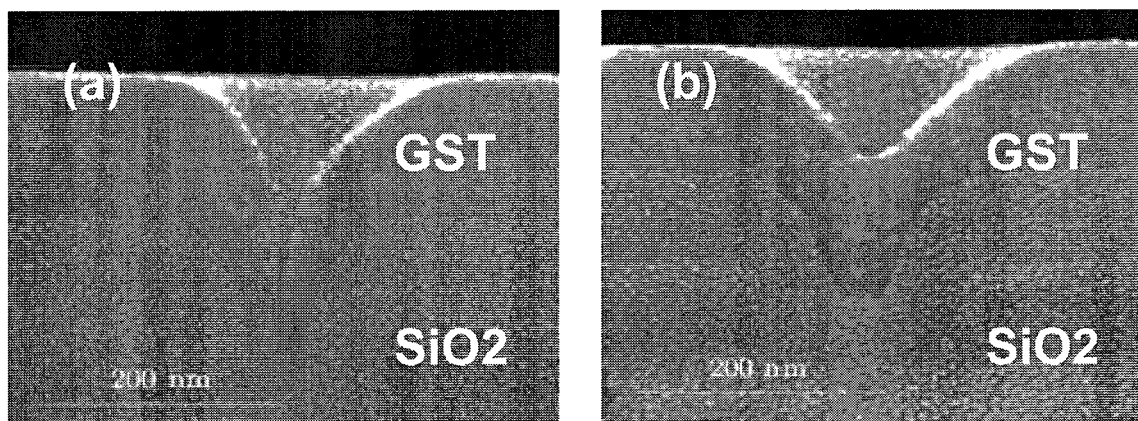


图 2.23 小尺寸孔洞上DED工艺的填充能力, (a) 一个DED周期和 (b) 两个周期后的填充结果

图2.23是在尺寸为45 nm、深宽比为2的纳米级小孔上, 运用DED工艺得到了较之单步填充工艺更优异的填充性能。从图(a)中可以看出, 经过一个周期的DED工艺后, 填入小孔底部的GST薄膜厚度提升至60 nm, 整整比单步沉积工艺提高了100 %。如图(b)所示, 两个周期的DED工艺成功实现了无空洞的完全填充。由此可以看出, DED工艺表现出比单步沉积工作更好的填充能力, 而且可调整的空间比较大, 成为90 nm和以下的技术节点的潜在候选纳米小孔的填充方案。

图2.24是两个周期DED填充工艺过程中, GST薄膜的形貌变化情况。图(a)中可以看出, 第一步40 nm的GST薄膜单步沉积工艺后, 约有16 nm的GST薄膜填入孔洞底部, 同时, 洞口的悬垂状突起已经形成, 如果继续增加GST沉积厚度, 洞口会很快被封住, 而对底部的薄膜沉积厚度提升不会太大。如图(b)所示, 20 nm GST薄膜刻蚀后, 洞口的悬垂状突起几乎被完全削除, 而孔洞底部的GST厚度仅减少19 %, 这样的形貌更有利于在接下来的沉积步骤中往底部填入更多的GST薄膜。图(c)中, 再沉积40 nm的GST薄膜, 底部的薄膜厚度增加到20 nm, 而且倾斜的狭缝已经形成。经过最后一步20 nm

的刻蚀步骤后,如图(d)示,底部的GST厚度有十分显著的增加,比第二步沉积后增加超过100%。同样重要的是,孔洞口部的悬垂状突起也被完全消除。这样的形貌对接下来的沉积步骤非常容易填满,如图2.23(b)所示,经过最后一个单步的沉积,在尺寸为45 nm、深宽比为2的纳米小孔上,成功实现了无孔洞的完全填充。

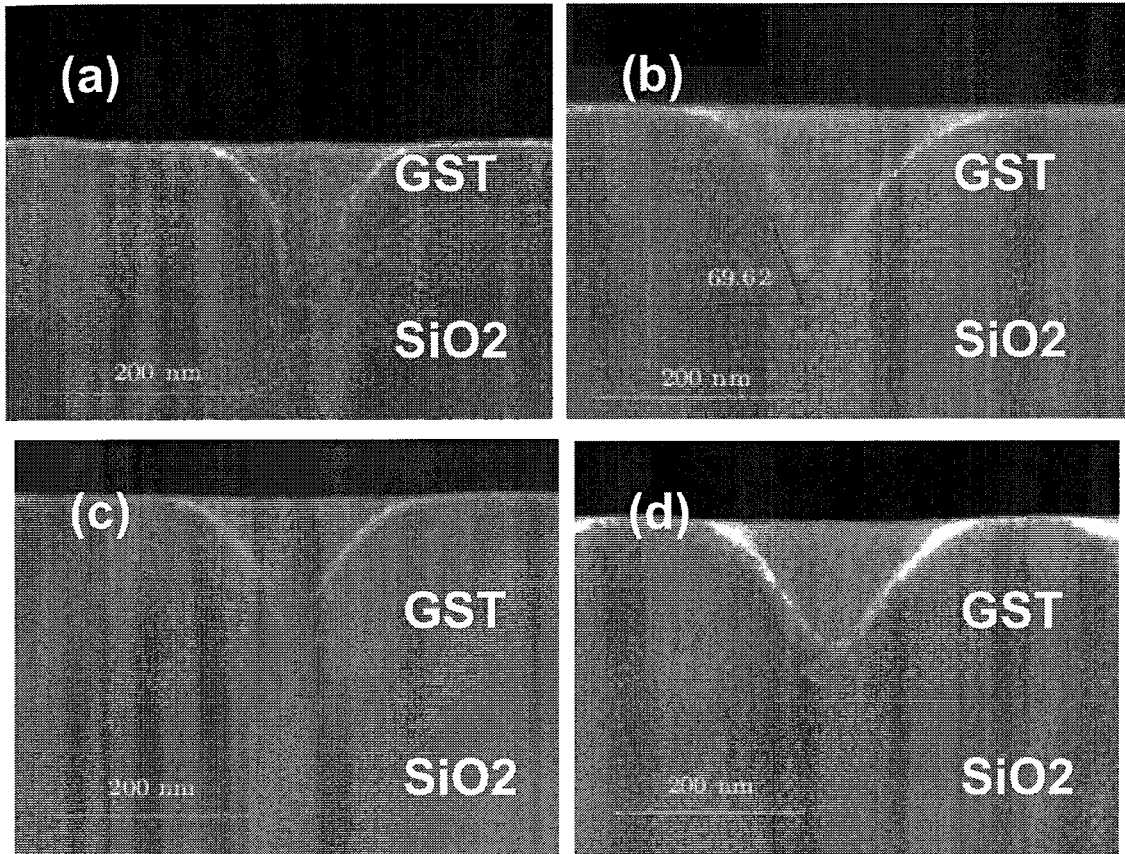


图 2.24 在尺寸为45 nm、深宽比为2的孔洞上, GST薄膜两个周期的DED填充过程, (a) 40 nm薄膜的第一步沉积, (b) 20 nm薄膜的第一步刻蚀, (c) 40 nm的第二步沉积和(d) 20 nm的第二步刻蚀

图2.25是大尺寸孔洞上一个周期DED工艺过程中GST形貌的变化。如图(a)示,经过170 nm的GST沉积后,孔洞底部填入的GST薄膜厚度约为68 nm。同时,洞口处出现了明显的悬垂状突起。从图(b)中可以看出,经过相当于顶部GST厚度的30%刻蚀后,孔洞底部的GST厚度减少明显,仅为刻蚀前的43%。对应地,侧壁厚度增厚了15%。这是因为氩离子轰击底部的GST薄膜,部分被溅射出的原子被反溅到孔洞侧壁上。这样的变化,使得底部需要填充的孔洞尺寸变得更小, GST薄膜的填充变得更加困难。同时,经过氩离子的轰击,洞口顶端的形貌变得更加倾斜,使GST薄膜的填充朝着更加容易的方向发展。综合这两种截然相反的影响因素,从图(c)中所示,经过300 nm的GST薄膜的填充,孔洞基本上被填满,该结果跟图2.21(a)的单步沉积工艺相当。

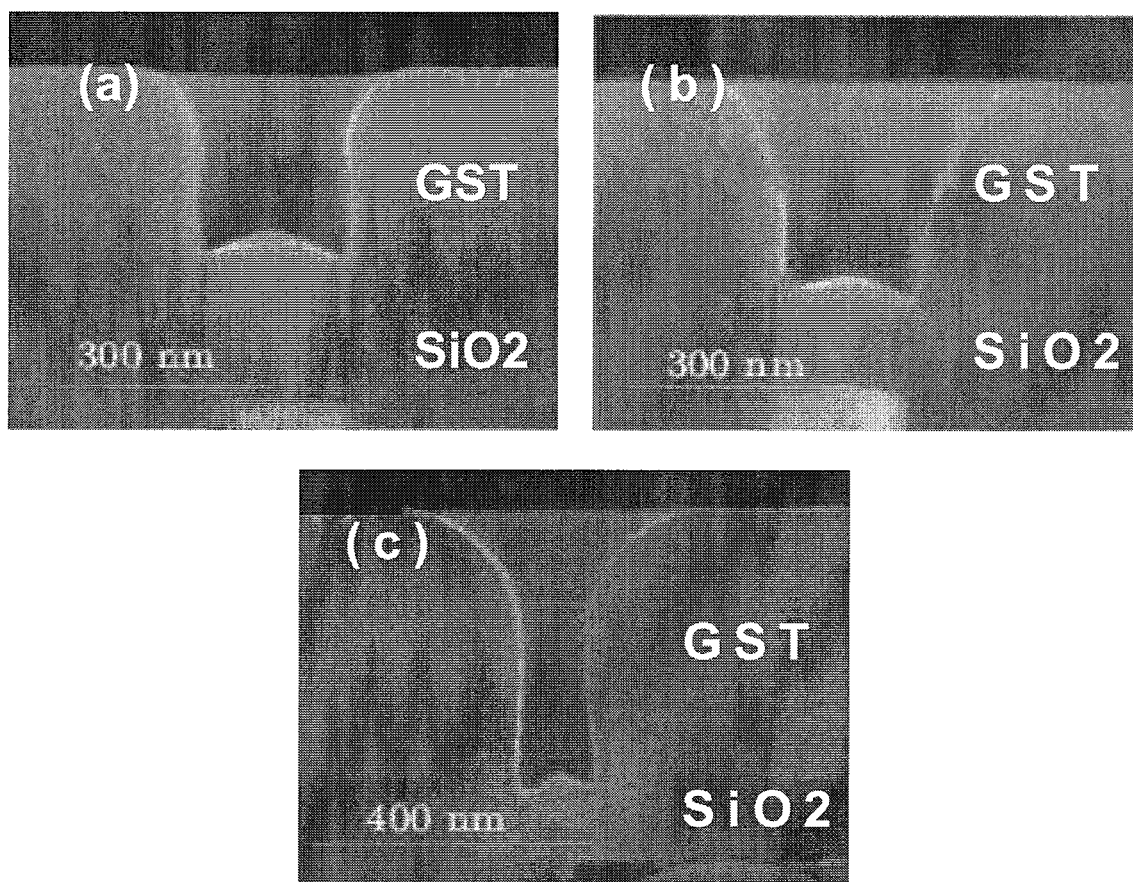


图 2.25 在300 nm深宽比0.4的孔洞上，一个周期的DED工艺的填充过程，(a)170 nm GST沉积，(b)30 %刻蚀和(c)300 nm GST沉积

图2.26是对孔洞顶端和填入孔洞底部的GST厚度的量化分析。从图(a)可以看出，对小尺寸孔洞而言，经过第一步刻蚀过程后，底部的GST厚度仅有约19 %降低。第二步沉积工序后，底部GST薄膜的厚度较之第一步沉积约有25 %的提升。最显著和关键的变化发生在第二步刻蚀工艺以后，成功实现100 %的孔洞底部厚度的提高，而且此时孔洞口部的形貌也得到了改善，这对最终实现完全填充至关重要。能够达到这样的填充效果，主要是因为第二步刻蚀工艺前，孔洞底部的GST薄膜厚度得到提高，而且形成了狭缝状的形貌，使得在后续的刻蚀过程中，氩离子将狭缝侧壁的GST原子轰击出来，反溅到孔洞底部，最终使孔洞底部的GST薄膜厚度显著增加，而同时洞口的悬垂状突起也被消除。最后形成的这种较浅的倾斜的形貌造就了GST完全填充。而对在图(b)中，对300 nm的大尺寸孔洞而言，因为孔口直径较大，氩离子在电场的作用下更容易进入到孔洞的底部，更多的GST原子被轰击，使得沉积在孔洞底部的GST厚度减少了57 %。更为关键的是，从底部轰击出的GST原子被反溅到孔洞侧壁上，使底部实际尺寸变小，进一步增加了填充的难度。尽管口部的GST形貌同时被改善，但最终的填充效果仅与单步沉积工艺相当。

由此可以看出,DED工艺在不同尺寸的孔洞上,其填充机理大相径庭,所以最后的填充效果也有比较大的差别。DED工艺在较小孔洞的填充上更具有优势,能够满足90 nm及其以下技术节点的孔洞填充需求。

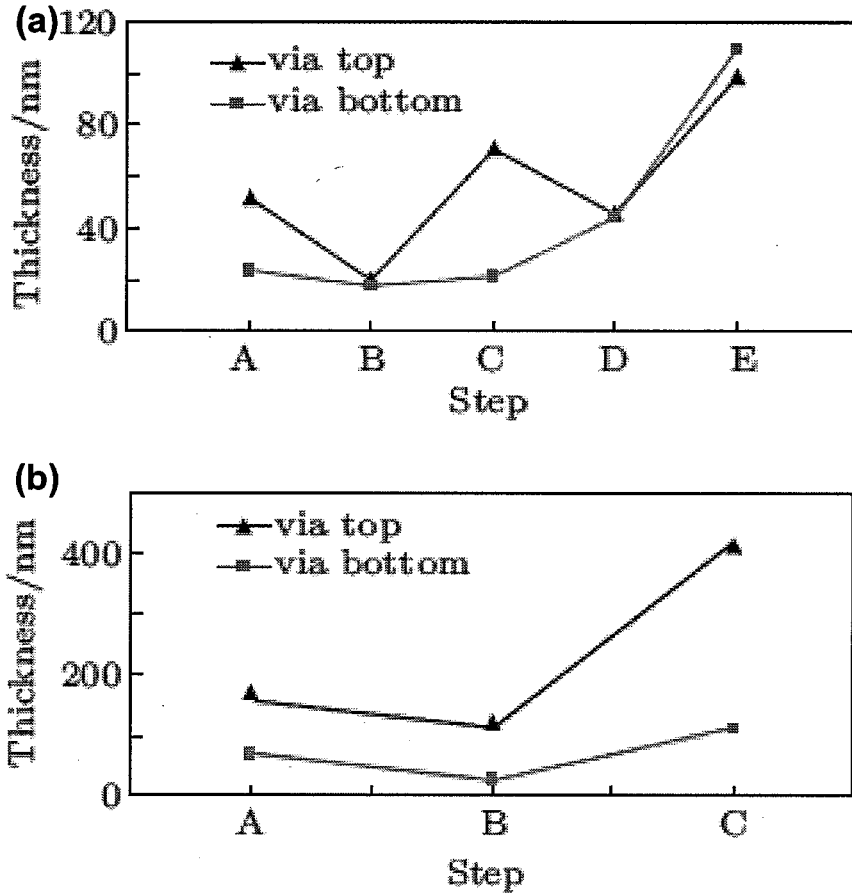


图 2.26 GST形貌在不同尺寸的孔洞上的变化情况, (a)尺寸45 nm、深宽比2, (b)尺寸300 nm、深宽比0.4。其中A: 第一步沉积, B: 第一步刻蚀, C: 第二步沉积, D: 第二步刻蚀和E: 最后一步沉积

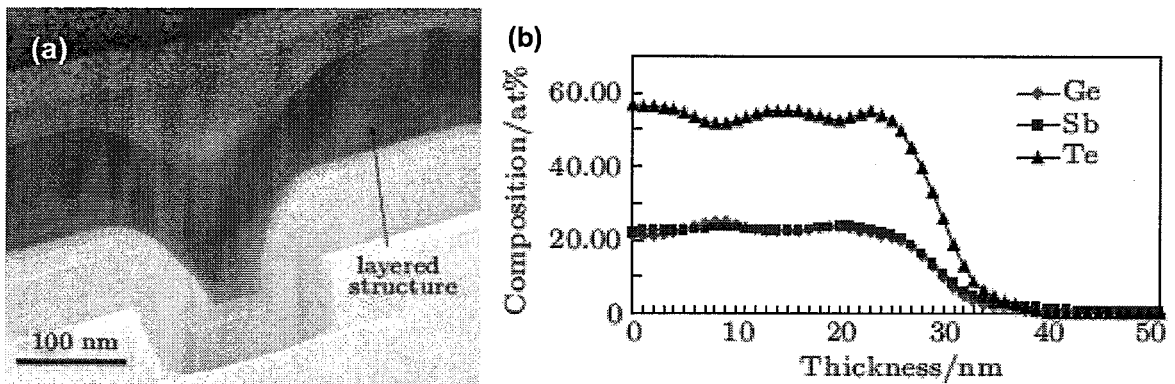


图 2.27 (a)两个周期DED工艺后实现的完全填充TEM形貌, (b)经过两个周期的GST薄膜的元素组分分析

图2.27是两个周期的DED填充工艺的截面和元素组分分析。由图(a)中可以看出,在TEM的截面上可以清晰看到分层现象,这与两个周期DED工艺中的刻蚀过程相对应,在TEM中的衬度差异说明在该界面处的薄膜组分与其相邻的材料组分有所差别。为了表征这种差异的大小,我们运用GD-OES对两个周期的DED薄膜进行厚度方向上的元素成分分析。如图(b)所示,对应两个刻蚀工艺过程,GST中的三种元素出现少量的波动,其中锗、锑和碲的元素含量波动分别为:1.04%,2.60%和3.54%。

从器件上测得的结果来看,DED纳米填充工艺能够很好地实现电性操作。其填充能力可以满足40 nm及其以下技术节点的纳米孔洞填充需求。

2.3.4 本节小结

讨论了孔洞侧壁斜度和尺寸大小对单步填充性能的影响。通过对沉积时压力和功率的调整,发现功率越大、压力越小,填充效果越好。在尺寸为45 nm和深宽比为2的纳米孔洞上,对比单步填充和DED工艺的填充效果,并讨论其机理。发现采用DED工艺成功实现了纳米小孔的无空洞完全填充,而且,在刻蚀过程中的再沉积是填充效果能够改善的主要因素。通过对DED薄膜的表征,发现薄膜在刻蚀后,元素的含量在界面处有小量的波动,但对器件的性能基本上没有影响。

2.4 氮化钛上电极工艺开发

引言

TiN薄膜在存储器单元的制备过程中起着重要的作用:(1)作为相变单元的上电极,形成导电通路。要求薄膜有良好的导电特性,而且比较好的厚度和电阻率均匀性。同时,不能有太大的应力,以防止在工艺过程中因应力的释放而造成薄膜之间的脱附或剥落。(2)作为刻蚀时的保护层和停止层材料。而且需要具有较好抗氧化能力。

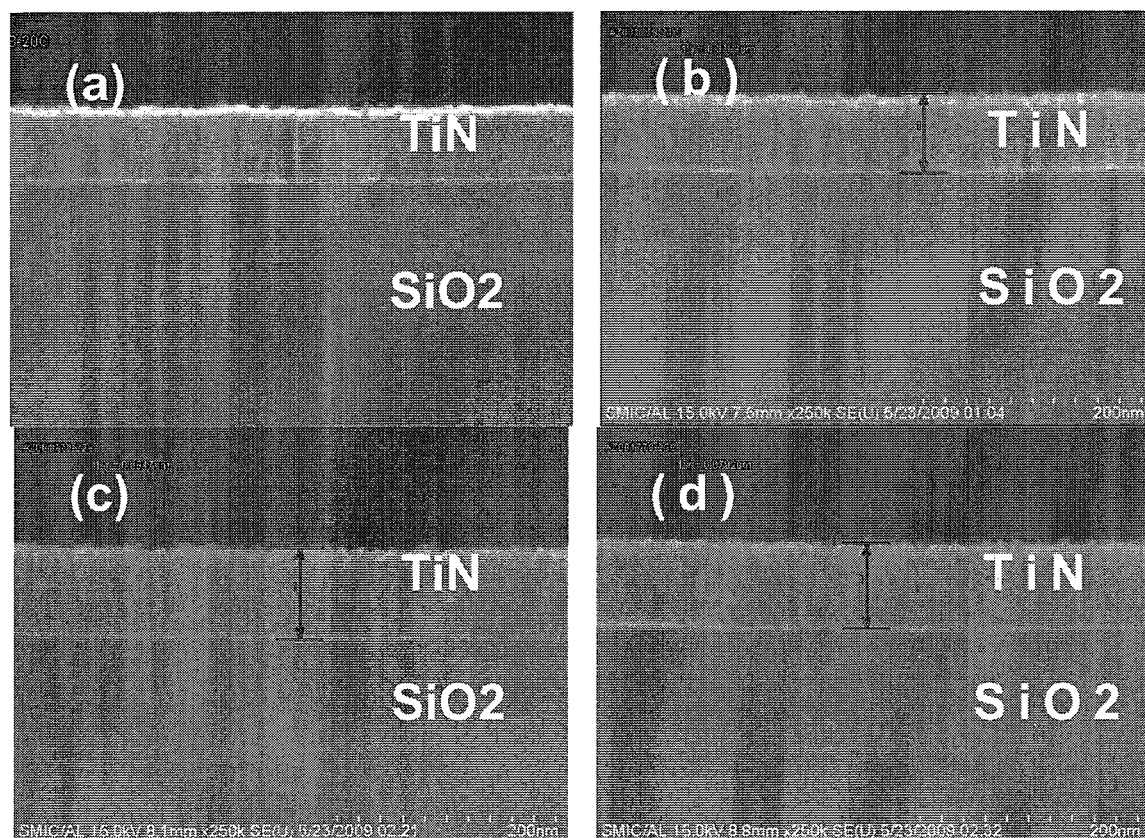
2.4.1 试验简介

在室温条件下,利用200 mm的物理气相沉积平台,采用磁控溅射的方法在SiO₂/Si(100晶面)基底上制备TiN薄膜。系统本底真空优于5E-6 Pa,采用直流功率源,单质钛作为溅射源。用氩气作为溅射气体,通入氮气进行反应溅射。在溅射沉积过程中,保持相同的溅射腔体压力0.28 Pa。通过控制不同的氩气和氮气的比例(Ar/N₂)0.5、2、4.4、6.6和14,制备出不同性质的TiN薄膜。采用SEM对薄膜截面、表面形貌和均匀性进行表征。运用X射线光电子能谱(XPS)表征原子含量及薄膜中包含的化学键,采用卢瑟福背散射(RBS)对薄膜体密度进行表征。用四探针法对薄膜的电阻率作了测量和对比。

同时，还表征了不同溅射功率对TiN薄膜组分的影响。

2.4.2 材料性能

图2.28是在不同Ar/N₂比例条件下，TiN薄膜的不同截面形貌。如图(a)所示，TiN薄膜的柱状晶结构不是特别明显，主要是因为氮气在工艺腔体中所占的比例较小，溅射过程主要以钛原子沉积为主，氮气主要是通过与溅射在硅片表面的钛原子发生反应生成TiN薄膜，所以，其柱状晶不是特别明显。而从图(b)-(e)中，随着氮气比例的增加，TiN薄膜的柱状晶结果越来越明显。主要是因为当氮气含量达到一定比例后，在钛靶表面达到毒化状态，即氮气与靶材表面的钛原子发生反应生成一层氮化钛薄膜，在溅射过程中，溅射出的TiN原子落在在硅片表面，从而形成柱状晶结构。



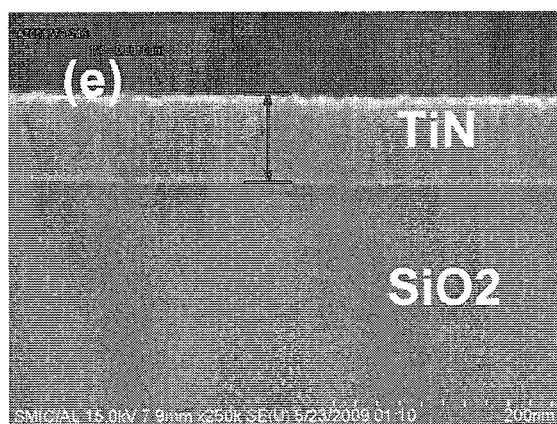
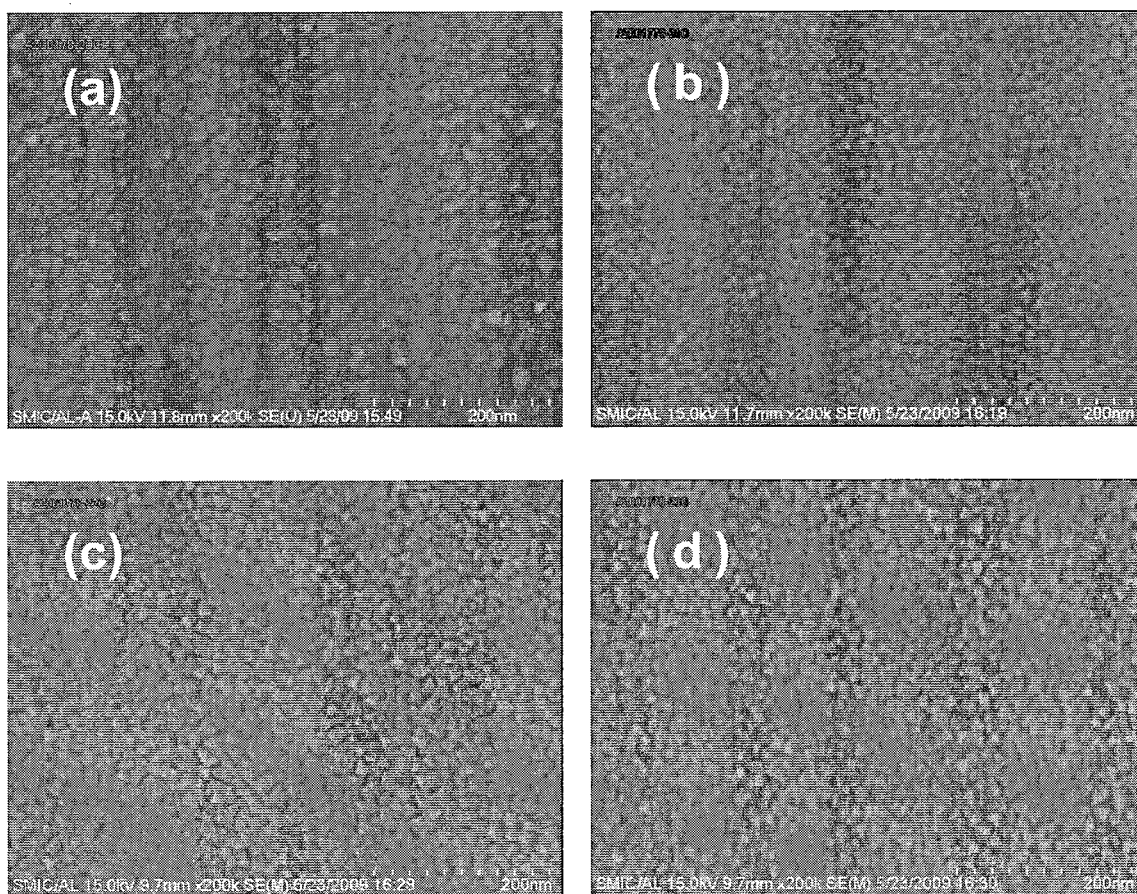


图 2.28 TiN薄膜的截面形貌，Ar/N₂比例分别为：(a) 14，(b)6.6，(c)4.4，(d)2和(e) 0.5

图2.29是TiN薄膜的表面形貌图，主要表征在不同Ar/N₂比例条件下，表面晶粒的大小。由图(a)中可以看出，TiN薄膜表面的晶粒比较粗大，而且晶粒大小不均匀；而图(b)-(e)的晶粒大小基本可比，而且分布都比较均匀。主要是因为TiN薄膜的沉积方式不一样，(a)条件的氮气含量太少而TiN主要是在硅片表面反应形成的，而在Ti沉积之初的成核阶段，薄膜易发生局部团聚而造成最后形成的晶粒比较大而且尺寸显得不均匀。而当TiN沉积过程进入毒化区反应区以后，如(b)-(e)中所示，从靶材表面上溅射出的均为TiN原子，所以在硅片表面形成薄膜的晶粒形貌基本一致。



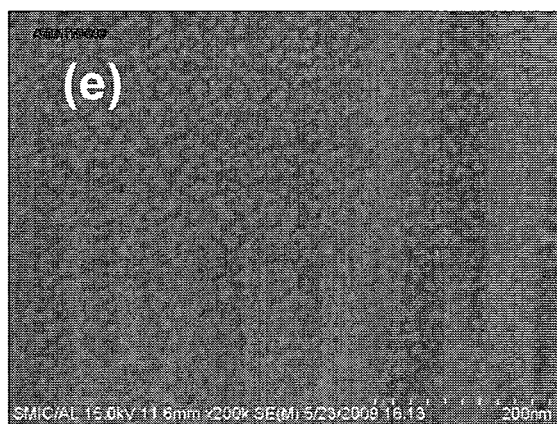


图 2.29 TiN薄膜的表面俯视图, Ar/N₂比例分别为: (a) 14, (b)6.6, (c)4.4, (d)2和(e) 0.5

图2.30是不同Ar/N₂比例与TiN薄膜的沉积速率之间的相互关系。当Ar/N₂比例大于12的区间内, TiN薄膜的沉积速率上升很快, 在该区间内, 靶材表面的氮化层比较薄或基本没有, 溅射出的原子以金属钛原子为主, 该沉积过程处于金属区, 所以速率比较快。而当Ar/N₂比例处于9至12之间时, 沉积过程介于金属区与毒化区之间。在溅射过程中, 靶材表面会生成一层薄薄的氮化层, 因此其沉积速度明显比金属区低。而Ar/N₂比例小于9时, TiN的沉积过程完全进入了毒化区, 工艺腔体内的氮气含量增加, 在靶材表面形成一层TiN薄膜, 而且氮含量越高, 靶材表面的反应越充分, 毒化层越厚。所以, 从图中可以看出, Ar/N₂比例在0.5~6.6之间, TiN薄膜的沉积速率整体比较小。而且, 腔体中氮的比例越高, 沉积速率略有下降^[80-82]。

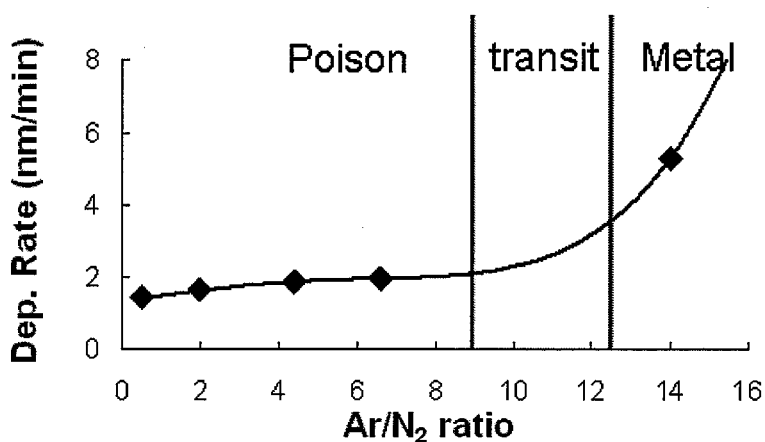


图 2.30 TiN薄膜的在不同Ar/N₂比例条件下的沉积速率

图2.31是TiN薄膜的厚度均匀性和电阻率的表征。由图(a)中可以看出, 在Ar/N₂比例处于0.5~4.4之间时, TiN厚度非均匀性从3.27 %到0.61 %单调降低。相反地, 当Ar/N₂比例在0.6~14之间时, 非均匀性从0.61 %增加到4.05 %。所以, 在Ar/N₂比例接近4.4的条件下, 薄膜的厚度均匀性最好。图(b)是表征TiN薄膜的电阻率随着Ar/N₂比

例变化之间的关系。当Ar/N₂比例为14的条件下，电阻率最低，这是因为该工艺条件处于金属区，以钛原子沉积为主，所以薄膜远未达到TiN的化学剂量比，所以其电阻率偏低。而处于靶材毒化区的TiN薄膜，其电阻率总体比金属区沉积的薄膜高出144%。在Ar/N₂比例为4.4的时候，薄膜的电阻率最高，为822 uOhm.cm。

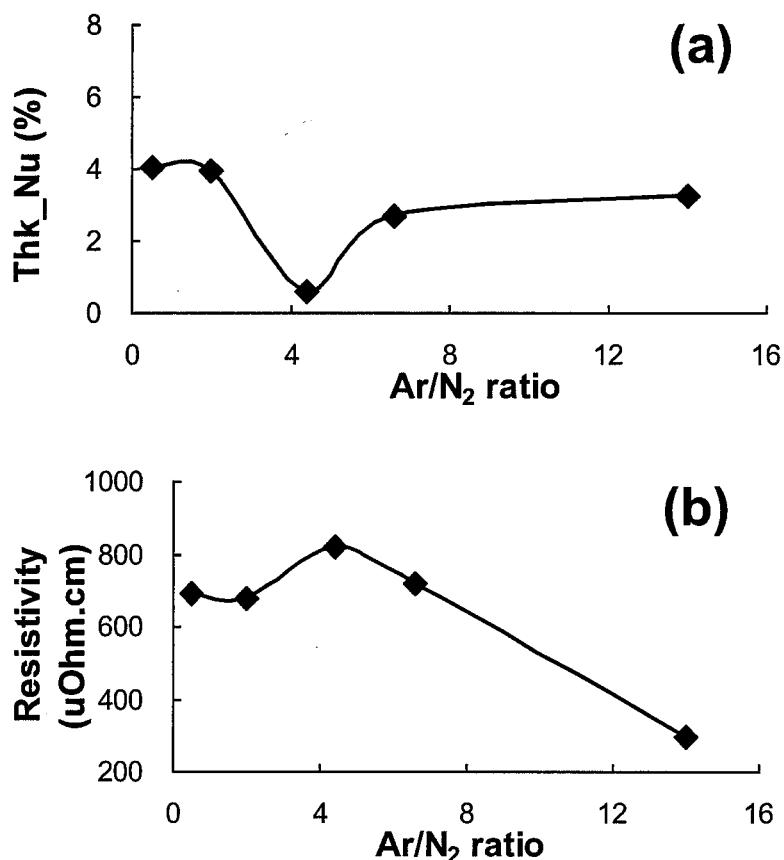


图 2.31 不同Ar/N₂比例条件下TiN薄膜性能表征，(a)厚度均匀度和(b)薄膜的电阻率

图2.32是表征在不同的Ar/N₂比例条件下，TiN薄膜中氮元素原子百分含量和体密度比较。由图(a)可以看出，Ar/N₂比例为14时，氮元素的原子百分含量为45 at.%，为所有薄膜中最低。这与该工艺过程处于金属溅射区的结论相吻合。在Ar/N₂比例处于2~6.6之间时，氮含量在56 at.%附近略有波动。而当Ar/N₂比例为0.5时，氮含量反而下降至51%。图(b)中主要表征薄膜的体密度，其中Ar/N₂比例为14时的密度最高，而在毒化区内，薄膜的体密度并不是线形变化，在Ar/N₂比例0.5~6.6范围里，呈“S”形波动，其中在Ar/N₂比例为4.4处，密度最低，为5.01。

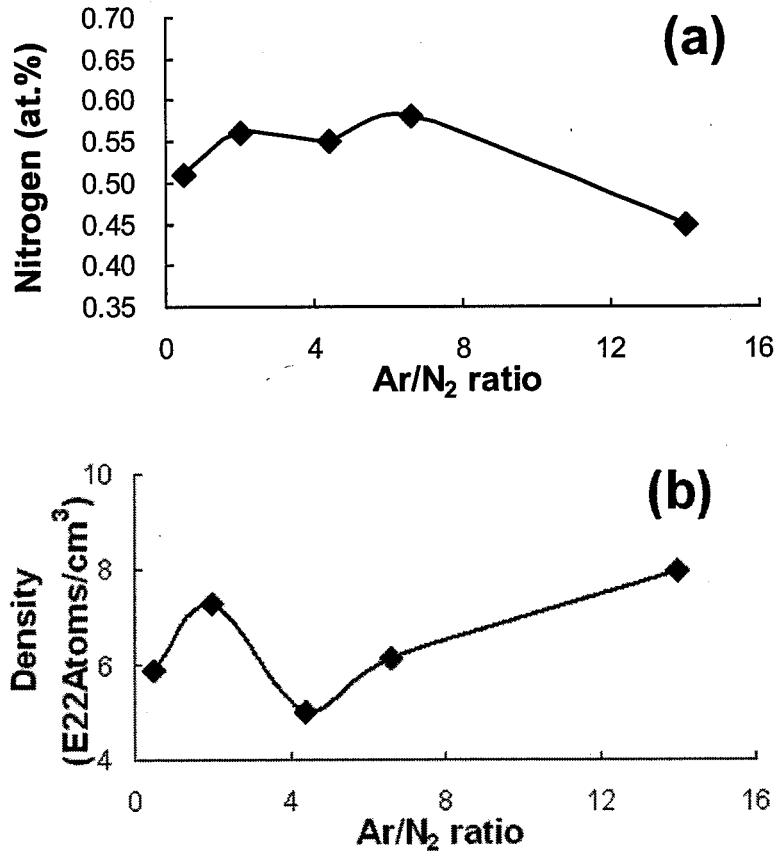


图 2.32 不同Ar/N₂比例条件下TiN薄膜性能表征, (a)氮元素的原子百分比和(b)薄膜体密度

从图2.33中可以看出,在不同的功率条件下,氮含量随Ar/N₂比例变化的基本规律基本一致:并非完全线形变化;在金属区最高;毒化区内,Ar/N₂比例为4.4处比6.6时略低。大的溅射功率条件下,氮含量总体低功率时低约10%。这是因为,在腔体压力和Ar/N₂比例相同的情况下,溅射功率越高,钛原子的溅射速率越大,最后得到的TiN薄膜中氮元素含量相对就少。

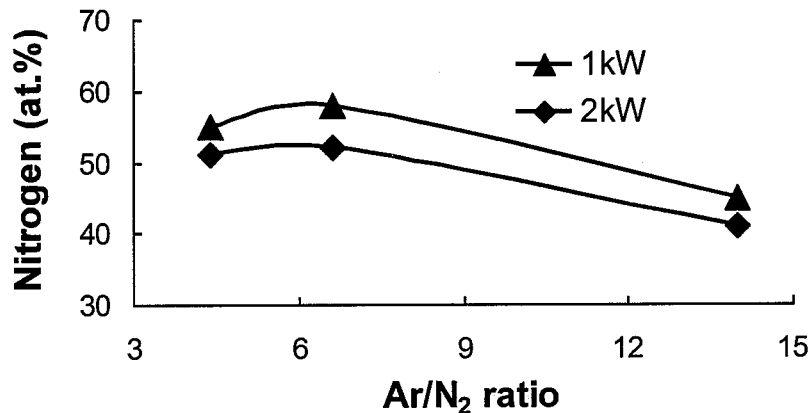
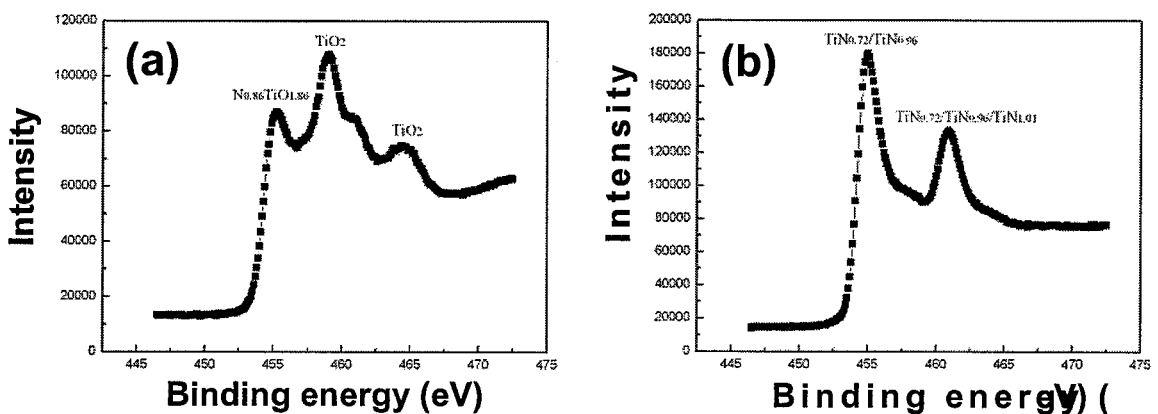


图 2.33 不同溅射功率条件下,氮含量随Ar/N₂比例变化的规律

图2.34是在不同氮含量的TiN薄膜中，采用XPS对TiN薄膜的表面氧化层和非氧化层中的化学键进行表征。由图(a)中可以看出，在氮含量为41 at.%的薄膜表面，钛原子基本上与氧原子结合形成Ti-O键，其中包括化学剂量比的 TiO_2 以及非化学剂量比的 $\text{TiO}_{1.86}$ 。这是因为：Ti-O键比Ti-N更稳定，当氮含量为41 at.%的TiN薄膜暴露在空气中时，氧原子会夺去Ti-N中的钛原子而将氮原子置换掉。最后，表面的Ti-N键中的氮原子基本上被完全置换而形成了钛的氧化物，所以在表面看不到Ti-N键。如图(b)中所示，在氩气的等离子体中，用氩离子对TiN表面轰击2 min后，表面氧化层基本被完全刻蚀去除。可以看到薄膜中仍然没有发现Ti-Ti键，而是各种化学剂量比的Ti-N键，其中包括N/Ti比例分别为：0.72, 0.96和1.01的TiN。由图(c)可以看出，当TiN中的氮元素含量增加到51 at.%以后，暴露在空气中的表面层里，同时包含Ti-O和Ti-N键。其中在表面形成的氧化物为化学剂量比的 TiO_2 ，而氮化钛包括化学剂量比的TiN和非化学剂量比的 $\text{TiN}_{1.19}$ 。这说明：当TiN中的氮含量增加时，空气中的氧元素只能部分地置换TiN中的氮，这些置换一般发生在TiN的晶界上，因为晶界处的能量较高，Ti-N键的稳定不是很好。由图(d)中可以看出，所有的TiN都不是化学剂量比，而是富氮的薄膜，其中包括 $\text{TiN}_{1.01}$ 和 $\text{TiN}_{1.19}$ 。

因此，在氮含量分别为41 at.%和51 at.%的TiN薄膜中，都没有发现Ti-Ti键存在。而且，对不同氮含量的TiN薄膜，暴露在空气中一段时间以后，薄膜表面的氮元素会被氧元素置换从而发生氧化。富钛的TiN薄膜本身的氮元素比较少，在空气中氧化后，表面基本上全都变成Ti-O键而生成不同化学剂量比的氧化钛薄膜。富氮的TiN薄膜暴露在空气后，只有部分的Ti-N中的氮元素被空气中的氧元素置换，所以氧化后的薄膜表面既包含化学剂量比的 TiO_2 ，同时也有化学剂量比和富氮的氮化钛。而在未氧化的富钛薄膜里，主要是非化学剂量比的 $\text{TiN}_{1.01}$ 和 $\text{TiN}_{1.19}$ 。



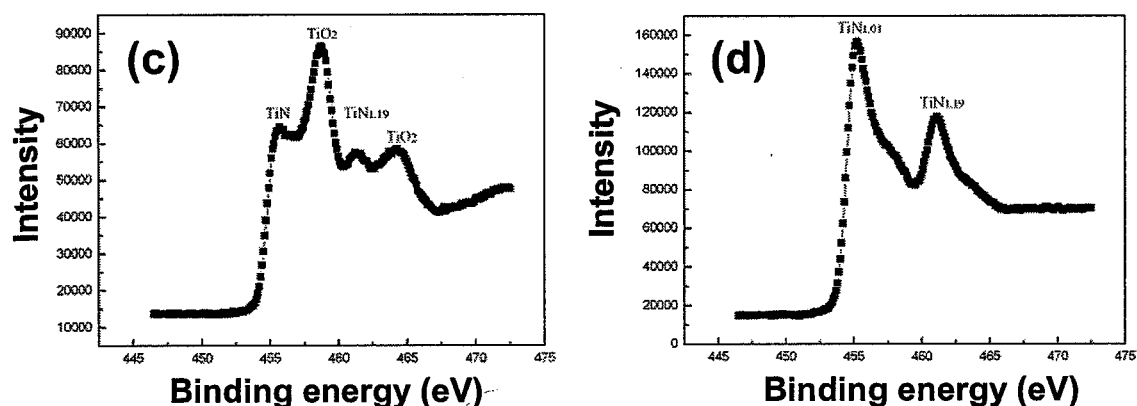


图 2.34 XPS对TiN薄膜的化学键的表征。氮含量为41 at.%的薄膜的(a)表面和(b)氩原子轰击2 min后表面的表征；氮含量为51 at.%的薄膜的(c)表面和(d)氩原子轰击2 min后表面的表征

2.4.3 本节总结

通过调整不同Ar/N₂比例，可以得到不同性质的TiN薄膜。对薄膜的性质进行截面和表面形貌、薄膜沉积速率、厚度均匀性、电阻率、Ti/N含量、体密度等性质的表征，并对薄膜的化学键进行深度方向上的分析。综合考虑薄膜的各种性质，可以选择Ar/N₂比例为4.4的工艺条件作为工程化的上电极制备方案。该薄膜具有：较小的晶粒、稳定的沉积速率、良好的厚度均匀性、良好的阻挡特性和不易被氧化等优点，可以满足相变存储器上电极的性能要求。

2.5 过渡层材料工艺开发

引言

目前，传统的“蘑菇形”PCRAM单元的主要挑战主要有：(1) RESET电流较高；(2) 单元之间热串扰。有研究表明，当钨材料作为下电极时，靠近相变材料的发热电极上，大约有60%以上的热量从下电极损耗。如果要想相变材料发生相变，需要消耗更大的功耗，而且还会导致相邻相变单元之间的热串扰。

如何解决这些问题已成为当前相变存储器研究的热点，在相变材料和加热电极之间增加一层过渡层材料，可以有效地提高发热效率和减少热量从下电极的损耗，极大地减小了RESET电流和热串扰，为高密度、大容量的相变存储单元制备提供了解决方案^[83-91]。在众多的过渡层候选材料中，TiO_x已被实验数据证明是很好的一种过渡层材料。当在相变材料和下电极之间加入一层TiO_x过渡层以后，RESET电流可以降低约68%。可以有效地降低相变存储器的功耗^[89,92]。

2.5.1 试验简介

在室温条件下, 利用200 mm的物理气相沉积平台, 采用磁控反应溅射的方法在 SiO_2/Si (100晶面)基底上制备 TiO_x 薄膜。系统本底真空优于 $5\text{E-}6$ Pa, 采用13.56 MHz的射频功率源, 单质Ti靶为溅射源。用氩气作为溅射气体, 在溅射沉积过程中, 保持相同的溅射腔体压力0.36 Pa, 通过控制 O_2/Ar 的流量比例和不同的溅射功率, 制备出不同性质的 TiO_x 薄膜。分别采用SEM和TEM对 TiO_x 薄膜表面和截面的形貌进行表征。用AES对 TiO_x 薄膜的组分表征。采用XPS对不同 TiO_x 薄膜内的价键进行表征, 采用纳米压痕法表征GST与 TiO_x 之间的黏附性。最后将开发出的 TiO_x 薄膜集成到器件中, 验证其性能。

2.5.2 材料性能

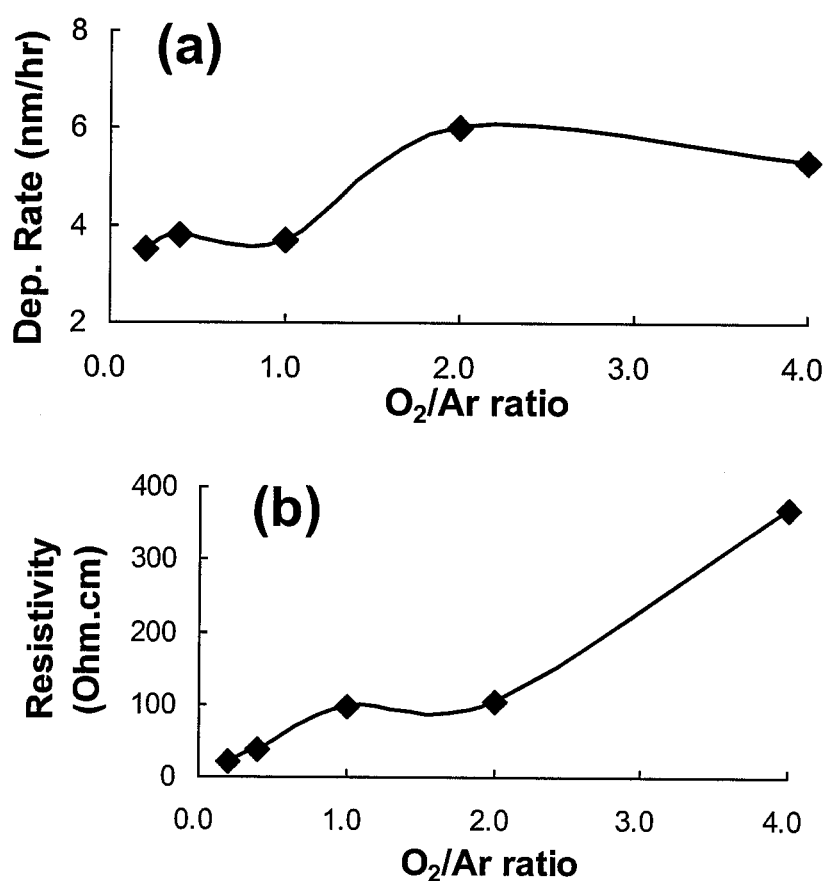


图 2.35 溅射功率为500W条件下, 不同 O_2/Ar 气体流量比与生成的 TiO_x 薄膜的(a)沉积速率和(b)电阻率之间的变化规律

图2.35是在不同 O_2/Ar 气体流量比条件下, 生成的 TiO_x 薄膜的沉积速率和电阻率表征。从图(a)中可以看出, 在射频溅射条件下, 当 O_2/Ar 气体流量比处于0.2~1.0区间内, 薄膜的沉积速率较慢。当流量比大于2.0时, 薄膜的沉积速率提高了约60 %。主要是

因为Ti的沉积速率比较慢，随着通入氧气含量的增加，靶材上的氧化程度越深，而氧化层更容易被溅射出来，所以，随着 O_2/Ar 气体流量比的增加，沉积速率呈增大趋势。然而， TiO_x 薄膜的整体沉积速率太慢，处于对硅片产出率的考虑，最好选择沉积速度比较快的条件。如图(b)中所示， TiO_x 薄膜的电阻率随着 O_2/Ar 气体流量比的增加不断增大，当流量比处于1.0~2.0之间，薄膜的电阻率稳定在100 ohm.cm左右。继续增加到4.0时，电阻率迅速增加到370 ohm.cm。

图2.36是在不同溅射功率条件下，生成 TiO_x 薄膜的沉积速率和电阻率的表征。从图(a)-(b)中可以看出，随着溅射功率的增加， TiO_x 薄膜的沉积速率和电阻率分别呈线性增长和降低。总体来看， TiO_x 薄膜的沉积速度仍趋于太慢。需要选择比较大的沉积功率以改善硅片工艺的产出率。然而，同时也不能选择太大的溅射功率，因为如果溅射功率太大，会导致在溅射过程中靶材的大量发热，当发热量过大的条件下，靶材有被损害的危险。

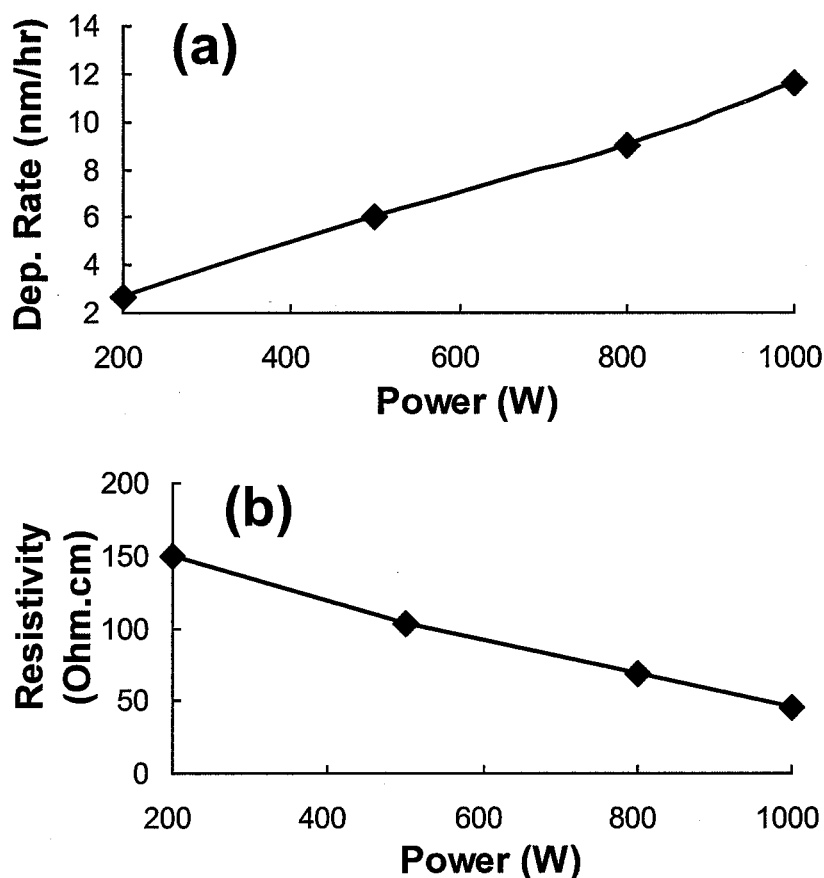


图 2.36 O_2/Ar 气体流量比为2.0条件下，不同溅射功率与生成的 TiO_x 薄膜的(a)沉积速率和(b)电阻率之间的变化规律

图2.37是 O_2/Ar 气体流量比为2.0条件下，利用AES方法，表征溅射功率与O/Ti原

子百分含量比之间的对应关系。可以看出当溅射功率为200W时， TiO_x 薄膜中的氧含量最高。继续增加溅射功率，薄膜中的O/Ti原子百分含量比下降了24%，然后基本维持不变。

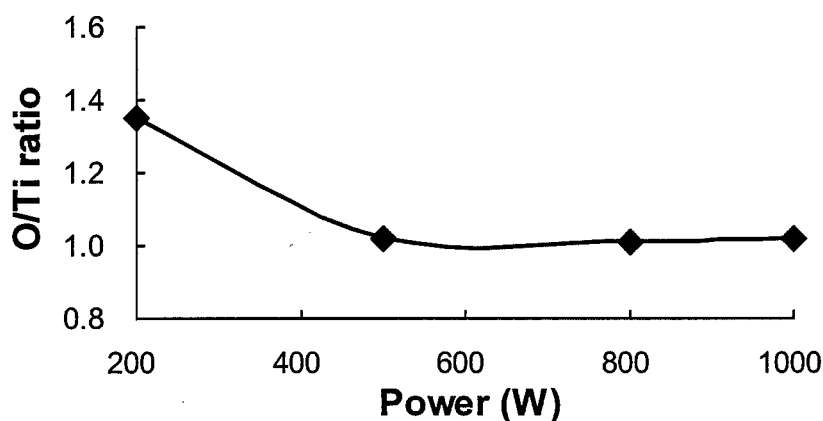


图 2.37 O_2/Ar 气体流量比为2.0条件下，不同溅射功率与生成的 TiO_x 薄膜的O/Ti原子百分含量比

图2.38是 TiO_x 薄膜的TEM截面形貌表征以及不同功率条件下沉积薄膜的价键表征。由图(a)中可以看出，通过反应溅射方法，在 O_2/Ar 气体流量比为2.0和溅射功率为500W的条件下，生长的 TiO_x 薄膜比较连续而且衬度均匀。如图(b)中所示，通过XPS的表征发现，在能量为454.1 eV处没有发现Ti-Ti键的峰，所以在 TiO_x 薄膜中只存在Ti-O键而没有Ti-Ti键，薄膜已经被完全氧化。经过对厚度为5 nm薄膜的接触电阻测试可知：当功率为200 W和500 W时， TiO_x 薄膜的接触电阻分别为1365和1489 Ohm，已经基本满足工艺器件集成的电阻要求。

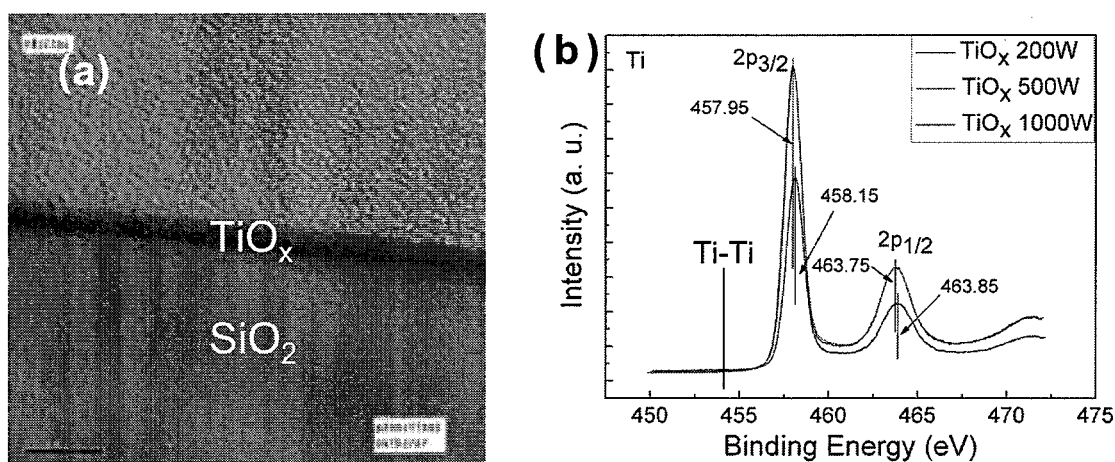


图 2.38 (a) TiO_x 薄膜的TEM截面图，(b)不同溅射功率生成的 TiO_x 薄膜中的价键表征

图2.39主要是在不同溅射功率条件下，研究 TiO_x 薄膜的热稳定性。由图(a)-(c)中可以看出，当溅射功率为200W时， TiO_x 薄膜的沉积态比较均匀，而且晶粒很小。当

沉积功率继续增加到1000W, 薄膜沉积后的晶粒不断变大。如图(d)-(f)所示, 当在700°C加热5分钟后, 薄膜的晶粒显著增大。尤其是在溅射功率为1000W时, 甚至出现了团聚现象, 所以1000W条件下溅射沉积的薄膜热稳定性比较差。

综合考虑TiO_x薄膜的沉积速率、薄膜中的价键以及薄膜的热稳定性, 溅射功率为500 W和O₂/Ar气体流量比为2.0是比较合适的沉积条件。

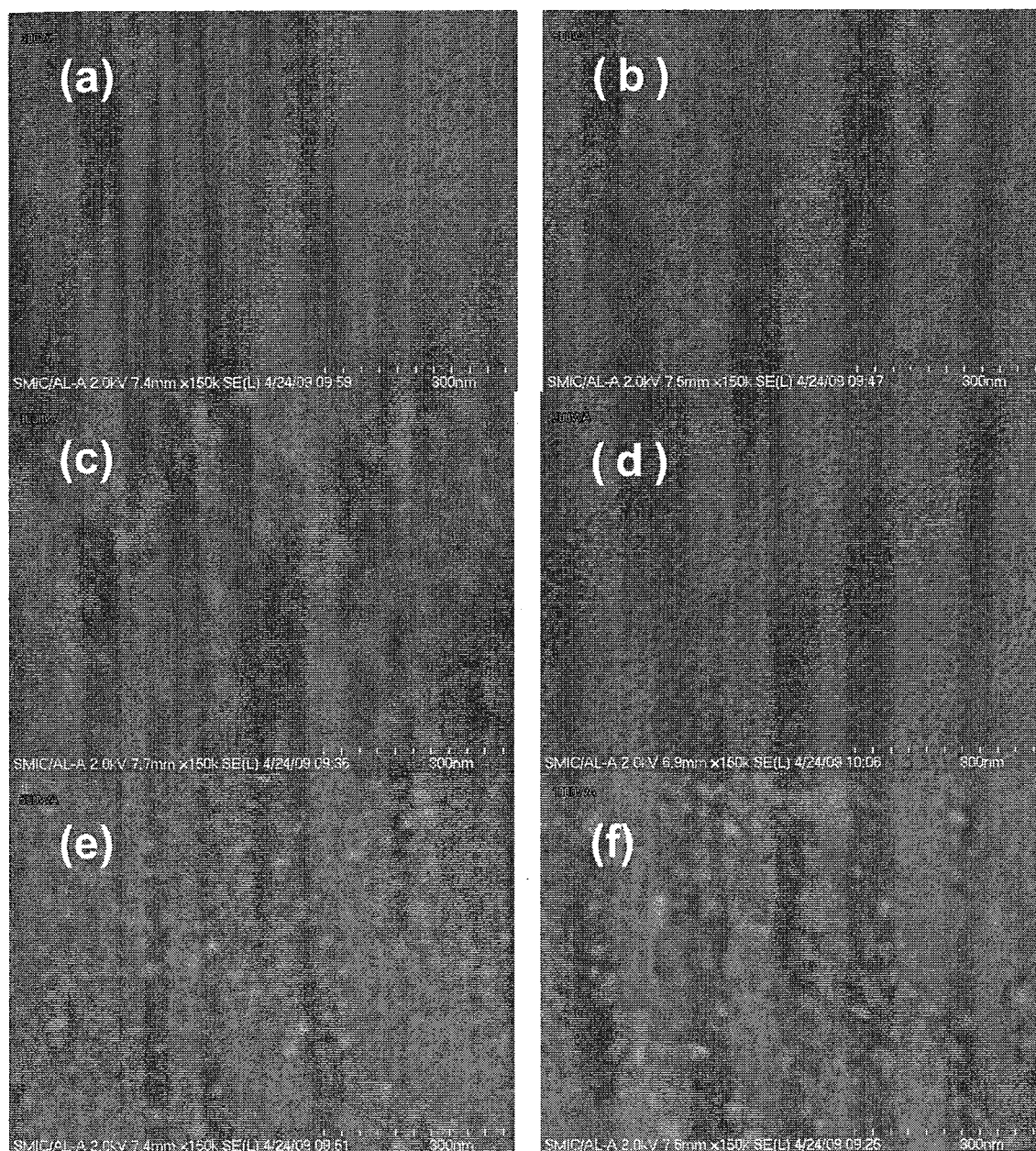


图 2.39 TiO_x薄膜的热稳定性表征, 沉积态: (a)200W, (b)500W和(c)1000W, 以及700°C温度下退火5分钟: (d) 200W, (e) 500W和(f) 1000W

2.5.3 本节小结

通过调整不同的 O_2/Ar 气体流量比和溅射功率,优化出 TiO_x 薄膜的沉积工艺条件。并通过TEM表征其薄膜形貌,证明薄膜的连续性和均匀性;AES测量薄膜中的O/Ti原子百分含量比大约为1:1;XPS对薄膜中的价键表征说明薄膜中不存在Ti-Ti键,Ti已经被完全氧化;薄膜热稳定性验证可以看出,功率太大时,薄膜在热过程中不稳定,会发生团聚。综合考虑 TiO_x 薄膜的沉积速率、薄膜中的价键以及薄膜的热稳定性,溅射功率为500 W和 O_2/Ar 气体流量比为2.0是比较合适的沉积条件。

2.6 本章小结

在200 mm的工艺平台上,成功开发了氮掺杂GST工艺,通过表征薄膜性质和测量电性,优化了氮元素的掺杂浓度;开发出 $Si_2Sb_2Te_6$ 的制备工艺,经过参数优化后,沉积的SST薄膜满足工艺集成的要求;研究和优化相变材料在不同尺寸和形貌的孔洞上,单步沉积工艺的填充效果,成功开发出针对纳米孔洞填充的沉积-刻蚀-沉积技术,并研究其机理;开发了上电极TiN薄膜的沉积工艺,优化后的薄膜满足相变存储器的性能要求;开发 TiO_x 中间介质层薄膜的沉积工艺,通过将其集成到器件单元,发现了该工艺条件下存在的问题并提出解决方案。运用0.13 μm 的CMOS工艺技术,成功实现了相变存储器的小批量量产。

第三章 基于 300 mm 平台的 GST 工艺开发和工程化

本章主要介绍 GST 薄膜的工程化。为了改善室温沉积 GST 的薄膜性质，对溅射工艺的重要参数进行了优化，如溅射功率和气体流量等。同时，为了降低因薄膜发生相变所引起 GST 体积收缩，防止在后续热过程中因体积收缩而引起的器件断开等可靠性问题，开发了 GST 热板工艺。

为了制备出高密度、低功耗的相变存储器，可以减少参与相变操作的相变材料体积来实现。将 GST 材料限制在纳米级的小孔中可以增加相变存储器的密度，同时也可以减少 RESET 电流和相邻器件之间的热串扰。为了满足 40 nm 及其以下技术节点的需求，开发了沉积-刻蚀-沉积的纳米孔洞填充工艺。

3.1 GST 室温沉积工艺开发与优化

引言

不同的工艺参数条件下，沉积的 GST 薄膜会有不同的性质，如薄膜的沉积速率、厚度均匀性、表面粗糙度、反射率、原子百分比和相变特性等。通过调整溅射功率和气体流量，对沉积出的薄膜进行表征和比较，优选出更好的 GST 薄膜的沉积工艺条件。实验表明，低压力和较高的溅射功率条件比较优化。

3.1.1 试验简介

在不同的热板温度条件下，利用 300 mm 的物理气相沉积平台，采用磁控溅射的方法在 SiO_2/Si (100晶面) 基底上制备 GST 薄膜。系统本底真空优于 $5\text{E}-6$ Pa，采用脉冲直流功率源，GST(2,2,5) 合金靶作为溅射源。用氩气作为溅射气体。在溅射沉积过程中，通过控制不同的溅射功率(100、200、300、400和500 W)和气体流量(20、40、60、80和100 sccm)，制备出不同的 GST 薄膜。采用 SEM 对薄膜截面、表面形貌和均匀性进行表征。AFM 对薄膜表面的粗糙度作表征。用 480 nm 波长的可见光照射下测试薄膜表面的反射率。采用 SEM 中自带的 EDX 功能表征 GST 薄膜种各元素的原子百分比。在温度可控的真空腔体中，对 GST 的电阻率进行原位加热测试，得到其电阻-温度关系 (R-T)。通过对 GST 薄膜沉积时的重要工艺条件的优化，找出合适的工艺条件，实现 GST 材料在 40 nm 技术节点上的工程化。

3.1.2 溅射功率的优化

3.1.2.1 薄膜性质

图 3.1 是在不同溅射功率条件下, GST 薄膜的截面形貌比较。由图(a)-(e)中可以看出,在 GST 薄膜的截面上都没有发现结晶的晶粒,薄膜处于非晶态。而且,从薄膜和二氧化硅的界面看, GST/SiO₂ 结合的比较,没有发现任何脱附现象。所以,在溅射功率处于 100~500W 区间内,溅射功率对 GST 截面形貌基本没有明显的影响。

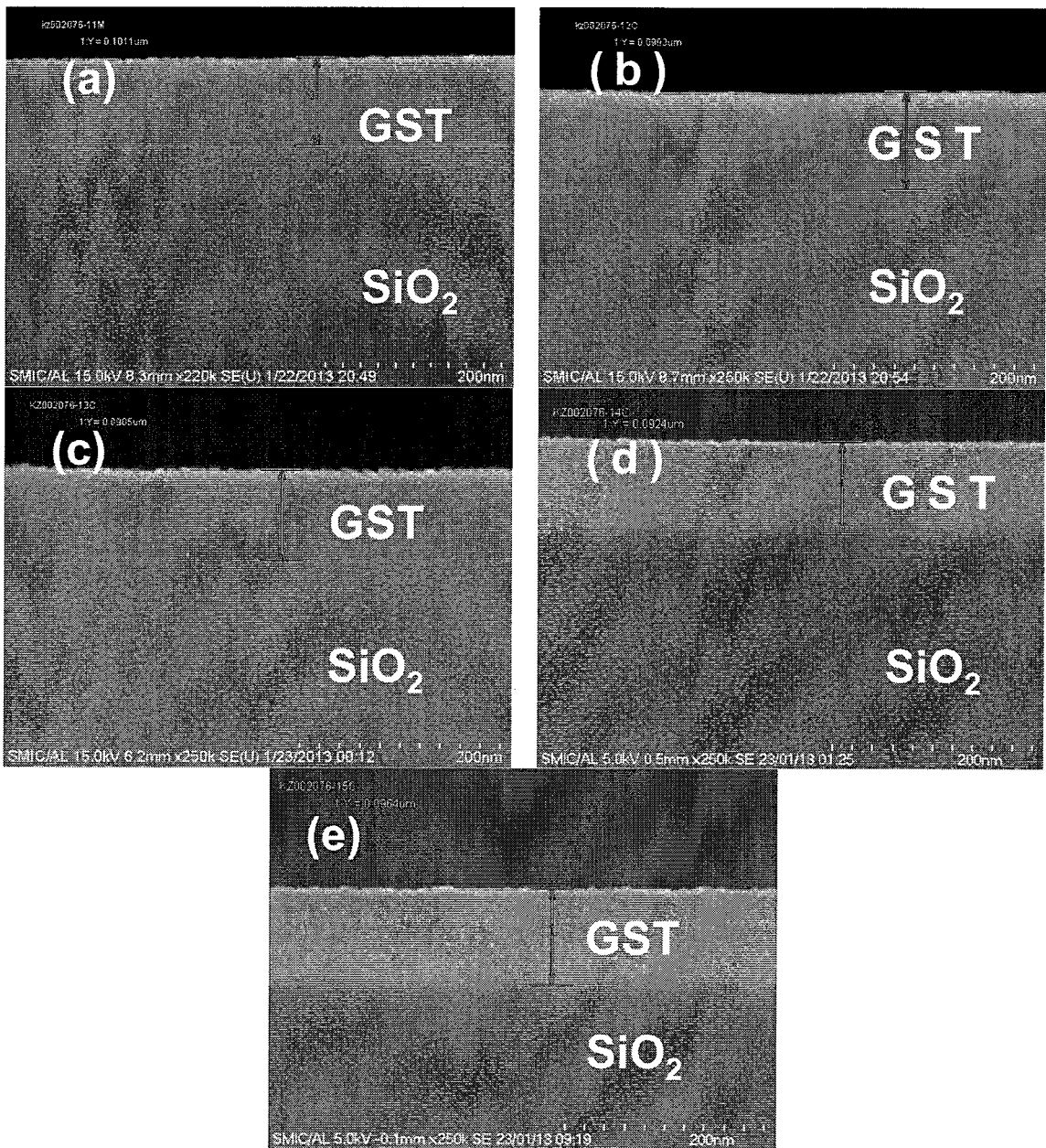


图 3.1 在不同溅射功率条件下, GST薄膜的SEM截面形貌, (a)100W, (b)200W, (c)300W, (d)400W和(e)500W

图3.2是在不同的溅射功率条件下, GST薄膜表面形貌的俯视图。由图(a)-(e)中可

以看出，在 GST 薄膜的表面光滑平整，晶粒细小而均匀，薄膜处于非晶态。这与 GST 的截面形貌数据相吻合。所以，在溅射功率处于 100~500W 区间内，溅射功率对 GST 表面形貌基本没有明显的影响。

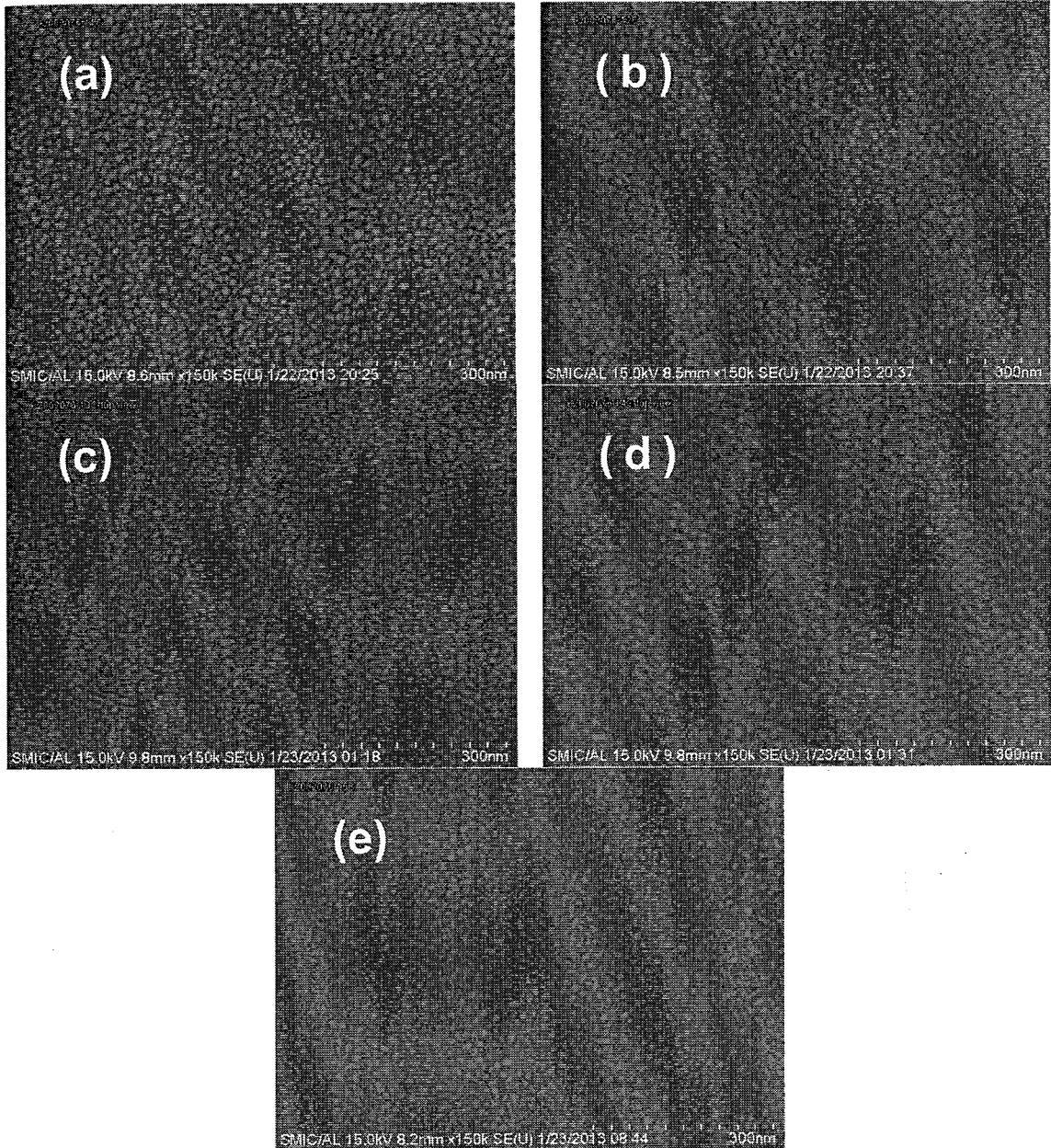


图 3.2 不同溅射功率条件下，薄膜的表面俯视图，(a)100W，(b)200W，(c)300W，(d)400W和 (e)500W

图3.3是GST薄膜的沉积速率和厚度非均匀性随着溅射功率在100~500W之间变化的规律。由图(a)可以看出，薄膜的沉积速率随着溅射功率的增加而增大，呈现比较好的线性规律。而图(b)中所示，在溅射功率为100 W时，薄膜的非均匀性最高，约为5.24 %。随着溅射功率的增加，薄膜的均匀性逐渐趋好。当溅射功率为300 W时，

薄膜的厚度非均匀性下降至2.17%以下。功率为500W时，均匀性最好，达到1.75%。由此可见，溅射功率越高，GST薄膜的厚度均匀性越好。但GST薄膜的溅射功率不能无限制的继续增加，因为GST溅射靶材本身比较脆，在较高的功率密度条件，靶材容易碎裂。所以，在溅射功率处于100~500W区间内，功率越大，沉积速率越快，薄膜厚度均匀性越好。

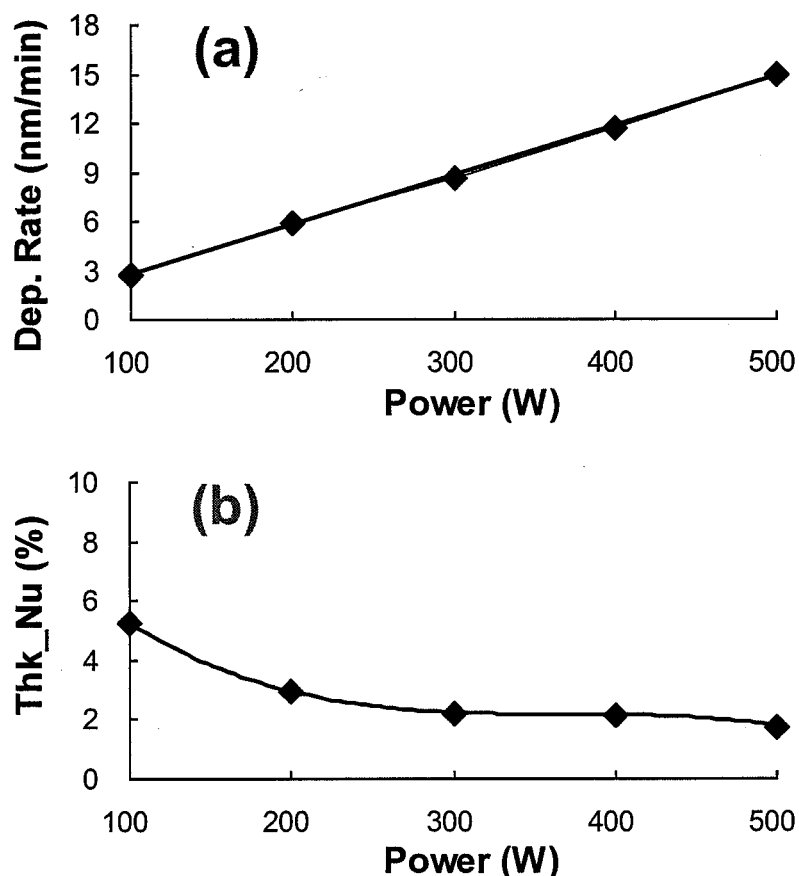


图 3.3 不同溅射功率条件下，GST薄膜的(a)沉积速率和(b)厚度非均匀性表征

图3.4是GST薄膜的应力和反射率随着溅射功率在100~500W之间变化的规律。由图(a)可以看出，不同的溅射功率条件下，GST薄膜的应力小于10Mpa，皆为拉应力。而图(b)所示，GST薄膜在480 nm的可见光光源照射下，反射率处于44.27%附近，且没有明显的变化趋势。由此看见，在溅射功率处于100~500W区间内，GST的应力都小于10Mpa，反射率约为44.27%，而且，溅射功率基本上对应力和反射率没有明显的影响。

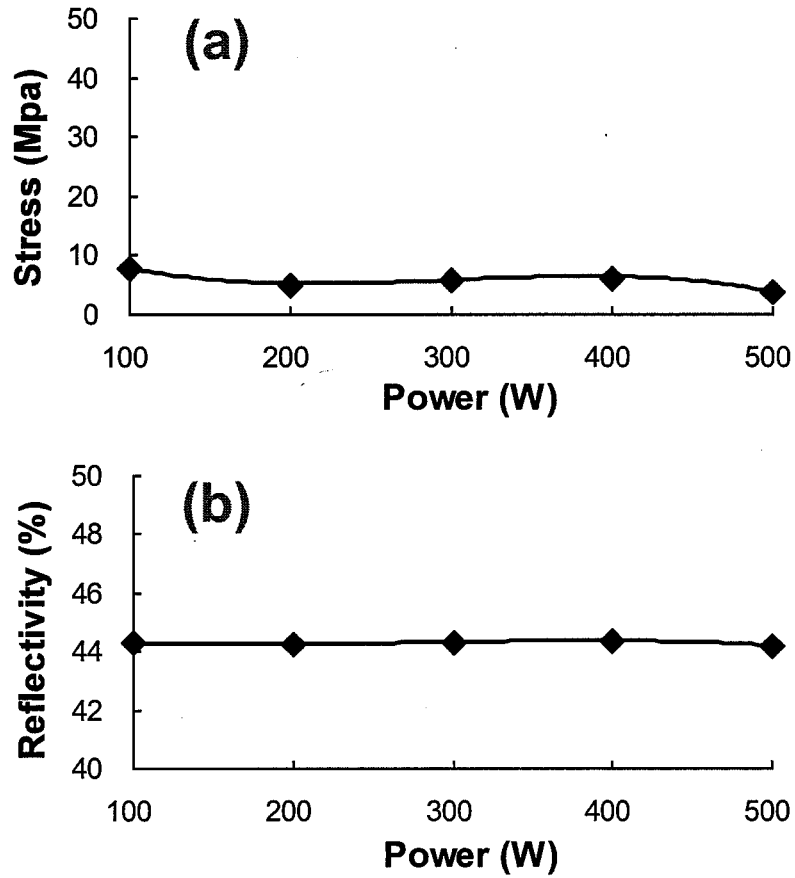


图 3.4 不同溅射功率条件下，GST 薄膜的(a)应力和(b)在 480 nm 的可见光照射下的反射功率

图3.5是GST薄膜表面粗糙度在100~500W之间变化的规律。由图(a)-(e)中可以看出，薄膜的表面比较光滑，相互之间的粗糙度没有明显的区别。如图(f)所示，在100~500W区间内，GST薄膜的粗糙度RMS平均约为1.2 nm，在200 W和400W时，硅片中心与边缘之间的粗糙度比较均匀。在500 W时，硅片边缘的粗糙度比中心点高约 53.81%，粗糙度均匀性不是很好。

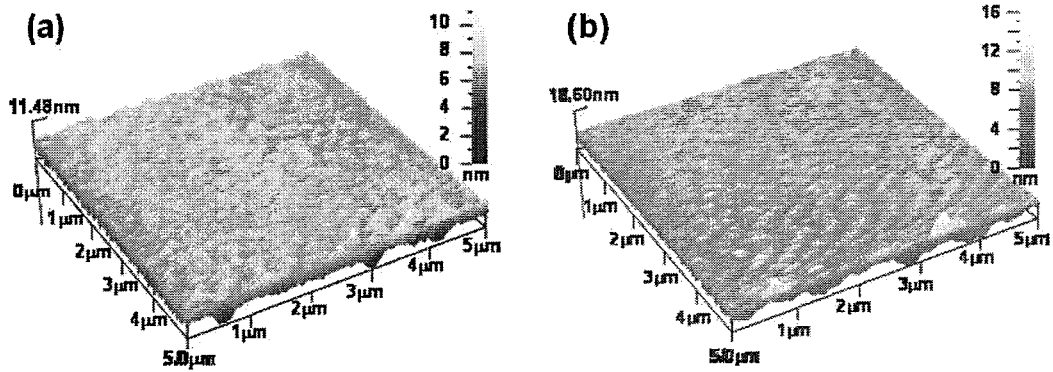




图 3.5 不同溅射功率条件下，GST 薄膜的表面粗糙度，(a)100W，(b)200W，(c)300W，(d)400)，(e)500W和(f)粗糙度的比较

图3.6是GST薄膜的原子百分比随着溅射功率变化的规律。由图(a)中可以看出，GST薄膜中的元素组分在不同溅射功率条件下基本保持不变。图(b)中所示，在溅射功率为100 W和500 W时，硅片中心点和边缘点之间的组分差异较大，而200 W到400 W之间，组分差异较小。所以，GST薄膜在不同的溅射功率条件下，组分基本不变，但功率处于200 W到400 W之间，组分的均匀性较好。

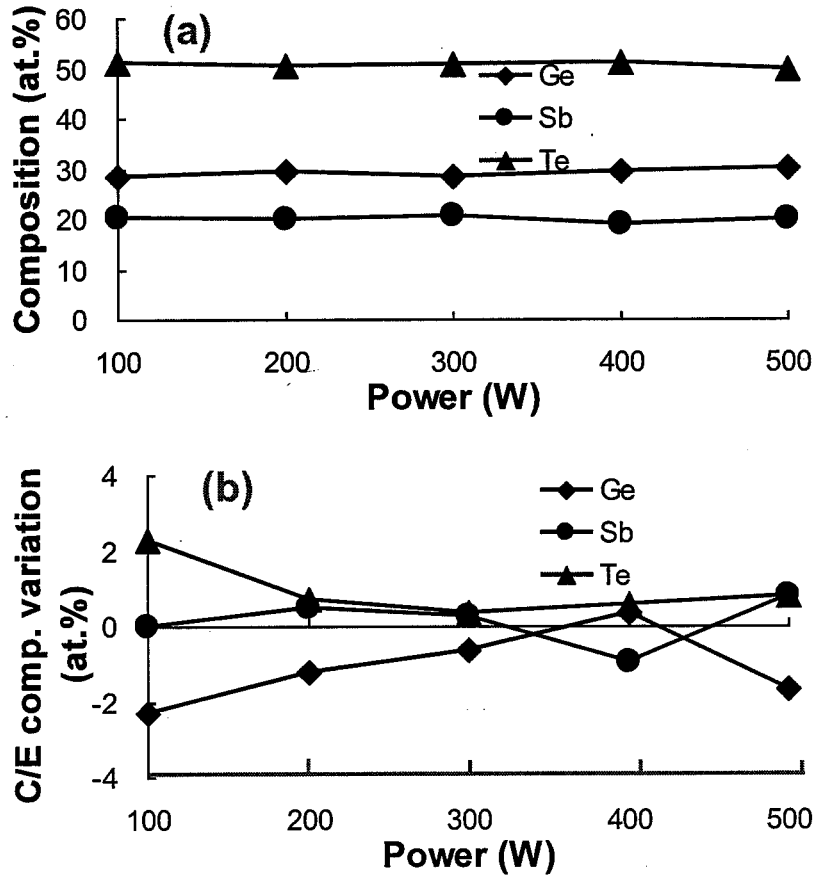


图 3.6 不同溅射功率条件下，GST 薄膜的组分表征，(a)原子百分比和(b)硅片中心点与边缘点组分差异

图3.7是薄膜的相变特性随溅射功率变化的规律。如图中可以看出，不同溅射功率条件下，GST薄膜的相变温度、高低电阻值均没有明显的差别，电阻率-温度曲线基本重合。所以，在溅射功率处于100~500W区间内，薄膜的相变特性基本保持不变。

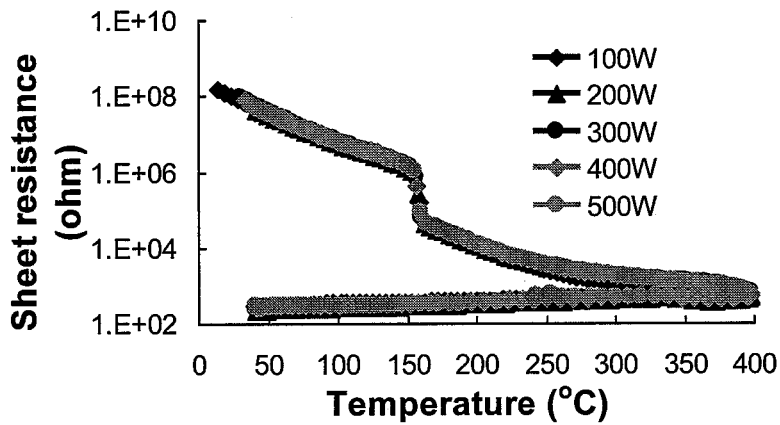


图 3.7 不同溅射功率条件下，GST 薄膜的电阻率-温度曲线

3.1.2.2 小结

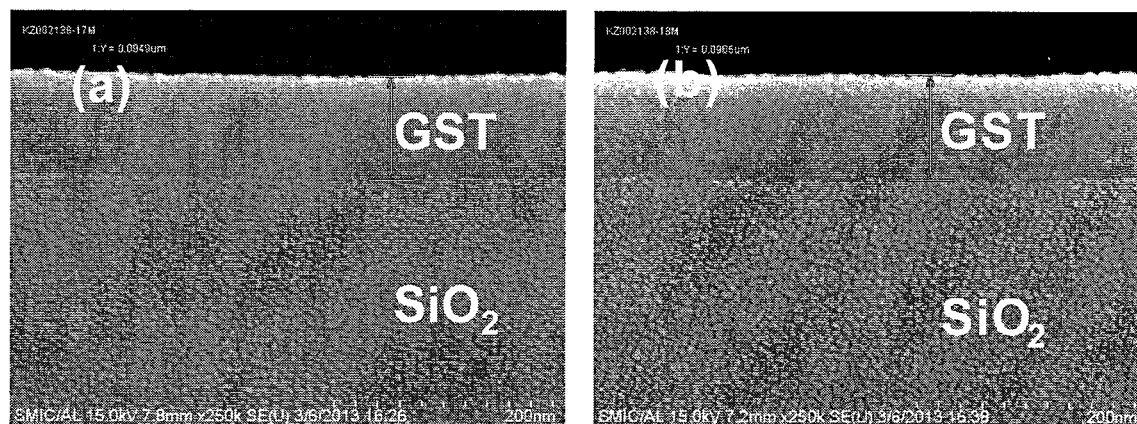
在溅射功率处于 100~500W 区间内，我们表征了薄膜的表面形貌、沉积速率、薄膜均匀性、应力、反射率、表面粗糙度、原子百分比和相变特性。可以看出薄膜溅射功率越高，沉积速率越快，在相同时间内的产出率较高；而且，在功率大于 300 W 时，薄膜厚度的非均匀性小于 2.17%，而且功率越大，厚度均匀性越好；然而，在溅射功率为 500 W 时，硅片中心点与边缘点的粗糙度和组分均匀性比较差。综上所述，功率为 300~400 W 之间的工艺条件比较优化。

3.1.3 氩气流量的优化

3.1.3.1 薄膜性质

图 3.8 是在不同氩气流量条件下，GST 薄膜 SEM 截面形貌的表征和对比。由图(a)-(c)中可以看出，当氩气流量在 20~60 sccm 条件下，薄膜截面比较光滑、晶粒细小均匀，而且 GST 与二氧化硅界面结合良好。由图(d)所示，当氩气流量增加至 80 sccm 后，在薄膜的截面上靠近表面处，GST 薄膜显得粗糙而且不均匀。如图(e)中示，氩气在 100 sccm 时，薄膜截面变得更加粗糙不平，薄膜的致密度看上去不是很好。所以，在氩气流量处于 20~100 sccm 区间内，随着沉积时的压力增加，靠近表面的薄膜变得粗糙且致密度不好。而气体流量在 20~60 sccm 之间时，薄膜截面较好。

图 3.9 是在不同氩气流量条件下，GST 薄膜表面形貌的表征和对比。由图(a)-(c)中可以看出，当氩气流量在 20~60 sccm 条件下，薄膜表面比较光滑、晶粒细小均匀。如图(d)-(e)所示，薄膜表面显得粗糙疏松。这与截面上看到的数据相吻合。所以，在氩气流量处于 20~100 sccm 区间内，当氩气流量小于 60 sccm 时，薄膜表面较平整光滑，而随着沉积时的压力增加，薄膜表面变得粗糙而疏松。



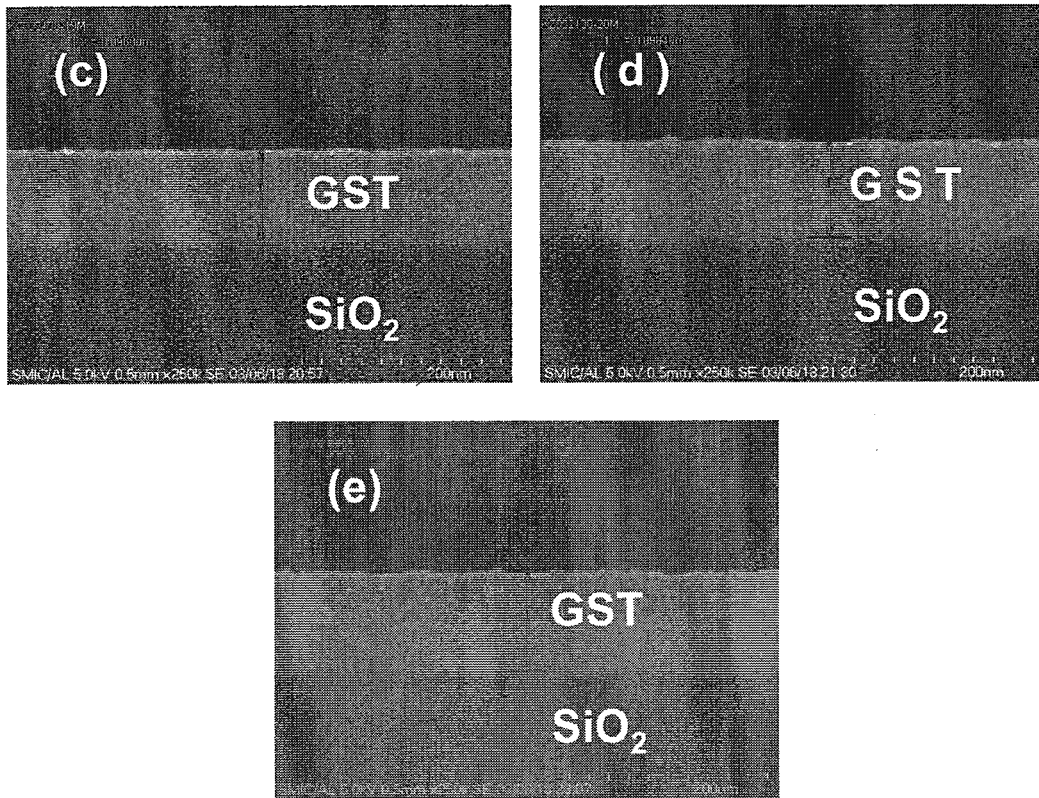
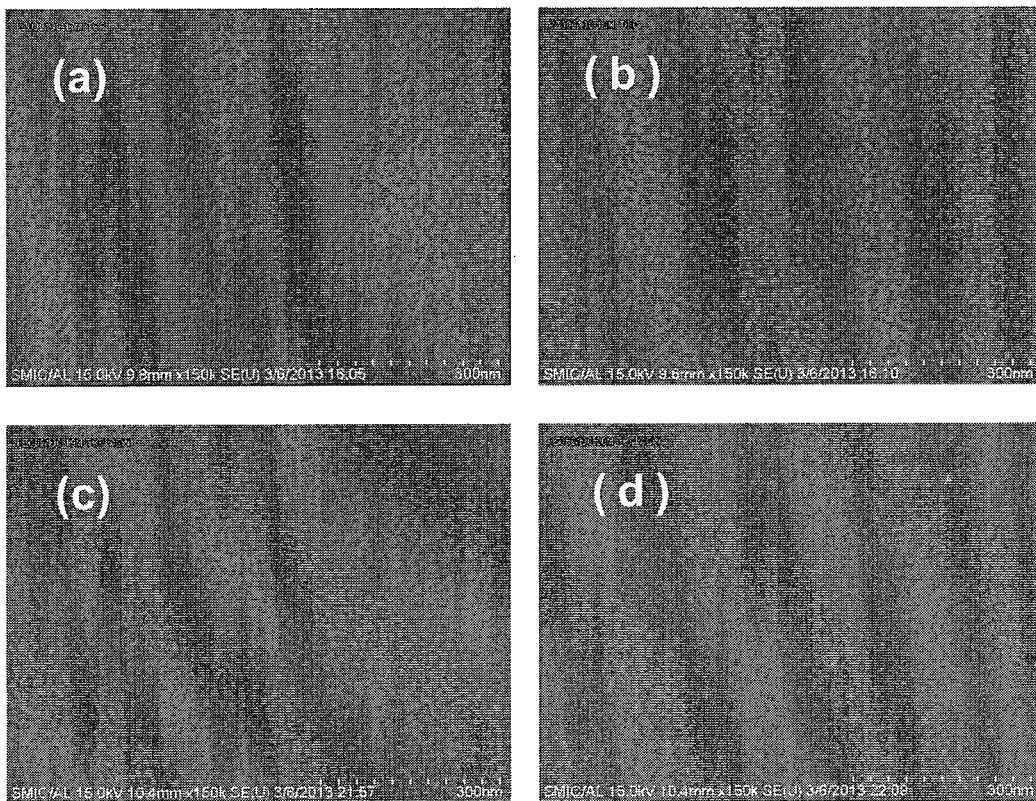


图 3.8 不同氩气流量条件下, GST 薄膜的 SEM 截面形貌, (a)20 sccm, (b) 40 sccm, (c) 60 sccm, (d) 80 sccm 和(e) 100 sccm



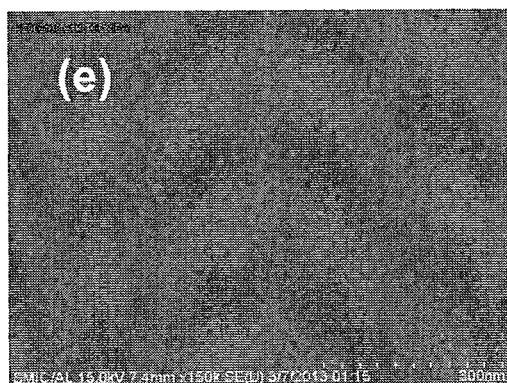


图 3.9 不同氩气流量条件下，GST 薄膜的表面形貌，(a)20 sccm，(b) 40 sccm，(c) 60 sccm，(d) 80 sccm 和(e) 100 sccm

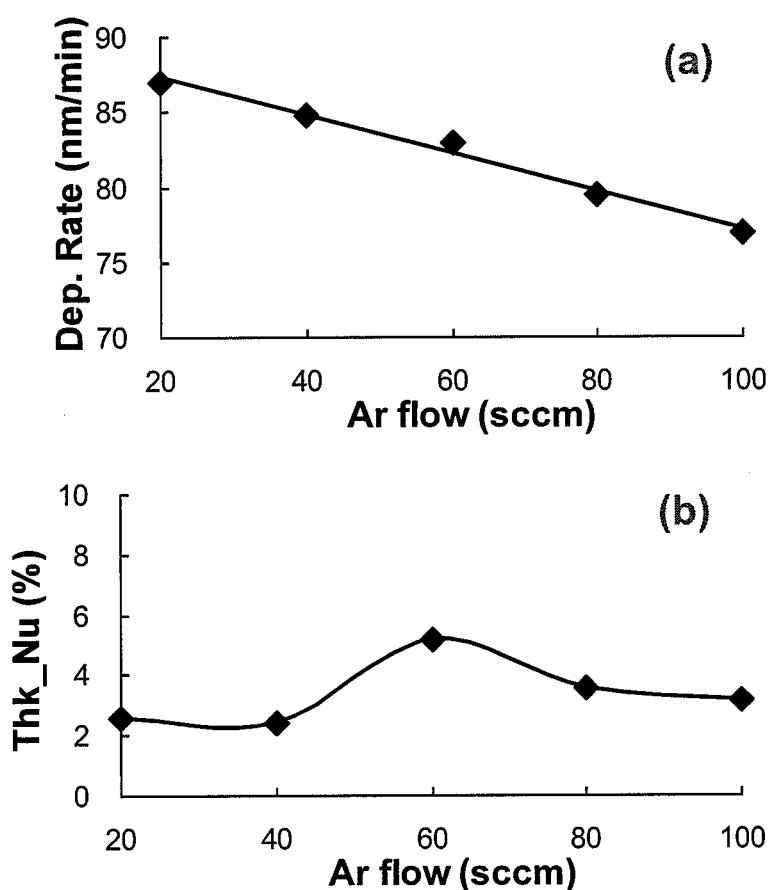


图 3.10 不同氩气流量条件下，GST 薄膜的(a)沉积速率和(b)厚度非均匀性表征

图 3.10 是在不同的氩气流量条件下，薄膜沉积速率和厚度均匀性规律表征。由图(a)可以看出，GST 薄膜的沉积速率随着氩气流量的增加而降低，二者之间基本保持线性关系。而图(b)所示，在氩气流量较低时，薄膜的厚度较均匀，非均匀度约为 2.5 %。氩气流量大于 60 sccm 时，非均匀度高于 3.15 %，其中流量为 60 sccm 时均

匀度最差, 约为 5.19 %。所以, 在氩气流量处于 20~100 sccm 区间内, 流量较小时, 薄膜厚度的均匀性比较好。

图 3.11 是在不同的氩气流量条件下, 薄膜应力和反射率规律表征。由图(a)可以看出, 在不同氩气流量条件下, 沉积的 GST 薄膜应力都比较小, 低于 20 Mpa。而且随着流量增加, 没有明显的变化趋势。在图(b)中, 流量为 20~80 sccm 区间内, 480 nm 的可见光在薄膜表面的反射率相当, 约为 44.53 %。而当氩气流量增加到 100 sccm 时, 薄膜的反射率下降比较明显, 比低流量条件下低约 3.52 %。这主要因为在薄膜沉积过程中, 腔体压力较高时, 沉积的 GST 薄膜表面比较粗糙和疏松, 所以导致反射率的降低。

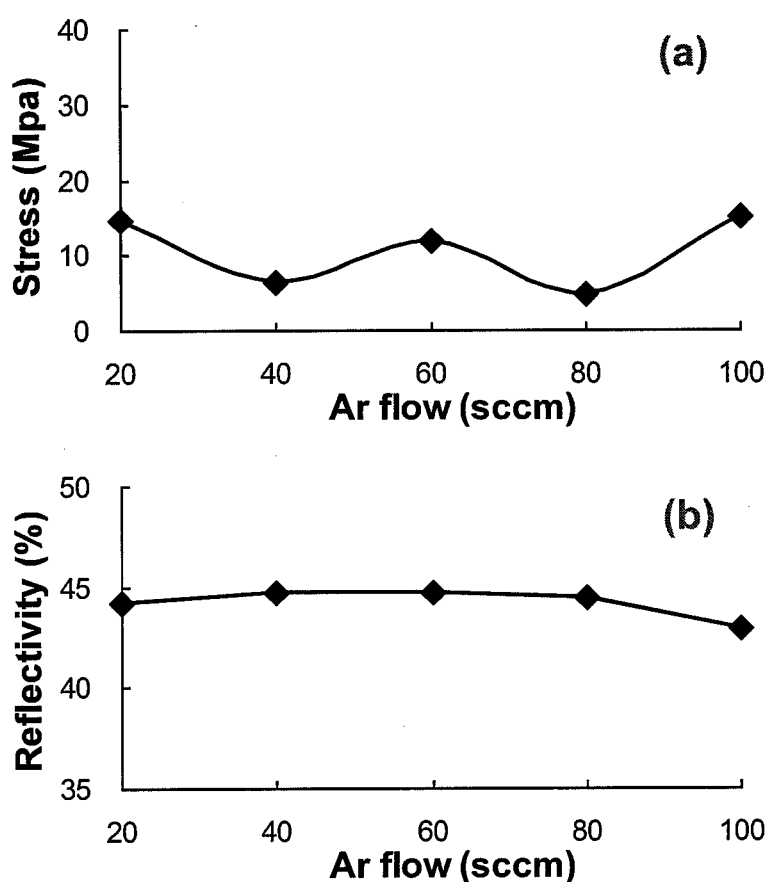


图 3.11 不同氩气流量条件下, GST 薄膜的(a)应力和(b)反射率表征

图 3.12 是在不同氩气流量条件下, 沉积的 GST 薄膜的表面粗糙度表征。由图 (a)-(e)可以看出, 在低氩气流量条件下, 薄膜的表面粗糙度较小。当流量增加到 80 sccm 时, 薄膜粗糙度略有升高, 约为 1.27 nm。流量为 100 sccm 时, 薄膜粗糙最高, 达到 1.35 nm。这与薄膜表面形貌和反射率的数据相吻合。所以, GST 薄膜在氩气流量较小的条件下, 沉积的薄膜表面粗糙度较小, 而流量较大时, 因为沉积薄膜的

致密度较差而粗糙度增加。

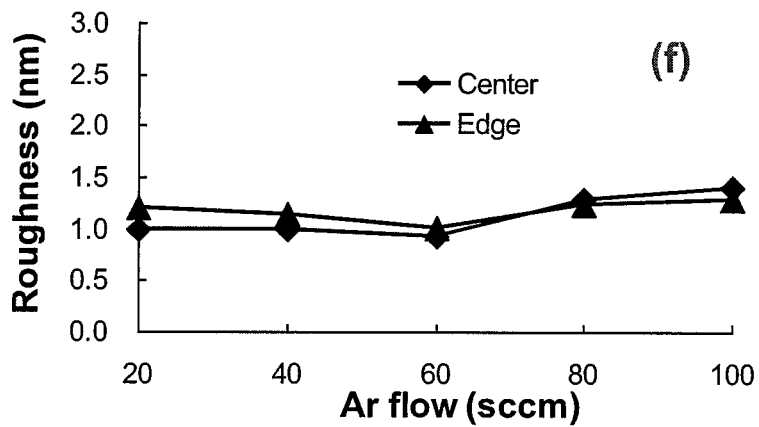
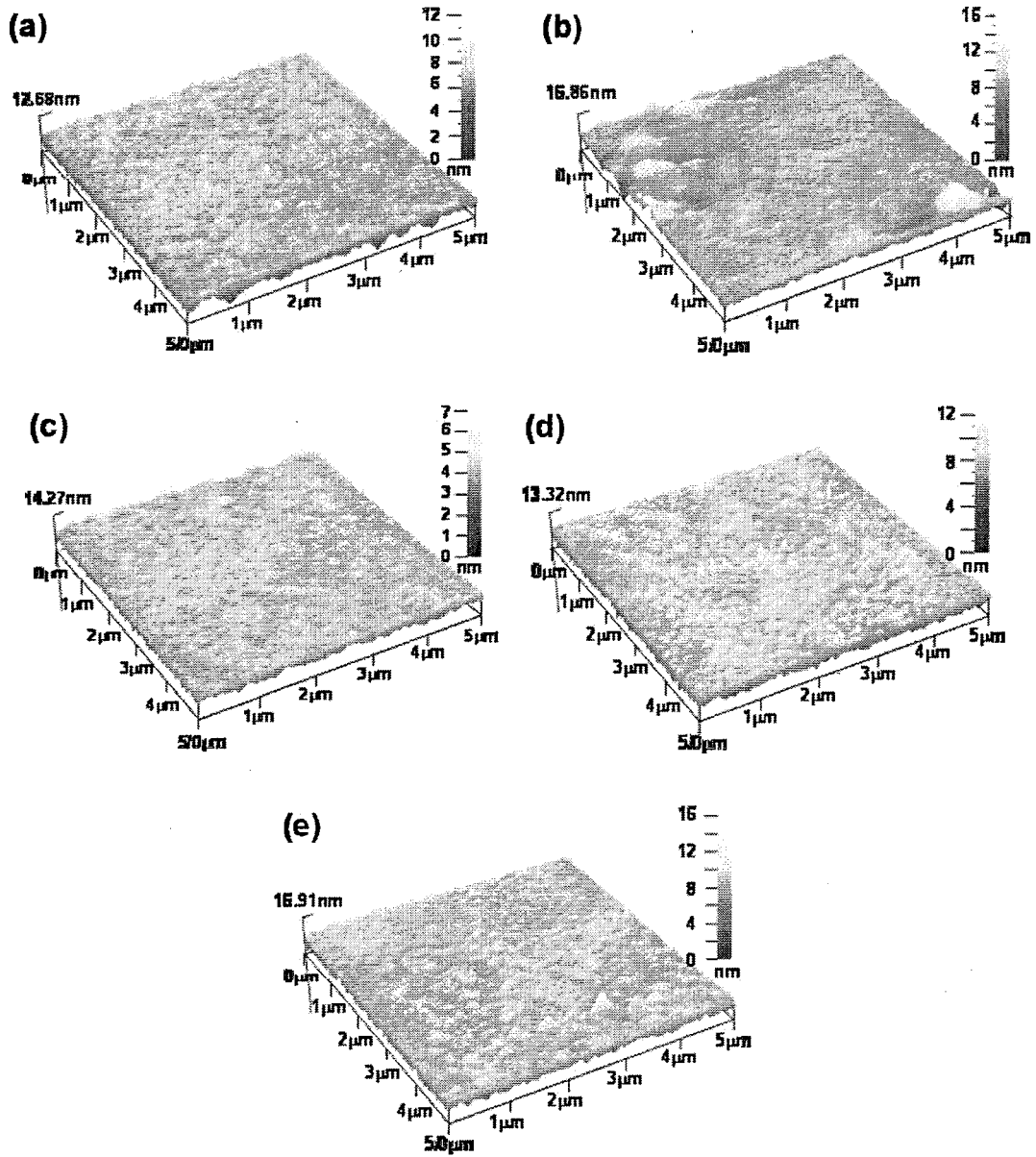


图 3.12 不同氩气流量条件下, GST 薄膜的表面粗糙度表征, (a) 20 sccm, (b) 40 sccm, (c) 60 sccm, (d) 80 sccm, (e) 100 sccm 和 (f) 表面粗糙的对比

图 3.13 是在不同氩气流量条件下, 沉积薄膜的组分表征。由图 (a) 可以看出, 随着氩气流量的增加, Sb 和 Te 的原子百分比略有增加, 而 Ge 的含量略有降低。如图 2.13 所示, GST 薄膜的组分均匀性在低氩气流量条件下较好, 当氩气流量大于 60 sccm 时, Ge 和 Te 的组分均匀性较差, 硅片中心点的 Te 和 Ge 含量分别比边缘点增高和降低。

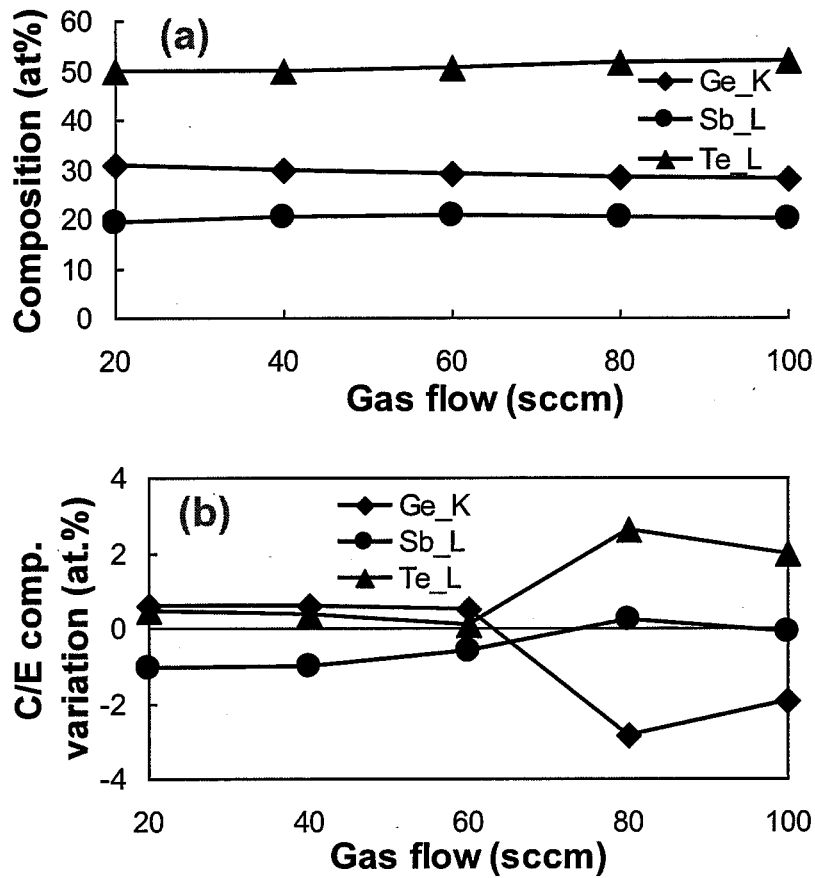


图 3.13 不同氩气流量条件下, GST 薄膜的组分表征, (a) 原子百分比和 (b) 硅片中心点与边缘点组分差异

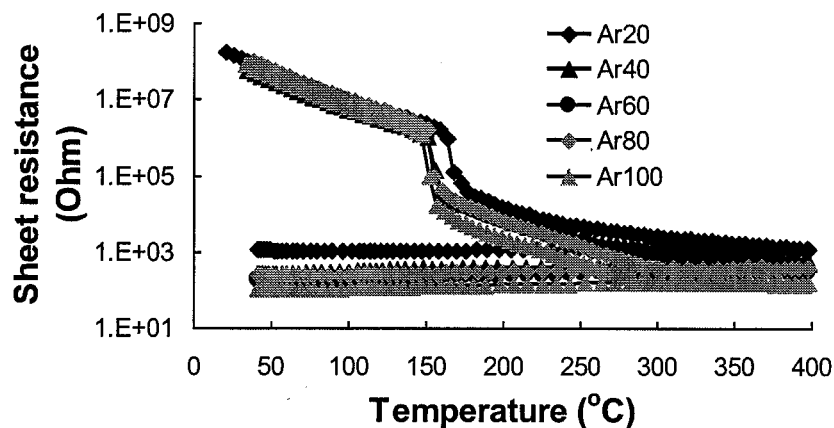


图 3.14 不同氩气流量条件下，GST 薄膜的电阻率-温度曲线表征

图3.14是在不同氩气流量条件下，沉积薄膜相变特性的表征和对比。由图中可以看出，在流量为20 sccm时，薄膜的相变温度最高，约为165 °C。而氩气流量处于40~80 sccm区间内和100sccm时，薄膜的相变温度分别降低至152 °C和148 °C，而且薄膜的晶态电阻比流量为20 sccm时降低约0.4和1个数量级。因此，随着沉积压力的增加，GST 薄膜的相变温度会降低，也就是说，薄膜在非晶态时的热稳定性变差；同时，晶态电阻变低，意味着在RESET时的发热效率变差从而会增加相变存储器的功耗。

3.1.3.2 小结

在氩气流量处于 20~100 sccm 区间内，我们表征了薄膜的表面形貌、沉积速率、薄膜均匀性、应力、反射率、表面粗糙度、原子百分比和相变特性。可以看出氩气流量越低，薄膜的沉积速率越快，在相同时间内的产出率较高；而且，在氩气流量小于 40 sccm 时，薄膜厚度的非均匀性小于 2.58 %；当氩气流量大于 40 sccm 时，GST 薄膜的相变温度变低、晶态电阻减小，这会分别导致薄膜在非晶态条件下的热稳定性变差以及存储器功耗增加；在氩气流量大于 60 sccm 时，薄膜粗糙度变差，硅片中心点与边缘点的组分均匀性比较差，综上所述，氩气流量为 20 sccm 的工艺条件比较优化。

3.1.4 本节小结

在溅射功率处于 100~500W 区间内，通过表征薄膜的性质，可以看出功率为 300~400 W 之间时沉积速率较快，厚度均匀性好且薄膜质量较好。在氩气流量处于 20~100 sccm 区间内，表征和对比了薄膜的性质后发现，当氩气流量为 20 sccm 时，薄膜的沉积速率较快，薄膜均匀性和热稳定性较好。综上所述，最优化的 GST 薄膜溅射条件为：功率为 300~400W，氩气流量为 20 sccm。

3.2 热板工艺开发

GST材料有两种相：非晶相和晶相。在非晶态时，GST薄膜的电阻率较高；而晶态时，薄膜电阻率较低。两种晶相之间的电阻率差异大约为3~4个数量级。在非晶态时，GST薄膜有两种晶体结构：面心立方和斜六方结构。将非晶态GST薄膜加热到165 °C左右，非晶态会转变为面心立方结构，如果继续加热至约350 °C，部分面心立方结构会变成更加致密的斜六方结构^[93-98]。

GST薄膜从非晶相转变为晶相过程中，薄膜体积会发生明显的收缩，约为7~8 %。研究表明，大部分的体积收缩发生在非晶相与面心立方晶相之间的转化过程中，收缩率约为5~6 %，而当GST薄膜从面心立方向斜六方晶体结构转化过程中仅有约2 %的体积收缩率。在相变存储器件制备过程中，如果体积收缩发生在GST刻蚀或小孔填充以后，在器件区域，因为GST材料的体积收缩而出现空洞，这势必导致可靠性的问题。如果体积收缩的空洞出现在GST材料与上下电极之间的连接部，甚至会导致器件的断开而无法实现电学性能操作。

为了解决GST的体积收缩，我们开发了热板工艺，使GST的沉积态为晶态，从而有效地减少因GST薄膜在工艺过程中体积变化导致的失效^[99]。

3.2.1 试验简介

在不同的热板温度条件下，利用300 mm的物理气相沉积平台，采用磁控溅射的方法在SiO₂/Si (100晶面)基底上制备GST薄膜。系统本底真空优于5E-6 Pa，采用脉冲直流功率源，GST(2,2,5)合金靶作为溅射源。用氩气作为溅射气体。在溅射沉积过程中，保持相同的溅射腔体压力0.28 Pa。通过控制不同热板温度：30 °C、140 °C、160 °C、180 °C、230 °C和260 °C，制备出不同的GST薄膜。采用SEM对薄膜截面、表面形貌和均匀性进行表征。AFM对薄膜表面的粗糙度作表征。采用X射线衍射仪(XRD)分析了不同温度条件下生长薄膜的晶体结构。在温度可控的真空腔体中，对GST的电阻率进行原位加热测试，得到其电阻-温度关系(R-T)。结晶温度(T_c)定义为R-T 曲线对温度微分后的极小值所对应的温度。同时，在沉积GST薄膜之前，研究了去水气和冷却工艺对GST薄膜性质的影响，并找出合适的工艺条件。

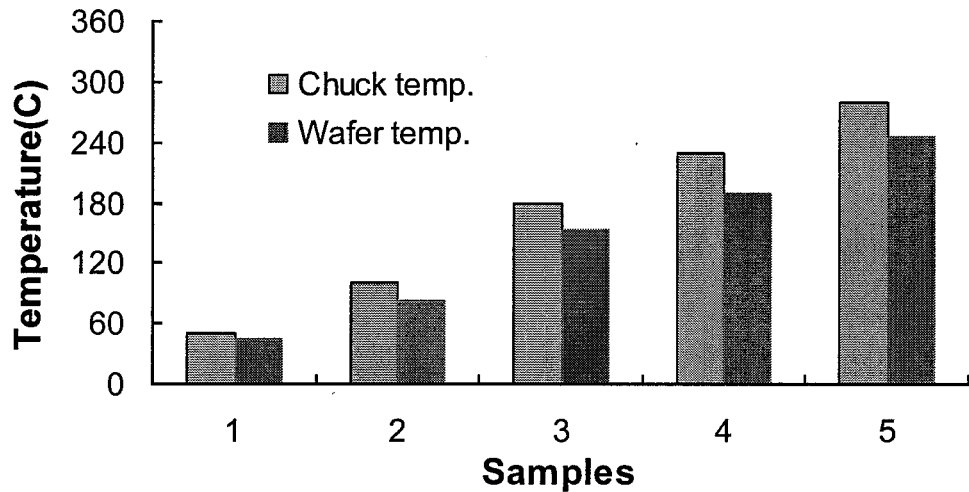


图 3.15 在五个不同的温度条件下，热板与硅片上的温度对照

图3.15是在不同温度条件下，热板和硅片上的实际温度差异。可以看出，硅片上的实际温度比热板上的设定温度低，这是因为在真空环境下，热的传导速度比较差，只能通过硅片与热板之间的接触传热，所以硅片的温度较热板低。而且随着温度的增加，硅片和热板之间的温度差从5 °C变为40 °C。通过控制热板上的温度控制，硅片温度可以得到很好的控制。

3.2.2 材料性能

图3.16是在不同热板温度条件下，GST薄膜的不同截面形貌。如图(a)所示GST薄膜在室温下生长，没有看到结晶现象，沉积态为非晶态。而从图(b)中可以看出，当热板温度为140 °C时，GST薄膜开始出现结晶。如图(c)所示，热板温度上升到160 °C后，薄膜的结晶程度有所增加。从图(d)-(f)可以发现，GST薄膜的晶粒明显增大，而且温度越高，晶粒越大。在热板温度从室温到230 °C升高过程中，GST薄膜与二氧化硅之间的界面结合力看上去仍然比较好。然而，当热板温度升至260 °C时，GST的晶粒非常粗大，而且界面结合变得较差。在该条件下，薄膜的质量和以及与基底之间黏附性比较差，在后续的刻蚀、湿法清洗和绝缘材料的高温沉积工艺过程中，比较容易引起侧壁粗糙和脱落等问题。

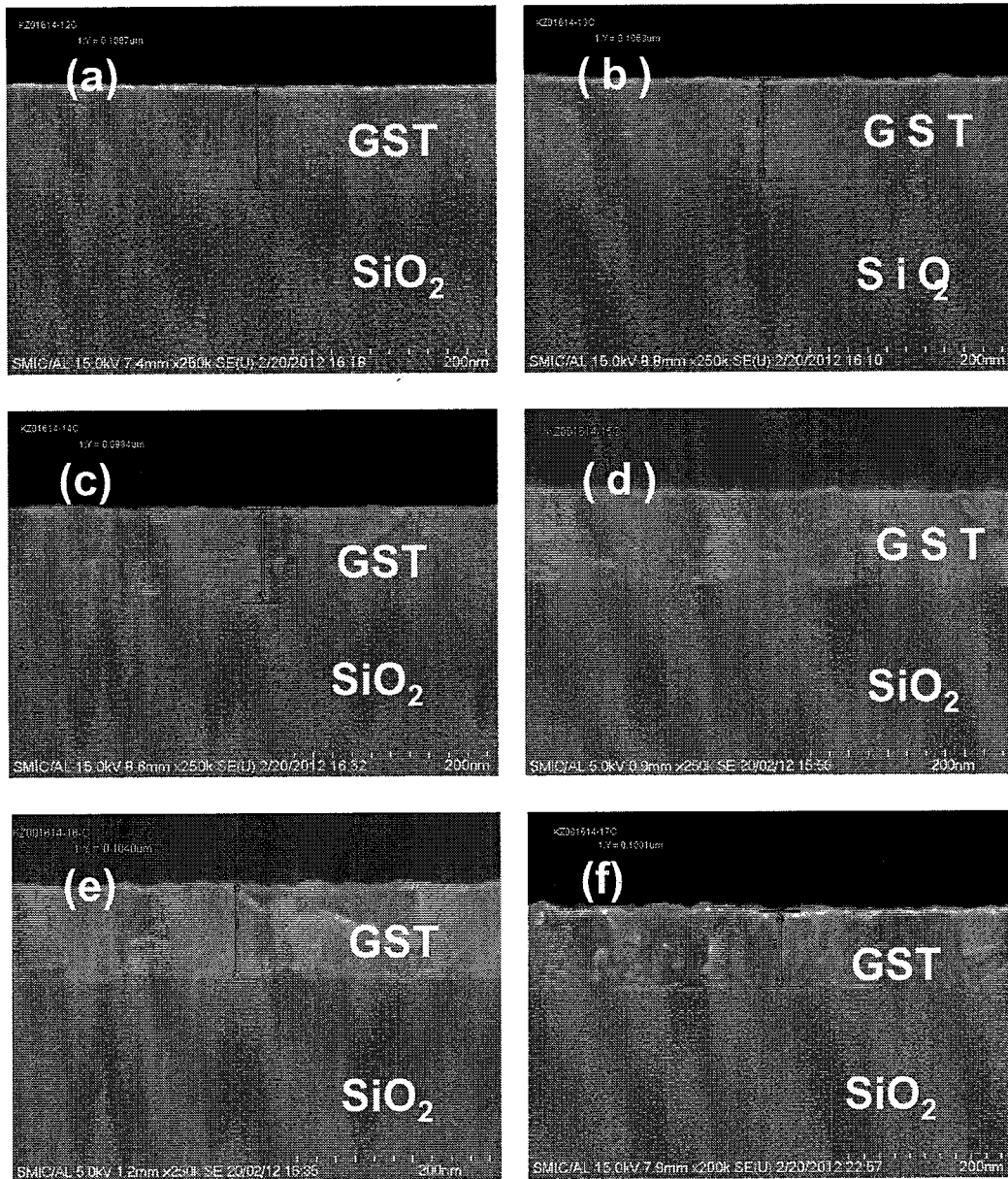


图 3.16 GST 薄膜的截面形貌，热板温度分别为：(a) 30 °C，(b) 140 °C，(c) 160 °C，(d) 180 °C，(e) 230 °C和(f) 260 °C

图3.17是在不同的热板温度条件下，GST薄膜的表面形貌的表征。如图(a)中示，室温沉积薄膜表面基本没有明显的结晶。而当温度上升到160 °C时，如图(b)-(c)，出现了轻微的结晶，而且晶粒的大小随着温度升高而增大。由图(d)-(f)中可以看出，GST薄膜出现了显著的结晶，晶粒逐渐变粗大。当热板温度上升至260 °C时，晶粒已经非常粗大。这跟截面上看到的形貌数据相吻合。

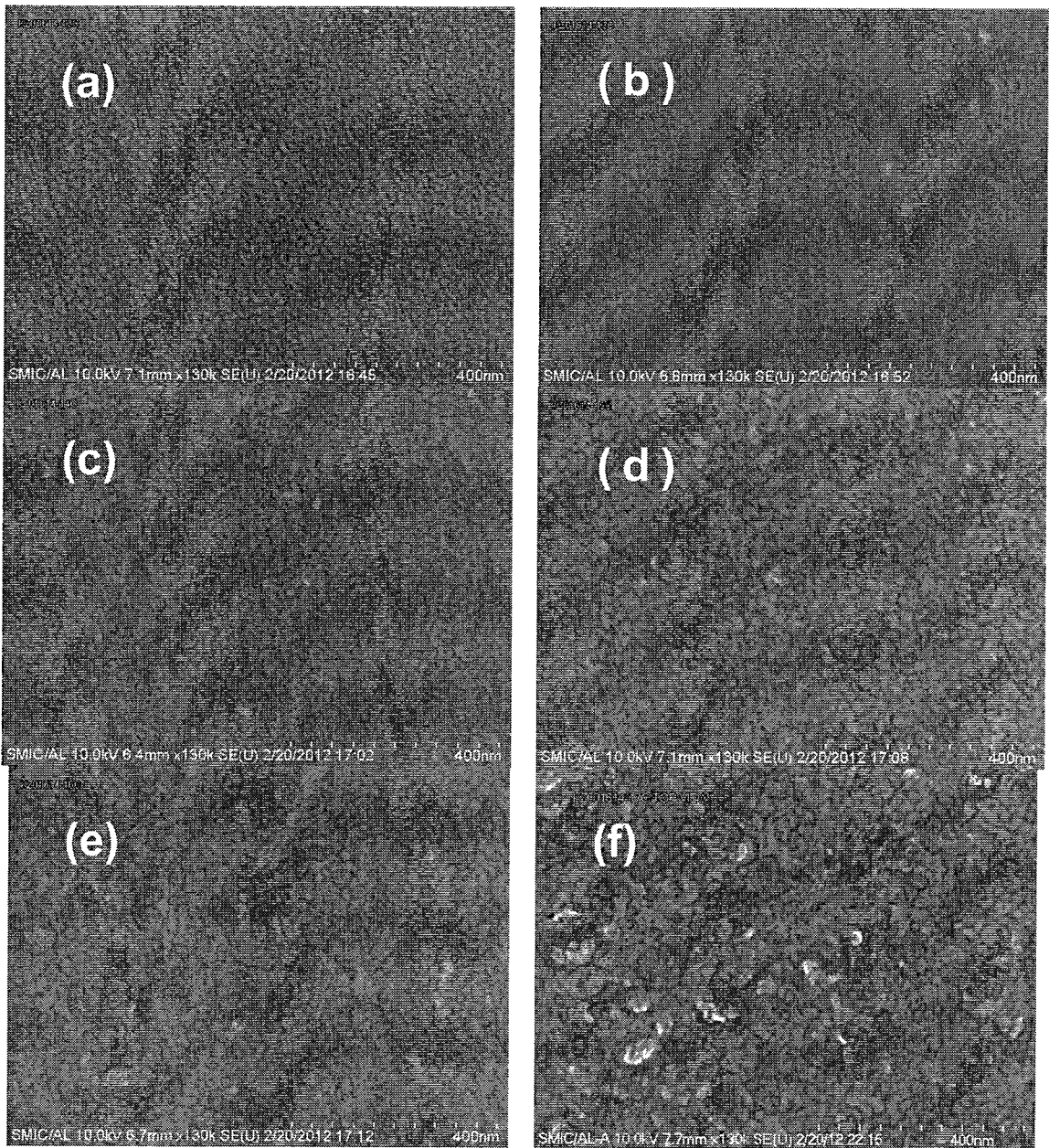
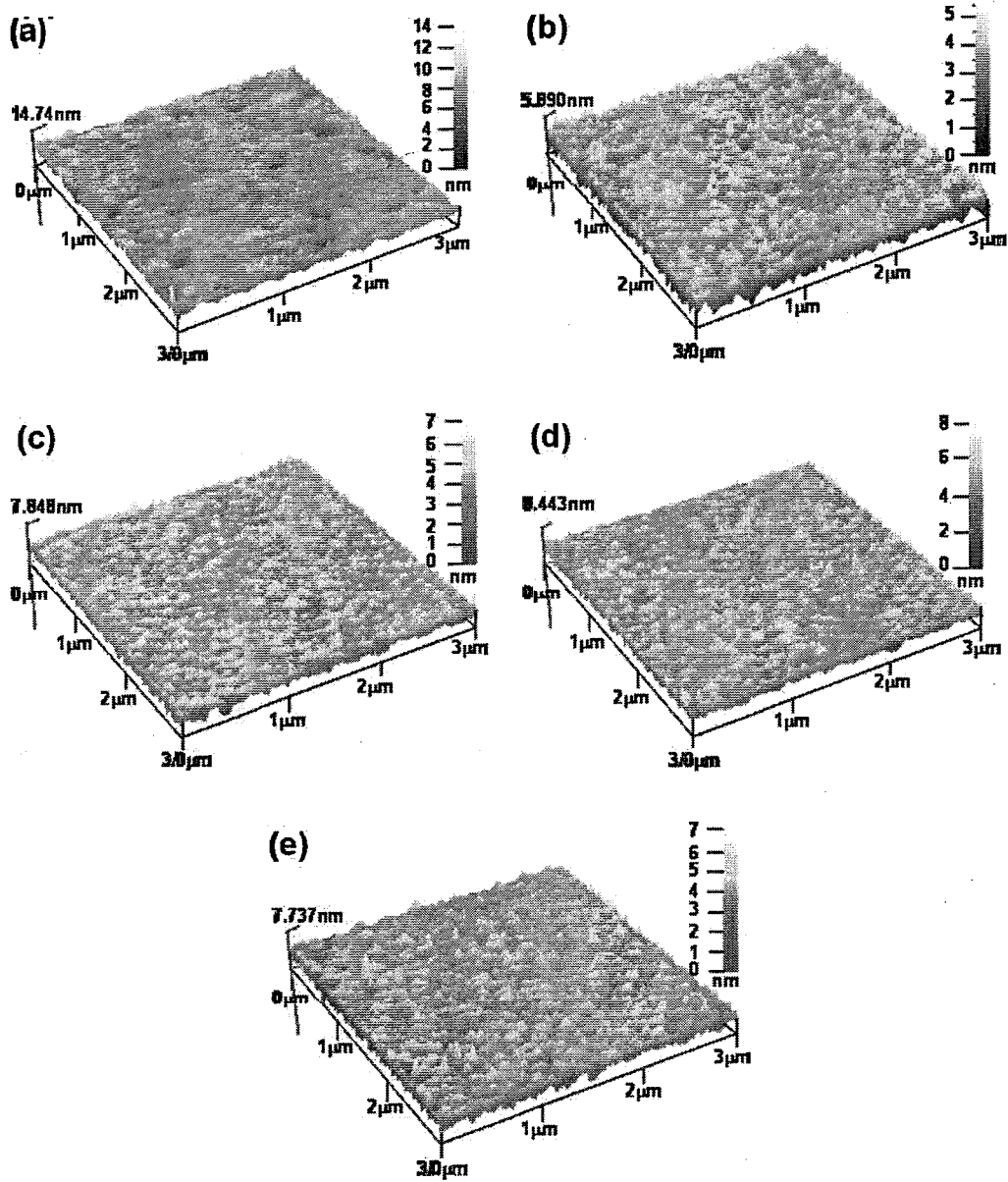


图 3.17 GST 薄膜的表面俯视图，热板温度分别为：(a) 30 °C，(b) 140 °C，(c) 160 °C，(d) 180 °C，(e) 230 °C 和 (f) 260 °C

图3.18是在不同沉积温度条件下，GST表面薄膜的粗糙度比较。由图(a)-(e)中可以看出，室温条件下沉积的薄膜表面粗糙度约为1.07 nm。而随着热板温度的升高，GST薄膜表面的粗糙度逐渐降低。当温度升高到160 °C时，粗糙度达到最低值，约为0.70 nm。从靶材表面被溅射出的GST原子落到硅片上后，相比室温沉积的GST原子，硅片表面的更高温度可以继续为这些原子提供能量，所以原子可以在硅片表面做一定范围内的移动。处于形貌尖峰的原子能量较高，而在形貌低谷的能量较低，原子在硅片基底提供的能量下会从尖峰移动到低谷位置，从而改善了薄膜表面的形貌和粗糙度。所以，在温度处于140 °C至180 °C之间时，薄膜的局部粗糙度相当且都都比较低。

由图(f)中可以看出, 当热板温度从160 °C升高260 °C过程中, 粗糙度略有升高。这主要是因为温度较高的条件下, GST的晶粒持续长大, 如果晶粒太大, 反而使薄膜粗糙度变差。



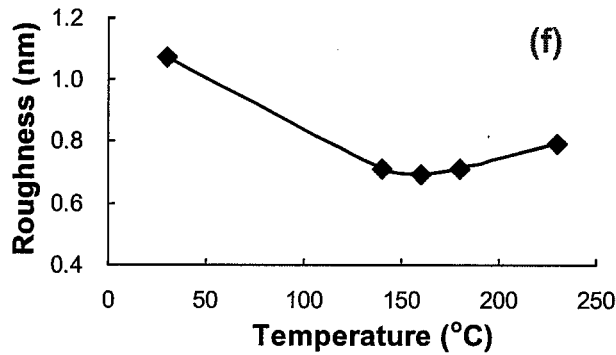
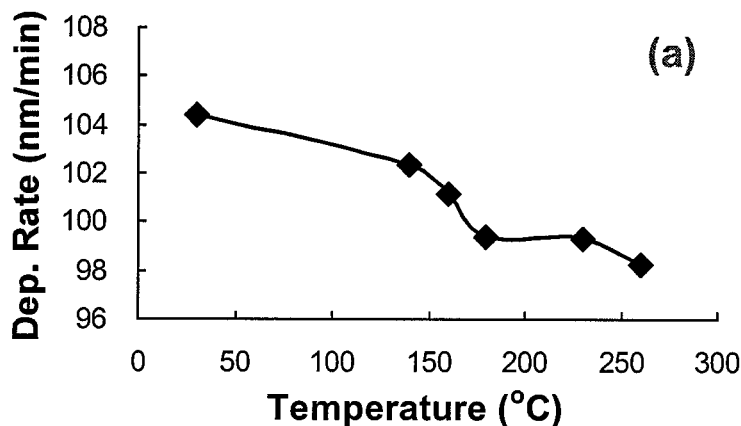


图 3.18 GST 薄膜的表面粗糙度, 热板温度分别为: (a)30 °C, (b)140 °C, (c)160 °C, (d)180 °C, (e)230 °C 和 (f) 不同沉积温度的薄膜粗糙度对比

图3.19是在不同的热板温度条件下, GST薄膜的沉积速度和厚度均匀性对比。由图(a)可以看出, 随着热板温度的升高, 薄膜的沉积速率逐渐降低。当热板温度从室温升高至160 °C和260 °C过程中, 薄膜的沉积速率分别比室温时降低约4.79 %和5.87 %。这主要与薄膜在硅片上沉积的相变态直接相关。当热板温度由室温升高至140 °C后, 沉积在基底上的GST薄膜由非晶态部分转化为面心立方的晶态结构, 薄膜的体积就会发生收缩, 所以相同的数量的GST原子在硅片上的厚度变得比较薄, 最后得到的沉积速率相应地有所降低。当温度为180 °C时, 几乎全部的非晶态GST薄膜都已经转化为面心立方晶态, 所以薄膜的沉积速率会进一步降低。在温度处于180 °C到260 °C区间内时, 薄膜内部分的面心立方结构部分地转化为更加致密的斜六方晶体结构, 所以薄膜的沉积速率还会小量降低^[96,97]。由图(b)可以看出, 沉积薄膜的厚度非均匀性随着温度的升高而增加。这可能与硅片表面的晶粒大小相关, 晶粒越大, 表面的均匀性越差。



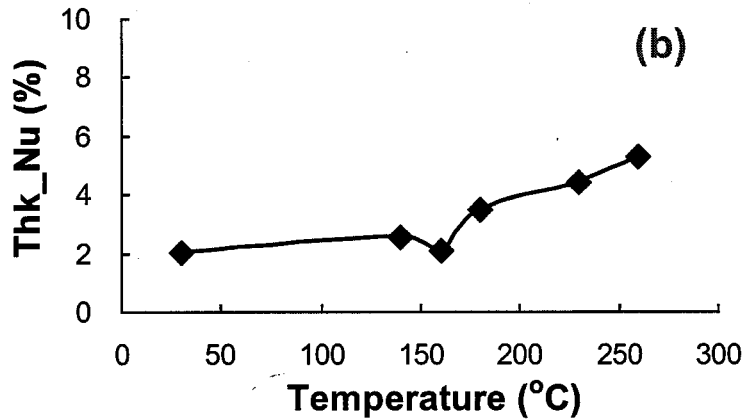


图 3.19 不同热板温度条件下, GST 薄膜的沉积速度和厚度均匀性

图3.20是在不同的热板温度条件下, GST薄膜在波长为480 nm光源条件下的反射率变化规律。GST薄膜在不同晶相时的反射率不同, 从非晶态到晶态变化过程中薄膜的反射率逐渐增加, 所以, 在一定条件下, 可以用薄膜的反射率来表征相变薄膜的相变特性和程度。由图3.20可以看出, 在室温条件下沉积的GST薄膜为非晶态, 所以其反射率最低, 为46.10 %。而在热板温度为140 °C时, 沉积的薄膜的反射率提高至63.42 %, 比室温时增加了37.57 %。说明在该温度条件下沉积的GST薄膜已经部分发生相变, 转化成面心立方结构。在温度区间为140 °C至180 °C时, 薄膜的反射率略有上升, 从63.42 %增加至63.89 %。这主要是由于非晶态的GST薄膜逐步完全地转化成面心立方的晶态结构。继续升高热板温度至230 °C, 反射率进一步增加, 主要是因为部分面心立方结构相继续向斜六方结构相转化, 所以薄膜的反射率增加至64.70 %。然而, 随着温度的增加, GST晶粒也随之增加, 如果晶粒过大, 薄膜表面的粗糙度增加, 对光的散射增加, 所以当热板温度为260 °C时, 薄膜反射率反而会有少量减小。

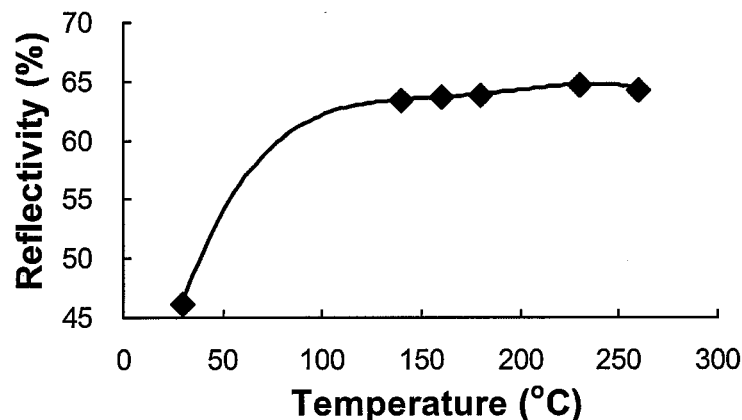


图 3.20 不同热板温度条件下, GST 薄膜的反射率

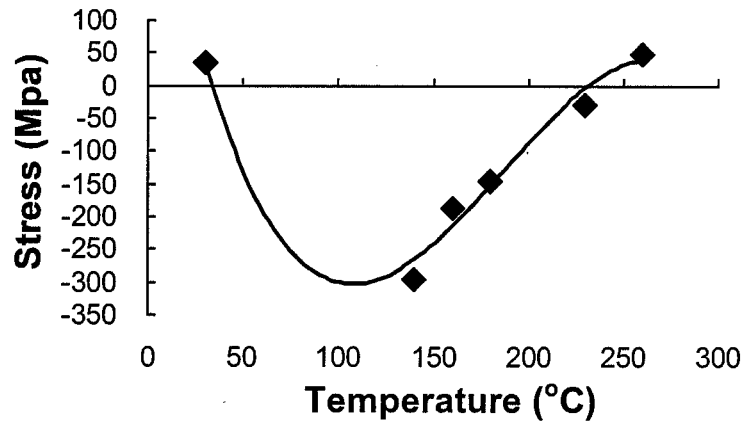


图 3.21 不同热板温度条件下, GST薄膜的应力

图3.21为不同热板温度条件下,薄膜的应力变化规律。由图中可以看出,在室温条件下沉积的薄膜,为很弱的拉应力。当温度为140 °C时薄膜的应力最大,为295 Mpa的压应力。随着沉积温度继续增加至230 °C,薄膜的应力减小至-28 Mpa。而当沉积温度为260 °C时,薄膜应力转化为较低的拉应力。应力随沉积温度的这种变化主要跟薄膜在沉积过程中的体积收缩有关。

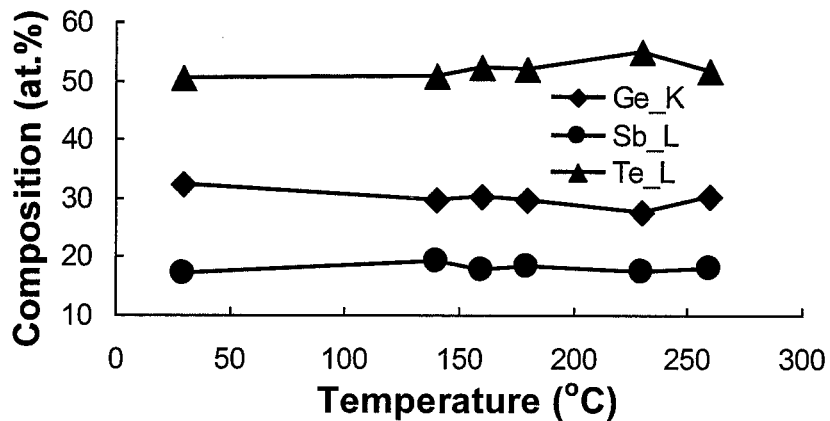


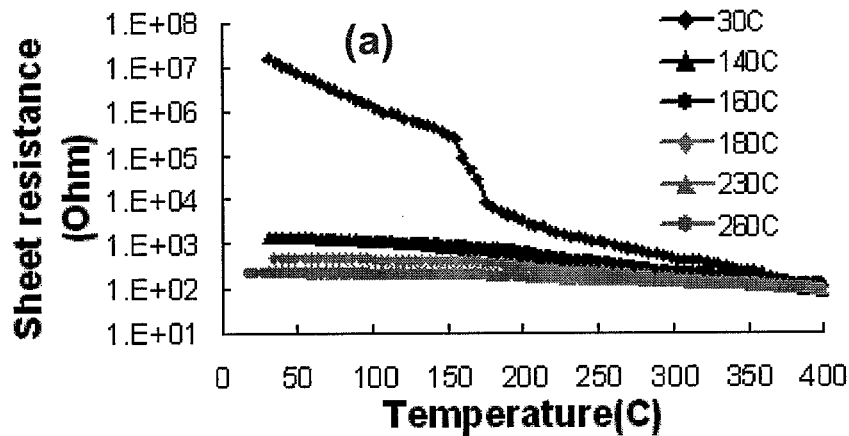
图 3.22 不同热板温度条件下, GST薄膜中各组分的原子百分比

图3.22是在不同的热板温度条件下, GST薄膜中各组分的原子百分比的表征。由图中可以看出, Sb元素在不同温度条件下的组分基本保持不变。在热板温度在室温至230 °C之间时, Ge元素含量随着温度升高略有降低, 而Te元素略有升高。然而在260 °C时, GST薄膜中的Te元素的含量突然降低, 这可能因为Te的气化温度较低, 在高温沉积过程中发生了少量的挥发。

图3.23是在不同的热板温度条件下, GST薄膜的电阻率随温度变化的规律。由图(a)和(b)可以看出, 电阻率-温度曲线被分为四组, 室温沉积薄膜的非晶态电阻率非常

高，薄膜完全处于非晶态，加热后高低电阻之间差约为4~5个数量级；在沉积温度为140 °C和160 °C时，薄膜的电阻率-温度曲线基本上重合，但电阻率比室温沉积态电阻率低约4个数量级，该条件下的薄膜已经发生相变，大部分已经转化为面心立方的晶态结构；热板温度为180 °C时，电阻率约为160 °C时的40 %，薄膜基本上已经完全转化为面心立方的晶态结构；而温度为230 °C和260 °C时，这两条曲线基本重合，而且薄膜在逐渐加热的过程中，电阻率-温度曲线基本保持水平。说明在该热板温度条件下，薄膜沉积过程中，已经基本完全转换成斜六方的稳定晶态结构。

图3.24是在不同热板温度条件下，GST薄膜的晶体结构。由图中可以看出，室温沉积的GST薄膜，没有任何晶态峰出现，所以该薄膜在沉积后完全处于非晶态。当热板温度为140 °C时，分别在29.5度和42.5度处分别出现了面心立方结构峰，证明GST薄膜在该温度条件下已经部分结晶。而温度为160 °C时，在26度处又增加了一个面心立方结构峰，说明随着沉积温度的增加，更多的面心结构峰出现，薄膜的晶化程度进一步增加。当温度增加至180 °C时，在52.6度处出现微弱的面心立方和斜六方结构混合峰，这表明GST薄膜在该条件下沉积时，已经有部分材料开始从面心立方结构向更稳定的斜六方结构转化。沉积温度为230 °C时，在26度和52.6度处的面心立方和斜六方结构的混合峰明显增强，而且在41度处同时出现了非常弱的斜六方结构峰，由此可见，大部分的面心立方峰转化为斜六方结构。沉积温度升高至260 °C后，其它峰强度基本维持不变，仅仅41度处的斜六方结构峰略有增强，说明温度在230 °C时，GST薄膜基本上已经形成比较稳定的斜六方晶态结构。



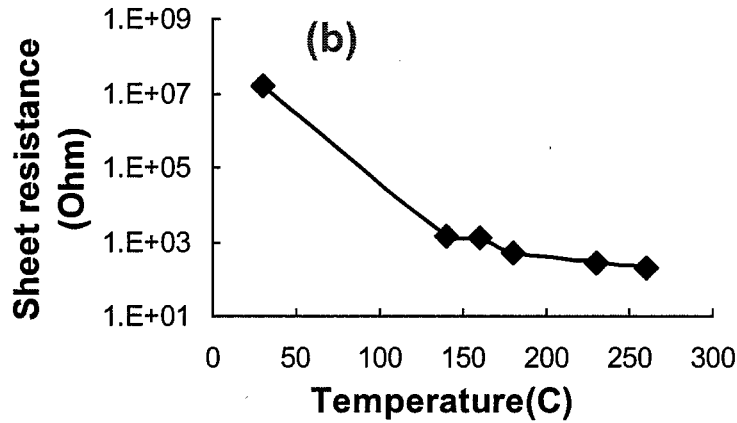


图 3.23 不同热板温度条件下, (a)GST薄膜的电阻率-温度曲线和(b)薄膜沉积态电阻率

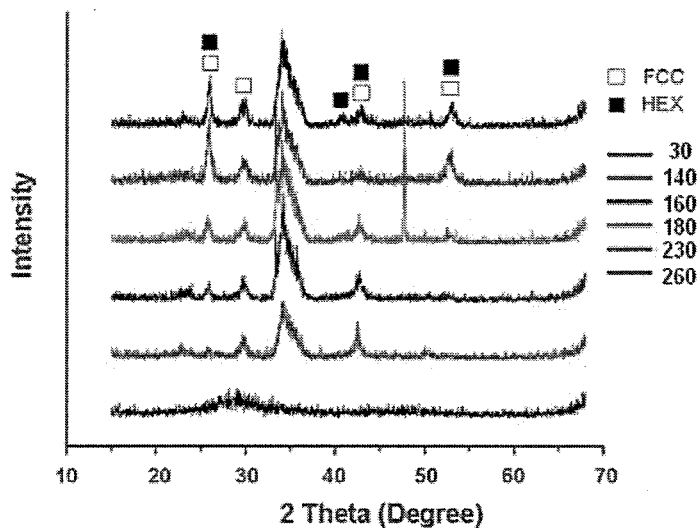


图 3.24 不同热板温度条件下, GST薄膜的晶体结构

3.2.3 工艺集成

图3.25是在平板硅片上, 比较室温沉积和230 °C热板沉积薄膜的黏附性。由图(a)中可以看出, 室温沉积的GST薄膜在经过后续的热工艺过程后, 薄膜边缘出现脱附现象。而在图(b)中, 230 °C热板沉积的GST则没有脱附。如图(c)-(d)所示, 在SEM的截面图也可以看到类似的现象。这主要是因为, 室温下沉积的GST薄膜在后续热工艺过程中, 非晶相向晶相转变会导致GST薄膜的体积发生了7~8 %的收缩。GST薄膜的体积收缩会在GST与二氧化硅界面处产生较大的应力, 在应力的作用下, GST薄膜很容易从基底上脱附。而在230 °C的热板上沉积GST薄膜时, 薄膜基本上处于稳定的斜六方晶体结构, 所以即使在后续的热过程中薄膜体积也不会再发生明显收缩, 薄膜没有发生脱附的现象。

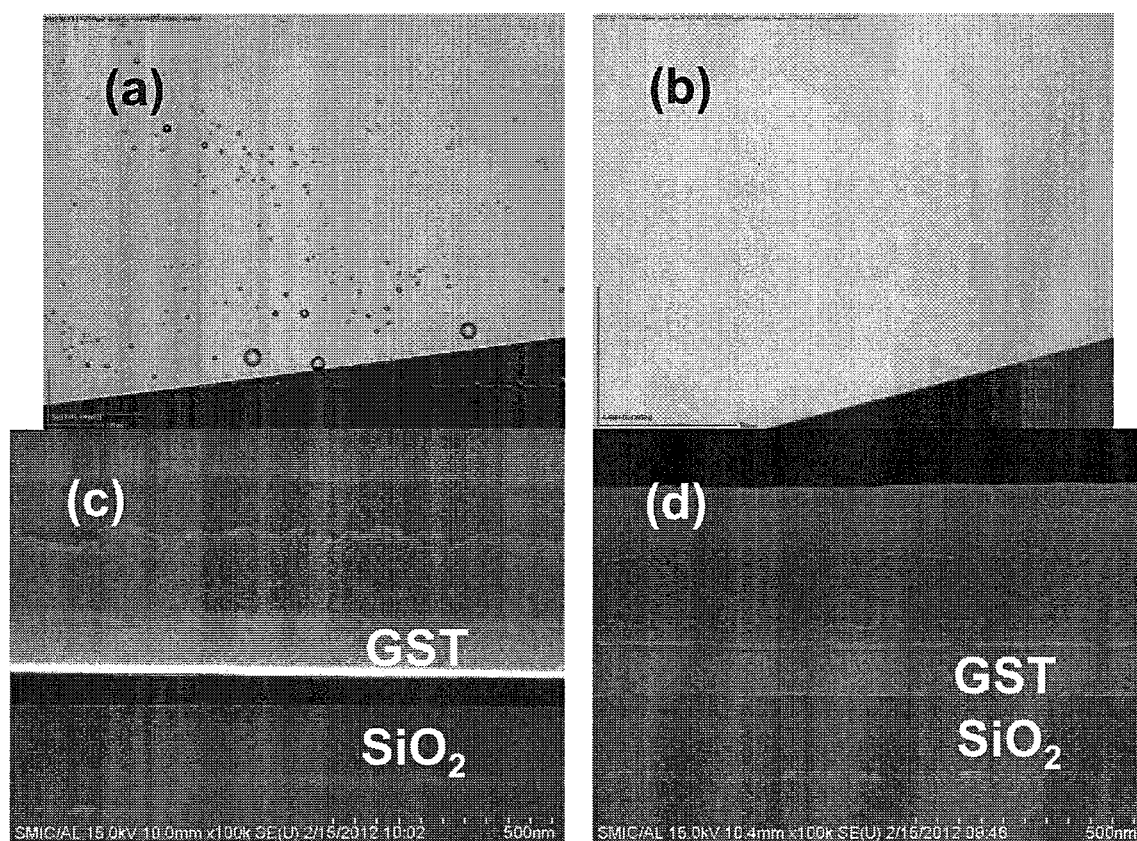


图 3.25 在平板硅片上，比较GST薄膜的黏附性，用放大镜表征薄膜表面(a)室温沉积和(b)230 °C热板沉积，SEM表征薄膜截面(c)室温沉积和(d)230 °C热板沉积

图3.26是在图形硅片上，对比GST薄膜经过热过程后截面的对比。从图(a)中可以看出，经过热过程后，在GST薄膜与下电极之间，因为GST材料的收缩而出现了空洞，从而导致器件断开而不能正常工作。而在图(b)中，230 °C沉积的GST薄膜基本上没有发现体积收缩，所以上下电极之间连接良好^[98]。

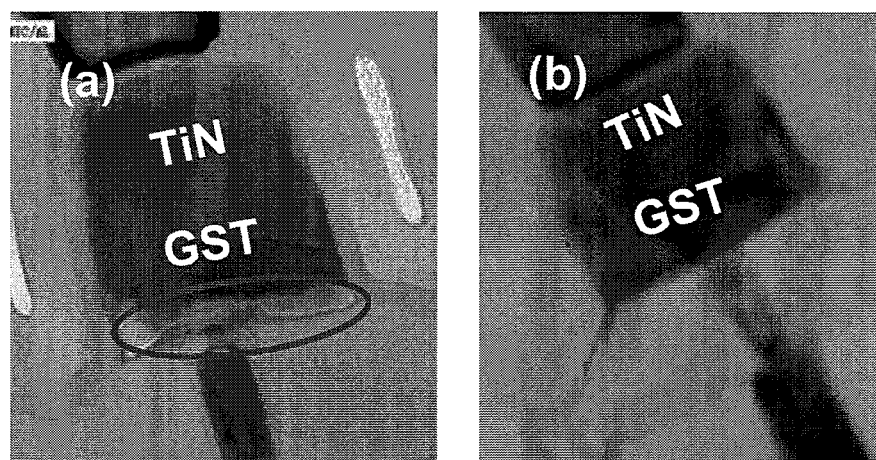


图 3.26 在图形硅片上，GST薄膜经过热过程后TEM截面对比：(a)室温沉积和(b)230 °C沉积

由此看见, GST 的加温沉积工艺可以有效地解决因 GST 体积收缩而出现的器件断开问题, 为相变存储器的制备提供了解决方案。

3.2.4 GST 沉积过程中温度的控制

在 PVD 工艺中, 为了保证沉积薄膜与基底之间良好的界面, 以防止薄膜在后续工艺过程中出现脱附或其它问题, 一般在薄膜沉积前需要对硅片表面加热, 以去除吸附在硅片表面的水汽和部分有机化合物。而相变材料对温度非常敏感, 在不同温度条件下沉积的 GST 薄膜, 其晶相和薄膜性质都有比较大的差异。所以, 研究薄膜沉积过程中温度变化的控制以及对 GST 薄膜的影响显得非常重要。

图 3.27 是在不同的工艺条件下, 研究热过程对室温沉积的 GST 薄膜表面晶粒的影响。由图(a)可以看出, 经过 280 °C 的热过程后, 如果硅片没有经过冷却, 那么硅片在沉积过程中依然处于较高的温度, 所以沉积的 GST 薄膜表面出现明显的结晶现象。而在图(b)-(d)中, 在高温去水汽工艺后, 在真空腔体内, 分别往硅片表面吹氩气冷却 5 min 和 20 min, GST 薄膜的表面晶粒与没有经历任何热过程的样品晶粒大小相当。也就是说, 经过高温去水汽工艺以后, 只要对硅片表面冷却 5 min 就可以使硅片表面冷却至室温条件, 而不会对在室温下的沉积工艺造成任何影响。

图 3.28 是在不同的工艺条件下, 研究热过程对 180 °C 沉积的 GST 薄膜表面晶粒的影响。由图(a)-(d)可以看出, 沉积的 GST 薄膜表面晶粒大小相当, 这说明如果在 180 °C 热板温度下沉积的 GST 薄膜基本上不受前面高温去水汽工艺的影响, 所以, 当需要在热板温度高于 180 °C 条件下沉积 GST 薄膜的时候, 不需要在高温去水汽工艺后增加一个长时间的冷却过程, 这样可以在不影响沉积薄膜性质的基础上有效地提高硅片的产出效率。

图 3.29 在不同工艺条件下, 薄膜表面的反射率的表征。由图中可以看出, 室温沉积工艺中, 如果高温去水汽工艺后没有冷却过程, 沉积出的薄膜表面反射率会升高至 57.16 %, 这说明部分非晶相已经转化成晶态相。在经过 5 min 的冷却工艺后, 薄膜的反射率与没有任何高温过程的沉积薄膜基本一致。也就是说 5 min 的冷却工艺可以使硅片表面的温度在薄膜沉积前有效地冷却至室温。而在 180 °C 沉积温度下, 采用各种不同的工艺沉积的 GST 薄膜的反射率相当, 也就是说, 高温去水汽工艺对薄膜沉积基本没有影响。这与薄膜表面俯视图上得到的数据相吻合。

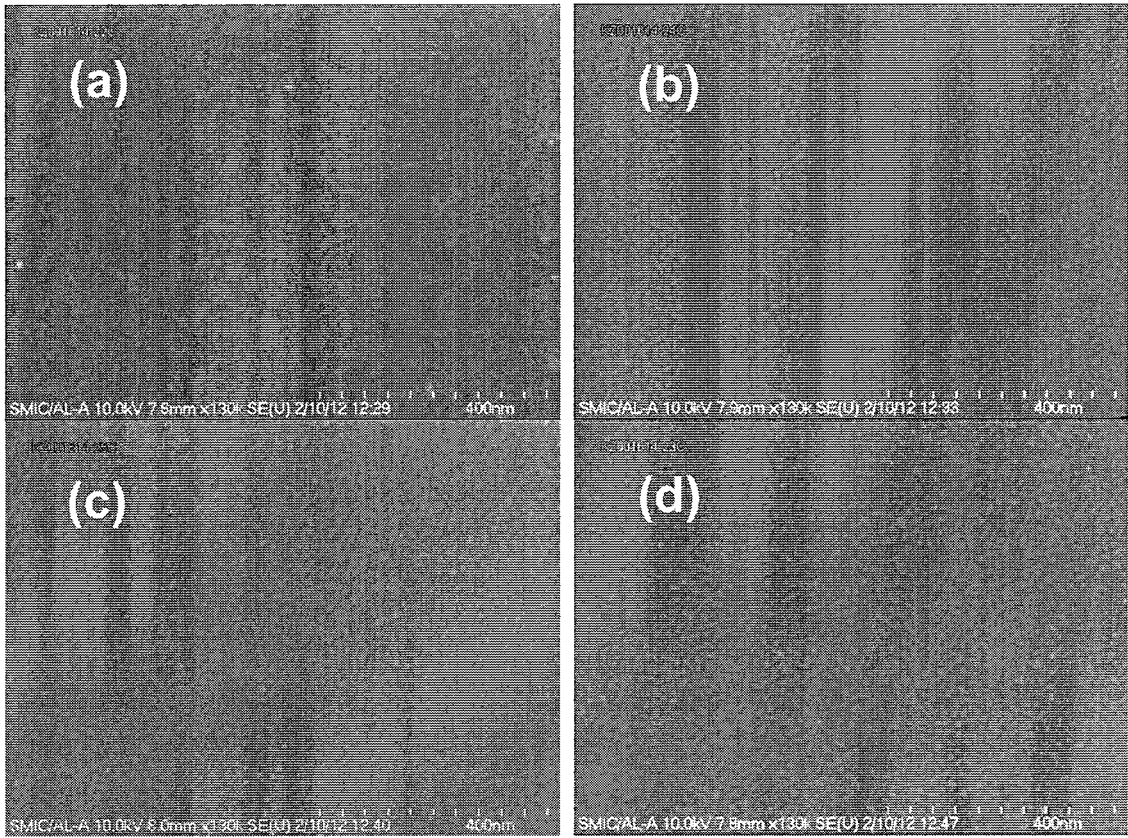
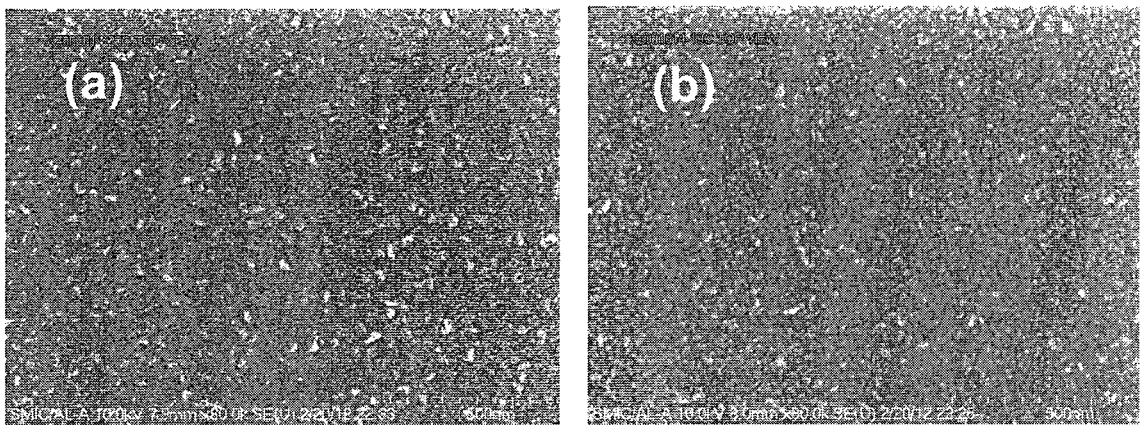


图 3.27 经历过不同工艺条件后，室温沉积的 GST 薄膜表面俯视图，(a)280 °C 去水汽且没有冷却，(b)280 °C 去水汽后冷却 5 min，(c)280 °C 去水汽后冷却 20 min 和 (d) 沉积前没有经历任何热工艺过程



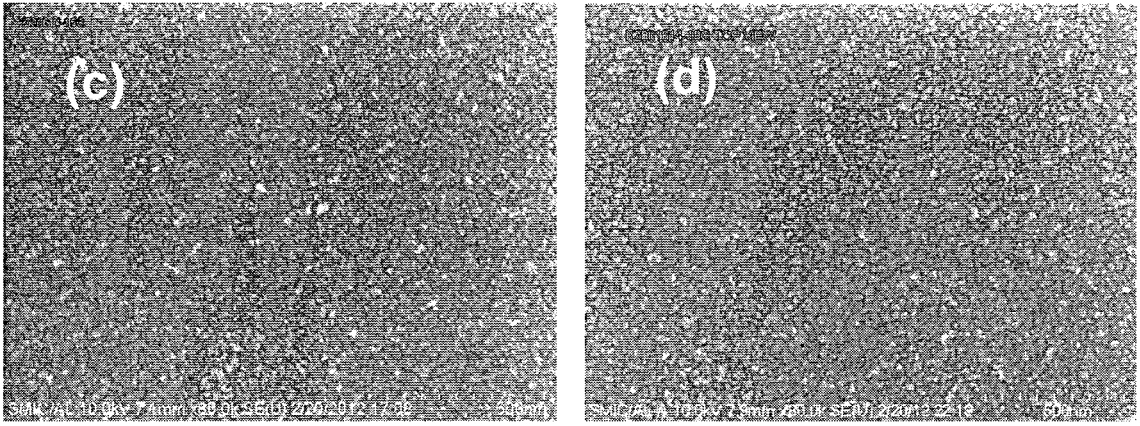


图 3.28 经历过不同工艺条件后, 180 °C沉积的GST薄膜表面俯视图, (a)280 °C去水汽且没有冷却, (b)280 °C去水汽后冷却5 min, (c)280 °C去水汽后冷却20 min和(d)沉积前没有经历任何热工艺过程

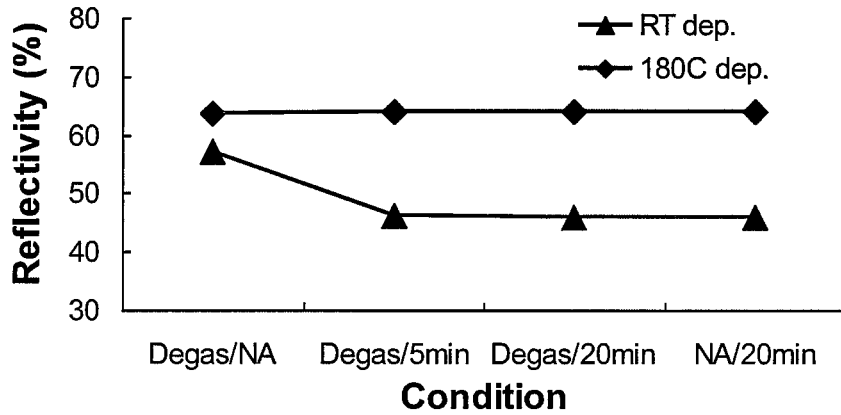


图 3.29 在不同工艺条件下, 薄膜表面的反射率的对比

图3.30是在不同工艺条件下, 对室温沉积的GST薄膜电阻率-温度曲线的表征和比较。由图中可以看出, 没有经历任何热过程、经历过高温去水汽工艺过程并冷却至少 5 min后的薄膜的三条曲线基本吻合。而高温去水汽工艺后, 不经过冷却直接沉积的薄膜的初始电阻远小于其它条件下沉积薄膜的电阻率。进一步验证了: 在高温去水汽工艺后, 如果没有增加至少5 min的氩气冷却, 薄膜就会发生部分结晶现象。

因此, 对室温沉积的GST工艺, 在高温去水汽工艺后需要增加至少 5 min的氩气冷却, 这样沉积出的薄膜才能保证在室温条件下沉积。而对热板温度高于180 °C的高温沉积工艺, 在经历高温去水汽工艺后, 基本不需要额外增加冷却工艺。

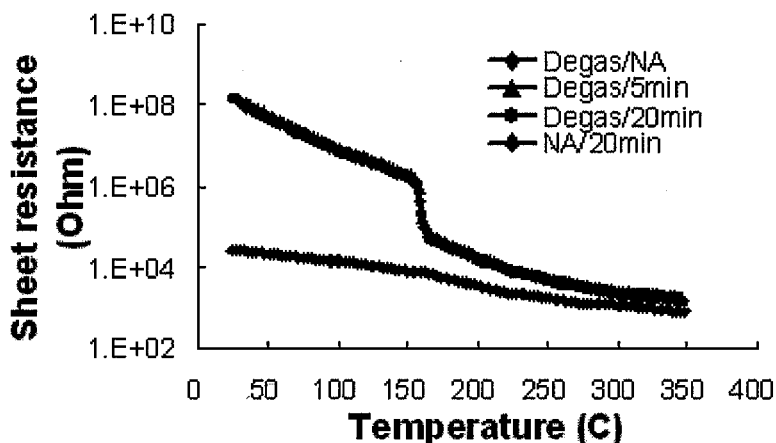


图 3.30 在不同工艺条件下，室温沉积的GST薄膜电阻率-温度曲线的比较

3.2.5 本节小结

本节研究了在不同热板温度条件下，生长的GST薄膜的性质。将热板温度为230 °C与常温条件下生长的薄膜比较，在经过工艺集成后，热板沉积薄膜没有发现剥落和明显的收缩。此外，还研究了不同的硅片温度在不同热板工艺条件下，沉积薄膜的性质差异，从而优化了从去水气腔体中出来后的冷却工艺。

3.3 GST 纳米孔洞填充工艺开发和工程化

引言

对相变存储材料的沉积来说，传统的PVD工艺具有薄膜致密、纯度高、组分控制好等优点，然而，其孔洞填充能力比较差。而CVD和ALD工艺的孔洞填充能力较强，但薄膜质量较差、纯度控制不好、组分稳定性和可调整性较差，目前还没有达到工程化^[72-77]。

图3.31是使用ALD方法制备的GST薄膜的质量表征。由图(a)可以看出，在平板硅片上沉积的GST薄膜晶粒较大、表面较粗糙，而且GST和基底之间的界面结合不是很好。如图(b)中所示，GST很好地填充了50 nm孔径深宽比为5:1的纳米小孔，具有很强的填充能力。但是，如图(c)中所示，由于其薄膜致密度较差，经过CMP抛光后，GST薄膜受到抛光液的侵蚀而形成了比较大的空洞。

为了能够充分利用PVD薄膜质量较好等的优点，同时通过新工艺开发，提高其纳米小孔的填充能力，我们采用了沉积-刻蚀-沉积的工艺方法^[71,100]。

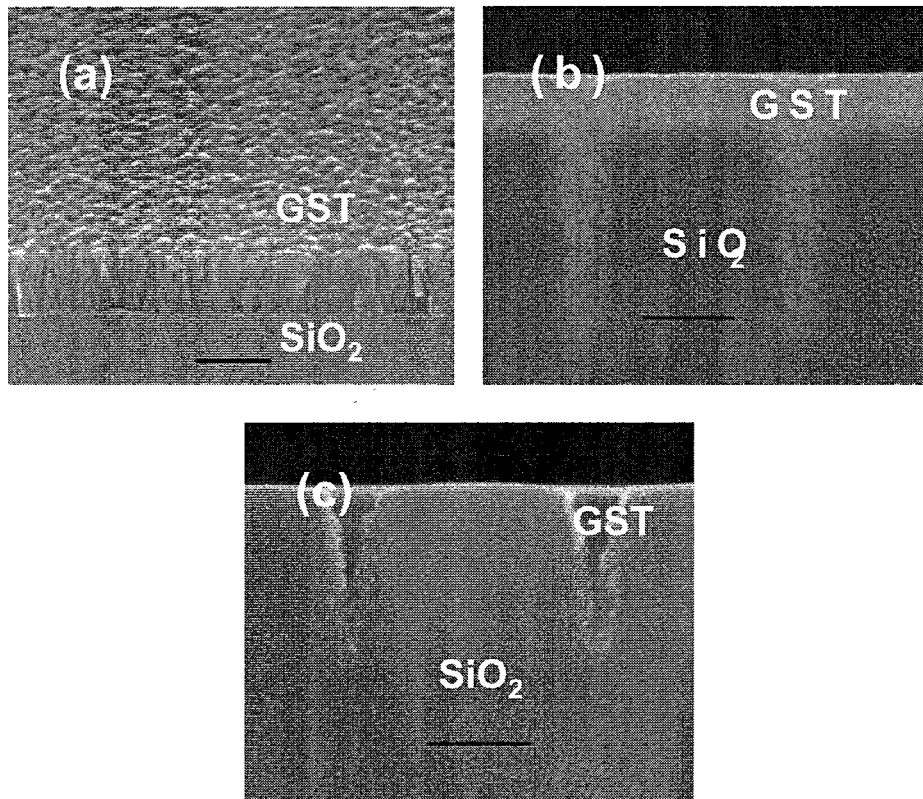


图 3.31 ALD方法沉积的GST薄膜，(a)平板上沉积的GST薄膜的俯视图，(b)填充后的孔洞截面形貌和(c)CMP抛光后的截面形貌

3.3.1 试验简介

在室温条件下，利用300 mm的PVD平台，系统本底真空优于 $5E-6$ Pa。GST薄膜的沉积工艺采用磁控溅射的方法，采用脉冲直流功率源，GST(2,2,5)合金靶作为溅射源。GST薄膜的刻蚀采用射频功率源，频率为13.56 MHz。沉积和刻蚀工艺过程所用的溅射气体皆为氩气。在溅射沉积过程中，采用经过工艺参数优化的沉积条件：功率300 W和氩气流量为20 sccm。填充小孔前，在平板硅片上分别测量GST薄膜的沉积速率、均匀性和刻蚀速率，以验证各工艺的稳定性。采用沉积-刻蚀-沉积的工艺进行小孔填充的工艺开发。采用的小孔尺寸分别为：30 nm孔径深宽比为1:1和7 nm深宽比为1.5:1。采用TEM对孔洞填充效果进行表征。采用SEM中自带的EDX功能对沉积在小孔内的GST薄膜的组分进行表征。在温度可控的真空腔体中，对沉积-刻蚀-沉积(DED)生长的GST的电阻率进行原位加热测试，得到其电阻-温度关系(R-T)。通过对小孔填充工艺条件的优化，满足了在40nm技术节点上对小孔填充的工程化要求。

3.3.2 单项沉积和刻蚀工艺表征

图 3.32 是在平板硅片上 SiO₂ 薄膜的刻蚀工艺表征。由图(a)-(b)中可以看出, SiO₂ 薄膜在沉积后和刻蚀后的厚度分布规律基本相似, 硅片中心厚度略薄, 左侧边缘比较厚, 但总体厚度均匀性很好, 分别为 0.66 %和 0.73 %。如图(c)中所示, 硅片左上角 SiO₂ 的刻蚀速率略低, 而在中心点处略高, 但在整个硅片上均匀性较好, 其非均匀率约为 4.99 %。

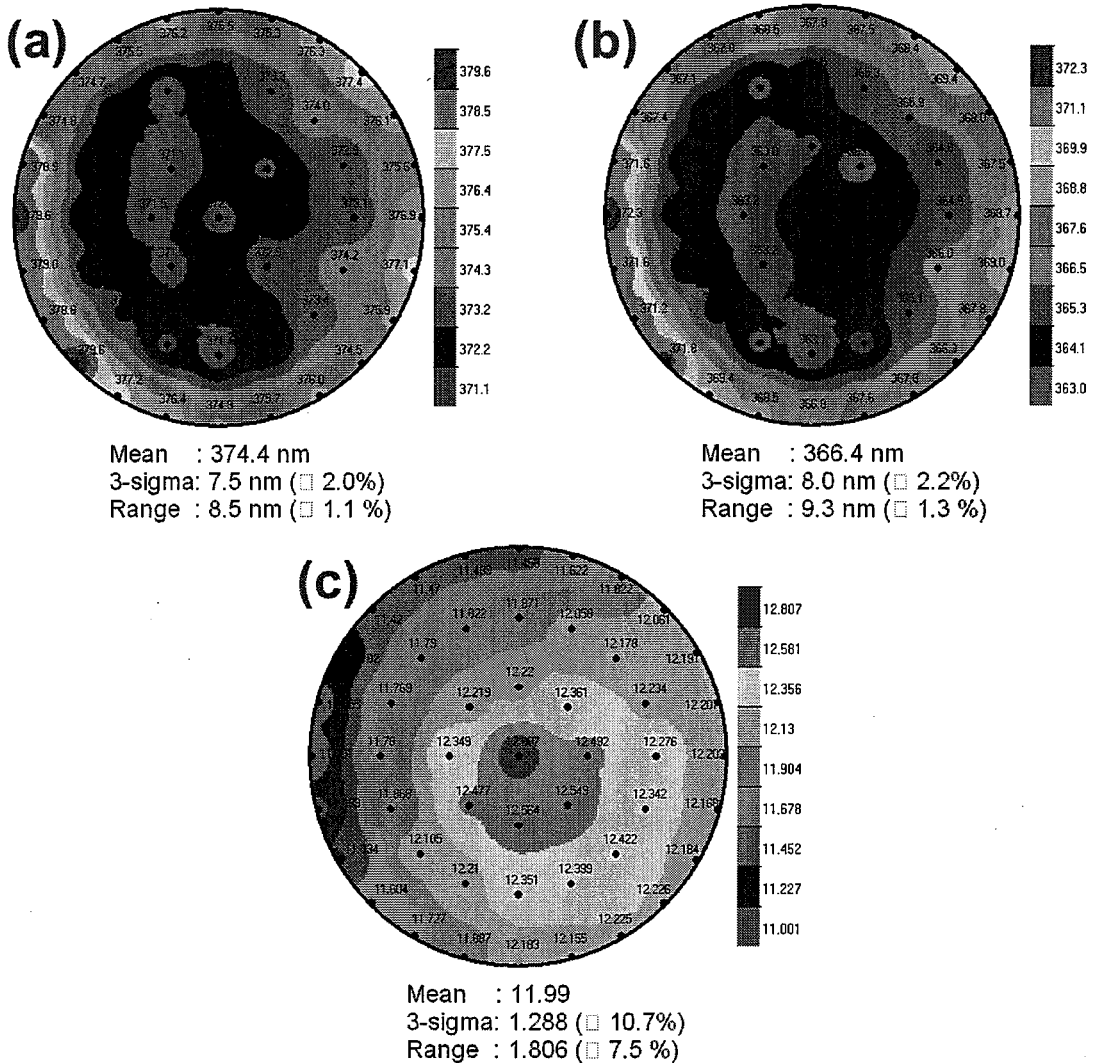


图 3.32 SiO₂ 薄膜的刻蚀工艺表征, (a)刻蚀前, (b)刻蚀后和(c)刻蚀速率的分布图

图 3.33 是在平板硅片上 GST 薄膜的刻蚀工艺表征。由图(a)-(b)可以看出, 薄膜沉积后, 中心点比边缘点略高, 其均匀性大约为 5 %左右。刻蚀后的形貌与刻蚀前相似。如图(c)中所示, GST 薄膜的刻蚀速率中心点略高, 左上边缘处的刻蚀速率略低, 基本上与 SiO₂ 的刻蚀速度分布图相吻合。

图 3.34 是从刻蚀的 15 片 GST 的硅片中抽取 5 片来验证 GST 刻蚀工艺的稳定性, 包括刻蚀速率和刻蚀的均匀性。由图(a)中可以看出, GST 薄膜的刻蚀速度约为

92.52 nm/min, 片与片之间的重复性比较好。如图(b)中所示, GST 薄膜的刻蚀非均匀性 6.84 %。

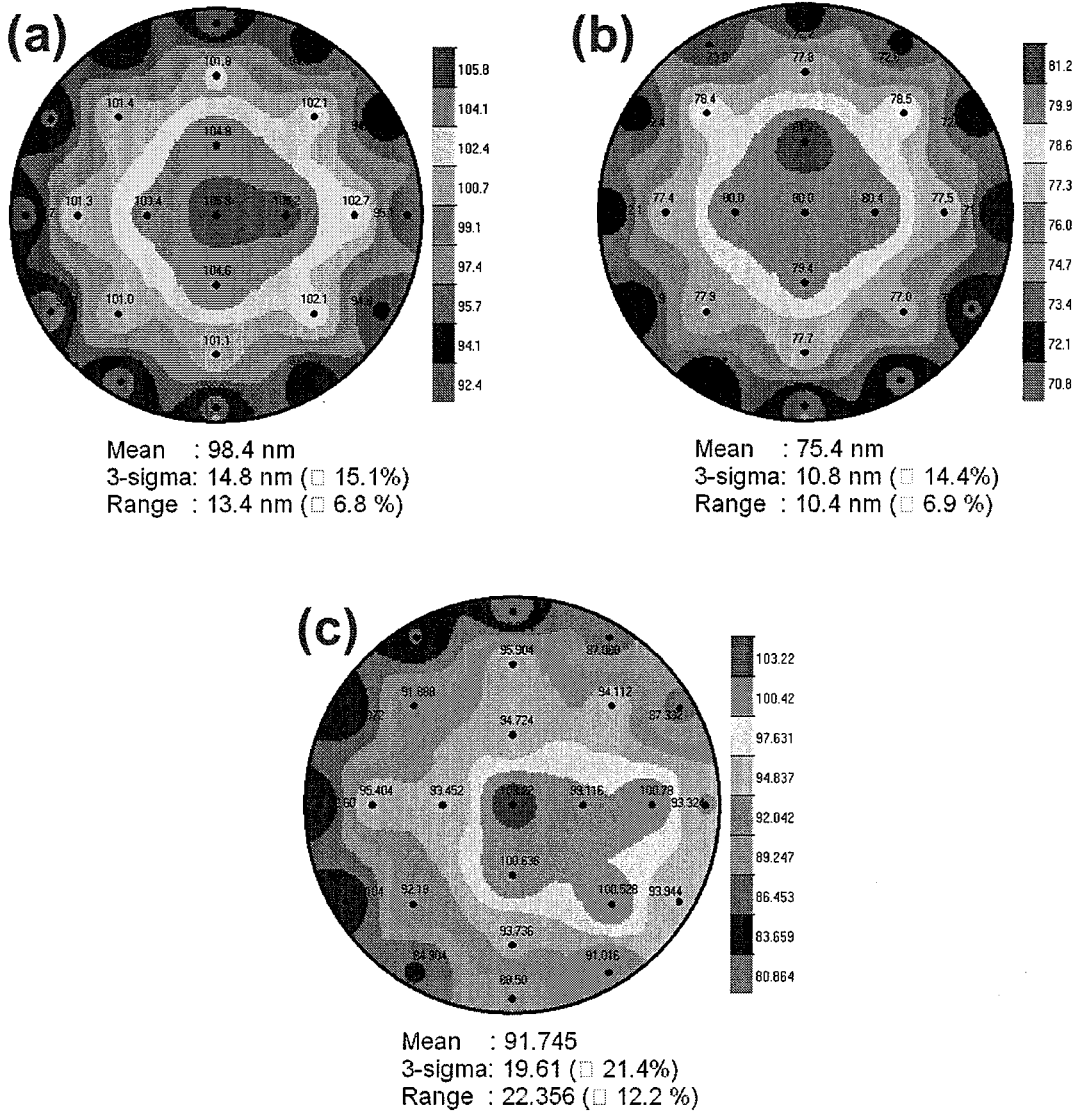


图 3.33 GST 薄膜的刻蚀工艺表征, (a)刻蚀前, (b)刻蚀后和(c)刻蚀速率的分布图

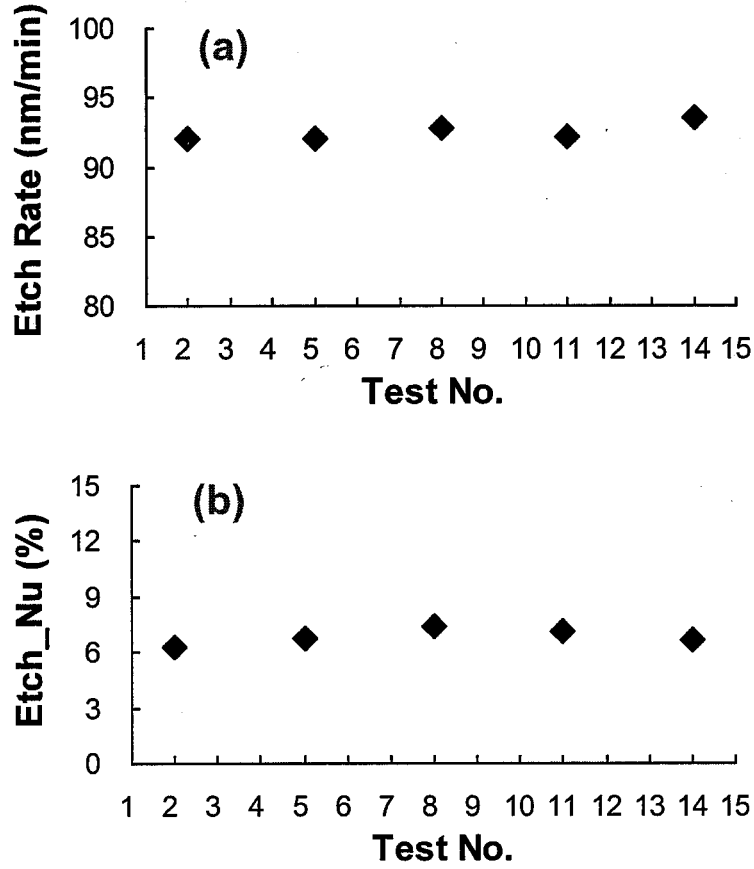
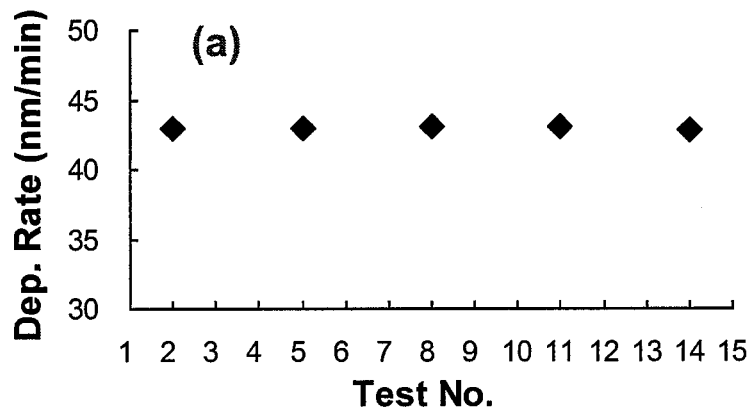


图 3.34 平板硅片上 GST 薄膜刻蚀工艺的稳定性表征, (a)刻蚀速率和(b)刻蚀的均匀性

图 3.35 是从沉积的 15 片 GST 的硅片中抽取 5 片来验证沉积工艺的稳定性, 包括沉积速率和厚度均匀性。由图(a)中可以看出, GST 薄膜的沉积速率约为 43.02 nm/min, 片与片之间的差异率仅为 0.26 %, 沉积速率非常稳定。如图(b)中所示, 薄膜的厚度非均匀性约为 5.31 %, 且比较稳定, 满足工程化的要求。



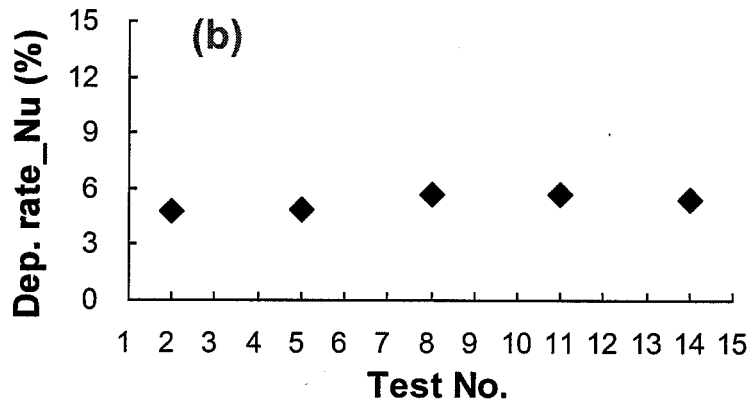
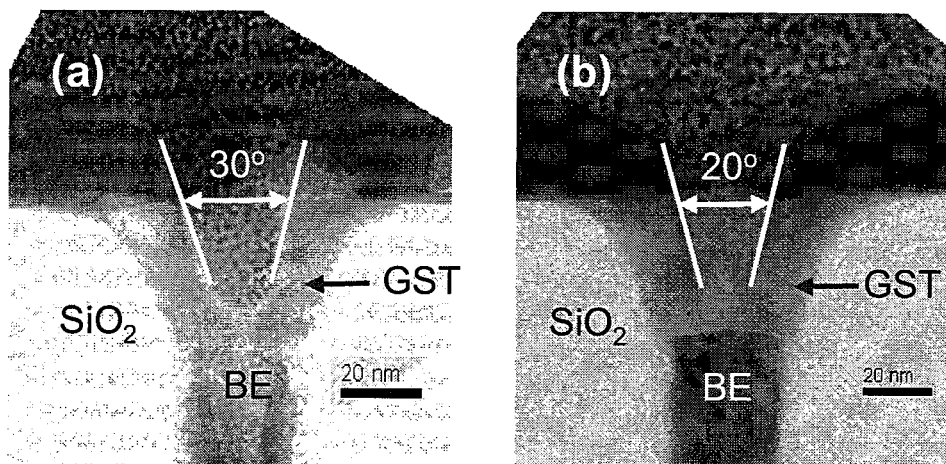


图 3.35 平板硅片上 GST 薄膜沉积工艺的稳定性表征, (a)沉积速率和(b)沉积厚度的均匀性

3.3.3 DED 纳米填充工艺的开发

3.3.3.1 纳米小孔的 DED 填充工艺(30 nm 孔径和深宽比为 1:1)

图 3.36 是经过部分 GST 填充后, 薄膜在孔径和深宽比分别为 30 nm 和 1:1 的孔洞中的形貌表征和对比。从图(a)中可以看出, 经过单步 28 nm 的 GST 薄膜沉积后, 孔洞的台阶覆盖率为 32%。同时, 孔洞口部的 GST 厚度明显增加, 这样的孔洞形貌使后续沉积的 GST 往孔洞底部的填充变得更加困难。在这种情况下, 即使继续增加 GST 的沉积厚度, 也无法将孔洞完全填满。如图(b)-(d)中所示, 经过 30%, 50%和 70%的一个周期的 DED 工艺以后, 随着刻蚀量的增加, 孔壁的倾斜度和孔洞底部的 GST 厚度同时逐渐增加, 使孔洞中 GST 的形貌得到改善, 对后续的 GST 沉积步骤来说, 溅射的 GST 原子更加容易沉积入孔洞底部。



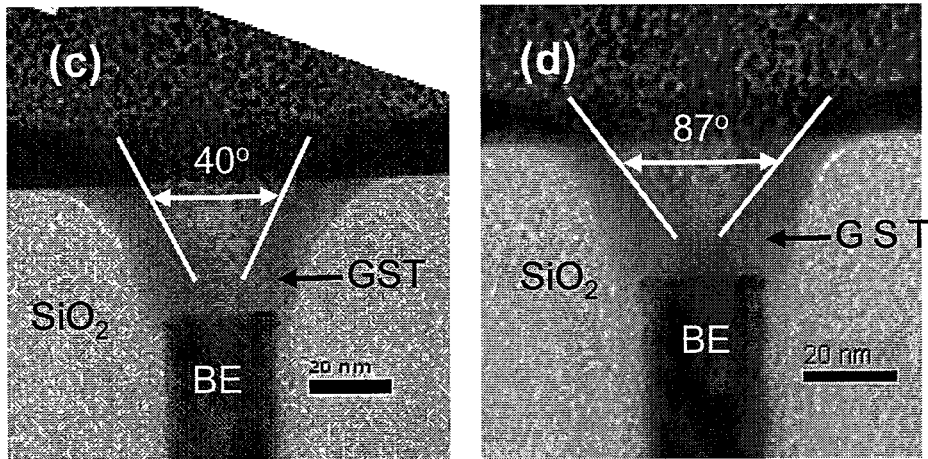
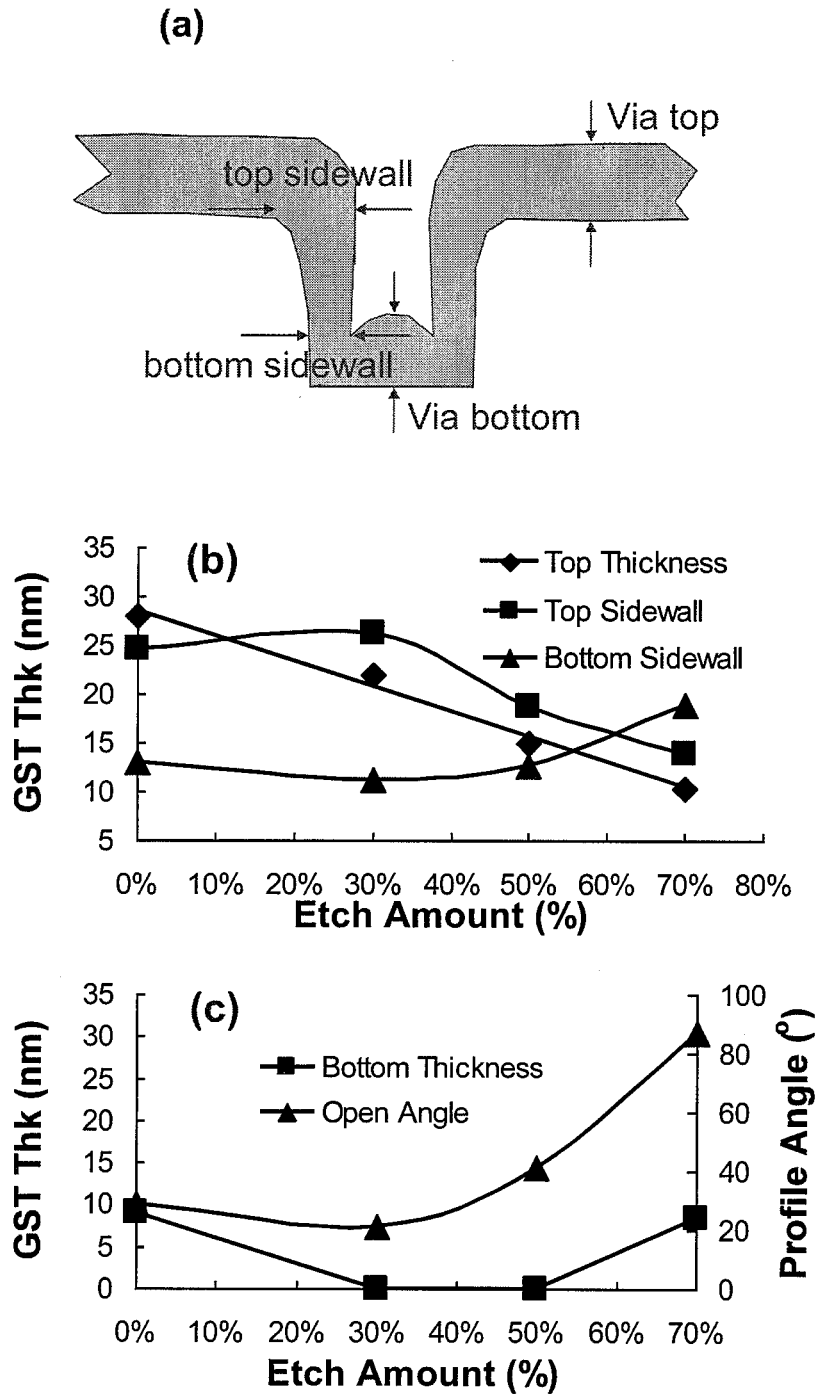


图 3.36 部分填充后，GST 的形貌，(a)单步沉积 28 nm 和一个周期不同刻蚀量的 DED 工艺 (b)30%，(c)50%和(d)70%

图 3.37 中主要是讨论经过一个周期的 DED 工艺后，孔洞内 GST 形貌的变化情况，基于形貌变化进行 DED 的填充机理研究。如图(a)中所示，是传统 PVD 工艺孔洞填充时的台阶覆盖形貌的示意图。一般来说，在做 PVD 薄膜沉积时，孔口部位生长速度最快，沉积在孔口的原子很容易把孔洞堵住，从而，在后续的沉积过程中，从靶材上溅射出的材料很难填入到孔洞底部。这也是为什么传统 PVD 工艺的台阶覆盖率比较差的原因。由图(b)中可以看出，孔洞顶部的 GST 薄膜的厚度随着刻蚀百分比的增加而呈线性减少。而孔口侧壁处的厚度经过 30% 的刻蚀以后，先从 24.7 nm 增加到 26.2 nm，然后迅速减少到 18.7 nm，当刻蚀量增加到 70% 时，空口侧壁 GST 的厚度将小至 13.9 nm。这样的变化说明刻蚀量的增加有助于打开沉积在孔口处的 GST 薄膜，从而使 GST 的形貌更有利于填充。孔洞底部侧壁的厚度总体来说，是随着刻蚀量的增加而增加，也就是说，刻蚀量增加的过程中，侧壁不断有原子沉积。由图(c)中可以看出，孔洞底部的 GST 薄膜材料经过 30% 的刻蚀工序以后完全被去除，而当从刻蚀量增加到 70% 以后，底部厚度迅速提升。与此同时，孔口的倾斜度也随着刻蚀量从 30% 到 70% 增加而变大 3.14 倍。所以，最后得到的 GST 的形貌是底部填充而孔口打开，对后续 GST 的填充来说非常有利。图(d)中所示，之所以能够通过刻蚀工序非常有效地改善 GST 的形貌，是因为在刻蚀过程中产生了再沉积现象。孔口的 GST 原子被氩离子轰击出来，反溅到孔洞靠近底部的侧壁上。随着刻蚀量的增加，孔口处已经被打开，且 GST 原子大部分会被反溅到孔洞底部，从而使底部的 GST 厚度增加。因此，通过一个周期的 DED 工艺，不同的刻蚀量可以得到不同的 GST 形貌，刻蚀量较大时，得到的形貌更有利于后续 GST 薄膜的填充。在此基础上，利用相同的原理可以增加一个周期的 DED 工艺，预计可以将纳米孔洞完全填满。



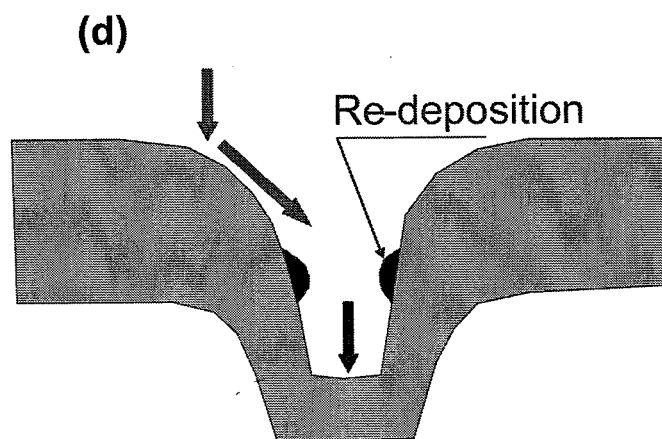
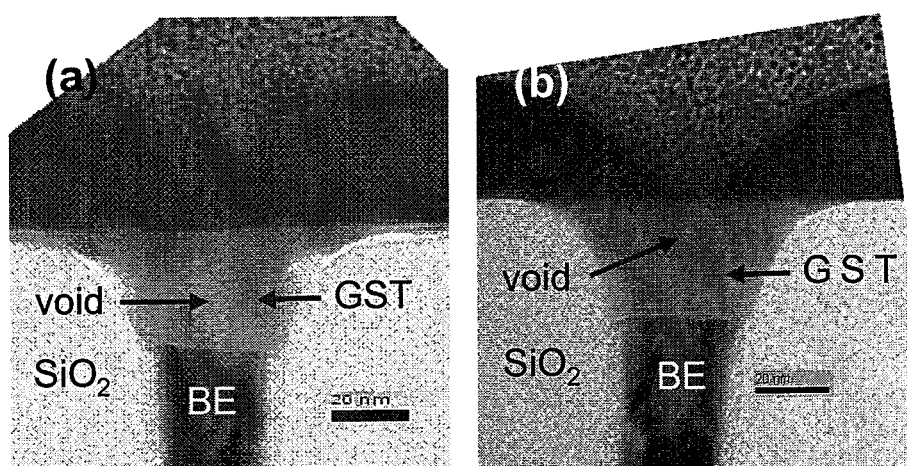


图 3.37 经过不同刻蚀量的一个 DED 周期后，GST 形貌的变化情况，(a)典型的 PVD 的台阶覆盖形貌，(b)孔洞顶部、洞口侧壁和底部侧壁的 GST 厚度，(c)孔洞底部 GST 厚度和侧壁的倾斜角度以及(d)刻蚀过程中再沉积示意图

图 3.38 是两个周期 DED 填充工艺后的形貌对比。如图(a)所示，经过两个周期的 30%刻蚀量的 DED 工艺后，孔洞内出现了一个明显的空洞。孔口基本上已经被 GST 薄膜封住了口，再增加沉积厚度，也不能填满孔洞。在图(b)中，底部填充的 GST 薄膜的厚度明显比 30%时提高了，但是在接近孔口的地方发现一个比较细小的空洞。所以，增加刻蚀量可以提升 GST 的孔洞填充能力，而 50%的刻蚀量还稍嫌不够。由图(c)中可以看出，当刻蚀量增加到 70%以后，孔洞底部已经完全被从孔口处反溅出的 GST 原子填满了，同时还得到比较大的孔口倾斜度，如果在增加 GST 薄膜的沉积厚度，孔洞很容易就被完全填充。如图(d)中所示，在两个周期 DED 工艺后，在表面继续沉积 40 nm 的 GST 薄膜，孔洞被完全填满。因此，我们运用 DED 工艺成功在孔洞尺寸和深宽比分别为 30 nm 和 1:1 的纳米孔洞上实现了无空洞的完全填充。



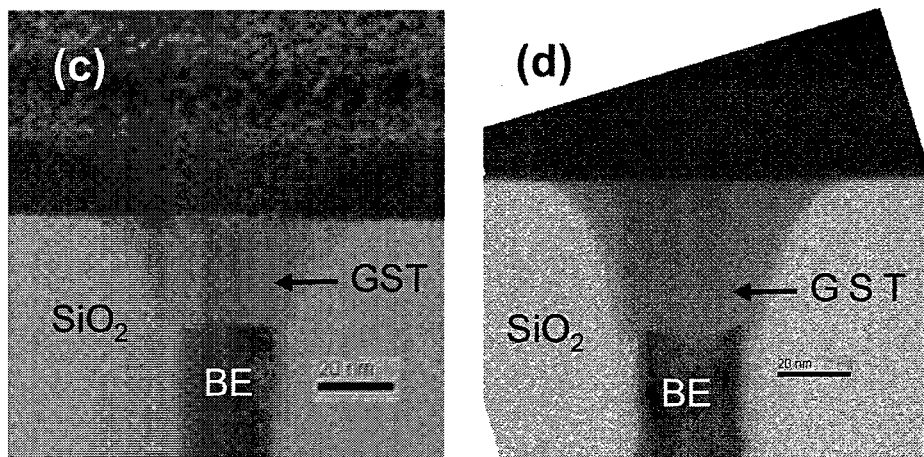


图 3.38 二个周期的 DED 填充工艺后的形貌对比, (a)30%, (b)50%, (c)70%和(d)完全填充后的 GST 形貌

图 3.39 是采用不同的刻蚀量进行两个周期的 DED 填充工艺的工艺窗口验证。由图(a)-(b)中可以看出,在刻蚀量分别为 60%和 70%时,孔洞都可以实现完全填充。而当刻蚀量继续增加到 80%后,在孔洞中央可以发现有一条较小的缝隙。而且,通过图(d)可以看出,经过两个周期刻蚀量为 80%的 DED 工艺以后,孔口处的 GST 薄膜已经完全被刻蚀掉,也就是说,在刻蚀过程中有可能已经有部分二氧化硅原子被反溅到孔洞底部,这样的话,在孔洞内部的 GST 薄膜中会含有部分二氧化硅杂质,这将直接影响到薄膜的相变性质。所以 80%的刻蚀量是不可以使用。综上所述,二个周期的 DED 工艺在刻蚀量为 60%~70%之间都可以满足工程化的要求。

在 DED 纳米填充工艺中,刻蚀过程是通过氩离子对 GST 薄膜进行物理轰击,通过 GST 原子反溅到孔洞底部而实现纳米孔洞的完全填充。所以,在 GST 原子的反溅过程中,小孔内的 GST 材料有可能发生元素组分的偏移,从而导致薄膜相变性能飘移。为了验证 DED 工艺沉积的 GST 薄膜的组分和相变特性,我们采用了 SEM 自带的 EDX 线扫和面扫功能对填充在纳米小孔中的 GST 薄膜组分进行表征,同时,利用电阻率-温度曲线对单步和 DED 沉积的薄膜作对比。

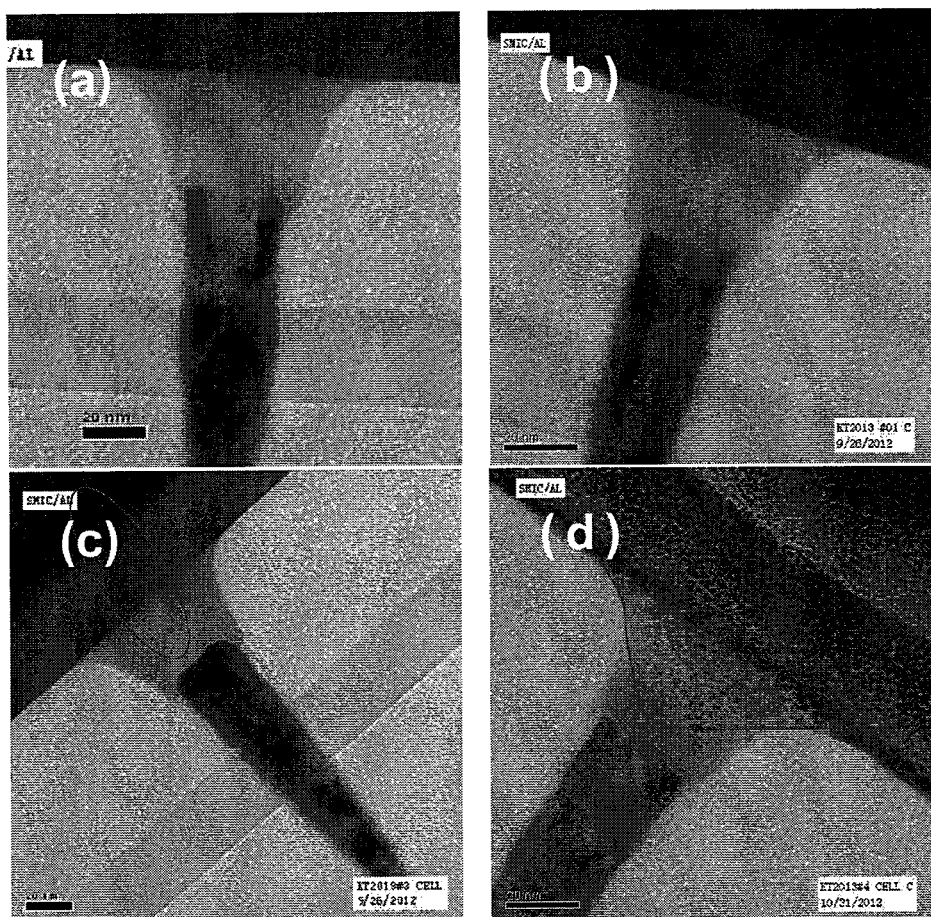


图 3.39 两个周期的 DED 填充工艺后增加 40 nm 的 GST 沉积, 采用不同的刻蚀量检验 DED 的工艺窗口, (a)60%, (b)70%和(c)80%, (d)刻蚀量为 80%的两个 DED 周期后的形貌

图 3.40 是对小孔内的填充的 GST 薄膜进行组分表征, 并与单步沉积的薄膜做对比。由图(a)中可以看出, 孔洞上方和孔洞内分别是单步和 DED 工艺沉积的 GST 薄膜, 利用 EDX 从上到下进行线扫。如图(b)中所示, 沿着线扫方向, GST 中的各元素的组分基本上没有明显的波动, 也就是说, DED 沉积的 GST 薄膜组分与单步沉积薄膜在垂直方向上是相当的。

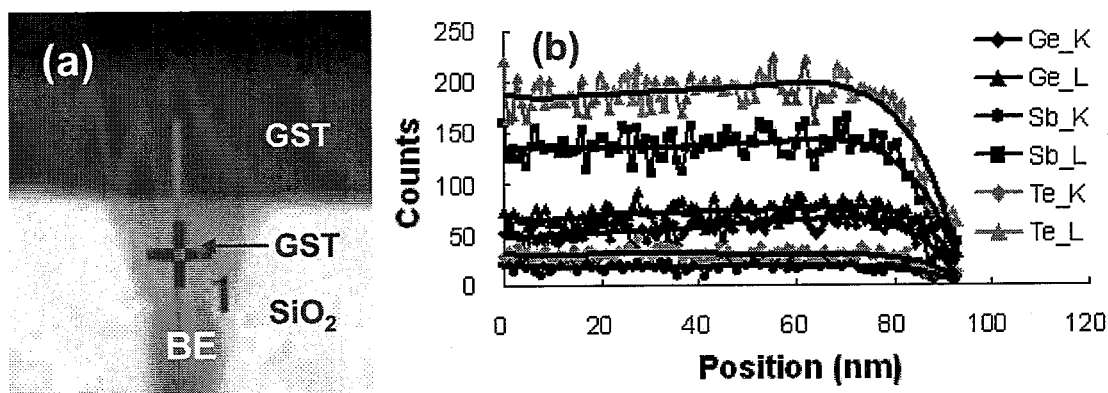
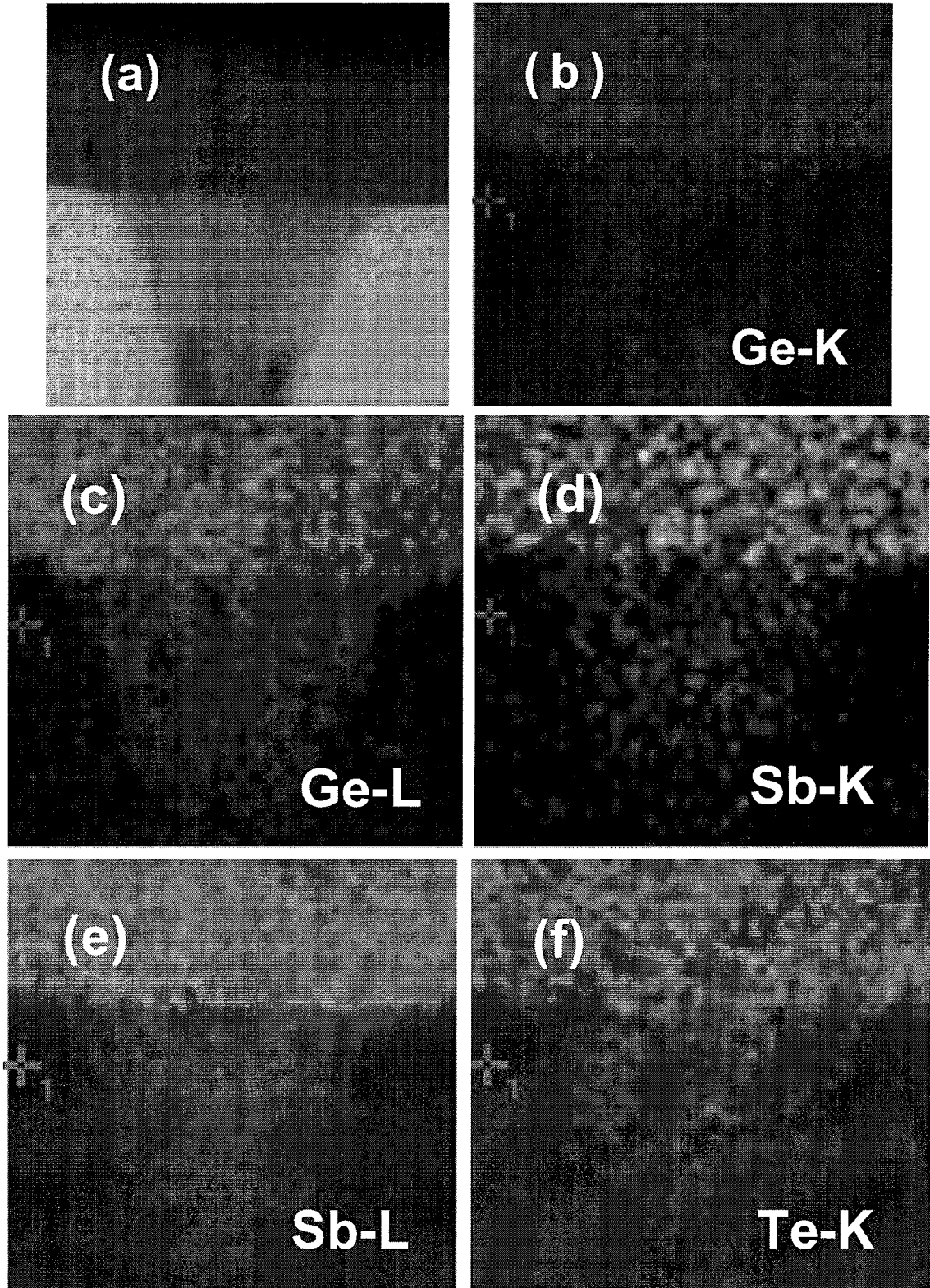


图 3.40 对小孔内的 GST 材料组分表征, (a)线扫示意图, (b)EDX 线扫

图 3.41 是用 DED 工艺实现了完全填充的纳米小孔,利用 EDX 面扫表征小孔中各元素组分分布的均匀性。由图中可以看出,小孔内的各元素的分布比较均匀,没有明显的元素偏析。



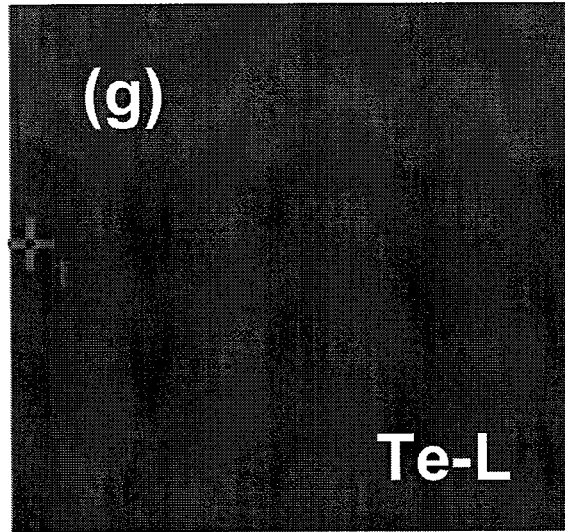


图 3.41 DED 完全填充的小孔的(a)TEM 截面图, GST 薄膜中各元素的组分表征, (b)Ge-K, (c)Ge-L, (d)Sb-K, (e)Sb-L, (f)Te-K 和(g)Te-L

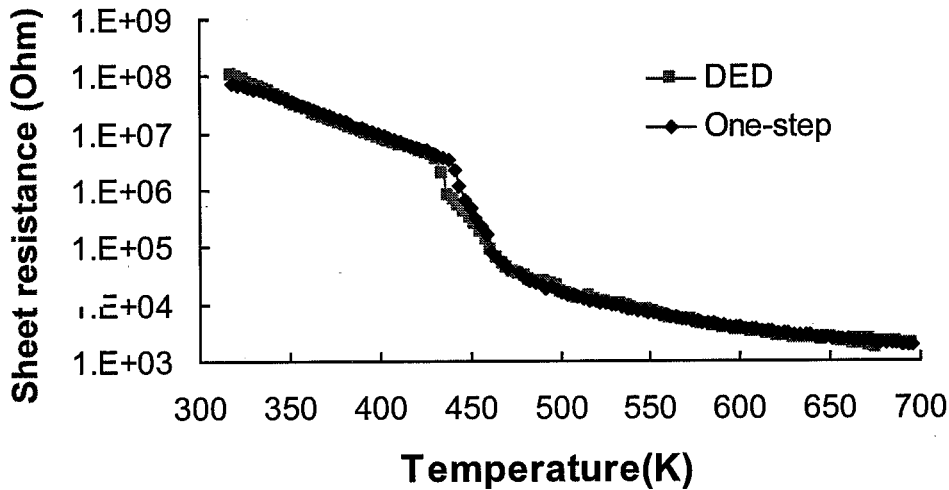


图 3.42 单步和 DED 沉积的 GST 薄膜的电阻率-温度曲线对比

图 3.42 是单步和 DED 工艺沉积的 GST 薄膜的相变特性表征。由图中可以看出, DED 沉积的 GST 薄膜的相变曲线与单步沉积的曲线基本吻合, 也就是说, 两种方法制备的 GST 薄膜的相变特性基本一致。在 DED 工艺的刻蚀过程中, 基本没有明显的组分变化和偏析。

3.3.3.2 纳米小孔的 DED 填充工艺(7 nm 孔径和深宽比为 1.5:1)

图 3.43 是沉积不同 GST 厚度以后, GST 的形貌表征和对比。由图(a)中可以看出, 在底部尺寸为 7 nm 的纳米孔洞上沉积约 21 nm 的薄膜后, 孔洞底部大约只有 7 nm 的 GST 沉积。而孔洞口部已经基本被封住, 因此, 对于尺寸为 7 nm 深度约为

16 nm 的纳米孔洞，单步沉积工艺没有办法实现完全填充。因为孔口的薄膜太厚，如果在该情形下使用刻蚀工艺，也很难将孔口打开。而图(b)中所示，将第一步 GST 薄膜的沉积厚度减少为 15 nm 以后，薄膜底部沉积的 GST 厚度约为 5 nm，而且孔口还没有被 GST 完全封住。如果在该形貌情况下使用氩离子轰击刻蚀，很容易将孔口打开。

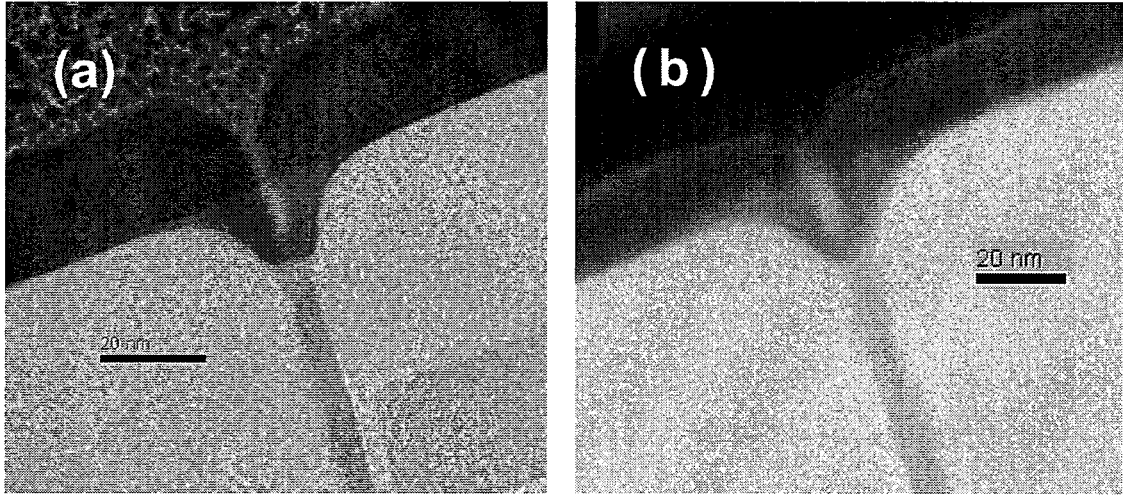
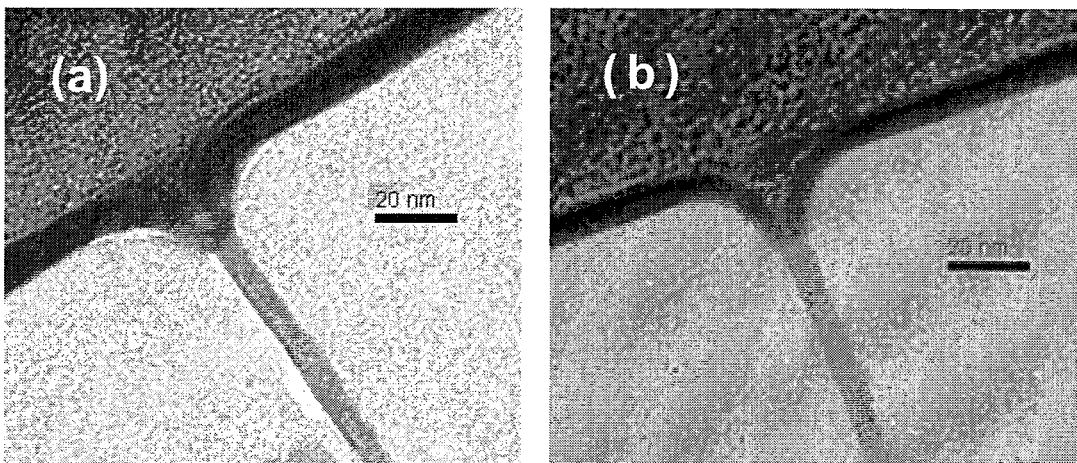


图 3.43 部分沉积后，GST 的 TEM 截面形貌，(a)沉积 21 nm，(b)沉积 15 nm

图 3.44 是在不同的刻蚀量条件下，经过一个周期的 DED 工艺后，GST 形貌的表征和对比。由图(a)中可以看出，经过 30% 的刻蚀后，孔口的侧壁突起有所减小，但仍然存在。所以，孔口依然没有打开，即使继续沉积 GST 薄膜也不能填满孔洞。而图(b)中，将刻蚀量增加到 50% 时，孔口的侧壁突起量已经显著减少，而且底部的 GST 厚度略有增加，约为 8 nm。由图(c)中可以看出，经过 70% 的刻蚀以后，孔口的 GST 薄膜厚度继续减少，而底部的厚度比刻蚀量为 30% 时提高了 230%。该形貌很利于后续实现完全填充。



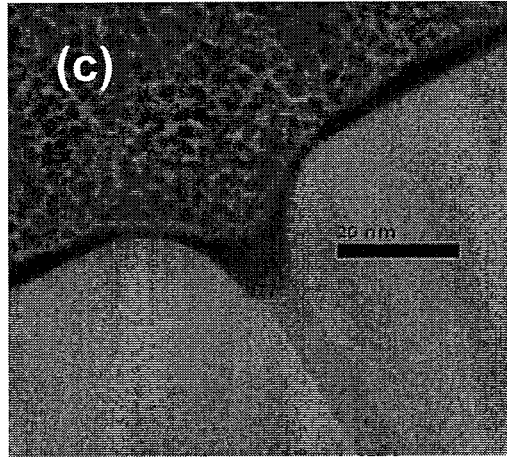


图 3.44 沉积 15 nm 的 GST，使用不同的刻蚀量刻蚀后形貌的表征和对比，(a)30%，(b)50%和 (c)70%

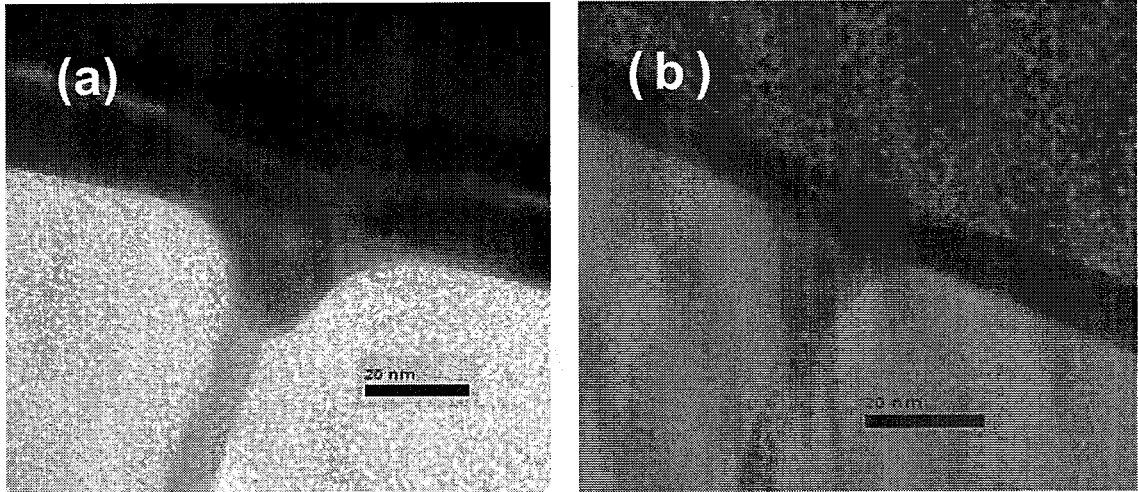


图 3.45 两个周期的 DED 工艺后形貌的表征和对比，分别使用了不同的刻蚀量(a)50%，(b)70%

图 3.45 是采用不同刻蚀量的两个周期 DED 工艺后，对 GST 形貌的表征和比较。由图(a)可以看出，用 50%的刻蚀量，经过两个周期的 DED 以后，小孔没有被完全填满，在孔口处依然有空洞存在。如图(b)中所示，70%刻蚀量后，孔洞已经被完全填充。所以，使用二个周期的 DED 工艺，可以实现在尺寸和深宽比分别为 7 nm 和 1.5:1 的纳米小孔上的完全填充。

图 3.46 是对 7 nm 小孔内的填充的 GST 薄膜进行组分表征，并与单步沉积的薄膜做对比。由图(a)中可以看出，孔洞上方和孔洞内分别是单步和 DED 工艺沉积的 GST 薄膜，利用 EDX 从上到下进行线扫。如图(b)中所示，沿着线扫方向，GST 中的各元素的组分基本上没有明显的波动，也就是说，DED 沉积的 GST 薄膜组分与单步沉积薄膜在垂直方向上比较均匀。

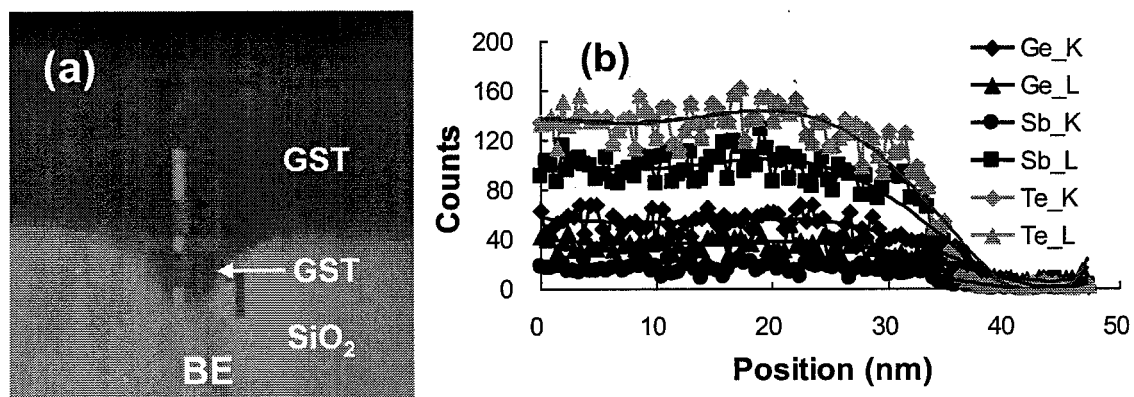
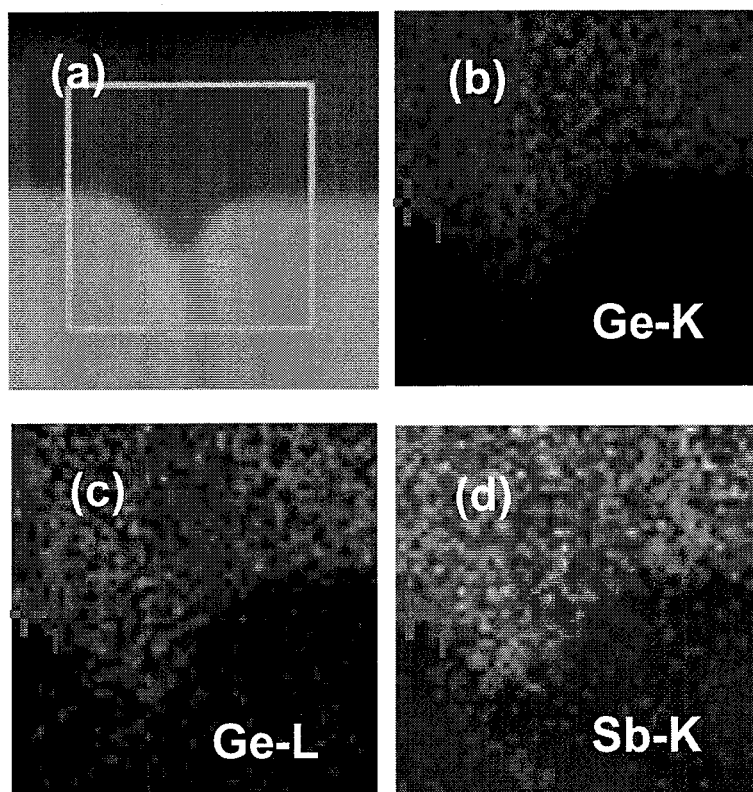


图 3.46 对小孔内的 GST 材料组分表征, (a)线扫示意图, (b)EDX 线扫

图 3.47 是用 DED 工艺实现了完全填充的纳米小孔, 利用 EDX 面扫表征小孔中各元素组分分布的均匀性。由图中可以看出, 小孔内的各元素的分布比较均匀, 没有明显的元素偏析。



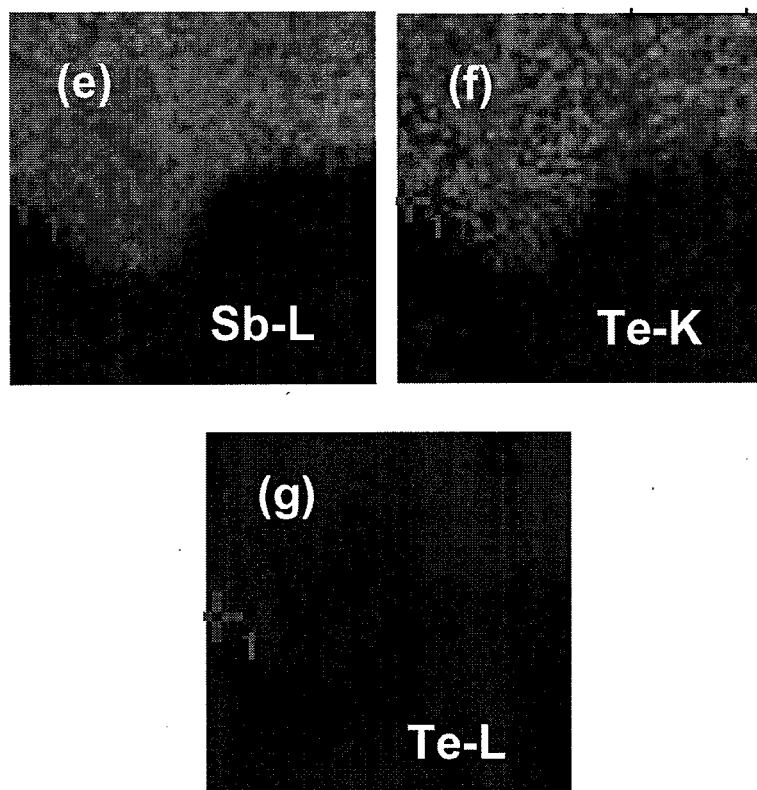


图 3.47 DED 完全填充的小孔的(a)TEM 截面图, GST 薄膜中各元素的组分表征, (b)Ge-K, (c)Ge-L, (d)Sb-K, (e)Sb-L, (f)Te-K 和(g)Te-L

3.3.4 本节小结

在 300mm 的 PVD 平台上, 成功开发出 DED 纳米小孔填充工艺。经过表征, 发现沉积和刻蚀的单步工艺条件的均匀性和稳定性较好。在不同尺寸的纳米小孔上, 通过调整和优化 GST 的沉积厚度和刻蚀量, 成功实现纳米小孔的完全填充, 包括小孔尺寸和深宽比分别为 30 nm 和 1:1、7 nm 和 1.5:1 的纳米孔洞。而且, 通过对小孔内 GST 材料组分的表征、DED 薄膜的电阻率-温度曲线的比较, 证明了材料组分的稳定性和薄膜的相变特性。这种基于 PVD 工艺的 DED 填充方法, 既保证了薄膜的质量, 又提供了很强的纳米小孔填充性能, 为 40 nm 及其以下技术节点的相变器件的制备提供了很好的解决方案。

3.4 本章总结

开发出 GST 的室温沉积工艺, 通过对溅射功率和气体流量的调整, 优化了 GST 的沉积速率、均匀性等薄膜性能; 通过调整热板温度, 开发出晶态 GST 的沉积工艺, 有效地减小了薄膜在后续热过程中的体积收缩, 提高了工艺集成的可靠性。

为了克服传统溅射方法填充能力不足的缺点，开发出沉积-刻蚀-沉积的纳米孔洞填充技术。通过研究不同工艺条件下相变材料在小孔内的填充形貌，发现在刻蚀过程中相变材料的再沉积是填充能力得以提高的主要原因。成功实现了 30 nm 和 7 nm 的小孔填充，孔内的组分均匀，满足 40 nm 及其以下技术节点的要求。

第四章 基于 300 mm 平台的新相变材料工程化

本章主要介绍新型相变材料的工程化,包括 TiSbTe (TST) 和 SiSbTe 材料。进行新材料的开发和工程化,主要出于以下目的:

1、解决 GST 材料相变特性的缺陷。GST 作为相变材料已经被深入地研究了很多年,材料性质和相变机理比较清楚。然而, GST 材料存在一些缺点。比如相变温度较低,非晶态材料的稳定性较差;晶态阻值较低,RESET 时的功耗较高;GST 从非晶态到晶态转化过程中,材料会产生 7~8%的体积收缩,这对器件的工艺集成和可靠性造成不良影响。

2、自主知识产权的相变材料开发。GST 材料虽然已经被业界认可和量产验证,但知识产权属于国外机构。为了实现相变存储器的完全自主知识产权,需要开发新的相变材料。首先,在实验室进行材料的粗选,然后在 40 纳米工艺平台上,进行工艺开发和工程化,从而实现产、学、研的有机结合。

4.1 TiSbTe 材料的开发和工程化

引言

与 GST 相比较, TST 材料具有较快的相变速度、数据保持力和疲劳特性较好。通过实验室的初步验证, TST 的元素组分为 $Ti_{0.4-0.5}Sb_2Te_3$ 时器件性能比较好。该组分条件下,薄膜的操作窗口更宽、数据保持力更好,本节主要开发 TST 材料制备的工艺,并优化各工艺参数以满足制备相变存储器件的工艺集成要求,从而实现 TST 材料的工程化^[48]。

4.1.1 试验简介

在室温条件下,利用 300 mm 的物理气相沉积平台,采用磁控溅射的方法在 SiO_2/Si (100 晶面)基底上制备 TST 薄膜。系统本底真空优于 $5E-6$ Pa,采用多靶共溅射方法沉积 TST 薄膜: Ti 单质靶和 Sb_2Te_3 合金靶。Ti 靶和 SbTe 靶分别采用射频交流源和直流源进行溅射。用氩气作为溅射气体。在溅射沉积过程中,分别控制两个靶材上加载的功率大小比例,制备出不同组分的 TST 薄膜。采用 SEM 对薄膜截面、表面形貌和均匀性进行表征。AFM 对薄膜表面的粗糙度作表征。采用 SEM 中自带的 EDX 功能表征 TST 薄膜种各元素的原子百分比。在温度可控的真空腔体中,对 TST 的电阻率进行原位加热测试,得到其电阻-温度关系(R-T)。通过对 TST 薄膜沉积时的重要工艺条件的优化,可以提高薄膜沉积的均匀性,实现 TST 材料在 40 nm 技术节点上的

工程化。

4.1.2 TST 薄膜制备工艺初步开发

图 4.1 是在同一个腔体中，相同的气体压力条件下，Ti、SbTe 和 TST 的沉积速率。由图(a)中可以看出，Ti 的沉积速率随着功率的增加而呈线性增加。在射频功率条件下，Ti 的溅射速率很低，即使在 500W 时，溅射速率仅仅为 2.13 nm/min。而从图(b)中所示，在直流溅射功率条件下，SbTe 的溅射速率远远高于 Ti。在 500W 时，SbTe 的溅射速率为 44.01 nm/min，是相同条件下 Ti 的溅射功率的 20 余倍。正因为如此，在大的 SbTe 功率条件下，TST 的溅射功率几乎与 SbTe 的曲线重合。只有在较低的低 SbTe 功率条件下，TST 的溅射速率才略比 SbTe 高。因此，为了保证 TST 薄膜具有较快的沉积速率，尽可能选取功率比较大的条件附近调节 Ti/SbTe 之间功率的比例来实现对薄膜组分的调整。

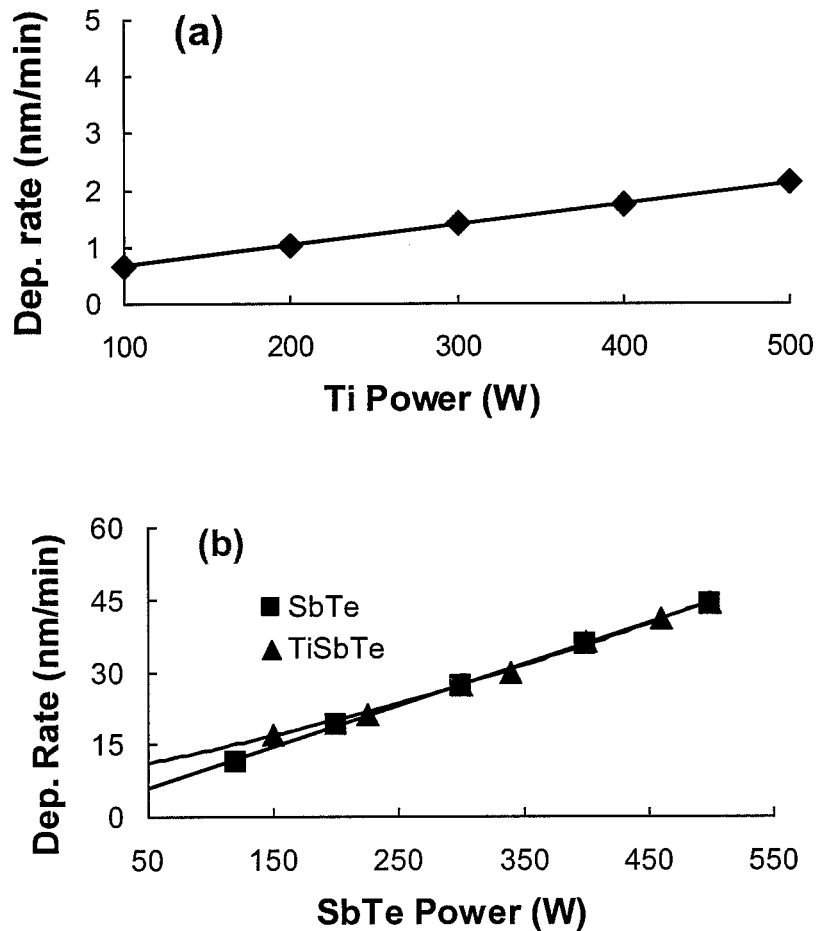


图 4.1 在多靶溅射腔体中，(a)不同功率条件下 Ti 的沉积速率，(b)薄膜在不同 SbTe 溅射功率条件下，SbTe 和 TST(Ti 功率为 500W)的沉积速率

图 4.2 是不同 Ti 含量的 TST 薄膜与 SbTe 薄膜的横截面形貌对比。由图(a)可以看出,在室温条件下沉积的 SbTe 薄膜截面比较粗糙,已经有明显的晶粒生成。而图(b)-(e)中,晶粒比较小,而且相互之间晶粒大小相当。横截面比较光滑,与基底的结合良好,没有脱附现象。当往 SbTe 材料中溅射 Ti 元素以后, Ti 原子分布在 SbTe 的晶界上,可以有效地抑制 SbTe 晶粒的生长,所以, (b)-(e)的横截面看上去比(a)中的 SbTe 晶粒细小、表面光滑。而(b)-(e)中晶粒大小相当,有可能是因为 Ti 掺杂浓度都偏高有关。

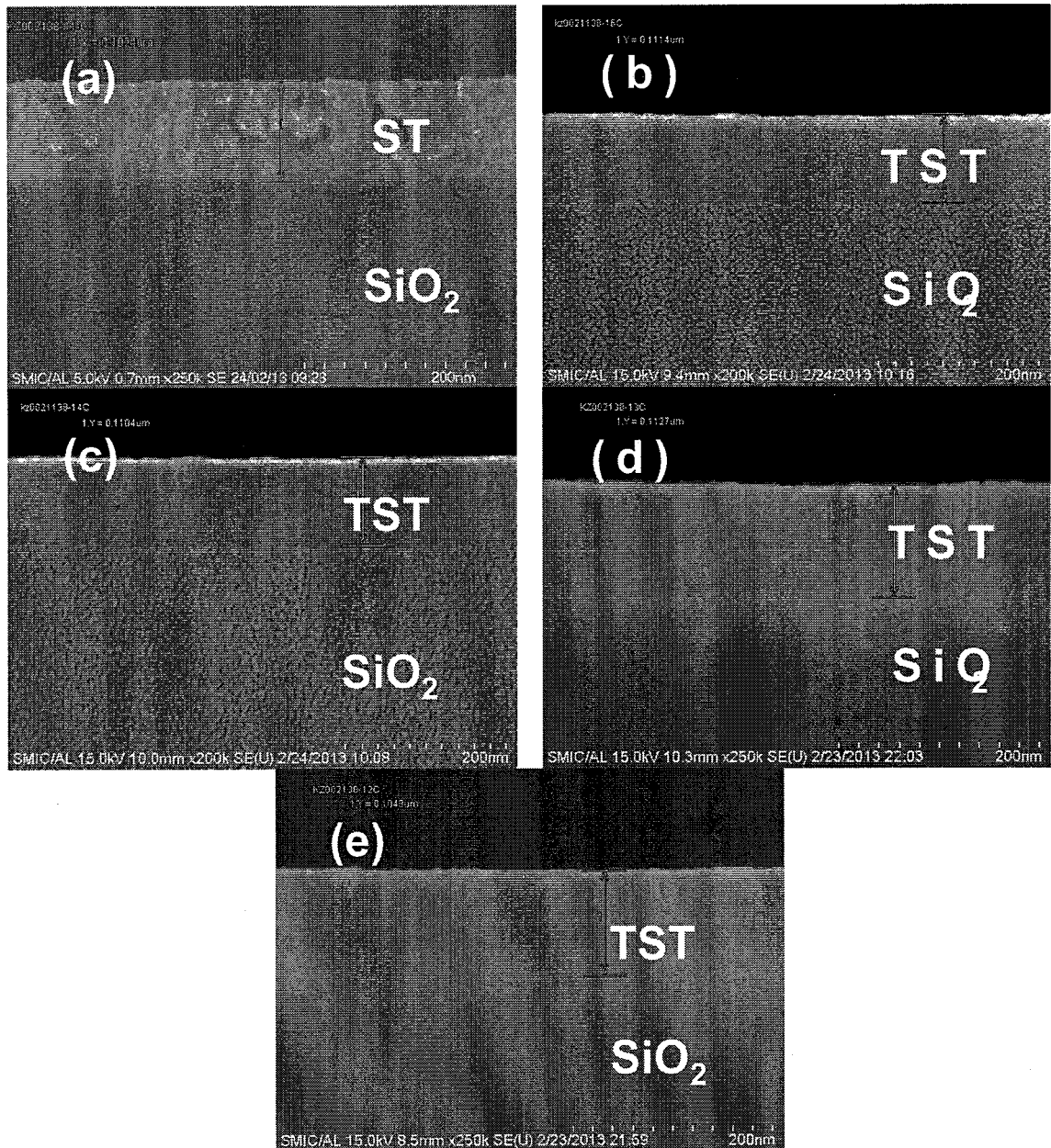


图 4.2 不同 Ti 含量的 TST 薄膜的截面图, (a)SbTe, 在 Ti 的功率为 500W 时, SbTe 的功率分别为(b)340 W, (c)400 W, (d)460 W 和(e)500 W 时的 TST 薄膜

图 4.3 是不同 Ti 含量的 TST 薄膜与 SbTe 薄膜的表面形貌对比。由图(a)可以看出,

SbTe 的表面晶粒比较粗大。而(b)-(e)图中, 晶粒较 SbTe 细小, 而且相互之间几乎没有差别。这与在横截面上看到的现象相吻合。

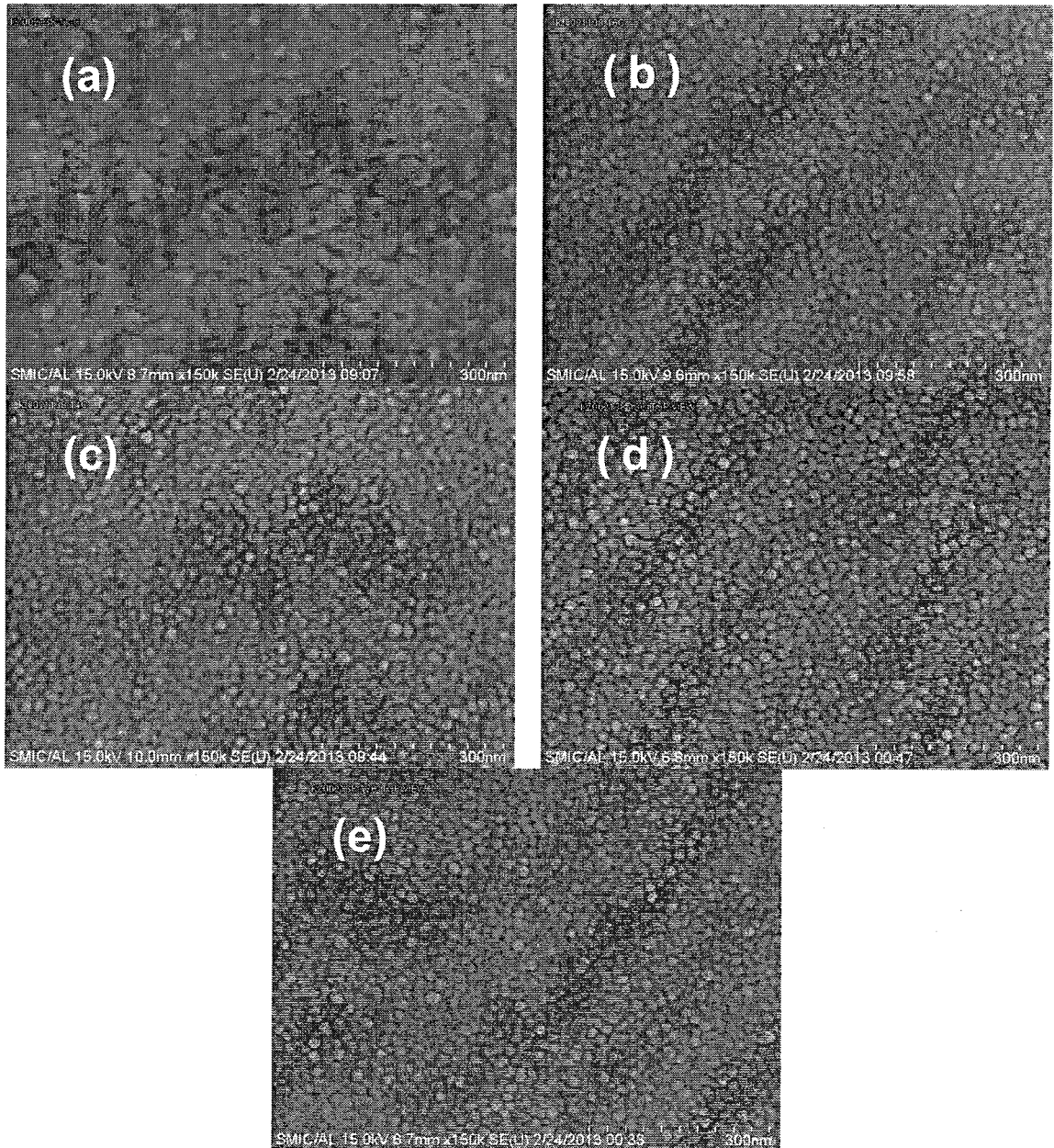


图 4.3 不同 Ti 含量的 TST 薄膜的表面俯视图, (a)SbTe, 在 Ti 的功率为 500W 时, SbTe 的功率分别为(b)340 W, (c)400 W, (d)460 W 和(e)500 W 时的 TST 薄膜

图 4.4 是在不同的 Ti/SbTe 功率比条件下, TST 薄膜沉积速率和薄膜厚度均匀性比较。由图(a)中可以看出, TST 薄膜的沉积速率随着 Ti/SbTe 功率比增加而呈线性减小。因为在相同的气体压力条件下, 加载在 Ti 靶上的功率增加而 SbTe 上的功率相对降低, 而 Ti 的沉积速度比 SbTe 小很多, 所以导致共溅射时的 TST 沉积速率降低。由图(b)所示, Ti/SbTe 功率比增加, 薄膜的厚度均匀性随之变差。在功率比为 1 时,

TST 的非均匀性为 6.21 %，而当功率比增加到 1.47 时，非均匀性增加到 8.21 %。也就是说，随着掺入的 Ti 含量增加，沉积薄膜的厚度均匀性变差。

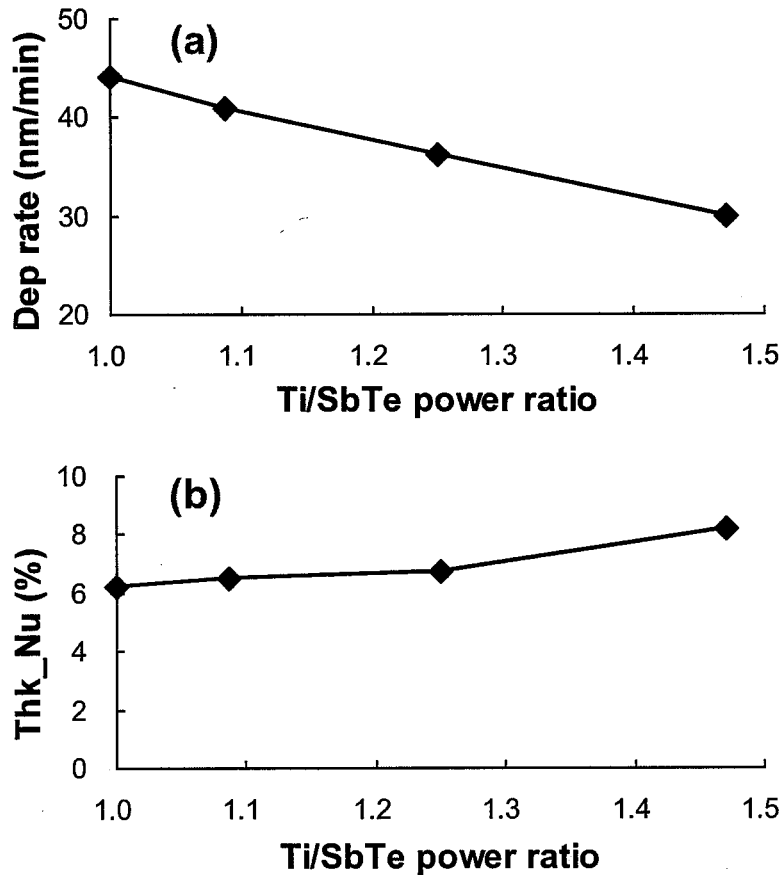


图 4.4 共溅射时，在 Ti 和 SbTe 靶材上加载的功率比不同，薄膜的(a)沉积速率和(b)薄膜的厚度均匀性的表征

图 4.5 是 SbTe 薄膜和不同 Ti 含量的 TST 薄膜表面粗糙度的表征。由图中可以看出，对不同 Ti/SbTe 功率比的共溅射 TST 薄膜，其表面粗糙度基本相当。当功率比大于 1.25 时，粗糙度略有增加。尽管 SbTe 的晶粒比较粗大，但其表面粗糙度仍与 TST 薄膜可比。

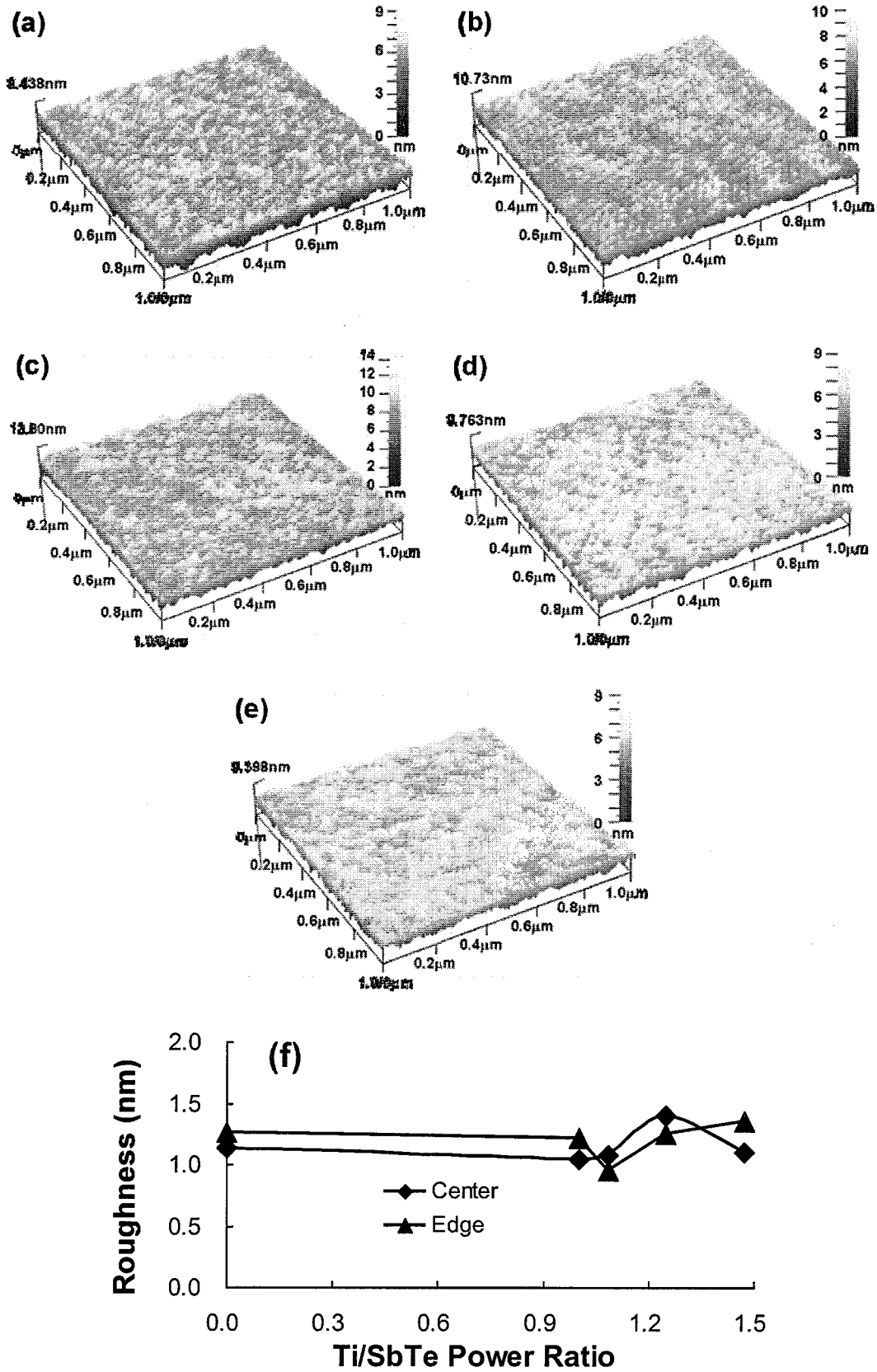


图 4.5 不同薄膜表面粗糙度表征, (a)SbTe, 和不同 Ti/SbTe 功率比的 TST 薄膜, (b)1, (c)1.09, (d)1.25, (e)1.47, (f)粗糙度的对比

图 4.6 是在不同 Ti/SbTe 功率比条件下, TST 中各元素含量的变化趋势。由图(a)中可以看出,当单独作 SbTe 的溅射时,沉积的 SbTe 薄膜的原子含量接近靶材 Sb_2Te_3 。随着 Ti/SbTe 功率比增加, Ti 的原子百分比逐渐增加。同时, Sb 和 Te 的含量单调降低。如图(b)中所示,将 Sb 的原子含量归一为 2 时,可以看出, Ti 元素的原子百分含量从 0.55 上升至 0.80 左右,该含量比目标含量 0.4~0.5 略高。而且,在该条件下,硅片中心点和边缘点之间的含量差别比较大,薄膜的组分均匀性比较差。所以,在下一步的工艺开发中,需要减小 Ti/SbTe 功率比以降低 Ti 的百分含量;此外,需要调整工艺条件(如靶材与硅片之间距离等)以改善薄膜的均匀性。

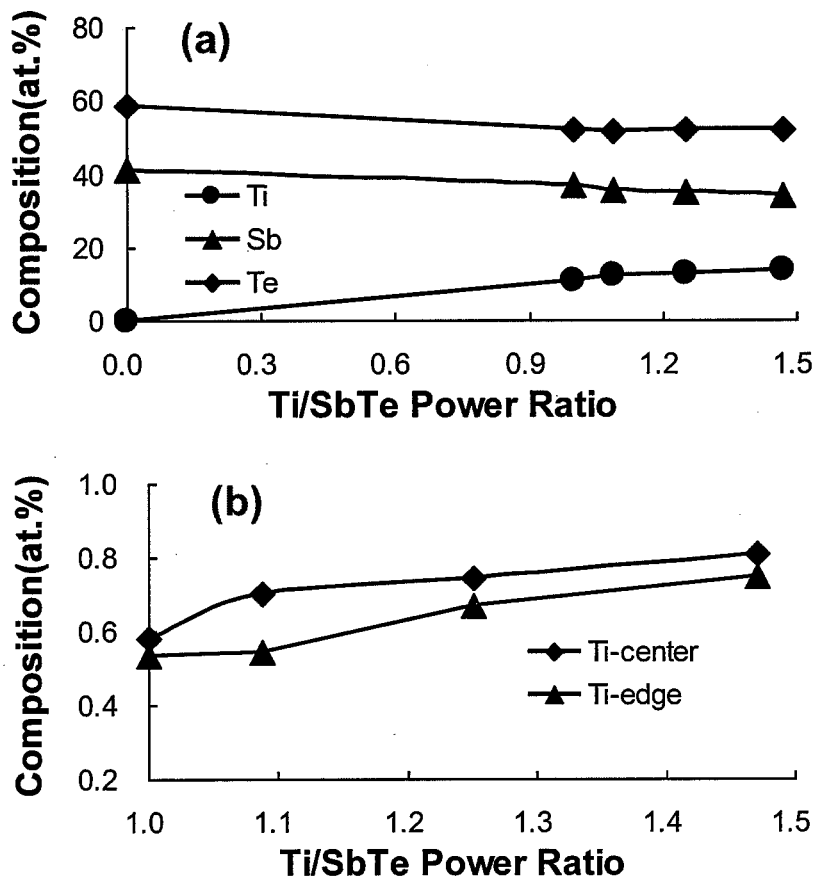


图 4.6 不同 Ti/SbTe 功率比的 TST 薄膜, (a)Ti, Sb 和 Te 的组分变化趋势, (b)将 Sb 的组分归一为 2 时, Ti at.%的变化趋势

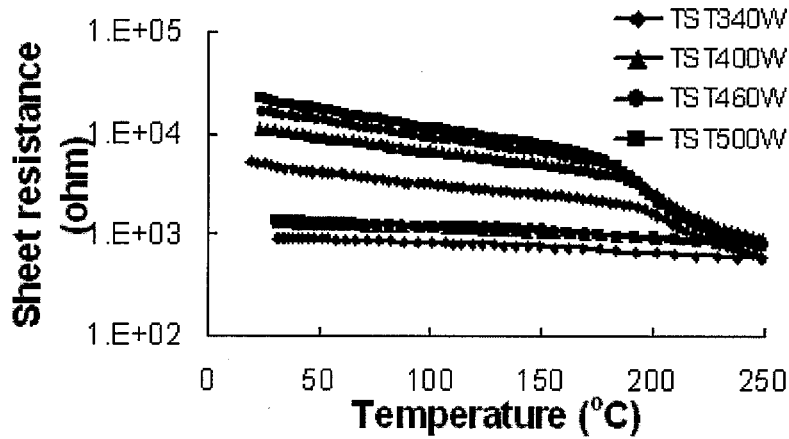


图 4.7 不同 Ti/SbTe 功率比条件下, TST 薄膜的电阻率-温度曲线表征

图 4.7 是不同 Ti 含量的 TST 薄膜的电阻率-温度曲线对比。由图中可以看出, 随着 Ti/SbTe 功率比增加, 薄膜的初始态电阻率明显变大, 相变温度略有增加。当 Ti/SbTe 功率比从 1 增加到 1.47 时, 初始电阻增加了 3 倍多, 相变温度由 196 °C 降低到 186 °C。晶态电阻在 Ti/SbTe 功率比为 1 时约为 800 ohm, 继续增加 Ti/SbTe 功率比, 晶态电阻增加 44 % 后基本维持不变。

4.1.3 TST 薄膜制备工艺进一步优化

基于上一次试验的结果, 我们发现有两个问题: 1、TST 薄膜中的 Ti 含量偏高, 最低的含量约为 0.55 at.%, 仍然比最优化组分 0.4~0.5 at.% 高; 2、TST 薄膜的厚度均匀性和元素组分均匀性都比较差, 其中厚度非均匀性大于 6.21 %。在接下来的工艺开发中, 我们需要解决这两个问题。Ti 的含量可以通过进一步降低 Ti/SbTe 功率比得以实现, 优先选择较高的功率条件, 这样可以得到比较快的沉积速率, 最后生长薄膜时的产出率就比较高。而薄膜厚度和组分均匀性可以通过调节靶材和硅片之间的距离来得到改善。

图 4.8 是不同 Ti 含量的 TST 薄膜的截面形貌对比。由图(a)可以看出, SbTe 薄膜的晶粒粗大, 横截面比较粗糙。图(b)中, 当 Ti/SbTe 功率比为 0.6 时, SbTe 中掺入少量的 Ti, 横截面上的晶粒比纯的 SbTe 细小。而功率比继续增加到 0.8 时, TST 的晶粒进一步减小。这是因为掺入的 Ti 原子主要处在 SbTe 的晶界上, 会抑制 SbTe 晶粒的生长, 从而 TST 的晶粒随着 Ti 原子的含量增加而减小。图(d)-(e)中, Ti 含量比较高的情况下, TST 的晶粒比较小。

图 4.9 是在不同 Ti/SbTe 功率比条件下, TST 薄膜表面形貌的表征和对比。由图(a)可以看出, 纯的 SbTe 薄膜表面的晶粒比较粗大。而(b)-(e)中, 随着 Ti/SbTe 功率比的增加, 薄膜表面的晶粒逐渐减小。当 Ti/SbTe 功率比大于 0.8 时, 薄膜的晶粒明显

变得细小。这与在横截面上看到的形貌相吻合。

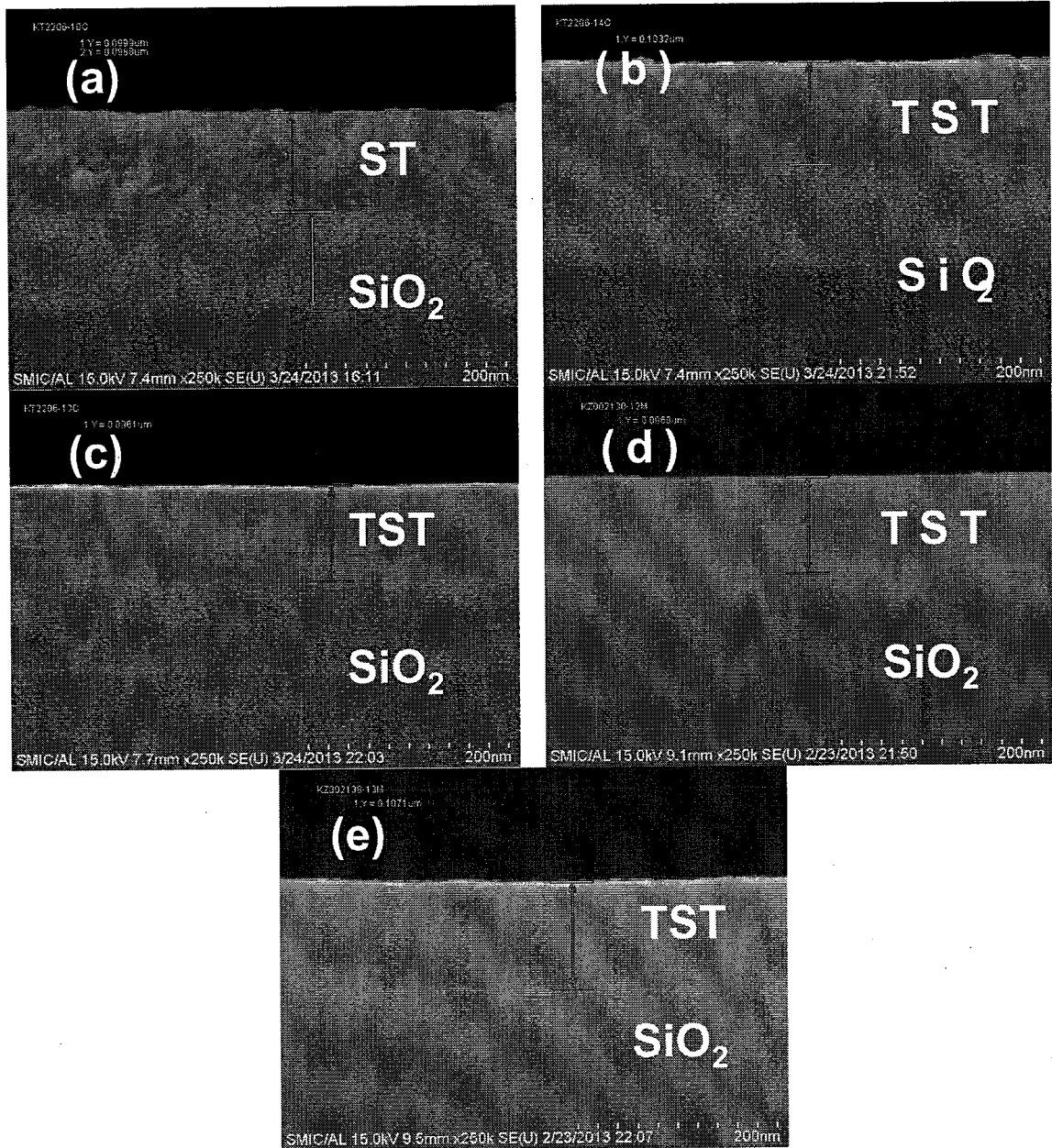


图 4.8 不同 Ti/SbTe 功率比的 TST 薄膜的截面图, (a)0, (b)0.6, (c)0.8, (d)1 和(e)1.25

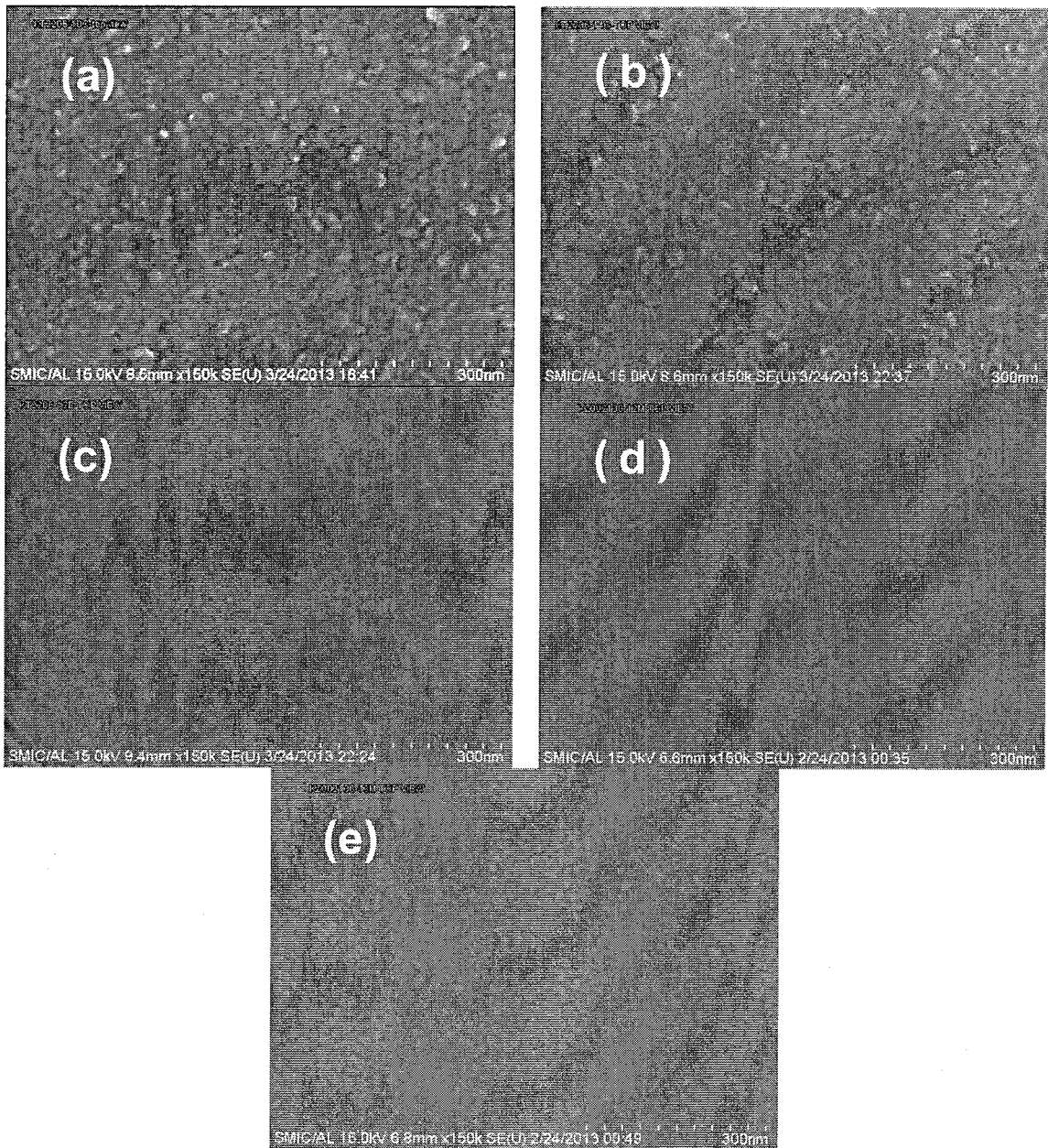


图 4.9 不同 Ti/SbTe 功率比的 TST 薄膜表面俯视图, (a)0, (b)0.6, (c)0.8, (d)1 和(e)1.25

图 4.10 是在不同 Ti 含量条件下, TST 薄膜的沉积速率和厚度均匀性的变化规律。由图(a)可以看出, 当纯 SbTe 沉积时, 功率为 400 W, 沉积速率较慢。Ti/SbTe 功率比从 0.6 到 1 变化过程中, SbTe 的功率保持为 500 W, 而 Ti 的功率从 300 W 到 500 W 逐渐增加, 所以薄膜的沉积速率单调增加。但是因为 Ti 的沉积速率相对于 SbTe 小很多, 所以沉积速率的增加幅度较小。当 Ti/SbTe 功率比增加至 1.25 时, Ti 和 SbTe 的功率分别增加为 500 W 和减小至 400 W, 主要受 SbTe 功率降低的影响, TST 的沉积速率有较大幅度的降低。而此时, 与 400 W 功率条件下纯 SbTe 沉积相比较, 因为有额外增加了加载在 Ti 靶上 500 W 的功率, 所以在该条件下的 TST 薄膜的沉积速率比纯 SbTe 略高。如图(b)所示, 通过调整靶材与硅片之间的距离, 薄膜的厚度非均匀度

得到明显的改善。SbTe 的厚度非均匀度由 9.49 % 降低到 5.20 %。而 TST 的薄膜在不同 Ti/SbTe 功率比条件下的厚度均匀性也得到较大幅度的提升。

图 4.11 是在不同 Ti 含量的 TST 薄膜的表面粗糙度的表征。由图(a)-(e)中可以看出, 当 Ti/SbTe 功率比处于 0 到 0.6 之间时, 薄膜的表面比较粗糙。如果继续增加功率比 1 时, 薄膜的表面会更光滑。Ti/SbTe 功率比为 1.25 处, 粗糙度反而会增高。由图(f)中可以看出, 粗糙度在 0.8~1 之间, 薄膜的粗糙度最低。这是因为掺入 SbTe 中的 Ti 元素的增加, Ti 会有效地细化晶粒, 使薄膜表面更加光滑。

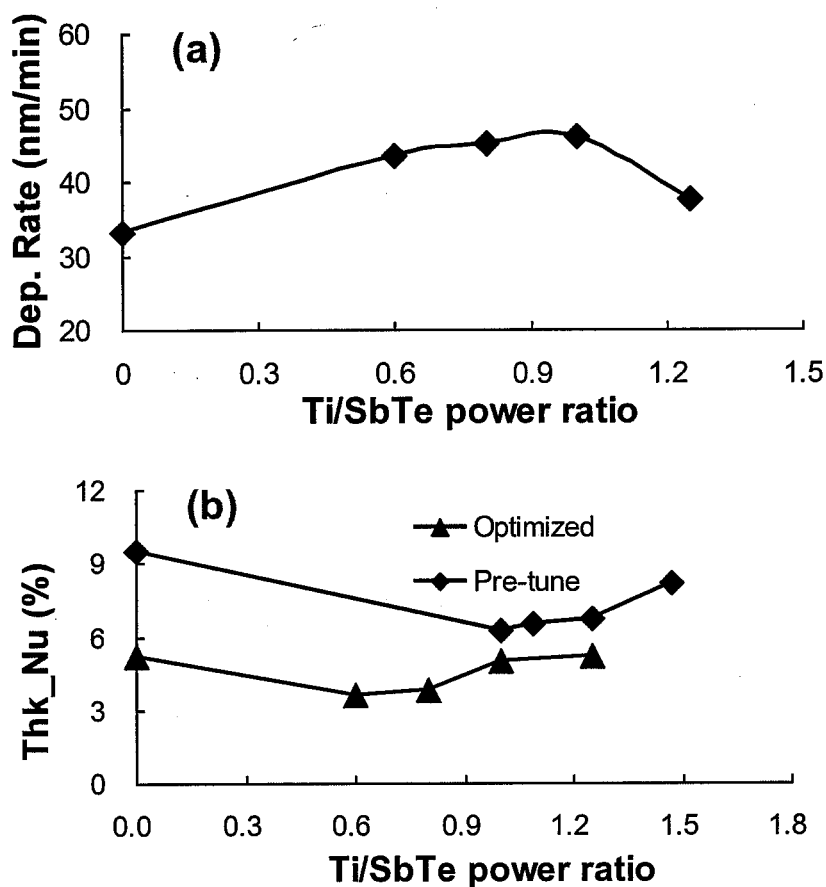
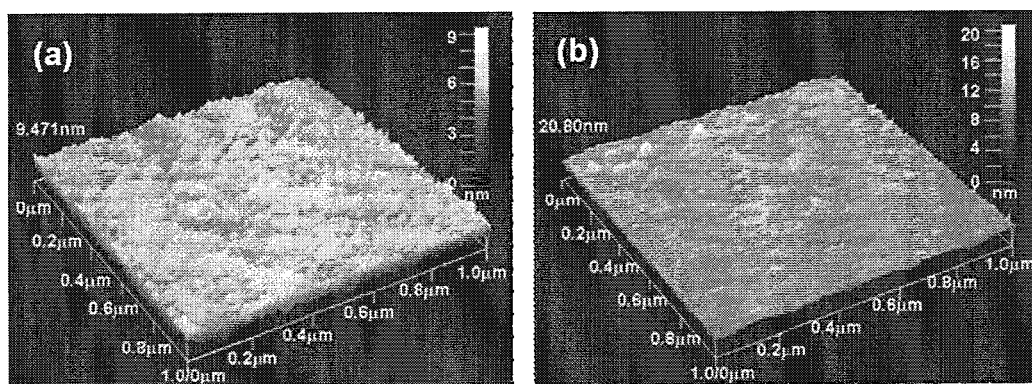


图 4.10 不同 Ti/SbTe 功率比条件下, TST 薄膜的(a)沉积速率和(b)厚度均匀性的变化规律



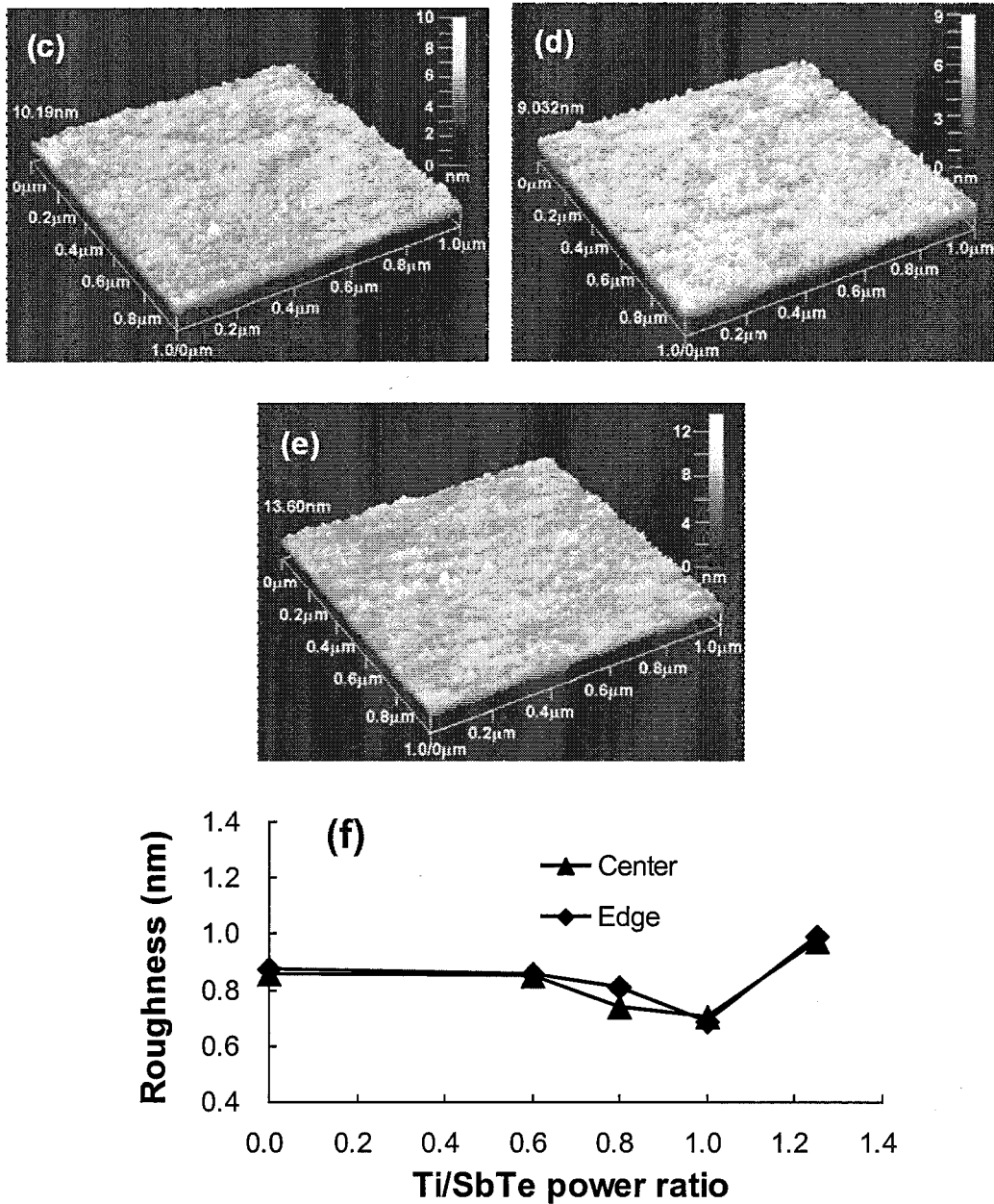


图 4.11 不同 Ti/SbTe 功率比条件下, TST 薄膜表面粗糙度表征, (a)0, (b)0.6, (c)0.8, (d)1 和(e)1.25 和(f)粗糙度的对比

图 4.12 是在不同 Ti/SbTe 功率比条件下, TST 薄膜的组分表征和对比。由图(a)可以看出, 当纯的 SbTe 薄膜沉积后, 其薄膜的原子百分比接近靶材上的组分。随着 Ti/SbTe 功率比的增加, 薄膜中 Ti 的含量线性增加。同时, Sb 和 Te 的含量单调减少。如图(b)中所示, 将 Sb 的原子百分比归一化为 2, 得到的 Ti 元素随着 Ti/SbTe 功率比增加的变化规律。根据线性关系可以计算出, 当 Ti/SbTe 功率比处于 0.74~0.86 之间, 也就是说, 保持 SbTe 的溅射功率为 500 W, Ti 的功率在 370~430 W 范围内, TST 薄膜中 Ti 的含量满足最优化条件: 0.4~0.5 at.%。这样既满足的组分的要求, 又实现了

溅射功率最大化。

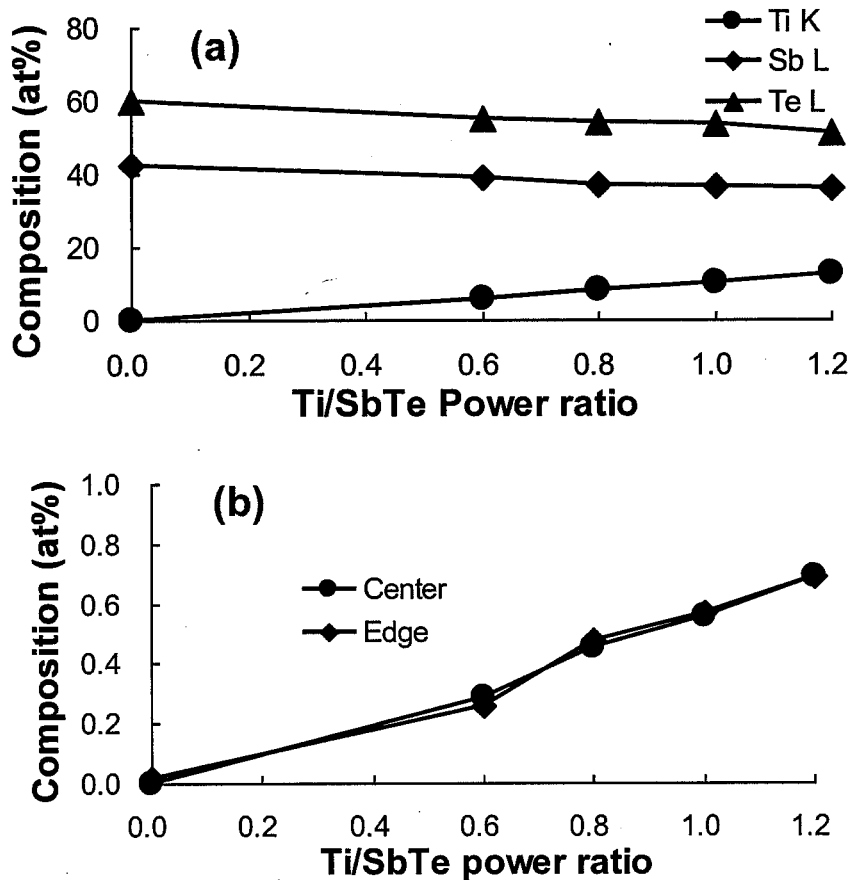


图 4.12 不同 Ti/SbTe 功率比条件下, TST 薄膜的组分表征, (a)Ti, Sb 和 Te 的组分变化趋势, (b) 将 Sb 的组分归一为 2 时, Ti at.% 的变化趋势

图 4.13 是在不同 Ti/SbTe 功率比条件下, 薄膜的电阻率-温度曲线表征。由图中可以看出, 纯的 SbTe 薄膜的晶态电阻最低, 薄膜没有明显的相变转折点。当 TST 薄膜的 Ti 含量从 0.45 上升到 0.69 过程中, 薄膜的非晶态电阻值逐渐升高, 而相变温度逐渐减低, 从 156 °C 上升到 187 °C。在含量为 0.45 时, 薄膜的晶态电阻最高。当薄膜中的 Ti 含量过低时, 薄膜基本上没有明显的相变突变点, 而且高低阻之间的差别仅为 0.5 个数量级。所以, 在 Ti 的含量处于 0.4~0.5 之间时, TST 薄膜的相变温度大约为 156 °C, 高低阻值比率约为 28。

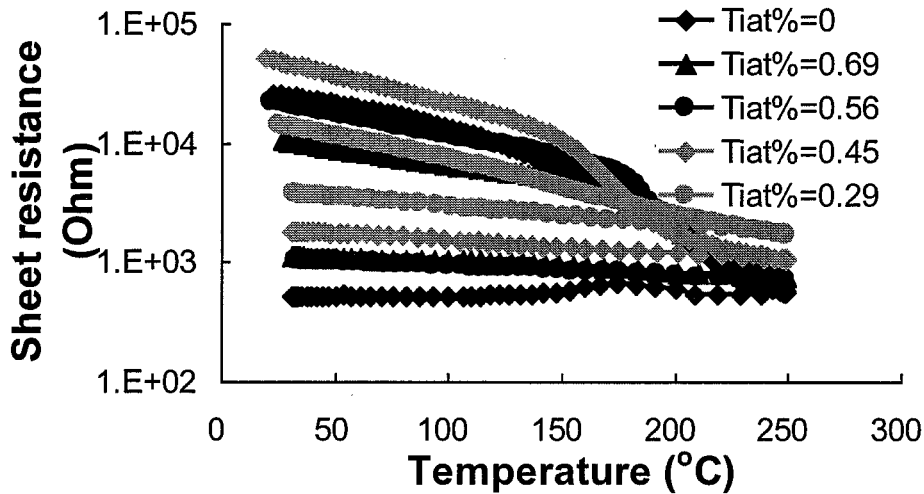
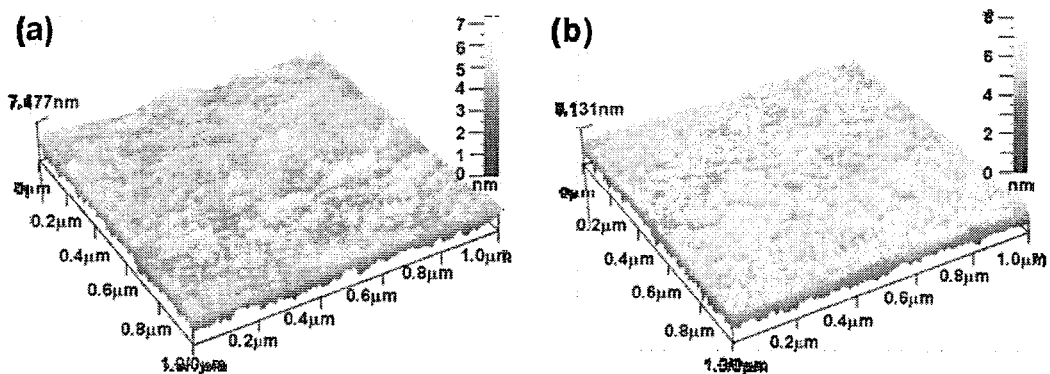


图 4.13 不同 Ti/SbTe 功率比条件下, TST 薄膜的电阻率-温度曲线表征

4.1.4 TST 薄膜在空气中的放置时间影响

在相变存储材料的工程化过程中, 需要考虑材料暴露在空气中薄膜性质的变化情况, 便于在工艺集成中, 精确控制工艺的等待时间。本节中, 将 TST 材料暴露在空气中暴露约一周时间后, 再次表征和对比其基本性质, 包括薄膜的粗糙度、电阻率-温度曲线、元素组分等, 并通过 XPS 分析其表面氧化情况。

图 4.14 是 TST 薄膜在放置一周后, 与刚生长薄膜表面粗糙度的比较。由图(a)-(e)中可以看出, 将薄膜放置一周后, SbTe 表面显得比较粗糙。如图(f)中所示, Ti/SbTe 功率比在 0.6~0.8 区间内时, 放置一周后的 TST 薄膜表面粗糙度的变化较小。所以, 在 Ti 含量在 0.4~0.5 区间内时, 其表面粗糙度在放置前后变化不大。



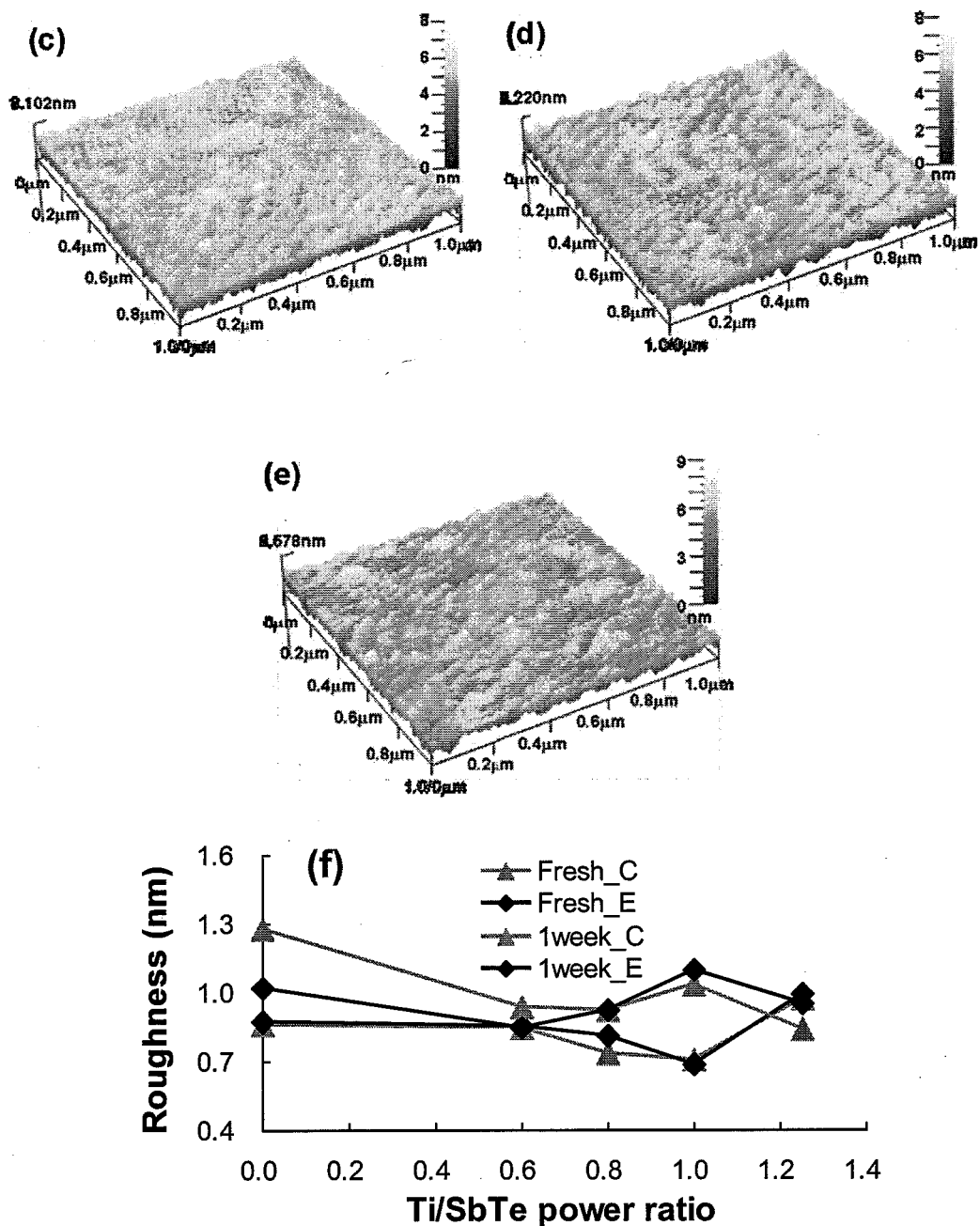


图 4.14, 不同 Ti/SbTe 功率比条件下生长的薄膜, 放置在大气环境中一周后, 表面粗糙度的比较, (a)0, (b)0.6, (c)0.8, (d)1 和(e)1.25 和(f)粗糙度的对比

图 4.15 是不同 Ti 含量的薄膜, 放置一周后, 元素组分的表征和对比。由图中可以看出, 不同 Ti/SbTe 功率比的条件下生长的薄膜, 用 EDS 进行组分表征, 在沉积后和放置在大气环境中一周后量测所得到的元素组分相当。

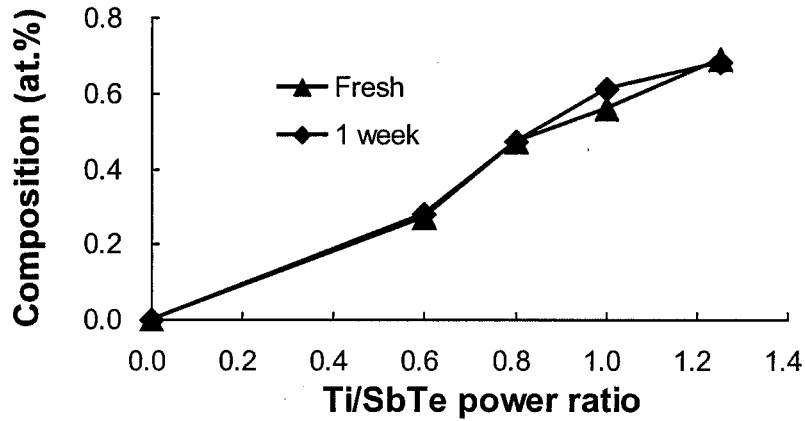


图 4.15 不同 Ti/SbTe 功率比条件下生长的薄膜，放置在大气环境中一周后，元素组分的表征

图 4.16 是不同 Ti 含量的 TST 薄膜，刚沉积和放置一周后的电阻率-温度曲线对比。由图中可以看出，放置在空气中一周以后，薄膜的相变曲线基本没有明显的变化。

图 4.17 是将 Ti 含量为 0.45 的 TST 薄膜放置在大气中一周后，表征各元素深度方向的分布情况。由图中可以看出，距 TST 薄膜表面约 10 nm 的深度范围内，发现有氧元素存在。氧元素主要以 Sb-O 键存在，还有少量的 Ti-O 键。Ti 元素本身的夺氧能力比较强，但是，因为 Ti 含量很少，所以基本上看不到 Ti-O 键在薄膜表面形成。Sb 比 Te 的夺氧能力强，靠近表面的 Sb 原子更容易发生氧化。Te 基本上不能被氧化。

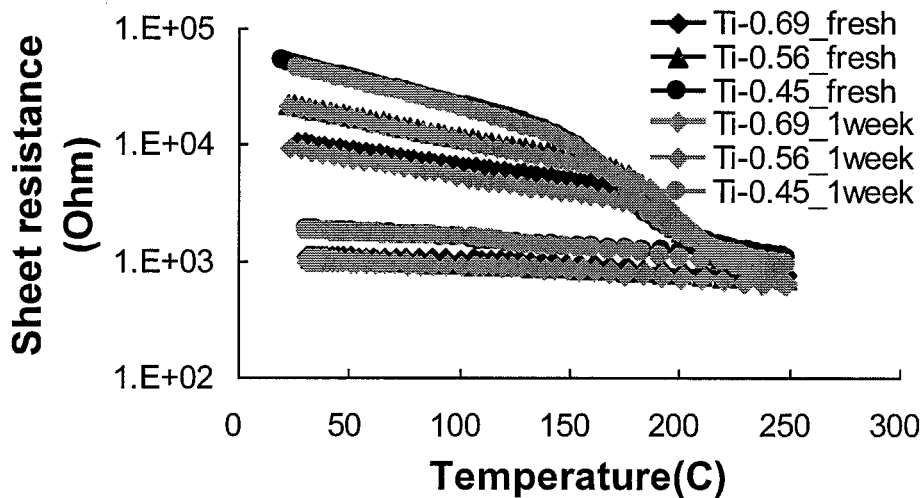


图 4.16 不同 Ti 含量的 TST 薄膜，放置在大气环境中一周后，电阻率-温度曲线表征

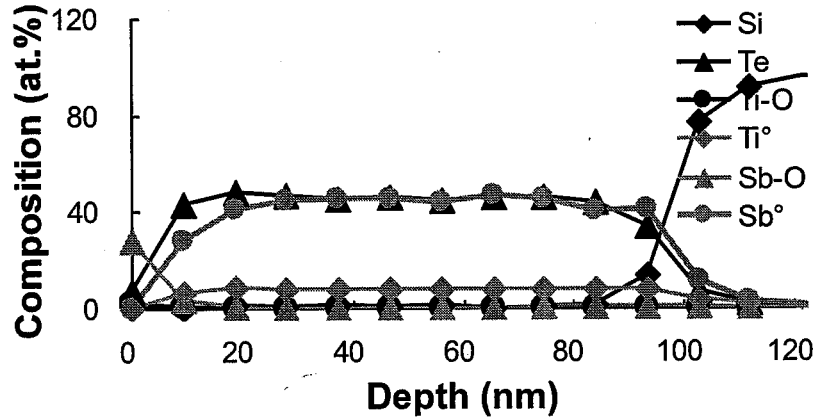


图 4.17 Ti 含量为 0.45 的 TST 薄膜，放置在大气环境下一周后，用 XPS 做深度方向的元素分布测量

所以，将 Ti 含量为 0.4~0.5 的 TST 薄膜放置于大气环境中，表面会形成小于 10 nm 的含氧层，主要以 Sb-O 键结合为主。如果适当控制放置时间，基本上不会对薄膜相变特性和粗糙度造成影响。

图 4.18 是 TST 薄膜经过干法刻蚀后的形貌。由图中可以看出，经过干法刻蚀以后，TST 薄膜没有明显的损伤，薄膜均匀，与基底的结合良好。TST 薄膜成功实现了工艺集成的验证。

4.1.5 本节小结

通过共溅射的方法，使用 Ti 单质靶和 SbTe 合金靶作为溅射源，分别加以射频和直流溅射功率沉积 TST 薄膜。调节加载在两个靶材上的功率比，可以实现 Ti 含量的调整和优化，成功实现 Ti 含量为 0.4~0.5 的 TST 薄膜的制备。而且，通过优化工艺条件，改善了薄膜组分和厚度均匀性。经过放置在大气中一周的 TST 薄膜的表征，发现可以通过等待时间的控制很好的避免表面的深度氧化。从而成功实现了自主知识产权的 TST 薄膜的工程化。

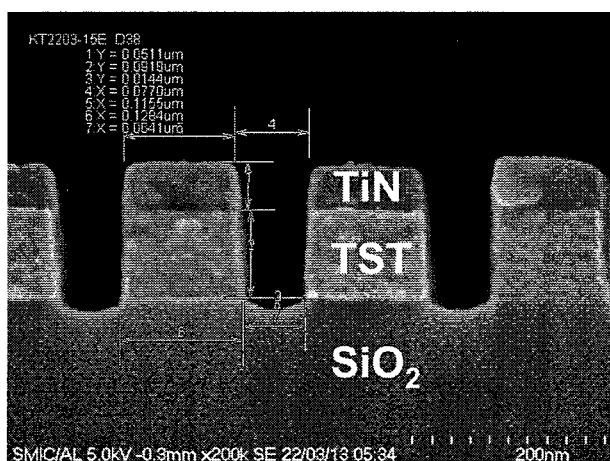


图 4.18 Ti 含量为 0.45 的 TST 薄膜，经过干法刻蚀后的形貌

4.2 SST 材料的开发和工程化

引言

与 GST 相比较，SST 材料具有较高的相变温度，热稳定性好，适用于在高温环境下工作的存储器件；薄膜在相变过程中体积的变化率比 GST 小，所以在电性操作过程中的可靠性更好；薄膜的晶态电阻率比较高，在作 RESET 操作的时候，相同的操作电流条件下，SST 材料的加热效率更高，所以能都有效的降低功率消耗，这对制备高密度、低功耗的相变存储器至关重要。

通过实验室的初步验证，SST 的元素组分为 $\text{Si}_{2-3}\text{Sb}_2\text{Te}_3$ 时器件性能比较好。该组分条件下，薄膜的操作窗口更宽、数据保持力更好，本节主要开发 SST 材料制备的工艺，并优化各工艺参数以满足制备相变存储器件的工艺集成要求，从而实现 SST 材料的工程化^[64-70]。

4.2.1 试验简介

在室温条件下，利用 300 mm 的物理气相沉积平台，采用磁控共溅射的方法在 SiO_2/Si (100 晶面) 基底上制备 SST 薄膜。系统本底真空优于 $5\text{E}-6$ Pa，采用多靶共溅射方法沉积 SST 薄膜： Si 单质靶和 Sb_2Te_3 合金靶。由于 Si 材料的导电性不好，如果用直流源进行溅射，靶材表面容易造成电荷堆积，从而使等离子体不稳定。所以 Si 的溅射源需要用射频交流源。 SbTe 靶采用直流源进行溅射。用氩气作为溅射气体。在溅射沉积过程中，由于在射频交流源溅射条件下， Si 的沉积速率比直流源的 SbTe 慢很多，所以在保持硅靶材能够承受的最大功率 500 W 的条件下，改变 SbTe 的功率大小来调节 SST 薄膜的组分。采用 SEM 对薄膜截面、表面形貌和均匀性进行表征。通过 RBS 对 SST 薄膜的组分进行表征。在温度可控的真空腔体中，对 SST 的电阻率进行原位加热测试，得到其电阻-温度关系(R-T)。通过对 SST 薄膜沉积时的重要工艺

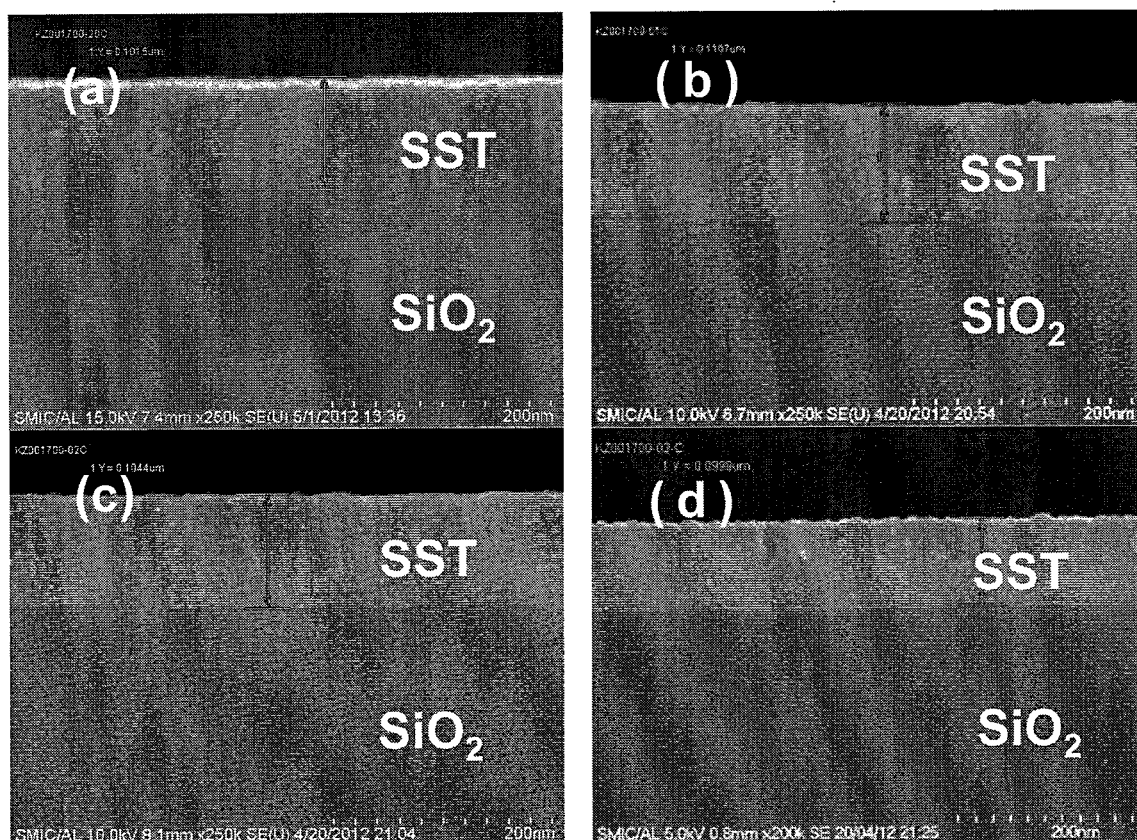
条件的优化,可以提高薄膜沉积的均匀性,实现 SST 材料在 40 nm 技术节点上的工程化。

4.2.2 SST 薄膜制备工艺初步开发

图 4.19 是不同 Si 含量的 SST 薄膜的横截面形貌对比。由图(a)-(c)中可以看出,在 SbTe 功率为 40 W 至 80 W 区间内, SST 薄膜的室温沉积态截面比较粗糙。如图(d)-(e)中所示, SST 薄膜的截面形貌随着 SbTe 溅射功率的增加而逐步变得光滑。

图 4.20 是不同 Si 含量的 SST 薄膜的表面形貌对比。由图(a)-(c)可以看出,低功率的 SST 薄膜表面晶粒略显粗大且不均匀。而(d)-(e)图中,相互之间的表面晶粒大小和均匀性相差不大。这与截面图上观察到的数据相吻合。

图 4.21 是在不同的 Si/SbTe 功率比条件下, SST 薄膜沉积速率和薄膜厚度均匀性比较。由图(a)中可以看出, SST 薄膜的沉积速率随着 Si/SbTe 功率比的增加而减小,也就是说, SST 薄膜中硅含量越高沉积速率越低。因为在相同的气体压力条件下, Si 的沉积速度比 SbTe 小很多,当 SbTe 的功率不断减小,导致共溅射时的 SST 沉积速率逐渐降低。由图(b)所示, Si/SbTe 功率比从 2.5 增加到 8.3 时,薄膜的厚度均匀性先变好,但是,当功率比为 12.5 时,薄膜的厚度非均匀性突然增加到 15.19 %。



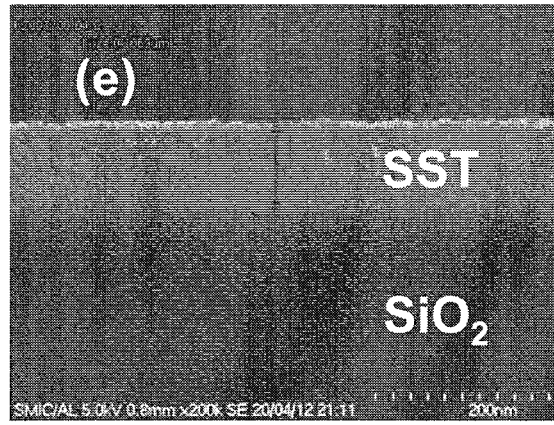


图 4.19 不同 Si 含量的 SST 薄膜的截面图, 在 Si 的功率为 500W 时, SbTe 的功率分别为(a) 40 W, (b)60 W, (c)80 W, (b)100 W, 和(e)120 W 时的 SST 薄膜

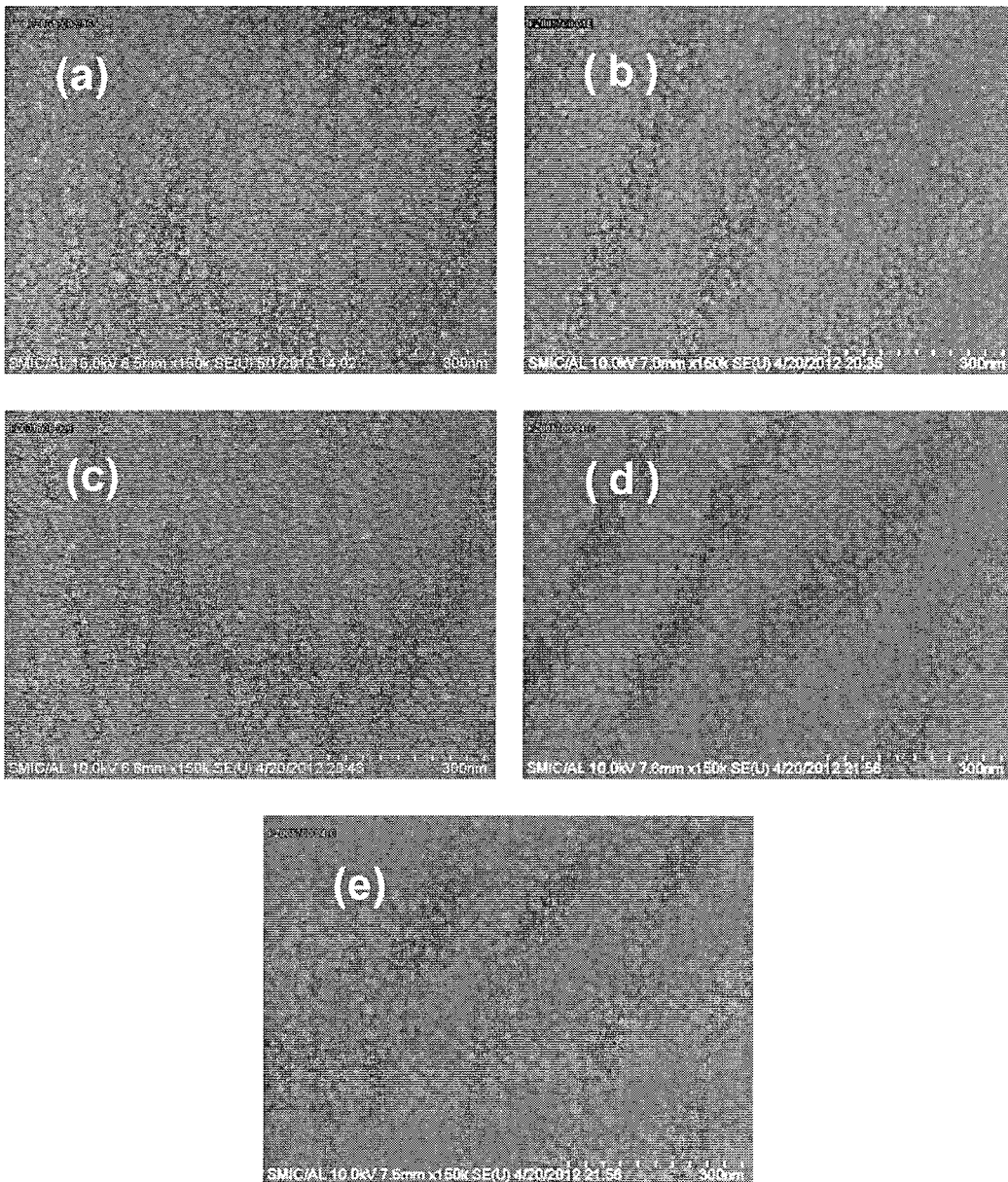


图 4.20 不同 Si 含量的 SST 薄膜的表面俯视图, 在 Si 的功率为 500W 时, SbTe 的功率分别为(a) 40 W, (b)600 W, (c)80 W, (b)100 W, 和(e)120 W 时的 SST 薄膜

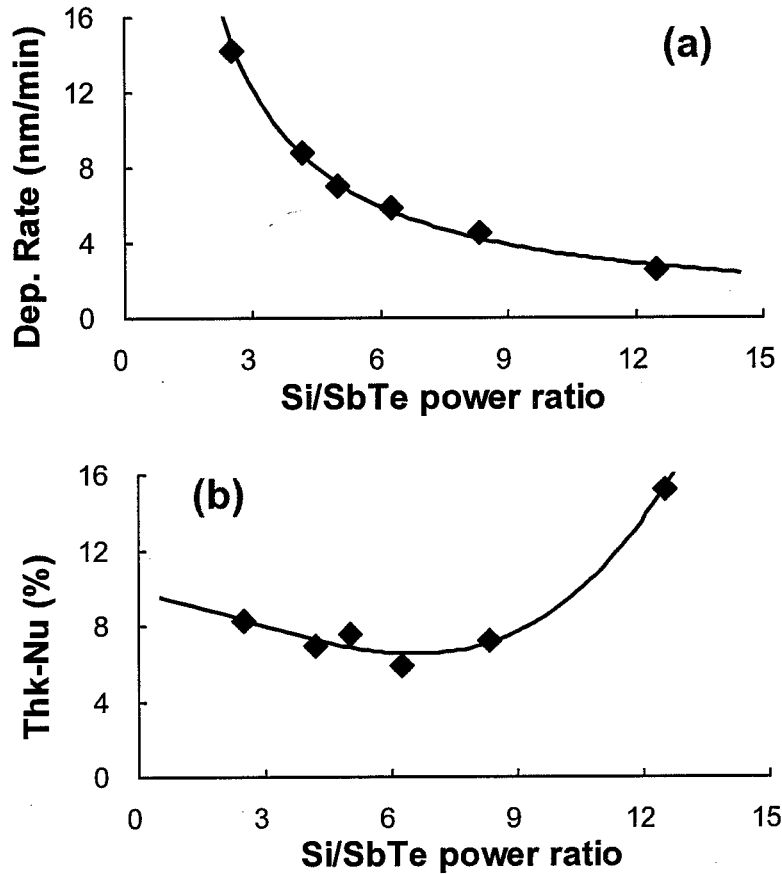


图 4.21 共溅射时, Si/ SbTe 功率比不同, 薄膜的(a)沉积速率和(b)薄膜的厚度均匀性的表征

图 4.22 是不同的 Si/ SbTe 功率比条件下, SST 薄膜的应力和反射率的变化规律。由图(a)总可以看出, 当 Si/ SbTe 功率比为 2.5 时, 薄膜为压应力。当功率比继续增加直到 8.3 时, 薄膜的应力为很小的拉应力。而在功率比为 12.5 时, 也就是薄膜的硅含量为最高的时候, 薄膜应力突然转变为比较大的压应力, 为-215 Mpa。由图(b)中所示, 薄膜的反射率随着 Si 含量的增加而减小。当 Si/ SbTe 功率比为 2.5 时, SST 薄膜相当于掺入微量 Si 元素的 SbTe 薄膜, 薄膜性质更倾向于 SbTe, 所以薄膜的反射率略高。而随着 Si 含量的增加, 薄膜朝着非晶态更强的方向发展, 反射率会略有降低。而且, Si 含量较高时, 薄膜表面的粗糙度增加, 可见光在薄膜表面的散射增强, 这也是导致薄膜反射率逐渐降低的重要原因之一。

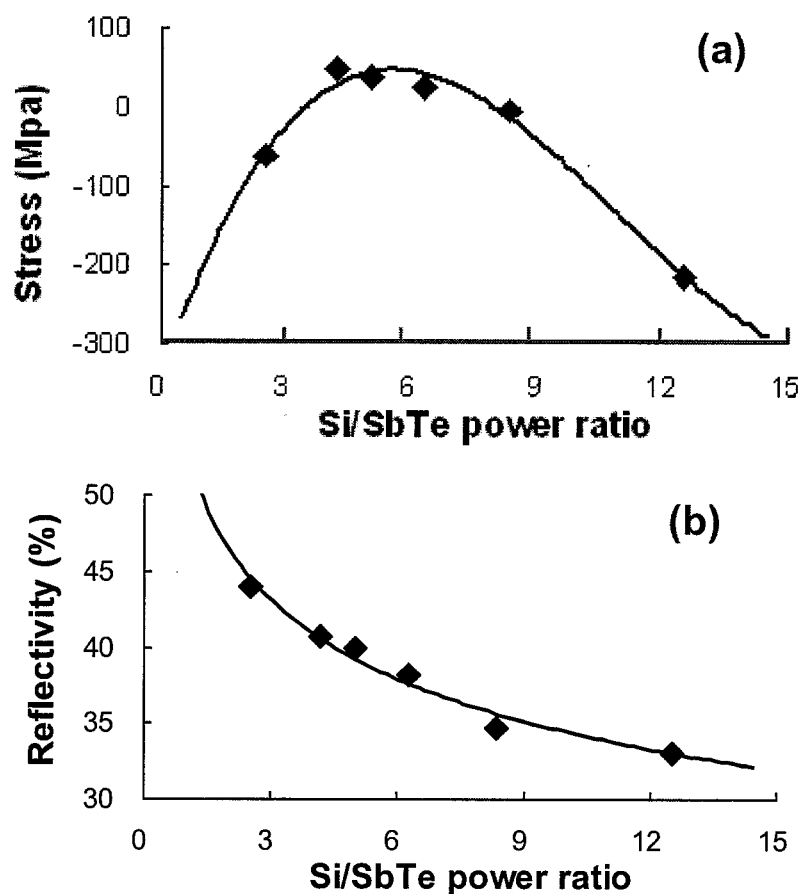


图 4.22 共溅射时，Si/SbTe 功率比不同，SST 薄膜的(a)应力和(b)薄膜的反射率的表征

图 4.23 是利用 RBS 测量 SST 薄膜的各元素组分。由图中可以看出，当 Si 靶和 SbTe 靶上加载的功率分别为 500 W 和 100 W 时，SST 薄膜的原子百分比约为 $\text{Si}_2\text{Sb}_2\text{Te}_3$ 。基本满足 SST 的组分要求。

图 4.24 是不同 Si 含量的 SST 薄膜的电阻率-温度曲线，并与 GST 和 SbTe 作为对比。由图中可以看出，随着 Si/SbTe 功率比增加，薄膜的初始态电阻和相变温度率都略有增高，当 Si/SbTe 功率比从 5.0 增加到 7.1 时，相变曲线略微平行向右平移。当功率比增加到 12.5 时，SST 的相变温度相对于功率比为 5.0 时增加了约 45°C 。在 40°C 到 90°C 区间内，SST 薄膜的电阻值有比较大的波动，可能与 SST 薄膜表面被氧化有关。

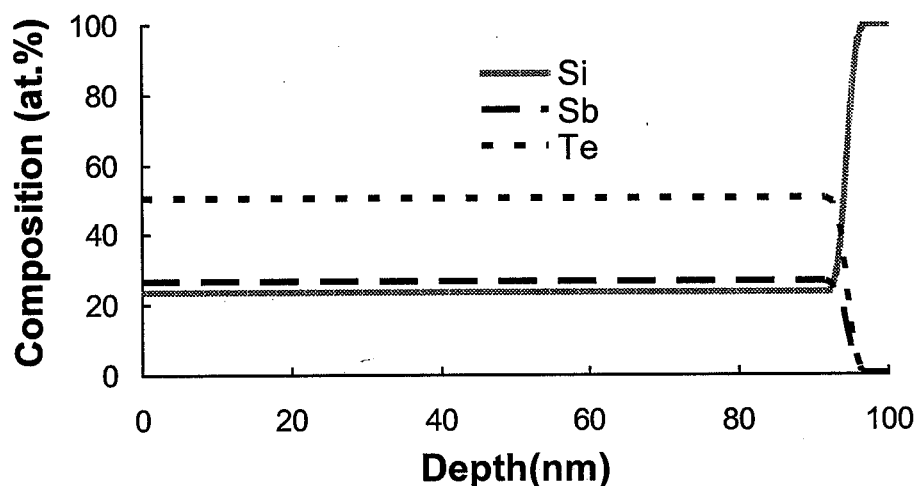


图 4.23 在 Si 靶和 SbTe 靶上加载的功率分别为 500 W 和 100 W 时, 利用 RBS 对 SST 薄膜的组分进行表征

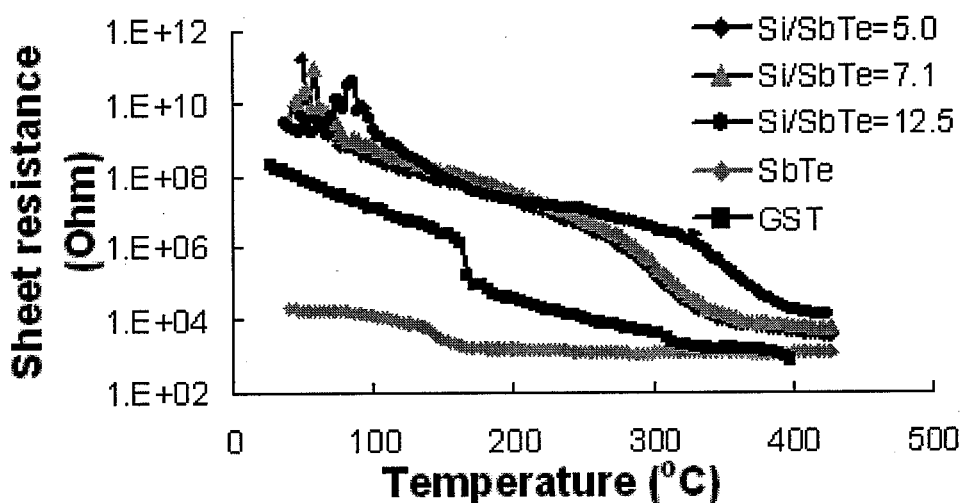


图 4.24 不同 Si/SbTe 功率比条件下, SST 薄膜的电阻率-温度曲线表征, 并于 GST 和 SbTe 做对比

与 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜相比较, $\text{Si}_2\text{Sb}_2\text{Te}_3$ 的非晶态和晶态电阻分别高约 1.2 和 1 个数量级, 薄膜的相变温度高约 90°C 。而与 Sb_2Te_3 薄膜相比较, 晶态电阻和相变温度分别高约 5 个数量级和 120°C 。

4.2.3 SST 薄膜制备工艺进一步优化

基于前面试验的结果, 我们发现有两个问题: 1、SST 薄膜的厚度均匀性比较差, $\text{Si}_2\text{Sb}_2\text{Te}_3$ 薄膜的非均匀度为 7.59%; 2、SST 薄膜表面存在氧化的问题。在接下来的

工艺开发中，我们需要解决这两个问题。薄膜厚度的均匀性可以通过调节靶材和硅片之间的距离来得到改善。而薄膜的氧化问题需要对其氧化程度和机理进行研究，并提出解决方案。

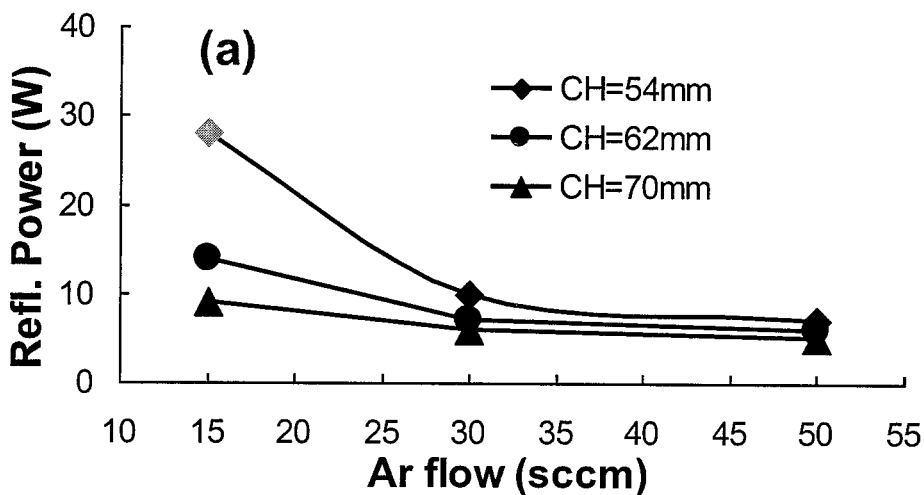
在共溅射工艺平台上，如果要改善 SST 薄膜的厚度均匀性，可以调整的工艺参数有：功率、腔体压力和硅片与靶材之间的距离。

为了提高产出率，尽可能选择比较大的功率。对硅靶材来说，最大可以承受的功率为 500 W，如果太大，靶材会因为发热较高有可能导致靶材从基板上脱落的潜在问题。而 SbTe 的功率变化会直接影响到 SST 薄膜的各元素组分，前面试验已经证明，当 SbTe 的功率为 100W 时，SST 薄膜的原子百分比已经达到了最佳值。因此，功率上基本没有调整空间。

腔体的压力主要通过氩气的流量来控制。氩气流量越大，腔体内的压力越大，反之，压力越小。如果氩气流量太大，生长出的薄膜密度比较差；而当氩气流量太小时，腔体内会因为电子含量太少而导致等离子体不稳定。因此，我们将氩气流量的调整范围定为：15~50 sccm。

硅片与靶材之间的距离是通过调整放置硅片的卡盘高度来实现。卡盘高度越高，硅片与靶材之间的距离越小，反之，距离越大。受硬件条件的限制，卡盘高度的可调整范围定位：54~70 mm。

图 4.25 是在不同氩气流量和卡盘高度条件下，沉积薄膜时等离子体的稳定性和 SST 薄膜沉积速率的表征。由图(a)中可以看出，随着氩气流量的减少和卡盘高度的降低，反射功率越高，意味着腔体中等离子体的稳定越差。当卡盘高度和氩气流量分别为 54 mm 和 15 sccm 时，等离子体不能维持而使沉积过程无法进行。SST 薄膜在氩气流量大于 30 sccm 的条件下，反射功率不大于 2%，等离子体比较稳定。而在图(b)中，气体流量和卡盘高度越低，SST 薄膜的沉积速率越快。



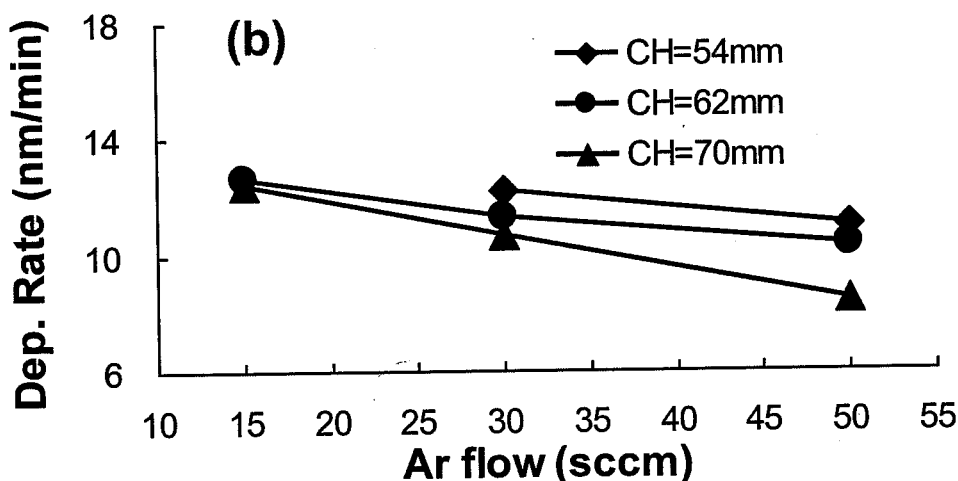


图 4.25 通过调整腔体中氩气流两和卡盘高度，测定(a)沉积薄膜时的反射功率和(b)SST 薄膜的沉积速率

图 4.26 是 SST 薄膜在不同氩气流量和卡盘高度条件的均匀性比较。由图中可以看出，随着氩气流量和卡盘高度降低，薄膜的厚度均匀性越好，也就是说，腔体压力越低、硅片和靶材之间的距离越远 SST 薄膜的均匀性越好。在氩气流量和卡盘高度分别为 30 sccn 和 54 mm 时，SST 薄膜的厚度非均匀性最小，为 2.83%，比优化前的均匀度提高了 62%。

综上所述，当 SST 沉积时的氩气流量和卡盘高度分别为 30 sccn 和 54 mm 时，工艺稳定，沉积速率较快，而且薄膜厚度均匀性最好。

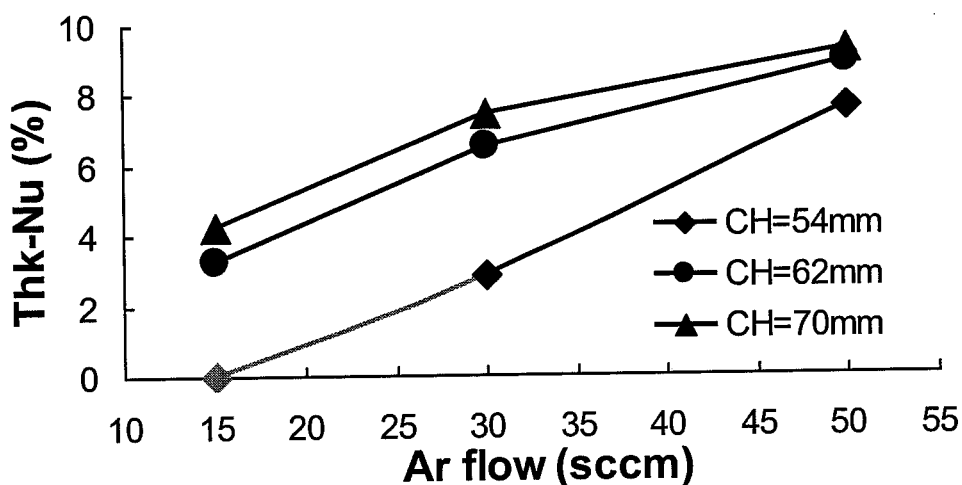


图 4.26 在不同氩气流量和卡盘高度条件下，SST 薄膜厚度的均匀性表征

图 4.27 是比较 SST 厚度均匀性优化前后的相变特性。由图中可以看出，SST 薄

膜在优化前后，薄膜的电阻率-温度曲线重合较好，也就是说，在优化前后薄膜的组分和相变特性相当。而且，硅片上的均匀性也比较好。因此，在 SST 薄膜的厚度均匀性优化后，薄膜性质没有改变，达到了很好的效果。

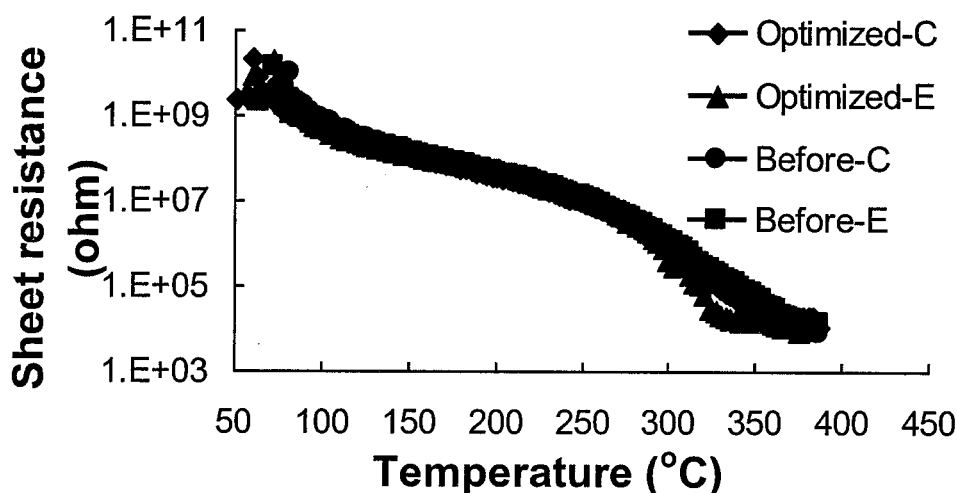


图 4.27 参数优化前后，SST 薄膜的电阻率-温度曲线比较

4.2.4 SST 薄膜的表面氧化表征^[71]

图 4.28 是不同的薄膜暴露在大气环境中，对比其 TEM 截面形貌。由图(a)中可以看出，对 GST 材料来说，薄膜在空气中放置一段时间后，在接近薄膜表面的地方，没有发现明显的氧化层。而在图(b)中，SST 表面上有厚度约为 20nm 的薄膜，其形貌明显与下面的 SST 薄膜不一致，怀疑该表面层已经被氧化。从(c)中可以看出，当 SST 表面覆盖一层约 6 nm 后的 Ti 薄膜后，SST 薄膜没有明显的分层现象。

图 4.29 是用俄歇电子光谱对 GST 和 SST 薄膜的元素深度分析进行对比。由图(a)中可以看出，在 GST 薄膜靠近表面的地方发现有薄薄的氧元素分布。而如图(b)所示，发现 SST 表面的氧元素分布深度是 GST 的 4 倍。因此，大气中的氧元素更容易穿透 SST 薄膜。

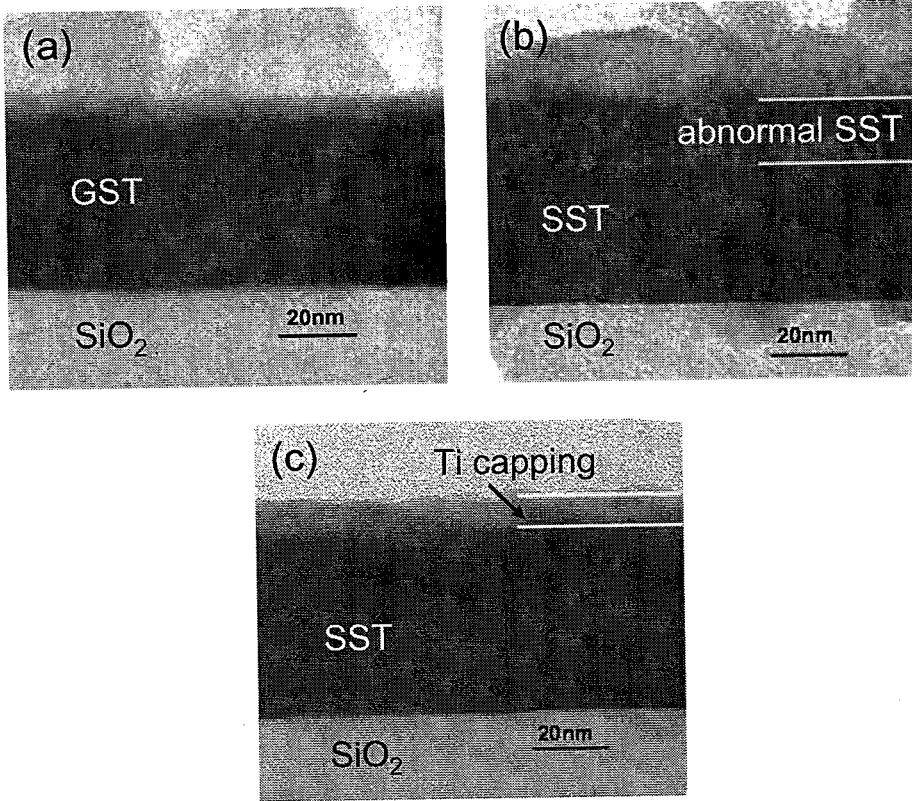
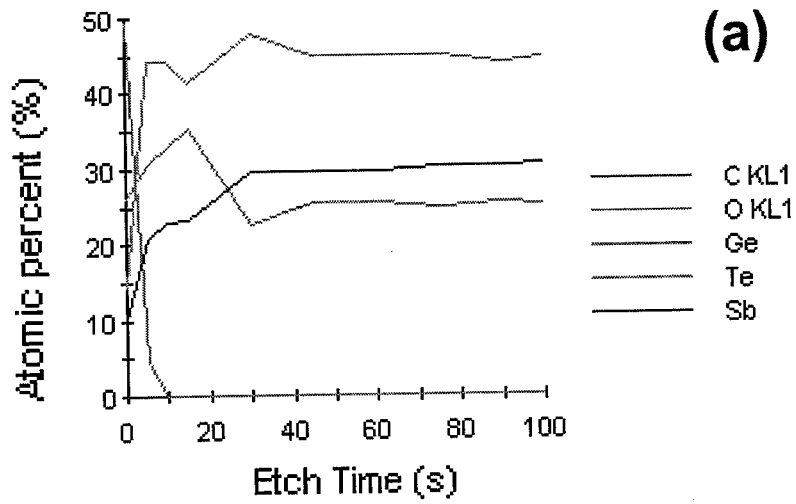


图 4.28 暴露在大气环境一周后, 薄膜的 TEM 截面对比, (a)50 nm 的 GST 薄膜, (b)50 nm 的 SST 薄膜和(c)50nm 的 SST 表面覆盖一层 6 nm 的 Ti



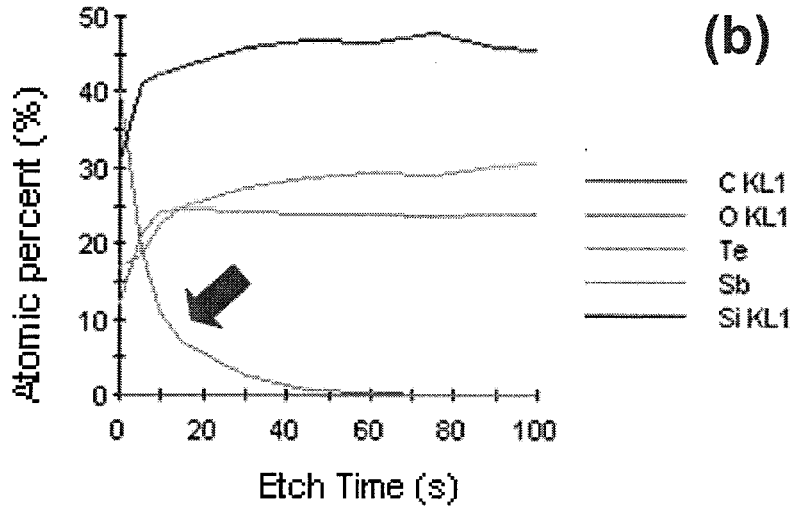


图 4.29 用俄歇电子光谱对薄膜元素进行深度分析, (a)GST 和(b)SST 薄膜

图 4.30 是对比不同放置时间对 GST 和 SST 材料中氧元素分布深度的影响。由图中可以看出, 在空气中放置 0.5 小时后, GST 和 SST 中的氧元素分布深度分别约为 3.7 nm 和 7.0 nm。说明氧元素进入 SST 薄膜中的速度比 GST 快。继续放置至 6.5 小时后, 氧元素在 GST 中深度达到 4.7 nm 并保持不变, 而在 SST 薄膜中, 氧元素迅速进入距表面深度约为 20.9 nm 处。放置 24 小时后, SST 薄膜中的氧元素深度提升至 27.9 nm 并不再继续增长。由此可见, 氧元素侵入 SST 薄膜中的速度和深度都远大于 GST 薄膜。

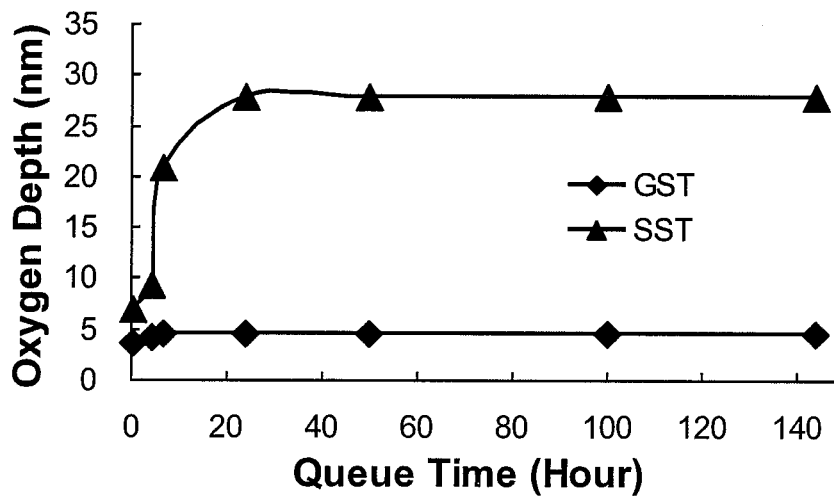
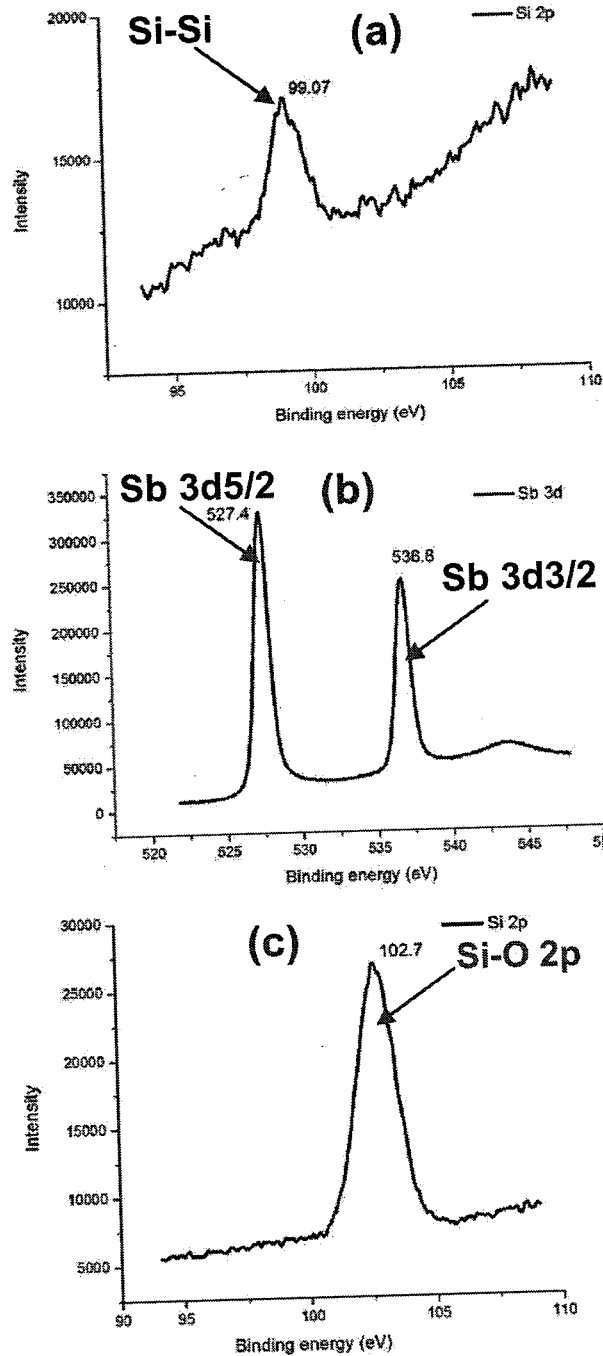


图 4.30 将 GST 和 SST 薄膜暴露在大气环境中, 不同的放置时间对氧元素深度的影响

图 4.31 是用 XPS 表征和对比 SST 薄膜中的价键。由图(a)-(b)中可以看出, 在正常的薄膜中, 没有 Si-O 和 Sb-O 键。而从(c)-(d)中所示, 在 SST 薄膜表面, 在能量为 102.7 和 532.3 eV 处分别发现有较强的 Si-O 2p 和 1s 的峰, 说明氧元素进入 SST 薄膜

中后, 主要氧化 Si 并于形成 Si-O 键。同时, 在 539.8 eV 处还发现一个比较弱的 Sb-O 3d_{3/2} 的峰, 说明部分 Sb 原子已经被氧化。在 SST 表面, 没有发现有 Te-O 的键, 因为 Te 在空气中很难被氧化。



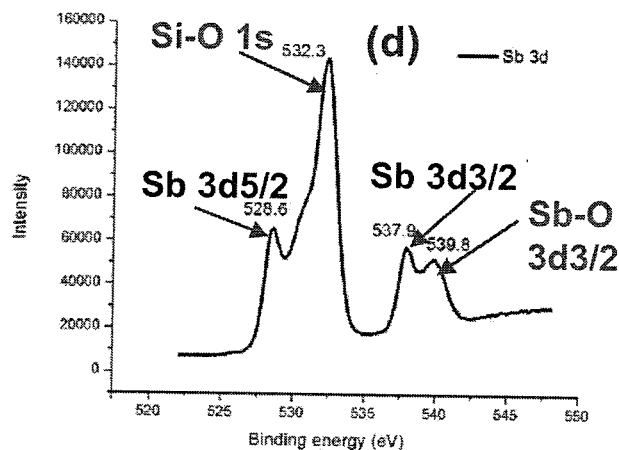


图 4.31 运用 XPS 表征 SST 薄膜中的价键，正常薄膜中的(a)含 Si 的价键和(b)含 Sb 的价键，以及表面含氧的 SST 薄膜中的(c)含 Si 的价键和(d)含 Sb 的价键

图 4.32 是薄膜质量的比较。又如(a)-(b)中可以看出，GST 薄膜的横截面和俯视图上的薄膜晶粒细小、表面光滑。而如图(c)-(d)所示，SST 薄膜有比较明显的柱状结构的纹理，晶粒较粗大，薄膜看上去比较疏松，氧原子更容易通过 SST 表面而进入薄膜内部是其被氧化。因此，薄膜致密度的差异可能是导致 GST 和 SST 薄膜间抗氧化能力差异的重要原因之一。此外，在 SST 中存在的 Si-Si 悬挂键非常容易被空气中的氧结合而形成 Si-O 键。

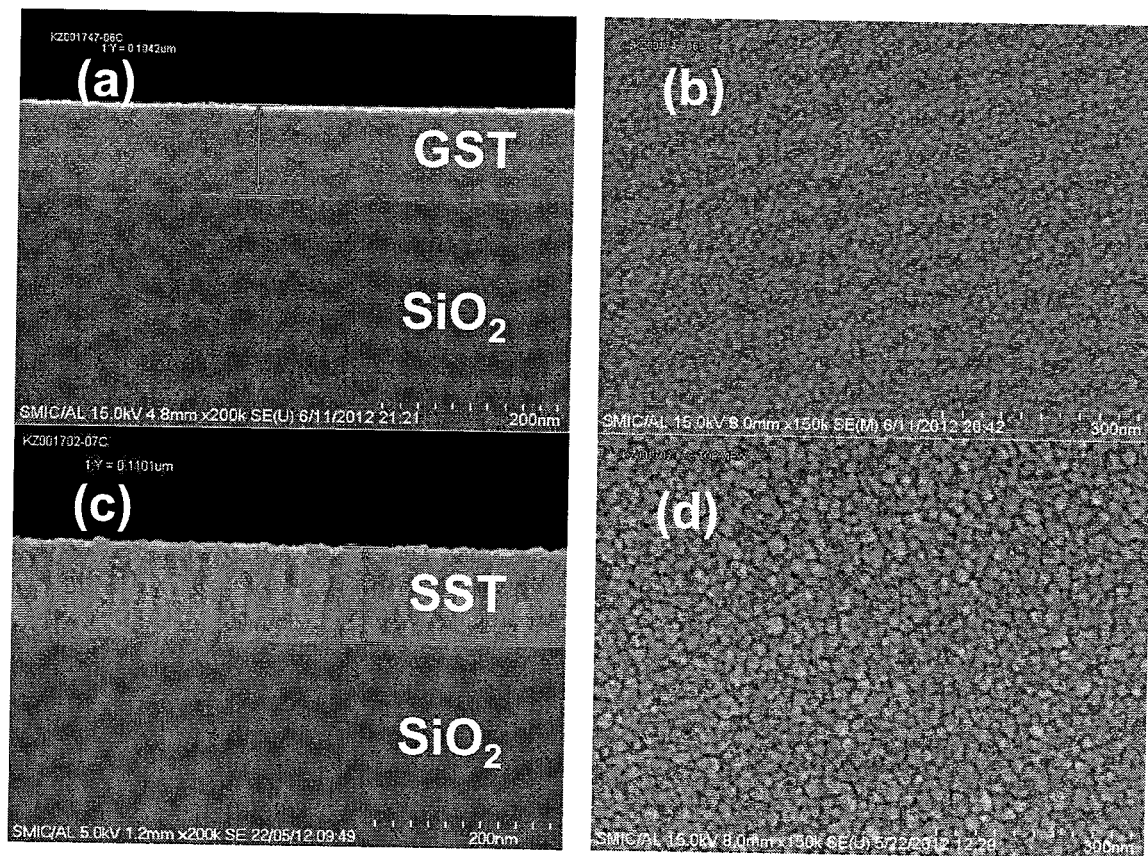
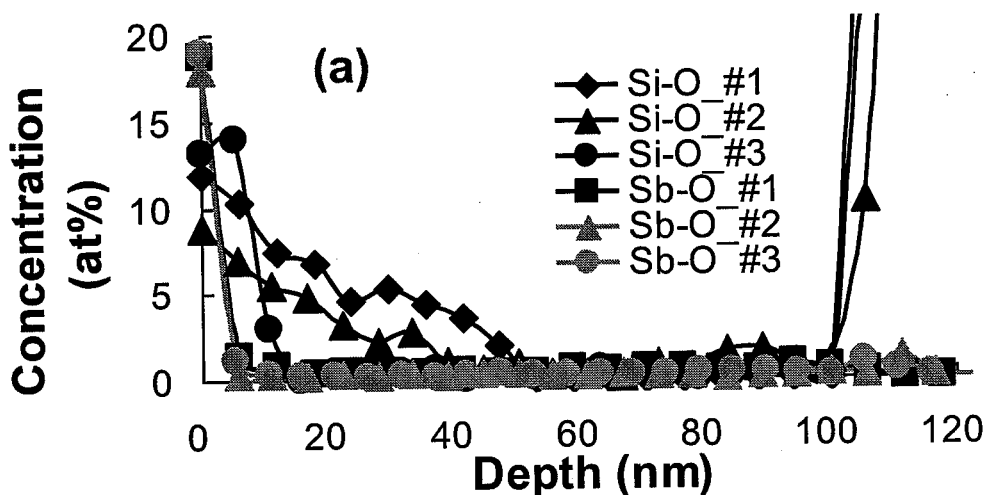


图 4.32 薄膜形貌的对比，GST 薄膜的(a)横截面和(b)表面俯视图，SST 薄膜的(c)横截面和(d)表面俯视图

图 4.33 是 SST 薄膜经过在氮气环境中进行表面处理，薄膜中的价键和横截面形貌比较。由图(a)中可以看出，暴露在空气中一段时间以后，薄膜中同时出现了 Si-O 和 Sb-O 键。当 SST 薄膜沉积后，在真空腔体环境中进行原位氮气无等离子处理，可以看出，Si-O 键的深度比处理前减小约 5 nm。这主要是因为 SST 表面的 Si-Si 悬挂键部分被氮化，在薄膜表面生成一层薄薄的 SiN，可以一定程度地保护 SST，从而避免其在空气中被氧化。而运用氮的等离子体对 SST 表面处理后，氧化现象得到了显著改善，氧化深度比之前减少约 80%，主要是在等离子能量的帮助下，在 SST 表面形成更多的 Si-N 键，可以更好地保护 SST 以免于被氧化。此外，被离化的氮离子会对 SST 表面有一定的轰击作用，可以提高表面层薄膜的致密度，进一步阻止了氧原子进入 SST 薄膜而发生氧化。同时，我们发现，对 SST 表面处理前后，Sb-O 的深度基本上没有变化。所以，通过 SST 表面的氮等离子体处理后，主要是改善了氧化能力很强的 Si 原子的氧化深度。

图 4.34 是经过干法刻蚀后，SST 薄膜的形貌表征。从图(a)中可以看出，SST 经过干法刻蚀以后，薄膜表面光滑、均匀，没有发现与基底脱落的现象。如图(b)中所示，在经过氮化硅包裹层和二氧化硅介质层的沉积后，薄膜没有发现任何异常。由此可见，研发的 SST 薄膜通过了工艺集成的验证，满足了工程化的要求。



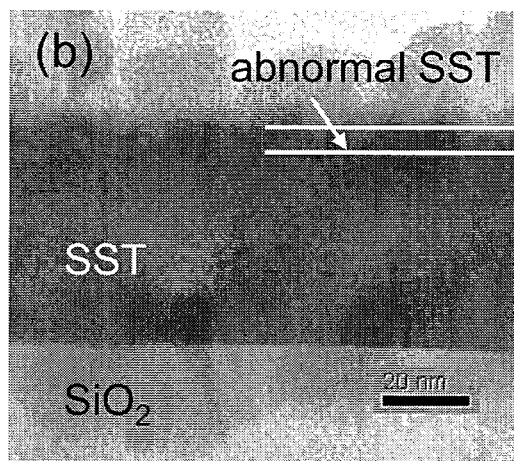


图 4.33 SST 薄膜表面处理后, (a)Si-O 和 Sb-O 键沿深度方向的对比, (b)在氮等离子体中处理后的 TEM 横截面

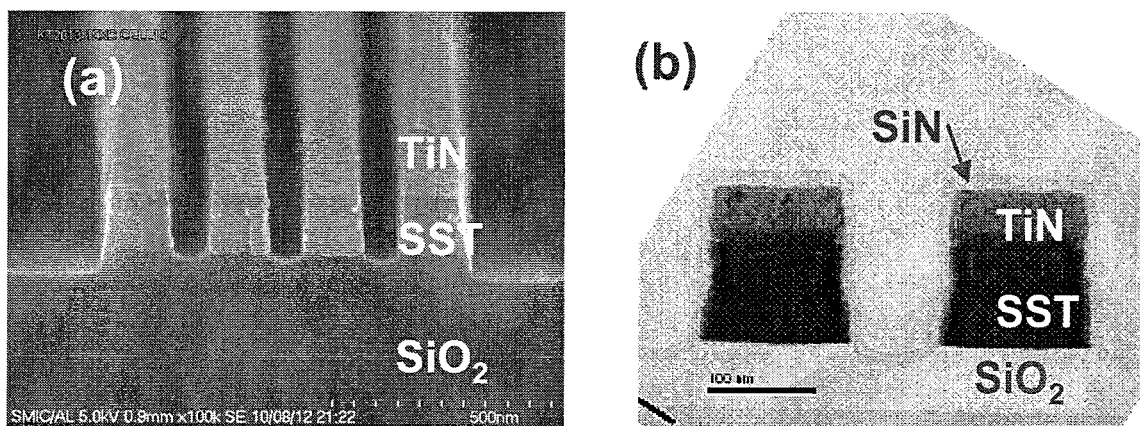


图 4.34 经过干法刻蚀后, SST 的形貌(a)SEM 的俯视图和(b)TEM 的横截面

4.2.5 本节小结

通过共溅射的方法,使用 Si 单质靶和 SbTe 合金靶作为溅射源,分别加以射频和直流溅射功率沉积 SST 薄膜。调节加载在两个靶材上的功率比,可以实现 Si 含量的调整和优化,成功实现 $\text{Si}_2\text{Sb}_2\text{Te}_3$ 薄膜的制备。而且,通过优化工艺条件,改善了薄膜厚度均匀性。经过对 SST 表面氧化现象的研究和机理讨论,发现氧原子主要通过和硅原子的结合在 SST 表面形成 Si-O 键。在对 SST 表面进行氮的等离子处理后,可以有效改善表面氧化现象。从而成功实现了自主知识产权的 SST 薄膜的工程化。

4.3 本章总结

为了实现自主知识产权的新型相变材料在 40 nm 技术节点上的工程化,成功开发了 $\text{Ti}_{0.4-0.5}\text{Sb}_2\text{Te}_3$ 和 $\text{Si}_2\text{Sb}_2\text{Te}_3$ 工艺。通过调整共溅射靶材上的溅射功率实现组分的调整

和优化,通过卡盘高度和腔体压力的调整,优化了薄膜的厚度和组分的均匀性,表征薄膜在大气环境的氧化程度并提出了解决方案,使薄膜工艺满足工程化的要求。

第五章 TiN 电极和绝缘包裹材料的工艺开发与工程化

本章主要介绍 TiN 上电极材料和绝缘包裹材料的工程化。为了改善 TiN 薄膜的性质，包括电阻率、厚度的均匀性以及薄膜的应力、电阻系数等参数，运用“均匀设计法”进行实验设计，优化了薄膜的性能参数。同时，用湿法刻蚀的方法表征薄膜的耐腐蚀性，并研究其机理。最后筛选出满足工艺集成的 TiN 薄膜。

在 GST/TiN 单元被图形化以后，为了防止 GST 薄膜在后续的工艺和电操作过程中，因为高温而导致元素的挥发和扩散。需要用低温绝缘材料层将相变单元包裹起来。此外，该层薄膜还起着绝热的作用，防止在相邻器件单元之间的热串扰。

5.1 TiN 上电极材料的工艺开发和工程化

引言

TiN 薄膜在存储器单元的制备过程中起着重要的作用：(1) 作为相变单元的上电极，形成导电通路。要求薄膜有良好的导电特性，而且有比较好的厚度和电阻率均匀性。同时，不能有太大的应力，以防止在工艺过程中因应力的释放而造成薄膜之间的脱附或剥落。(2) 作为刻蚀时的保护层和停止层材料。要求薄膜具有致密的结构和良好的抗腐蚀能力，以保证在 GST 干法刻蚀和后续的湿法清洗过程中不会被损伤。

5.1.1 试验简介

在室温条件下，利用 300 mm 的物理气相沉积平台，采用磁控反应溅射的方法在 SiO₂/Si (100 晶面) 基底上制备 TiN 薄膜。系统本底真空优于 5E-6 Pa，采用直流功率源，单质钛靶作为溅射源。用氩气作为溅射气体，通入氮气进行反应溅射。使用“均匀设计法”的 DOE 方法，调整溅射功率、气体流量、Ar/N₂ 的流量比以及靶材和硅片之间的距离，制备出不同性质的 TiN 薄膜。并对薄膜的沉积速率、厚度和电阻率均匀性、应力和反射率的表征。从中选取性能比较优异的薄膜。为了验证薄膜的致密性和抗腐蚀性能，用 3000:1 的氢氟酸溶液浸泡 400 s 后，对比各薄膜之间的腐蚀程度，从中找出最好的工艺条件。运用 SEM 表征薄膜横截面和表面的形貌，用 XPS 表征腐蚀后的 TiN 薄膜的原子含量及薄膜中包含的化学键，采用 RBS 对薄膜体密度和组分进行表征。

5.1.2 薄膜性质

图5.1是在不同的工艺参数条件下，薄膜沉积速率的变化规律。由图中可以看出，随着溅射功率、Ar/N₂的流量比和卡盘高度的增加，薄膜的溅射功率增加。而腔体压力越高，沉积速率越低。其中，溅射功率对薄膜的溅射速率影响最大。因为功率越大，从靶材表面轰击出的原子数量越多。在满足薄膜的其它性能要求的前提下，尽量选取比较大的沉积速率以提高硅片的产出率。

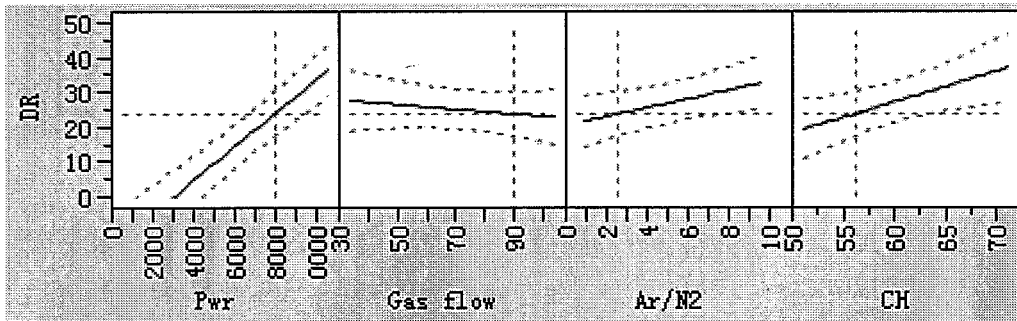


图 5.1 不同工艺参数条件下，薄膜的沉积速率的变化规律

图5.2是在不同的工艺参数条件下，薄膜厚度均匀性的变化规律。由图中可以看出，功率和卡盘高度越大，气体压力和Ar/N₂的流量比越小，TiN薄膜的厚度均匀性越好。其中Ar/N₂的流量比和卡盘高度对厚度均匀性的影响最大。

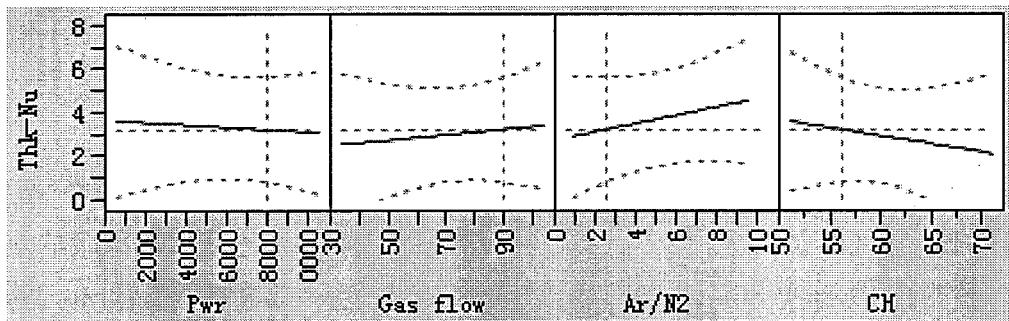


图 5.2 不同工艺参数条件下，薄膜厚度均匀性的变化规律

图5.3是在不同的工艺参数条件下，薄膜电阻率均匀性的变化规律。由图中可以看出，功率和Ar/N₂的流量比越大，卡盘高度越大和气体压力越小，TiN薄膜的电阻率均匀性越好。其中，薄膜的溅射功率和Ar/N₂流量比对电阻率均匀性影响最大。如果需要同时满足薄膜厚度和电阻率均匀性的要求，可以选择比较大的溅射功率和较小的腔体压力条件。Ar/N₂的流量比的选取则需要参考薄膜的其他性质。

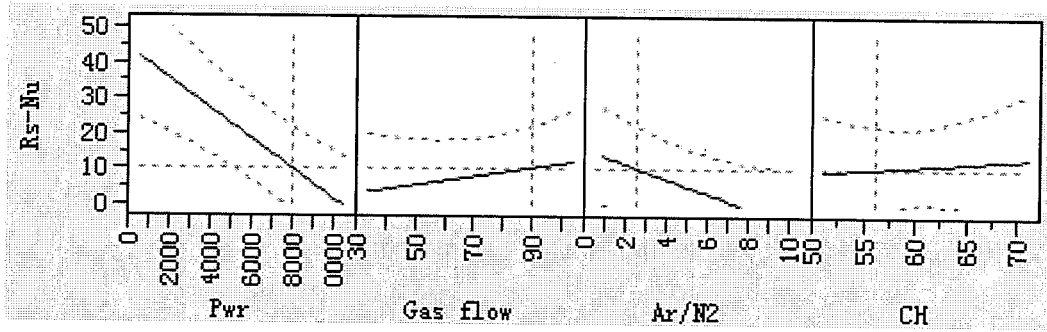


图 5.3 不同工艺参数条件下，薄膜电阻率均匀性的变化规律

图5.4是在不同的工艺参数条件下，薄膜应力的变化规律。薄膜的应力过大，容易在后续的工艺中发生薄膜之间的脱附。由图中可以看出，功率越小，Ar/N₂的流量比和气体压力越大，TiN薄膜的应力越小。而随着卡盘高度的增加，薄膜的压应力先减小，随后转化为拉应力并不断增加。其中，薄膜的Ar/N₂流量比和卡盘高度对TiN薄膜应力的影响最大。

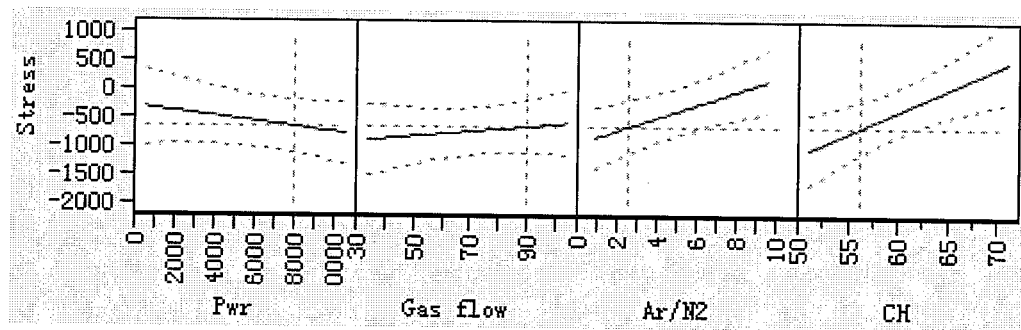


图 5.4 不同工艺参数条件下，薄膜应力的变化规律

图5.5是在不同的工艺参数条件下，薄膜电阻系数的变化规律。薄膜的电阻系数越小，表明TiN更偏向金属性，甚至薄膜中存在Ti-Ti键。由图中可以看出，溅射功率、Ar/N₂流量比和卡盘高度越大，腔体压力越小，TiN薄膜的电阻系数越小。其中，溅射功率和Ar/N₂流量比对电阻率影响较大。

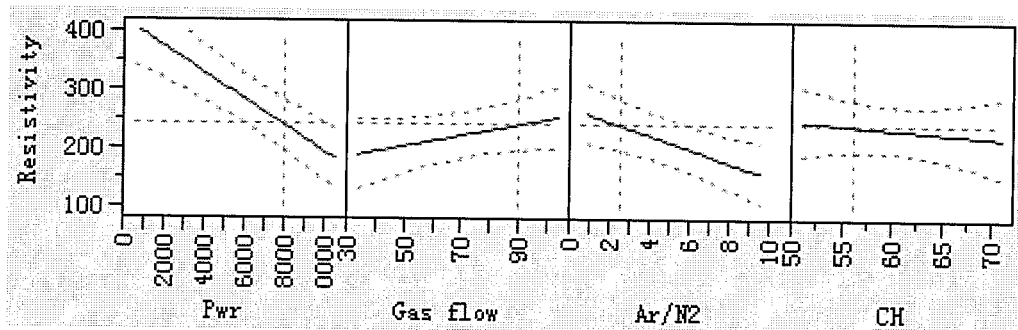


图 5.5 不同工艺参数条件下，薄膜电阻系数的变化规律

5.1.3 TiN抗腐蚀性验证

从DOE中选取比薄膜性质较好的工艺条件，在SiO₂/Si基底上沉积40 nm的TiN薄膜。经过3000:1的氢氟酸腐蚀400s后，根据TiN薄膜的腐蚀程度，可以将其分为三类。并分别从中选取比较典型的薄膜，表征TiN薄膜的性质并探讨腐蚀机理，最后根据机理开发出满足工艺集成的TiN薄膜。

图5.6是被氢氟酸腐蚀后的硅片表面形貌。由图中可以看出，在腐蚀后，A条件的TiN薄膜表面呈金黄色，硅片表面应该仍然有TiN薄膜存在；而B条件的硅片中央已经呈现深紫色，中心的TiN薄膜应该已经被腐蚀掉了；C条件的整个硅片表面是深紫色，所有的TiN薄膜已经被腐蚀。

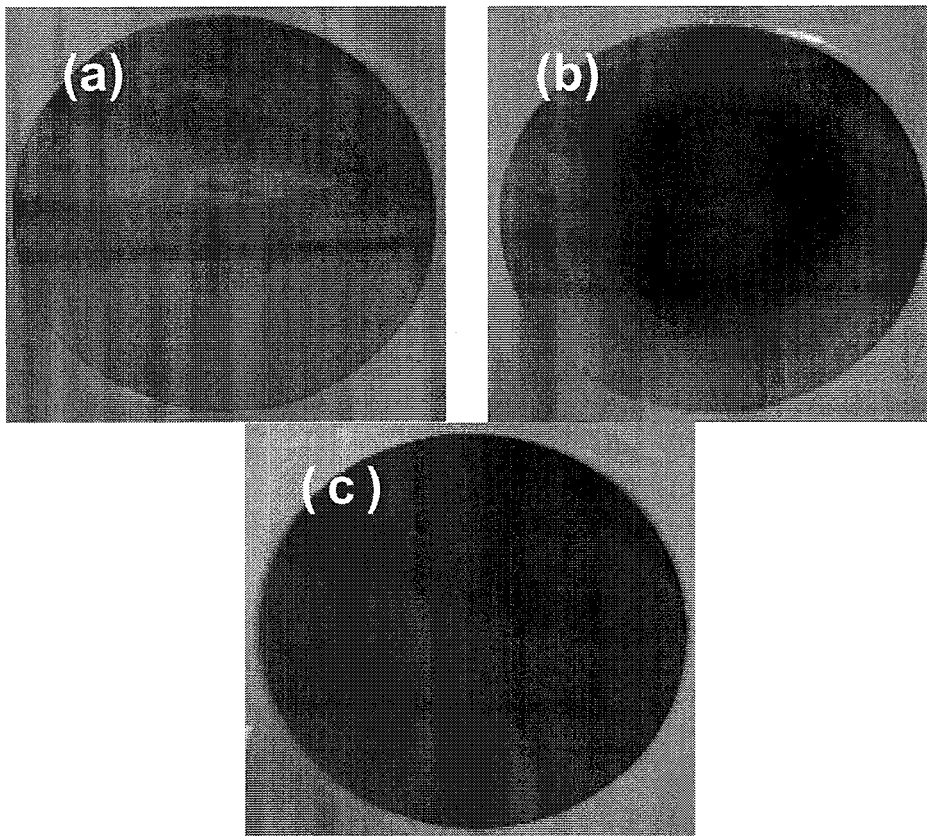


图 5.6 经过在氢氟酸中浸泡后，硅片表面的形貌，(a)A条件，(b)B条件和(c) C条件

图5.7是氢氟酸腐蚀后，硅片表面的SEM形貌表征和对比。由图(a)中可以看出，腐蚀后A条件的TiN薄膜仍然存在，表面形貌正常，其厚度基本上没有损失。而图(b)中示，而B条件的TiN横截面和表面结构为非常疏松的多孔结构，TiN薄膜已经被严重腐蚀。图(c)中可见，硅片表面已经没有TiN薄膜，C条件的TiN完全被腐蚀掉。

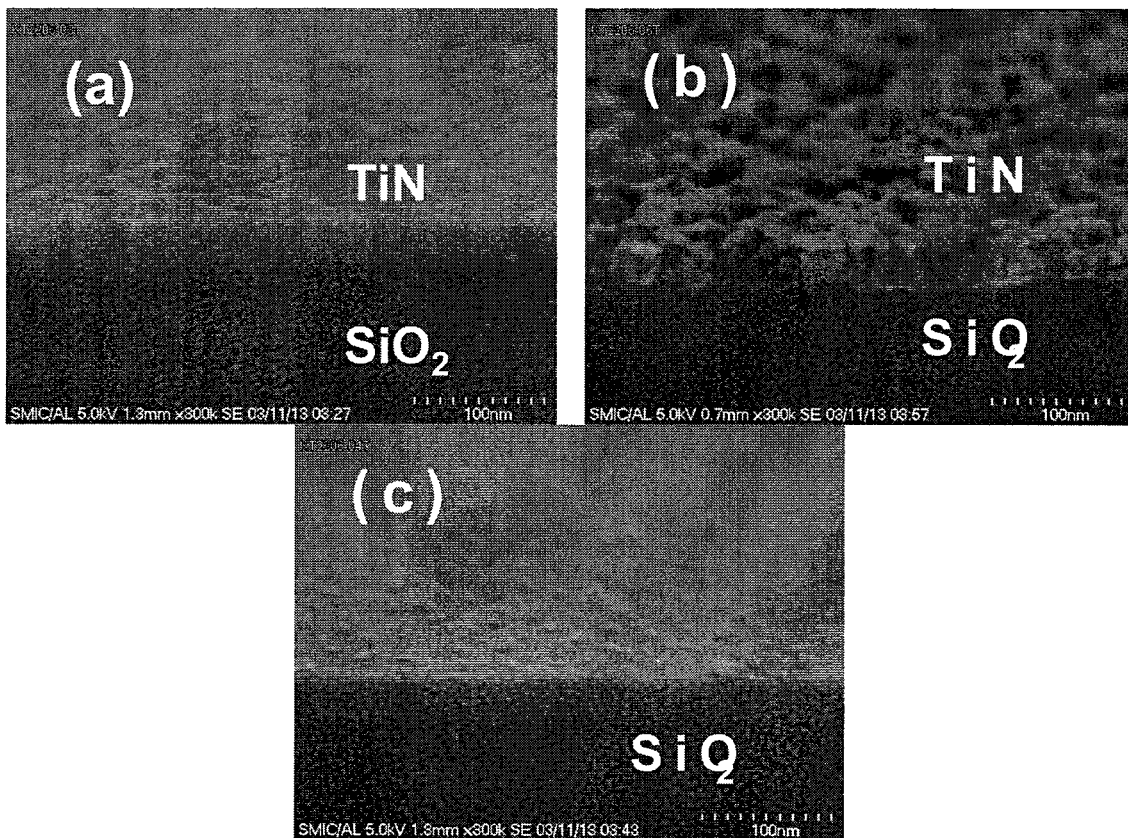
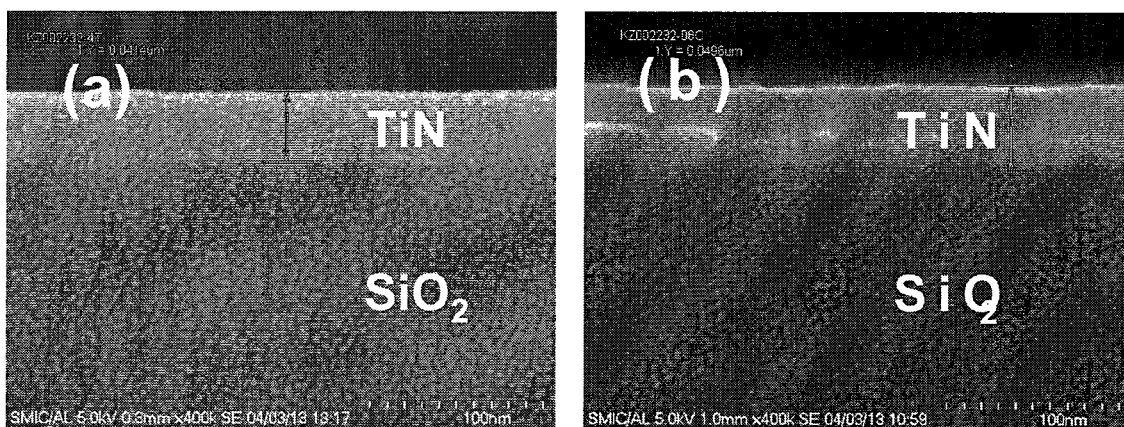


图 5.7 经过在氢氟酸中浸泡后，硅片表面的SEM形貌，(a)A条件，(b) B条件的硅片边缘处和(c) C 条件

图5.8是沉积态的TiN薄膜的SEM横截面形貌表征。由图(a)中可以看出，A条件的TiN薄膜截面的晶粒比较细小均匀。而图(b)-(c)中所示，薄膜截面参差不齐，有明显的横向突起。可能是因为薄膜生长的晶向不一致导致的。薄膜的抗腐蚀性有可能与薄膜的生长晶向有关，也就是说，氢氟酸薄膜更容易对具有横向晶向的TiN薄膜造成腐蚀。



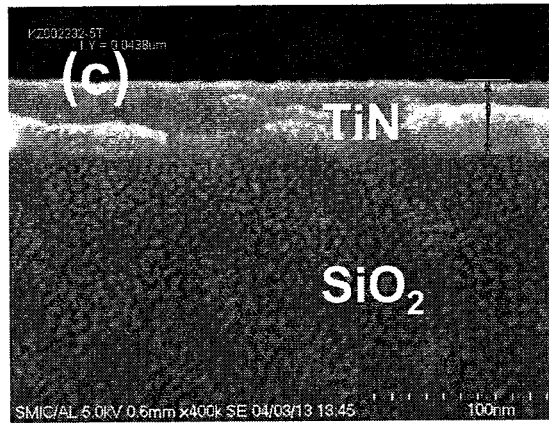


图 5.8 沉积态的TiN薄膜横截面形貌，(a)A条件，(b)B条件的硅片边缘处和(c)C条件

图5.9是沉积态的TiN薄膜的SEM表面形貌表征。由图(a)-(b)中可以看出，A和B条件下生长的TiN薄膜的表面晶粒较小且比较均匀。而图(c)中所示，薄膜表面有明显的晶粒形成，且薄膜显得比较疏松。疏松的薄膜更容易在氢氟酸中反映而被腐蚀。

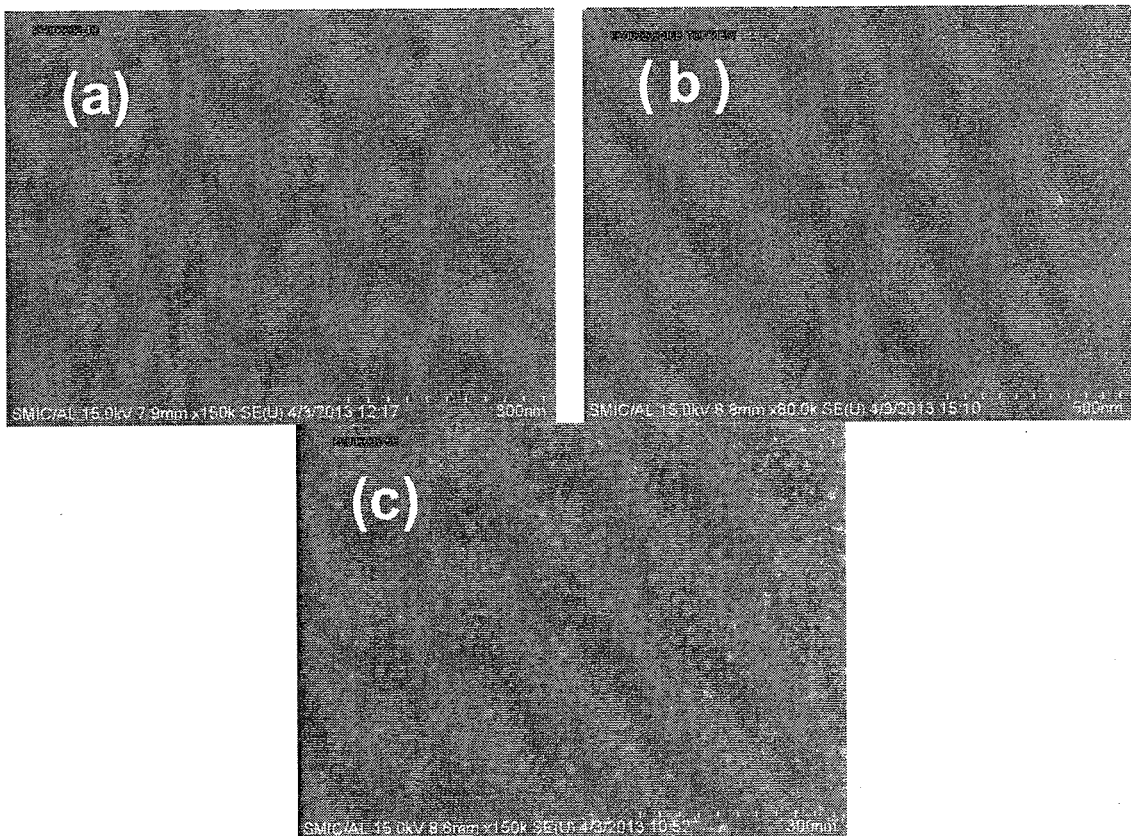


图 5.9 沉积态的TiN薄膜SEM的表面形貌，(a)A条件，(b)B条件的硅片边缘处和(c)C条件

图5.10是不同的工艺条件下，TiN薄膜的厚度分布图。由图中可以看出，三种TiN薄膜的厚度非均匀性都小于5%，分别为4.76%，3.54%和2.39%。其中B条件下生长的TiN薄膜在中心点的厚度最小。有可能会导导致中心点的薄膜更容被腐蚀掉。

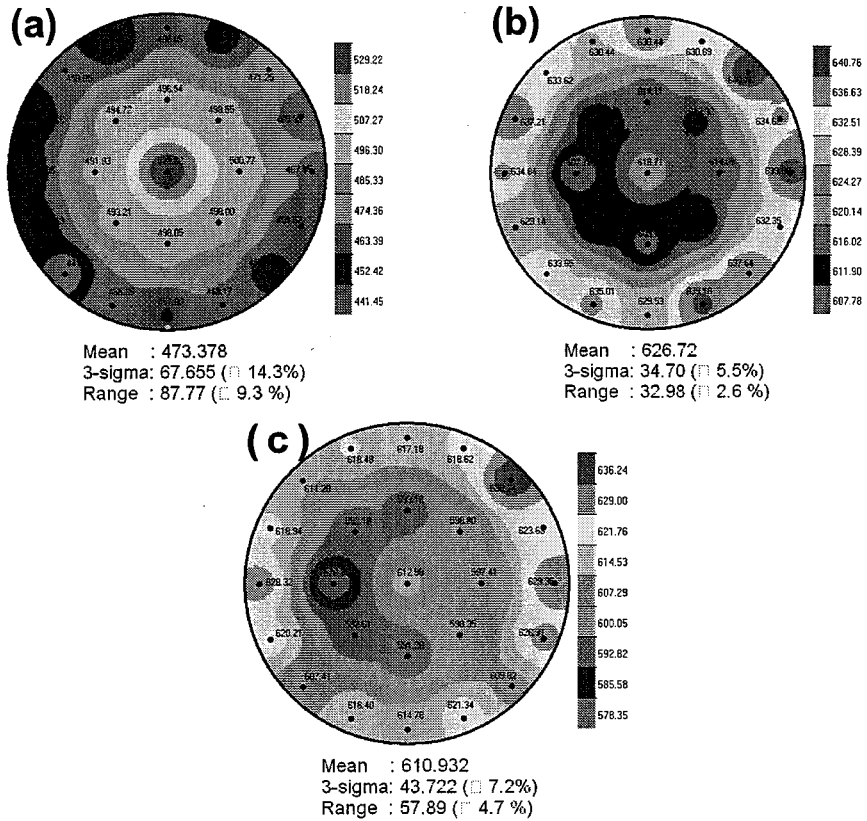
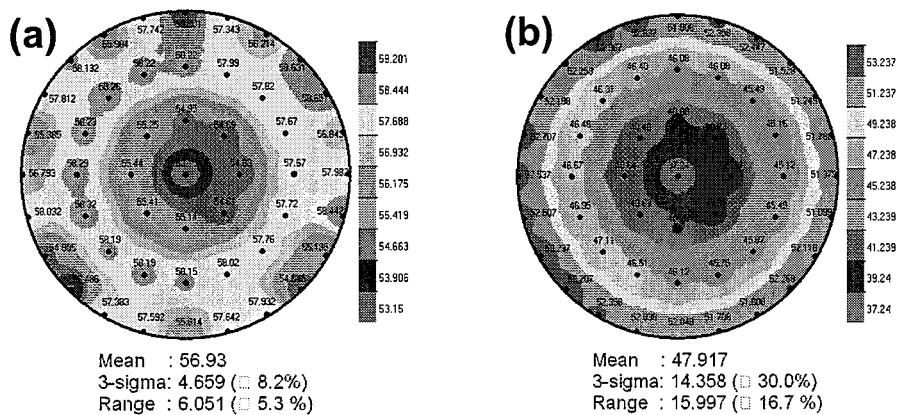


图 5.10 沉积态的TiN薄膜的厚度均匀性表征, (a)A条件, (b)B条件和(c) C条件

图5.11是不同的工艺条件下, TiN薄膜的电阻率分布图。在相同厚度的条件下, 电阻率的大小可以一定程度地表征TiN薄膜中Ti含量的多少。Ti的含量越高, 薄膜的电阻率越低。由图中可以看出, 三种TiN薄膜的电阻率非均匀度相当, 分别为3.71%, 2.30%和3.76%。而中心位置的电阻率都比较低, 结合薄膜的厚度分布图可知, A条件的Ti含量基本上比较均匀, 因为中心点的厚度比较大而电阻比较低。而图(b)-(c)中, 中心点的厚度和电阻率都比较低, 所以中心点的Ti的含量应该比硅片边缘点的高。因此, 在硅片中心处的TiN薄膜更容易与氢氟酸中的氟离子发生反应而被腐蚀。



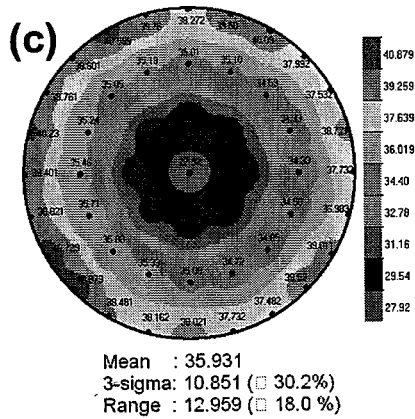


图 5.11 沉积态的TiN薄膜的电阻率均匀性表征, (a)A条件, (b) B条件和(c) C条件

图 5.12是用RBS对TiN薄膜的组分和体密度表征。由图中可以看出, A、B和C三种TiN薄膜的Ti/N原子百分含量比分别为2, 4和19。也就是说, 三种TiN薄膜都不是化学剂量比, Ti的含量比较高。而薄膜的体密度分别为 $8.74, 6.78$ 和 $6.13E22$ at/cc。因此, 当TiN薄膜中的Ti含量比较高、体密度比较小时, 更容易在氟化氢中被腐蚀。

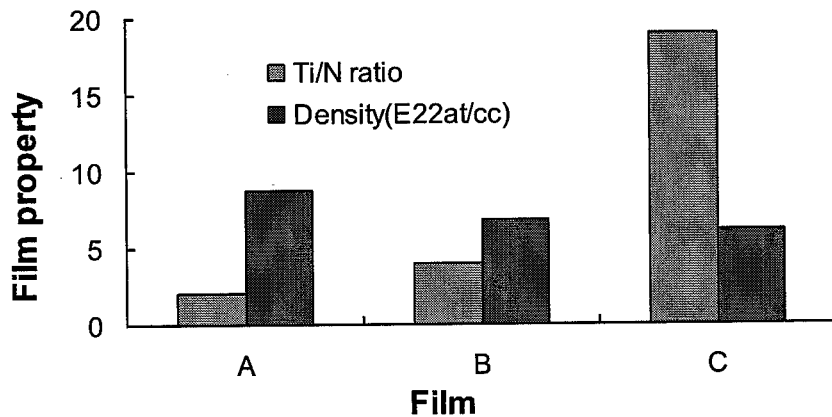


图5.12 用RBS对TiN薄膜的Ti/N原子百分含量比和体密度的表征

图5.13是表征TiN薄膜被腐蚀后的横截面形貌和XPS深度方向的元素和价键分布。由图(a)中可以看出, TiN表面附近的薄膜已经被腐蚀, 截面呈多孔的疏松形貌。而接近SiO₂界面处的TiN薄膜仍然保持比较好。如图(b)中所示, 在靠近SiO₂界面处的TiN薄膜, Ti和Ti-N键的曲线基本上重合, 所以B条件下的TiN薄膜中基本没有Ti-Ti键。在腐蚀后的TiN薄膜表面, Ti元素的含量比较低, 说明TiN表面的Ti元素已被氟元素发生反应被腐蚀。同时, 在表面处不仅有Ti-N键而且还有Ti-O键, 说明TiN表面的Ti-N键中的N元素已经被O元素置换。

综上所述, 当TiN薄膜浸泡在氢氟酸中时, 比较疏松的薄膜更容易受到腐蚀, 主要是氟离子于Ti元素反应。同时, Ti含量越高腐蚀越严重。所以, 通过增加TiN薄膜

的体密度和增加氮含量可以解决腐蚀的问题。

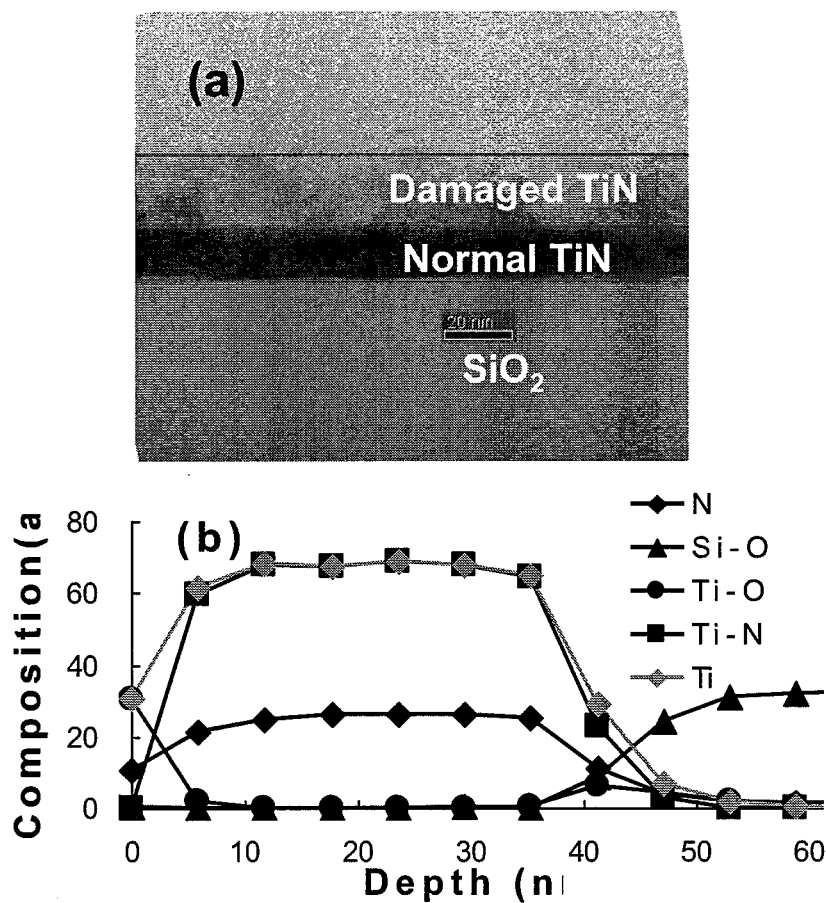


图 5.13 B条件的TiN薄膜经过氢氟酸腐蚀后，薄膜的(a)TEM横截面形貌和(b)XPS的元素和价键的深度表征

图5.14时A条件的TiN薄膜经过工艺集成后，在3000:1的氢氟酸腐蚀400s后，薄膜表面也没有发现被腐蚀的现象。

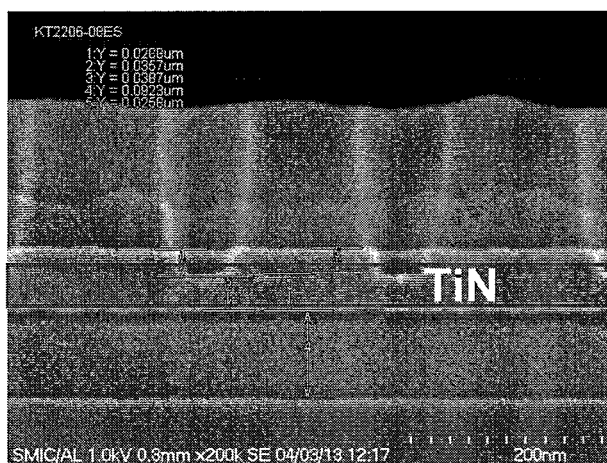


图5.14 A条件的TiN薄膜在经历氢氟酸湿法清洗后，没有被腐蚀

5.1.4 本节小结

在保证薄膜具有较快的沉积速率条件下，薄膜厚度和电阻率的非均匀性都小于 5%，薄膜的应力约为-400 Mpa，电阻系数为250 Ohm.cm。而且，其抗腐蚀性也通过验证。该TiN薄膜完全能够满足上电极材料的要求，成功实现了工程化。

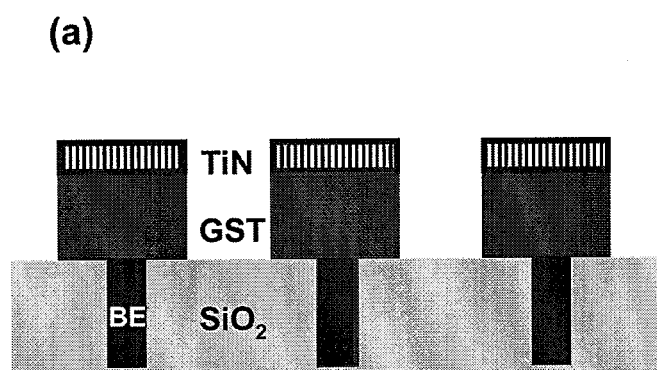
5.2 绝缘包裹材料的工艺开发和工程化

引言

绝缘包裹材料在存储器单元的制备过程中起着重要的作用：(1) 保护相变材料单元，防止在高温过程中的元素挥发和扩散。GST材料中Te元素的挥发温度比较低，约为340°C。在后续的制备工艺和电性操作过程中，其温度均高于Te的挥发温度，因此需要采用低温工艺为相变单元“穿上”一层保护绝缘材料。(2) 隔热层。在对相变单元进行RESET操作时，相变区域局部温度可高达600°C，增加一层绝热材料，不仅提高了操作效率，而且可以防止相邻相变器件单元之间的热串扰。这对高密度、大容量的相变存储器制备非常重要。(3) 防止在后续工艺过程中Sb和Te等元素的交叉污染，提供与CMOS工艺的良好兼容工程化环境^[99,100]。

5.2.1 试验简介

在室温条件下，利用300 mm的化学气相沉积平台，系统本底真空优于5E-6 Pa。如图中所示，在GST/TiN图形化以后，分别采用200°C，350°C和250°C的低温工艺盖上SiN、HARP二氧化硅和覆盖层二氧化硅的包裹层。在优化各包裹层的填充工艺时，为了简化准备时间，用二氧化硅代替GST/TiN结构。通过调整沉积功率、NH₃/SiH₄流量比和腔体压力来优化SiN的台阶覆盖率。通过调整O₃/TEOS流量比来优化HARP的填充能力。用TEM的来表征个包裹层材料的截面形貌。



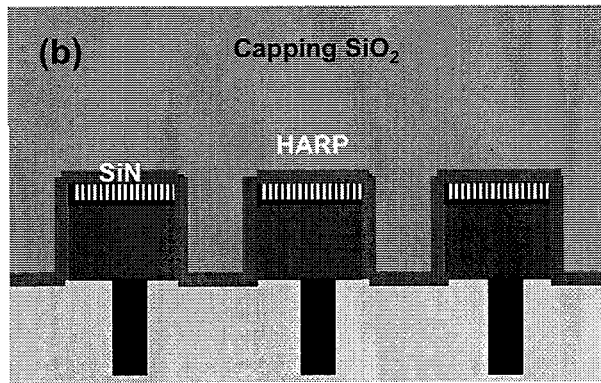
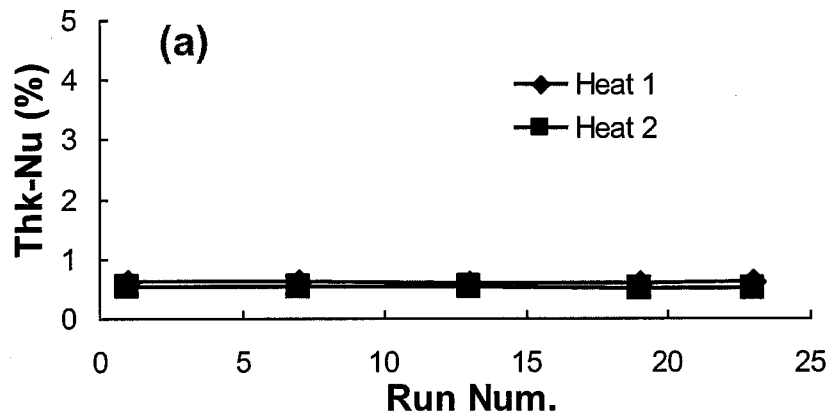


图 5.15 相变单元的制备工艺: (a)GST/TiN图形化以后, (b)依次盖上低温的SiN、HARP和覆盖层

5.2.2 薄膜性质

5.2.2.1 SiN包裹层

图5.16是经过工艺参数优化后, 沉积25片硅片来验证SiN薄膜性质的稳定性和工艺的可重复性。由图(a)中可以看出, 薄膜厚度的非均匀性值非常低, 仅约为0.56%。而且两个腔体生长出来的SiN薄膜的均匀性都很好。如图(b)中所示, 薄膜的拉应力大小约为785 Mpa, 工艺重复性很好。



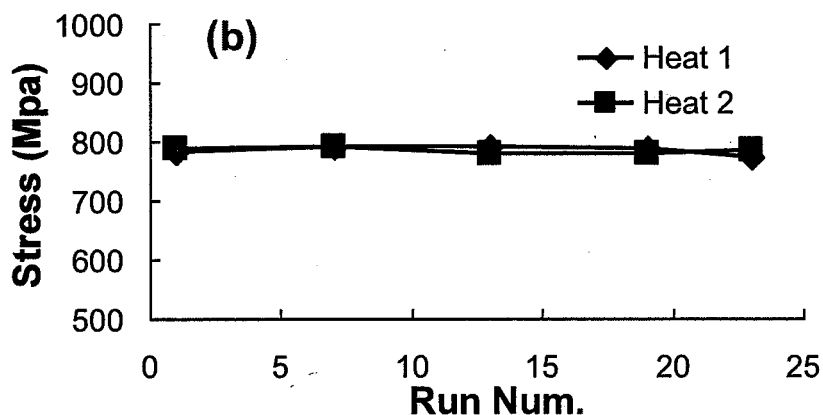
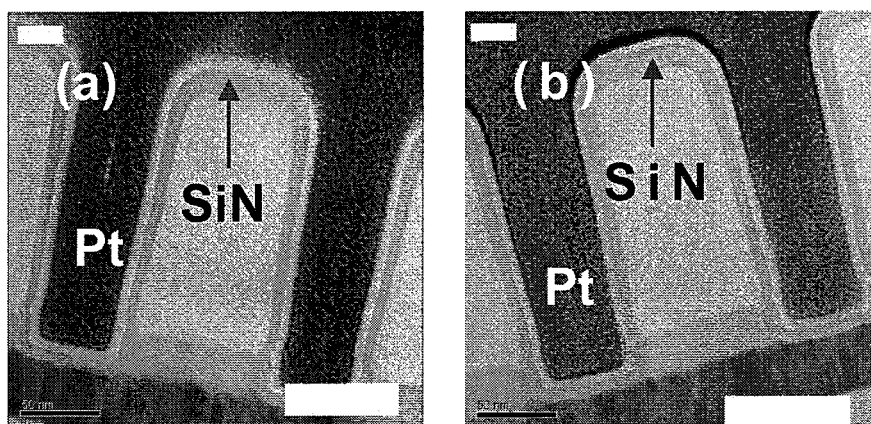


图 5.16 在平板硅片上的SiN薄膜的(a)厚度均匀性和(b)应力

图5.17是通过调整沉积功率、 NH_3/SiH_4 流量比和腔体压力等参数来优化SiN薄膜的台阶覆盖率。由图中可以看出，经过仔细测量和对比侧壁、底部和底部转角处的台阶覆盖率，低的沉积功率、高的 NH_3/SiH_4 流量比和腔体压力可以得到更好的台阶覆盖率。如图(a)-(b)中所示，低功率条件下的台阶覆盖率比基准条件提高约15.28%。主要是因为沉积功率越低，薄膜沉积速率越慢，化学前驱体在孔洞内的分布更加均匀，所以台阶覆盖率更好。如图(c)中，将 NH_3/SiH_4 流量比从6.98提高到9.30后，SiN的台阶覆盖率提高约14.58%。当 NH_3 的相对含量增高，前驱体在孔洞内的流动性越好，因此最后得到的台阶覆盖率更好。如图(d)中所示，同时选用较低的沉积功率和高的 NH_3/SiH_4 流量比，并将腔体压力增大33%以后，薄膜的台阶覆盖率比基准条件时增加了30.63%。之所以选择比较大的腔体压力，主要是通过增加载气的流量，从而使前驱体在孔洞内的分布更加均匀，以得到更好的台阶覆盖率。



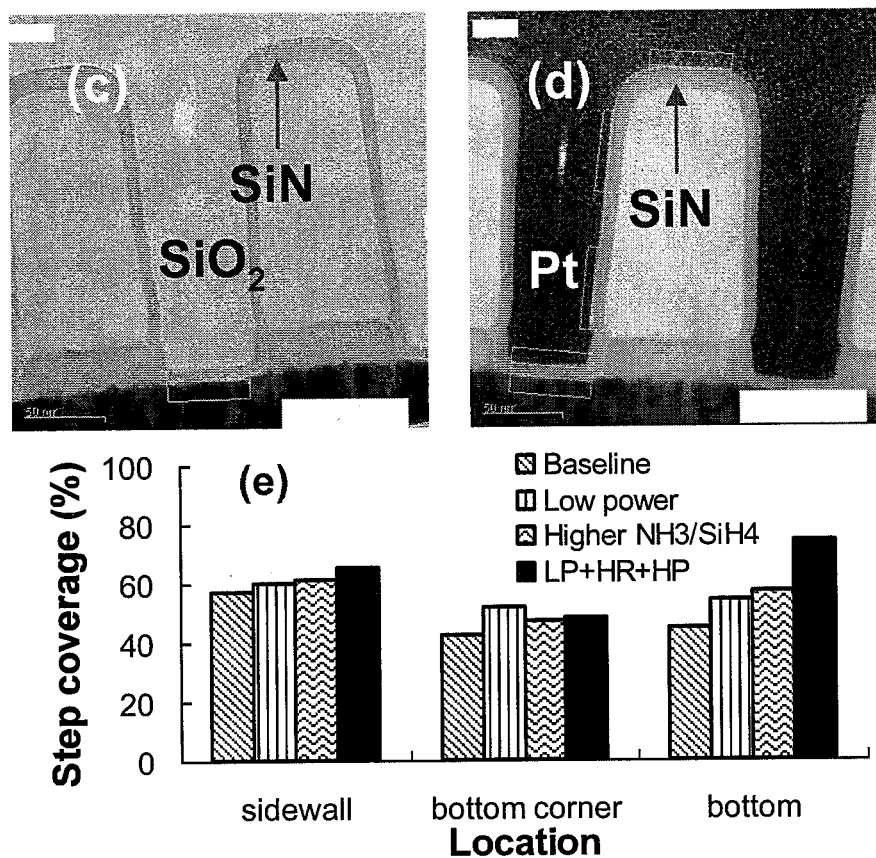
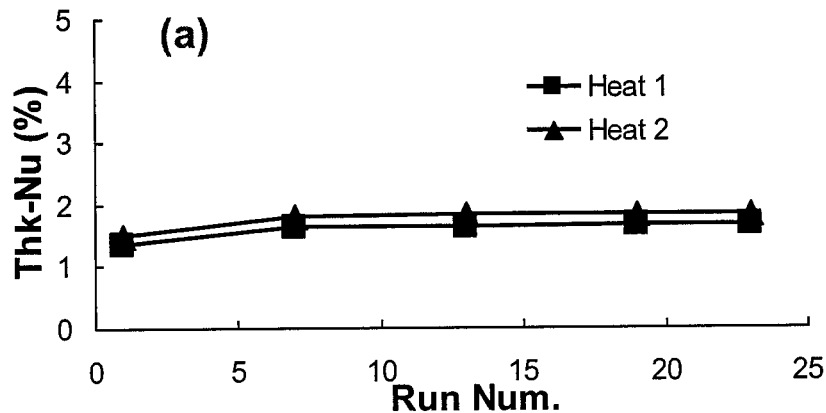


图 5.17 SiN 的台阶覆盖率的优化, (a)基准条件, (b)较低的功率, (c)较大的NH₃/SiH₄流量比, (d)低功率、大NH₃/SiH₄流量比和高压力, (e)台阶覆盖率的比较

5.2.2.2 HARP填充介质包裹层

图5.18是经过工艺参数优化后, 沉积25片硅片来验证HARP薄膜性质的稳定性和工艺的可重复性。由图(a)中可以看出, 薄膜厚度的非均匀性值比较低, 约为1.66%。而且两个腔体生长出来的均匀性相当。如图(b)中所示, 薄膜的折射率大小约为1.44, 工艺重复性很好。



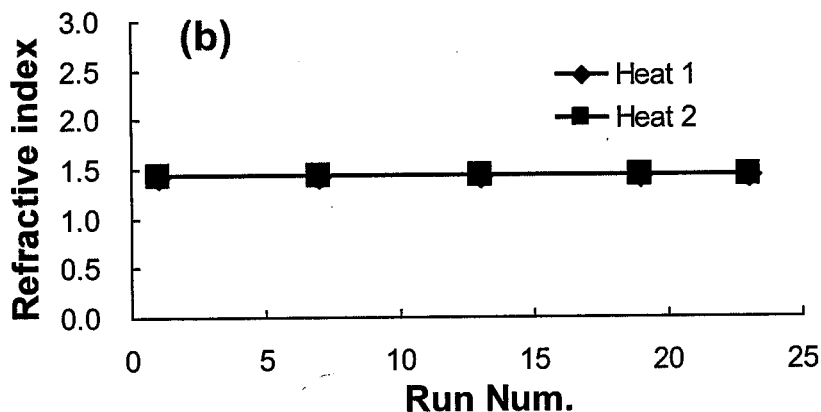
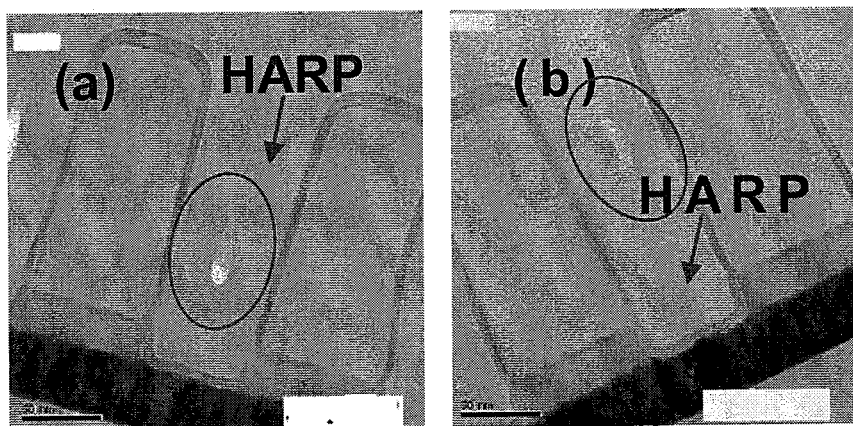


图 5.18 在平板硅片上的HARP二氧化硅薄膜的(a)厚度均匀性和(b)折射率

图5.19是对比不同温度下薄膜的孔洞填充能力。由图中可以看出，随着沉积温度的提高，HARP的填充效果越好。这是因为温度越高，前驱体的流动性越好，所以填充性越好。而且，当温度越高，生长出的二氧化硅薄膜的杂质含量越少，薄膜越致密。如图(d)所示，当薄膜沉积温度从430°C降到350°C和300°C以后，薄膜在氢氟酸中的刻蚀速率分别升高了75 %和200 %。薄膜的刻蚀速率越快说明该薄膜的致密性越差。因此，在薄膜的沉积温度与填充能力和致密性之间折中，选择350°C作为填充介质包裹层的沉积温度条件。

图5.20是通过调整O₃/TEOS的流量比优化HARP的填充能力。由图中可以看出，当O₃/TEOS的流量比从22.5增加到27.0时，薄膜的填充效果明显提高，孔洞中比较大的空洞缩小成窄窄的细缝。当继续增加流量比到33.8，缝隙略微减小。因此，在该孔洞形貌条件下，O₃/TEOS的流量比为33.8时，HARP的填充能力相对比较好。



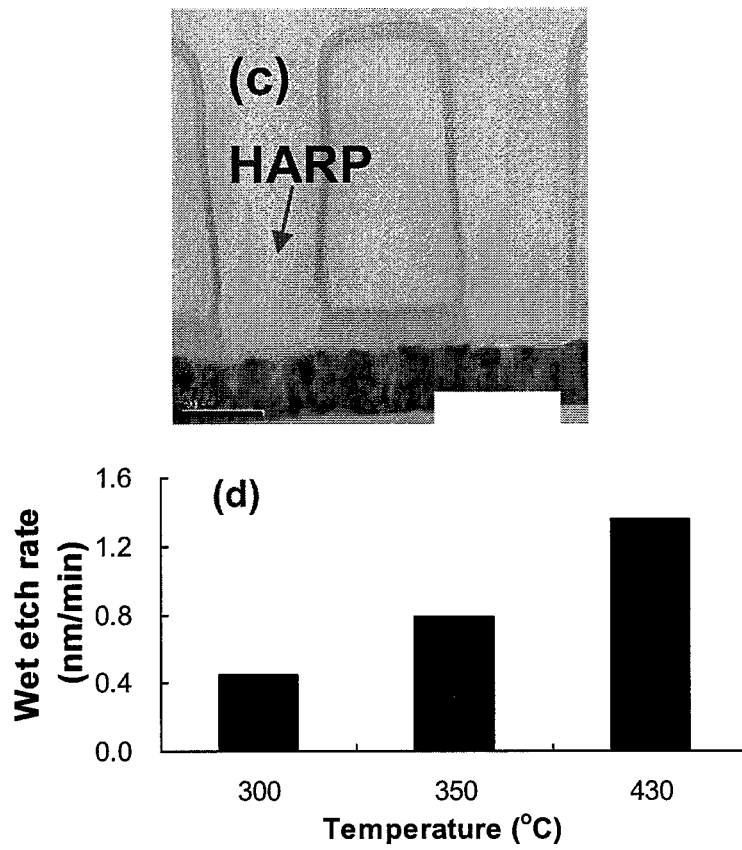
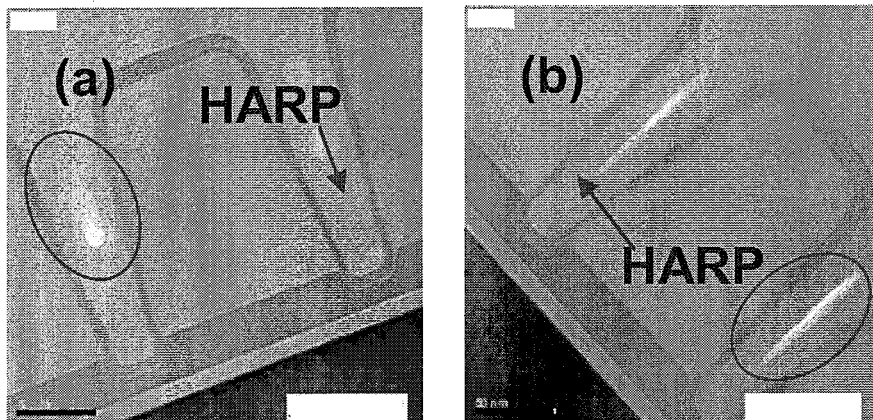


图 5.19 在不同沉积温度条件下，HARP工艺的填充能力，(a)300°C，(b) 350°C和(c) 430°C



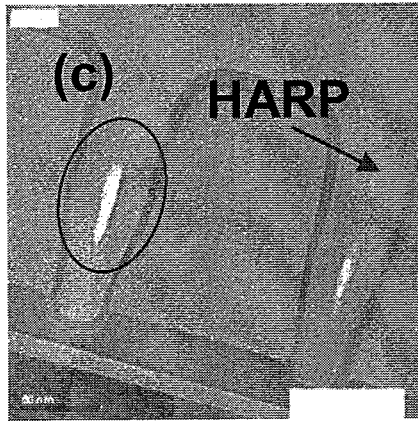


图 5.20 在350°C的沉积温度下，通过调整O₃/TEOS的流量比优化HARP的填充能力，(a)22.5，(b)27.0和(c)33.8

5.2.2.3 二氧化硅覆盖层

图5.21是经过工艺参数优化后，沉积25片硅片来验证二氧化硅覆盖层薄膜性质的稳定性和工艺的可重复性。由图(a)中可以看出，薄膜厚度的非均匀性值非常低，仅约为0.56%。而且两个腔体生长出来的均匀性相当。如图(b)中所示，薄膜的折射率大小约为1.46，工艺重复性很好。

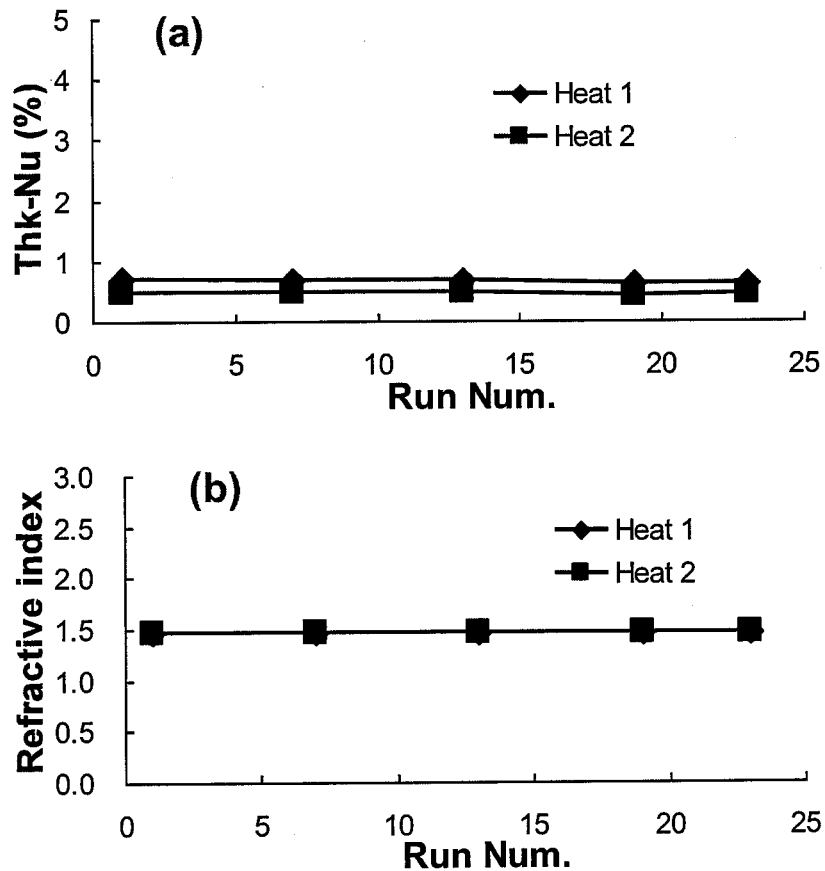


图 5.21 在平板硅片上的二氧化硅覆盖层的(a)厚度均匀性和(b)折射率

5.2.3 工艺集成

图5.22是将优化以后的绝缘包裹层集成到实际相变器件单元上的效果。由图中可以看出，在GST/TiN图形化以后，依次沉积低温的SiN、HARP和覆盖层的TEM形貌。SiN在侧壁、侧壁角落和底部的台阶覆盖率均高于70%，对器件单元的包裹良好。此外，HARP绝缘介质层实现了无空洞的完全填充。在覆盖层沉积后，没有发现GST薄膜的挥发和扩散。成功实现绝缘包裹层的工艺集成。

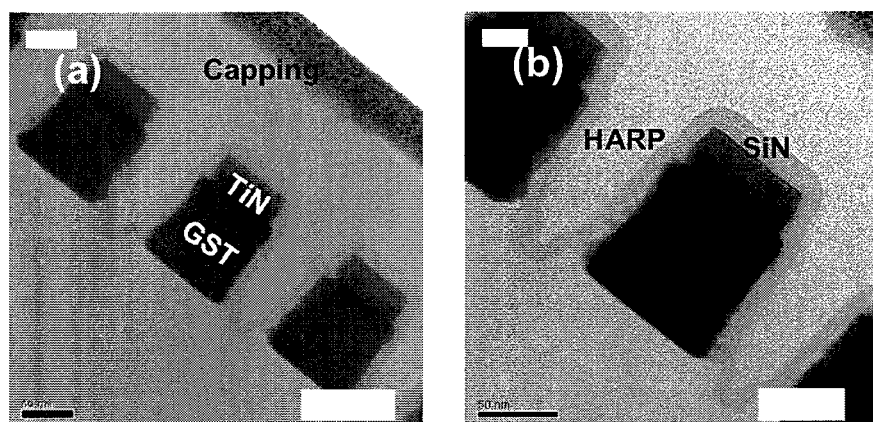


图 5.22 在GST/TiN图形化以后，依次沉积低温的SiN、HARP和覆盖层，(a)整体图和(b)局部放大图

5.2.4 小结

在300mm的化学气相沉积平台上，成功开发出与相变材料相兼容的低温绝缘包裹层工艺。通过调整工艺参数，有效地分别优化了SiN和HARP关键工艺在低温条件下的台阶覆盖率和填充能力。将优化后的包裹层材料工艺集成到实际的相变单元上，SiN的覆盖良好和HARP的填充无空洞。相变器件单元没有发生元素挥发和扩散等现象，成功实现了绝缘包裹层材料的工程化。

5.3 本章总结

运用均匀设计的实验设计方法，优化了TiN上电极薄膜的性能，包括厚度和电阻率均匀性、应力和沉积速率等。同时研究了薄膜在氟化氢溶液里的抗腐蚀能力，发现TiN薄膜的N/Ti比率和体密度越高，薄膜的抗腐蚀能力越强。通过工艺集成的验证，满足了工程化的需求。

针对相变材料的特点，开发低温绝缘包裹层的沉积工艺。分别采用200°C的SiN、350°C的SiO₂填充工艺以及250°C的SiO₂覆盖层工艺，将图形化后的相变单元保护起来，有效防止了相变薄膜在高温时发生元素挥发和扩散，并减少热损耗和相变单元之间的

热串扰，成功实现工程化。

第六章 全文总结和展望

6.1 全文总结

本论文主要围绕相变存储器技术的工程化和产业化展开研究，分别在200 mm和300 mm工艺平台上，系统地研究和开发相变材料、电极材料、中介介质层和绝缘包裹层材料的工艺，通过优化以满足工程化的要求。此外，开发了相变材料的纳米孔洞填充技术，为40 nm及其以下技术节点提供了可靠的解决方案。而且在200 mm的平台上，运用0.13 μm 的CMOS工艺技术，成功实现了相变存储器的小批量量产。主要结论归纳如下：

- 1、在200 mm的工艺平台上，成功开发了氮掺杂GST工艺，通过表征薄膜性质和测量电性，优化了氮元素的掺杂浓度；开发出 $\text{Si}_2\text{Sb}_2\text{Te}_6$ 的制备工艺，经过参数优化后，沉积的SST薄膜满足工艺集成的要求；研究和优化相变材料在不同尺寸和形貌的孔洞上，单步沉积工艺的填充效果，成功开发出针对纳米孔洞填充的沉积-刻蚀-沉积技术，并研究其机理；开发了上电极TiN薄膜的沉积工艺，优化后的薄膜满足相变存储器的性能要求；开发 TiO_x 中介介质层薄膜的沉积工艺，通过将其集成到器件单元，发现了该工艺条件下存在的问题并提出解决方案。
- 2、在300 mm的工艺平台上，开发出GST的室温沉积工艺，通过对溅射功率和气体流量的调整，优化了GST的沉积速率、均匀性等薄膜性能；通过调整热板温度，开发出晶态GST的沉积工艺，有效地减小了薄膜在后续热过程中的体积收缩，提高了工艺集成的可靠性。
- 3、在300 mm的工艺平台上，为了克服传统溅射方法填充能力不足的缺点，开发出沉积-刻蚀-沉积的纳米孔洞填充技术。通过研究不同工艺条件下相变材料在小孔内的填充形貌，发现在刻蚀过程中相变材料的再沉积是填充能力得以提高的主要原因。成功实现了30 nm和7 nm的小孔填充，孔内的组分均匀，满足40 nm及其以下技术节点的要求。
- 4、在300 mm的工艺平台上，为了实现自主知识产权的新型相变材料在40 nm技术节点上的工程化，成功开发了 $\text{Ti}_{0.4-0.5}\text{Sb}_2\text{Te}_3$ 和 $\text{Si}_2\text{Sb}_2\text{Te}_3$ 工艺。通过调整共溅射靶材上的溅射功率实现组分的调整和优化，通过卡盘高度和腔体压力的调整，优化了薄膜的厚度和组分的均匀性，表征薄膜在大气环境的氧化程度并提出了解决方案，使薄膜工艺满足工程化的要求。
- 5、在300 mm的工艺平台上，运用均匀设计的实验设计方法，优化了TiN上电极薄膜

的性能，包括厚度和电阻率均匀性、应力和沉积速率等。同时研究了薄膜在氟化氢溶液里的抗腐蚀能力，发现TiN薄膜的N/Ti比率和体密度越高，薄膜的抗腐蚀能力越强。通过工艺集成的验证，满足了工程化的需求。

- 6、在300 mm的工艺平台上，针对相变材料的特点，开发低温绝缘包裹层的沉积工艺。分别采用200°C的SiN、350°C的SiO₂填充工艺以及250°C的SiO₂覆盖层工艺，将图形化后的相变单元保护起来，有效防止了相变薄膜在高温时发生元素挥发和扩散，并减少热损耗和相变单元之间的热串扰，成功实现工程化。

6.2 展望

相变存储技术是业界公认的最具潜力和应用前景的下一代非挥发性存储技术之一。本研究依托研究所深厚的理论研究背景以及半导体公司先进的产业化工艺平台等资源，以相变存储器的工程化为切入点，开发和优化相变存储单元的制备工艺，开展和推动自主知识产权的新型相变材料的工程化验证，针对40纳米及其以下技术节点的工艺要求，开发出相变材料的纳米小孔填充技术。本文取得了一些有意义的研究结果，但还有许多工作需要进一步深入研究：

- 1、虽然新型相变材料的组分经过试验室阶段的优化，但在工艺化的平台上，需要根据其电性能对其组分和工艺重新予以验证和优化。
- 2、相变材料沉积和图形化以后，在后续的工艺中，需要承受一些列的热过程。相变材料在这些热过程中的稳定性和可靠性尚需要进一步的研究和探讨。
- 3、在相变材料和下电极之间加入中间介质层材料可以提高加热效率和降低热损耗，但是，需要考虑该层材料在不同的操作电流条件下的阻值变化规律以及该变化对相变器件单元电性能的影响。此外，在相变编程区域内，中间介质层材料需要承受反复的高温热过程，研究和表征中间介质层材料的稳定性是另一个值得重视的问题。
- 4、低温条件下沉积的介质包裹层材料能够有效地防止相变材料的挥发和扩散，并减少热量损耗和串扰。但如果薄膜沉积温度过低，薄膜的密度和纯度会变差。怎样在热预算和薄膜的质量之间找到一个合适的平衡点，是一个值得关注的问题。
- 5、纳米填充技术可以解决传统PVD工艺填孔能力较差的缺点，满足了40 nm及其以下技术节点的需求。但填充薄膜的可靠性和寿命需要进一步的验证。