

电子科技大学  
UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

# 博士学位论文

DOCTORAL DISSERTATION



论文题目 硅基氮化镓增强型功率器件场控  
机理与新结构研究

学科专业 微电子学与固体电子学

学 号 201511030104

作者姓名 施宜军

指导教师 陈万军 教授

分类号 G31 密级 公开

UDC <sup>注1</sup> \_\_\_\_\_

# 学 位 论 文

## 硅基氮化镓增强型功率器件场控 机理与新结构研究

(题名和副题名)

施宜军

(作者姓名)

指导教师 陈万军 教 授

电子科技大学 成 都

(姓名、职称、单位名称)

申请学位级别 博士 学科专业 微电子学与固体电子学

提交论文日期 2019.09.17 论文答辩日期 2019.11.29

学位授予单位和日期 电子科技大学 2019.12

答辩委员会主席 \_\_\_\_\_

评阅人 \_\_\_\_\_

注1：注明《国际十进分类法 UDC》的类号。

**Research on Field Control Energy-Band Mechanism and  
New Structure of *E*-mode GaN-on-Si Power Devices**

**A Doctoral Dissertation Submitted to  
University of Electronic Science and Technology of China**

**Discipline:** Microelectronics and Solid-State Electronics

**Author:** Shi Yijun

**Supervisor:** Chen Wanjun

**School:** School of Electronic Science and Engineering

## 独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

作者签名：施宜军

日期：2019年12月20日

## 论文使用授权

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后应遵守此规定)

作者签名：施宜军

导师签名：陈宇

日期：2019年12月20日

## 摘 要

硅基氮化镓 (GaN-on-Si) 功率器件具有击穿电压高、工作温度高和工作频率高等优异性能, 是电力电子领域极为理想的半导体器件, 现已成为国际半导体领域的研究热点之一。因增强型功率器件具有安全性高及驱动简单等优点, 如何制备出高性能的 GaN-on-Si 增强型功率器件是学者们关注的重点。为降低功率器件的设计周期和成本, 往往需要器件理论模型来指导器件的设计, 而目前对 GaN-on-Si 增强型功率器件相关物理模型的研究较少。同时, 功率器件从产品到应用需要解决其可靠性相关的问题, 关于 GaN-on-Si 增强型功率器件长期可靠性方面的问题还需进行全方面地研究。此外, 一些应用领域不仅要求功率器件具有较好的正向阻断能力, 还要求其具有反向阻断能力。本文针对 GaN-on-Si 功率半导体技术在发展中所面临的一些问题, 开展了 GaN-on-Si 增强型功率器件的理论模型、新结构、关键工艺及长期可靠性的研究。主要创新如下:

(1) 建立了 GaN-on-Si 增强型功率器件场控能带模型。

研究了 GaN-on-Si 增强型功率器件的场控能带机理, 分析了器件结构、材料结构、陷阱电荷及外加电场对能带结构和二维电子气 (Two-Dimensional Electron Gas, 2DEG) 浓度的影响机制, 揭示了恒定密度陷阱电荷和 2DEG 浓度的关系, 进一步引入了陷阱电荷密度与外加电场、陷阱电荷分布函数的关系, 从而建立了 GaN-on-Si 增强型功率器件场控能带模型以及提出了陷阱电荷分布函数的提取方法, 为本文的后续研究工作提供了指导思想。

(2) 提出了 GaN-on-Si 增强型功率器件场控新结构。

提出了具有肖特基-绝缘栅 (Schottky-Metal Insulator Semiconductor, Sch-MIS) 混合漏极及缓变铝组分势垒层的 GaN-on-Si 场控能带逆阻型功率器件。通过漏极 MIS 结构的电场控制该区域的能带结构和 2DEG 浓度, 实现器件的正向导通和反向阻断; 利用 Sch-MIS 混合漏极抑制漏致势垒降低效应, 加强了器件的反向阻断能力; 采用缓变铝组分势垒层改变异质结的能带结构和提高 2DEG 浓度, 提高了器件的正向导通能力, 获得了导通电压降低 15%和反向阻断电压增大 350%的 GaN-on-Si 逆阻型功率器件, 优化了器件正向导通和反向阻断的矛盾关系。

提出了无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件。该器件通过绝缘栅极电场控制源极肖特基结的势垒厚度, 改变电子的隧穿几率, 实现器件的开启和关断。所提出的器件可在较低温度下制备, 可避免势垒层的表面被氧化。

(3) 提出了 GaN-on-Si 增强型功率器件的高温低损伤凹槽工艺。

开展了关于 GaN-on-Si 增强型功率器件凹槽刻蚀工艺的研究,提出了高温低损伤凹槽工艺,降低了刻蚀损伤和刻蚀表面粗糙度,减小了器件陷阱电荷的浓度,从而减小了陷阱电荷所形成的电场对栅极区域能带结构和 2DEG 浓度的影响,提高了器件栅极对异质结沟道能带结构和 2DEG 浓度的控制能力,同时减小了刻蚀损伤对器件 2DEG 沟道迁移率的影响,获得了阈值电压高(3.2V)、2DEG 沟道迁移率高( $180 \text{ cm}^2/\text{V}\cdot\text{s}$ )及导通电流高(663 mA/mm)的 GaN-on-Si 增强型功率器件,缓解了器件开启与导通的矛盾关系。

(4) 提出了 GaN-on-Si 增强型功率器件的场致退化机理。

研究了脉冲过电流对 GaN-on-Si 增强型功率器件长期可靠性的影响,证明了在一定条件下重复脉冲过电流会导致器件导通电阻和关态电流发生发生退化,并通过实验分析和模拟仿真研究了器件的退化机制,提出了 GaN-on-Si 增强型功率器件的场致退化机理—器件同时承受高瞬态电流和高瞬态电场,在器件电场峰值点产生大量热量并出现较大的热应力,从而导致陷阱的产生,陷阱俘获电子后所形成的电场会抬高异质结能带并部分耗尽 2DEG,导致器件导通电阻的增加。

**关键词:** 氮化镓, 增强型功率器件, 场控机理, 高电子迁移率晶体管

## ABSTRACT

Due to the advantages of high breakdown voltage, high operating temperature and high operating frequency, Gallium Nitride on Silicon (GaN-on-Si) based power semiconductor devices are ideal semiconductor switches in the field of power electronics, and have become one of the research hotspots in the international semiconductor field. Owing to the great convenience of the enhancement-mode (*E*-mode) power device, the preparation of high-performance GaN-on-Si *E*-mode power device is the focus of scholars' attention. In order to reduce the design cycle and cost of power devices, theoretical models of devices are often needed for the design of power devices, but there is little research on physical models of GaN-on-Si *E*-mode power devices. At the same time, the long-term reliability of GaN-on-Si *E*-mode power devices needs to be studied in all aspects. In addition, some applications require that GaN-on-Si *E*-mode power devices not only have excellent forward blocking ability, but also reverse blocking ability. In view of the above problems in the development of GaN-on-Si power semiconductor technology, the theoretical model, novel structure, key process and long-term reliability of GaN-on-Si *E*-mode power devices are studied in this dissertation. The main innovations of this dissertation are as follows:

(1) Field control energy-band model for GaN-on-Si *E*-mode power devices.

The field control energy-band mechanism of GaN-on-Si *E*-mode power devices is studied, and the influence of the device structure, material structure, trap charge and applied electric field on the energy band structure and two-dimensional electron gas (2DEG) concentration is analyzed. Then the field control energy-band model for GaN-on-Si *E*-mode power devices has been established. It not only reveals the relationship between constant-density trap charge and 2DEG concentration, but also introduces the relationship between trap charge density and the applied electric field, the trap charge distribution function.

(2) Novel field control structure for GaN-on-Si *E*-mode power devices.

Under the guidance of the above model, a reverse blocking GaN-on-Si field control energy-band power device with a Schottky-Metal Insulator Semiconductor (Sch-MIS) mixed Drain used to replace the ohmic Drain and a graded Aluminum component barrier layer used to replace conventional barrier layer is proposed. By combining the

high reverse blocking capability of the Sch-MIS mixed Drain and the high forward conduction capability of the graded Aluminum component barrier layer, the turn-on voltage of the device is reduced by 15%, and the reverse blocking voltage is increased by 350%.

Based on the above model, a reverse blocking GaN-on-Si field control tunneling power device without ohmic contact is further proposed. The device can be turn on by changing the barrier thickness of Source Schottky junction controlled by the insulated Gate. The proposed device can be fabricated at a lower temperature to avoid oxidation of the surface of the barrier layer.

(3) High temperature and low damage etching technique for GaN-on-Si *E*-mode power devices.

Research on etching technology of GaN-on-Si *E*-mode power devices is carried out. And a high temperature and low damage etching technology is proposed. The proposed etching technology can reduce the etching damage and surface roughness, and reduce the concentration of trap charges, thus reduce the influence of electric field formed by trap charges on the energy-band structure and 2DEG concentration, and improve the 2DEG mobility of device. Through the proposed etching technology, a GaN-on-Si *E*-mode power device with high threshold voltage (3.2V), high channel mobility (180 cm<sup>2</sup>/V·s) and high conduction current (663 mA/mm) is obtained.

(4) Field-induced degradation mechanism of GaN-on-Si *E*-mode power devices

Under the guidance of the field control energy-band model, the influence of pulse overcurrent on the long-term reliability of GaN-on-Si *E*-mode power devices is studied. It is found that the repeated pulse overcurrent can cause the degradation in the device on-resistance and off-state current under certain conditions. Moreover, the field-induced degradation mechanism of GaN-on-Si *E*-mode power devices is proposed. Under the condition of repetitive pulse overcurrent, the device is subjected to both high transient current and high transient electric field, which lead to the generation of a large amount of heat at the peak point of the device electric field and result in the produce of a large thermal stress, then bringing in the generation of traps. The electric field formed by the ionization trap will raise the energy band of the heterojunction and partially deplete 2DEG, resulting in an increase in the on-resistance of the device.

**Keywords:** Gallium Nitride, *E*-mode power device, Field control mechanism, High electron mobility transistor

目 录

第一章 绪论.....	1
1.1 GaN-on-Si 增强型功率器件发展概述.....	1
1.2 研究工作的意义.....	6
1.3 本文的主要研究内容.....	7
第二章 GaN-on-Si 增强型功率器件基础.....	9
2.1 GaN 材料基础.....	9
2.1.1 GaN 材料的极化效应与 2DEG.....	9
2.1.2 GaN-on-Si 材料.....	15
2.2 GaN-on-Si 功率器件基础.....	16
2.2.1 GaN-on-Si 耗尽型功率器件.....	16
2.2.2 GaN-on-Si 增强型功率器件.....	17
2.3 本章小结.....	21
第三章 GaN-on-Si 增强型功率器件场控能带模型.....	22
3.1 GaN-on-Si 增强型功率器件场控能带机理.....	22
3.2 陷阱电荷对 2DEG 浓度的影响.....	30
3.2.1 恒定密度陷阱电荷对 2DEG 浓度的影响.....	30
3.2.2 非恒定密度陷阱电荷对 2DEG 浓度的影响.....	32
3.3 陷阱电荷分布函数的微分分析法.....	44
3.3.1 电离受主密度的自洽提取方法.....	45
3.3.2 界面陷阱电荷分布函数的微分分析法.....	50
3.4 本章小结.....	52
第四章 GaN-on-Si 增强型功率器件场控新结构及凹槽工艺.....	53
4.1 GaN-on-Si 场控能带逆阻型功率器件.....	53
4.1.1 器件结构及机理.....	54
4.1.2 结果与讨论.....	58
4.2 GaN-on-Si 场控隧穿逆阻型功率器件.....	61
4.2.1 器件结构及机理.....	61
4.2.2 结果与讨论.....	63
4.3 高温低损伤凹槽刻蚀工艺.....	65
4.3.1 高温低损伤凹槽刻蚀工艺.....	66

4.3.2 刻蚀温度对器件特性的影响 .....	70
4.3.3 低损伤凹槽工艺的物理机制 .....	73
4.3.4 基于低损伤凹槽工艺的 GaN-on-Si 功率器件.....	74
4.4 本章小结 .....	82
<b>第五章 GaN-on-Si 增强型功率器件的场致退化机理 .....</b>	<b>83</b>
5.1 重复脉冲过电流实验 .....	83
5.2 场致退化机理 .....	86
5.2.1 结果与讨论 .....	86
5.2.2 器件特性的退化机理 .....	88
5.3 本章小结 .....	92
<b>第六章 总结与展望 .....</b>	<b>93</b>
6.1 全文总结 .....	93
6.2 后续工作展望 .....	94
致  谢.....	95
参考文献.....	96
攻读博士学位期间取得的成果.....	106

## 第一章 绪论

为了能够实现对电能的高效管理及提高电能的利用效率，人们常常采用电力电子技术（也称为功率半导体技术）来对电能进行适当的变换<sup>[1-3]</sup>。如今，功率半导体技术已是促进现代社会进步的强大动力，也是现代社会的重要支撑技术。其中功率半导体器件不仅是功率变换系统的核心元件，也是功率半导体技术的基础，是促进功率半导体技术发展的重要源泉。功率半导体器件的发展对功率半导体技术的发展起着决定性作用。经过多年的发展，硅基功率半导体器件的性能获得了超过两个数量级的提升，其性能的进一步提升往往会伴随着成本的显著增加。同时，诸多新型应用领域对功率半导体器件的体积、效率和工作温度提出了更加苛刻的要求。为了促进功率半导体技术的进一步发展，寻求新型半导体材料成为了必然趋势。宽禁带半导体氮化镓（Gallium Nitride, GaN）具有击穿电场强度高、电子迁移率高、饱和电子漂移速度高、热导率大、介电常数小、抗辐射能力强以及化学稳定性好等特点，是高压、高频、高温以及高功率密度应用场合下极为理想的半导体材料，有望解决目前功率半导体技术发展所面临的“硅极限”问题。尤其是硅基氮化镓（GaN-on-Si）材料（外延生长在硅圆片上的 GaN 异质结材料）结合了硅技术的低成本优势和 GaN 材料的高性能优势，现已受到国内外半导体技术领域内各大科研机构的关注，成为了半导体技术领域研究热点之一。

### 1.1 GaN-on-Si 增强型功率器件发展概述

#### （1）GaN 增强型功率器件

自上世纪 90 年代以来，GaN 材料以其在激光二极管、发光二极管、微波射频器件及功率半导体器件等领域所展现出的优异特性而获得了全球广泛的关注<sup>[4-6]</sup>。为了争夺 GaN 材料和 GaN 功率器件的制高点，美国国防先进研究项目局提出了宽禁带半导体计划，资助美国军方研究 GaN 功率器件及 GaN 集成电路相关项目<sup>[7]</sup>。该计划包括了 GaN 材料的生长、GaN 功率器件的制备以及 GaN 电路的集成三个阶段，以期在全球范围内占据 GaN 领域的领先地位。同时全球各地的许多团队也在积极开展关于 GaN 材料、GaN 功率器件及 GaN 集成电路的研究。早在 1993 年，M. A. Khan 等人在蓝宝石衬底的 GaN 异质结外延片上制备了世界上第一个 GaN 异质结高电子迁移率晶体管（High Electron Mobility Transistor, HEMT）<sup>[8]</sup>。1994 年，M. A. Khan 等人又制备出了截止频率为 11GHz 和最高频率为 35GHz 的 GaN HEMT，证明了 GaN HEMT 在微波射频领域具有广泛的应用前景<sup>[9]</sup>。1995 年，加

州大学的 Wu 团队制备了功率密度为  $1.1 \text{ W/mm}$  的 GaN HEMT<sup>[10]</sup>。具有优越的器件性能的 GaN HEMT 受到了越来越多的关注,世界各国政府也加大了对 GaN 材料和 GaN 功率器件的投入。2014 年 1 月,奥巴马政府建立了下一代电力电子器件创新研究所。2014 年,欧洲建立了独立的 GaN 技术供应链。2015 年,中国建立了第三代半导体材料及应用联合创新基地。2016 年,日本诺贝尔奖得主天野领军的 GaN 开发项目。

GaN HEMT 具有技术成熟、工艺简单、性能优良等优点,是 GaN 功率器件中最受关注的结构。但 GaN 异质结具有较强极化效应,常规的 GaN HEMT 属于耗尽型 (Depletion mode, D-mode, 也称为常开型 (Normally-On)) 器件,呈现出负阈值电压的特性<sup>[8-10]</sup>。在功率半导体器件的诸多应用领域中,具有正阈值电压的增强型 (Enhancement mode, E-mode, 也称为常关型 (Normally-Off)) 晶体管会带来应用上的极大方便甚至是必须的<sup>[1-3]</sup>。如,基于安全性考虑,功率半导体器件被期望是增强型的;在微波/射频功率放大器领域,增强型功率半导体器件可实现单一电源供电,从而可以进一步减小芯片面积和系统面积。因此, GaN 功率器件增强型技术是研究者们极其关注的问题。1995 年, M. A. Khan 等人合作制备了世界上首个增强型 GaN HEMT,其阈值电压为  $0.05\text{V}$ <sup>[11]</sup>。2000 年,美国南加州大学的 X. Hu 等人利用 P 型栅技术制备了阈值电压为  $2.5\text{V}$  的增强型 GaN HEMT<sup>[12]</sup>。目前基于 P 型栅极技术的增强型 GaN HEMT 已实现了商业化。但具有阈值电压低和栅摆幅电压低等特点的 P 型栅增强型 GaN HEMT 对栅极驱动电路提出了更高的要求。2004 年,日本的 Y. Okamoto 等人利用凹槽栅技术将 GaN HEMT 的阈值电压由原来的  $-4.2$  增加到  $-1.7\text{V}$ <sup>[13]</sup>。2006 年,日本 Nichia 公司的 Y. Ohmaki 等人通过减薄 AlGaIn 势垒层制备了阈值电压为  $-0.1\text{V}$  的准增强型 GaN HEMT<sup>[14]</sup>。同年,日本 Toshiba 公司的 W. Saito 等人利用凹槽栅技术制备了阈值电压为  $-0.14\text{V}$  的准增强型 GaN HEMT (结构如图 1-1 所示),同时也证明了利用凹槽栅技术可以制备出增强型 GaN HEMT<sup>[15]</sup>。2008 年, R. Chu 等人通过凹槽栅技术制备了增强型 GaN HEMT<sup>[16]</sup>。凹槽栅技术因工艺简单得到了广泛的研究。2005 年,香港科技大学 K. J. Chen 团队首次利用氟离子注入工艺制备了阈值电压为  $0.9\text{V}$  的增强型 GaN HEMT<sup>[17]</sup>。但基于氟离子注入技术的增强型 GaN HEMT 的器件可靠性及片间片内的阈值一致性还有待改善,该器件尚未实现商业化。2007 年,日本的松下公司采用 P 型栅工艺制备出了一种新型的增强型 GaN HEMT—栅极注入晶体管,其阈值电压为  $1\text{V}$ ,击穿电压为  $800\text{V}$ ,最大漏极电流为  $200\text{mA/mm}$ <sup>[18]</sup>。该器件可以将 P 型 GaN 帽层中的空穴注入到异质结中,来进一步增加沟道中电子的浓度和降低器件的导通电阻。2016 年,中科院微电子所的黄森等人提出了一种新型的 GaN 功率

器件增强型技术—薄 AlGa<sub>N</sub> 势垒层技术<sup>[19]</sup>。因为基于薄 AlGa<sub>N</sub> 势垒层技术的增强型 GaN HEMT 的栅极区域存在一定厚度的势垒层，器件的阈值电压偏低。且为获得较好的片间阈值均匀性，需要对材料势垒层厚度进行较好的控制。

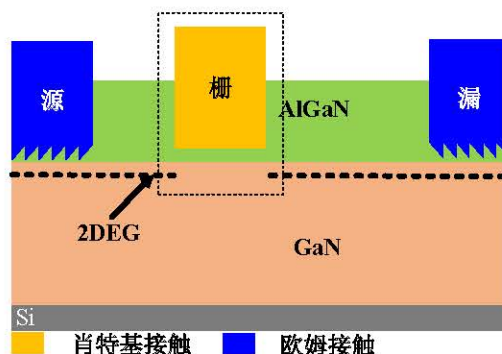


图 1-1 凹槽栅 GaN HEMT<sup>[15]</sup>

## (2) GaN-on-Si 增强型功率器件

通常把外延生长在硅圆片上的 GaN 异质结材料称为 GaN-on-Si 材料。GaN-on-Si 材料的成本远低于基于碳化硅衬底外延生长的 GaN 异质结外延片，GaN-on-Si 材料晶圆也具有较大的尺寸。为降低器件的成本，学者们常采用 GaN-on-Si 材料来制备 GaN 功率器件，即 GaN-on-Si 功率器件。目前，主要的 GaN-on-Si 功率器件增强型技术包括：P 型栅技术<sup>[12, 18, 20-21]</sup>、氟离子注入技术<sup>[17, 22-26]</sup>、Cascode 级联技术<sup>[27]</sup>、薄势垒层技术<sup>[19]</sup>、凹槽栅增强型技术<sup>[13-16, 28-31]</sup>。其中凹槽栅增强型技术是通过减薄 GaN-on-Si HEMT 栅极区域的势垒层来耗尽该区域二维电子气 (Two-Dimensional Electron Gas, 2DEG) 沟道的载流子，从而制备出增强型 GaN-on-Si HEMT。凹槽栅增强型技术因工艺简单而得到了广泛的研究。常用的凹槽栅增强型技术包括干法刻蚀技术<sup>[28-30]</sup>和湿法刻蚀技术<sup>[31]</sup>。

湿法刻蚀技术主要是先将器件栅极区域势垒层表面氧化，然后再利用盐酸或者其他溶液将被氧化的势垒层表面腐蚀掉，以达到刻蚀势垒层的目的。湿法刻蚀技术存在刻蚀损伤低、刻蚀精度高及刻蚀后凹槽表面平整等优点，基于湿法刻蚀技术的 GaN-on-Si HEMT 具有较好均匀性和较高的沟道载流子迁移率<sup>[31]</sup>。但湿法刻蚀技术的刻蚀效率较低，单次仅能刻蚀 0.5nm 左右的 AlGa<sub>N</sub> 势垒层，往往需要进行数十次的湿法刻蚀才能制备出增强型功率器件。其次，湿法刻蚀技术所采用的盐酸溶液会腐蚀器件欧姆接触金属中的铝，导致器件欧姆接触电阻的增大。另外，湿法刻蚀技术具有较低的刻蚀选择比，经过多次湿法刻蚀后，会出现严重的横向腐蚀。

干法刻蚀技术是先将刻蚀气体等离子体化，然后利用等离子体轰击器件栅极

区域的 AlGa<sub>N</sub> 势垒层，以达到刻蚀势垒层的目的。感应耦合等离子体（Induction Coupling Plasma, ICP）干法刻蚀技术以其刻蚀效率高、成本低及刻蚀选择比高等优点而被广泛应用于制备增强型 GaN-on-Si HEMT。但是常用的氯基（Cl 基）ICP 干法刻蚀技术也存在着一些显著的缺点。例如，采用等离子体来轰击器件栅极区域的 AlGa<sub>N</sub> 势垒层不可避免的会引入刻蚀损伤，这会降低器件栅极沟道处载流子的迁移率。其次，采用 Cl 基 ICP 干法刻蚀技术刻蚀 AlGa<sub>N</sub> 势垒层后形成的刻蚀残余物不易挥发以及部分刻蚀产物也会阻碍刻蚀，这会增加刻蚀表面的粗糙度。因而基于 Cl 基 ICP 干法刻蚀技术制备的凹槽栅增强型 GaN-on-Si HEMT 往往具有较差的均匀性和较低的沟道处载流子迁移率<sup>[28-30]</sup>。目前，学者们正在研究如何降低 Cl 基 ICP 干法刻蚀技术带来的刻蚀损伤及如何降低刻蚀表面的粗糙度，以提高凹槽栅增强型 GaN-on-Si HEMT 的性能。如电子科技大学张波老师团队在 2015 年提出的混合刻蚀技术<sup>[30]</sup>，该技术是先利用 Cl 基 ICP 刻蚀技术适当减薄器件栅极区域的 AlGa<sub>N</sub> 势垒层，再利用湿法刻蚀技术进一步精确减薄 AlGa<sub>N</sub> 势垒层。混合刻蚀技术结合了 Cl 基 ICP 干法刻蚀技术高效率的优点和湿法刻蚀技术低损伤及高精度的优点。该团队利用混合刻蚀技术所制备的 GaN-on-Si 功率器件的性能达到了当时国际先进水平。

为了制备具有较大阈值电压的凹槽栅增强型 GaN-on-Si HEMT，往往需要将器件栅极区域的 AlGa<sub>N</sub> 势垒层完全刻蚀掉。这导致凹槽栅增强型 GaN-on-Si HEMT 具有较大的栅极漏电和较低栅极摆幅电压，甚至会出现器件栅极区域 2DEG 沟道未开启而栅极肖特基结构已经开启的情况。为降低凹槽栅增强型 GaN-on-Si HEMT 的栅极漏电以及提高器件的栅极摆幅电压，学者们在器件的栅极金属与半导体之间引入一层绝缘栅介质制备出了绝缘凹槽栅增强型 GaN-on-Si 高电子迁移率晶体管（凹槽栅增强型 GaN-on-Si MIS-HEMT），如图 1-2 所示<sup>[29-30]</sup>。绝缘栅介质的引入完全避免了器件栅极肖特基结构的开启，增加了器件栅极摆幅电压。同时还有效地降低器件关态漏电以及栅极的反向漏电。凹槽栅增强型 GaN-on-Si MIS-HEMT 具有阈值电压大、栅极摆幅电压高、栅极漏电低等优点，是功率器件多个应用领域重点关注的结构。然而，凹槽栅增强型 GaN-on-Si MIS-HEMT 也存在一些亟待解决的问题。如前面提到的如何有效地降低凹槽栅工艺对器件特性的影响。同时，一些应用领域不仅要求凹槽栅增强型 GaN-on-Si MIS-HEMT 具有较好的正向阻断能力，还要求其具有反向阻断能力，如何使其具有反向阻断能力是 GaN-on-Si 功率半导体技术所面临的问题之一。另外，为降低功率器件的设计周期和成本，往往需要器件理论模型来指导器件的设计。2006 年，Y. Cai 等人基于泊松方程求解获得了氟离子注入增强型 GaN HEMT 的阈值电压模型，该模型能够很好的指导氟离

子注入增强型 GaN HEMT 的器件设计。但该模型无法直接用于指导凹槽栅增强型 GaN-on-Si MIS-HEMT 的器件设计<sup>[32]</sup>。2017 年, J. Wei 等人基于凹槽栅增强型 GaN-on-Si MIS-HEMT 的栅极能带结构图及泊松方程获得了凹槽栅增强型 GaN-on-Si MIS-HEMT 的栅极能带结构图的载流子浓度模型<sup>[33]</sup>。该模型不仅包含了凹槽栅增强型 GaN-on-Si MIS-HEMT 的器件结构、材料结构及外加电场对器件的能带结构和 2DEG 浓度的影响机制, 还包含了陷阱电荷对器件的能带结构和 2DEG 浓度的影响机制。J. Wei 等人所提出的载流子浓度模型能够准确计算出器件阈值区以上的载流子浓度, 为研究 GaN-on-Si 增强型功率器件提供了一定的指导思想。但是该模型无法准确计算出器件阈值区以下的载流子浓度。因而目前尚需要对 GaN-on-Si 增强型功率器件的相关物理模型进行深入研究, 获得凹槽栅增强型 GaN-on-Si MIS-HEMT 的电流电压模型、阈值电压模型及跨导模型, 来指导凹槽栅增强型 GaN-on-Si MIS-HEMT 的器件设计, 降低器件的设计周期和成本。

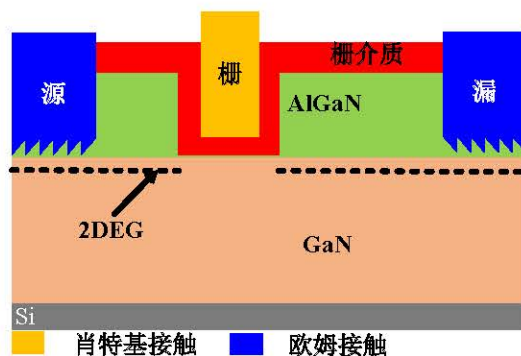


图 1-2 凹槽栅增强型 GaN-on-Si MIS-HEMT<sup>[29-30]</sup>

经过多年的发展, 目前已经实现了增强型 GaN-on-Si HEMT 的商业化。2007 年美国 EPC 公司 (Efficient Power Conversion Corporation) 利用 P 型栅技术制备了世界首款商用的增强型 GaN-on-Si HEMT。器件的额定电压只有几十伏, 但在这之后有越来越多的公司开始推出高压大电流的增强型 GaN-on-Si HEMT。如 2009 年 GaN Systems 公司推出 650V/30A 的商用增强型 GaN-on-Si HEMT (GS66508T); 2012 年, Transphorm 公司发布了额定电压达到 600 V 的增强型 GaN-on-Si HEMT; 2013 年, 松下公司基于 P 型栅技术制备了 600 V 的商用增强型 GaN-on-Si HEMT; 2015 年, GaN Systems 发布了 650V/100A 的高压大电流增强型 GaN-on-Si HEMT (GS66540C); 2018 年, GaN Systems 又发布了额定电流高达 120A 的增强型 GaN-on-Si HEMT; 德州仪器分别在 2015 年和 2017 年发布了两款商用 GaN-on-Si HEMT 器件模块, 器件的工作电压分别为 80V 和 600V。我国的英诺赛科公司和三安公司也相继推出了低压低电流的增强型 GaN-on-Si HEMT。我国对 GaN-on-Si

HEMT 的研究起步较晚，但对增强型 GaN-on-Si HEMT 的研究已成为我国各大研究机构攻坚的主要方向，其发展声势迅猛。同时任何器件从产品到应用都需要解决其可靠性相关的问题。尽管目前已经报道了很多关于 GaN-on-Si 增强型功率器件可靠性的研究，但关于 GaN-on-Si 增强型功率器件的长期可靠性方面的报道较少。

## 1.2 研究工作的意义

凹槽栅增强型 GaN-on-Si MIS-HEMT 具有栅极漏电低和栅极摆幅电压大等优点，成为了功率器件多个应用领域重点关注的结构。目前对凹槽栅增强型 GaN-on-Si MIS-HEMT 技术的研究已经取得了诸多突破性的进展，但还存在着诸多的问题，如前面提到的如何有效地降低凹槽栅工艺对器件栅极沟道载流子迁移率和器件均匀性的影响。另外，一些应用领域不仅要求凹槽栅增强型 GaN-on-Si MIS-HEMT 具有较好的正向阻断能力，还要求其具有反向阻断能力，因此有必要开展关于 GaN-on-Si MIS-HEMT 新结构的研究，设计出具有反向阻断能力的增强型 GaN-on-Si MIS-HEMT。

同时任何功率器件从产品到应用都需要解决其可靠性相关的问题。目前已经报道了很多关于 GaN-on-Si 增强型功率器件可靠性的研究，如高温反向偏压实验、高温栅偏压应力实验、短路安全工作区等，但是关于 GaN-on-Si 增强型功率器件的长期可靠性方面的问题尚需进行全方面地研究。尤其是因为 GaN-on-Si 增强型功率器件在光探测和测距、等离子体点火器和混合动力电动汽车等新领域有着巨大的应用前景，有必要对 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下的长期可靠性进行研究。在这些应用中，功率器件会长期承受脉冲过电流。功率器件工作在脉冲过电流模式时，将同时承受高瞬态电流和高瞬态电压，这会在短时间内导致较高能量损耗，并可能会引起热应力集中问题。为保证功率系统具有良好长期可靠性，功率处理单元须能够长期承受脉冲过电流。

功率器件的发展不仅需要器件工艺的提升，还需要器件理论模型来指导器件的设计。目前对 GaN-on-Si 功率器件的器件物理和模型的研究主要集中在 GaN-on-Si 耗尽型功率器件的电流电压模型、阈值电压模型及跨导模型等，对 GaN-on-Si 增强型功率器件的相关器件物理机理研究甚少，对其增强型理论模型的研究报道也较少。因而研究人员只能通过反复试验来优化器件设计和工艺参数，这大大增加了器件的设计周期和成本。对 GaN-on-Si 增强型功率器件物理与理论模型的研究也是 GaN-on-Si 功率器件发展中所面临的主要问题之一。

本文针对 GaN-on-Si 功率半导体技术发展中所面临的一些重要问题与挑战，开展 GaN-on-Si 增强型功率器件的理论模型、新结构、关键工艺及可靠性的研究。通

过理论分析、模拟仿真与实验研究,解决 GaN-on-Si 增强型功率器件发展中的一些重要科学问题,促进其技术发展。因此,本论文的研究具有一定的科学意义和应用价值。

### 1.3 本文的主要研究内容

针对 GaN-on-Si 功率半导体技术在发展中所面临的一些问题,开展了 GaN-on-Si 增强型功率器件的理论模型、新结构、关键工艺及可靠性的研究。研究了 GaN-on-Si 增强型功率器件的场控能带机理,建立了 GaN-on-Si 增强型功率器件场控能带模型,为研究 GaN-on-Si 增强型功率器件提供了理论基础和指导思想。在该模型的指导下,提出了 GaN-on-Si 场控能带逆阻型功率器件和 GaN-on-Si 场致隧穿逆阻型功率器件,为实现 GaN-on-Si 器件的反向阻断能力提供了新的技术方案;开发了高温低损伤凹槽工艺,有效地提高 GaN-on-Si 增强型功率器件的性能;研究了脉冲过电流对 GaN-on-Si 增强型功率器件长期可靠性的影响,基于场控能带机理,提出了 GaN-on-Si 增强型功率器件的场致退化机理。具体内容如下:

(1) 建立了 GaN-on-Si 增强型功率器件场控能带模型。本文研究了 GaN-on-Si 增强型功率器件的场控能带机理,分析了 GaN-on-Si 增强型功率器件的器件结构、材料结构、陷阱电荷及外加电场对器件的能带结构和 2DEG 浓度的影响机制,揭示了恒定密度的陷阱电荷和 2DEG 浓度的关系,进一步引入了陷阱电荷密度与外加电场和陷阱电荷分布函数的关系,从而建立了 GaN-on-Si 增强型功率器件场控能带模型,并提出了一种界面陷阱电荷分布函数的提取方法。所建立的场控能带模型不仅可以准确地预测出器件的费米能和 2DEG 浓度,还能够准确地反应出器件栅控能力与陷阱电荷的关系,为研究 GaN-on-Si 增强型功率器件提供了指导思想。通过所提出的界面陷阱电荷分布函数提取方法可以自治地求解出器件栅极沟道处费米能和界面电离受主型陷阱的密度,并可以获得界面陷阱电荷的密度与陷阱能级的关系。

(2) 提出了 GaN-on-Si 增强型功率器件场控新结构。本文在所建立的场控能带模型指导下,采用肖特基-绝缘栅 (Schottky-Metal Insulator Semiconductor, Sch-MIS) 混合漏极和缓变铝组分势垒层分别取代了传统器件的欧姆漏极和常规势垒层,提出了 GaN-on-Si 场控能带逆阻型功率器件。通过漏极 MIS 结构的电场控制该区域的能带结构和 2DEG 浓度,实现器件的正向导通和反向阻断;利用 Sch-MIS 混合漏极抑制漏致势垒降低效应,加强了器件的反向阻断能力;采用缓变铝组分势垒层改变异质结的能带结构和提高 2DEG 浓度,提高了器件的正向导通能力,获得了导通电压降低 15%和反向阻断电压增大 350%的 GaN-on-Si 逆阻型功

率器件，优化了器件正向导通和反向阻断的矛盾关系。

进一步采用场控肖特基隧穿结取代了传统器件的栅极和欧姆源极，提出了无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件。该器件的源极和漏极均是肖特基接触，通过绝缘栅极电场控制源极肖特基结的势垒厚度，改变电子的隧穿几率，实现器件的开启和关断。所提出的器件可在较低温度下制备，可以避免 AlGaIn 势垒层的表面被氧化。

(3) 提出了 GaN-on-Si 增强型功率器件的高温低损伤凹槽工艺。为有效减小界面陷阱电荷对器件栅控能力的影响，在所建立的场控能带模型指导下，开展了关于 GaN-on-Si 增强型功率器件凹槽刻蚀工艺的研究，提出了高温低损伤凹槽工艺。通过提高干法刻蚀工艺的刻蚀温度降低了刻蚀损伤和刻蚀表面粗糙度，从而减小了器件栅介质与半导体界面处的陷阱电荷的浓度，以及减小了刻蚀损伤对器件 2DEG 沟道迁移率的影响，获得了阈值电压高(3.2V)、2DEG 沟道迁移率高( $180 \text{ cm}^2/\text{V}\cdot\text{s}$ )及导通电流高(663 mA/mm)的 GaN-on-Si 增强型功率器件，缓解了器件开启与导通的矛盾关系。

(4) 提出了 GaN-on-Si 增强型功率器件的场致退化机理。研究了脉冲过电流对 GaN-on-Si 增强型功率器件长期可靠性的影响，证明了在一定条件下重复脉冲过电流会导致器件导通电阻和关态电流发生发生退化，并通过实验分析和模拟仿真研究了器件的退化机制，提出了 GaN-on-Si 增强型功率器件的场致退化机理—器件同时承受高瞬态电流和高瞬态电场，在器件电场峰值点产生大量热量并出现较大的热应力，从而导致陷阱的产生，陷阱俘获电子后所形成的电场会抬高异质结能带并部分耗尽 2DEG，导致器件导通电阻的增加。

## 第二章 GaN-on-Si 增强型功率器件基础

宽禁带半导体 GaN 具有击穿电场强度高、电子迁移率高、饱和电子漂移速度高及热导率高等特点，非常适合于制作高击穿电压、高工作频率、高功率密度和高工作温度的功率半导体器件，有望解决当今功率半导体技术发展所面临的“硅极限”问题。尤其是 GaN-on-Si 材料结合了硅技术的低成本优势和 GaN 材料的高性能优势，现已受到国内外半导体技术领域内各大科研机构的关注，成为了半导体技术领域研究热点之一。本章将简单介绍 GaN-on-Si 材料在功率半导体器件领域的应用优势、GaN 的极化效应、GaN 异质结中 2DEG 的产生机制及 GaN-on-Si 功率器件的工作机理。最后将介绍目前主流的几种 GaN-on-Si 功率器件增强型技术（包括 P 型栅技术、氟离子注入技术、Cascode 级联技术、薄 AlGaN 势垒层技术、凹槽栅增强型技术）的原理。

### 2.1 GaN 材料基础

#### 2.1.1 GaN 材料的极化效应与 2DEG

硅（Silicon, Si）、碳化硅（Silicon Carbide, SiC）及 GaN 材料的一些物理特性对比如表 2-1 所示<sup>[3, 34]</sup>。GaN 材料的禁带宽度(3.42 eV)是硅材料的禁带宽度(1.12 eV) 的 3 倍，GaN 材料的临界击穿电场强度 (3.3 MV/cm) 是硅材料的临界击穿电场强度 (0.3 MV/cm) 的十倍以上，在相同的耐压等级下 GaN 基功率半导体器件可以通过缩短电流路径来获得比硅基功率半导体器件更低的导通电阻<sup>[35-38]</sup>，同时 GaN 基功率半导体器件可以工作在更高电流密度和更高功率密度的情况下。半导体材料的本征载流子浓度与其禁带宽度密切相关，室温下宽禁带半导体 GaN 材料的本征载流子浓度为  $10^{-10} \text{ cm}^{-3}$ ，比室温下硅材料本征载流子浓度低 20 个数量级，因而 GaN 基功率半导体器件能够比传统的硅基功率器件具有更高的工作温度和更好的抗辐射能力<sup>[39-42]</sup>。由于 GaN 材料的饱和电子漂移速度是硅材料的饱和电子漂移速度的 2.5 倍，GaN 基功率半导体器件可以拥有比硅基功率半导体器件更快的开关速度和更高的工作频率，这可以有效地减小功率变换系统中储能元件的体积<sup>[2]</sup>。GaN 材料具有较高的热导率，基于 GaN 材料制备的功率半导体器件能够具有较好的散热特性。总的来说，因为宽禁带半导体 GaN 材料具有高临界击穿电场强度、高电子迁移率、高饱和电子漂移速度以及高热导率等优点，非常适合于制作高击穿电压、高工作频率、高功率密度和高工作温度的功率半导体器件。

表 2-1 硅、碳化硅及氮化镓材料特性<sup>[3, 34]</sup>

半导体材料	GaN	SiC	Si
禁带宽度 (eV)	3.42	3.26	1.12
临界击穿场强 (MV/cm)	3.3	2.6	0.3
电子迁移率 (cm <sup>2</sup> /V·s)	2000 (2DEG)	1140	1500
饱和电子速度 (×10 <sup>7</sup> cm/s)	2.5	2	1
热导率 (W/cm·K)	1.3	4.9	1.5
相对介电常数	9	10	11.8
熔点 (°C)	1700	2830	1420

(1) 自发极化效应 (Spontaneous Polarization, sp)

在多数情况下,包括 GaN、氮化铝(Aluminum Nitride, AlN)以及氮化铟(Indium Nitride, InN)在内的 III 族氮化物半导体材料是呈现纤锌矿型结构<sup>[3, 43]</sup>, 如图 2-1 所示。因呈现纤锌矿结构的 III 族氮化物半导体的正负电中心不重合, III 族氮化物半导体材料具有较强的自发极化(电场)效应。再者,当两种具有不同晶格常数的 III 族氮化物半导体材料形成异质结时,会因为晶格不匹配而出现较大的应力,进而导致压电极化(电场)效应的产生。较强的极化电场会改变 III 族氮化物半导体异质结(如 AlGaIn/GaN 异质结)的能带结构,并且在异质结界面处会出现大量的 2DEG 或二维空穴气(Two-Dimensional Hole Gas, 2DHG)。

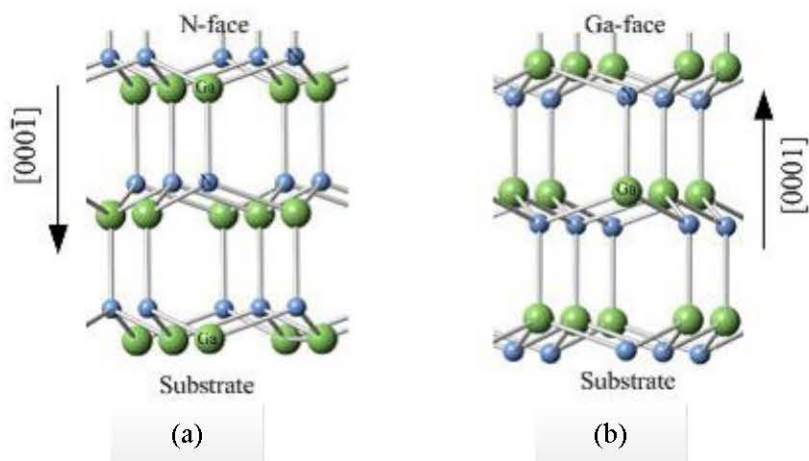


图 2-1 纤锌矿结构的 GaN 晶格示意图<sup>[3, 43]</sup>。(a) N 面; (b) Ga 面

纤锌矿结构的半导体材料只存在单一的对称轴,而不具有中心对称的特性,这种半导体材料的晶胞内负电荷中心和正电荷中心是不重合的。纤锌矿结构的 GaN 材料呈六方对称性,沿着主轴(即 c 轴) [0001]方向堆垛<sup>[3, 43-44]</sup>,如图 2-1 所示。GaN 材料中氮原子(Nitrogen, N)和镓原子(Gallium, Ga)的共价键中电子会受到两者的强烈吸引,而 N 原子对电子的吸引力比 Ga 原子对电子的吸引力更强,

即 N 原子和 Ga 原子的化学键出现了极性，极性电场方向由 N 原子指向 Ga 原子。从图 2-1 可以看出，在这种纤锌矿结构的 GaN 材料中，一个 Ga 原子会与四个最邻近的 N 原子形成一个正四面体，其中 Ga 原子处在正四面体的中心：一个 Ga-N 键与主轴平行，另外三个 Ga-N 键与主轴呈一定角度。其中那三个与主轴方向不一致的 Ga-N 键在与主轴垂直面上的极性电场分量是可以完全抵消的。而与主轴平行的 Ga-N 键的极化电场和其他三个 Ga-N 键的极性电场在主轴上的矢量和是相互对立的，这两个方向的极性电场是不可抵消。

不同晶向（N 面（N-face）和 Ga 面（Ga-face））的纤锌矿结构的 GaN 晶格示意图如图 2-1(a)和图 2-1(b)所示。N 面和 Ga 面的 GaN 材料的自发极化电场矢量方向也正好相反。现在用于制备 GaN 功率器件的 GaN 材料是 Ga 面的，即 Ga 原子在上表面，N 原子在下表面，自发极化电场的方向是 $[0001]$ 。为平衡自发极化电场，GaN 材料表面会束缚电荷，不同的极性面的 GaN 材料会束缚不同类型的电荷，如图 2-2(a)和 2-2(b)所示<sup>[45-46]</sup>（图中箭头为自发极化电场方向）。其中，N 面的 GaN 材料极化电场（ $P_{sp}$ ）的方向是从下到上（由 N 原子指向 Ga 原子）。为抵消这个极化电场，会在 GaN 材料上表面束缚正电荷，在材料的下表面束缚负电荷，所束缚的电荷形成的电场由上表面指向下表面<sup>[45-46]</sup>。Ga 面的 GaN 材料极化电场的方向是从上到下（也是由 N 原子指向 Ga 原子）。为抵消这个极化电场，会在 GaN 材料的上表面束缚负电荷，在材料的下表面束缚正电荷。所束缚的电荷形成的电场由下表面指向上表面，与自发极化电场方向刚好相反。这种因材料晶格结构内正负电荷中心不重合而出现的自发极化效应在 III 族氮化物半导体材料中是比较普遍的，如 InN、AlGaIn 和 AlN 均存在较强的自发极化效应<sup>[45-46]</sup>。

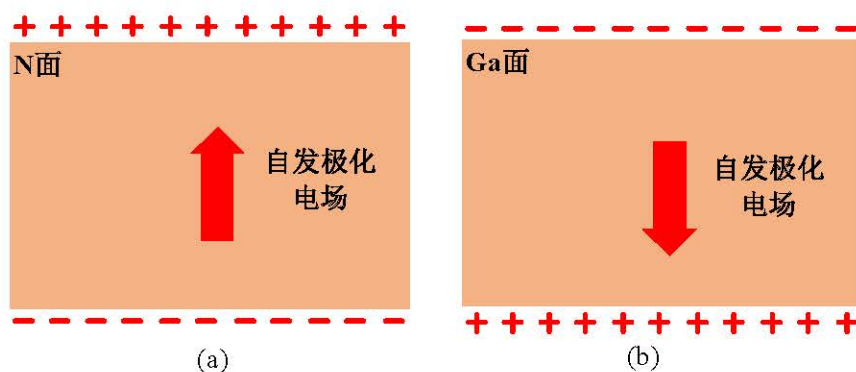


图 2-2 GaN 材料的自发极化效应<sup>[45-46]</sup>。(a)N 面；(b)Ga 面

## (2) 压电极化（电场）效应（Piezoelectric polarization, pz）

在生长异质结结构时，若衬底材料与外延生长的材料的晶格常数不一致，外延生长的材料则会被强迫按照衬底材料的晶格模式进行生长。因而，外延生长的

材料会被拉伸或者被压缩，该材料的晶格就会受到应力的作用。当外延生长的材料的晶格常数大于衬底材料的晶格常数时，外延生长的材料会被压缩。当外延生长的材料的晶格常数小于衬底材料的晶格常数时，外延生长的材料会被拉伸。因晶格失配出现的较大应力会在异质结体系中引入一种新的极化效应—压电极化效应<sup>[48-49]</sup>。前面提到 III 族氮化物半导体材料的晶体结构正四面体晶格结构，具有高度对称性。这种正四面体晶格在没有受到外加应力的影响时，晶体元胞体内各极化电场矢量和为 0，如图 2-3(a)所示<sup>[3]</sup>。然而在生长异质结时，通常都会出现因晶格失配导致的应变状态。这时由于应力的作用会导致极化电场处于非平衡状态，即元胞体内各极化电场矢量和不再为 0，如图 2-3(b)所示<sup>[3]</sup>。

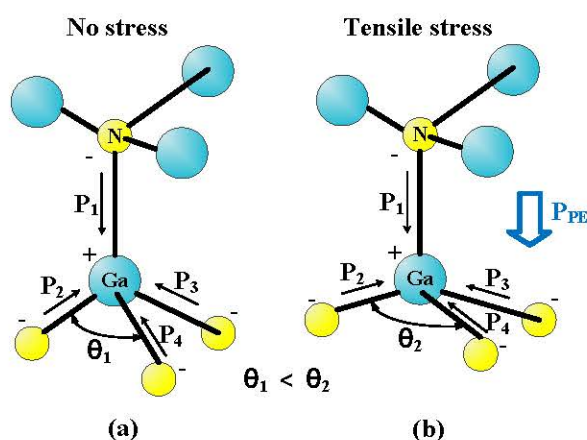


图 2-3 III 族氮化物半导体材料极化电场示意图<sup>[3]</sup>。(a)无应力作用时；(b)有应力作用时

因为 AlGa<sub>x</sub>N 材料的晶格常数小于 GaN 材料的晶格常数，当在 GaN 衬底上外延生长一层 AlGa<sub>x</sub>N 材料形成 AlGa<sub>x</sub>N/GaN 异质结时，外延生长的 AlGa<sub>x</sub>N 材料会被拉伸，即在 AlGa<sub>x</sub>N 材料中存在张应力。当衬底是 N 面 GaN 材料时，异质结的压电极化电场 ( $P_{pz}$ ) 的方向是由下至上，如图 2-4(a)所示<sup>[45-46]</sup>。而 N 面 GaN 材料的自发极化电场方向也由下至上，所以 N 面 AlGa<sub>x</sub>N/GaN 异质结的自发极化电场的方向与压电极化电场的方向是一致的，两者极化呈现加强状态。较强的极化电场会改变 AlGa<sub>x</sub>N/GaN 异质结的能带结构。N 面 AlGa<sub>x</sub>N/GaN 异质结中的极化电场会抬高异质结界面处的能带，进而迫使可动的电子向 GaN 材料体内移动，在异质结界面处留下不可动的空穴，来补偿该异质结的极化电场。当 N 面 AlGa<sub>x</sub>N/GaN 异质结的极化电场足够强时，AlGa<sub>x</sub>N/GaN 异质结界面处的 GaN 价带会被抬高到费米能级以上。此时，在 N 面 AlGa<sub>x</sub>N/GaN 异质结的界面处会形成一个空穴势阱，并在异质结界面处形成大量的 2DHG。当衬底材料是 Ga 面 GaN 材料时，异质结界面处的压电极化电场的方向是由上至下，如图 2-4(b)所示。而 Ga 面 GaN 材料的自发极化电场方向也是由上至下，所以 Ga 面 AlGa<sub>x</sub>N/GaN 异质结的自发极化电场的方向与

压电极化电场的方向也是一致的，两者极化呈现加强状态。Ga 面 AlGa<sub>x</sub>N/GaN 异质结中的极化电场会拉低异质结界面处的能带，进而迫使可动的电子向异质结界面处移动，来补偿该异质结的极化电场。当 Ga 面 AlGa<sub>x</sub>N/GaN 异质结的极化电场足够强时，AlGa<sub>x</sub>N/GaN 异质结界面处的 GaN 导带会被拉低到费米能级以下。此时，在 Ga 面 AlGa<sub>x</sub>N/GaN 异质结的界面处会形成一个电子势阱，并在异质结界面处形成大量的 2DEG，如图 2-5 所示。

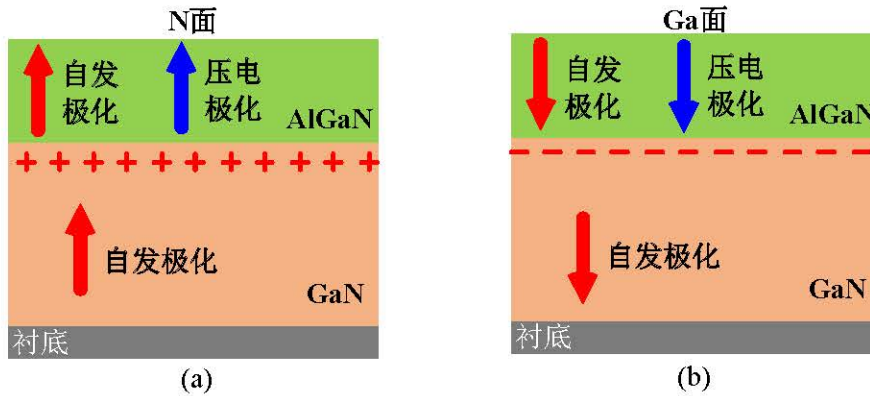


图 2-4 AlGa<sub>x</sub>N/GaN 异质结极化示意图<sup>[45-46]</sup>。(a)N 面；(b)Ga 面

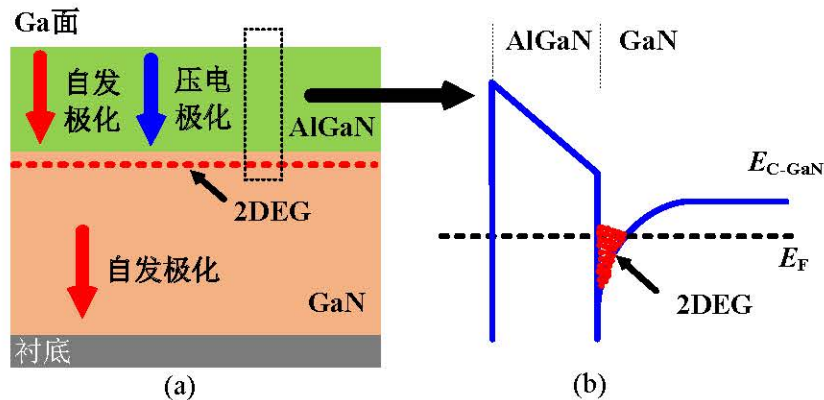


图 2-5 Ga 面 AlGa<sub>x</sub>N/GaN 异质结界面。(a)2DEG；(b)能带图

### (3) GaN 异质结的 2DEG

Ga 面 AlGa<sub>x</sub>N/GaN 异质结具有较强的自发极化效应和压电极化效应，强的极化电场会将异质结界面处的 GaN 导带拉低到费米能级以下。此时，会在 Ga 面 AlGa<sub>x</sub>N/GaN 异质结的界面处形成一个电子势阱，并在异质结界面处形成大量的 2DEG，如图 2-6 所示<sup>[47-49]</sup>。

基于 Al<sub>x</sub>Ga<sub>1-x</sub>N/GaN 异质结系统的能带结构（如图 2-6 所示），可以计算出异质结界面处的 2DEG 浓度 ( $n_s(x)$ )<sup>[49]</sup>。由高斯定理可得：

$$\Delta E_{C1}(x) - E_f + (\sigma_{AlGaN}(x) - \sigma_{GaN} - n_s(x)) \frac{dq^2}{\epsilon_0 \epsilon_{AlGaN}} - q\phi_b(x) = 0 \quad (2-1)$$

将上述公式进行变换，可以得到异质结界面处的异质结界面处费米能（Fermi Energy,  $E_f$ ）和异质结界面处的 2DEG 浓度  $n_s(x)$ ，其中费米能定义为异质结界面处费米能级（Fermi level,  $E_F$ ）与 GaN 的导带（Conductionband energy of GaN,  $E_{C-GaN}$ ）之差：

$$E_f = \Delta E_{C1}(x) + (\sigma_{AlGaN}(x) - \sigma_{GaN} - n_s(x)) \frac{dq^2}{\epsilon_0 \epsilon_{AlGaN}} - q\phi_b(x) \quad (2-2)$$

$$n_s(x) = \sigma_{AlGaN}(x) - \sigma_{GaN} - \frac{\epsilon_0 \epsilon_{AlGaN}}{dq^2} \cdot [q\phi_b(x) + E_f - \Delta E_{C1}(x)] \quad (2-3)$$

其中， $x$  为势垒层  $Al_xGa_{1-x}N$  的铝组分的百分比； $\sigma_{AlGaN}(x)$  为  $Al_xGa_{1-x}N$  的极化电荷面密度，与  $Al_xGa_{1-x}N$  的极化电场相关，由  $Al_xGa_{1-x}N$  的铝组分决定； $\sigma_{GaN}$  为 GaN 的极化电荷面密度，与 GaN 的极化电场相关； $\phi_b(x)$  为  $Al_xGa_{1-x}N/GaN$  异质结表面的势垒高度； $\epsilon_{AlGaN}$  为  $Al_xGa_{1-x}N$  的相对介电常数； $\Delta E_{C1}(x)$  为  $Al_xGa_{1-x}N$  和 GaN 导带差； $d$  为  $Al_xGa_{1-x}N$  势垒层的厚度； $q$  为电子电荷量。从上面的公式可知，改变  $Al_xGa_{1-x}N/GaN$  异质结的极化电场强度和势垒层的厚度可以改变异质结中电场的分布，从而改变异质结的能带结构和 2DEG 浓度。其中  $Al_xGa_{1-x}N/GaN$  异质结的极化电场强度主要由 AlGaN 势垒层中铝组分的百分比来决定的。所以异质结的 2DEG 浓度主要由 AlGaN 势垒层中铝组分的百分比和 AlGaN 势垒层的厚度决定的。在不考虑松弛效应时， $Al_xGa_{1-x}N$  势垒层中铝组分的百分比越大，势垒层的厚度越厚， $Al_xGa_{1-x}N/GaN$  异质结界面处的 2DEG 浓度越高，如图 2-7 所示<sup>[49]</sup>。

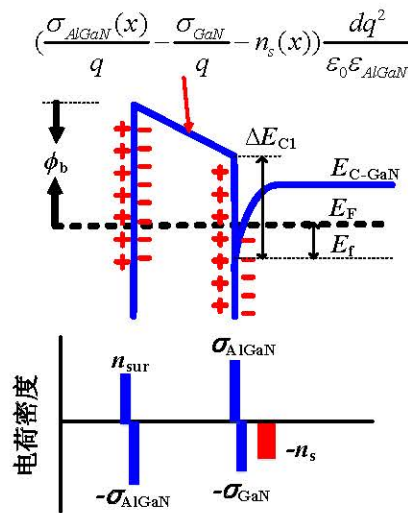


图 2-6 Ga 面 AlGaN/GaN 异质结界面的能带图及电荷分布图<sup>[47-49]</sup>

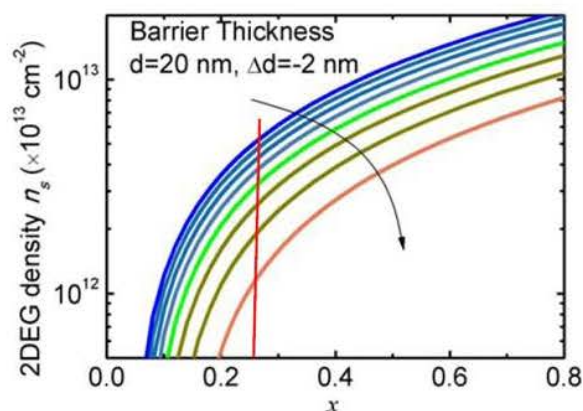


图 2-7  $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$  异质结的 2DEG 浓度与势垒层铝组分百分比及势垒层厚度的关系<sup>[49]</sup>

室温下,  $\text{AlGaIn}/\text{GaN}$  异质结界面处 2DEG 沟道的迁移率可以达到  $2000 \text{ cm}^2/\text{V}\cdot\text{s}$ 。这是因为  $\text{AlGaIn}/\text{GaN}$  异质结界面处的 2DEG 被束缚在 GaN 一侧的几纳米厚度内, 电子在运动时的散射效应为二维散射, 而不是三维散射。这会导致  $\text{AlGaIn}/\text{GaN}$  异质结的 2DEG 沟道中电子的迁移率显著提高<sup>[50-53]</sup>。 $\text{AlGaIn}/\text{GaN}$  异质结界面处的电子在运动过程中也会受到各种散射的影响, 如晶格振动散射、电离杂质散射、位错缺陷散射、子带间散射、合金无序散射、界面粗糙度散射等。在室温或较高温度下,  $\text{AlGaIn}/\text{GaN}$  异质结界面处 2DEG 沟道的电子在运动过程中主要受到晶格振动散射的影响。随着温度的降低, 电离杂质散射将逐渐占据主导地位。同时, 当  $\text{AlGaIn}/\text{GaN}$  异质结界面处 2DEG 沟道的电子浓度增加时, 沟道电子与异质结界面的平均距离将会减小, 这时合金无序散射和界面粗糙度散射的影响也会逐渐变得显著。可以通过  $\text{AlGaIn}/\text{GaN}$  异质结系统的材料质量, 改善异质结界面处的粗糙度, 优化器件制备工艺降低表面粗糙度, 采用低损伤制备工艺等方式来抑制合金无序散射和界面粗糙度散射对  $\text{AlGaIn}/\text{GaN}$  异质结界面处 2DEG 迁移率的影响, 从而提高  $\text{AlGaIn}/\text{GaN}$  异质结界面处的 2DEG 迁移率。例如在  $\text{AlGaIn}/\text{GaN}$  异质结材料生长的过程中, 在 GaN 与  $\text{AlGaIn}$  之间额外生长一层约  $1 \text{ nm}$  的  $\text{AlN}$  薄层作为过渡, 来提高  $\text{AlGaIn}/\text{GaN}$  异质结材料的质量, 降低  $\text{AlGaIn}/\text{GaN}$  异质结界面粗糙度, 从而达到提高  $\text{AlGaIn}/\text{GaN}$  异质结界面处的 2DEG 迁移率的目的<sup>[54-56]</sup>。

### 2.1.2 GaN-on-Si 材料

目前, 常用于制备 GaN HEMT 的晶圆是在一种衬底材料上外延生长 GaN 异质结, 这种衬底材料可以是硅圆片, 碳化硅圆片, 蓝宝石圆片等<sup>[57-59]</sup>。其中, 通常把外延生长在硅圆片上的 GaN 异质结材料称为 GaN-on-Si 材料。硅材料的晶体结构是金刚石面心立方结构, 与 GaN 的晶体结构存在一定的差异。一般采用硅材料

[111]晶向的三角对称晶格来支持正六面体结构的[0001]晶向的 GaN 外延生长, 从而降低硅材料与 GaN 的晶格失配率。在硅材料[111]晶向生长的 GaN 外延片中, 硅与 GaN 的晶格失配率约为 17%, 大于碳化硅与 GaN 的晶格失配率。而 GaN-on-Si 材料的成本远低于基于碳化硅衬底外延生长的 GaN 异质结外延片, GaN-on-Si 材料晶圆尺寸也较大, 适合商业化制备大功率的功率器件。GaN-on-Si 材料的优点总结如下: (1) 硅材料也具有较好的热导率, 散热较快, 非常适合大功率应用领域; (2) 硅材料的工艺十分成熟, 便于 GaN-on-Si 材料的加工; (3) 硅材料的成本很低; (4) GaN-on-Si 材料的晶圆尺寸较大 (12 英寸), 降低了器件的生产成本; (5) GaN-on-Si 材料可以利用过剩的 CMOS 工艺线来生产 GaN-on-Si 功率器件, 进一步降低了器件的生产成本; (6) GaN-on-Si 材料能够很好的实现 GaN 器件与 Si 器件的单片集成。GaN-on-Si 材料的这些优点是 GaN-on-Si 功率半导体器件走向商业化的有力保证。目前市场上 GaN 功率器件大多都是基于 GaN-on-Si 材料制备的<sup>[57]</sup>。

## 2.2 GaN-on-Si 功率器件基础

### 2.2.1 GaN-on-Si 耗尽型功率器件

基于 GaN-on-Si 材料的横向器件主要包括 GaN-on-Si 肖特基二极管 (Schottky Barrier Diode, SBD)<sup>[60-62]</sup>、GaN-on-Si 混合阳极二极管 (Hybrid Anode Diode, HAD)<sup>[63-67]</sup>及 GaN-on-Si HEMT 等。GaN-on-Si HEMT 的结构如图 2-8(a)所示, 在器件的两端分别是欧姆源极和欧姆漏极, 在源极和漏极之间的肖特基接触电极被称为栅极。GaN-on-Si HEMT 是通过在器件栅极上外加电场来改变该区域的 AlGaIn/GaN 异质结的电场分布, 进而来改变 AlGaIn/GaN 异质结的能带结构和异质结沟道中的 2DEG 浓度, 最终实现器件的开启和关断。由于 Ga 面 AlGaIn/GaN 异质结存在强电场极化特性, 所以即使在栅极电压为零时 GaN-on-Si HEMT 栅极区域的异质结能带中也存在电子势阱(如图 2-8(b)所示), 即栅极区域下方还存在着大量的 2DEG。此时在漏极加上正向电压后, 会有从漏极流向源极的漏源电流产生。可以通过在栅极加上与极化电场方向相反的外加电场 (即在栅极上加上反向电场) 来抬高异质结的能带从而耗尽栅极区域 2DEG (如图 2-9 所示), 器件的导电通道将会在栅极下方被夹断。人们将这种需要在器件栅极上加上反向电场来关断的 GaN-on-Si 功率器件称为 GaN-on-Si 常开型功率器件, 也称为 GaN-on-Si 耗尽型功率器件。GaN-on-Si 耗尽型功率器件的阈值电压为负值, 而具有正阈值电压的 GaN-on-Si 功率器件才是业界所关注的重点。这种器件在栅极电压为零时, 栅极下方没有 2DEG, 源极和漏极之间的导电通道被夹断。这种器件被称为 GaN-on-Si 常关型功率器件, 也称为 GaN-on-Si 增强型功率器件。

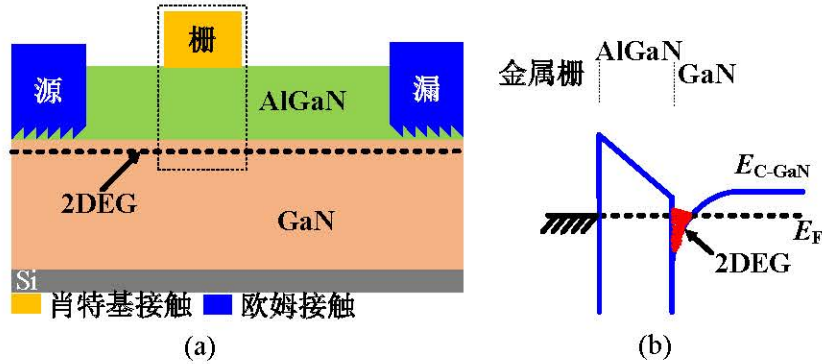


图 2-8 零栅压下的耗尽型 GaN-on-Si HEMT。(a)器件结构；(b)栅极区域能带结构

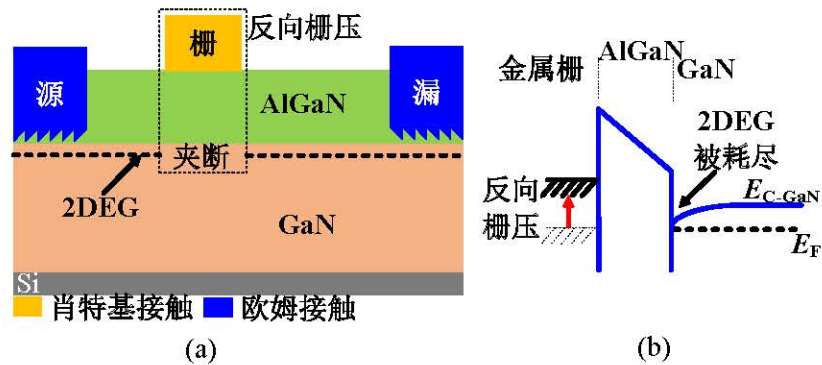


图 2-9 反向栅压下的耗尽型 GaN-on-Si HEMT。(a)器件结构；(b)栅极区域能带结构

## 2.2.2 GaN-on-Si 增强型功率器件

在功率半导体器件的诸多应用领域，具有正阈值电压的增强型晶体管会带来应用上的极大方便甚至是必须的<sup>[1-3]</sup>。基于安全性考虑，功率半导体器件被期望是增强型的。当功率器件的栅极驱动电路出现故障时，增强型功率器件的导电沟道会在栅极区域下方被关断。这虽然会导致系统暂时无法正常工作，但可以通过更换增强型功率器件的栅极驱动电路来使系统恢复工作，即此时不会对系统造成不可挽回的影响。对于耗尽型器件来说，当栅极驱动出现故障时，器件栅极下方的导电沟道始终存在，这可能会导致不需的电流路径出现，并对系统造成不可挽回的损伤。在微波/射频功率放大器领域，增强型功率半导体器件可实现单一的电源供电，从而进一步减小芯片和系统的面积。目前，GaN-on-Si 功率器件的增强型技术主要有：P 型栅技术<sup>[12, 18, 20-21]</sup>、氟离子注入技术<sup>[17, 22-26]</sup>、Cascode 级联技术<sup>[27]</sup>、薄势垒层技术<sup>[19]</sup>、凹槽栅增强型技术<sup>[13-16, 28-31]</sup>。其中基于 P 型栅极技术和 Cascode 级联技术的 GaN-on-Si 增强型功率器件已实现了商业化。

### (1) P 型栅极技术

当在 GaN-on-Si HEMT 的栅极区域选择性外延一层 P 型 GaN 帽层（也称为 P

型栅)时, P 型 GaN 帽层会改变该区域的 AlGaIn/GaN 异质结的电场分布, 进而会改变 AlGaIn/GaN 异质结的能带结构。当 P 型 GaN 帽层能够将 AlGaIn/GaN 异质结界面处的 GaN 导带抬高费米能级以上时, 器件栅极区域 AlGaIn/GaN 异质结界面处的 2DEG 会被耗尽, 所制备的器件具有常关型特性, 如图 2-10(a)所示<sup>[12]</sup>。2000 年, X. Hu 等人利用选择性外延 P 型 GaN 帽层的方法, 成功地制备了阈值电压为 +2.5V 增强型 GaN-on-Si HEMT, 如图 2-10(b)所示<sup>[12]</sup>。基于 P 型栅极技术的增强型 GaN-on-Si HEMT 早在 2007 年就开始商业化, 典型的公司有 EPC 公司和 GaN System 公司。2007 年, 日本的松下公司采用 P 型栅工艺制备出了一种新型的增强型 GaN-on-Si HEMT—栅极注入晶体管器件, 其阈值电压为 1V, 击穿电压为 800V, 最大漏极电流为 200mA/mm<sup>[18]</sup>。该器件可以将 P 型 GaN 帽层中的空穴注入到异质结中, 来进一步调制 2DEG 沟道区的载流子浓度。

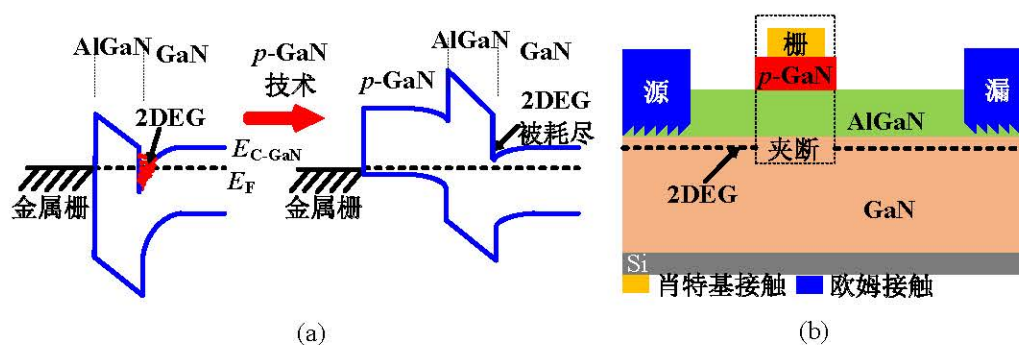


图 2-10 基于 P 型栅极技术的增强型 GaN-on-Si HEMT<sup>[12]</sup>。(a)能带图; (b)器件结构

## (2) 氟离子 (F<sup>-</sup>) 注入技术

当在 GaN-on-Si HEMT 的栅极区域势垒层注入氟离子时, 带负电的氟离子会改变该区域的 AlGaIn/GaN 异质结的电场分布, 进而会改变 AlGaIn/GaN 异质结的能带结构。当带负电的氟离子能够将 AlGaIn/GaN 异质结界面处的 GaN 导带抬高到费米能级以上时, 器件栅极区域的 2DEG 会被耗尽, 所制备的器件具有常关型特性, 如图 2-11 所示<sup>[17]</sup>。2005 年, 香港科技大学 K. J. Chen 团队首次利用氟离子注入技术制备了增强型 GaN-on-Si HEMT, 实现了阈值电压从 -4.0 V 到 +0.9 V 的漂移<sup>[17]</sup>。2006 年, 该团队结合了 MIS 结构与氟离子注入技术, 进一步提高了增强型 GaN-on-Si HEMT 的阈值电压 (+2V)<sup>[25]</sup>。而且在栅极金属与半导体材料之间引入绝缘栅介质可以抑制器件栅极泄漏电流, 提高器件栅极摆幅电压。2012 年, 该团队结合了改进的复合栅极绝缘层材料与氟离子注入技术, 成功制备了阈值电压高达 5.1 V 的增强型 GaN-on-Si HEMT<sup>[26]</sup>。但因器件可靠性及片间片内的阈值一致性还有待改善, 基于氟离子注入技术的增强型 GaN HEMT 尚未实现商业化。

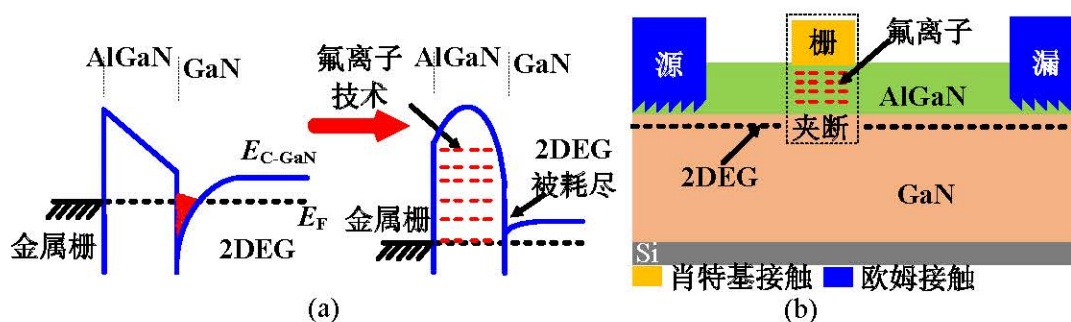


图 2-11 基于 F<sup>-</sup>注入技术的增强型 GaN-on-Si HEMT<sup>[17]</sup>。(a)能带图；(b)器件结构

### (3) Cascode 级联技术

氟离子注入技术和 P 型栅极技术均是通过改变 GaN-on-Si HEMT 栅极区域中 AlGaN/GaN 异质结的电场分布,进而改变 AlGaN/GaN 异质结的能带结构和耗尽器件栅极区域 AlGaN/GaN 异质结界面处的 2DEG。而 Cascode 级联技术并没有改变 AlGaN/GaN 异质结的能带结构,该技术是将耗尽型 GaN-on-Si HEMT 与增强型硅器件级联在一起来实现增强型功能。具体的级联方式如图 2-12 所示<sup>[3]</sup>,将低压增强型硅器件的源极与高压耗尽型 GaN-on-Si HEMT 的栅极短接在一起作为器件的源极,将低压增强型硅器件的漏极与高压耗尽型 GaN-on-Si HEMT 的源极短接在一起,高压耗尽型 GaN-on-Si HEMT 的欧姆漏极作为器件的漏极,低压增强型硅器件的栅极作为器件的栅极。此时,低压增强型硅器件的阈值电压决定了器件的阈值电压,而器件的耐压是由高压耗尽型 GaN-on-Si HEMT 的耐压决定的。基于 Cascode 级联技术的增强型 GaN-on-Si HEMT 具有驱动简单和阈值电压高等优点,已实现了商业化。但因为集成了低压增强型硅基器件,基于 Cascode 级联技术的增强型 GaN-on-Si HEMT 的性能会受到硅基器件的影响,如器件的最高工作温度,器件的开关速度及器件的抗辐射能力等。

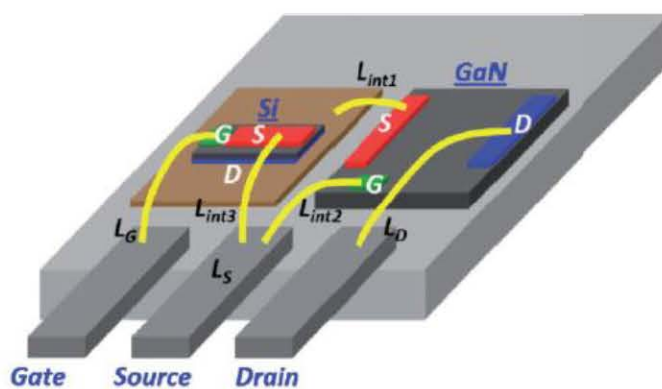


图 2-12 基于 Cascode 级联技术的增强型 GaN-on-Si HEMT<sup>[3]</sup>

#### (4) 薄 AlGa<sub>N</sub> 势垒层技术

AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结中的 2DEG 浓度与 AlGa<sub>N</sub> 势垒层的厚度密切相关。当 AlGa<sub>N</sub> 势垒层的厚度很薄时，异质结沟道处不会出现 2DEG。中科院微电子所的黄森等人通过钝化层来增强薄势垒层 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结的极化电场，从而将 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结界面处的 Ga<sub>N</sub> 导带拉低到费米能级以下，此时在薄势垒层 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结的界面处会出现大量 2DEG，如图 2-13 所示<sup>[19]</sup>。所以当去除器件栅极区域异质结表面的钝化介质时，2DEG 沟道将会在栅极区域下方被夹断。由于薄 AlGa<sub>N</sub> 势垒层技术只需要去除器件栅极区域表面的钝化层介质，而不需要对 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结的 AlGa<sub>N</sub> 势垒层进行刻蚀处理，可以避免刻蚀技术对器件栅极沟道区域的损伤。同时该工艺相对简单，在同一个晶圆上所制备的增强型 GaN-on-Si HEMT 具有较好的阈值均匀性。但是由于基于该技术的增强型 GaN-on-Si HEMT 的栅极区域的异质结存在一定厚度的势垒层，这会导致该器件的阈值电压较低。且为获得较好的片间阈值均匀性，需要对材料势垒厚度进行较好的控制。

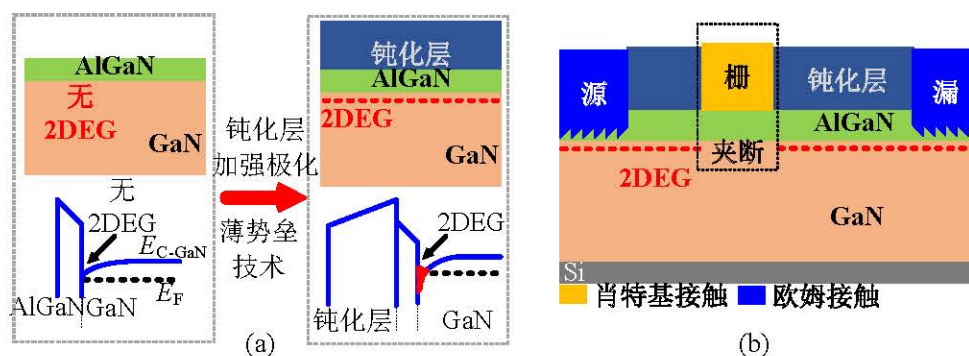


图 2-13 基于薄势垒层技术的增强型 GaN-on-Si HEMT<sup>[19]</sup>。(a)能带图；(b)器件结构

#### (5) 凹槽栅增强型技术

改变 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结势垒层的厚度可以改变异质结的电场分布，进而可以改变 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结的能带结构和异质结沟道处的 2DEG 浓度。当 GaN-on-Si HEMT 栅极区域 AlGa<sub>N</sub> 势垒层的厚度很薄时，栅极区域异质结沟道处的 2DEG 将消失。因此，可以利用这种减薄栅极区域势垒层技术来制备增强型 GaN-on-Si HEMT，如图 2-14 所示<sup>[13-16]</sup>。2006 年，日本 Nichia 公司的 Y. Ohmaki 等人就通过减薄 AlGa<sub>N</sub> 势垒层制备了阈值电压为-0.1V 的准增强型氮化镓功率器件<sup>[14]</sup>。同年，日本 Toshiba 公司的 W. Saito 等人利用凹槽栅工艺制备了阈值电压为-0.14V 的准增强型氮化镓功率器件，同时也证明了利用凹槽栅工艺可以制备出增强型氮化镓功率器件<sup>[15]</sup>。2008 年，R. Chu 等人通过凹槽栅工艺制备了增强型氮化镓功率器件<sup>[16]</sup>。

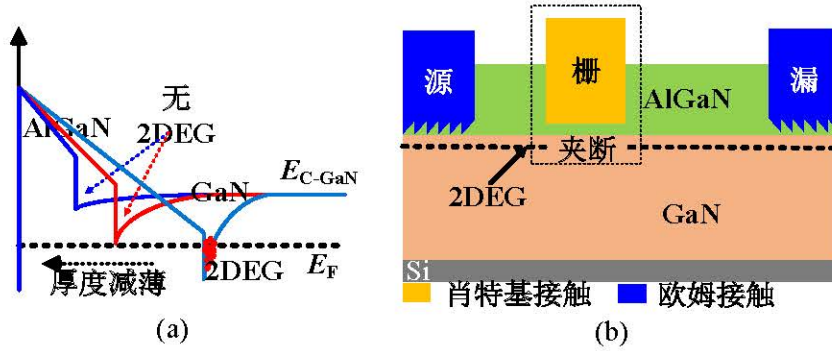


图 2-14 基于凹槽栅技术的增强型 GaN-on-Si HEMT<sup>[13-16]</sup>。(a)能带图；(b)器件结构

### 2.3 本章小结

本章简单介绍了 GaN-on-Si 材料在功率器件领域的主要优势、GaN 材料的自发极化效应和压电极化效应、GaN 异质结中 2DEG 的产生机制以及 GaN-on-Si 功率器件的工作机理。以及简单介绍了目前主流的 GaN-on-Si 功率器件增强型工艺的技术原理，包括 P 型栅技术、氟离子注入技术、Cascode 级联技术、薄势垒层技术、凹槽栅增强型技术等几种主流技术路线。其中 P 型栅技术、氟离子注入技术、薄 AlGaN 势垒层技术、凹槽栅增强型技术均是通过改变 GaN-on-Si 功率器件异质结中的电场分布，来控制异质结的能带结构和耗尽器件栅极区域异质结沟道的 2DEG。而 Cascode 级联技术只是通过将 GaN-on-Si 耗尽型功率器件与硅基增强型器件级联在一起来实现增强型功能。

### 第三章 GaN-on-Si 增强型功率器件场控能带模型

近年来, 学者们对 GaN-on-Si 功率半导体技术的研究已经取得了巨大的进展, 但功率器件的发展不仅需要器件工艺的提升, 还需要器件理论模型来指导器件的设计。而目前对 GaN-on-Si 功率器件物理模型的研究主要集中于耗尽型器件的电流电压模型和阈值电压模型, 对增强型器件的相关物理机理的研究甚少, 对其增强型理论模型的研究报道也较少。因而研究人员只能通过反复试验来优化器件设计和工艺参数, 这大大增加了 GaN-on-Si 增强型功率器件的设计周期和成本。

为此, 本章将研究 GaN-on-Si 增强型功率器件的场控能带机理, 分析 GaN-on-Si 增强型功率器件的器件结构、材料结构、陷阱电荷及外加电场对器件能带结构和 2DEG 浓度的影响机制, 揭示恒定密度的陷阱电荷和 2DEG 浓度的关系, 进一步引入陷阱电荷密度与外加电场、陷阱电荷分布函数的关系, 从而建立 GaN-on-Si 增强型功率器件场控能带模型, 并提出一种界面陷阱电荷分布函数的提取方法。所建立的场控能带模型不仅可以准确地预测出器件的费米能和 2DEG 浓度, 还能够准确地反应出器件栅控能力与陷阱电荷的关系, 为研究 GaN-on-Si 增强型功率器件提供理论基础和指导思想。通过所提出的界面陷阱电荷分布函数提取方法可以自治地求解出器件栅极沟道处费米能和界面电离受主型陷阱的密度, 并可以获得界面陷阱电荷的密度与陷阱能级的关系。

#### 3.1 GaN-on-Si 增强型功率器件场控能带机理

Ga 面 AlGa<sub>n</sub>/Ga<sub>n</sub> 异质结具有较强的极化效应, 强的极化电场可以将异质结界面处的 Ga<sub>n</sub> 导带拉低到费米能级以下。此时, 在异质结的界面处会形成一个电子势阱, 并聚集大量的电子。改变 AlGa<sub>n</sub> 势垒层的厚度可以改变异质结中电场的分布, 从而改变异质结的能带结构和 2DEG 浓度。当 GaN-on-Si HEMT 栅极区域 AlGa<sub>n</sub> 势垒层的厚度很薄时, 栅极区域异质结沟道处的 2DEG 将消失。利用这种通过减薄 AlGa<sub>n</sub> 势垒层来耗尽 2DEG 的技术可以制备出凹槽栅增强型 GaN-on-Si HEMT。为降低凹槽栅增强型 GaN-on-Si HEMT 的栅极漏电以及增加器件栅极摆幅电压, 学者们在器件的栅极金属与半导体之间引入一层绝缘栅介质, 制备出了凹槽栅增强型 GaN-on-Si MIS-HEMT(如图 3-1(a)所示)<sup>[28-30]</sup>。凹槽栅增强型 GaN-on-Si MIS-HEMT 具有阈值电压大、栅极摆幅电压高、栅极漏电低等优点, 是功率器件多个应用领域重点关注的结构。为促进凹槽栅增强型 GaN-on-Si MIS-HEMT 的持续发展, 这里将对凹槽栅增强型 GaN-on-Si MIS-HEMT 的场控能带机理进行研究。

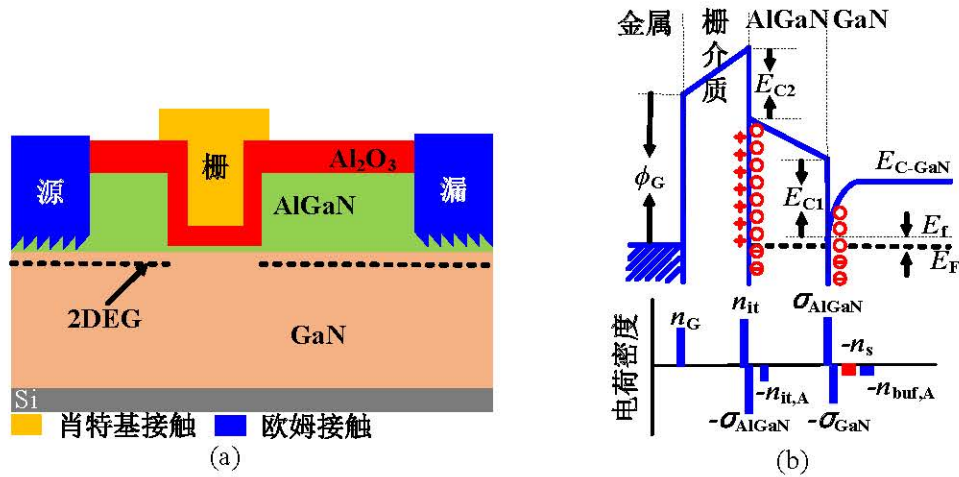


图 3-1 凹槽栅增强型 GaN-on-Si MIS-HEMT<sup>[29-30]</sup>。(a)器件结构；(b)栅极区域的能带图（注：本章中凹槽栅增强型 GaN-on-Si MIS-HEMT 的绝缘栅介质为氧化铝（Al<sub>2</sub>O<sub>3</sub>））

基于凹槽栅增强型 GaN-on-Si MIS-HEMT 栅极区域的能带结构图(如图 3-1(b)所示), 可以获得器件栅极沟道处的 2DEG 浓度 ( $n_s$ ) 与费米能 ( $E_f$ ) 的关系<sup>[33]</sup>, 其中器件栅极沟道处的费米能定义为器件栅极区域异质结界面处的费米能级与 GaN 导带的差。由高斯定理可得:

$$\begin{aligned}
 & -E_f + \Delta E_{C1} + q^2 \frac{(\sigma_{\text{AlGaN}} - \sigma_{\text{GaN}} - n_s - n_{\text{buf},A})}{\varepsilon_{\text{AlGaN}} / t_{\text{AlGaN}}} + \Delta E_{C2} - \\
 & \phi_G + qV_G + q^2 \frac{(n_{\text{it}} - \sigma_{\text{GaN}} - n_s - n_{\text{buf},A} - n_{\text{it},A})}{\varepsilon_{\text{Al}_2\text{O}_3} / t_{\text{Al}_2\text{O}_3}} = 0
 \end{aligned} \quad (3-1)$$

其中

$$\Delta E_{C1} = 0.7(E_{g-\text{AlGaN}} - E_{g-\text{GaN}}) \quad (3-1a)$$

$$\begin{aligned}
 E_{g-\text{AlGaN}} &= xE_{g-\text{AlN}} + (1-x)E_{g-\text{GaN}} - x(1-x)eV \\
 &= 6.13x + (1-x)3.42 - x(1-x)eV
 \end{aligned} \quad (3-1b)$$

$$\phi_G \cong W_m - \chi_{\text{Al}_2\text{O}_3} \cong W_m - 1.58\text{eV} \quad (3-1c)$$

$t_{\text{AlGaN}}$  为 AlGaN 势垒层的厚度, 改变势垒层的厚度可以改变 AlGaN/GaN 异质结中电场的分布, 进而改变异质结的能带结构和 2DEG 浓度;  $\sigma_{\text{AlGaN}}$  为 AlGaN 势垒层的极化电荷密度, 与 AlGaN 势垒层中的极化电场相关, 改变 AlGaN 势垒层铝组分  $x$  可以改变势垒层的极化电场, 从而改变异质结的能带结构和 2DEG 浓度;  $\sigma_{\text{GaN}}$  为 GaN 层的极化电荷密度;  $n_{\text{buf},A}$  为 GaN 层电离受主密度,  $n_{\text{it},A}$  为 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处电离受主密度,  $n_{\text{it}}$  为 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷密度, 电离受主和界面正电荷

所产生的电场也会改变 AlGaN/GaN 异质结的电场分布，进一步会改变异质结的能带结构和 2DEG 浓度。上述公式中的其他字母的含义如表 3-1 所示。

表 3-1 公式(3-1)中所用到的缩写字母的含义

字母	物理意义	值/单位
$\Delta E_{C1}$	AlGaN 与 GaN 的导带差	由公式(3-1a)计算 <sup>[43-45]</sup>
$E_{g-GaN}$	GaN 的禁带宽度	3.42 eV <sup>[43-45]</sup>
$E_{g-AlGaN}$	AlGaN 的禁带宽度	由公式(3-1b)计算 <sup>[43-45]</sup>
$E_{g-AlN}$	AlN 的禁带宽度	6.13 eV <sup>[43-45]</sup>
$\epsilon_{AlGaN}$	AlGaN 层的介电常数	$(0.03x+10.28)\epsilon_0$ <sup>[43-45]</sup>
$\epsilon_0$	真空介电常数	$8.854 \times 10^{-12}$ F/m
$\Delta E_{C2}$	AlGaN 与 Al <sub>2</sub> O <sub>3</sub> 的导带差	2.1 eV <sup>[68]</sup>
$\phi_G$	栅极表面势垒高度	由公式(3-1c)计算 <sup>[33]</sup>
$W_m$	栅极金属功函数	---
$\chi_{Al_2O_3}$	栅介质 Al <sub>2</sub> O <sub>3</sub> 的电子亲和能	1.58 eV <sup>[68]</sup>
$V_G$	栅极电压	---
$\epsilon_{Al_2O_3}$	Al <sub>2</sub> O <sub>3</sub> 的介电常数	$7.7\epsilon_0$
$t_{Al_2O_3}$	Al <sub>2</sub> O <sub>3</sub> 的厚度	20 nm
$C_{AlGaN}$ $C_{Al_2O_3}$	势垒层电容、栅介质层电容	
$C_G$	栅极电容	

将公式(3-1)简写成如下形式：

$$E_f = qV_G - qV_{off} - \frac{q^2 \times n_s}{C_G} \quad (3-1d)$$

其中

$$V_{off} = -\frac{\Delta E_{C1} + \Delta E_{C2} - \phi_G}{q} - q \frac{(\sigma_{AlGaN} - \sigma_{GaN})}{C_{AlGaN}} - q \frac{(n_{it} - \sigma_{GaN})}{C_{Al_2O_3}} + \left( \frac{q \times n_{buf,A}}{C_G} + \frac{q \times n_{it,A}}{C_{Al_2O_3}} \right) \quad (3-1e)$$

当器件栅极区域的费米能级刚好达到 AlGaN/GaN 异质结界面处的 GaN 导带时（器件栅极沟道处的费米能等于 0eV），器件栅极沟道处的 2DEG 浓度较小，公

式(3-1e)中的最后一项可以忽略不计。此时，可以将  $V_{off}$  看作是 GaN-on-Si MIS-HEMT 的阈值电压。由公式(3-1)可知，器件栅极区域的 AlGaN/GaN 异质结势垒层的厚度、AlGaN 势垒层的铝组分、陷阱电荷（Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷、Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处电离受主以及 GaN 层电离受主）均会影响器件栅极区域的电场分布，从而影响器件栅极区域的能带结构和器件的阈值电压。因此有必要研究这些因素对器件栅极区域能带结构和器件阈值电压的影响机制。

(1) 势垒层铝组分和厚度对异质结能带结构和器件阈值电压的影响

改变 AlGaN/GaN 异质结中势垒层的厚度和铝组分可以改变异质结中电场的分布，从而可以改变异质结的能带结构和 2DEG 浓度，如图 3-2 所示。当 AlGaN 势垒层的铝组分增加时，势垒层中的压电极化效应会增强，即势垒层中的压电极化电场会增大<sup>[43-45]</sup>。Ga 面 AlGaN 的压电极化电场会拉低 AlGaN/GaN 异质结界面处的能带，AlGaN 势垒层中压电极化电场的增大会导致异质结界面处的能带被拉的更低，从而会导致 2DEG 浓度的增加，如图 3-2(a)所示。所以 AlGaN 势垒层铝组分的增加会导致 GaN-on-Si MIS-HEMT 阈值电压的降低，如图 3-3 所示。图中在计算 GaN-on-Si MIS-HEMT 的阈值电压时，Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷密度、Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处电离受主密度以及 GaN 层电离受主密度分别取值为  $1.45 \times 10^{13} \text{cm}^{-2}$ 、 $1 \times 10^{12} \text{cm}^{-2}$  和  $1 \times 10^{12} \text{cm}^{-2}$ 。其他参数取值如表 3-1 所示。AlGaN/GaN 异质结势垒层厚度的改变并不会改变 AlGaN 的压电极化效应<sup>[43-45]</sup>，即不会改变势垒层中的压电极化电场。但改变势垒层的厚度会改变异质结中电场的作用范围，从而改变异质结的能带结构和 2DEG 浓度。器件栅极区域 AlGaN/GaN 异质结势垒层较薄时，AlGaN 势垒层中的极化电场作用的区域较短，无法将异质结界面处的能带拉低到费米能级以下<sup>[43-45]</sup>。随着器件栅极区域 AlGaN/GaN 异质结势垒层厚度的增加，AlGaN 势垒层的极化电场可以作用的区域将会增加，从而可以将异质结界面处的能带拉低到费米能级以下，如图 3-2(b)所示。所以 AlGaN/GaN 异质结势垒层厚度的增加也会导致 GaN-on-Si MIS-HEMT 阈值电压的降低，如图 3-3 所示。

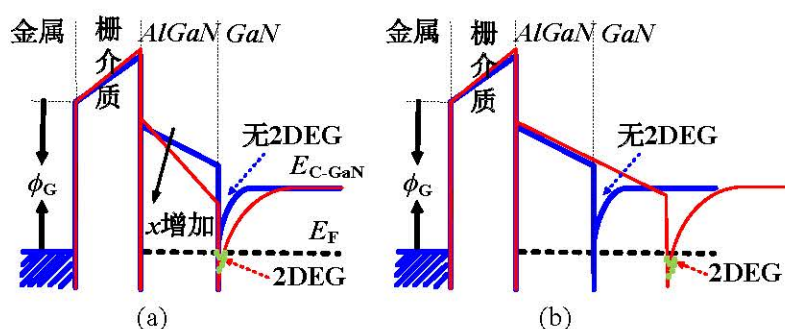


图 3-2 异质结势垒层对器件栅极区域能带结构的影响。(a)不同铝组分；(b)不同厚度

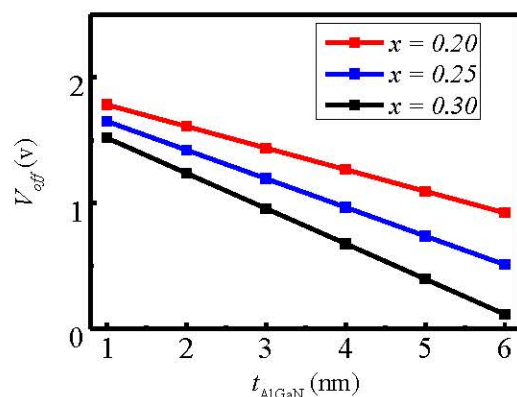


图 3-3 势垒层铝组分和厚度对 GaN-on-Si MIS-HEMT 阈值电压的影响

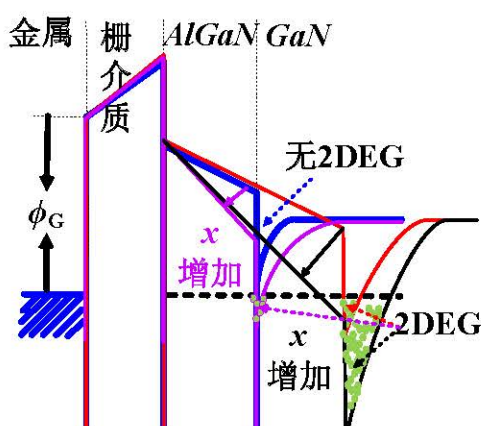


图 3-4 不同势垒层厚度时，改变势垒层铝组分对器件栅极区域能带结构的影响

从图 3-3 中同样可以发现，随着 AlGaIn 势垒层厚度的增加，改变 AlGaIn 势垒层铝组分对 GaN-on-Si MIS-HEMT 阈值电压的影响会变得更加显著。AlGaIn 势垒层厚度为 1nm 时，当 AlGaIn 势垒层铝组分从 0.2 增加到 0.3，GaN-on-Si MIS-HEMT 的阈值电压只降低了 0.26V。而 AlGaIn 势垒层厚度为 6nm 时，当 AlGaIn 势垒层铝组分从 0.2 增加到 0.3，GaN-on-Si MIS-HEMT 的阈值电压降低了 0.8V 左右。这是因为增加 AlGaIn 势垒层的厚度可以减小 AlGaIn 势垒层的电容，所以公式(3-1e)中第二项所占的比例会被增大。此时，由公式(3-1e)中第二项的变化引起器件阈值电压的变化变得更加显著。同时从 GaN-on-Si MIS-HEMT 的栅极区域能带结构图也可以解释上述现象（如图 3-4 所示），AlGaIn 势垒层较薄时，AlGaIn 势垒层中的压电极化电场仅能改变较薄区域的能带结构，此时改变 AlGaIn 势垒层铝组分对 GaN-on-Si MIS-HEMT 阈值电压的影响较小。AlGaIn 势垒层厚度增加后，AlGaIn 势垒层中的压电极化电场可以改变较厚区域的能带结构，此时改变 AlGaIn 势垒层铝组分对 GaN-on-Si MIS-HEMT 阈值电压的影响较大。通常，为了制备出具有较

大阈值电压的凹槽栅增强型 GaN-on-Si MIS-HEMT，往往需要将器件栅极区域的 AlGaN 势垒层完全刻蚀掉或者仅保留很薄的 AlGaN 势垒层，此时 AlGaN 势垒层铝组分的变化对 GaN-on-Si MIS-HEMT 的影响就较小。

(2) Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷对异质结能带结构和阈值电压的影响

带负电的氟离子所形成的电场会抬高器件栅极区域的异质结能带，从而导致异质结界面处 2DEG 浓度的减少。相反，Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷所形成的电场会拉低器件栅极区域的异质结能带，从而会导致异质结界面处 2DEG 浓度的增加<sup>[33]</sup>，如图 3-5 所示。Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷的增加会导致 GaN-on-Si MIS-HEMT 阈值电压降低，如图 3-6 所示。图中在计算 GaN-on-Si MIS-HEMT 的阈值电压时，Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处电离受主密度和 GaN 层电离受主密度分别取值为  $1 \times 10^{12} \text{cm}^{-2}$  和  $1 \times 10^{12} \text{cm}^{-2}$ 。同时从图中还可以看出，异质结势垒层厚度和势垒层铝组分的变化并不会影响 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷密度与器件阈值电压曲线的斜率。这点从公式(3-1)看出，当忽略器件栅极区域 2DEG 浓度时，Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷仅会改变器件绝缘栅介质层 Al<sub>2</sub>O<sub>3</sub> 的能带结构。

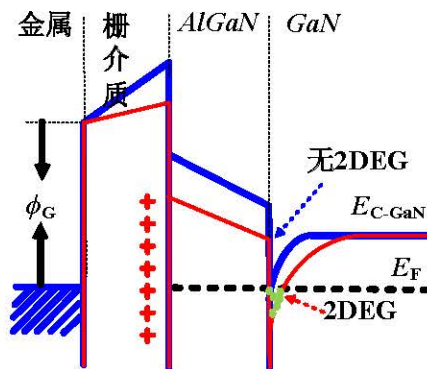


图 3-5 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷对器件栅极区域能带结构的影响

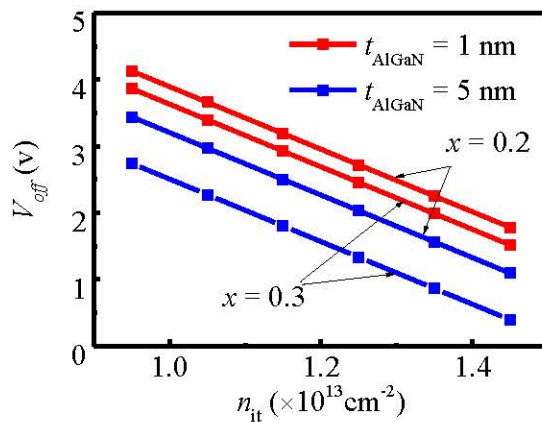


图 3-6 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷对器件阈值电压的影响

## (3) 电离受主对异质结能带结构和阈值电压的影响

由公式(3-1)可知, GaN 层电离受主密度和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度的变化同样也会导致器件栅极区域  $\text{AlGaN}/\text{GaN}$  异质结电场分布的改变, 从而导致器件栅极区域能带结构和 2DEG 浓度的改变, 如图 3-7 所示。电离受主对 GaN-on-Si MIS-HEMT 能带结构和 2DEG 浓度的影响类似于氟离子对器件能带结构和 2DEG 浓度的影响。由电离受主所形成的电场会抬高异质结的能带, 从而会导致异质结费米能和 2DEG 浓度的减少 (如图 3-7 所示) [33]。因而电离受主密度的增大会导致 GaN-on-Si MIS-HEMT 阈值电压的增加, 如图 3-8 和图 3-9 所示。图中在计算 GaN-on-Si MIS-HEMT 的阈值电压时,  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处正电荷密度取值为  $1.45 \times 10^{13} \text{cm}^{-2}$ 。受主型陷阱密度的增大尽管可以增加 GaN-on-Si MIS-HEMT 阈值电压, 但也会导致器件阈值电压回滞的增大和器件动态电阻的增大。目前学者们正致力于如何减少凹槽栅增强型 GaN-on-Si MIS-HEMT 栅极区域受主型陷阱的密度, 来增强器件阈值电压和器件动态电阻的稳定性。

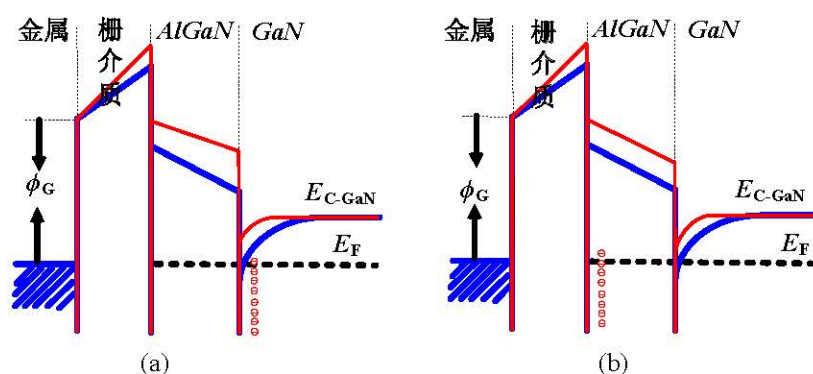


图 3-7 电离受主对栅极区域能带的影响。(a) GaN 层电离受主; (b) 界面处电离受主

从图 3-8 和图 3-9 可以看出, 当  $\text{AlGaN}$  势垒层较薄时, GaN 层电离受主密度与阈值电压曲线的斜率和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与阈值电压曲线的斜率基本一致; 当  $\text{AlGaN}$  势垒层较厚时, GaN 层电离受主密度与阈值电压曲线的斜率要大于  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与阈值电压曲线的斜率, 如图 3-8 所示。从公式(3-1e)的第四项可以看出, GaN 层电离受主密度与阈值电压曲线的斜率和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与阈值电压曲线的斜率分别是由器件的栅极电容和栅介质电容决定的。势垒层变厚只会导致栅极电容减小而不会改变栅介质电容, 所以势垒层变厚不会影响  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与阈值电压曲线的斜率, 只会增加 GaN 层电离受主密度与阈值电压曲线的斜率。同时上述结果也表明了增加  $\text{AlGaN}$  势垒层的厚度会导致 GaN 层电离受主密度对器件阈值电压的影响增大。另外, 当器件栅介质厚度增加时, 器件栅极电容和栅介质电容都会减小。

从公式(3-1e)可以看出,器件栅极电容和栅介质电容的减小会增加 GaN 层电离受主密度与阈值电压曲线的斜率和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与阈值电压曲线的斜率。

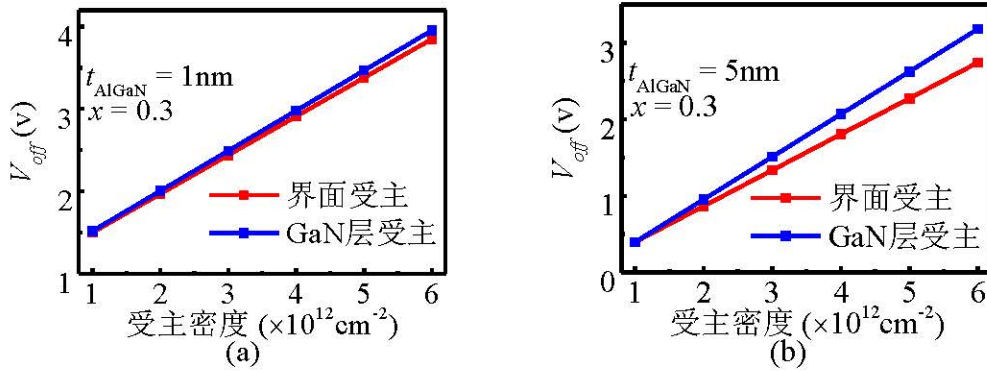


图 3-8  $x=0.3$  时电离受主对器件阈值电压的影响。(a)  $t_{\text{AlGaN}}=1\text{nm}$ ; (b)  $t_{\text{AlGaN}}=5\text{nm}$

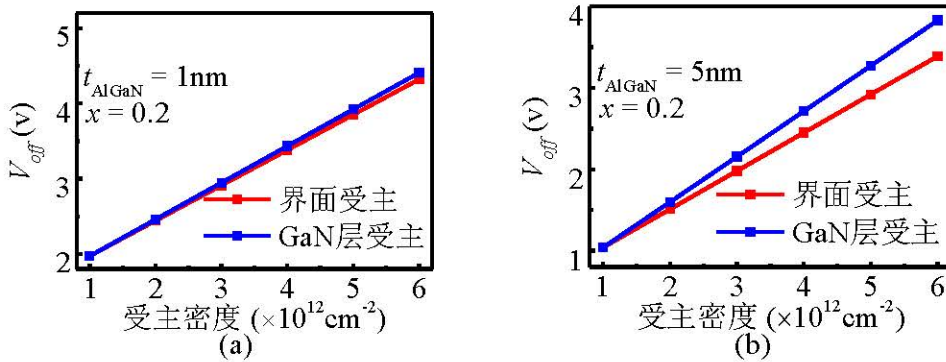


图 3-9  $x=0.2$  时电离受主对器件阈值电压的影响。(a)  $t_{\text{AlGaN}}=1\text{nm}$ ; (b)  $t_{\text{AlGaN}}=5\text{nm}$

从公式(3-1)也可以解释上述现象,公式的第三项是异质结中势垒层的能带变化量,与  $\text{AlGaN}$  的极化电场、 $\text{AlGaN}$  势垒层的厚度、 $\text{GaN}$  的极化电场、 $\text{GaN}$  层电离受主密度以及异质结界面处的 2DEG 浓度有关;公式(3-1)的第七项是器件绝缘栅介质  $\text{Al}_2\text{O}_3$  的能带变化量,与  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处正电荷密度、 $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度、绝缘介质  $\text{Al}_2\text{O}_3$  的厚度、 $\text{GaN}$  的极化电场、 $\text{GaN}$  层电离受主密度以及异质结界面处的 2DEG 浓度有关。 $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度的改变仅会改变绝缘栅介质  $\text{Al}_2\text{O}_3$  能带结构;而  $\text{GaN}$  层电离受主密度的改变不仅会改变绝缘栅介质  $\text{Al}_2\text{O}_3$  能带结构,也会改变  $\text{AlGaN}/\text{GaN}$  异质结中势垒层的能带结构,如图 3-7 所示。所以  $\text{GaN}$  层电离受主密度与阈值电压曲线的斜率会大于  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与阈值电压曲线的斜率。从图 3-8 和图 3-9 还可以看出,改变  $\text{AlGaN}$  势垒层铝组分对  $\text{GaN}$  层电离受主密度与阈值电压曲线的斜率和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与阈值电压曲线的斜率基本没有影响。

本节研究了 AlGaN/GaN 异质结势垒层的厚度、势垒层的铝组分、陷阱电荷（Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处正电荷、Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处电离受主以及 GaN 层电离受主）对 GaN-on-Si MIS-HEMT 栅极区域能带结构和器件阈值电压的影响机制。接下来，将重点定量研究 GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处受主型陷阱对 GaN-on-Si MIS-HEMT 的费米能和 2DEG 浓度的影响机制。

## 3.2 陷阱电荷对 2DEG 浓度的影响

### 3.2.1 恒定密度陷阱电荷对 2DEG 浓度的影响

从公式(3-1)可以看出 GaN-on-Si MIS-HEMT 栅极沟道处的 2DEG 浓度与费米能是相互影响的，仅采用公式(3-1)是无法计算出器件栅极沟道处的 2DEG 浓度和费米能。为计算出器件栅极沟道处的 2DEG 浓度和费米能，假设器件沟道处的 2DEG 是存在一个位于 AlGaN/GaN 异质结界面处的三角势阱中，同时还假设 2DEG 只会占据着这个三角势阱中最低的两个能级<sup>[69-72]</sup>。基于上述假设，GaN-on-Si MIS-HEMT 的 2DEG 浓度与费米能的关系可以通过求解泊松方程和薛定谔方程来获得：

$$\begin{aligned} n_s &\cong DV_T \left[ \ln \left( e^{\frac{E_f - E_0}{kT}} + 1 \right) + \ln \left( e^{\frac{E_f - E_1}{kT}} + 1 \right) \right] \\ &= DV_T \left[ \ln \left( e^{\frac{E_f - E_0}{qV_T}} + 1 \right) + \ln \left( e^{\frac{E_f - E_1}{qV_T}} + 1 \right) \right] \end{aligned} \quad (3-2)$$

其中

$$D = \frac{qm^*}{\pi\hbar^2} \quad (3-2a)$$

$$V_T = \frac{kT}{q} \quad (3-2b)$$

$$E_0 = q\gamma_0 \times n_s^{2/3} \quad (3-2c)$$

$$E_1 = q\gamma_1 \times n_s^{2/3} \quad (3-2d)$$

上述公式中所用到的缩写字母的含义如表 3-2 所示。

结合公式(3-1)和公式(3-2)，采用迭代法可以计算出器件栅极沟道处的 2DEG 浓度及费米能，如图 3-10 所示。同时，还利用 TCAD Sentaurus 仿真工具来验证所提出的场控能带模型，如图 3-10 所示。从图 3-10 可以看出通过 TCAD Sentaurus 仿真工具所得到的 2DEG 浓度和费米能与通过场控能带模型计算的结果基本一致，

这证明了该模型的正确性和精确性。从上述模型可以看出受主型陷阱会影响器件的 2DEG 浓度和费米能，因此有必要进行相关的研究。恒定密度的电离受主对器件栅极沟道处的 2DEG 浓度及费米能的影响如图 3-10 和图 3-11 所示。从图中可以看出，电离受主密度的增大会导致器件费米能的减小，进而会导致器件 2DEG 浓度的减小。这是因为电离受主呈负电特性，由电离受主所形成的电场会抬高异质结的能带，从而会导致异质结费米能和 2DEG 浓度的减少。此外，从图 3-10 和图 3-11 可以看出改变电离受主密度几乎不会对 2DEG 浓度曲线的亚阈值摆幅有影响。在实际情况中受主型陷阱密度的增大会导致 2DEG 浓度曲线的亚阈值摆幅的减小<sup>[73]</sup>。这说明仅引入恒定密度电离受主的场控能带模型是无法真实地模拟出 GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGaIn 界面处受主型陷阱对器件 2DEG 浓度的影响。

表 3-2 公式(3-2)中所用到的缩写字母的含义

字母	物理意义	值/单位
$D$	GaN 材料导带处 2DEG 的状态密度	由(3-2a)而定 <sup>[69-72]</sup>
$V_T$	热电势	常温下约为 0.0259 V <sup>[69-72]</sup>
$E_0(E_1)$	三角势阱中最低的两个能级	由(3-1c)和(3-1d)而定 <sup>[69-72]</sup>
$k$	玻尔兹曼常数	$1.38 \times 10^{-23}$ J/K <sup>[69-72]</sup>
$T$	热力学温度	本章中 $T = 300$ K
$m^*$	GaN 材料的电子有效质量	约为 $0.2 \times 9.108 \times 10^{-31}$ kg
$2\pi\hbar$	普朗克常量	$6.626 \times 10^{-34}$ Js <sup>[69-72]</sup> $4.13566743 \times 10^{-15}$ eVs
$\gamma_0$	由实验确定的常数	$2.12 \times 10^{-12}$ Vm <sup>4/3</sup> <sup>[69-72]</sup>
$\gamma_1$		$3.73 \times 10^{-12}$ Vm <sup>4/3</sup> <sup>[69-72]</sup>

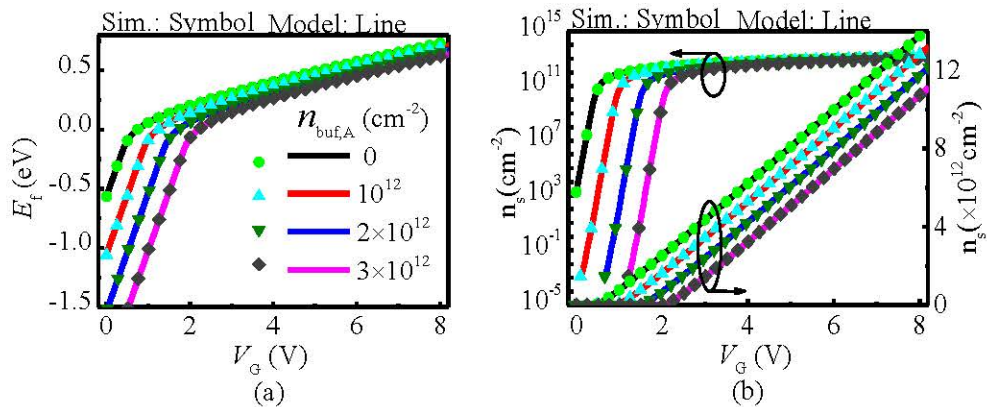


图 3-10 恒定密度的 GaN 层电离受主对器件特性的影响。(a)费米能；(b)2DEG 浓度

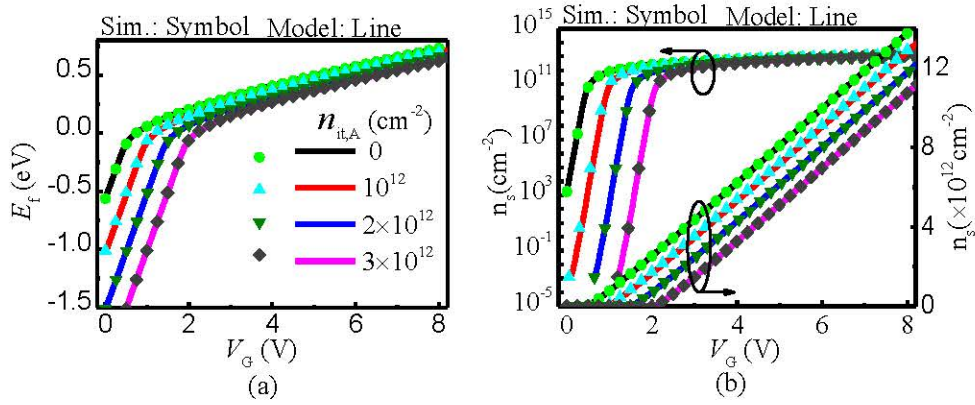


图 3-11 恒定密度的界面处电离受主对器件特性的影响。(a)费米能；(b)2DEG 浓度

### 3.2.2 非恒定密度陷阱电荷对 2DEG 浓度的影响

实际中，GaN 层电离受主密度和 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处电离受主密度会随着栅极外加电场的改变而改变的，同时也与这些受主型陷阱的分布函数密切相关<sup>[74-77]</sup>。因此，仅引入恒定密度电离受主的场控能带模型不能很好地模拟出受主型陷阱对器件 2DEG 浓度及费米能的影响。本节将受主型陷阱的分布函数引入到 GaN-on-Si 增强型功率器件场控能带模型中，首先利用受主型陷阱的分布函数计算出电离受主密度，然后将获得的电离受主密度引入到场控能带模型中来计算器件栅极沟道处的 2DEG 浓度及费米能。

首先，做出以下几点假设：

- 1) 当栅极加上正向电压时，器件栅极沟道下方的费米能级在禁带的上半部分移动，所以器件中施主型陷阱对器件特性的影响可以不考虑<sup>[74-77]</sup>。
- 2) 假设 GaN 层的受主型陷阱集中于 AlGaN/GaN 异质结界面处。
- 3) 假设 GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处受主型陷阱仅存在于本征费米能级以上，并且服从 deep-level 分布和 band-tail 分布。

基于上述假设，GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处受主型陷阱的状态密度可由公式(3-3a)和公式(3-3b)表示<sup>[74-77]</sup>，如图 3-12 所示：

$$D_{it,A}(E_t) = \begin{cases} D_{it,0} + D_{it,1} e^{\frac{E_t - E_{C\_AlGaN}}{E_{T1}}} & E_{i\_AlGaN} < E_t < E_{C\_AlGaN} \\ 0 & E_t < E_{i\_AlGaN} \end{cases} \quad (3-3a)$$

$$D_{buf,A}(E_t) = \begin{cases} D_{buf,0} + D_{buf,1} e^{\frac{E_t - E_{C\_GaN}}{E_{T2}}} & E_{i\_GaN} < E_t < E_{C\_GaN} \\ 0 & E_t < E_{i\_GaN} \end{cases} \quad (3-3b)$$

上述公式中所用到的字母的含义如表格 3-3 所示。

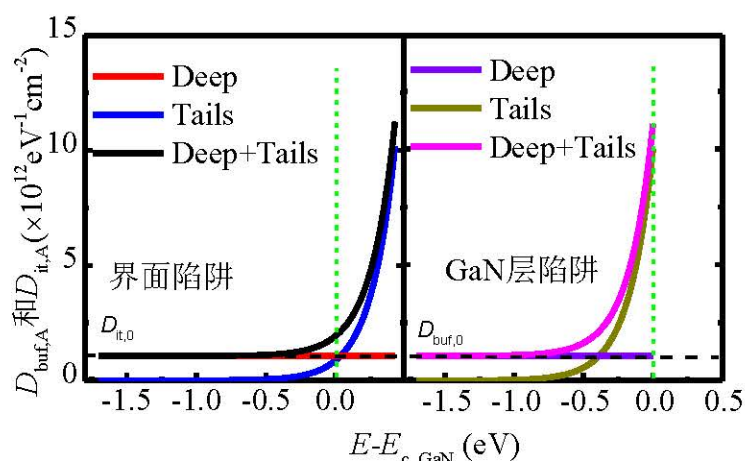


图 3-12 GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处受主型陷阱的状态密度

表 3-3 公式(3-3)和公式(3-4)中所用字母的含义

字母	物理意义	值/单位
$D_{it,A}$	Al <sub>2</sub> O <sub>3</sub> /AlGaN 界面处受主型陷阱的状态密度 <sup>[74-77]</sup>	---
$D_{buf,A}$	GaN 层受主型陷阱的状态密度 <sup>[74-77]</sup>	---
$D_{it,0}$	Al <sub>2</sub> O <sub>3</sub> /AlGaN 界面处服从 deep-level 分布的受主型陷阱 (deep-type 型受主型陷阱) 的状态密度 <sup>[74-77]</sup>	---
$D_{buf,0}$	GaN 层中服从 deep-level 分布的受主型陷阱 (deep-type 型受主型陷阱) 的状态密度 <sup>[74-77]</sup>	---
$D_{it,1}$	Al <sub>2</sub> O <sub>3</sub> /AlGaN 界面处在能带表面的 tail-type 型受主型陷阱的状态密度 <sup>[74-77]</sup>	---
$D_{buf,1}$	GaN 层中在能带表面的 tail-type 型受主型陷阱的状态密度 <sup>[74-77]</sup>	---
$E_t$	陷阱的能级 <sup>[74-77]</sup>	---
$E_{V-AlGaN}$	AlGaN 的价带能级 <sup>[43-45]</sup>	---
$E_{C-AlGaN}$	AlGaN 的导带能级 <sup>[43-45]</sup>	---
$E_{i-AlGaN}$	AlGaN 的本征费米能级 <sup>[43-45]</sup>	---
$E_{V-GaN}$	GaN 的价带能级 <sup>[43-45]</sup>	---
$E_{i-GaN}$	GaN 的本征费米能级 <sup>[43-45]</sup>	---
$E_{T1}$	Al <sub>2</sub> O <sub>3</sub> /AlGaN 界面处 tail-type 型受主型陷阱的能级参数 <sup>[74-77]</sup>	---
$E_{T2}$	GaN 层中 tail-type 型受主型陷阱的能级参数 <sup>[74-77]</sup>	---
$g_A$	退化因子 <sup>[73]</sup>	4

$D_{it,A}$  为  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处受主型陷阱的状态密度, 与工艺条件相关;  $D_{buf,A}$  为 GaN 层受主型陷阱的状态密度, 与工艺条件相关;  $D_{it,0}$  称之为  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处 deep-type 型受主型陷阱的状态密度, 满足 deep-level 分布, 为与工艺条件相关恒定值;  $D_{buf,0}$  称之为 GaN 层中 deep-type 型受主型陷阱的状态密度, 满足 deep-level 分布, 为与工艺条件相关恒定值;  $D_{it,1}\exp(E_t-E_{C\_AlGaN})/E_{T1}$  为  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处 band-tail 型受主型陷阱的状态密度, 满足 band-tail 分布, 与工艺条件相关, 是陷阱能级  $E_t$  的指数函数;  $D_{buf,1}\exp(E_t-E_{C\_GaN})/E_{T2}$  为 GaN 层中 band-tail 型受主型陷阱的状态密度, 满足 band-tail 分布, 与工艺条件相关, 是陷阱能级  $E_t$  的指数函数。基于上述受主型陷阱的状态密度函数, 可以采用公式(3-4a)、公式(3-4b)及公式(3-4c)来计算 GaN 层和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主的密度。

$$\begin{aligned}
 n_{it,A} &= \int_{E_{V\_AlGaN}}^{E_{C\_AlGaN}} D_{it,A}(E_t) f(E_f, E_t) dE_t \\
 &= \int_{E_{V\_AlGaN}}^{E_{C\_AlGaN}} (D_{it,0} + D_{it,1} e^{\frac{E_t - E_{C\_AlGaN}}{E_{T1}}}) f(E_f, E_t) dE_t
 \end{aligned} \tag{3-4a}$$

$$\begin{aligned}
 n_{buf,A} &= \int_{E_{V\_GaN}}^{E_{C\_GaN}} D_{buf,A}(E_t) f(E_f, E_t) dE_t \\
 &= \int_{E_{V\_GaN}}^{E_{C\_GaN}} (D_{buf,0} + D_{buf,1} e^{\frac{E_t - E_{C\_GaN}}{E_{T2}}}) f(E_f, E_t) dE_t
 \end{aligned} \tag{3-4b}$$

$$f(E_f, E_t) = \frac{1}{1 + g_A \cdot e^{\frac{E_t - E_f}{kT}}} = \frac{1}{1 + g_A \cdot e^{\frac{E_t - (E_f + E_{C\_GaN})}{kT}}} \tag{3-4c}$$

其中,  $f(E_f, E_t)$  为陷阱的费米-狄拉克分布函数<sup>[74-77]</sup>。上述公式中所用到的字母的含义如表格 3-3 所示。

由上述公式可知, 在不同栅压下的 GaN 层电离受主密度和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度是不同的。当器件栅极电压较小时, 只有少部分受主型陷阱会俘获电子。当器件栅极电压增大时, 一方面器件栅极沟道处的 2DEG 浓度会增大, 另一方面更多的受主型陷阱会俘获电子。此时, 受主型陷阱新俘获的电子所引起的电场会抵消一部分栅极电场, 器件栅极对沟道载流子的控制能力将会变弱, 最直接的体现就是导致 2DEG 浓度曲线的亚阈值摆幅降低。图 3-13 所示对比了通过 TCAD Sentaurus 仿真工具所得到的电离受主密度与通过公式(3-4a)、公式(3-4b)和公式(3-4c)计算得到的电离受主密度。其中, deep-type 型受主型陷阱的状态密度函数均取值为  $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ; 在能带表面的 tail-type 型受主型陷阱的状态密度均取值为  $1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ ; 受主型陷阱的能级参数均取值为 0.173 eV 或 0.300 eV。从图 3-13 中的结果可以看出通过 TCAD Sentaurus 仿真工具所得到的 GaN 层电离受主密度和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处电离受主密度与通过公式(3-4a)、公式(3-4b)和公式

(3-4c)所得到的结果基本一致，这证明上述公式能够很好地计算出电离受主的密度。不同分布的受主型陷阱 GaN-on-Si MIS-HEMT 性能的影响不同，因此有必要进行相关研究。

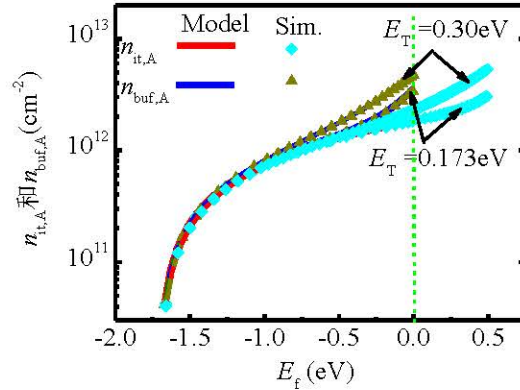


图 3-13 电离受主的密度与费米能的关系

(1) deep-type 型受主型陷阱

deep-type 型受主型陷阱对器件栅极沟道处费米能和 2DEG 浓度的影响如图 3-14 所示。图中曲线#1~#5 中 deep-type 型受主型陷阱的取值如表 3-4 所示。从图 3-14 可以看出，器件栅极沟道处的费米能和 2DEG 浓度都会随着 GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面处 deep-type 型受主型陷阱浓度的增加而减少。这是因为这些受主型陷阱俘获电子后形成的电场会抬高异质结的能带，器件阈值电压  $V_{off}$  将会增大。也就意味着受主型陷阱俘获电子后器件栅极有效电压( $V_G - V_{off}$ )将会降低，此时需要更高的栅极电压才能产生相同的 2DEG 浓度。当 GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面处 deep-type 型受主型陷阱的浓度增加时，将会有更多的电子被陷阱俘获，器件栅极沟道处的不可动负电荷增加得更多，器件栅极的有效电压( $V_G - V_{off}$ )被降低得更多，最终致器件栅极沟道处费米能和 2DEG 浓度将会减少。

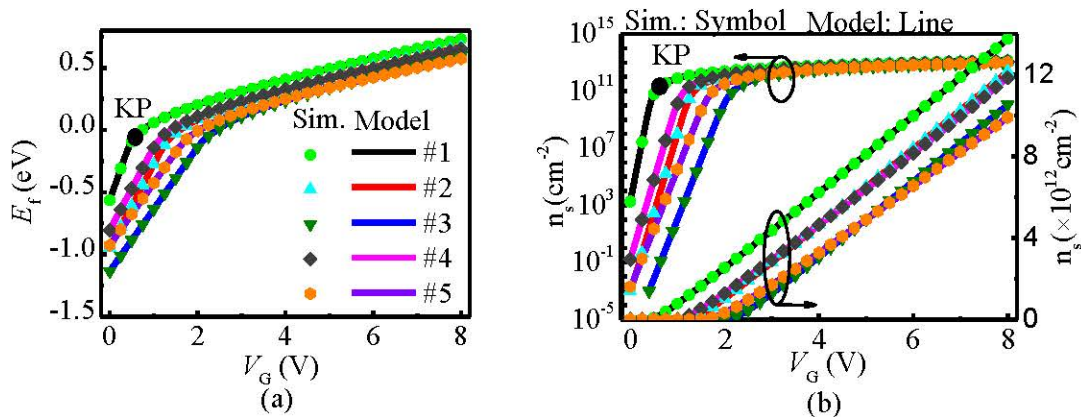


图 3-14 deep-type 型受主对器件特性的影响。(a)费米能；(b)2DEG 浓度

表 3-4 图 3-14 中曲线#1~#5 中 deep-type 型受主型陷阱的取值

$(D_{it,0} \ D_{buf,0})$ $eV^{-1}cm^{-2}$	(0 0)	(0 $1.03 \times 10^{12}$ )	(0 $2.05 \times 10^{12}$ )
	#1	#2	#3
		( $1.06 \times 10^{12}$ 0)	( $2.13 \times 10^{12}$ 0)
		#4	#5

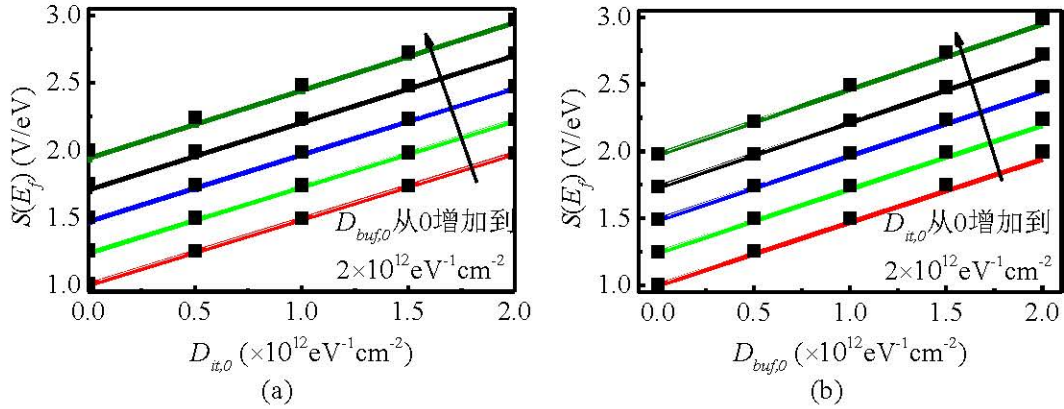


图 3-15 受主型陷阱对  $S(E_f)$  的影响。(a)Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处 deep-type 型受主型陷阱；(b)GaN 层 deep-type 型受主型陷阱

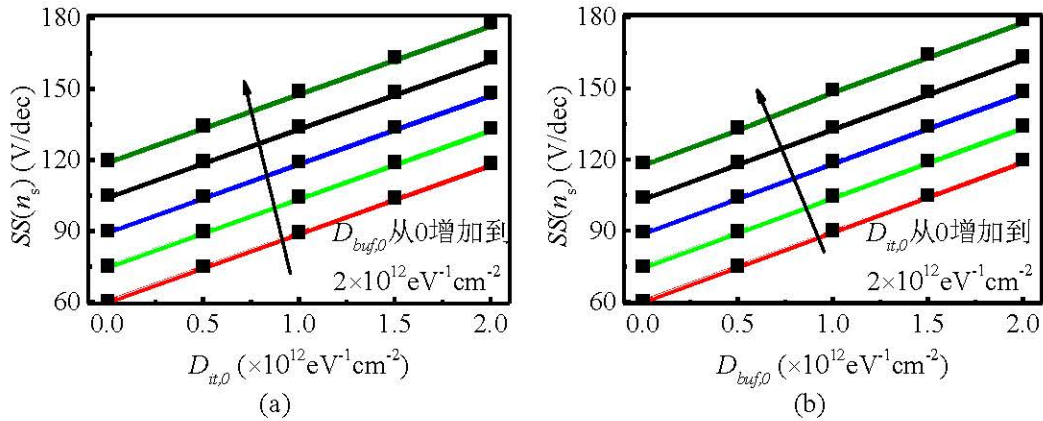


图 3-16 受主型陷阱对  $SS(n_s)$  的影响。(a)Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处 deep-type 型受主型陷阱；(b)GaN 层 deep-type 型受主型陷阱

此外，GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面处 deep-type 型受主型陷阱还会影响着器件栅极对器件费米能和 2DEG 浓度的控制能力，如图 3-15 和图 3-16 所示。deep-type 型受主型陷阱对费米能曲线的亚阈值斜率 ( $S(E_f)$ ) 的影响如图 3-15 黑点所示。deep-type 型受主型陷阱对 2DEG 浓度曲线的亚阈值摆幅 ( $SS(n_s)$ ) 的影响如图 3-16 黑点所示。其中费米能曲线的亚阈值斜率指的是在亚阈值区费米能每增加 1 eV 所对应的器件栅极电压增加量，2DEG 浓度曲线的亚阈值摆幅指的是在亚阈值区 2DEG 浓度每增加一个量级所对应的器件栅极电压增加量。从图中可以看出，随着

deep-type 型受主型陷阱浓度的增加, 费米能曲线的亚阈值斜率和 2DEG 浓度曲线的亚阈值摆幅都会增加。当 GaN 层或 Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面处 deep-type 型受主型陷阱浓度从 0 eV<sup>-1</sup>cm<sup>-2</sup> 增加到 2×10<sup>12</sup> eV<sup>-1</sup>cm<sup>-2</sup>, 费米能曲线的亚阈值斜率将会从 1 V/eV 增加到 2 V/eV 左右, 2DEG 浓度曲线的亚阈值摆幅将会从 60 mV/dec 增加到 120 mV/dec 左右。这说明器件栅极在亚阈值区对费米能和 2DEG 浓度的控制能力会随着 deep-type 型受主型陷阱浓度的增加降低。

为说明上述原因, 需将公式(3-1)、公式(3-2)和公式(3-4)进行化简。假设在亚阈值区位于费米能级以上的 deep-type 型受主型陷阱没有俘获电子, 而位于费米能级以下的 deep-type 型受主型陷阱全都俘获了电子。即可以将公式(3-1)和公式(3-4)化简成如下形式:

$$\begin{aligned} n_{it,A} &= \int_{E_{V\_AlGaN}}^{E_{C\_AlGaN}} D_{it,A}(E_t) f(E_f, E_t) dE_t \\ &\approx D_{it,0} (E_f - \Delta E_{Cl} + E_{i\_AlGaN} - q^2 \frac{\sigma_{AlGaN} - \sigma_{GaN} - n_s - n_{buf,A}}{C_{AlGaN}}) \end{aligned} \quad (3-5a)$$

$$n_{buf,A} = \int_{E_{V\_GaN}}^{E_{C\_GaN}} D_{buf,A}(E_t) f(E_f, E_t) dE_t \approx D_{buf,0} (E_f + E_{i\_GaN}) \quad (3-5b)$$

$$E_f \approx \frac{1}{\lambda} (qV_G - qV_x - \frac{q^2 n_s}{C_G}) \quad (3-5c)$$

其中:

$$\begin{aligned} V_x &= -\frac{\Delta E_{Cl} + \Delta E_{C2} - \phi_G}{q} - q \frac{(\sigma_{AlGaN} - \sigma_{GaN})}{C_{AlGaN}} - q \frac{(n_{it} - \sigma_{GaN})}{C_{Al2O3}} + \frac{qD_{buf,0}E_{i\_GaN}}{C_G} + \\ &\frac{q \times D_{it,0}}{C_{Al2O3}} \left( -q^2 \frac{(\sigma_{AlGaN} - \sigma_{GaN} - n_s - D_{buf,0}E_{i\_GaN})}{C_{AlGaN}} - \Delta E_{Cl} + E_{i\_AlGaN} \right) \end{aligned} \quad (3-5d)$$

$$\lambda = \left( 1 + \frac{q^2 D_{buf,0}}{C_G} + \frac{q^2 D_{it,0}}{C_{Al2O3}} + \frac{q^2 D_{it,0}}{C_{Al2O3}} \times \frac{q^2 D_{buf,0}}{C_{AlGaN}} \right) \quad (3-5e)$$

在亚阈值区的  $(E_f - E_0)/kT$  和  $(E_f - E_1)/kT$  远小于 0 (如图 3-17 所示), 可以将公式(3-2)化简成如下形式:

$$\log(n_s) \approx \log(2DV_T) + \frac{E_f}{kT \times \ln(10)} \quad (3-5f)$$

所以费米能曲线的亚阈值斜率为:

$$S(E_f) = \frac{d(V_G)}{d(E_f)} \approx \left( \frac{1}{q} + \frac{qD_{buf,0}}{C_G} + \frac{qD_{it,0}}{C_{Al2O3}} + \frac{qD_{it,0}}{C_{Al2O3}} \times \frac{qD_{buf,0}}{C_{AlGaN}} \right) \quad (3-6a)$$

2DEG 浓度曲线的亚阈值摆幅为：

$$\begin{aligned}
 SS(n_s) &= \frac{d(V_G)}{d(\log(n_s))} = \frac{d(V_G)}{d(E_f)} \times \frac{d(E_f)}{d(\log(n_s))} \\
 &\approx \frac{d(V_G)}{d(E_f)} \times kT \ln(10) \\
 &\approx \left( \frac{1}{q} + \frac{qD_{buf,0}}{C_G} + \frac{qD_{it,0}}{C_{Al_2O_3}} + \frac{qD_{it,0}}{C_{Al_2O_3}} \times \frac{qD_{buf,0}}{C_{AlGaN}} \right) \times kT \ln(10)
 \end{aligned} \tag{3-6b}$$

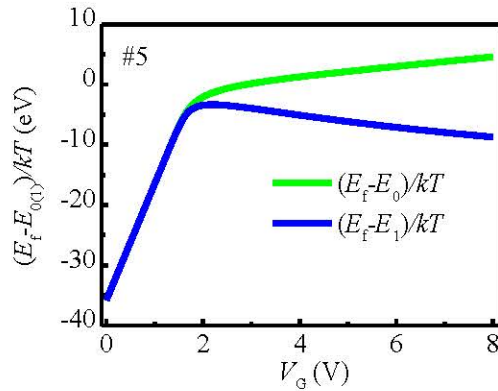


图 3-17 器件栅极沟道处的  $(E_f - E_0)/kT$  和  $(E_f - E_1)/kT$  与栅极电压关系

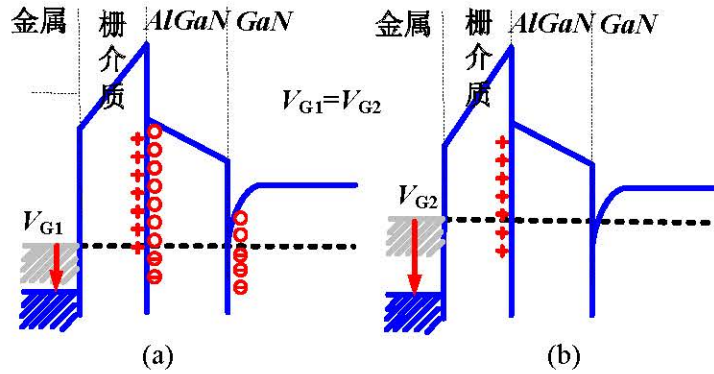


图 3-18 受主型陷阱对器件栅极沟道处能带结构的影响。(a)有受主型陷阱；(b)无受主型陷阱

由公式(3-6a)和公式(3-6b)得出的费米能曲线的亚阈值斜率和 2DEG 浓度曲线的亚阈值摆幅如图 3-15 和图 3-16 中的实线所示。可以看出，通过公式(3-6a)和公式(3-6b)计算出的费米能曲线的亚阈值斜率和 2DEG 浓度曲线的亚阈值摆幅与之前得到的结果基本一致。这说明公式(3-6)能够很好地预测出 deep-type 型受主型陷阱对费米能曲线的亚阈值斜率和 2DEG 浓度曲线的亚阈值摆幅的影响。同时，公式(3-5)和公式(3-6)给出了器件栅极在亚阈值区控制能力降低的原因。在亚阈值区，一部分栅极电压并不是用于抬高费米能级或增加 2DEG 浓度，而是用于抵消受主

型陷阱俘获电子后所引起的电场，如图 3-18 所示。这相当于在栅极上串联了两个陷阱电容（一个是与  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处 deep-type 型受主型陷阱相关的电容  $C_{it,A}=q^2D_{it,0}$ ，一个是与 GaN 层 deep-type 型受主型陷阱相关的电容  $C_{buf,A}=q^2D_{buf,0}$ ），如图 3-19 所示。器件总的栅极电容将会从原来的  $C_G$  减小到  $C_G/\lambda$ ，而器件栅极对沟道处的费米能和 2DEG 浓度的控制能力也会随着栅极电容的减小而被削弱<sup>[73]</sup>。另外，可以看出公式(3-5)和公式(3-6)仅相差  $\ln(10)kT$  倍，这表示的是在亚阈值区 2DEG 浓度每增加一个量级所对应的器件栅极沟道处费米能的增加量为  $\ln(10)kT$ 。

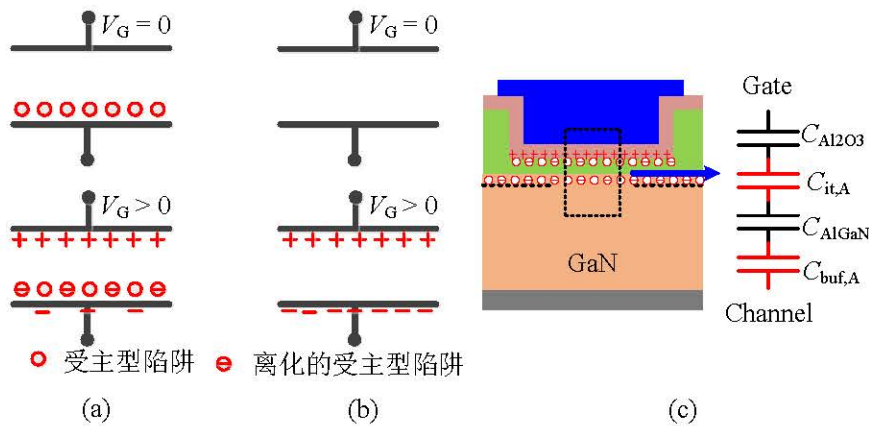


图 3-19 受主型陷阱对器件栅极电容的影响。(a)有陷阱；(b)无陷阱；(c)器件栅极等效电容

### (2) tail-type 型受主型陷阱

GaN 层和  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处 tail-type 型受主型陷阱对器件栅极沟道处费米能和 2DEG 浓度的影响如图 3-20、图 3-21 和图 3-22 所示。图 3-20 和图 3-21 所示的是固定陷阱能级参数时，tail-type 型受主型陷阱的密度对器件栅极沟道处费米能和 2DEG 浓度的影响。图 3-22 所示的是固定陷阱密度时，tail-type 型受主型陷阱的能级参数对器件栅极沟道处费米能和 2DEG 浓度的影响。

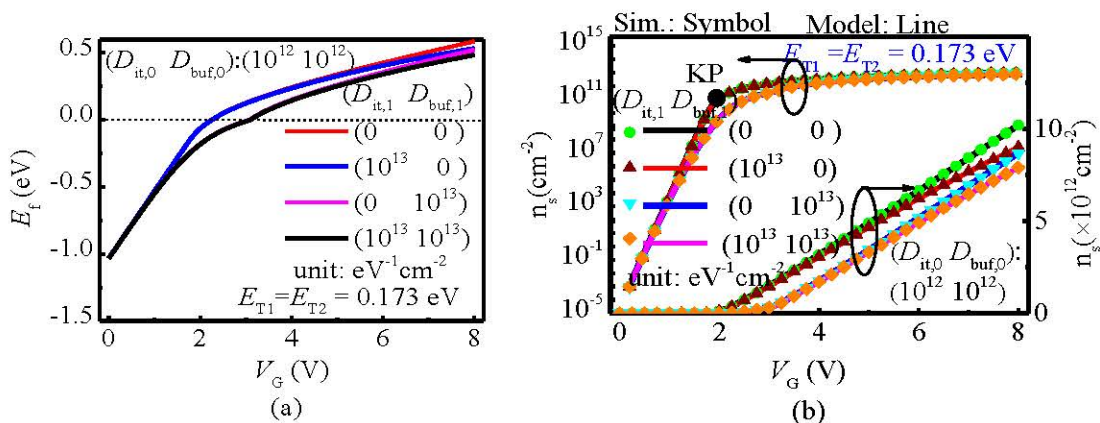


图 3-20  $E_{T1} = E_{T2} = 0.173 \text{ eV}$  时 tail-type 型受主对器件特性的影响。(a)费米能；(b)2DEG 浓度

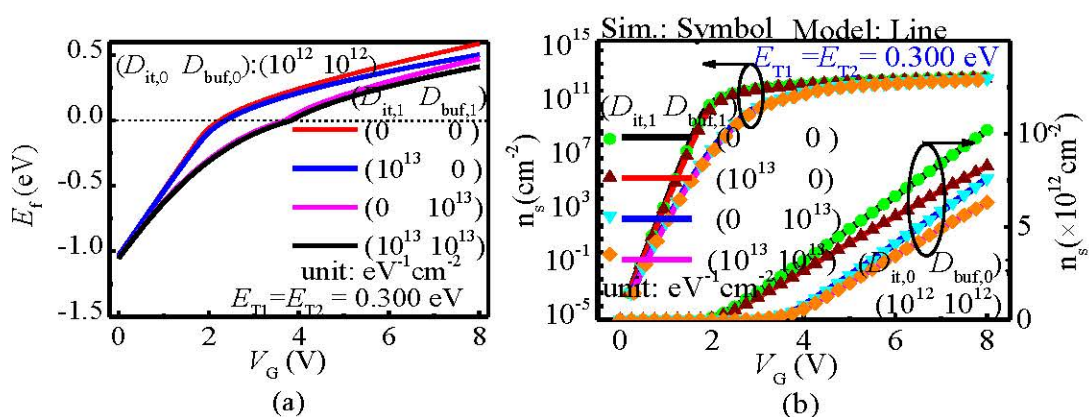


图 3-21  $E_{T1} = E_{T2} = 0.30 \text{ eV}$  时 tail-type 型受主对器件特性的影响。(a)费米能；(b)2DEG 浓度

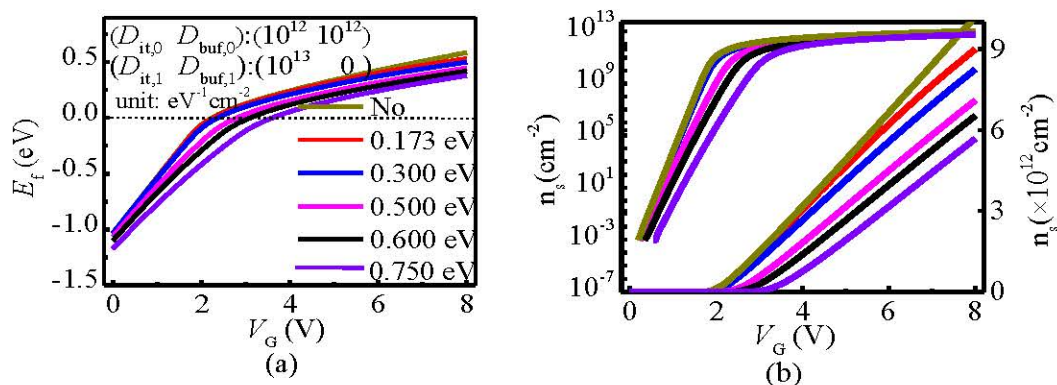


图 3-22 tail-type 型受主型陷阱的能级参数对器件特性的影响。(a)费米能；(b)2DEG 浓度

从图 3-20、图 3-21 和图 3-22 可以看出，当  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处 tail-type 受主型陷阱的能级参数较小时，增加这些受主型陷阱的浓度基本不会影响较小栅压下的栅极沟道处费米能和 2DEG 浓度（如图 3-20 所示），只有在栅极电压较大时才会引起器件栅极沟道处的费米能和 2DEG 浓度的降低。当  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处 tail-type 受主型陷阱的能级参数较大时，增加这些受主型陷阱的浓度可以引起较小栅压下的栅极沟道处费米能和 2DEG 浓度的降低，如图 3-21 和图 3-22 所示。而对于 GaN 层 tail-type 受主型陷阱，即使这些受主型陷阱的能级参数较小时，增加这些受主型陷阱的浓度也会引起较小栅压下的栅极沟道处费米能和 2DEG 浓度的降低，同时 2DEG 浓度曲线拐点附近的曲线也会变得更加平滑，如图 3-20 所示。当 GaN 层 tail-type 受主型陷阱的能级参数增大时，增加这些受主型陷阱的浓度会导致更小栅极电压下的栅极沟道处费米能和 2DEG 浓度的降低。

上述现象可以通过 GaN 层和  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处受主型陷阱的密度曲线来解释。图 3-23 和图 3-24 所示的是具有不同能级参数的 tail-type 型受主型陷阱的密度曲线以及 deep-type 型受主型陷阱的密度曲线。因为 deep-type 型受主型陷阱在本征

费米能级与导带之间均匀的分布，这些 deep-type 型受主型陷阱在较小的栅压下就会引起器件费米能和 2DEG 浓度的降低。

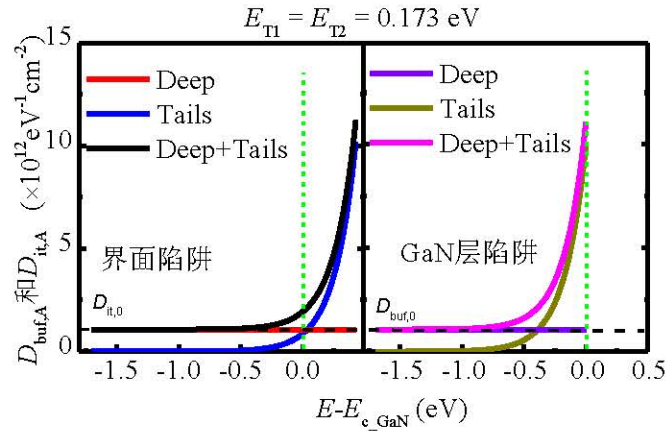


图 3-23 GaN 层和  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处受主型陷阱的密度曲线:  $E_{T1} = E_{T2} = 0.173 \text{ eV}$

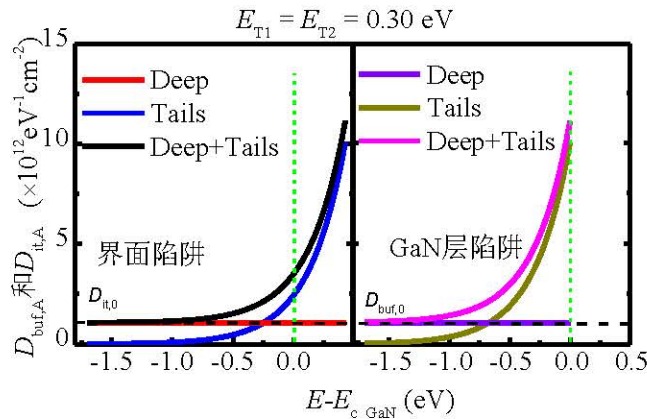


图 3-24 GaN 层和  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处受主型陷阱的密度曲线:  $E_{T1} = E_{T2} = 0.30 \text{ eV}$

对于  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处 tail-type 型受主型陷阱，当这些受主型陷阱的能级参数较小时，大部分 tail-type 型陷阱会聚集在  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面的导带处，如图 3-23 所示。因为只有当器件栅极沟道区域的费米能级接近这些受主型陷阱时，这些 tail-type 型受主型陷阱才会俘获电子，进而才会导致器件费米能和 2DEG 浓度的降低。但是需要较大栅极电压才能将栅极沟道区域的费米能级抬高到  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面的导带处。所以这时只有在较大的栅极电压下，这些受主型陷阱才会俘获电子，即这些受主型陷阱只有在较大的栅极电压下才会导致器件费米能和 2DEG 浓度的降低。当  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处 tail-type 型受主型陷阱的能级参数增大时，大部分 tail-type 型受主型陷阱还是聚集在  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面的导带处，同时还有一部分受主型陷阱在远离  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面导带的位置，也只需要相对较小的栅极电压就可以将栅极沟道区域的费米能级抬高到对应的位置，如图 3-24 所示。所以当

$\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处 tail-type 型受主型陷阱的能级参数较大时, 这些受主型陷阱在较小的栅压下就会俘获电子, 即这些受主型陷阱在较小的栅压下就会导致器件费米能和 2DEG 浓度的降低。继续增加 tail-type 型受主型陷阱的能级参数将会导致这些受主型陷阱在更小的栅压下就俘获电子, 进而会引起费米能和 2DEG 浓度的降低, 如图 3-22 所示。当  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处 tail-type 型受主型陷阱的能级参数增大到 0.750 eV 时, 这些受主型陷阱会引起亚阈值区的费米能和 2DEG 浓度的降低。

对于 GaN 层的 tail-type 型受主型陷阱, 即使这些受主型陷阱具有较小的能级参数, 大部分的 GaN 层 tail-type 型受主型陷阱会聚集在异质结界面处的 GaN 导带附近, 如图 3-23 所示。因为只需要较小的栅极电压就可以将器件栅极沟道处的费米能级抬高到异质结处的 GaN 导带, 即只需要较小的栅极电压就可以让大部分的 GaN 层 tail-type 型受主型陷阱俘获电子。当 GaN 层 tail-type 型受主型陷阱的能级参数增大时, 会有一些 tail-type 型受主型陷阱会远离异质结界面的 GaN 导带, 如图 3-24 所示。这些 tail-type 型受主型陷阱在更小的栅极电压下就会俘获电子, 即这些 tail-type 型受主型陷阱可以在更小的栅极电压下就会引起器件费米能和 2DEG 浓度的降低。

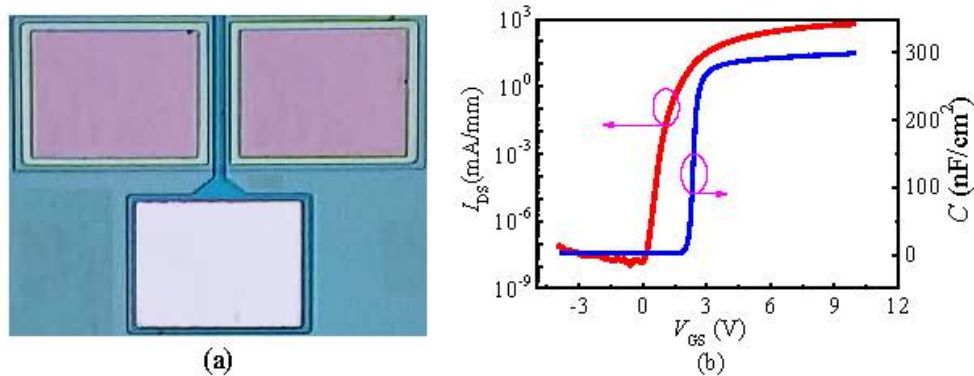


图 3-25 实验制备的增强型 GaN-on-Si MIS-HEMT。(a)光学照片; (b)转移特性和栅极电容特性

### (3) 实验验证

为进一步验证所提出的 GaN-on-Si 增强型功率器件场控能带模型, 将通过仿真软件和实验来进行验证。实验制备的增强型 GaN-on-Si MIS-HEMT (如图 3-25(a)所示) 栅极沟道处的势垒层为氮化铝, 厚度为 0.5 nm; 栅介质为氧化铝, 厚度为 18 nm, 实验测得的栅介质相对介电常数为 6.6; 栅极金属为镍。该器件的具体参数已在文献[28]中给出, 栅极宽度为 60  $\mu\text{m}$ , 器件栅极长度为 1  $\mu\text{m}$ , 栅极和源极之间间距为 2  $\mu\text{m}$ , 栅极和漏极之间距离为 3  $\mu\text{m}$ 。实验测得的 2DEG 浓度是通过增强型 GaN-on-Si MIS-HEMT 的转移特性和栅极电容特性 (如图 3-25(b)所示) 提取的。其中, 亚阈值区的 2DEG 浓度是通过器件的转移特性提取的, 而阈值区以上的

2DEG 浓度是通过器件的栅极电容特性提取的。从本文的场控能带模型可以看出正的栅极电压不仅会导致器件 2DEG 浓度的增加，还会导致受主型陷阱俘获电子，从而导致电离的受主型陷阱的浓度增加，这最终会导致所提取的 2DEG 浓度增加的幅度减小。所以为避免陷阱充电对测试结果的影响，在测试器件的转移特性和栅极电容特性时应间隔足够长的时间。

由于在亚阈值区 2DEG 浓度很小，器件的扩散电流占据器件电流的主要部分，器件扩散电流计算方法如公式(3-7a)所示：

$$I_{DS} = -WqD_n \cdot \frac{dn_s}{dx} \approx WqD_n \cdot \frac{n_s(0) - n_s(L)}{L} \quad (3-7a)$$

其中， $W$  为器件的宽度， $D_n$  为器件的电子扩散系数， $L$  为器件的栅极长度， $x$  为沿着器件源极到漏极的方向， $x = 0$  为器件栅极沟道的源极一侧， $x = L$  是器件栅极沟道的漏极一侧， $n_s(0)$  是器件栅极沟道源极一侧的 2DEG 浓度， $n_s(L)$  是器件栅极沟道漏极一侧的 2DEG 浓度。在亚阈值区，器件栅极沟道的电阻远大于其他部分的电阻，可认为器件的漏极电压只降落在器件的栅极沟道上。当器件栅极沟道漏极一侧的 2DEG 浓度完全耗尽时 ( $n_s(L)=0$ )， $n_s(0)$  可认为是对应栅压下的器件栅沟道下方的 2DEG 浓度，计算方法如公式(3-7b)所示：

$$n_s = n_s(0) = \frac{I_{DS} \cdot L}{ZqD_n} \quad (3-7b)$$

通过上述方法提取的亚阈值区 2DEG 浓度如图 3-26 所示。在阈值区以上，可通过器件栅极电容特性曲线的积分来获得器件的 2DEG 浓度（如图 3-26 所示）。

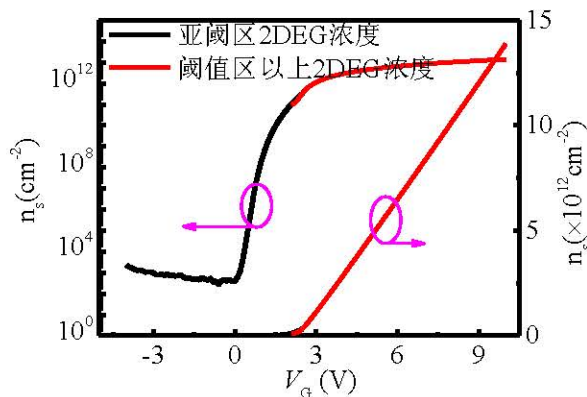


图 3-26 通过增强型 GaN-on-Si MIS-HEMT 的转移特性和栅极电容特性提取的 2DEG 浓度

为确保模型计算的结果与实验结果完全一致，所采用的  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处和 GaN 层 deep-type 型受主型陷阱的浓度分别为  $2.13 \times 10^{11}$  和  $1.00 \times 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$ ； $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面处和 GaN 层 tail-type 型受主型陷阱在导带处的浓度分别为

$6.08 \times 10^{11}$  和  $1.36 \times 10^{13} \text{ eV}^{-1} \text{ cm}^{-2}$ ;  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处和 GaN 层 tail-type 型受主型陷阱的能级参数分别为 0.15 和 0.236 eV;  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处正电荷的密度为  $1.45 \times 10^{13} \text{ cm}^{-2}$ 。所采用的这些受主型陷阱的参数不仅要确保通过模型获得的 2DEG 浓度与实验测得的 2DEG 浓度完全一致, 还要确保通过模型计算出的 2DEG 浓度曲线的亚阈值摆幅 ( $\text{SS}(n_s)$ ) 与实验测得的亚阈值摆幅基本一致 (如图 3-27 所示)。图 3-28 所示的是通过模型计算和软件仿真以及实验测得的 2DEG 浓度。从图中可以看出, 通过模型计算得到的 2DEG 浓度与软件仿真结果和实验结果基本一致, 这证明了本文所提出的模型的正确性和精确性。图中结果还表明了  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处正电荷也会影响着增强型 GaN-on-Si MIS-HEMT 的性能。增大  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面处正电荷密度可以减小器件的阈值电压。这是因为正电荷所形成的电场会拉低栅极区域的异质结能带, 从而导致异质结界面处 2DEG 浓度的增加。

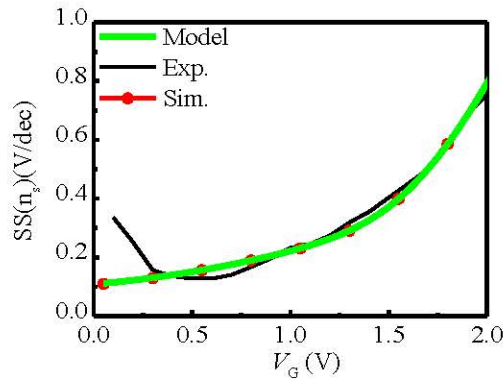


图 3-27 通过模型计算与实验测得的  $\text{SS}(n_s)$

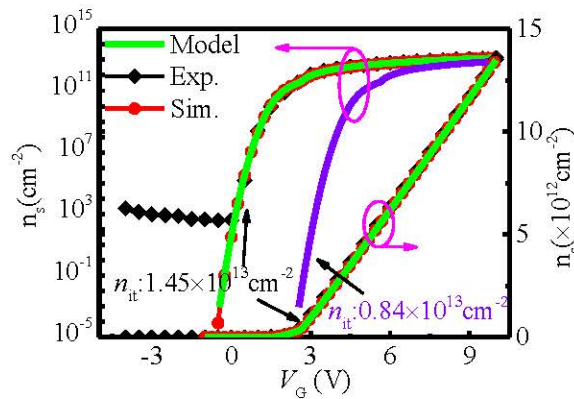


图 3-28 通过模型、仿真软件以及实验获得的 2DEG 浓度

### 3.3 陷阱电荷分布函数的微分分析法

电离受主的密度是随着栅极外加电场的改变而改变的, 与受主型陷阱的分布函数密切相关, 因此有必要提取受主型陷阱的分布函数。在已发表的文献中, 电

电子科技大学张波老师团队采用电导法来提取增强型 GaN-on-Si MOS-HEMT (Metal-Oxide-Semiconductor-High Electron Mobility Transistor, 如图 3-29 所示, 该器件栅极区域没有 AlGaN 势垒层) 的界面受主型陷阱的分布函数。因为所采用的测试设备的测试频率只能从 1 kHz 改变到 5 MHz, 只能提取分布在 GaN 导带以下 0.4 eV 至 0.6 eV 的受主型陷阱的密度<sup>[78-79]</sup>。M. Tapajna 等人采用瞬态阈值的方法来提取 GaN-on-Si MOS-HEMT 的界面受主型陷阱的分布函数, 但只提取了分布在 GaN 导带以下 0.5 eV 至 1.3 eV 的受主型陷阱的密度<sup>[80]</sup>。本节基于所提出的场控能带模型, 提出一种陷阱电荷分布函数的提取方法。该方法可以自洽地求解出器件栅极沟道处的费米能和电离受主型陷阱的密度。通过该方法可以得到电离受主型陷阱的密度与栅极电压的关系以及界面受主型陷阱的密度与陷阱能级的关系。

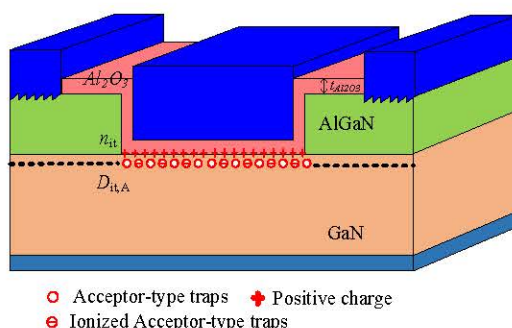


图 3-29 增强型 GaN-on-Si MOS-HEMT 的结构图

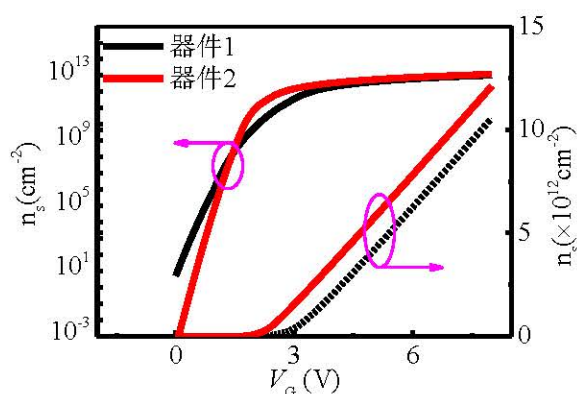


图 3-30 两种增强型 GaN-on-Si MOS-HEMT 的 2DEG 浓度

### 3.3.1 电离受主密度的自洽提取方法

首先, 将简单介绍所提出的界面电离受主密度的自洽提取方法, 并利用该方法提取了两种不同的增强型 GaN-on-Si MOS-HEMT 的界面电离受主密度。其中一个器件是采用等离子体干法刻蚀技术制备的 (称为器件 1), 另一个器件是采用湿法刻蚀技术制备 (称为器件 2)。这两个器件的 2DEG 浓度是通过器件的转移特性

和栅极电容特性得到的<sup>[73]</sup>, 如图 3-30 所示。在介绍电离受主密度的提取方法之前, 做几点假设: 首先不考虑器件中施主型陷阱对器件特性的影响; 假设 GaN 层和 Al<sub>2</sub>O<sub>3</sub>/GaN 界面处受主型陷阱仅存在于本征费米能级以上<sup>[74-77]</sup>; 假设 Al<sub>2</sub>O<sub>3</sub>/GaN 界面处受主型陷阱和 GaN 层受主型陷阱都集中在 Al<sub>2</sub>O<sub>3</sub>/GaN 界面处。

可以利用公式(3-2)计算出增强型 GaN-on-Si MOS-HEMT 栅极沟道处的 2DEG 浓度, 但要计算 2DEG 浓度就必须计算出沟道处费米能。基于器件栅极区域的能带图(如图 3-31 所示), 可以计算出该器件沟道处的费米能<sup>[33]</sup>。计算方法如公式(3-8)所示:

$$-E_f + \Delta E_{C3} + q^2 \frac{(n_{it} - \sigma_{\text{GaN}} - n_s - n_{it,A})}{\varepsilon_{\text{Al}_2\text{O}_3} / t_{\text{Al}_2\text{O}_3}} - \phi_G + qV_G = 0 \quad (3-8)$$

$\Delta E_{C3}$  为 GaN 与栅介质 Al<sub>2</sub>O<sub>3</sub> 之间的导带差。可以将公式(3-8)简写成如下形式:

$$E_f = qV_G - qV_{\text{off}} - \frac{q^2 \times n_s}{C_{\text{Al}_2\text{O}_3}} \quad (3-8a)$$

其中  $V_{\text{off}}$  可以看成是增强型 GaN-on-Si MOS-HEMT 的阈值电压, 计算公式如下:

$$V_{\text{off}} = -\frac{\Delta E_{C3} - \phi_G}{q} - q \frac{(n_{it} - \sigma_{\text{GaN}} - n_{it,A})}{C_{\text{Al}_2\text{O}_3}} \quad (3-8b)$$

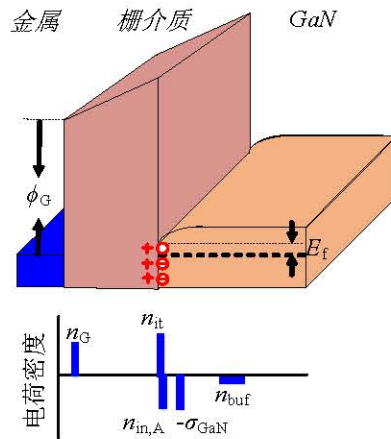


图 3-31 增强型 GaN-on-Si MOS-HEMT 栅极区域的能带结构及电荷密度

由于增强型 GaN-on-Si MOS-HEMT 栅极区域不存在势垒层, 所以公式(3-8)与公式(3-1)略有不同。从公式(3-8)和前面的介绍可知, GaN-on-Si MOS-HEMT 栅极沟道处的费米能和电离受主密度是相互依赖的, 需要自洽地求解出器件栅极沟道处的费米能和电离受主密度。求解方法如图 3-32 所示:

第一步: 首先假设电离受主密度分别为  $0 \text{ cm}^{-2}$  和  $2 \times 10^{13} \text{ cm}^{-2}$ , 分别记为

$n_{it,A-1}(i=0)$ 和  $n_{it,A-2}(i=0)$ ;

第二步: 将图 3-30 中增强型 GaN-on-Si MOS-HEMT 栅极沟道处的 2DEG 浓度 (记作  $n_{s-exp}$ ) 和  $n_{it,A-1}(i)$ 与  $n_{it,A-2}(i)$ 的平均数 (即  $n_{it,A}(i) = n_{it,A-1}(i)/2 + n_{it,A-2}(i)/2$ ) 代入公式(3-8)中计算出器件栅极沟道处的费米能  $E_f(i)$ ;

第三步: 将第二步得到的器件栅极沟道处的费米能  $E_f(i)$ 代入公式(3-2)计算出器件栅极沟道处的 2DEG 浓度 (记作  $n_{s-cal}$ );

第四步: 判断 $(n_{s-cal}-n_{s-exp})/n_{s-exp}$  的绝对值是否小于 0.0001, 若 $(n_{s-cal}-n_{s-exp})/n_{s-exp}$  的绝对值小于 0.0001, 则记录电离受主密度、计算出的 2DEG 浓度以及器件栅极沟道处的费米能, 并重新开始进行下一组计算; 如果 $(n_{s-cal}-n_{s-exp})/n_{s-exp}$  的绝对值大于 0.0001, 则令  $i=i+1$ ;

第五步: 判断  $n_{s-cal}$  是否大于  $n_{s-exp}$ , 若  $n_{s-cal}$  大于  $n_{s-exp}$ , 令  $n_{it,A-1}(i) = n_{it,A-1}(i-1)/2 + n_{it,A-2}(i-1)/2$ , 及  $n_{it,A-2}(i) = n_{it,A-2}(i-1)$ , 返回第二步计算栅极沟道处 2DEG 浓度; 如果  $n_{s-cal}$  小于  $n_{s-exp}$ , 令  $n_{it,A-1}(i) = n_{it,A-1}(i-1)$ , 及  $n_{it,A-2}(i) = n_{it,A-1}(i-1)/2 + n_{it,A-2}(i-1)/2$ , 返回第二步计算器件栅极沟道处 2DEG 浓度。

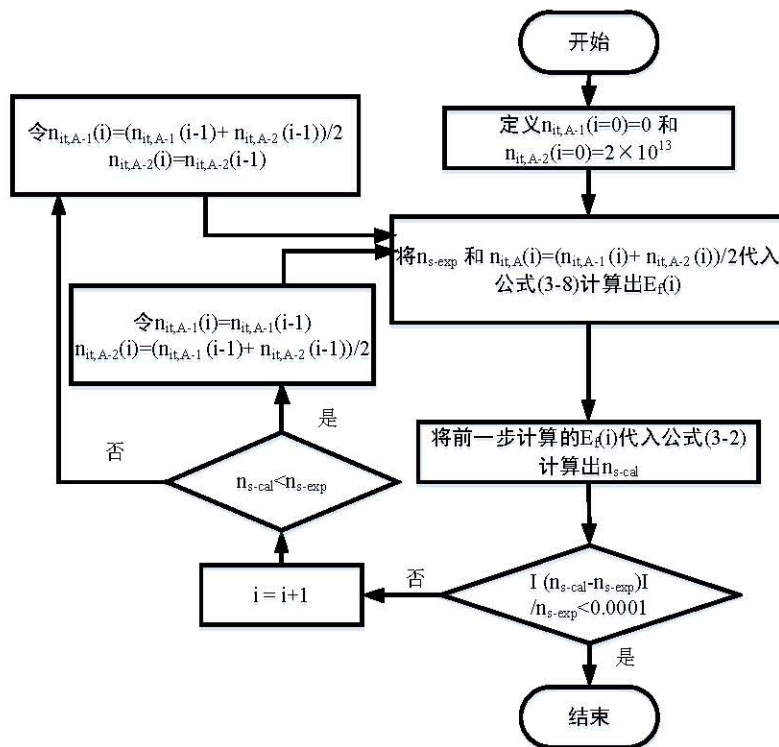


图 3-32 器件费米能和电离受主密度的自洽求解方法

通过上述方法求解出的器件栅极沟道处 2DEG 浓度、费米能、电离受主密度如图 3-33 和图 3-34 所示。从图中可以看出, 对于基于等离子体干法刻蚀技术制备的增强型 GaN-on-Si MOS-HEMT 来说, 当器件的栅极电压从 0 V 增加到 4 V 时,

器件栅极沟道处的电离受主密度从  $0.25 \times 10^{13} \text{ cm}^{-2}$  增加到  $0.75 \times 10^{13} \text{ cm}^{-2}$ ，在栅极电压为零时的器件栅极沟道处的费米能为  $-0.713 \text{ eV}$ ；而对于基于湿法刻蚀技术制备的增强型 GaN-on-Si MOS-HEMT 来说，当器件的栅极电压从  $0 \text{ V}$  增加到  $3 \text{ V}$  时，器件栅极沟道处的电离受主密度从  $0.13 \times 10^{13} \text{ cm}^{-2}$  增加到  $0.40 \times 10^{13} \text{ cm}^{-2}$ ，在栅极电压为零时的器件栅极沟道处的费米能为  $-0.975 \text{ eV}$ 。上述结果这进一步说明了器件栅极沟道处的电离受主密度是随着栅极电压变化而变化的。

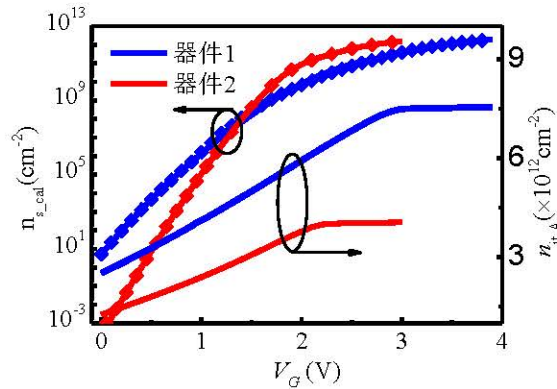


图 3-33 通过上述求解方法求解的 2DEG 浓度和电离受主密度

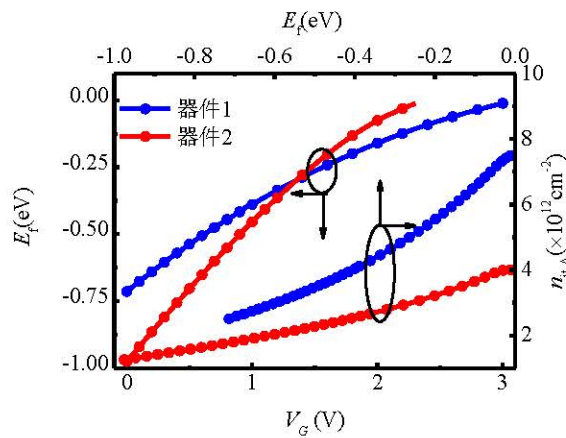


图 3-34 通过上述求解方法得到的费米能及其与电离受主密度的关系

为验证上述提出的电离受主密度的提取方法，将对比基于不同方法提取的界面陷阱电容 ( $C_{it,A}$ )。首先定义通过电离受主密度与费米能曲线（如图 3-34 所示）提取出的界面陷阱电容为理论计算的界面陷阱电容，提取方法如公式(3-9a)；定义通过器件 2DEG 浓度曲线的亚阈值摆幅（如图 3-35 所示）提取的界面陷阱电容为实验的界面陷阱电容，公式(3-9b)给出了提取实验的界面陷阱电容的方法<sup>[73]</sup>。

$$C_{it,A} = q \frac{dn_{it,A}}{dE_f} \quad (3-9a)$$

$$SS(n_s) = \ln(10)V_T \left(1 + \frac{C_{it,A}}{C_{Al2O3}}\right) \quad (3-9b)$$

从图 3-35 可以看出，基于等离子体干法刻蚀技术制备的增强型 GaN-on-Si MOS-HEMT 在栅极电压为 1 V 时，器件 2DEG 浓度曲线的亚阈值摆幅为 223 mV/dec；而基于湿法刻蚀技术制备的增强型 GaN-on-Si MOS-HEMT 在栅极电压为 1 V 时，器件 2DEG 浓度曲线的亚阈值摆幅为 120 mV/dec。相应地器件 1 的界面陷阱电容为 1032 nF/cm<sup>2</sup>@1V；而器件 2 的界面陷阱电容为 445 nF/cm<sup>2</sup>@1V，如图 3-36 所示。由于干法刻蚀技术导致的等离子损伤会导致器件 1 的栅极沟道处具有更多的界面受主型陷阱，器件 1 具有更大的亚阈值摆幅和更大的界面陷阱电容。基于不同方法得到的界面陷阱电容的对比如图 3-36 所示。从图中可以看出，在亚阈值区，基于器件 2DEG 浓度曲线亚阈值摆幅得到的界面陷阱电容和理论计算的界面陷阱电容基本一致，这证明了所提出的电离受主密度提取方法的正确性。由于公式(3-9b)只适用于低栅压区，基于器件 2DEG 浓度曲线的亚阈值摆幅得到的界面陷阱电容和理论计算的界面陷阱电容在较高栅压区出现了较大的偏差。

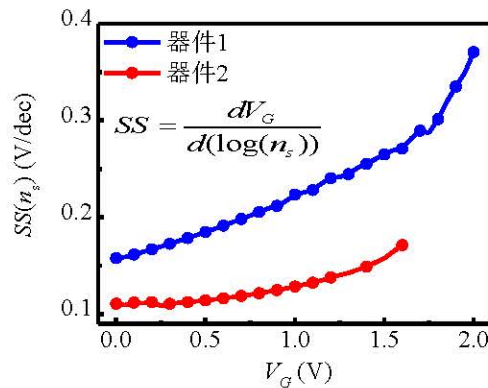


图 3-35 增强型 GaN-on-Si MOS-HEMT 的 2DEG 浓度曲线的亚阈值摆幅

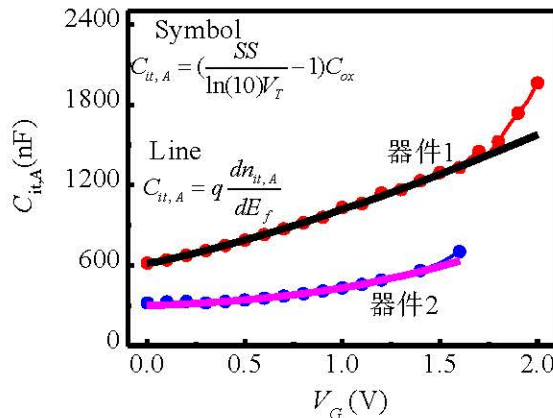


图 3-36 对比基于不同方法提取的界面陷阱电容

### 3.3.2 界面陷阱电荷分布函数的微分分析法

增强型 GaN-on-Si MOS-HEMT 的电离受主密度与费米能的关系曲线可以用来提取界面受主型陷阱的分布函数。公式(3-4)给出了基于界面受主型陷阱的分布函数来计算电离受主密度，但无法从公式(3-4)直接逆推出器件栅极区域的界面受主型陷阱的分布函数。现将公式(3-4)化简为如下形式：

$$\begin{aligned} n_{it,A} &= \int_{E_{i\_GaN}}^{E_{C\_GaN}} D_{it,A}(E_t) f(E_f, E_t) dE_t \\ &= \sum_{i=1}^k N_{it,A}(E_{ii}) f(E_f, E_{ii}) \end{aligned} \quad (3-10a)$$

$$f(E_f, E_t) = \frac{1}{1 + g_A \cdot e^{\frac{E_t - E_f}{kT/q}}} = \frac{1}{1 + g_A \cdot e^{\frac{E_t - (E_f + E_{C\_GaN})}{kT/q}}} = \frac{1}{1 + g_A \cdot e^{\frac{E_t - E_f}{kT/q}}} \quad (3-10b)$$

其中  $D_{it,A}(E_{ii})$  是从 GaN 的禁带中央到导带处每个界面受主型陷阱的密度； $N_{it,A}(E_{ii}) (= D_{it,A}(E_{ii}) \cdot \Delta E_{ii})$  是从 GaN 的禁带中央到导带处每个能级区间的界面受主型陷阱的密度；陷阱电荷的费米狄拉克分布函数  $f(E_f, E_t)$  表示的是每个界面受主型陷阱被电子占据的概率，与对应的界面受主型陷阱的能级有关。将异质结界面处的 GaN 导带能级定义为 0eV ( $E_{C\_GaN} = 0\text{eV}$ )，所以此时  $E_f = E_F$ 。上述公式(3-10a)是采用了微积分公式的原始思想，将计算电离受主密度的方法从公式(3-4)的积分形式转换为公式(3-10a)的微分形式。即电离受主密度等于每个界面受主型陷阱的密度与对应的费米狄拉克分布函数乘积之和。

对于增强型器件来说，器件一般是在正栅压区域工作的。为方便计算，将栅压为零时对应的费米能级定义为  $E_{F0}$ ，对应的费米能定义为  $E_{f0}$ ；假设在  $E_{F0}$  以下的界面受主型陷阱都被电子填充并且均匀分布在本征费米能级和  $E_{F0}$  之间；将公式(3-10a)化简为如下形式：

$$\begin{aligned} n_{it,A} &= \int_{E_{F0}}^{E_{C\_GaN}} D_{it,A}(E_t) f(E_f, E_t) dE + C \\ &= \sum D_{it,A}(E_{ii}) f(E_f, E_{ii}) (E_{ii} - E_{ii-1}) + C \\ &= \sum D_{it,A}(E_{fi}) f(E_f, E_{fi}) (E_{fi} - E_{fi-1}) + C \end{aligned} \quad (3-11)$$

其中  $C$  为常数，指的是栅极电压为零时电离受主密度（如图 3-34 所示）。将  $E_{F0}$  到  $E_{C\_GaN}$  分成若干个小能带区间并代入公式(3-11)和公式(3-10b)中可以得到一组高维方程组，这组高维方程组的系数矩阵是由  $f(E_f, E_{ii})(E_{ii} - E_{ii-1})$  构成的，如图 3-37(a) 所示。为方便计算，本文将前面得到的费米能（如图 3-34 所示）用作界面受主型

陷阱的陷阱能级，可将上述系数矩阵化为如图 3-37(b)所示的形式。通过这个高维方程组的系数矩阵可以得到界面受主型陷阱的分布函数如图 3-38 所示。从图中可以看出，对于基于等离子体干法刻蚀技术制备的增强型 GaN-on-Si MOS-HEMT 来说，位于 GaN 导带处的界面受主型陷阱密度为  $1.36 \times 10^{13} \text{ eV}^{-1} \text{ cm}^{-2}$ ；而对于基于湿法刻蚀技术制备的增强型 GaN-on-Si MOS-HEMT 来说，位于 GaN 导带处的界面受主型陷阱密度为  $0.58 \times 10^{13} \text{ eV}^{-1} \text{ cm}^{-2}$ 。

$$\begin{matrix}
 \begin{bmatrix} f(E_{f1}, E_{f1})(E_{f1} - E_{f0}) & f(E_{f1}, E_{f2})(E_{f2} - E_{f1}) & \cdots & \cdots & f(E_{f1}, E_{fM})(E_{fM} - E_{fM-1}) \\ f(E_{f2}, E_{f1})(E_{f1} - E_{f0}) & f(E_{f2}, E_{f2})(E_{f2} - E_{f1}) & \cdots & \cdots & f(E_{f2}, E_{fM})(E_{fM} - E_{fM-1}) \\ \vdots & \vdots & \ddots & \ddots & \vdots \\ f(E_{fM}, E_{f1})(E_{f1} - E_{f0}) & f(E_{fM}, E_{f2})(E_{f2} - E_{f1}) & \cdots & \cdots & f(E_{fM}, E_{fM})(E_{fM} - E_{fM-1}) \end{bmatrix} \\
 (a) \\
 \begin{bmatrix} f(E_{f1}, E_{f1})(E_{f1} - E_{f0}) & f(E_{f1}, E_{f2})(E_{f2} - E_{f1}) & \cdots & \cdots & f(E_{f1}, E_{fM})(E_{fM} - E_{fM-1}) \\ f(E_{f2}, E_{f1})(E_{f1} - E_{f0}) & f(E_{f2}, E_{f2})(E_{f2} - E_{f1}) & \cdots & \cdots & f(E_{f2}, E_{fM})(E_{fM} - E_{fM-1}) \\ \vdots & \vdots & \ddots & \ddots & \vdots \\ f(E_{fM}, E_{f1})(E_{f1} - E_{f0}) & f(E_{fM}, E_{f2})(E_{f2} - E_{f1}) & \cdots & \cdots & f(E_{fM}, E_{fM})(E_{fM} - E_{fM-1}) \end{bmatrix} \\
 (b)
 \end{matrix}$$

图 3-37 高维方程组的系数矩阵。(a)  $f(E_f, E_{fi})(E_{fi} - E_{fi-1})$ ; (b)  $f(E_f, E_{fi})(E_{fi} - E_{fi-1})$

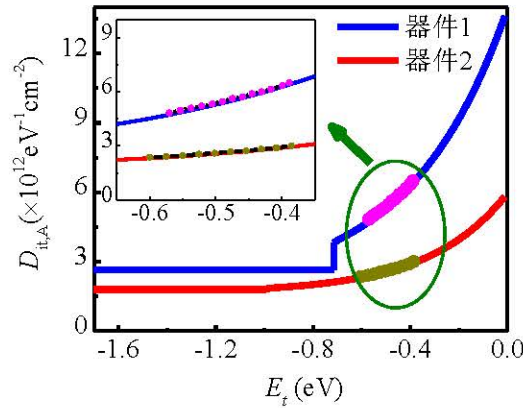


图 3-38 基于电导法和所提出的方法提取的界面受主型陷阱的分布函数

为了验证所提出的界面受主型陷阱分布函数的提取方法，将比较基于上述方法提取的界面受主型陷阱的分布函数和基于电导法提取的界面受主型陷阱的分布函数。基于 GaN/Al<sub>2</sub>O<sub>3</sub>/金属结构的电导特性提取 GaN/Al<sub>2</sub>O<sub>3</sub> 界面受主型陷阱分布函数的方法如下所示<sup>[78-79]</sup>：

$$\frac{qD_{it,A}}{2w\tau_{it}} = \frac{G_p}{w} / \ln(1 + (w\tau_{it})^2) \quad (3-12a)$$

$$\Delta E_t = kT \ln(v_T \sigma_n D \tau_{it}) \quad (3-12b)$$

其中  $G_p$  为 GaN/Al<sub>2</sub>O<sub>3</sub>/金属结构的电导, 由实验测得;  $\tau_{it}$  是界面受主型陷阱的时间常数, 与界面受主型陷阱的能级有关;  $w$  为测试频率;  $\sigma_n$  ( $=4 \times 10^{-13} \text{ cm}^{-2}$ ) 为受主型陷阱的俘获面积,  $v_T$  为电子热运动速率,  $D$  是 GaN 材料导带处 2DEG 的状态密度。因为所采用的测试设备的测试频率只能从 1 kHz 改变到 5 MHz, 对应的只能提取那些分布在 GaN 导带以下 0.4 eV 至 0.6 eV 的受主型陷阱的密度, 如图 3-38 所示。但是从图 3-38 可以看出, 通过两种不同的方法提取的界面受主型陷阱的分布函数基本一致, 这证明了所提出的界面受主型陷阱分布函数提取方法的正确性。

### 3.4 本章小结

本章研究了 GaN-on-Si 增强型功率器件的场控能带机理, 分析了 GaN-on-Si 增强型功率器件的器件结构、材料结构、陷阱电荷及外加电场对器件能带结构和 2DEG 浓度的影响机制, 揭示了恒定密度的陷阱电荷和 2DEG 浓度的关系, 进一步引入了陷阱电荷密度与外加电场、陷阱电荷分布函数的关系, 从而建立了 GaN-on-Si 增强型功率器件场控能带模型。所建立的场控能带模型不仅可以准确地预测出器件的费米能和 2DEG 浓度, 还能够准确地反应出器件栅控能力与陷阱电荷的关系, 为研究 GaN-on-Si 增强型功率器件提供理论基础和指导思想。

同时, 本章基于所提出的场控能带模型全方面研究受主型陷阱对增强型 GaN MIS-HEMT 功率器件的费米能和 2DEG 浓度的影响。研究表明, GaN 层和 Al<sub>2</sub>O<sub>3</sub>/AlGaIn 界面处受主型陷阱浓度的增加不仅会导致器件费米能和 2DEG 浓度的减小, 还会导致器件栅控能力的降低。其次, 还提出了一种界面陷阱电荷分布函数提取方法。该提取方法可以自洽地求解出器件栅极沟道处费米能和界面电离受主型陷阱的密度, 以及可以获得界面陷阱电荷的密度与陷阱能级的关系。

## 第四章 GaN-on-Si 增强型功率器件场控新结构及凹槽工艺

功率器件的一些应用领域不仅要求 GaN-on-Si 增强型功率器件具有较好的正向阻断能力, 还要求其具有反向阻断 (Reverse Blocking, RB) 能力<sup>[81-83]</sup>, 如何使其具有反向阻断能力是 GaN-on-Si 功率半导体技术所面临的问题之一。本章在所提出的场控能带模型的指导下, 提出 GaN-on-Si 场控能带逆阻型功率器件 (记作 Sch-MIS RB MIS-HEMT) 和无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件 (记作 Non-Ohm RB MIS-HEMT)。GaN-on-Si 场控能带逆阻型功率器件通过结合 Sch-MIS 混合漏极的高反向阻断能力和缓变铝组份势垒层的高正向导通能力, 优化了器件正向导通和反向阻断的矛盾关系。无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件的源极和漏极均是肖特基接触, 器件通过绝缘栅极控制源极肖特基结的能带结构, 来实现器件的开启和关断。该器件可在较低的温度下制备, 可以避免 AlGaIn 势垒层的表面被氧化, 进而可以防止器件动态电阻的增加。

所提出的 GaN-on-Si 场控能带逆阻型功率器件和无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件均具有绝缘凹槽栅结构, 为制备这些器件需要采用凹槽工艺来刻蚀器件栅极区域势垒层。其中, Cl 基 ICP 干法刻蚀技术因具有高效率、低成本和高刻蚀选择比等优点而得到了广泛的关注<sup>[29-30]</sup>。但常规的 Cl 基 ICP 干法刻蚀技术存在刻蚀损伤大和刻蚀表面粗糙等缺点, 这会导致器件界面受主型陷阱的浓度增大。从本文所提出的 GaN-on-Si 增强型功率器件场控能带模型可以看出, 受主型陷阱浓度的增大会导致 GaN-on-Si MIS-HEMT 栅极沟道处载流子浓度的降低和器件栅控能力的降低。为有效地提高 GaN-on-Si MIS-HEMT 的性能, 本章将在所提出的场控能带模型的指导下, 针对增强型 GaN-on-Si MIS-HEMT 的刻蚀工艺开展一系列研究, 提出高温低损伤凹槽工艺。

### 4.1 GaN-on-Si 场控能带逆阻型功率器件

最初 T. P. Chow 等人通过在 GaN HEMT 的漏极集成一个 GaN 异质结肖特基二极管来使器件具有反向阻断能力<sup>[81]</sup>。常规的 GaN 异质结肖特基二极管存在开启电压 (Turn-on Voltage,  $V_T$ ) 高和导通电压 (On-state Voltage,  $V_{on}$ ) 高等缺点<sup>[60-62]</sup>, 因而集成肖特基二极管的逆阻型 GaN HEMT 具有较高的漏极补偿电压 (Drain Offset Voltage,  $V_{DO}$ ) 和较高的导通电压。降低漏极二极管的开启电压和导通电压可以有效降低逆阻型器件的漏极补偿电压和导通电压。陈万军等人通过短接 GaN-on-Si HEMT 的欧姆源极和常关型栅极获得了具有低开启电压和低导通电压

的 GaN-on-Si HAD<sup>[63-66]</sup>。同时陈万军等人也将 GaN-on-Si HAD 集成到 GaN-on-Si HEMT 的漏极, 获得了漏极补偿电压为 0.55V 的逆阻型 GaN-on-Si HEMT<sup>[82-83]</sup>。GaN-on-Si HAD 的导通电压与常关型栅极的长度有关, 可以通过减小常关型栅极的长度来进一步降低逆阻型 GaN-on-Si HEMT 的导通电压<sup>[84]</sup>。但栅极长度较短的 GaN-on-Si HAD 存在着较为严重的漏致势垒降低效应 (Drain Induced Barrier Lowering (DIBL) Effect), 这会增大漏极集成 GaN-on-Si HAD 的逆阻型功率器件的反向电流和降低器件的反向阻断电压 (Reverse Blocking Breakdown Voltage, RBV)<sup>[84]</sup>。为优化 GaN-on-Si 逆阻型功率器件正向导通和反向阻断的矛盾关系, 本节提出了具有 Sch-MIS 混合漏极和缓变铝组分势垒层的 GaN-on-Si 场控能带逆阻型功率器件 (Sch-MIS RB MIS-HEMT), 并通过仿真软件初步验证和研究该器件。

#### 4.1.1 器件结构及机理

##### (1) 漏极 MIS 结构的场控机理

图 4-1 所示的是 Sch-MIS RB MIS-HEMT 的器件结构和具有欧姆-MIS 混合漏极 (Ohm-MIS) 的逆阻型 GaN-on-Si MIS-HEMT (Ohm-MIS RB MIS-HEMT) 的器件结构。所提出的 Sch-MIS RB MIS-HEMT 具有 Sch-MIS 混合漏极和薄缓变铝组分势垒层 (10 nm  $\text{Al}_{0.50}\text{Ga}_{1-0.50}\text{N}$ )。器件是通过漏极电场改变漏极 MIS 结构中的电场分布来控制该区域的能带结构和 2DEG 浓度, 从而实现器件的正向导通和反向阻断。为了保证器件漏极是通过 MIS 结构来控制开启的, 在设计时应确保漏极 MIS 结构的阈值电压不小于漏极肖特基结构的开启电压。当器件漏极电压 (Drain Voltage,  $V_D$ ) 小于漏极补偿电压  $V_{D0}$  时, 器件混合漏极 MIS 结构中的电场不足以将该区域下方异质结界面处的 GaN 导带拉低到费米能级以下。此时, 混合漏极 MIS 区域下方的异质结没有 2DEG, 器件的导电沟道在混合漏极 MIS 区域被夹断, 如图 4-2 所示。当器件漏极电压  $V_D$  大于漏极补偿电压  $V_{D0}$  时, 器件混合漏极 MIS 结构中的电场可以将该区域下方异质结界面处的导带拉低到费米能级以下。此时, 器件混合漏极 MIS 区域下方的异质结会出现大量 2DEG, 如图 4-2 所示。为确保混合漏极中 MIS 结构具有正的阈值电压, 需要将漏极 MIS 区域的势垒层移除一部分。图 4-3 所示的是具有 10 nm  $\text{Al}_{0.50}\text{Ga}_{1-0.50}\text{N}$  势垒层的 GaN-on-Si MIS-HEMT (器件结构如图 4-3 中插图所示) 的转移特性曲线。可以看出当 MIS 结构仅剩 5 nm 势垒层时, 该器件具有常关型特性。继续减薄 MIS 结构势垒层会增大 MIS 结构的阈值电压, 这会导致所提出的 Sch-MIS RB MIS-HEMT 具有较高的漏极补偿电压。因此, 仿真中将器件的漏极 MIS 区域势垒层厚度设置为 5 nm。

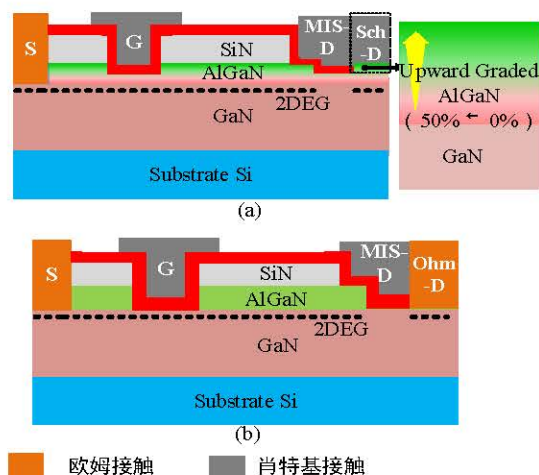


图 4-1 GaN-on-Si 逆阻型器件的结构。(a)Sch-MIS RB MIS-HEMT; (b)Ohm-MIS RB MIS-HEMT

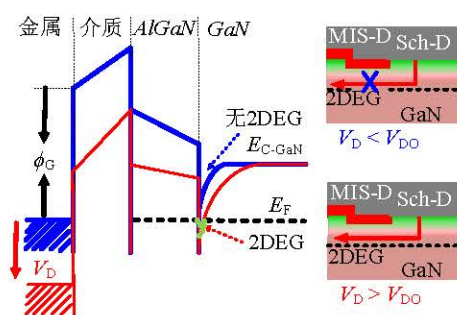


图 4-2 Sch-MIS RB MIS-HEMT 混合漏极 MIS 区的能带结构及场控机理

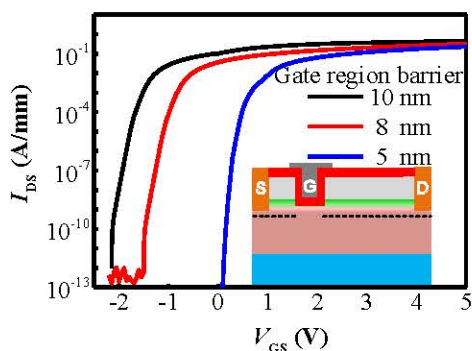


图 4-3 具有 10 nm  $\text{Al}_{0.50}\text{Ga}_{1-0.50}\text{N}$  势垒层的 GaN-on-Si MIS-HEMT 的转移特性

### (2) Sch-MIS 混合漏极

具有双电子势垒的 Sch-MIS 混合漏极不仅可以使器件具有反向阻断能力，还可以有效抑制 DIBL 效应，从而增加器件的反向阻断电压。Ohm-MIS RB MIS-HEMT 和 Sch-MIS RB MIS-HEMT 的漏极 MIS 区域下方耗尽区的厚度与漏极 MIS 区域长度的关系如图 4-4 和图 4-5 所示。对于 Ohm-MIS RB MIS-HEMT，器件漏极 MIS 区域下方耗尽区会随着漏极 MIS 区域长度的减小而减薄(如图 4-4 所示)，

这会导致器件的反向漏电会随着漏极 MIS 区域长度的减小而增大，从而导致器件反向击穿电压的减小<sup>[84]</sup>。虽然 Sch-MIS RB MIS-HEMT 的漏极 MIS 区域长度的减小也会导致器件漏极 MIS 区域下方耗尽区的减薄。但即使 Sch-MIS RB MIS-HEMT 具有较短的漏极 MIS 区域，该器件漏极 MIS 区域下方耗尽区也比 Ohm-MIS RB MIS-HEMT 的漏极 MIS 区域下方耗尽区要厚（如图 4-5 所示）。因此，用 Sch-MIS 混合漏极取代传统的逆阻型 GaN-on-Si MIS-HEMT 中的 Ohm-MIS 混合漏极可以有效抑制 DIBL 效应，从而可以降低器件的反向漏电和提高器件的反向击穿电压。

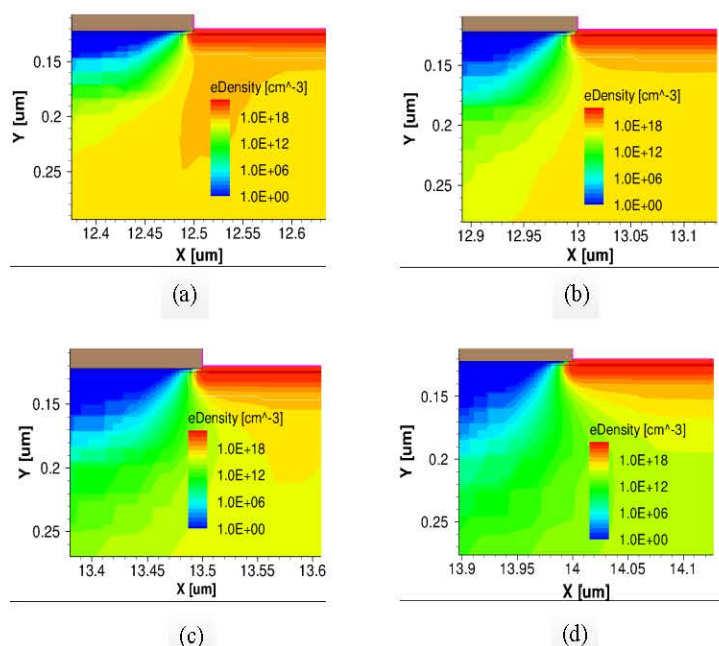


图 4-4 Ohm-MIS 区下方耗尽区与 MIS 区长度的关系。(a)0.5  $\mu\text{m}$ ; (b)1  $\mu\text{m}$ ; (c)1.5  $\mu\text{m}$ ; (d)2  $\mu\text{m}$

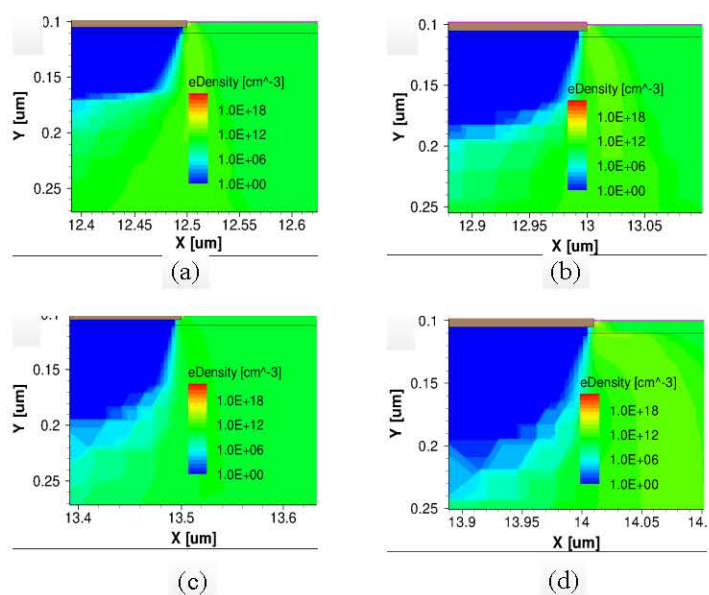


图 4-5 Sch-MIS 区下方耗尽区与 MIS 区长度的关系。(a)0.5  $\mu\text{m}$ ; (b)1  $\mu\text{m}$ ; (c)1.5  $\mu\text{m}$ ; (d)2  $\mu\text{m}$

## (3) 缓变铝组分势垒层

Sch-MIS RB MIS-HEMT 的缓变铝组分势垒层可以改变异质结中的电场分布, 进而可以改变 AlGa<sub>N</sub> 势垒层的能带结构, 提高 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结中 2DEG 的浓度和减小异质结中电子到 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结表面的距离, 如图 4-6 所示。具有 10 nm Al<sub>0.50</sub>Ga<sub>1.50</sub>N 势垒层和具有 10 nm Al<sub>0.23</sub>Ga<sub>0.77</sub>N 势垒层的 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结的电子浓度分布如图 4-7 所示。可以看出, 具有 10 nm Al<sub>0.50</sub>Ga<sub>1.50</sub>N 势垒层的 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结具有更高的电子浓度, 同时该异质结中电子到 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结表面的距离也更短。肖特基结构中电子从 2DEG 沟道隧穿到肖特基接触金属的概率与电子的隧穿距离和电子浓度有关。减小电子的隧穿距离和提高电子的浓度可以增加电子从 2DEG 沟道隧穿到肖特基接触金属的概率, 从而提高肖特基隧穿电流。因此, 用 10 nm Al<sub>0.50</sub>Ga<sub>1.50</sub>N 势垒层取代常规 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结中的势垒层, 可以增加混合漏极中肖特基结构的隧穿电流, 从而降低混合漏极中肖特基结构的开启电压和导通电压<sup>[73]</sup>。

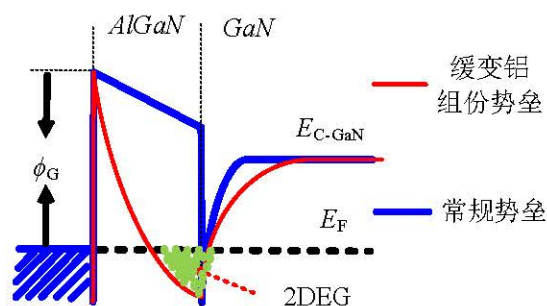
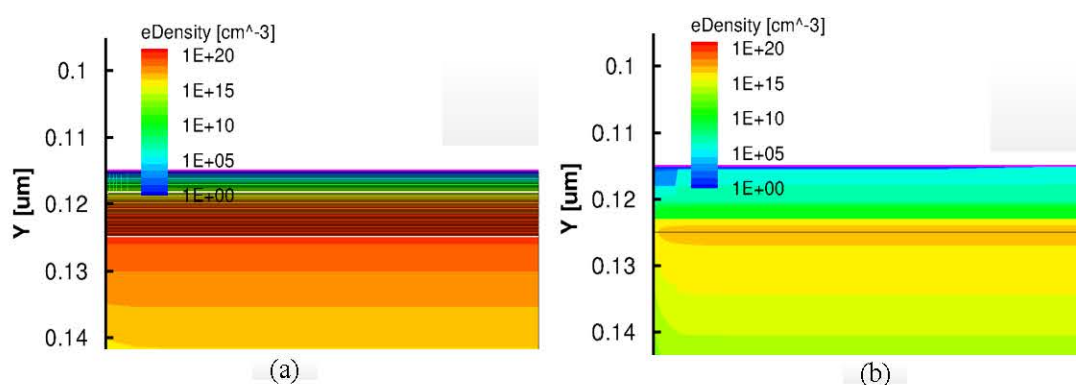


图 4-6 Sch-MIS RB MIS-HEMT 漏极肖特基结的能带结构

图 4-7 不同异质结的电子浓度分布。(a) 10 nm-Al<sub>0.50</sub>Ga<sub>1.50</sub>N/GaN; (b) 10 nm-Al<sub>0.23</sub>Ga<sub>0.77</sub>N/GaN

这里将采用 TCAD Sentaurus 软件来研究所提出的 Sch-MIS RB MIS-HEMT。主要涉及的物理模型包括压电极化模型、自发极化模型、高场速度饱和模型和电离碰撞模型等<sup>[85-86]</sup>。极化模型的相关参数如表 4-1 所示<sup>[43-45]</sup>。GaN 层和 AlGa<sub>N</sub> 层

非故意掺杂的施主型杂质的密度设置为  $10^{15} \text{ cm}^{-3}$ ；AlGa<sub>0.23</sub>N 层和栅介质层之间的界面受主型陷阱的能级设置为低于 AlGa<sub>0.23</sub>N 导带 2.1~0.0 eV，界面受主型陷阱的浓度设置为  $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ；AlGa<sub>0.23</sub>N 和栅介质之间的界面正电荷设置  $1.5 \times 10^{13} \text{ cm}^{-2}$ ；AlGa<sub>0.23</sub>N 层的受主型陷阱的能级设置为低于 AlGa<sub>0.23</sub>N 导带 0.56 eV，受主型陷阱的浓度设置为  $1 \times 10^{16} \text{ cm}^{-3}$ ；AlGa<sub>0.23</sub>N 层和 GaN 层之间的界面受主型陷阱的能级设置为低于 GaN 导带 1.7~0.0 eV，界面受主型陷阱的浓度设置为  $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ；GaN 层的受主型陷阱的能级设置为低于 GaN 导带 0.56 eV，受主型陷阱的浓度设置为  $1 \times 10^{16} \text{ cm}^{-3}$ 。栅极长度为 2  $\mu\text{m}$ ，栅极和源极之间的距离为 2  $\mu\text{m}$ ，栅极和漏极之间的距离为 10  $\mu\text{m}$ ，漏极部分的 MIS 区域的长度为 0.5  $\mu\text{m}$  到 2  $\mu\text{m}$ 。器件栅极区域的势垒层为 5 nm。同时也对具有欧姆-MIS 混合漏极的 Ohm-MIS RB MIS-HEMT 进行了研究，与所提出的 Sch-MIS RB MIS-HEMT 进行比较。其中 Ohm-MIS RB MIS-HEMT 的势垒层为 25 nm Al<sub>0.23</sub>Ga<sub>0.77</sub>N，器件栅极区域和漏极 MIS 区域的势垒层厚度均为 2 nm。器件的其他结构参数与 Sch-MIS RB MIS-HEMT 的参数一致。

表 4-1 极化模型的相关参数<sup>[43-45]</sup>

wurtzite	AlN	GaN
$P_{\text{SP}} [\text{C}/\text{m}^2]$	-0.081	-0.029
$\epsilon_{33} [\text{C}/\text{m}^2]$	1.46	0.73
$\epsilon_{31} [\text{C}/\text{m}^2]$	-0.60	-0.49
$\epsilon_{15} [\text{C}/\text{m}^2]$	-0.48	-0.3
$\epsilon_{11}$	9.0	9.5
$\epsilon_{33}$	10.7	10.4

#### 4.1.2 结果与讨论

图 4-8 所示的是 Ohm-MIS RB MIS-HEMT 的输出特性和 Sch-MIS RB MIS-HEMT 的输出特性，器件的混合漏极中 MIS 区域的长度均是 2  $\mu\text{m}$ 。定义器件开启后源漏电流为 1 mA/mm 时对应的漏极电压为器件的漏极补偿电压，以及器件开启后源漏电流为 100 mA/mm 时对应的漏极电压为器件的导通电压。从图 4-8 可以看出 Sch-MIS RB MIS-HEMT 的漏极补偿电压为 0.60V 左右，与 Ohm-MIS RB MIS-HEMT 的漏极补偿电压几乎一致。值得注意的是传统 GaN-on-Si 肖特基二极管的开启电压一般超过 1V，而所提出的 Sch-MIS RB MIS-HEMT 的漏极肖特基结构的开启电压低于传统 GaN-on-Si 肖特基二极管的开启电压<sup>[60-62]</sup>。这主要是因为采用 10 nm Al<sub>0.50</sub>Ga<sub>1-0.50</sub>N 势垒层取代常规 AlGa<sub>0.23</sub>N/GaN 异质结的 AlGa<sub>0.23</sub>N 势垒层可以增加 2DEG 的浓度和减小 2DEG 沟道中电子到肖特基接触的距离，进而增加了

电子从 2DEG 沟道隧穿到肖特基接触金属的概率，最终降低了肖特基结构的开启电压。同时可以看出, Sch-MIS RB MIS-HEMT 的导通电压为 1.8V, 比 Ohm-MIS RB MIS-HEMT 的导通电压低 0.3V, 器件导通电压降低了 15%左右。而且 Sch-MIS RB MIS-HEMT 比 Ohm-MIS RB MIS-HEMT 具有更高的饱和电流。这可能是因为 10 nm- $\text{Al}_{0.50}\text{Ga}_{1-0.50}\text{N}/\text{GaN}$  异质结比 25 nm- $\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}/\text{GaN}$  异质结具有更高的 2DEG 浓度, 导致 Sch-MIS RB MIS-HEMT 具有较低的沟道导通电阻。

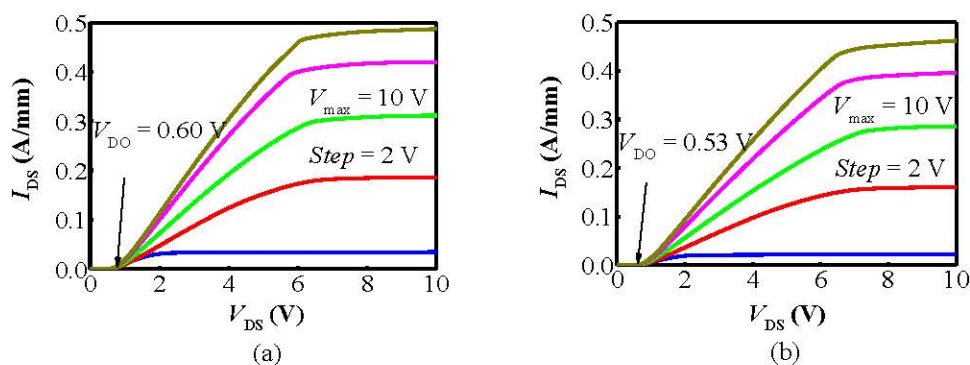


图 4-8 GaN-on-Si 逆阻型器件的输出特性。(a)Sch-MIS RB MIS-HEMT; (b)Ohm-MIS RB MIS-HEMT

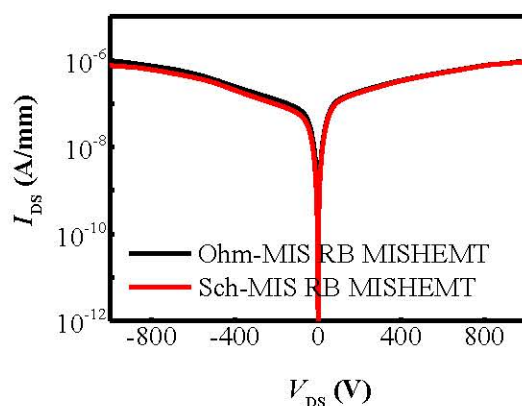


图 4-9 Sch-MIS RB MIS-HEMT 和 Ohm-MIS RB MIS-HEMT 的双向阻断特性

图 4-9 所示的是 Ohm-MIS RB MIS-HEMT 和 Sch-MIS RB MIS-HEMT 的双向阻断特性。Sch-MIS RB MIS-HEMT 和 Ohm-MIS RB MIS-HEMT 都具有较好的双向阻断能力, 这是因为较长的栅极 MIS 区域和漏极 MIS 区域可以很好的阻挡电子。另外在反向漏极电压为 -900V 时, 具有 Sch-MIS 混合漏极的 Sch-MIS RB MIS-HEMT 的反向电流 ( $0.75 \times 10^{-3}$  mA/mm) 略低于具有 Ohm-MIS 混合漏极的 Ohm-MIS RB MIS-HEMT 的反向电流 ( $0.95 \times 10^{-3}$  mA/mm)。这可能是因为 Sch-MIS RB MIS-HEMT 的漏极肖特基结构可以进一步阻挡电子, 从而进一步降低器件的反向电流。图 4-10 所示的是 Sch-MIS RB MIS-HEMT 和 Ohm-MIS RB MIS-HEMT 的

输出特性与漏极 MIS 区域长度的关系。从图中可以看出，改变漏极 MIS 区域的长度对这两个器件的漏极补偿电压和饱和电流基本没有影响。Sch-MIS RB MIS-HEMT 的漏极补偿电压和饱和电流分别都为 0.6 V 左右和 490 mA/mm 左右，Ohm-MIS RB MIS-HEMT 的漏极补偿电压和饱和电流分别都为 0.53 V 左右和 470 mA/mm 左右。

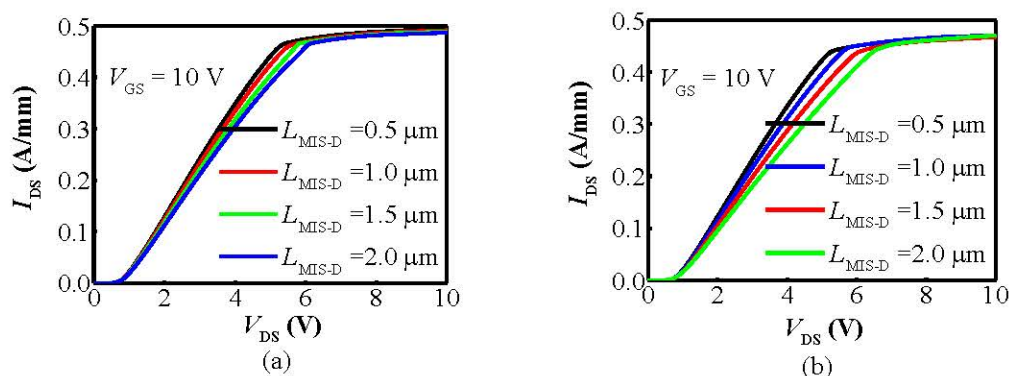


图 4-10 GaN-on-Si 逆阻型器件的输出特性与器件漏极 MIS 区域长度的关系。(a)Sch-MIS RB MIS-HEMT; (b)Ohm-MIS RB MIS-HEMT

图 4-11 所示的是 Sch-MIS RB MIS-HEMT 和 Ohm-MIS RB MIS-HEMT 的双向阻断特性与漏极 MIS 区域长度的关系。改变漏极 MIS 区域的长度对这两个器件的正向阻断电压基本没有影响。但当器件漏极 MIS 区域的长度减小时，Ohm-MIS RB MIS-HEMT 的反向电流会显著增加，器件反向阻断电压会显著降低。这是由于 Ohm-MIS RB MIS-HEMT 漏极 MIS 区域下方的耗尽层厚度会随着漏极 MIS 区域长度的减小而变薄（如图 4-4 所示），此时电子会更加容易穿过耗尽层。所以器件反向电流会随着漏极 MIS 区域长度的减小而增大，反向阻断电压会随着漏极 MIS 区域长度的减小而降低。从图 4-11 中可以看出当 Ohm-MIS RB MIS-HEMT 漏极 MIS 区域的长度从  $2\mu\text{m}$  降低到  $0.5\mu\text{m}$  时，器件的反向击穿电压从 900V 降低到 200V 左右，降低了 350%。而 Sch-MIS RB MIS-HEMT 的反向电流并不会随着器件漏极 MIS 区域长度的改变而有着明显变化。即使 Sch-MIS RB MIS-HEMT 具有较短的漏极 MIS 区域，器件的反向击穿电压也达到了 900V。从图 4-5 可以看出，虽然随着 Sch-MIS RB MIS-HEMT 的漏极 MIS 区域长度的减小也会导致器件漏极 MIS 区域下方耗尽区厚度的减薄。但即使 Sch-MIS RB MIS-HEMT 的具有较短的漏极 MIS 区域，该器件的漏极 MIS 区域下方耗尽区也比 Ohm-MIS RB MIS-HEMT 的漏极 MIS 区域下方耗尽区要厚。因此可以采用 Sch-MIS 混合漏极取代传统的逆阻型 GaN MIS-HEMT 的 Ohm-MIS 混合漏极来提高器件的反向阻断能力。

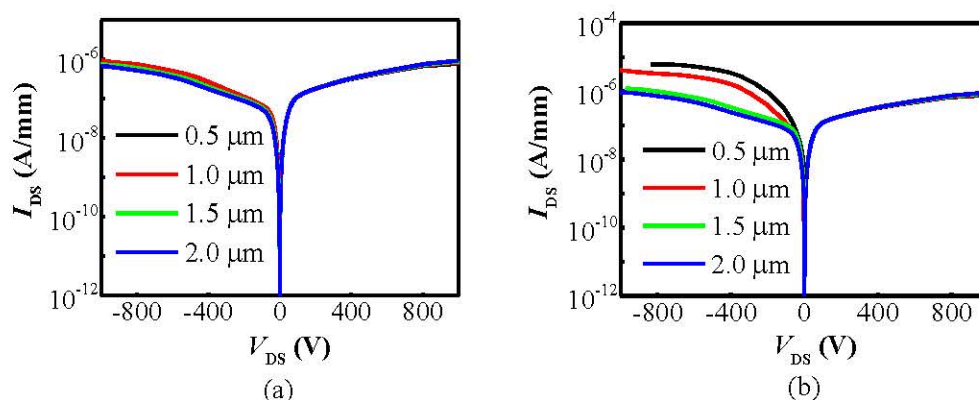


图 4-11 GaN-on-Si 逆阻型器件的双向阻断特性与器件漏极 MIS 区域长度的关系。(a)Sch-MIS RB MIS-HEMT; (b)Ohm-MIS RB MIS-HEMT

## 4.2 GaN-on-Si 场控隧穿逆阻型功率器件

尽管 Sch-MIS RB MIS-HEMT 具有漏极补偿电压低、导通电压低、双向阻断电流小等优点，但 Sch-MIS RB MIS-HEMT 的欧姆源极导致该器件必须在高温下制备。研究表明 GaN-on-Si 功率器件的高温工艺会导致 AlGaIn 势垒层的表面被氧化或者 AlGaIn 势垒层的表面出现氮空位<sup>[28]</sup>。为此，本章在所提出的 GaN-on-Si 增强型功率器件场控能带模型的指导下，进一步提出了可在低温下制备的无欧姆接触的 GaN-on-Si 场控隧穿逆阻型功率器件 (Non-Ohm RB MIS-HEMT)。

### 4.2.1 器件结构及机理

Non-Ohm RB MIS-HEMT 的器件结构如图 4-12(a)所示。该器件的源极和漏极均是肖特基接触，器件的栅极为绝缘凹槽栅结构。肖特基漏极可以为 Non-Ohm RB MIS-HEMT 提供反向阻断能力，同时漏端采用凹槽 MIS 结构的场板来抑制漏极肖特基结构的反向漏电。器件的绝缘凹槽栅是用来控制源极肖特基结构的接触势垒。器件绝缘栅极上的外加电场可以抬高或者拉低器件栅极区域异质结的能带，从而会改变源极肖特基结构的接触势垒厚度（如图 4-12(b)所示）。肖特基结隧穿电流 ( $J_{s-m}$ ) 如公式(4-1)和公式(4-2)所示<sup>[73]</sup>：

$$J_{s-m} \approx \frac{A^{**}T^2}{kT} \left\{ \int F_s T_t(E)(1 - F_m) dE \right\} \quad (4-1)$$

$$T_t \approx \exp \left\{ -2 \int_{x_1}^{x_2} \sqrt{\frac{2m^*}{\hbar^2} [U(x) - E]} dx \right\} \quad (4-2)$$

其中  $F_s$  是半导体的费米狄拉克分布函数， $F_m$  是金属的费米狄拉克分布函数， $A^{**}$  为理查逊常数， $k$  为玻尔兹曼常数， $T$  为热力学温度， $T_t$  为电子从源极肖特基金属

隧穿到 2DEG 沟道的概率,  $U(x)-E$  为肖特基结构的接触势垒,  $m^*$  为 GaN 中电子的有效质量,  $h$  为普朗克常量,  $x_2-x_1$  为隧穿方向的厚度。当在器件的绝缘栅极加上反向电场时, 反向的栅极电场会抬高器件栅极区域异质结的能带, 并会导致源极肖特基结构的接触势垒变厚 (如图 4-12(b)所示)。从上述公式可以看出, 较厚的势垒会阻止电子从源极肖特基金属隧穿到 2DEG 沟道。此时即使在肖特基漏极加上正向电压, 电子也无法从源极肖特基金属隧穿到 2DEG 沟道。当在器件的绝缘栅极加上正向电场时, 正向栅极电场可以拉低器件栅极区域异质结的能带并减薄源极肖特基结构的接触势垒, 从而可以增加电子从源极肖特基金属隧穿到 2DEG 沟道的概率。当源极势垒变薄到可以让电子大量地从源极肖特基金属隧穿到 2DEG 沟道时, 此时在器件漏极加上正向电压会有漏源电流形成, 如图 4-12(b)所示。

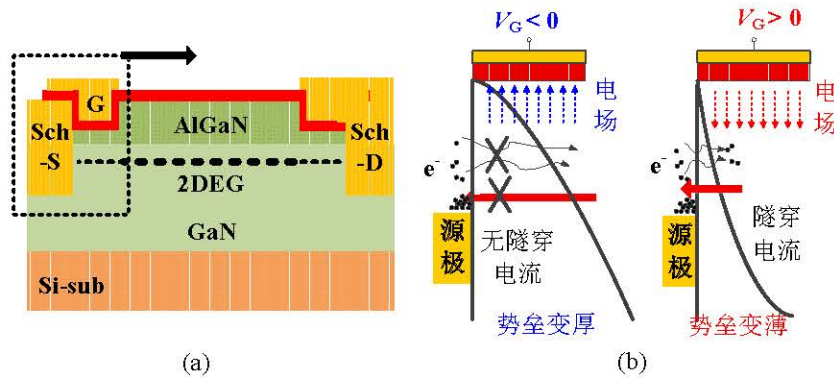


图 4-12 Non-Ohm RB MIS-HEMT。(a)器件结构；(b)栅控隧穿机理

这里将采用 TCAD Sentaurus 软件来研究所提出的 Non-Ohm RB MIS-HEMT。主要涉及的物理模型有压电极化模型、自发极化模型、高场速度饱和模型和电离碰撞模型等<sup>[85-86]</sup>。极化模型的相关参数如表 4-1 所示。GaN 层和 AlGaIn 层的掺杂和陷阱浓度及能级设置、AlGaIn/GaN 异质界面的陷阱浓度及能级设置、栅介质/AlGaIn 界面的陷阱浓度及能级设置与 4.1 节中大体一致。器件栅极长度为 1  $\mu\text{m}$ , 漏极场板长度为 1  $\mu\text{m}$ , 栅极和漏极之间的距离为 10  $\mu\text{m}$ , 器件栅极区域势垒层厚度为 15 nm。器件肖特基漏极、肖特基源极和绝缘栅极的电极金属的功函数均是 4.65 eV。为了减小源极肖特基结构的接触势垒, 将源极肖特基接触区域的 AlGaIn 势垒层完全移除, 使源极金属可以直接与异质结的 2DEG 沟道接触。同时为了增加器件绝缘栅极的控制能力, 将器件绝缘栅极区域的势垒层也移除了一部分。通过 TCAD Sentaurus 软件得到的栅控肖特基隧穿结的势垒厚度如图 4-13 所示。在栅极电压为 0V 时, 源极肖特基结构具有较厚的接触势垒, 这会阻止金属中电子隧穿到 2DEG 沟道中; 随着栅极电压的增大, 源极肖特基结构的接触势垒将会变薄, 此时金属中电子隧穿到 2DEG 沟道的概率将会增大。

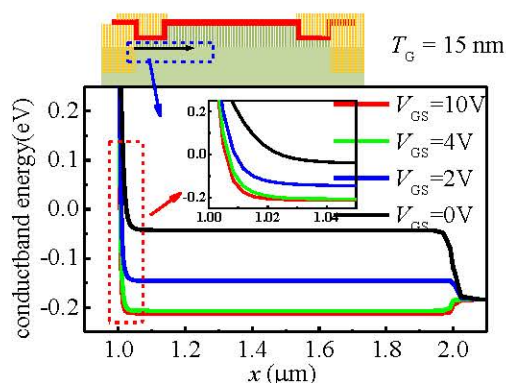


图 4-13 Non-Ohm RB MIS-HEMT 源极肖特基结构的接触势垒

## 4.2.2 结果与讨论

图 4-14 所示的是 Non-Ohm RB MIS-HEMT 的输出特性和常规的增强型 GaN-on-Si MIS-HEMT 的输出特性。其中 Non-Ohm RB MIS-HEMT 的栅极区域势垒层厚度为 15nm，常规的增强型 GaN-on-Si MIS-HEMT 的栅极区域势垒层厚度为 1nm。在栅极电压和漏极电压均为+10V 时，Non-Ohm RB MIS-HEMT 的最大漏极电流达到了 0.8 A/mm，这比常规的增强型 GaN-on-Si MIS-HEMT 的最大漏极电流低 0.15 A/mm。这是因为 Non-Ohm RB MIS-HEMT 存在一个 0.55V 的漏极补偿电压。不过当漏极电压小于 0 时，常规的增强型 GaN-on-Si MIS-HEMT 具有较大的反向电流。而所提出的 Non-Ohm RB MIS-HEMT 可以很好地阻断反向电流。

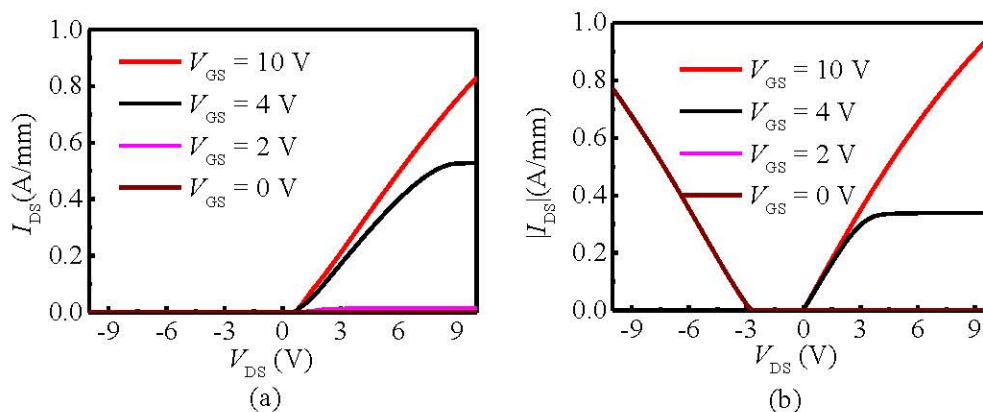


图 4-14 Non-Ohm RB MIS-HEMT 和增强型 GaN-on-Si MIS-HEMT 的输出特性。(a)Non-Ohm RB MIS-HEMT；(b)增强型 GaN-on-Si MIS-HEMT

图 4-15 所示的是 Non-Ohm RB MIS-HEMT 的双向阻断特性和常规增强型 GaN-on-Si MIS-HEMT 的正向阻断特性。在漏极电压为 $\pm 500$ V 时，Non-Ohm RB MIS-HEMT 的关态漏电为 1  $\mu\text{A}/\text{mm}$ ，远大于常规增强型 GaN-on-Si MIS-HEMT 的

关态漏电。这可能是由于 Non-Ohm RB MIS-HEMT 的肖特基源极和肖特基漏极具有较低的接触势垒。但是随着漏极电压的增大，Non-Ohm RB MIS-HEMT 的关态漏电基本保持不变。这是因为在较大漏极电压时，器件大部分电压都由栅漏之间的漂移区承担，肖特基源极边缘的电场也会被绝缘栅极抑制。所以器件的关态漏电基本不会随着漏极电压的增加而增大。

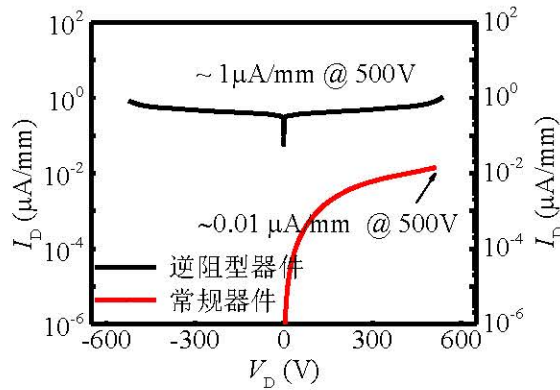


图 4-15 Non-Ohm RB MIS-HEMT 和常规增强型 GaN-on-Si MIS-HEMT 的阻断特性

Non-Ohm RB MIS-HEMT 的关态漏电会随着栅极区域势垒层厚度的减小而减小，如图 4-16 所示。这是因为器件栅极区域势垒层厚度的减小会导致该区域下方沟道载流子浓度的降低，同时该区域的能带也会被抬高。器件源极肖特基结构的接触势垒厚度也会随着栅极区域势垒层厚度的减小而增加，如图 4-17 所示。源极肖特基接触势垒厚度的增加同样也会导致 Non-Ohm RB MIS-HEMT 阈值电压的增大，如图 4-18 所示。同样从图中可以看出，栅极势垒层厚度为 5nm 的器件的最大电流比其他器件的最大电流要大。这是因为虽然随着器件栅极区域势垒层厚度的减小，零栅压下源极肖特基接触的势垒厚度会被增加，但是同时栅极的控制能力也会增加。在栅极电压为 10V 时，源极肖特基接触的势垒厚度会随着器件栅极区域势垒层厚度的减小而减小，如图 4-19 所示。

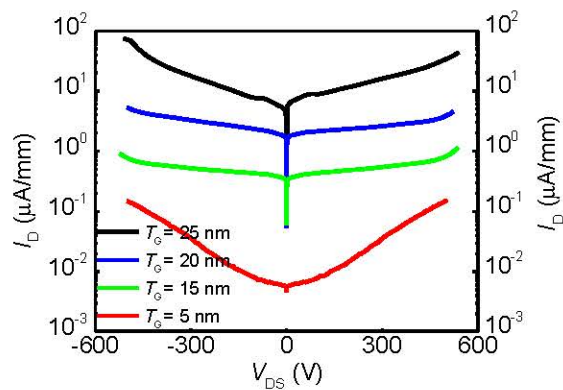


图 4-16 所提出的 Non-Ohm RB MIS-HEMT 的双向阻断特性与栅极势垒层厚度的关系

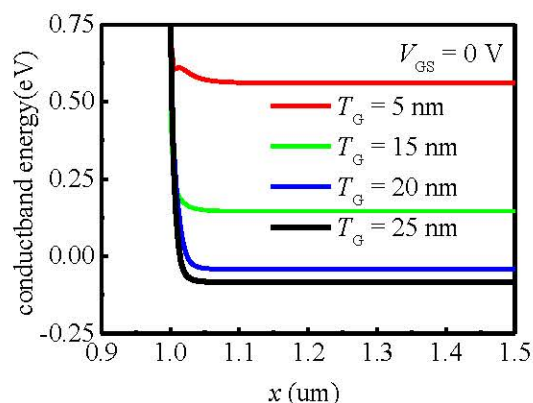


图 4-17 零栅压下, Non-Ohm RB MIS-HEMT 源极肖特基结构的接触势垒与器件栅极区域势垒层厚度的关系

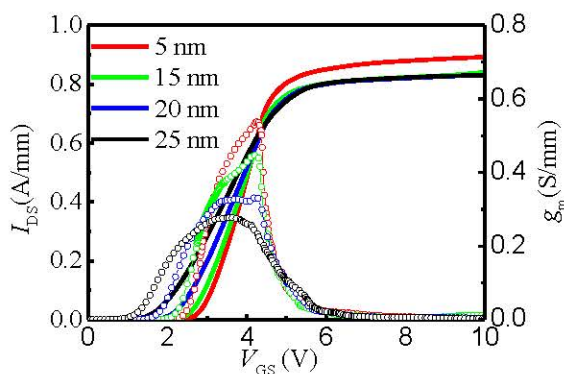


图 4-18 Non-Ohm RB MIS-HEMT 的转移特性与栅极势垒层厚度的关系

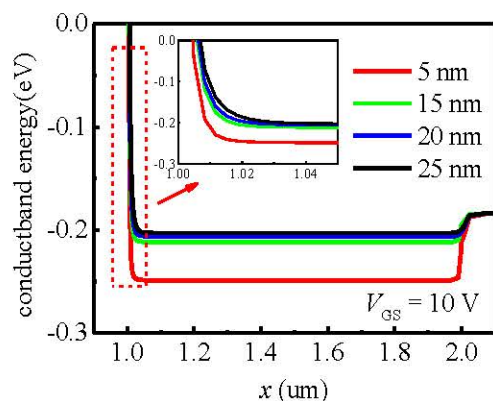


图 4-19 栅压为 10V 时, Non-Ohm RB MIS-HEMT 源极肖特基结构的接触势垒与器件栅极区域势垒层厚度的关系

### 4.3 高温低损伤凹槽刻蚀工艺

所提出的 GaN-on-Si 场控能带逆阻型功率器件和无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件均具有绝缘凹槽栅结构, 为制备这些器件需要采用凹槽工艺

来刻蚀器件栅极区域的势垒层。其中，Cl 基 ICP 干法刻蚀技术因具有刻蚀效率高，成本低和刻蚀选择比高等优点而得到了广泛的关注<sup>[29-30]</sup>。但常规的 Cl 基 ICP 干法刻蚀技术存在刻蚀损伤大和刻蚀表面粗糙等缺点，如图 4-20(a)所示。晶格损伤和粗糙的刻蚀表面会导致器件栅介质/半导体界面受主型陷阱的浓度增大，如图 4-20(b)所示。从本文所提出的 GaN-on-Si 增强型功率器件场控能带模型可以看出，受主型陷阱浓度的增大会导致 GaN-on-Si 增强型功率器件栅极沟道处载流子浓度的降低和器件栅控能力的削弱。为有效地提高 GaN-on-Si 增强型功率器件的性能，在所提出的场控能带模型的指导下，针对凹槽栅 GaN-on-Si 增强型功率器件的刻蚀工艺展开了一系列研究，提出了高温低损伤凹槽工艺。

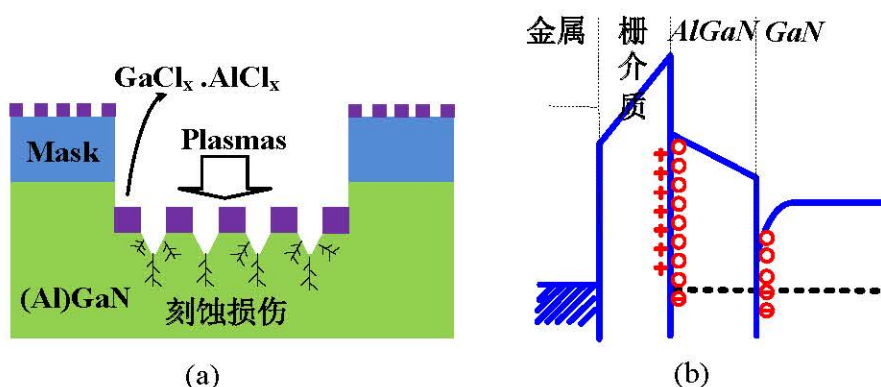


图 4-20 常规 Cl 基 ICP 干法刻蚀技术的缺点。(a)刻蚀损伤及粗糙的刻蚀表面；(b)含有缺陷的能带结构

### 4.3.1 高温低损伤凹槽刻蚀工艺

为研究刻蚀温度对 Cl 基 ICP 干法刻蚀技术刻蚀 AlGaN/GaN 异质结材料的影响，将分别在室温、100℃及 180℃等不同温度下采用 Cl 基 ICP 干法刻蚀技术制备凹槽阳极 GaN-on-Si SBD（器件结构如图 4-21 所示）。由于 ICP 刻蚀设备最高只能工作在 180℃下，这里设置的最高刻蚀温度为 180℃。用于制备凹槽阳极 GaN-on-Si SBD 的 AlGaN/GaN 异质结外延片从下到上的外延层分别为 AlN 层缓冲层，AlGaN 应力控制层，1.8 μm GaN 高阻层，200 nm 左右的 GaN 沟道层，及 AlGaN/GaN 异质结结构的势垒层（含有 2 nm GaN 帽层，25 nm Al<sub>0.22</sub>Ga<sub>0.78</sub>N 势垒层以及 1 nm 左右的 AlN 插入层）。其中 AlN 层缓冲层和 AlGaN 应力控制层主要是用于减少 GaN 生长过程中引起的体缺陷；势垒层中的 1 nm AlN 插入层是用于将 2DEG 限制在异质结沟道处，防止异质结沟道处的载流子隧穿到表面；GaN 帽层可以防止 Al<sub>0.22</sub>Ga<sub>0.78</sub>N 势垒层被氧化。该 AlGaN/GaN 异质结的方块电阻和沟道电子迁移率分别是 372 Ω/□和 1570 cm<sup>2</sup>/V·s。

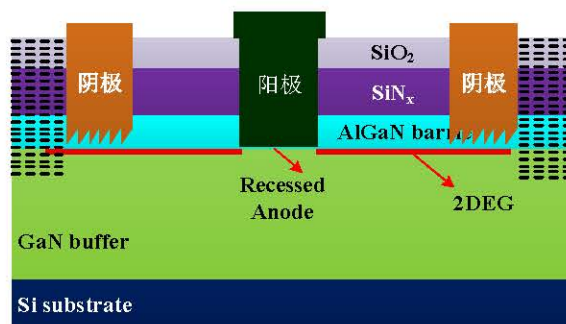


图 4-21 凹槽阳极 GaN-on-Si SBD

凹槽阳极 GaN-on-Si SBD 的制备工艺流程如下：

a. 采用标准的 RCA 工艺清洗 AlGaN/GaN 异质结外延片，去除 AlGaN/GaN 异质结外延片表面的有机物、氧化物及金属碎屑。第一步是利用丙酮初步去除 AlGaN/GaN 异质结外延片表面的有机物。将 AlGaN/GaN 异质结外延片完全浸没在丙酮中以溶解外延片表面的有机物：在采用丙酮清洗外延片的过程中，若发现外延片表面的有机物无法溶于丙酮时，可以将装有丙酮的烧杯放入超声清洗台中进行超声并加热；再将 AlGaN/GaN 异质结外延片浸没在装有异丙醇的烧杯中用以去除外延片表面的丙酮；最后用去离子水对外延片进行冲洗。采用丙酮-异丙醇-去离子水清洗 AlGaN/GaN 异质结外延片表面可以去除外延片表面的部分有机物。有时需反复重复上述步骤来进一步减少 AlGaN/GaN 异质结外延片表面的有机物。同时还有一部分有机物无法通过上述步骤去除，所以第二步是采用 SPM 溶液（浓硫酸和双氧水的混合溶液（ $H_2SO_4$  溶液和  $H_2O_2$  溶液），配比为 5:1）来清洗 AlGaN/GaN 异质结外延片。具有较强氧化能力的 SPM 溶液不仅可以将一些金属碎屑氧化后溶于清洗液中，也可以将部分有机物氧化成二氧化碳和水。所以采用 SPM 溶液来清洗 AlGaN/GaN 异质结外延片可以去除外延片表面的一些金属碎屑和一部分有机物。当 AlGaN/GaN 异质结外延片表面的有机物沾污特别严重时，SPM 溶液将会碳化有机物。所以一般在采用 SPM 溶液清洗异质结外延片前，需要用丙酮-异丙醇-去离子水清洗工艺去除表面大部分的有机物。第三步是去除异质结外延片表面的自然氧化膜。一般采用氢氟酸溶液（HF 和  $H_2O$  的配比为 10:1）来去除异质结外延片表面的自然氧化膜，清洗时间一般为 1 分钟。采用氢氟酸溶液清洗之后需要用去离子水反复冲洗异质结外延片。第四步是采用 HPM 溶液（HCl、 $H_2O_2$  和  $H_2O$  的混合溶液）去除异质结外延片表面的钠、铁、镁、铁和锌等金属沾污。采用 HPM 溶液清洗之后需要用去离子水反复冲洗异质结外延片。

b. 采用低压力化学气相沉积（Low Pressure Chemical Vapor Deposition, LPCVD）工艺在 AlGaN/GaN 异质结外延片表面生长一层 100 nm 氮化硅

(LPCVD-SiN<sub>x</sub>) 作为钝化层。

e. 用光刻胶定义欧姆接触区（阴极区域），去除欧姆接触区的 LPCVD-SiN<sub>x</sub> 钝化层。再次光刻显影定义欧姆接触区，采用电子束蒸发工艺淀积钛/铝/镍/金（Ti/Al/Ni/Au）四层金属作为欧姆金属，之后采用剥离工艺去除其他部分的金属。

d. 将异质结外延片放置在纯氮气环境下进行欧姆退火，退火温度为 850 °C，退火时间为 50 s。欧姆退火之前，需要用丙酮-异丙醇-去离子水清洗工艺反复清洗异质结外延片，确保 AlGaIn/GaN 异质结外延片表面没有残留的光刻胶。

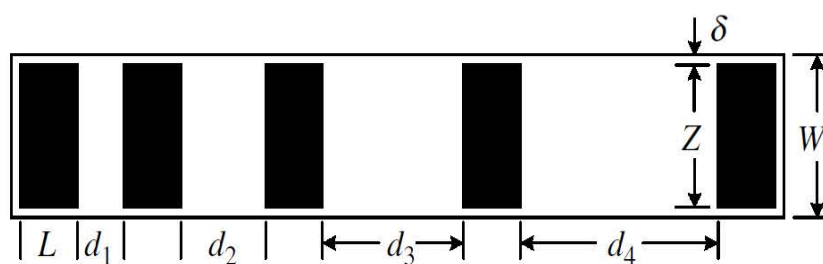


图 4-22 用于计算欧姆接触电阻的传输线结构

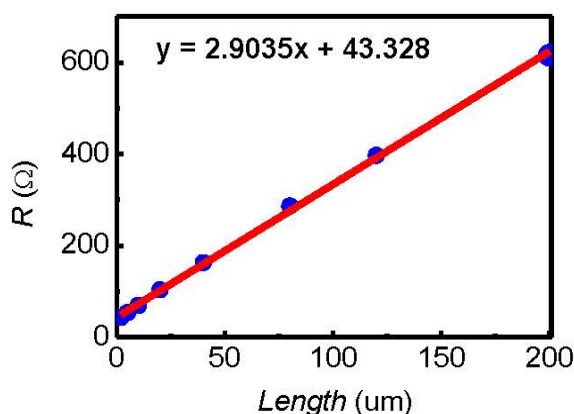


图 4-23 欧姆接触区的电阻与间距之间的关系

e. 用光刻胶定义有源区，采用离子注入技术对进行器件隔离。隔离后，可通过传输线结构（如图 4-22 所示）的电流特性计算出欧姆接触的接触电阻。其中  $L$  为传输线结构中欧姆接触区的长度， $Z$  为欧姆接触区的宽度， $W$  为外延片隔离后传输线结构的宽度， $d_i$  为相邻欧姆接触区的间距。计算欧姆接触电阻的方法如公式 (4-3) 所示。

$$R_T = \frac{R_{sh} \cdot d}{Z} + 2R_C \quad (4-3)$$

公式(4-3)中的  $R_{sh}$  为 AlGaIn/GaN 异质结结构的方块电阻， $R_C$  为欧姆接触电阻， $R_T$  为传输线结构的电阻。通过传输线结构中不同间距的欧姆接触区之间的电流特性，

可以得到欧姆接触区的电阻与间距的关系（如图 4-23 所示），并提取出欧姆接触电阻的值。通过计算，LPCVD-SiN<sub>x</sub> 钝化后异质结外延片的欧姆接触电阻和方块电阻分为  $R_C = 2.17 \text{ Ohm}\cdot\text{mm}$  和  $R_{sh} = 290 \text{ Ohm}/\square$ 。异质结表面钝化之后，方块电阻比表面未钝化的异质结的方块电阻  $R_{sh} = 372 \text{ Ohm}/\square$  要小，这是因为 LPCVD-SiN<sub>x</sub> 钝化会导致 2DEG 的增加<sup>[19]</sup>。

f. 采用等离子体增强化学的气相沉积（Plasma Enhanced Chemical Vapor Deposition, PECVD）工艺在 AlGaIn/GaN 异质结外延片表面生长 40 nm 二氧化硅（PECVD-SiO<sub>2</sub>）作为高温刻蚀的阻挡层。生长 PECVD-SiO<sub>2</sub> 之前，需要用丙酮-异丙醇-去离子水清洗工艺反复清洗去除 AlGaIn/GaN 异质结外延片表面的有机物。

g. 用光刻胶定义凹槽阳极区域，并去除凹槽阳极区域的 PECVD-SiO<sub>2</sub> 以及 LPCVD-SiN<sub>x</sub>，之后去除外延片表面的光刻胶。并用丙酮-异丙醇-去离子水清洗工艺反复清洗去除 AlGaIn/GaN 异质结外延片表面的有机物。

h. 分别在室温、100℃ 及 180℃ 等不同温度下采用 Cl 基 ICP 干法刻蚀技术刻蚀凹槽阳极区域的 AlGaIn 势垒层。在刻蚀过程中，刻蚀设备的 ICP 刻蚀功率（50 W）、射频功率（15 W）、刻蚀设备腔体的气体压强（0.5 Pa）、用于刻蚀 AlGaIn/GaN 异质结的氯气（Cl<sub>2</sub>）和三氯化硼（BCl<sub>3</sub>）等气体的流量（Cl<sub>2</sub> 的流量为 8 sccm，BCl<sub>3</sub> 的流量为 2.5 sccm）和刻蚀时间（2 分钟）等变量将保持不变。

i. 再次用光刻胶定义欧姆接触区，并去除欧姆接触区的 PECVD-SiO<sub>2</sub> 阻挡层。

j. 最后用光刻胶定义器件阳极区域，用电子束蒸发技术淀积 Ni/Au 作为器件的阳极电极，采用剥离工艺去除其他部分的金属，并在 400℃ 中退火 4 分钟加固阳极金属。退火之前，需要用丙酮-异丙醇-去离子水清洗工艺反复清洗异质结外延片，确保 AlGaIn/GaN 异质结外延片表面没有残留的光刻胶。

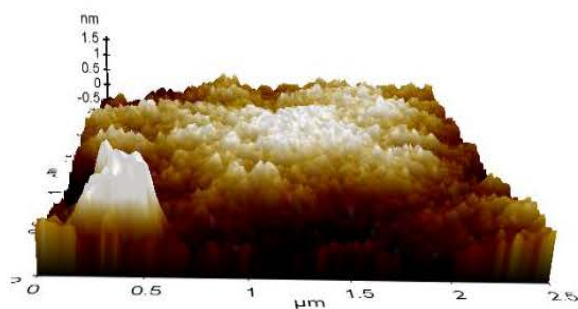


图 4-24 在室温下采用 Cl 基 ICP 干法刻蚀技术刻蚀的样品的凹槽表面

在利用 Cl 基 ICP 干法刻蚀技术刻蚀凹槽阳极区域的 AlGaIn 势垒层后，采用原子力显微镜（Atoms force microscope, AFM）对不同样品的凹槽深度和凹槽表面粗糙度进行了分析，如图 4-24 至图 4-26 所示。在室温、100℃ 及 180℃ 等不同温度

下采用 Cl 基 ICP 干法刻蚀的异质结外延片，其凹槽表面粗糙度分别为 1 nm、0.17 nm 和 0.10 nm，刻蚀速率分别为 11.2 nm/min、12.3 nm/min 和 13.2 nm/min。从 AFM 图中可以看到，在 180℃ 下采用 Cl 基 ICP 干法刻蚀技术刻蚀的样品的表面粗糙度要显著低于其他样品的表面粗糙度。

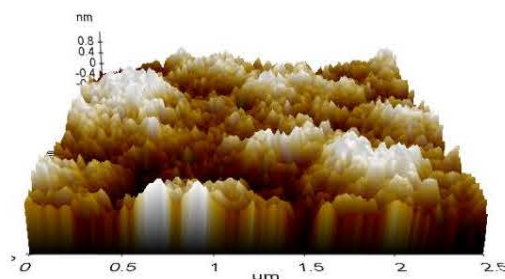


图 4-25 在 100℃ 下采用 Cl 基 ICP 干法刻蚀技术刻蚀的样品的凹槽表面

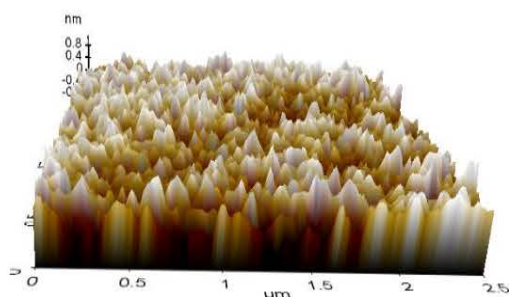


图 4-26 在 180℃ 下采用 Cl 基 ICP 干法刻蚀技术刻蚀的样品的凹槽表面

### 4.3.2 刻蚀温度对器件特性的影响

基于不同 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的电流电压特性 ( $I-V$ ) 如图 4-27、图 4-28 和图 4-29 所示。从图中可以看出，所有的凹槽阳极 GaN-on-Si SBD 的开启电压均在 0.70 V 左右（定义正向电流为  $1 \text{ A/cm}^2$  时对应的正向电压为 SBD 的开启电压），正向电流均在 2.9 V 左右达到测试的限流点，反向电压为 -10 V 时的反向电流均为  $0.1 \text{ A/cm}^2$  左右。但随着 ICP 干法刻蚀技术刻蚀温度的提高，凹槽阳极 GaN-on-Si SBD 的开启电压、正向电流和反向电流的均匀性有着明显的改善。在室温下采用 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的最大开启电压与最小开启电压之差超过了 0.15V，反向电压为 -10V 时的最大反向电流和最低反向电流之比超过了 40，如图 4-27 所示。在 100℃ 下采用 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的最大开启电压与最小开启电压之差为 0.1V，反向电压为 -10V 时的最大反向电流和最低反向电流之比为 4，如图 4-28 所示。在 180℃ 下采用 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的最大开启电压与最小开启电压之差小于 0.05V，反向电压为 -10V

时的最大反向电流和最低反向电流之比为 2，如图 4-29 所示。即基于高温刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的一致性更好。

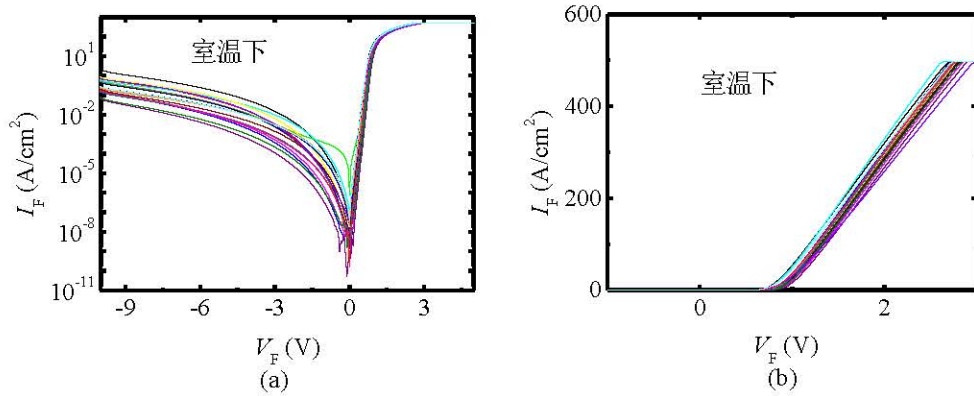


图 4-27 在室温下采用 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的  $I$ - $V$  特性。(a) 对数坐标；(b) 线性坐标

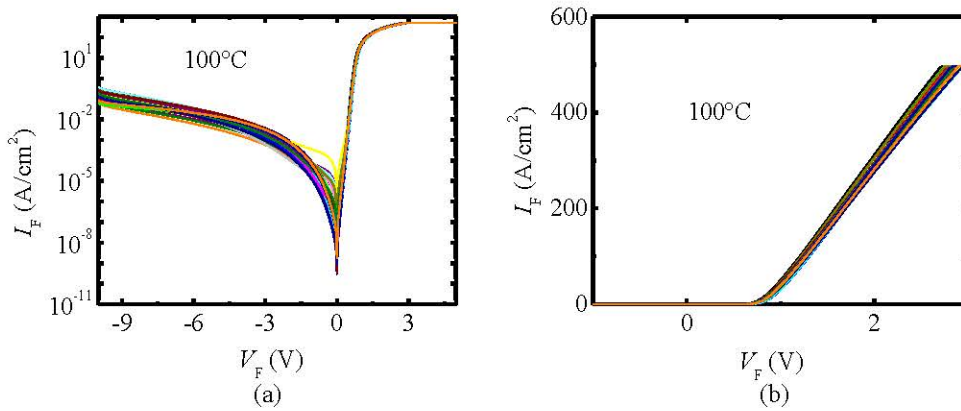


图 4-28 在 100°C 下采用 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的  $I$ - $V$  特性。(a) 对数坐标；(b) 线性坐标

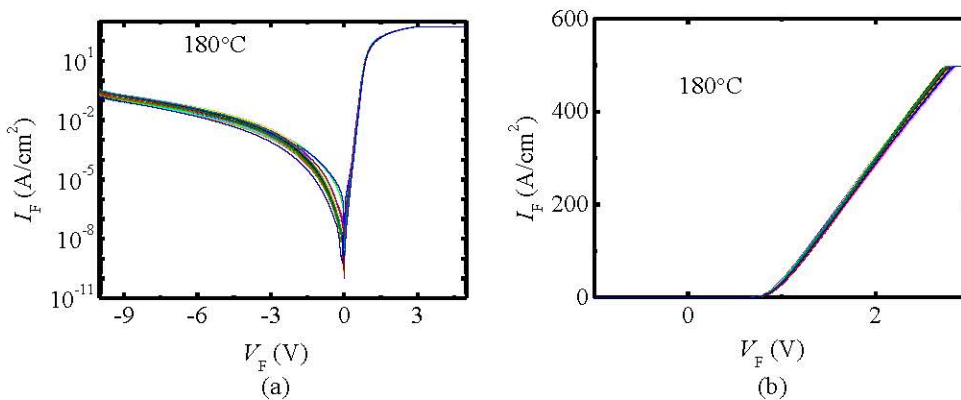


图 4-29 在 180°C 下采用 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的  $I$ - $V$  特性。(a) 对数坐标；(b) 线性坐标

理想因子和肖特基势垒高度是肖特基二极管的重要参数，因此有必要比较基于不同 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的理想因子和肖特基势垒高度。可以通过公式(4-4)和公式(4-5)来提取凹槽阳极 GaN-on-Si SBD 的理想因子和肖特基势垒高度<sup>[87]</sup>。

$$I_F = I_{TE} (e^{q(V_F - I_F R_s)/nkT} - 1) \quad (4-4)$$

$$I_{TE} = AA^{***} T^2 e^{q\phi_{b0}/kT} \quad (4-5)$$

其中  $I_F$  为凹槽阳极 GaN-on-Si SBD 的正向电流， $I_{TE}$  是与器件的肖特基势垒有关的电流， $R_s$  为器件的线性电阻， $V_F$  为器件的正向电压， $n$  为器件的理想因子， $k$  为玻尔兹曼常数， $T$  为热力学温度， $A$  为器件阳极的面积， $A^{***}$  为有效理查逊常数， $\phi_{b0}$  为凹槽阳极 GaN-on-Si SBD 的肖特基势垒高度。因为公式(4-4)和公式(4-5)仅在肖特基二极管正向电流较小时适用，这里仅在正向电压为 0V 到 0.6V 的范围内采用公式(4-4)和公式(4-5)来提取凹槽阳极 GaN-on-Si SBD 的理想因子和肖特基势垒高度<sup>[87]</sup>。通过公式(4-4)和公式(4-5)拟合的肖特基二极管正向电流特性如图 4-30 中实线所示，图中圆点为实验测得的正向电流特性。

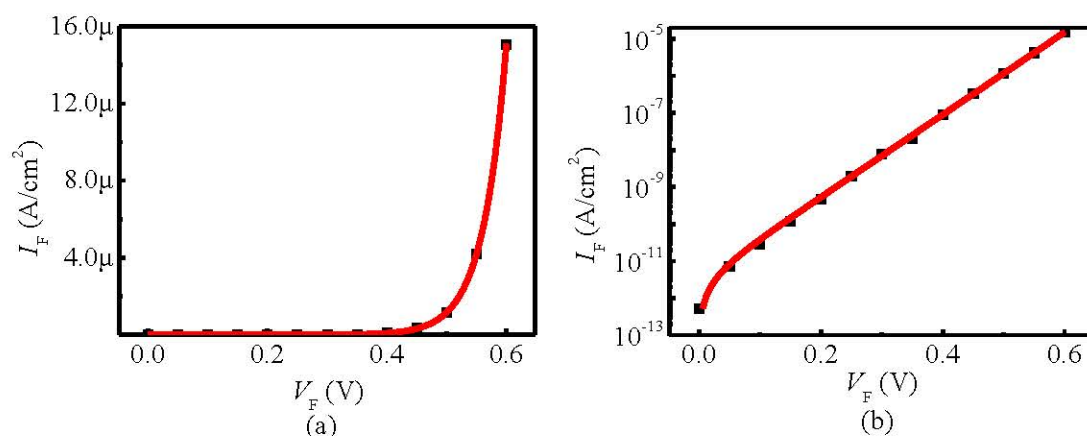


图 4-30 采用公式(4-4)和公式(4-5) 拟合所制备的凹槽阳极 GaN-on-Si SBD 的 I-V 特性。(a)线性坐标；(b)对数坐标

基于公式(4-4)和公式(4-5)提取的凹槽阳极 GaN-on-Si SBD 的理想因子和肖特基势垒高度如图 4-31 所示。所有的凹槽阳极 GaN-on-Si SBD 的理想因子均在 1.5 左右，肖特基势垒高度均在 0.82 eV 左右。但从图中可以看出，采用 Cl 基 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的理想因子和肖特基势垒高度的均匀性会随着刻蚀温度的提高有着明显的改善。在室温下采用 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的最大理想因子与最小理想因子之差超过了 0.7，最大肖特基势垒高度与最小肖特基势垒高度之差超过了 0.25 eV。而在 100℃ 和 180℃ 下

采用 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 的最大理想因子与最小理想因子之差均为 0.25 左右，最大肖特基势垒高度与最小肖特基势垒高度之差也均为 0.125 eV 左右。即基于高温 ICP 干法刻蚀技术制备的凹槽阳极 GaN-on-Si SBD 具有更好的一致性，这有利于工业化大规模生产凹槽阳极 GaN-on-Si SBD。

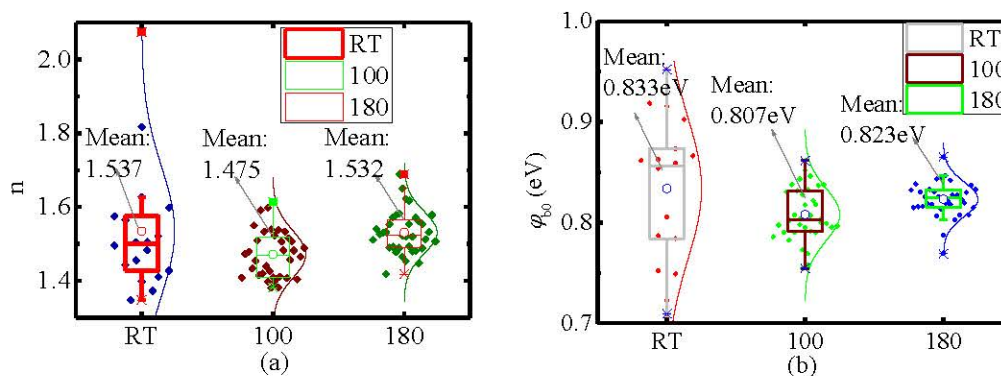


图 4-31 通过公式(4-4)和公式(4-5)拟合出的凹槽阳极 GaN-on-Si SBD 的参数。(a)理想因子；(b)肖特基势垒

表 4-2 部分刻蚀产物的熔沸点

刻蚀残余物	熔点	沸点
三氯化镓	78°C	201.3°C
二氯化镓	164°C	535°C
三氯化铝	194°C	178°C

### 4.3.3 低损伤凹槽工艺的物理机制

Cl 基 ICP 干法刻蚀技术是采用高频电场将刻蚀气体（本文中采用的刻蚀气体为氯气和三氯化硼气体）电离成为等离子体，然后利用等离子体来进行化学的和物理的（化学反应和物理轰击）作用来去除待刻蚀材料的过程。由于该刻蚀过程中没有使用溶液所以称为干法刻蚀。采用 Cl 基 ICP 干法刻蚀技术来刻蚀 AlGaIn/GaN 异质结材料就是采用等离子来轰击 AlGaIn/GaN 异质结材料，这不可避免的会对 AlGaIn/GaN 异质结材料造成一定的晶格损伤，如图 4-20(a)所示。Cl 基 ICP 干法技术刻蚀 AlGaIn/GaN 异质结材料形成的部分刻蚀产物的熔沸点如表 4-2 所示。这些刻蚀残余物的沸点熔点都比较高，常温下为固态，虽然部分刻蚀产物会被气流带走，但也有部分刻蚀产物会散落在器件表面，导致刻蚀表面变得比较粗糙（如图 4-32 所示），最终导致器件的均匀性变差。

工业中一般采用高温退火工艺来修复等离子体轰击对器件表面造成的损伤，因此本文所提出的高温 ICP 干法刻蚀技术一定程度上可以修复 Cl 基 ICP 干法刻蚀

技术刻蚀 AlGaIn/GaN 异质结材料时造成的晶格损伤。另外，高温也可以促进一些刻蚀产物挥发或者液化。部分液态的刻蚀残余物也会流向更低的位置，使刻蚀总是在较高的位置上，所以刻蚀表面会变得更加均匀。这些液态的残留物也会削弱 ICP 干法刻蚀技术引入的刻蚀损伤，因而低水平位置的刻蚀损伤会被削弱，如图 4-33 所示。所以基于高温 ICP 干法刻蚀技术制备的器件具有更好的均匀性和更高的载流子迁移率。

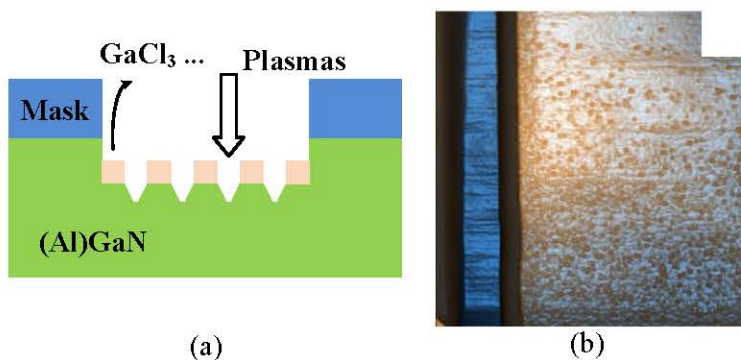


图 4-32 常规 Cl 基 ICP 刻蚀技术刻蚀势垒层后的刻蚀表面。(a)示意图；(b)AFM 测试图

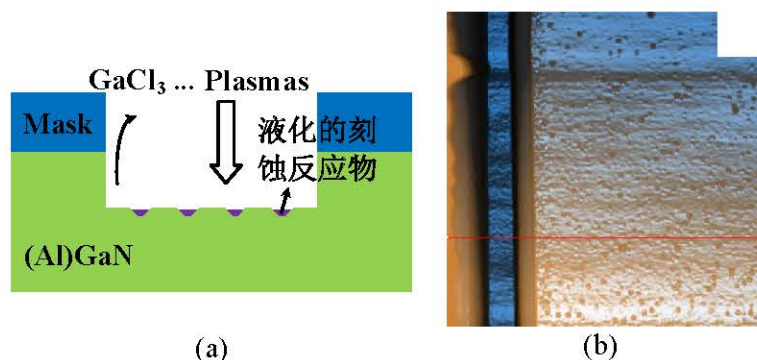


图 4-33 高温 Cl 基 ICP 刻蚀技术刻蚀势垒层后的刻蚀表面。(a)示意图；(b)AFM 测试图

#### 4.3.4 基于低损伤凹槽工艺的 GaN-on-Si 功率器件

具有刻蚀损伤低和刻蚀表面粗糙度低等优点的高温 ICP 刻蚀技术非常适合于制备凹槽栅增强型 GaN-on-Si MIS-HEMT（其结构和光学照片如图 4-34 所示）。对于凹槽栅增强型 GaN-on-Si MIS-HEMT 来说，减少器件凹槽处的刻蚀残余物和刻蚀损伤，可以有效地减少栅介质和半导体之间的界面受主型陷阱的浓度，及可以减小这些受主型陷阱对沟道迁移率的影响，最终可以缓解凹槽栅增强型 GaN-on-Si MIS-HEMT 开启与导通的矛盾关系。

##### (1) 器件制备

用于制备凹槽栅增强型 GaN-on-Si MIS-HEMT 的异质结外延片从下到上的外

延层分别为 AlN 层缓冲层, AlGaIn 应力控制层, 1.8  $\mu\text{m}$  GaN 高阻层, 200 nm 左右的 GaN 沟道层, 及 AlGaIn/GaN 异质结结构的势垒层 (含有 2 nm GaN 帽层, 25 nm  $\text{Al}_{0.22}\text{Ga}_{0.78}\text{N}$  势垒层以及 1 nm 左右的 AlN 插入层)。器件的制备流程如下:

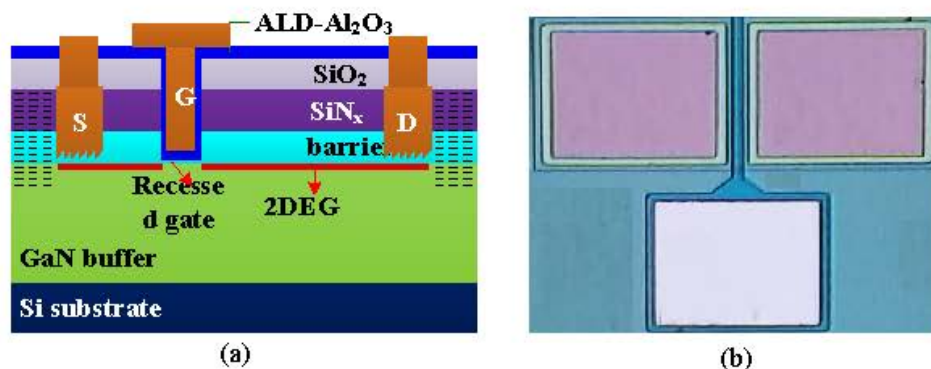


图 4-34 凹槽栅增强型 GaN-on-Si MIS-HEMT。(a)器件结构; (b)光学照片

a. 采用标准的 RCA 工艺清洗 AlGaIn/GaN 异质结外延片, 并去除 AlGaIn/GaN 异质结外延片表面的有机物、氧化物及金属沾污。首先采用丙酮-异丙醇-去离子水清洗工艺反复清洗异质结外延片表面去除异质结外延片表面的大部分有机物。再采用 SPM 溶液来清洗异质结外延片进一步减少异质结外延片表面的有机物。然后利用氢氟酸溶液来去除异质结外延片表面的自然氧化膜, 清洗时间一般为 1 分钟。最后采用 HPM 溶液去除异质结外延片表面的钠、铁、镁、铁和锌等金属沾污。

b. 采用低压力化学气相沉积工艺在 AlGaIn/GaN 异质结外延片表面生长一层 100 nm  $\text{SiN}_x$  作为钝化层。高温生长的 LPCVD- $\text{SiN}_x$  可以有效避免后续工艺对异质结外延片表面的影响, 抑制表面态的生成。

c. 用光刻胶定义欧姆接触区, 去除欧姆接触区的 LPCVD- $\text{SiN}_x$  钝化层。再次光刻显影定义欧姆接触区, 并用电子束蒸发工艺淀积 Ti/Al/Ni/Au 四层金属作为欧姆金属, 之后采用剥离工艺去除其他部分的金属。

d. 将异质结外延片放置在纯氮气环境下进行欧姆退火, 退火温度为 850  $^{\circ}\text{C}$ , 退火时间为 50 s。欧姆退火之前, 需要用丙酮-异丙醇-去离子水清洗工艺反复清洗异质结外延片, 确保 AlGaIn/GaN 异质结外延片表面没有残留的光刻胶。

e. 用光刻胶定义有源区, 并采用离子注入技术对进行器件隔离。隔离后, 可通过传输线结构的电流特性计算出欧姆接触的接触电阻。

f. 采用等离子体增强化学的气相沉积法在 AlGaIn/GaN 异质结外延片表面生长一层 40nm  $\text{SiO}_2$  作为高温刻蚀的阻挡层。生长 PECVD- $\text{SiO}_2$  之前, 需要用丙酮-异丙醇-去离子水清洗工艺反复清洗异质结外延片去除表面的有机物。

g. 用光刻胶定义凹槽栅极区域, 并去除凹槽阳极区域的 PECVD- $\text{SiO}_2$  以及

LPCVD-SiN<sub>x</sub>。

h. 采用高温 ICP 干法刻蚀技术刻蚀凹槽栅极区域的 AlGa<sub>N</sub> 势垒层, 刻蚀深度约为 27nm。在刻蚀的过程中, 刻蚀设备的 ICP 刻蚀功率为 50 W、射频功率为 15 W、刻蚀设备腔体的气体压强为 0.5 Pa、用于刻蚀 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结的氯气和三氯化硼等气体的流量分别为 8 sccm 和 2.5 sccm、刻蚀时间为 2 分钟。

i. 用丙酮-异丙醇-去离子水清洗工艺反复清洗异质结外延片去除表面的有机物, 并烘干。在原子层淀积设备中生长 18nm 厚的 Al<sub>2</sub>O<sub>3</sub> (ALD-Al<sub>2</sub>O<sub>3</sub>) 作为绝缘栅介质材料, 然后在纯氮氛围下 500℃退火 1 min 以加固绝缘栅介质。

j. 再次用光刻胶定义欧姆接触区, 并去除欧姆接触区的 PECVD-SiO<sub>2</sub> 阻挡层和绝缘栅介质材料。

k. 用光刻胶定义栅极接触区, 并用电子束蒸发技术淀积 Ni/Au 作为栅极金属。之后采用剥离工艺去除其他部分的金属, 并在 400℃中退火 4min, 加固栅金属电极。退火之前, 需要用丙酮-异丙醇-去离子水清洗工艺反复清洗异质结外延片, 确保 AlGa<sub>N</sub>/Ga<sub>N</sub> 异质结外延片表面没有光刻胶残留。所制备的凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的栅极宽度为 60 μm, 器件栅极长度为 1 μm, 栅极和源极之间间距为 2 μm, 栅极和漏极之间距离为 3 μm, 6 μm, 11 μm, 21 μm。

## (2) 凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的静态特性

图 4-35 和图 4-36 所示的是凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的转移特性和输出特性, 其中器件栅极和漏极之间的距离为 3 μm。同时还给出了同批制备的耗尽型 Ga<sub>N</sub>-on-Si HEMT 的转移特性和输出特性作为对比。从凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的输出特性可以看出, 器件在栅极电压为+10V 时的最大电流达到了 663 mA/mm, 器件的导通电阻为 8.78 Ω·mm。而耗尽型 Ga<sub>N</sub>-on-Si HEMT 的导通电阻只有 5.20 Ω·mm, 低于凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的导通电阻。这可能是因为当凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的势垒层几乎被刻蚀完之后, 由 ALD-Al<sub>2</sub>O<sub>3</sub>/(Al)Ga<sub>N</sub> 界面的界面态引起的界面散射效应和陷阱散射变得更加显著, 这会导致器件栅极区域沟道的 2DEG 迁移率显著降低, 从而导致所制备的凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 具有较大的导通电阻。有研究表明基于常规异质结的凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的栅极区域沟道的 2DEG 迁移率远远低于无凹槽器件的 2DEG 迁移率<sup>[28-30]</sup>。减少 ALD-Al<sub>2</sub>O<sub>3</sub>/(Al)Ga<sub>N</sub> 界面的界面态可以有效增加栅极区域沟道的 2DEG 迁移率。但值得注意的是所制备的耗尽型 Ga<sub>N</sub>-on-Si HEMT 的最大栅极电压不能超过+2V, 否则会导致器件栅极肖特基二极管的开启。这导致耗尽型 Ga<sub>N</sub>-on-Si HEMT 的最大工作电流小于凹槽栅增强型 Ga<sub>N</sub>-on-Si MIS-HEMT 的最大工作电流。

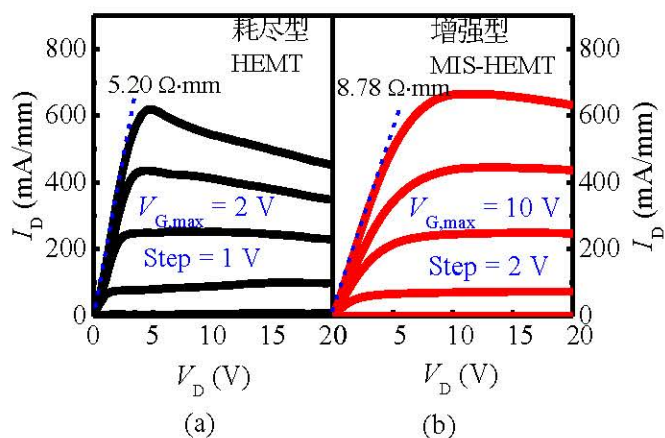


图 4-35 GaN-on-Si 功率器件的输出特性。(a)耗尽型 GaN-on-Si HEMT；(b) 凹槽栅增强型 GaN-on-Si MIS-HEMT

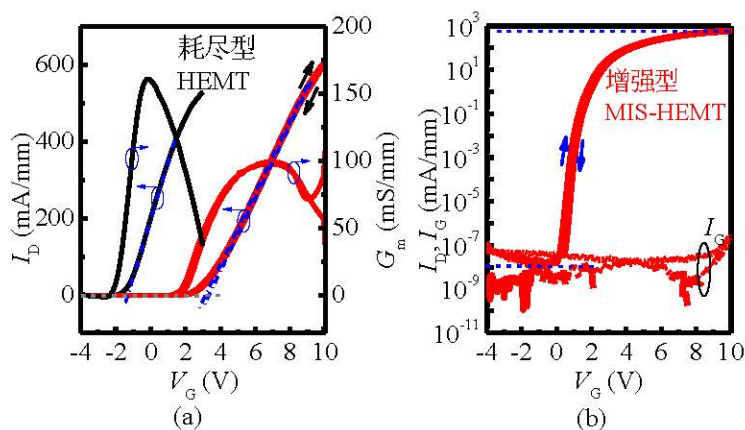


图 4-36 所制备的耗尽型 GaN-on-Si HEMT 和凹槽栅增强型 GaN-on-Si MIS-HEMT 的转移特性。(a)线性坐标下；(b)对数坐标下

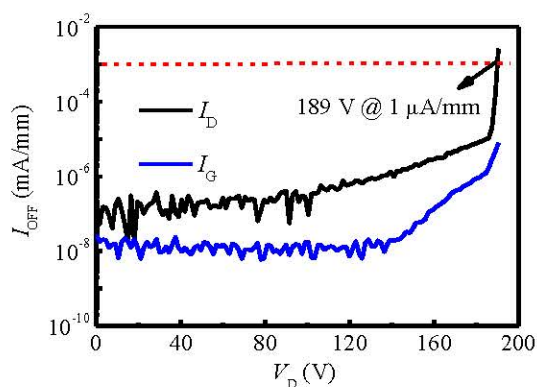


图 4-37 所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的击穿特性

从所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的转移特性(如图 4-36 所示), 器件的阈值电压为 3.2 V, 回滞电压为 0.3 V。较小的回滞电压说明

ALD- $\text{Al}_2\text{O}_3/(\text{Al})\text{GaN}$  界面的界面受主型陷阱被有效地减少了<sup>[29]</sup>。同时，还可以看出所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 具有较小的关态漏电流和栅极漏电流 ( $10^{-8}$  mA/mm)，器件的导通电流和关态漏电流之比为  $10^{10}$ 。所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的击穿特性如图 4-37 所示，器件的击穿电压达到了  $189 \text{ V}@1 \mu\text{A}/\text{mm}$ 。

图 4-38 所示的是具有不同栅漏间距的凹槽栅增强型 GaN-on-Si MIS-HEMT 的转移特性。随着器件栅漏间距的增大，器件的最大电流（栅极电压和漏极电压均为 10V）会逐渐减小。但是器件栅漏间距的变化对器件的栅极漏电以及阈值电压没有明显的影响。凹槽栅增强型 GaN-on-Si MIS-HEMT 的阈值电压总结如图 4-39 所示。可以看出，所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 具有较好的均匀性。这进一步说明了基于高温 ICP 干法刻蚀技术制备的器件具有较好的均匀性，这有利于工业化大规模生产凹槽栅 GaN-on-Si 增强型功率器件。

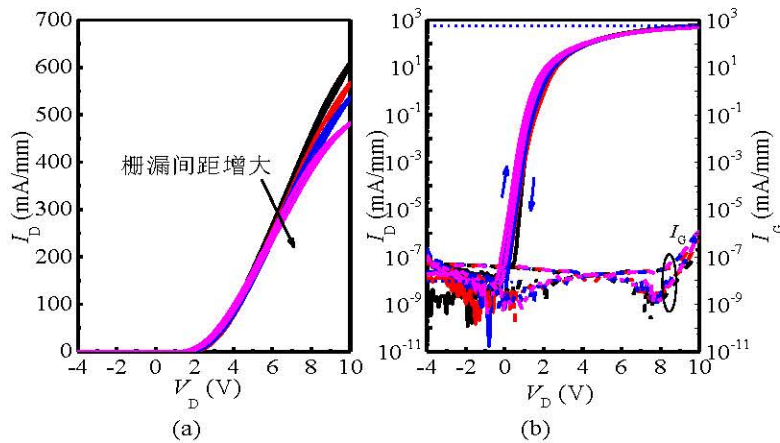


图 4-38 具有不同栅漏间距的凹槽栅增强型 GaN-on-Si MIS-HEMT 的转移特性。(a)线性坐标下；(b)对数坐标下

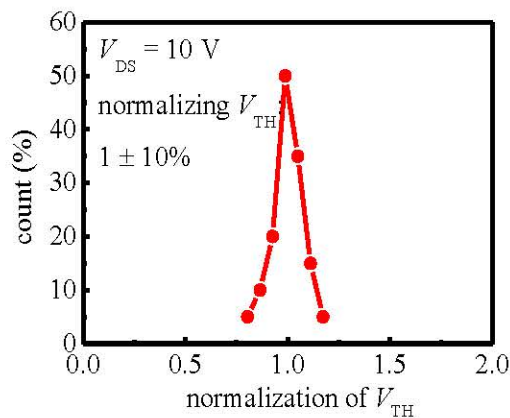


图 4-39 凹槽栅增强型 GaN-on-Si MIS-HEMT 阈值电压的均匀性

## (3) 凹槽栅增强型 GaN-on-Si MIS-HEMT 的动态特性

GaN-on-Si 功率器件工作在动态开关过程时, 器件的动态导通电阻会随着关态电压的增加而增大 (器件的动态导通电流会随着关态电压的增加而降低, 即电流崩塌现象)。所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的动态开关特性如图 4-40 所示。从图中可以看出, 在准静态电压为 $[(V_G, V_D) = (0, 0 \text{ V})]$ 时, 所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的饱和电流为  $752 \text{ mA/mm}$ , 超过器件的最大静态电流 ( $663 \text{ mA/mm}$ )。在准静态电压为 $[(V_G, V_D) = (-2, 20 \text{ V})]$ 时, 所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 发生了轻微的电崩塌现象。随着准静态漏极电压的增大, 器件的动态导通电阻逐渐增大。当准静态漏极电压从  $0 \text{ V}$  增加到  $60 \text{ V}$  时, 所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的动态导通电阻从  $8.55 \text{ } \Omega \cdot \text{mm}$  增加到了  $9.37 \text{ } \Omega \cdot \text{mm}$ , 即动态导通电阻大约只增加了  $10\%$ 。这表明 LPCVD-SiN<sub>x</sub> 钝化层可以有效地抑制了器件表面氧化物的生成<sup>[28]</sup>。另外, 凹槽栅增强型 GaN-on-Si MIS-HEMT 的电崩塌可能与残留界面氧化物有关的浅界面态有关, 或者与位于 2DEG 沟道附近的深能级陷阱有关<sup>[88-89]</sup>。这种解释可以通过以下事实得到支持: 在准静态电压为 $[(V_G, V_D) = (-2, 20/40/60 \text{ V})]$ 时, 所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的饱和电流超过了器件在准静态电压为 $[(V_G, V_D) = (0, 0 \text{ V})]$ 时的饱和电流。在脉冲测试过程中, 较高的开态漏极电压会产生大量的热电子, 这些热电子会被位于 2DEG 沟道附近的深能级陷阱俘获。而这些被位于 2DEG 沟道附近的深能级陷阱俘获的热电子不容易被释放, 这会部分耗尽沟道处的 2DEG, 从而导致器件电流的减少。但是较高的关态漏极电压可以有助于释放那些被深能级陷阱俘获的热电子, 从而会导致器件动态开关过程中饱和电流的增大。

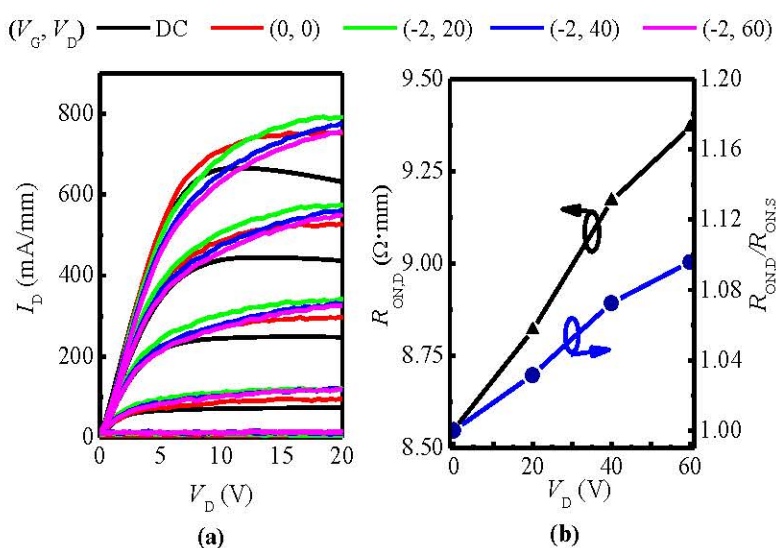


图 4-40 凹槽栅增强型 GaN-on-Si MIS-HEMT 的动态特性。(a)动态输出特性; (b)动态电阻

(4) 凹槽栅增强型 GaN-on-Si MIS-HEMT 的沟道迁移率

当凹槽栅增强型 GaN-on-Si MIS-HEMT 的势垒层几乎被完全刻蚀之后, 由 ALD-Al<sub>2</sub>O<sub>3</sub>/(Al)GaN 界面的界面态引起的界面散射效应和陷阱散射会变得更加显著, 这会导致栅极区域沟道的 2DEG 迁移率被显著降低。因此, 可以通过凹槽栅增强型 GaN-on-Si MIS-HEMT 栅极区域沟道处的 2DEG 迁移率的大小来评价一种凹槽栅工艺的好坏。这里利用宽栅长的凹槽栅 GaN-on-Si 增强型功率器件的转移特性来提取器件栅极区域沟道处的 2DEG 迁移率。器件栅极区域沟道处的低场 2DEG 迁移率 ( $\mu_{FE}$ ) 可以通过公式(4-6)提取<sup>[29]</sup>:

$$\mu_{FE} = g_m L / (WC_G V_D) \quad (4-6)$$

其中  $C_G$  为器件的栅极电容, 如图 4-41 所示。  $g_m$  是器件的低场跨导, 如图 4-42(a) 所示。  $L$  是器件的栅极长度 (44  $\mu\text{m}$ ),  $W$  为器件的宽度 (100  $\mu\text{m}$ ),  $V_D$  为器件漏极电压。器件栅极沟道处的 2DEG 迁移率与 2DEG 浓度的关系如图 4-42(b)所示。可以看出当 2DEG 浓度从  $1.0 \times 10^{12} \text{ cm}^{-2}$  增加到  $4.2 \times 10^{12} \text{ cm}^{-2}$  时, 2DEG 沟道的迁移率从  $45 \text{ cm}^2/\text{V}\cdot\text{s}$  增加到  $180 \text{ cm}^2/\text{V}\cdot\text{s}$ ; 当 2DEG 浓度继续增大时, 器件栅极区域沟道处的 2DEG 迁移率将会减小。在 2DEG 浓度较低时, 较低的 2DEG 迁移率可能是由于杂质散射和界面散射造成的。另外器件栅极区域沟道处的 2DEG 迁移率的最高值低于参考文献报道的 2DEG 迁移率, 这一方面可能是因为不同外延片的初始 2DEG 迁移率不同造成的, 另一方面栅极区域势垒层的厚度对 2DEG 迁移率也有较大的影响。为了制备出具有较大阈值电压的凹槽栅增强型 GaN-on-Si MIS-HEMT, 一般会完全掉刻蚀 AlGaN 势垒层或者仅保留很薄的 AlGaN 势垒层, 这时由 Al<sub>2</sub>O<sub>3</sub>/(Al)GaN 界面的界面态引起的界面散射效应和陷阱散射变得更加显著了。下面将通过所制备的凹槽栅增强型 GaN-on-Si MIS-HEMT 的总电容 ( $C_G$ ) 来估计处器件栅极区域剩余势垒层的厚度。

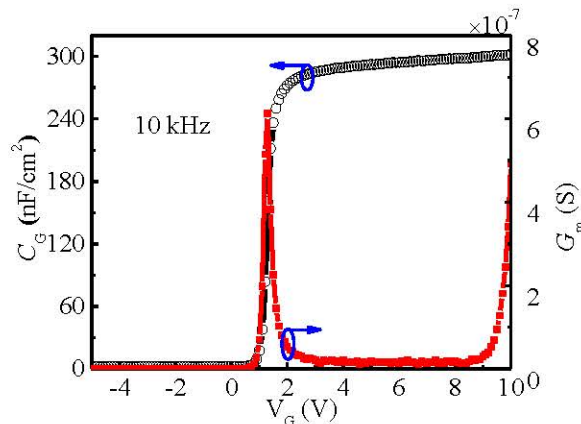


图 4-41 凹槽栅增强型 GaN-on-Si MIS-HEMT 的  $C$ - $V$  特性

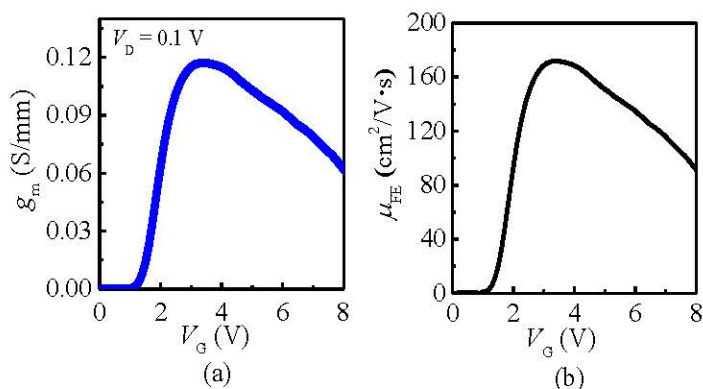


图 4-42 GaN-on-Si MIS-HEMT 的低场跨导和栅极区域沟道 2DEG 迁移率。(a)低场跨导 ( $g_m$ ); (b)栅极区域沟道 2DEG 迁移率

器件的总电容可以看成是器件栅介质电容 ( $C_{Al_2O_3}$ ), 势垒层电容 ( $C_{Al(Ga)N}$ ) 以及 2DEG 电容 ( $C_{2DEG}$ ) 的串联:

$$\frac{1}{C_G} = \frac{1}{C_{Al_2O_3}} + \frac{1}{C_{Al(Ga)N}} + \frac{1}{C_{2DEG}} \quad (4-8)$$

其中:

$$C_{Al(Ga)N} = \frac{\epsilon_{Al(Ga)N} \cdot \epsilon_0}{t_{Al(Ga)N}} \quad (4-8a)$$

$$C_{Al_2O_3} = \frac{\epsilon_{Al_2O_3} \cdot \epsilon_0}{t_{Al_2O_3}} \quad (4-8b)$$

$$C_{2DEG} = \frac{\epsilon_{GaN} \cdot \epsilon_0}{d_{2DEG}} \quad (4-8c)$$

其中  $t_{Al_2O_3}$  (~18 nm) 和  $t_{Al(Ga)N}$  分别是栅介质 ALD- $Al_2O_3$  的厚度和势垒层的厚度,  $d_{2DEG}$  是 2DEG 的中心与 AlGa<sub>x</sub>N/GaN 界面之间的距离, 大概是 2 nm<sup>[90]</sup>。栅介质 ALD- $Al_2O_3$  的相对介电常数为 6.6<sup>[91]</sup>, GaN 和 AlGa<sub>x</sub>N 的相对介电常数参考文献中的数据<sup>[92]</sup>。通过上述公式计算得出, 最终的势垒层仅剩 AlN, 厚度为 0.5 nm。这说明, 凹槽栅增强型 GaN-on-Si MIS-HEMT 的栅极沟道 2DEG 迁移率的降低主要是由 ALD- $Al_2O_3$ /AlN 界面的界面态以及势垒层中的边界陷阱的散射效应造成的<sup>[93]</sup>。图 4-43 对比了所制备器件的阈值电压、2DEG 迁移率与已发表的文献<sup>[30-31, 93-98]</sup>中器件的阈值电压、2DEG 迁移率。可以看出所制备器件同时具有较高的阈值电压和较高的 2DEG 迁移率, 均达到了当时国际先进水平, 这说明高温低损伤刻蚀工艺可以减小刻蚀损伤对器件 2DEG 沟道迁移率的影响, 缓解器件开启与导通的矛盾关系。

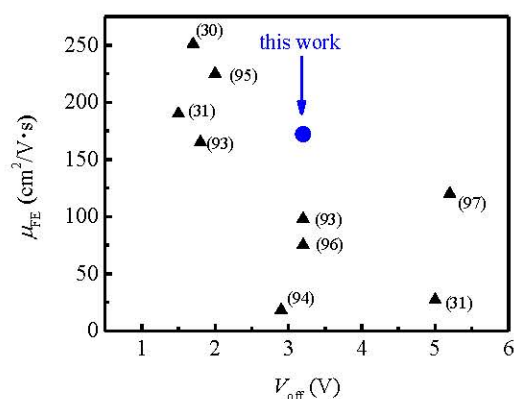


图 4-43 所制备器件的阈值电压、2DEG 迁移率与已发表的文献<sup>[30-31, 93-97]</sup>中器件的阈值电压、2DEG 迁移率的比较

#### 4.4 本章小结

本章在所提出的场控能带模型指导下，采用 Sch-MIS 混合漏极和缓变铝组分势垒层分别取代了传统器件的欧姆漏极和常规势垒层，提出了 GaN-on-Si 场控能带逆阻型功率器件。器件通过漏极 MIS 结构控制该区域的能带结构，实现器件的反向阻断能力；通过 Sch-MIS 混合漏极抑制漏致势垒降低效应，加强器件的反向阻断能力；通过缓变铝组分势垒层改变势垒层的能带结构，提高器件 2DEG 浓度和降低沟道电阻。该器件结合了 Sch-MIS 混合漏极的高反向阻断能力和缓变铝组份势垒层的高正向导通能力，使得所提出的器件的导通电压降低了 15%左右，反向阻断电压增大了 350%。进一步采用场控肖特基隧穿结取代了传统器件的栅极和欧姆源极，提出了无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件。该器件的源极和漏极均是肖特基接触，通过绝缘栅极控制源极肖特基结的能带结构，来实现器件的开启和关断。所提出的器件可在较低温度下制备，从而可以避免铝镓氮势垒层的表面被氧化，和防止器件动态电阻的增加。

为提高 GaN-on-Si 增强型功率器件的性能，开展了 GaN-on-Si 增强型功率器件凹槽刻蚀工艺的研究，提出了 GaN-on-Si 增强型功率器件的高温低损伤凹槽工艺。该工艺通过提高干法刻蚀工艺的刻蚀温度来降低刻蚀损伤和刻蚀表面粗糙度，减小器件栅介质与半导体界面处的陷阱电荷的浓度，从而减小了陷阱电荷所形成的电场对栅极区域能带结构和 2DEG 浓度的影响，同时减小了刻蚀损伤对器件 2DEG 沟道迁移率的影响，获得了高阈值电压 (+3.2 V)、高 2DEG 沟道迁移率 ( $180 \text{ cm}^2/\text{V}\cdot\text{s}$ ) 及高导通电流 (669 mA/mm) 的 GaN-on-Si 增强型功率器件，缓解了器件开启与导通的矛盾关系。

## 第五章 GaN-on-Si 增强型功率器件的场致退化机理

功率器件从产品到应用需要解决其可靠性相关的问题，目前已经报道了很多关于 GaN-on-Si 增强型功率器件可靠性的研究，如高温反偏实验、高温栅偏应力实验、短路安全工作区等<sup>[98-103]</sup>，但关于 GaN-on-Si 增强型功率器件的长期可靠性方面的问题尚需进行全方面地研究。由于 GaN-on-Si 增强型功率器件在激光探测和测距、等离子体点火器和混合动力汽车等新兴领域有着巨大的应用前景<sup>[104-105]</sup>，有必要对 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下的长期可靠性问题进行研究。在这些应用中，功率器件会长期承受脉冲过电流。功率器件工作在脉冲过电流模式时，将同时承受高瞬态电流和高瞬态电压，这会在短时间内导致较高能量损耗，并可能会引起热应力集中问题<sup>[106-107]</sup>。为保证功率系统具有良好长期可靠性，功率处理单元须能够长期承受脉冲过电流。为此，本章将研究 GaN-on-Si 增强型功率器件在经过多次脉冲过电流后，器件关态电流 ( $I_{DL}$ )、导通电阻 ( $R_{ON}$ )、栅极电流 ( $I_{GL}$ ) 和阈值电压 ( $V_{off}$ ) 的变化情况，并进行相关分析。

### 5.1 重复脉冲过电流实验

#### (1) RLC 电路

实验中采用 RLC 电路来产生重复脉冲过电流的，如图 5-1 所示<sup>[108]</sup>。图中  $V_{DD}$  为直流高压源； $R_C$  为充电电阻； $C$  为充电电容，也是放电电容，为了保证充电电容能储存足够的能量以及快速放电，实验中采用  $1\mu\text{F}$  的大电容器（在选取充电电阻和充电电容时还应保证充电时间常数远小于测试周期）； $L_P$  为电路中的寄生电感； $R_L$  为放电电阻，也是限流电阻—将脉冲测试时流过待测试器件的脉冲电流限制为  $V_{DD}/R_L = 100\text{A}$ ；DUT 为待测试的 GaN-on-Si 增强型功率器件；Driver 为 GaN-on-Si 增强型功率器件的栅极驱动；AC 为脉冲信号发生器，为待测试的 GaN-on-Si 增强型功率器件提供脉冲驱动信号，脉冲测试过程中器件的栅极驱动信号从  $0\text{V}$  到  $+7\text{V}$  跳变。

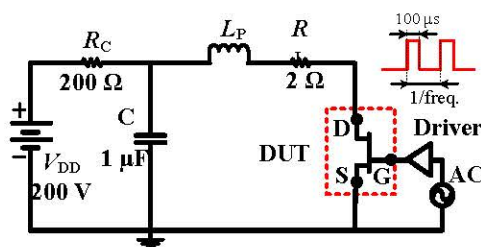


图 5-1 用于产生重复脉冲过电流的 RLC 电路<sup>[108]</sup>

图 5-1 所示的 RLC 电路由一个充电电路和一个放电电路组成。充电电路包含直流高压源  $V_{DD}$ 、充电电阻  $R_C$ ，充电电容  $C$ ；放电电路包含放电电容  $C$ ，电路中的寄生电感  $L_P$ ，放电电阻  $R_L$ ，待测试的 GaN-on-Si 增强型功率器件。

RLC 电路的工作原理如下<sup>[108]</sup>：

当电路中 GaN-on-Si 增强型功率器件的栅极驱动信号为 0V 时，器件处于关断状态，放电回路处于断路状态。直流高压源  $V_{DD}$  将通过充电电阻  $R_C$  给充电电容  $C$  充电，如图 5-2(a)所示。当电容的充电时间等于充电电路的充电时间常数 ( $\tau_1 = R_C C = 200 \mu\text{s}$ ) 时，充电电容  $C$  两端的电压将会到达  $0.63V_{DD}$ ；当电容的充电时间等于  $3\tau_1$  时，充电电容  $C$  两端的电压将会到达  $0.95V_{DD}$ ；当电容的充电时间等于  $5\tau_1$  时，充电电容  $C$  两端的电压将会到达  $0.99V_{DD}$ 。实验中为了保证充电电容  $C$  两端的电压能够达到直流高压源  $V_{DD}$  提供的直流电压，应保证充电电容  $C$  的充电时间远大于充电电路的充电时间常数。实验中测试的周期均大于 10ms，且电容的充电时间也均大于 10ms，即均远大于充电电路的充电时间常数。

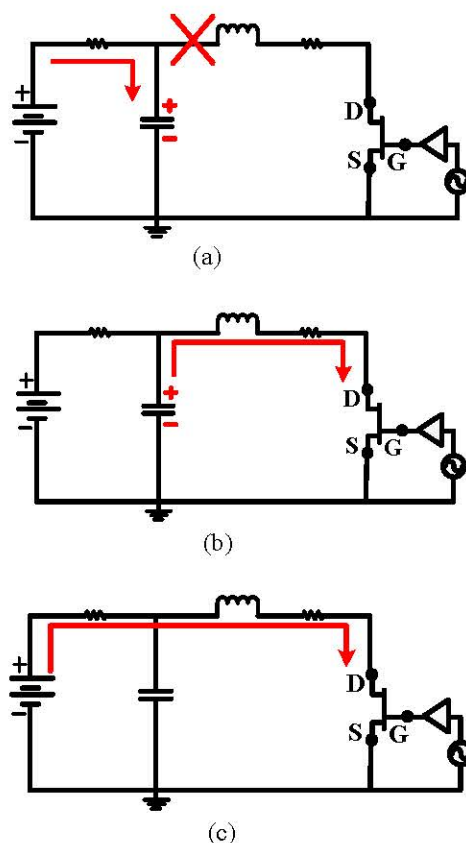


图 5-2 RLC 电路的工作原理。(a)电容充电；(b)电容放电；(c)电容完全放完电

当充电电容  $C$  完成充电后，将 GaN-on-Si 增强型功率器件开启，充电电容  $C$  中存储的能量将通过放电电路瞬间放电，此时会有较高的瞬态电流（约为  $V_{DD}/(R_L +$

$R_{ON}=90\text{ A}$ ，大于器件的额定电流) 流过器件，如图 5-2(b)所示。为确保充电电容 C 中存储的能量能够在器件瞬间开态期间里被完全释放，器件的开启时间应远大于放电电路的放电时间常数 ( $\tau_2 = R_L C = 2\text{ }\mu\text{s}$ )。测试中，GaN-on-Si 增强型功率器件的重复瞬间开态时间均为  $100\text{ }\mu\text{s}$ 。

在 GaN-on-Si 增强型功率器件的瞬间开态期间里，当电容器 C 中存储的能量被完全释放后，器件将保持一个较低的开态电流，约为  $V_{DD}/(R_C + R_{ON}) = 1\text{ A}$ ，如图 5-2(c)所示。因此为了避免这个开态电流对测试的影响，应选取较大阻值的充电电阻  $R_C$ 。当 GaN-on-Si 增强型功率器件再次被关断后，直流高压源  $V_{DD}$  将会再次通过充电电阻  $R_C$  给充电电容 C 充电。即当 GaN-on-Si 增强型功率器件不断的重复关断和开启，电容会不断的充放电，而将不断会有脉冲过电流流过器件。另外，在脉冲过电流流过 GaN-on-Si 增强型功率器件时，器件也保持较大的导通压降。即在重复脉冲过电流测试中，GaN-on-Si 增强型功率器件将会不断地同时承受高瞬态电流和高瞬态电压（高瞬态电场），这会在短时间内导致较高能量损耗，并可能会引起热应力集中问题。

## (2) 实验设置

因为高压器件的重复脉冲过电流模式下的长期可靠性问题可能更严重，实验中选用额定电压为 650V 和额定电流为 30A 的商用 P 型栅 GaN-on-Si 增强型功率器件 (GS66508T)。为区分不同测试条件下的重复脉冲过电流对 GaN-on-Si 增强型功率器件的影响，每个测试条件只对应一个 GaN-on-Si 增强型功率器件。在进行重复脉冲过电流实验之前，选择了 13 个静态特性一致的商用 P 型栅 GaN-on-Si 增强型功率器件。这 13 个器件具有相同的关态电流、导通电阻、栅极漏电流和阈值电压。

表 5-1 重复脉冲过电流实验的测试条件

待测试器件	脉冲次数	脉冲频率	外加电压	脉冲电流
1 <sup>#</sup> ~7 <sup>#</sup>	2k/20k/200k/ 500k/2M/5M/8M	15 Hz	200V	90A
8 <sup>#</sup> ~11 <sup>#</sup>	200 k	5/10/40/60Hz	200V	90A
12 <sup>#</sup>	200 k	15 Hz	200V	60A
13 <sup>#</sup>	200 k	15 Hz	100V	90A

首先将保持相同的测试频率 (15 Hz)、相同的脉冲峰值电流 (90 A)、相同的外加电压 (200 V)，研究 GaN-on-Si 增强型功率器件在经过不同次数的重复脉冲过电流之后器件静态特性的变化。测试次数分别为 2000 (2k) 次、20k 次、200k 次、500k 次、二百万次 (2M)、5M 次以及 8M 次。同时，还将研究脉冲频率、脉冲电流和外加电压对 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下长期可靠性

的影响。在相同的脉冲次数 200K 下，研究 GaN-on-Si 增强型功率器件在经过不同脉冲频率、脉冲电流和外加电压的重复脉冲过电流之后器件静态特性的变化。表 5-1 总结本次重复脉冲过电流实验的测试条件。当所有的 GaN-on-Si 增强型功率器件都经过重复脉冲过电流测试后，将测试所有器件的静态特性，以评估 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下的长期可靠性问题。最后，将采用 TCAD Sentaurus 来模拟 GaN-on-Si 增强型功率器件的重复脉冲过电流实验，研究 GaN-on-Si 增强型功率器件在经过多次脉冲过电流后的退化机制。

## 5.2 场致退化机理

### 5.2.1 结果与讨论

图 5-3 所示的是 GaN-on-Si 增强型功率器件在第一次脉冲时和第 8M 次脉冲时的脉冲电压波形图和脉冲电流波形图。从图中可以看出，在进行重复脉冲过电流测试时，有峰值为 90A 的脉冲电流 ( $I_{\text{pulse}}$ ) 流过 GaN-on-Si 增强型功率器件，该脉冲峰值电流是器件额定电流的 3 倍。同时 GaN-on-Si 增强型功率器件还保持较大的导通压降。高瞬态电流和高瞬态电压的同时出现会导致器件产生较大的功耗 ( $PD = V_{\text{DS}} \times I_{\text{pulse}}$ )，如图 5-3 所示。在进行重复脉冲过电流测试时，GaN-on-Si 增强型功率器件开启后的最大功耗高达 5.2kW，在器件开启 1  $\mu\text{s}$  内的平均功耗达到了 2.3 kW。从图 5-3 还可看出，GaN-on-Si 增强型功率器件第一次脉冲时的脉冲波形图和第 8M 次脉冲时的脉冲波形图之间没有显著的差异。这初步表明 GaN-on-Si 增强型功率器件能承受重复多次的脉冲过电流。但还需要对 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下的长期可靠性进行全面的评估。

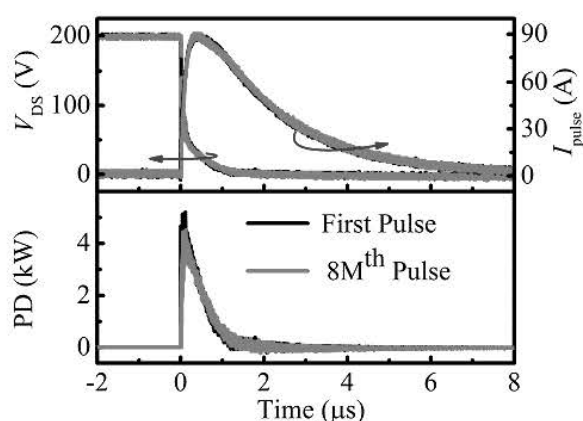


图 5-3 RLC 电路的脉冲电压和脉冲电流波形图

GaN-on-Si 增强型功率器件在经过不同次数的脉冲过电流测试后的转移特性曲线如图 5-4 所示。从图中可以看出，在经过多次脉冲过电流测试后，被测器件的

转移特性曲线几乎没有任何变化，可以推断出器件的阈值电压没有变化。然而，GaN-on-Si 增强型功率器件的导通电流会随着脉冲次数的增加而减小，如图 5-5(a) 所示。与未经过脉冲过电流测试的 GaN-on-Si 增强型功率器件相比，经过 500k 次的脉冲过电流测试的器件的导通电阻从 45.0 mΩ 增加到 54.3 mΩ，增加了 20.7%。脉冲过电流测试后 GaN-on-Si 增强型功率器件的导通电阻变化率 ( $\Delta R_{on}$ ) 与脉冲次数的关系如图 5-5(b) 所示。定义  $R_{on,initial}$  为器件的初始导通电阻，定义  $R_{on,after}$  为器件经过脉冲测试后的导通电阻，定义导通电阻变化率  $\Delta R_{on}$  为  $(R_{on,initial} - R_{on,after})/R_{on,initial}$ 。从图 5-5(b) 可以看出器件的导通电阻会随着脉冲次数的增加而增大。在器件经过 500k 次的脉冲过电流测试后，器件的导通电阻趋于饱和。器件导通电阻的增加可能是由于在脉冲过电流测试时高的瞬态电流和瞬态电压导致器件产生了缺陷，部分陷阱捕获电子后成负电特性。由所建立的 GaN-on-Si 增强型功率器件场控能带模型可以看出，带负电的电离受主所形成的电场会抬高异质结的能带，进而会减少异质结沟道中 2DEG (如图 5-6 所示) 和增加器件的沟道导通电阻。

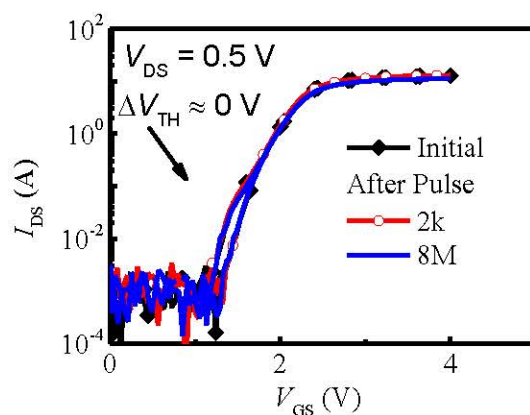


图 5-4 GaN-on-Si 增强型功率器件脉冲前后的转移特性曲线

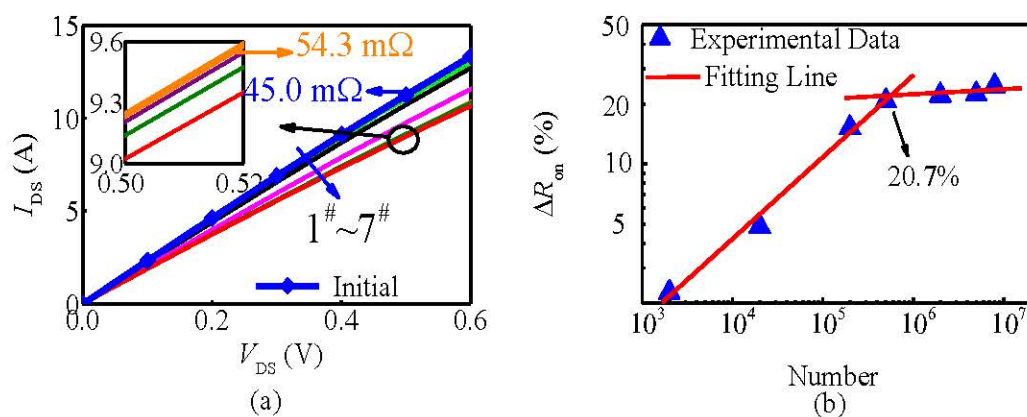


图 5-5 脉冲测试后 GaN-on-Si 增强型功率器件的特性。(a)导通电流；(b)导通电阻变化率

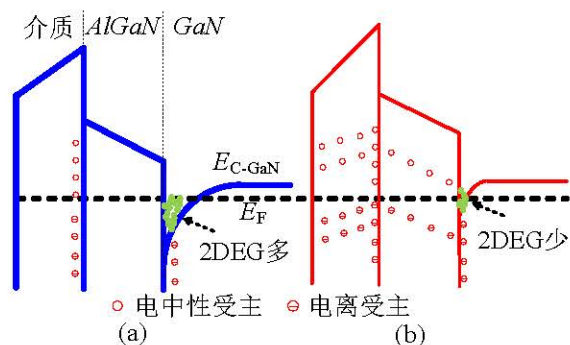


图 5-6 带负电的电离受主型陷阱对异质结能带结构和 2DEG 的影响。(a)脉冲前；(b)脉冲后

图 5-7 所示的 GaN-on-Si 增强型功率器件关态特性的双向曲线证明了受主型陷阱的存在。对于经过 5M 次的脉冲过电流测试的器件，关态特性的双向曲线存在明显的差异，这表明该器件中存在着较多的受主型陷阱。如文献[109-110]所述，在进行器件关态特性的双向测试时，“向上”扫描后会大量受主型陷阱俘获电子而带负电；之后在“向下”扫描过程中，部分受主型陷阱仍然带负电荷。带负电的电离受主所形成的电场会抬高能带，这将导致额外电子势垒的产生，如图 5-8 所示。额外产生的势垒在一定程度上可以削弱陷阱辅助隧穿过程。因此，在进行器件关态特性的双向测试时，“向下”扫描时测得的关态电流低于“向上”扫描时测得的关态电流。

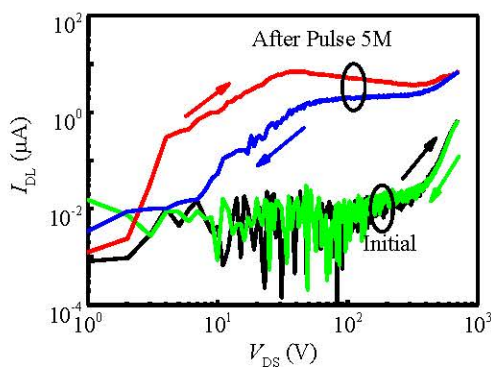


图 5-7 器件关态特性的双向曲线

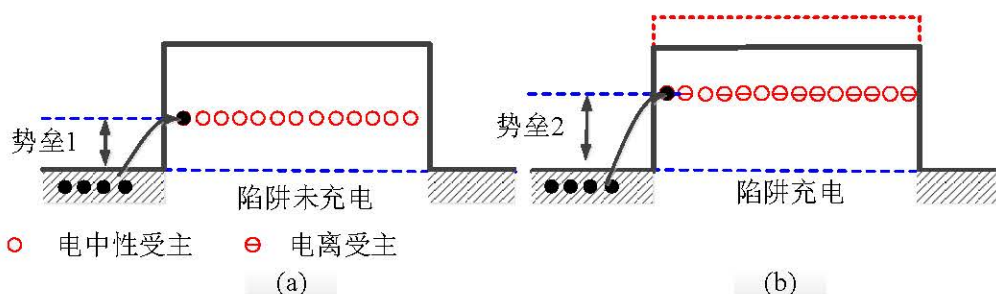


图 5-8 受主型陷阱对电子隧穿势垒的影响。(a)陷阱充电前；(b)陷阱充电后

### 5.2.2 器件特性的退化机理

为研究 GaN-on-Si 增强型功率器件在经过重复脉冲过电流后器件静态特性的退化机制，这里采用 TCAD Sentaurus 来模拟 GaN-on-Si 增强型功率器件的重复脉冲过电流实验，一方面为了阐明器件在经过重复脉冲过电流后产生受主型陷阱的机制，另一方面为了确定器件在经过多次脉冲过电流后失效的位置。图 5-9 给出了器件在脉冲测试期间最大瞬态功耗时的总电场 ( $E$ ) 分布。在脉冲过电流测试时，器件的最大电场接近器件源极场板边缘。高瞬态电流和高瞬态电场的同时出现会在器件的源极场板边缘下产生大量热量 ( $E \times I_{\text{pulse}}$ )，如图 5-9 所示。由于这些热量很难在短时间内耗散掉，进而会在器件的场板边缘产生热点，并且在器件的源极场板边缘下面会出现较大的热应力。随着脉冲次数的增加，热应力问题因热量的聚集而变得更加严重（如图 5-9 所示），从而产生大量的受主型陷阱。这些受主型陷阱俘获电子所形成的的电场会抬高异质结的能带，进而会部分耗尽异质结沟道中 2DEG（如图 5-6 所示）和增大器件的导通电阻。然而，受主型陷阱的数量最终会变得饱和，器件的导通电阻将不再继续增加。

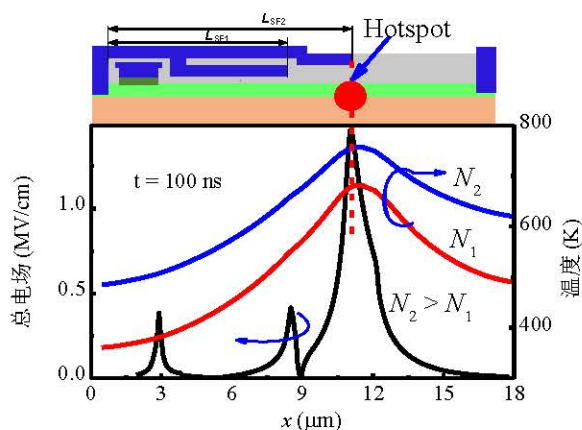


图 5-9 器件在脉冲测试期间的最大瞬态功耗时的总电场分布及温度分布

为了验证上述分析，进一步给出了重复脉冲频率、脉冲电流和外加电压对 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下长期可靠性的影响，如图 5-10 所示。从图 5-10(a)可以看出，器件的导通电阻会随着重复脉冲频率的增加而增大，这进一步说明了器件导通电阻的增加是热应力集中引起的受主型陷阱所导致的。因为在脉冲过电流测试中，重复脉冲频率的增加会导致器件更快地产生功耗。这些产生热量很难在短时间内耗散掉，从而导致更多的热量积累，进而会导致更加严重的热应力问题，以及会导致受主型陷阱数量的增加。图 5-10(b)给出经过不同峰值脉冲电流和不同外加电压的脉冲过电流测试后，GaN-on-Si 增强型功率器件

的导通特性。可以看出，与未经过脉冲过电流测试的 GaN-on-Si 增强型功率器件相比，经过 200V/90A/200k 脉冲过电流测试的器件的导通电阻增加了 14.9%。而经过 100V/90A/200k 脉冲过电流测试和 200V/60A/200k 脉冲过电流测试的器件，器件静态特性在脉冲前后基本没有任何变化。这说明要使 GaN-on-Si 增强型功率器件的静态特性在经过重复脉冲测试后出现退化必须要足够高的外加电压和足够高的峰值脉冲电流同时出现。这说明器件中受主型陷阱的产生是由热应力造成的，而不是电应力。此外，可以推断出在更高的外加电压下，重复脉冲过电流对 GaN-on-Si 增强型功率器件的影响将更加严重。

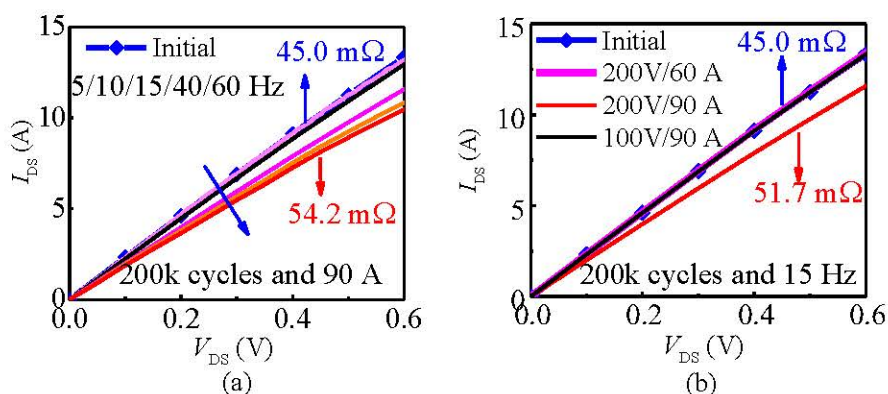


图 5-10 脉冲测试条件对器件导通电阻的影响。(a)重复脉冲频率；(b)脉冲电流和外加电压

图 5-11 所示的是 GaN-on-Si 增强型功率器件在经过不同次数的脉冲过电流测试后的正向阻断特性曲线。从图中可以看出，当器件经过脉冲过电流测试的次数少于 200k 次时，器件的关态漏电基本保持不变。而当器件经过脉冲过电流测试的次数大于 200k 次时，器件的关态漏电会急剧增加。特别是当器件经过 8M 次脉冲过电流测试时，器件的关态漏电发生了严重的退化。正如上面所述，在重复脉冲过电流测试过程中，由于被测试器件会同时受到高瞬态电流和高瞬态电场的作用，从而会在器件源极场板边缘下方出现较大的热应力，这最终导致在被测试器件的源极场板边缘下方会产生大量的受主型陷阱。随着脉冲过电流测试次数的增加，被测试器件的源极场板边缘下方积累的受主型陷阱会越来越多。这些受主型陷阱会加强陷阱辅助隧穿，导致器件的关态漏电增加<sup>[111-112]</sup>。当被测试器件经过足够次数的脉冲过电流测试后，器件源极场板边缘下方积累的受主型陷阱积累的足够多时，就会在器件的钝化层形成一条电流路径 ( $I_{DL1}$ )，连通器件源极场板和 2DEG 沟道，如图 5-12 所示。这条额外的电流路径的形成会导致器件关态漏电的急剧增加。当这条额外的电流路径形成后，器件源极场板边缘的电场将会被抑制，器件源极场板边缘将不再会大量出现新的受主型陷阱。器件中的受主型陷阱将不再会

随着脉冲过电流的测试次数的增加而急剧增加。这就是在经过脉冲过电流测试的次数超过 500k 次后，器件的导通电阻呈现出饱和特性的原因。

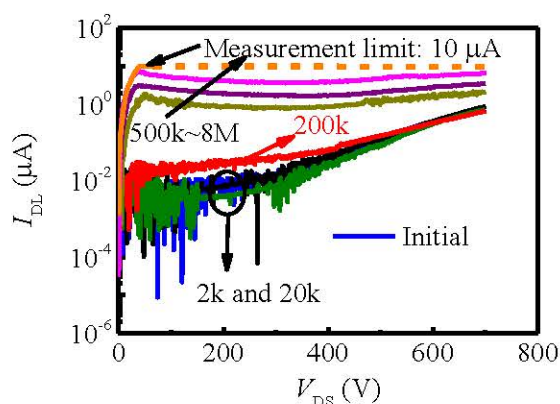


图 5-11 脉冲测试后 GaN-on-Si 增强型功率器件的正向阻断特性曲线

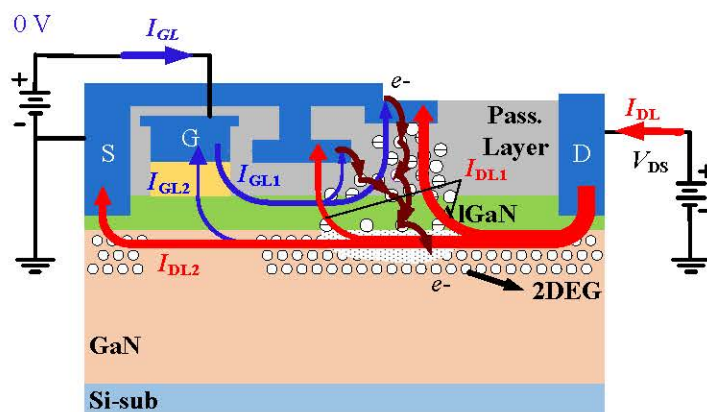


图 5-12 脉冲测试后器件的关态电流路径

图 5-13 所示的是的 GaN-on-Si 增强型功率器件在经过不同次数的脉冲过电流测试后的关态栅极漏电和正向栅极漏电。从图中可以看出，在经过脉冲过电流测试后器件关态栅极漏电流的大小没有明显的改变。在经过 500k 次脉冲过电流测试后，器件关态栅极漏电流的零点从 0V 变成了 400V。如前所述，当被测试器件经过足够次数的脉冲过电流测试后，器件源极场板边缘下方会积累大量的受主型陷阱。这些受主型陷阱捕获电子后所形成的次级电场会导致器件栅极的电位略高于器件源极场板的电位，从而会形成一个从栅极流向器件源极场板的附加关态栅极电流 ( $I_{GL1}$ )<sup>[113-115]</sup>。这个附加的关态栅极电流会补偿原始栅极关态电流 ( $I_{GL2}$ )，所以器件的关态栅极漏电会发生零点漂移 (Zero Shift)。为了验证上述分析，这里给出了器件在经过 500k 次脉冲过电流测试后的正向栅极电流，如图 5-13(b)所示。可以看出，经过脉冲过电流测试后，器件在栅极电压为 0.2V 时的正向栅极电流增加了

5 个数量级左右。这表明即使栅极电位只比源极场板电位高 0.2V，也会有较大的电流从栅极流向源极场板。

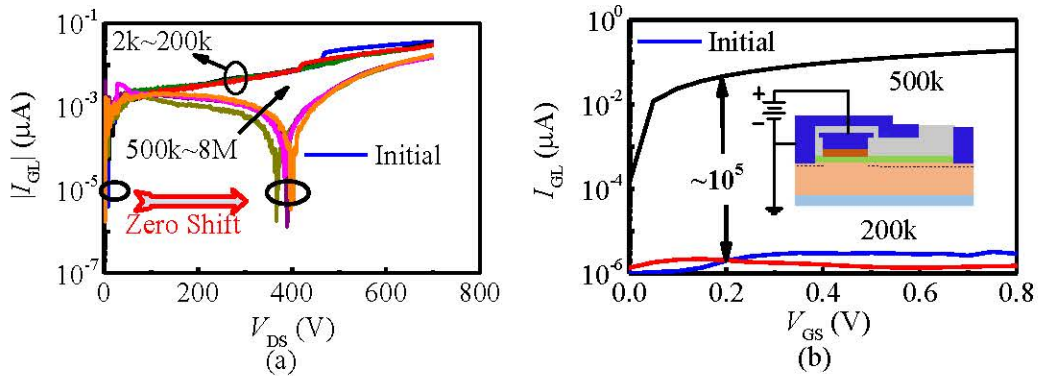


图 5-13 脉冲测试后器件的栅极漏电。(a)关态栅极漏电流；(b)正向栅极漏电流

### 5.3 本章小结

本章分别研究了脉冲次数、脉冲电流、脉冲频率以及外加电压对 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下长期可靠性的影响。研究表明当 GaN-on-Si 增强型功率器件经过足够多脉冲次数、足够大脉冲电流、足够高脉冲频率以及足够大外加电压的重复脉冲过电流测试后，器件的导通电阻和关态电流会发生退化，以及栅极漏电会发生零点漂移。同时，还分析了器件在经过重复过电流测试后器件静态特性退化机制，提出了 GaN-on-Si 增强型功率器件的场致退化机理。通过实验分析和模拟仿真发现 GaN-on-Si 增强型功率器件在重复脉冲过电流测试时，器件要同时承受高瞬态电流和高瞬态电场。大电流和高电场的同时出现会在器件的源极场板边缘下产生大量热量，导致器件的源极场板边缘下面出现较大的热应力，从而导致在器件的源极场板边缘下面出现陷阱。陷阱的产生一方面会耗尽沟道的一部分 2DEG，导致器件导通电阻的增加；另一方面会连通源极场板和 2DEG 沟道，为器件关态电流提供一条额外的通道，导致器件关态漏电的增加。

## 第六章 总结与展望

### 6.1 全文总结

本文针对 GaN-on-Si 功率半导体技术在发展中所面临的一些问题,开展了 GaN-on-Si 增强型功率器件的理论模型、新结构、关键工艺及可靠性的研究。首先研究了 GaN-on-Si 增强型功率器件的场控能带机理,建立了 GaN-on-Si 增强型功率器件场控能带模型,为研究 GaN-on-Si 增强型功率器件提供了理论基础和指导思想。在该模型的指导下,提出了 GaN-on-Si 场控能带逆阻型功率器件和 GaN-on-Si 场致隧穿逆阻型功率器件,为实现 GaN-on-Si 器件的反向阻断能力提供了新的技术方案;提出了高温低损伤凹槽工艺,有效地提高 GaN-on-Si 增强型功率器件的性能;研究了脉冲过电流对 GaN-on-Si 增强型功率器件长期可靠性的影响,提出了 GaN-on-Si 增强型功率器件的场致退化机理。具体内容如下:

(1) 建立了 GaN-on-Si 增强型功率器件场控能带模型。研究了 GaN-on-Si 增强型功率器件的场控能带机理,分析了 GaN-on-Si 增强型功率器件的器件结构、材料结构、陷阱电荷及外加电场对器件的能带结构和 2DEG 浓度的影响机制,揭示了恒定密度的陷阱电荷和 2DEG 浓度的关系,进一步引入了陷阱电荷密度与外加电场和陷阱电荷分布函数的关系,从而建立了 GaN-on-Si 增强型功率器件场控能带模型,并提出了一种界面陷阱电荷分布函数的提取方法。所提出的场控能带模型不仅可以准确地预测出器件的费米能和 2DEG 浓度,还能够准确地反应出器件栅控能力与陷阱电荷的关系。

(2) 提出了 GaN-on-Si 增强型功率器件的场控新结构。在所建立的场控能带模型指导下,采用 Sch-MIS 混合漏极和缓变铝组分势垒层分别取代了传统器件的欧姆漏极和常规势垒层,提出了 GaN-on-Si 场控能带逆阻型功率器件。该器件通过漏极 MIS 结构控制该区域的能带结构,实现器件的正向导通和反向阻断;利用 Sch-MIS 混合漏极抑制漏致势垒降低效应,加强器件的反向阻断能力;采用缓变铝组分势垒层改变势垒层的能带结构,提高 2DEG 浓度。结合 Sch-MIS 混合漏极的高反向阻断能力和缓变铝组份势垒层的高正向导通能力,所提出的器件的导通电压降低了 15%左右,反向阻断电压增大了 350%。进一步采用场控肖特基隧穿结构取代了传统器件的栅极和欧姆源极,提出了无欧姆接触的 GaN-on-Si 场致隧穿逆阻型功率器件。该器件的源极和漏极均是肖特基接触,通过绝缘栅极控制源极肖特基结的能带结构,来实现器件的开启和关断。所提出的器件可在较低温度下制备,可以避免 AlGaIn 势垒层的表面被氧化。

(3) 提出了 GaN-on-Si 增强型功率器件的高温低损伤凹槽工艺。为提高 GaN-on-Si 增强型功率器件的性能,开展了 GaN-on-Si 增强型功率器件凹槽刻蚀工艺的研究,提出了 GaN-on-Si 增强型功率器件的高温低损伤凹槽工艺。该工艺通过提高干法刻蚀工艺的刻蚀温度来降低刻蚀损伤和刻蚀表面粗糙度,减小器件栅介质与半导体界面处的陷阱电荷的浓度,从而减小了陷阱电荷所形成的电场对栅极区域能带结构和 2DEG 浓度的影响,同时减小了刻蚀损伤对器件 2DEG 沟道迁移率的影响,获得了高阈值电压、高 2DEG 沟道迁移率及高导通电流的 GaN-on-Si 增强型功率器件,缓解了器件开启与导通的矛盾关系。

(4) 提出了 GaN-on-Si 增强型功率器件的场致退化机理。在所建立的场控能带模型指导下,研究了脉冲过电流对 GaN-on-Si 增强型功率器件长期可靠性的影响,发现了 GaN-on-Si 增强型功率器件在经过 50 万次的脉冲过电流测试后,器件的导通电阻增加了 20.7%,关态漏电增加了上百倍,通过实验分析和模拟仿真研究了 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下的退化机制,提出了 GaN-on-Si 增强型功率器件的场致退化机理。

## 6.2 后续工作展望

本文对 GaN-on-Si 增强型功率器件场控机理与新结构展开深入的研究,建立了 GaN-on-Si 增强型功率器件场控能带模型,提出了 GaN-on-Si 增强型功率器件场控能带新结构,开发了 GaN-on-Si 增强型功率器件低损伤凹槽工艺,研究了 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下的长期可靠性,取得了一定的进展和科研成果,但是我们的研究工作将进步深入下去,我们对未来工作的展望总结如下:

第一、本文研究了 GaN-on-Si 增强型功率器件的场控机理,并建立了 GaN-on-Si 增强型功率器件场控能带模型。但是该模型仅用于计算栅极沟道处的 2DEG 浓度,尚未用于计算器件的工作电流的大小,无法直接指导器件的电路设计。拟继续开展相关研究,获得器件的电流模型和电路模型。

第二、本文仅采用仿真软件验证了所提出的两种 GaN-on-Si 氮化镓功率器件新结构,尚未研究工艺条件对器件特性的影响。拟开展相关的实验来验证所提出的 GaN-on-Si 场控能带逆阻型功率器件和 GaN-on-Si 场致隧穿逆阻型功率器件,并进行相关的优化设计。

第三、本文研究了 GaN-on-Si 增强型功率器件在重复脉冲过电流条件下的长期可靠性,提出了 GaN-on-Si 增强型功率器件的场致退化机理,但尚未研究出改善 GaN-on-Si 增强型功率器件长期可靠性的方法。拟继续开展相关的实验,获得改善 GaN-on-Si 增强型功率器件长期可靠性的方法。

## 致 谢

不知不觉我进入电子科技大学功率集成技术实验室读研加读博已经六年了，在这六年里发生了许多让我终生难忘事，遇到了许多让我终生感激的人。

在这六年里我最感激的人是我的导师陈万军教授，能够作为陈老师的学生是我求学道路上最大的幸事。在这六年里，陈老师不只是在我的学习科研上给予了很大的指导和帮助，还有在我的生活和做人做事上给予了我很大的关怀和帮助。从汇报工作到写学术论文的过程中、从写项目申请书到执行项目再到写项目结题报告的过程中、从写毕业论文到定稿的过程中，我总是犯了很多错误，但是陈老师也一直没放弃对我的指导。陈老师对我的每一次悉心指导和教育都是我人生中宝贵的财富。在生活上，我说话做事总是不经过大脑思考、做事也比较毛躁，经常给自己造成了很大的困扰。陈老师在发现我的问题后，一直对我进行言传身教，让我养成了做事不毛躁的习惯、以及思而后行的习惯。这里短短几句话是没法概括陈老师对我帮助，以及我对陈老师的感激之心，在这里我心里有的只有这几个字：谢谢您，陈老师。

同时我要感谢的人是我们课题组的主任张波教授。没有他，我们的课题组也许就只是一个办公楼加一些电脑而已。张老师为我们课题组创造了一个十分有优越的实验条件，成为我们能够顺利毕业必要条件。我也想对张老师说声：谢谢您。

感谢我们课题组的郑崇芝老师在我的生活和做人做事等方面给予我的帮助，郑老师一直以她的生活经验和经历来教导我们做人做事不要急躁、不要马虎、不要大意，没有她和陈老师的帮助也许我现在还是那个做事毛躁、不经过大脑思考的人。谢谢您郑老师。感谢我在北京微电子所时给予了我很多帮助的黄森老师，感谢黄老师对我的悉心指导。感谢我们课题组的李肇基教授、罗萍教授、罗小蓉教授、李泽宏教授、邓小川教授、乔明教授、周琦教授、王卓老师、马老师、赵老师在我读博期间对我的帮助。

非常感谢在这六年结识的小伙伴们，谢谢你们陪我走过段路。其中尤其要感谢的是孙瑞泽师兄、章晋汉师兄、尉中杰师兄、阮建新师兄、彭朝飞师兄、汪玲师姐、鲍旭师兄、牟靖宇师兄、肖琨师兄、王珣阳师兄对我的指导和帮助。感谢程武、古云飞、靳旻、李建、李正洋、陈博文、刘朝阳、刘超、娄伦飞、胡官昊、唐血峰对我帮助……还有很多的小伙伴要感谢，这里就不一一列举了。

最后，向能抽出宝贵时间对本人论文进行评审的专家学者们表示由衷的感谢！

## 参考文献

- [1] 张波. 节能减排的基础技术-功率半导体芯片[J]. 中国集成电路, 2009, 18(12): 9-14
- [2] I. Adrian. Power Electronics and Energy Conversion Systems[M]. USA: John Wiley and Sons, Ltd, 2013, 1-23
- [3] J. H. Chow, A. M. Stankovic, D. Hill. Power GaN Devices: Materials, Applications and Reliability[M]. Switzerland: Springer International Publishing Switzerland, 2017, 1-22
- [4] J. K. Sheu, G. C. Chi, M. J. Jou. Low-operation voltage of InGaN/GaN light-emitting diodes by using a Mg-doped  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}/\text{GaN}$  superlattice[J]. IEEE Electron Device Letters, 2001, 22(4): 160-162
- [5] J. Han, L. He, R. L. Gunshor, et al. Blue/green lasers focus on the market[J]. IEEE Circuits and Devices Magazine, 1994, 10(2): 18-23
- [6] K. J. Chen, O. Häberlen, A. Lidow, et al. GaN-on-Si power technology: devices and applications[J]. IEEE Transactions on Electron Devices, 2017, 64(3): 779-795
- [7] M. J. Rosker, J. D. Albrecht, E. Cohent, et al. DARPA's GaN technology thrust[C]. IEEE MTT-S International Microwave Symposium Digest, Anaheim, 2010, 1214-1217
- [8] M. A. Khan, A. Bhattarai, J. N. Kuznia, et al. High electron mobility transistor based on a GaN/ $\text{Al}_x\text{Ga}_{1-x}\text{N}$  heterojunction[J]. Applied Physics Letters, 1993, 63(9): 1214-1215
- [9] M. A. Khan, J. N. Kuznia, D. T. Olson, et al. Microwave performance of a 0.25  $\mu\text{m}$  gate AlGaIn/GaN heterostructure field effect transistor[J]. Applied Physics Letters, 1994, 65(9): 1121-1123
- [10] Y. F. Wu, B. P. Keller, S. K. Keller, et al. Measured microwave power performance of AlGaIn/GaN MODFET[J]. IEEE Electron Device Letters, 1996, 17(9): 455-457
- [11] M. A. Khan, Q. Chen, C. J. Sun, et al. Enhancement and depletion mode GaN/AlGaIn heterostructure field effect transistors[J]. Applied physics letters, 1996, 68(4): 514-516
- [12] X. Hu, G. Simin, J. Yang, et al. Enhancement mode AlGaIn/GaN HFET with selectively grown PN junction gate[J]. Electron Letters, 2000, 36(8): 753-754
- [13] Y. Okamoto, Y. Ando, T. Nakayama, et al. High-power recessed-gate AlGaIn/GaN HFET with a field-modulating plate[J]. IEEE Transactions on Electron Devices, 2004, 51(12): 2217-2222
- [14] Y. Ohmaki, M. Tanimoto, S. Akamatsu, et al. Enhancement mode AlGaIn/AlN/GaN high electron mobility transistor with low on-state resistance and high breakdown voltage[J]. Japanese Journal of Applied Physics, 2006, 45(44): 168-170

- [15] W. Saito, Y. Takada, M. Kuraguchi, et al. Recessed gate structure approach toward normally off high voltage AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT for power electronics applications[J]. IEEE Transactions on Electron Devices, 2006, 53(2): 356-362
- [16] R. Chu, Z. Chen, S. P. DenBaars, et al. V-gate Ga<sub>N</sub> HEMTs with engineered buffer for normally off operation[J]. IEEE Electron Device Letters, 2008, 29 (11): 1184-1186
- [17] Y. Cai, Y. Zhou, K. J. Chen, et al. High-performance enhancement-mode AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs using fluoride-based plasma treatment[J]. IEEE Electron Device Letters, 2005, 26(7):435-437
- [18] Y. Uemoto, M. Hikita, H. Ueno, et al. Gate Injection Transistor (GIT)—A normally-off AlGa<sub>N</sub>/Ga<sub>N</sub> power transistor using conductivity modulation[J]. IEEE Transactions on Electron Devices, 2007, 54(12): 3393-3399
- [19] S. Huang, X. Liu, X. Wang, et al. High uniformity normally-off Ga<sub>N</sub> MIS-HEMTs fabricated on ultra-thin-barrier AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure[J]. IEEE Electron Device Letters, 2016, 37(12): 1-4
- [20] T. F. Chang, T. C. Hsiao, C. F. Huang, et al. Phenomenon of drain current instability on p-Ga<sub>N</sub> gate AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs[J]. IEEE Transactions on Electron Devices, 2015, 62(2): 339-345
- [21] G. Greco, F. Iucolano, S. D. Franco, et al. Effects of annealing treatments on the properties of Al/Ti/p-Ga<sub>N</sub> interfaces for normally off p-Ga<sub>N</sub> HEMTs[J]. IEEE Transactions on Electron Devices, 2016, 63(7): 1-7
- [22] C. Chen, X. Liu, B. Tian, et al. Fabrication of enhancement-mode AlGa<sub>N</sub>/Ga<sub>N</sub> MISHEMTs by using fluorinated Al<sub>2</sub>O<sub>3</sub> as gate dielectrics[J]. IEEE Electron Device Letters, 2011, 32(10): 1373-1375
- [23] D. Song, J. Liu, Z. Cheng, et al. Normally off AlGa<sub>N</sub>/Ga<sub>N</sub> low-density drain HEMT (LDD-HEMT) with enhanced breakdown voltage and reduced current collapse[J]. IEEE Electron Device Letters, 2007, 28(3): 189-191
- [24] Y. Cai, Y. Zhou, K. M. Lau, et al. Control of threshold voltage of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs by fluoride-based plasma treatment: From depletion mode to enhancement mode[J]. IEEE Transactions on Electron Devices, 2006, 53(9): 2207-2215
- [25] R. Wang, Y. Cai, C. W. Tang, et al. Enhancement-mode Si<sub>3</sub>N<sub>4</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MISHFETs[J]. IEEE Electron Device Letters, 2006, 27(10): 793-795
- [26] X. Wang, O. I. Saadat, B. Xi, et al. Atomic layer deposition of Sc<sub>2</sub>O<sub>3</sub> for passivating AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistor devices[J]. Applied Physics Letters, 2012, 101(23): 232109.1-232109.4

- [27] J. Ren, C. W. Tang, H. Feng, et al. A novel 700 V monolithically integrated Si-GaN cascoded field effect transistor[J]. IEEE Electron Device Letters, 2018, 39(3): 394-396
- [28] Y. Shi, S. Huang, Q. Bao, et al. Normally off GaN-on-Si MIS-HEMTs fabricated with LPCVD-SiN<sub>x</sub> passivation and high-temperature gate recess[J]. IEEE Transactions on Electron Devices, 2016, 63(2): 614-619
- [29] S. Huang, X. Liu, J. Zhang, et al. High RF performance enhancement-Mode Al<sub>2</sub>O<sub>3</sub>/AlGaIn/GaN MIS-HEMTs fabricated with high-temperature gate-recess technique[J]. IEEE Electron Device Letters, 2015, 36(8): 754-756
- [30] Q. Zhou, B. Chen, Y. Jin, et al. High-performance enhancement-mode Al<sub>2</sub>O<sub>3</sub>/AlGaIn/GaN-on-Si MISFETs with 626 MW/cm<sup>2</sup> figure of merit[J]. IEEE Transactions on Electron Devices, 2015, 62(3): 776-781
- [31] Y. Wang, M. Wang, B. Xie, et al. High-performance normally-off Al<sub>2</sub>O<sub>3</sub> GaN MOSFET using a wet etching-based gate recess technique[J]. IEEE Electron Device Letters, 2013, 34(11): 1370-1372
- [32] Y. Cai, Y. Zhou, K. M. Lau. Control of Threshold Voltage of AlGaIn/GaN HEMTs by Fluoride-Based Plasma Treatment: From Depletion Mode to Enhancement Mode[J]. IEEE Transactions on Electron Devices, 2006, 53(9):2207-2215
- [33] J. Wei, M. Zhang, B. Li, et al. An analytical investigation on the charge distribution and gate control in the normally-off GaN double-channel MOS-HEMT[J]. IEEE Transactions on Electron Devices, 2018, 65(7): 2757-2764
- [34] E. A. Jones, F. F. Wang, D. Costinett. Review of commercial GaN power devices and GaN based converter design challenges[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2016, 4(3): 707-719
- [35] Z. Tang, S. Huang, Q. Jiang, et al. High-voltage (600V) low-leakage low-current-collapse AlGaIn/GaN HEMTs with AlN/SiN<sub>x</sub> passivation[J]. IEEE Electron Device Letters, 2013, 34(3): 366-368
- [36] Q. Jiang, C. Liu, Y. Lu, et al. 1.4kV AlGaIn/GaN HEMTs on a GaN-on-SOI platform[J]. IEEE Electron Device Letters, 2013, 34(3): 357-359
- [37] Y. Dora, A. Chakraborty, L. McCarthy, et al. High breakdown voltage achieved on AlGaIn/GaN HEMTs with integrated slant field plates[J]. IEEE Electron Device Letters, 2006, 27(9): 713-715
- [38] N. Tipimani, V. Adivarahan, G. Simin, et al. Silicon dioxide-encapsulated high-voltage AlGaIn/GaN HFETs for power-switching applications[J]. IEEE Electron Device Letters, 2007,

- 28(9): 784-786
- [39] P. Herfurth, D. Maier, L. Lugani, et al. Ultrathin body InAlN/GaN HEMTs for high-temperature (600°C) electronics[J]. IEEE Electron Device Letters, 2013, 34(4): 496-498
- [40] X. Liu, K. J. Chen. GaN Single-polarity power supply bootstrapped comparator for high-temperature electronics[J]. IEEE Electron Device Letters, 2011, 32(1): 27-29
- [41] T. Satoh, K. Osawa, A. Nitta. GaN HEMT for space applications[C]. BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium, San Diego, USA, 2018, 136-139
- [42] D. Kim, J. Lee, S. Yeo, et al. Proton irradiation effects on AlGaIn/GaN HEMTs with different isolation methods[J]. IEEE Transactions on Nuclear Science, 2018, 65(1): 579-582
- [43] O. Ambacher, J. Smart, J. R. Shealy, et al. Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures[J]. Journal of Applied Physics, 1999, 85(6): 3222-3233
- [44] W. E. Spicer, P. W. Chye, P. R. Skeath, et al. New and unified model for Schottky barrier and III-V insulator interface states formation[J]. Journal of Vacuum Science and Technology, 1979, 16 (5): 1422-1433
- [45] M. S. Miao, J. R. Weber, C. G. Walle. Oxidation and the origin of the two-dimensional electron gas in AlGaIn/GaN heterostructures[J]. Journal of Applied Physics, 2010, 107(6): 123713.1-123713.11
- [46] J. P. Ibbetson, P. T. Fini, K. D. Ness, et al. Polarization effects surface states and the source of electrons in AlGaIn/GaN heterostructure field effect transistors[J]. Applied Physics Letters, 2000, 77(2): 250-252
- [47] R. Singh, M. A. Khan, S. Mukherjee, et al. Role of surface states and interface charges in 2DEG in sputtered ZnO heterostructures[J]. IEEE Transactions on Electron Devices, 2018, 65(7): 2850-2854
- [48] Z. Wang, B. Zhang, W. Chen, et al. A closed-form charge control model for threshold voltage of depletion- and enhancement- mode AlGaIn/GaN devices[J]. IEEE Transactions on Electron Devices, 2013, 60(5): 1607-1612
- [49] J. Zhang, Y. Hao, J. Zhang, et al. The mobility of two-dimensional electron gas in AlGaIn/GaN heterostructures with varied Al content[J]. Science in China Series F: Information Sciences, 2008, 51(6): 780-789

- [50] M. Shur, B. Gelmont, M. A. Khan. Electron mobility in two-dimensional electron gas in AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures and in bulk Ga<sub>N</sub>[J]. *Journal of Electronic Materials*, 1996, 25(5): 777-785
- [51] J. Antoszewski, M. Gracey, J. M. Dell, et al. Scattering mechanisms limiting two-dimensional electron gas mobility in Al<sub>0.25</sub>Ga<sub>0.75</sub>N/GaN modulation-doped field-effect transistors[J]. *Journal of Applied Physics*, 2000, 87(8): 3900-3904
- [52] S. B. Lisesivdin, A. Yildiz, N. Balkan, et al. Scattering analysis of two-dimensional electrons in AlGa<sub>N</sub>/Ga<sub>N</sub> with bulk related parameters extracted by simple parallel conduction extraction method[J]. *Journal of Applied Physics*, 2010, 108(1): 013712.1-013712.7
- [53] E. Ahmadi, S. Keller, U. K. Mishra. Model to explain the behavior of 2DEG mobility with respect to charge density in N-polar and Ga-polar AlGa<sub>N</sub>-Ga<sub>N</sub> heterostructures[J]. *Journal of Applied Physics*, 2016, 120(11): 115302.1-115302.9
- [54] S. Adak, S. K. Swain, H. Pardeshi, et al. Effect of AlN spacer layer thickness on device performance of AlInN/AlN/GaN MOSHEMT[C]. *International Conference on Computing Communication Control and Automation*, Singapore, 2015, 902-905
- [55] W. Huang, Y. Wong, K. Liu, et al. The effects of growth parameters on the electrical properties in InAlN/AlN/GaN high-electron-mobility transistors (HEMTs)[C]. *International Conference on Semiconductor Electronics*, Kuala Lumpur, Malaysia, 2014, 499-501
- [56] L. Liu, J. H. Edgar. Substrates for gallium nitride epitaxy[J]. *Materials Science and Engineering R*, 2002, 37(3): 61-127
- [57] R. Hull, R. M. Osgood, J. J. Parisi, et al. Gallium Nitride Electronics[M]. Switzerland: Springer Series in Materials Sciences, 2008, 1-23
- [58] S. Oktyabrsky, D. Y. Peide. Fundamentals of III-V Semiconductor MOSFETs[M]. London: Springer New York Dordrecht Heidelberg London, 2010, 1-35
- [59] C. Wood, D. Jena. Polarization Effects in Semiconductors From Ab Initio Theory to Device Applications[M]. New York: Springer Science+Business Media, 2008, 4-23
- [60] J. H. Lee, J. H. Jeong, J. H. Lee. Enhanced electrical characteristics of AlGa<sub>N</sub>-based SBD with in situ deposited silicon carbon nitride cap layer[J]. *IEEE Electron Device Letters*, 2012, 33(4): 492-494
- [61] M. W. Ha, C. H. Roh, H. G. Choi, et al. High-voltage Ga<sub>N</sub> SBD on Si substrate by suppressing metal spikes[C]. *International Symposium on Power Semiconductor Devices and ICs*, San Diego, CA, USA, 2011, 231-234

- [62] J. Hu, S. Stoffels, S. Lenci, et al. Performance optimization of Au-free lateral AlGa<sub>N</sub>/Ga<sub>N</sub> schottky barrier diode with gated edge termination on 200-mm silicon substrate[J]. IEEE Transactions on Electron Devices, 2016, 63(3): 997-1004
- [63] W. Chen, K. Y. Wong, K. J. Chen. Single-chip boost converter using monolithically integrated AlGa<sub>N</sub>/Ga<sub>N</sub> lateral field-effect rectifier and normally off HEMT[J]. IEEE Electron Device Letters, 2009, 30(5): 430-432
- [64] X. Kang, X. Wang, S. Huang, et al. Recess-free AlGa<sub>N</sub>/Ga<sub>N</sub> lateral schottky barrier controlled schottky rectifier with low turn-on voltage and high reverse blocking[C]. International Symposium on Power Semiconductor Devices and ICs, Chicago, USA, 2018, 280-283
- [65] Z. Wang, W. Chen, B. Zhang, et al. A novel controllable hybrid-anode AlGa<sub>N</sub>/Ga<sub>N</sub> field-effect rectifier with low operation voltage[J]. Chinese Physics Letters, 2010, 29(10): 107202-107205
- [66] Q. Zhou, Y. Jin, Y. Shi, et al. High reverse blocking and low onset voltage AlGa<sub>N</sub>/Ga<sub>N</sub>-on-Si lateral power diode with MIS-gated hybrid anode[J]. IEEE Electron Device Letters, 2015, 36(7): 660-662
- [67] J. Ma, E. Matioli. High-voltage and low-leakage AlGa<sub>N</sub>/Ga<sub>N</sub> tri-Anode schottky diodes with integrated tri-gate transistors[J]. IEEE Electron Device Letters, 2017, 38(1): 83-86
- [68] M. Narihiko, H. Masanobu, W. Noriyuki, et al. Systematic study of insulator deposition effect (Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub>, AlN, and Al<sub>2</sub>O<sub>3</sub>) on electrical properties in AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures[J]. Japanese Journal of Applied Physics, 2007, 46(2): 547-554
- [69] X. Cheng, Y. Wang. A surface-potential-based compact model for AlGa<sub>N</sub>/Ga<sub>N</sub> MODFETs[J]. IEEE Transactions on Electron Devices, 2011, 58(2): 448-454
- [70] N. S. Swamy, A. K. Dutta. Analytical models for the 2DEG density, AlGa<sub>N</sub> layer carrier density, and drain current for AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs[J]. IEEE Transactions on Electron Devices, 2018, 65(3): 936-944
- [71] N. Karumuri, S. Turuvekere, N. DasGupta, et al. A continuous analytical model for 2DEG charge density in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs valid for all bias voltages[J]. IEEE Transactions on Electron Devices, 2014, 61(7): 2014
- [72] S. Khandelwal, N. Goyal, T. A. Fjeldly. A physics-based analytical model for 2DEG charge density in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT devices[J]. IEEE Transactions on Electron Devices, 2011, 58(10): 3622-3625
- [73] S. M. Sze, K. N. Kwok. Physics of Semiconductor Devices[M]. Hoboken, USA, John Wiley and Sons, Inc., 2007, 214-215

- [74] G. D. Licciardo, L. D. Benedetto, S. Bellone. Modeling of the SiO<sub>2</sub>/SiC interface-trapped charge as a function of the surface potential in 4H-SiC vertical-DMOSFET[J]. IEEE Transactions on Electron Devices, 2016, 63(4): 1783-1787
- [75] H. He, Y. Liu, B. Yan, et al. Analytical drain current model for organic thin-film transistors at different temperatures considering both deep and tail trap states[J]. IEEE Transactions on Electron Devices, 2016, 63(11): 4423-4431
- [76] T. K. Chiang. A new interface-trapped-charge-degraded subthreshold current model for quadruple-gate MOSFETs[J]. IEEE Transactions on Electron Devices, 2014, 61(5): 1611-1613
- [77] J. G. Shaw, M. Hack. An analytic model for calculating trapped charge in amorphous silicon[J]. Journal of Applied Physics, 1988, 64(9): 4562-4566
- [78] C. Yang, X. Luo, A. Zhang, et al. AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT With AlN interface protection layer and trench termination structure[J]. IEEE Transactions on Electron Devices, 2018, 65(11): 5203-5207
- [79] Y. Shi, Q. Zhou, A. Zhang, et al. Investigation of bulk traps by conductance method in the deep depletion region of the Al<sub>2</sub>O<sub>3</sub>/Ga<sub>N</sub> MOS device[J]. Nanoscale Research Letters, 2017, 12(342): 1-6
- [80] M. Tapajna, R. Stoklas, D. Gregusová, et al. Investigation of ‘surface donors’ in Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> metal-oxide-semiconductor heterostructures: Correlation of electrical, structural, and chemical properties[J]. Applied Surface Science, 2017, 426: 656-661
- [81] W. Huang, T. P. Chow. Monolithic high-voltage Ga<sub>N</sub> MOSFET/schottky pair with reverse blocking capability[C]. International Symposium on Power Semiconductor Devices and ICs, Jeju Island, 2007, 265-268
- [82] C. Zhou, W. Chen, E. L. Piner, et al. Schottky-ohmic drain AlGa<sub>N</sub>/Ga<sub>N</sub> normally off HEMT with reverse drain blocking capability[J]. IEEE Electron Device Letters, 2010, 37(7): 668-670
- [83] C. Zhou, W. Chen, E. L. Piner, et al. Self-protected Ga<sub>N</sub> power devices with reverse drain blocking and forward current limiting capabilities[C]. International Symposium on Power Semiconductor Devices and ICs, Hiroshima, 2010, 343-346
- [84] W. Chen, J. Zhang, Z. Wang, et al. Investigation of device geometry- and temperature-dependent characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> lateral field-effect rectifier[J]. Semiconductor Science and Technology, 2013, 28(1): 015021.1-015021.4
- [85] Z. Wang, B. Zhang, W. Chen, et al. A closed-form charge control model for the threshold voltage of depletion- and enhancement-mode AlGa<sub>N</sub>/Ga<sub>N</sub> devices[J]. IEEE Transactions on Electron Devices, 2013, 60(5): 1607-1612

- [86] Synopsys. Sentaurus device user guide[EB/OL]. <https://solvnetsynopsys.com>, 2010.09.
- [87] S. Huang, B. Shen, M. J. Wang, et al. Current transport mechanism of Au/Ni GaN Schottky diodes at high temperatures[J]. Applied Physics Letters, 2007, 91(8): 072109.1-072109.3
- [88] Z. Tang, S. Huang, X. Tang, et al. Influence of AlN passivation on dynamic on-resistance and electric field distribution in high-voltage AlGaIn/GaN-on-Si HEMTs[J]. Transactions on Electron Devices, 2014, 61(8): 2785-2792
- [89] T. H. Hung, P. S. Park, S. Krishnamoorthy, et al. Interface charge engineering for enhancement-mode GaN MISHEMTs[J]. IEEE Electron Device Letters, 2014, 35(3): 312-314
- [90] Y. Cao, D. Jena. High-mobility window for two-dimensional electron gases at ultrathin AlN/GaN heterojunctions[J]. Applied Physics Letters, 2007, 90(5): 82112.1-82112.3
- [91] S. Huang, X. Liu, K. Wei, et al. O<sub>3</sub>-sourced atomic layer deposition of high quality Al<sub>2</sub>O<sub>3</sub> gate dielectric for normally-off GaN metal-insulator-semiconductor high-electron-mobility transistors[J]. Applied Physics Letters, 2015, 106(3): 033507.1-033507.3
- [92] O. Ambacher, B. Foutz, J. Smart, et al. Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaIn[J]. Applied Physics Letters, 2000, 87(1): 334-344
- [93] S. Liu, S. Yang, Z. Tang, et al. Al<sub>2</sub>O<sub>3</sub>/AlN/GaN MOS-channel-HEMTs with an AlN interfacial layer[J]. Electron Device Letters, 2014, 35(7): 723-725
- [94] Integrated Dual-Gate AlGaIn/GaN Enhancement-Mode Transistor[J]. IEEE Electron Device Letters, 2010, 31(9): 990-992
- [95] K. S. Im, J. B. Ha, K. W. Kim. Normally Off GaN MOSFET Based on AlGaIn/GaN Heterostructure With Extremely High 2DEG Density Grown on Silicon Substrate[J]. IEEE Electron Device Letters, 2010, 31(3): 192-194
- [96] Z. Xu, J. Wang, Y. Liu. Fabrication of Normally Off AlGaIn/GaN MOSFET Using a Self-Terminating Gate Recess Etching Technique[J]. IEEE Electron Device Letters, 2013, 34(7): 855-857
- [97] T. Oka and T. Nozawa. AlGaIn/GaN Recessed MIS-Gate HFET With High-Threshold-Voltage Normally-Off Operation for Power Electronics Applications[J]. IEEE Electron Device Letters, 2008, 29(7): 668-670
- [98] J. Hu, S. Stoffels, M. Zhao, et al. Time-dependent breakdown mechanisms and reliability improvement in edge terminated AlGaIn/GaN schottky diodes under HTRB tests[J]. IEEE Electron Device Letters, 2017, 38(3): 371-374

- [99] F. Azam, B. Lee, V. Misra. Optimization of ALD high-k gate dielectric to improve AlGaIn/GaN MOS-HFET DC characteristics and reliability[C]. Workshop on Wide Bandgap Power Devices and Applications, Albuquerque, 2017, 39-43
- [100]K. Y. Wong, Y. S. Lin, C.W. Hsiung, et al. AlGaIn/GaN MIS-HFET with improvement in high temperature gate bias stress-induced reliability[C]. International Symposium on Power Semiconductor Devices and ICs, Waikoloa, 2014, 55-58
- [101]M. Fernández, X. Perpiñà, J. Roig, et al. P-GaN HEMTs drain and gate current analysis under short-circuit[J]. IEEE Electron Device Letters, 2017, 38(4): 505-508
- [102]M. Fernández, X. Perpiñà, J. Roig, et al. Short-circuit study in medium voltage GaN cascodes, p-GaN HEMTs and GaN MISHEMTs[J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 9012-9022
- [103]M. Fernández, X. Perpiñà, J. Roig, et al. Short-circuit capability in p-GaN HEMTs and GaN MISHEMTs[C]. International Symposium on Power Semiconductor Devices and ICs, Sapporo, 2017, 455-458
- [104]J. Glaser. How GaN power transistors drive high-performance lidar: generating ultrafast pulsed power with GaN FETs[J]. IEEE Power Electronics Magazine, 2017, 4(1): 25-35
- [105]M. Su, C. Chen, S. Rajan. Prospects for the application of GaN power devices in hybrid electric vehicle drive systems[J]. Semiconductor Science and Technology, 2013, 28(07):1-9
- [106]F. Roccaforte, P. Fiorenza, G. Greco, et al. Emerging trends in wide band gap semiconductors (SiC and GaN) technology for power devices[J]. Microelectronic Engineering, 2017, 187: 66-77
- [107]J. A. Schrock, B. N. Pushpakaran, A. V. Bilbao, et al. Failure analysis of 1200-V/150-A SiC MOSFET under repetitive pulsed overcurrent conditions[J]. IEEE Transactions on power electronics, 2016, 31(3): 1816-1821
- [108]C. Liu, W. Chen, H. Tao, et al. Transient overvoltage induced failure of MOS-controlled thyristor under ultra-high di/dt conditio[C]. International Symposium on Power Semiconductor Devices ICs, Sapporo, Japan, 2017, 139-142
- [109]C. Zhou, Q. Jiang, S. Huang, et al. Vertical leakage/breakdown mechanisms in AlGaIn/GaN-on-Si devices[J]. IEEE Electron Device Letters, 2012, 33(8): 1132-1134
- [110]C. Zhou, Q. Jiang, S. Huang, et al. Vertical leakage/breakdown mechanisms in AlGaIn/GaN-on-Si structures[C]. International Symposium on Power Semiconductor Devices and ICs, Bruges, 2012, 245-248

- [111]D. M. Sathaiya, S. Karmalkar. Thermionic trap-assisted tunneling model and its application to leakage current in nitrided oxides and AlGaN/GaN high electron mobility transistors[J]. Applied Physics Letters, 2006, 99(09): 093701.1-093701.6
- [112]E. Suzuki, D. K. Schroder, Y. Hayashi. Carrier conduction in ultrathin nitrided oxide films[J]. Journal of Applied Physics, 1986, 60(10): 3616-3621
- [113]M. J. Hanna, H. Zhao, J. C. Lee. Poole frenkel current and schottky emission in SiN gate dielectric in AlGaN/GaN metal insulator semiconductor heterostructure field effect transistors[J]. Applied Physics Letters, 2012, 101(15): 153504.1-153504.4
- [114]J. J. Kim, J. H. Lim, J. W. Yang, et al. Negative charging effect of traps on the gate leakage current of an AlGaN/GaN HEMT[J]. Journal of the Korean Physical Society, 2014, 65(3): 421-424
- [115]S. A. Campbell, H. S. Kim, D. C. Gilmer, et al. Titanium dioxide (TiO<sub>2</sub>)-based gate insulators[J]. Journal of Research and Development, 1999, 43(3): 383-392

## 攻读博士学位期间取得的成果

### 本人一作论文

- [1] **Y. Shi**, S. Huang, Q. Bao, et al. Normally off GaN-on-Si MIS-HEMTs fabricated with LPCVD-SiNx passivation and high-temperature gate recess[J]. IEEE Transactions on Electron Devices, 2016, 63(2): 614-619 (SCI 检索)
- [2] **Y. Shi**, W. Chen, X. Cui, et al. Investigation on the long-term reliability of high-voltage p-GaN HEMT by repetitively transient overcurrent[J]. IEEE Transactions on Electron Devices, 2018, 65(12): 5322-5328 (SCI 检索)
- [3] **Y. Shi**, W. Chen, R. Sun, et al. An extraction method for the interface acceptor distribution of GaN MOS-HEMT[J]. IEEE Transactions on Electron Devices, 2019, 66(10): 4164-4169 (SCI 检索)
- [4] **Y. Shi**, W. Chen, Q. Zhou, et al. A non-ohmic normally-off GaN monolithic bidirectional switch with MIS field effect schottky tunnel junction[J]. Superlattices and Microstructures, 2017, 109: 414-422 (SCI 检索)
- [5] **Y. Shi**, W. Chen, S. Wu, et al. A novel GaN-based lateral SBD with a TUG-AlGa<sub>N</sub>/Ga<sub>N</sub> heterojunction[J]. Superlattices and Microstructures, 2019, 126: 174-180 (SCI 检索)
- [6] **Y. Shi**, W. Chen, C. Liu, et al. Investigation on the device geometry-dependent reverse recovery characteristic of AlGa<sub>N</sub>/Ga<sub>N</sub> lateral field-effect rectifier (L-FER)[J]. Superlattices and Microstructures, 2018, 120: 605-610 (SCI 检索)
- [7] **Y. Shi**, W. Chen, F. Wang, et al. A GaN enhancement-mode reverse blocking MISHEMT with MIS field-effect drain for bidirectional switch[J]. Journal of Computational Electronics, 2018, 17: 238-245 (SCI 检索)
- [8] **Y. Shi**, W. Chen, T. Chen. A GaN RB-MISHEMT with a schottky-MIS hybrid drain and an Al<sub>0.50</sub>Ga<sub>1.50</sub>N/GaN heterojunction [J]. Journal of Computational Electronics, 2019, 18: 918-923 (SCI 检索)
- [9] **Y. Shi**, W. Chen, C. Liu, et al. A high-performance GaN E-mode reverse blocking MISHEMT with MIS field effect drain for bidirectional switch. International Symposium on Power Semiconductor Devices and ICs [C]. Sapporo, 2017, 207-210 (EI 检索)

### 其他论文

- [10] Y. Xin, W. Chen, R. Sun, **Y. Shi**, et al. Analytical Switching Loss Model for GaN-Based Control Switch and Synchronous Rectifier in Low-Voltage Buck Converters[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1485-1495 (SCI 检索)
- [11] W. Chen, C. Liu, **Y. Shi**, et al. Design and characterization of high di/dt CS-MCT for pulse power applications[J]. IEEE Transactions on Electron Devices, 2017, 64(10): 4206-4212 (SCI 检索)
- [12] C. Liu, W. Chen, **Y. Shi**, et al. A novel insulated gate triggered thyristor with schottky barrier for improved repetitive pulse life and high-di/dt characteristics[J]. IEEE Transactions on Electron Devices, 2019, 66(2):1018-1025 (SCI 检索)
- [13] A. Zhang, Q. Zhou, Y. Shi, C. Yang, **Y. Shi**, et al. AlGaIn/GaN Lateral CRDs with hybrid trench cathodes[J]. IEEE Transactions on Electron Devices, 2018, 65(6): 2660-2665 (SCI 检索)
- [14] W. Chen, X. Xu, X. Liu, C. Liu, **Y. Shi**, et al. An ultralow loss insulated-gate bipolar transistor with emitter dual injection[J]. IEEE Transactions on Electron Devices, 2019, 66(10): 4314-4319 (SCI 检索)
- [15] W. Chen, H. Tao, C. Liu, Y. Xia, **Y. Shi**, et al. Evaluation of CS-MCT in DC Solid-State Circuit Breaker Applications[J]. IEEE Transactions on industry applications, 2018, 54(5):5465-5473 (SCI 检索)
- [16] F. Wang, W. Chen, Z. Wang, R. Sun, J. Wei, X. Li, **Y. Shi**, et al. Simulation design of uniform low turn-on voltage and high reverse blocking AlGaIn/GaN power field effect rectifier with trench heterojunction anode[J]. Superlattices and Microstructures, 2017, 105:132-138 (SCI 检索)
- [17] X. Xu, W. Chen, C. Liu, N. Chen, H. Tao, **Y. Shi**, et al. Gate field plate IGBT with trench accumulation layer for extreme injection enhancement[J]. Superlattices and Microstructures, 2017, 104:54-62 (SCI 检索)
- [18] W. Chen, C. Liu, H. Tao, **Y. Shi**, et al. Experimentally demonstrate a cathode short MOS-controlled thyristor (CS-MCT) for single or repetitive pulse applications[C]. International Symposium on Power Semiconductor Devices and ICs, Sapporo, Japan, 2017, 311-314 (EI 检索)
- [19] Q. Zhou, Y. Jin, J. Mou, X. Bao, **Y. Shi**, et al. Over 1.1 kV breakdown low turn-on voltage GaN-on-Si power diode with MIS-gated hybrid anode[C]. International Symposium on Power Semiconductor Devices and ICs, Hong Kong, 2015, 369-372 (EI 检索)

- [20] A. Zhang, Q. Zhou, C. Yang, Y. Shi, C. Dong, T. Liu, **Y. Shi**, et al. Novel AlGa<sub>N</sub>/Ga<sub>N</sub> SBDs with Nanoscale Multi-Channel for Gradient 2DEG Modulation[C]. International Symposium on Power Semiconductor Devices and ICs, Chicago, USA, 2018, 204-207 (EI 检索)
- [21] W. Chen, H. Tao, C. Liu, Y. Liu, C. Liu, J. Liu, **Y. Shi**, et al. Application of CS-MCT in DC solid state circuit breaker (SSCB)[C]. International Symposium on Power Semiconductor Devices and ICs, Chicago, USA, 2018, 335-338 (EI 检索)
- [22] C. Liu, W. Chen, **Y. Shi**, et al. 4.5kV insulated gate triggered thyristor (IGTT) with high di/dt characteristics for pulse power applications[C]. International Symposium on Power Semiconductor Devices and ICs, Shanghai, China, 2019, 347-350 (EI 检索)
- [23] Y. Xia, W. Chen, W. Gao, B. Qiao, C. Liu, **Y. Shi**, et al. A novel self-regulated potential SOI LIGBT with low on-state voltage and turn-off loss[C]. International Symposium on Power Semiconductor Devices and ICs, Shanghai, China, 2019, 403-406 (EI 检索)
- [24] W. Chen, Y. Xin, **Y. Shi**, et al. Impact of parasitic elements on power loss in Ga<sub>N</sub>-based low-voltage and high-current DC-DC buck converter[C]. Workshop on Wide Bandgap Power Devices and Applications in Asia, Xi'an, China, 2018, 294-298