

中国科学技术大学
博 士 学 位 论 文

论 文 题 目	高速中频采样和数字下变频的研究
研 究 生 姓 名	张 庆 民
导 师 姓 名	王砚方 教授, 安琪 教授
专 业	粒子物理与原子核物理
研 究 方 向	快 电 子 学
论 文 完 成 时 间	二〇〇〇年五月

目 录

致谢.....	1
摘要.....	2
Abstract.....	4
第一章 绪 论.....	6
第一节 软件无线电及其关键技术.....	6
第二节 A/D 转换器及其在无线电接收机中的应用.....	9
第三节 无线电接收机中的数字下变频.....	14
第二章 A/D 变换器的性能与性能指标.....	21
第一节 信号的量化与量化噪声.....	21
第二节 ADC 的性能指标.....	27
第三节 孔径时间、孔径时间晃动及其对 ADC 精度的影响.....	36
第三章 数字频谱分析.....	42
第一节 数字频谱法的基本流程.....	42
第二节 数字频谱分析的基础.....	42
第三节 窗函数.....	45
第四节 选择合适的记录长度 M.....	48
第五节 采样频率与信号频率的选择.....	50
第六节 数字频谱分析.....	51
第七节 谱平均.....	53
第八节 几种“信噪比”与有效位公式的说明.....	56
第四章 Dither 的原理及其在 ADC 中的应用.....	58
第一节 Dither 信号在 ADC 中的运用和发展历史.....	58
第二节 A/D 转换所产生的噪声和失真.....	59
第三节 Dither 技术及其应用.....	65
第四节 实现 Dither 的具体电路.....	74
第五章 ADC 性能仿真.....	77
第一节 A/D 转换器的模型.....	77
第二节 ADC 仿真系统.....	78
第三节 ADC 仿真结果.....	79
第四节 仿真结果总结.....	86
第五节 仿真结果分析.....	86
第六章 中频采样电路的设计.....	87
第一节 高速高精度 A/D 转换器.....	87
第二节 模拟信号和采样时钟的耦合方式.....	88

第三节	Dither 信号的发生电路和接入方法.....	93
第四节	数字输出信号的锁定和驱动.....	96
第五节	用于 ADC 性能测试的数字输出接口板.....	97
第六节	AD6644 采样板的设计.....	97
第七节	PCB 板布局和走线的考虑.....	98
第七章	高速高精度 ADC 的测试结果.....	99
第一节	测试条件.....	99
第二节	基本测试结果.....	101
第三节	加入 Dither 后的测试结果.....	103
第四节	采样频率对 ADC 指标的影响.....	104
第五节	输入信号频率对 ADC 指标的影响.....	105
第六节	电源电压对 ADC 指标的影响.....	106
第七节	输入信号幅度对 ADC 性能的影响.....	106
第八节	时钟抖动对 ADC 性能的影响.....	107
第九节	ADC 双音互调的测试.....	107
第十节	前端电路对 ADC 指标的影响.....	108
第十一节	测试结果分析.....	108
第八章	数控振荡器与数字滤波器.....	111
第一节	数控振荡器.....	111
第二节	线性相位 FIR 滤波器.....	112
第三节	CIC 滤波器.....	118
第九章	数字下变频的设计.....	125
第一节	主要的数字下变频芯片.....	125
第二节	数字 I、Q 复解调系统的设计.....	130
第十章	数字 I、Q 复解调系统的测试.....	134
第一节	测试原理.....	134
第二节	实际数字 I/Q 复解调系统的测试.....	138
结束语	141	
附录	无线电 RF 和 IF 信号模数变换中潜在的技术和方法.....	143
1	均匀量化.....	143
2	μ 率量化.....	144
3	自适应量化技术.....	146
4	差分量化技术.....	147
参考文献	150	
攻读学位期间发表的学术论文	153	

致 谢

本论文的全部工作是在导师王砚方教授、安琪教授的悉心指导下完成的。他们渊博的学识、严谨的治学态度和对科学技术孜孜不倦的追求精神给我留下了深刻的印象，使我收益匪浅，永生难忘。

在本文完成过程中，项目组的吴义宝同学、刘树彬同学给予了大力支持和帮助。他们分别在 ADC 的性能仿真和 ADC 测试方面、数字复解调系统的设计和调试中做了大量的工作，在此深表感谢。

本论文的完成和我妻子徐桂兰的支持是分不开的。她包揽了全部的家务，并帮助完成了部分论文的录入和校对任务，使我能有限的时间内顺利完成论文研究和撰写工作。此外，还离不开我父母的关心和鼓励，是他们让我得以全身心地投入学习和工作。与此同时，也感谢我哥哥在美国为我申请并寄来 GC1012A 样片。

在高速中频 ADC 的研究过程中，得到了项目合作单位华为公司上海研究所邓东云博士的大力协助。他为项目的投板和主要元器件的申请付出了许多辛勤的劳动，为研究的顺利进行提供了条件。此外，华为公司的吴旺军硕士、王明敏硕士和王珏平工程师也为本研究提供了一定的帮助。

Analog Device Inc.公司的 Brad Brannon 先生和 Cloninger Chris 先生和我多次的 Email 交流中，对 AD6644 的设计和测试结果分析提出了许多宝贵的意见和建议，给我启发很深。William Shen 先生为我们提供了一系列 AD6644 等样片和评估板，对我的研究也有很大帮助。在此一并鸣谢。

信息产业部 14 所 406 室的李景文主任、邢燕工程师、吴远兵工程师为本论文中数字复解调系统的设计提供了许多参考意见，对此也表示谢意。

在系统性能指标的测试方面还要特别感谢国家同步辐射实验室的李为民主任和王筠华老师，他们为我们无偿地提供了 HP 信号源。此外，还要感谢信息产业部 43 所的鲍松林工程师和新意达微波通信公司的李泳经理，感谢他们专门制作了用于测试的带通滤波器和单频信号源。

本论文的全部工作都是在中国科技大学华为研究所内完成的。在整个研究过程中离不开研究所所长叶国华老师的关照、离不开陈强先生和顾晓曼小姐在后勤等方面的支持。另外，快电子实验室的程伊敏小姐也为本论文的完成提供了诸多重要的后勤服务。

最后，我还要感谢那些一起在华为研究所和快电子实验室工作和学习的同学们，他们也或多或少地对我的工作提供了帮助：哪怕是提一个建议、告诉一个站点、提供一份资料、指点一下软件的使用方法，都给我以启示、激发我灵感、开拓我思路，从而提高我的工作和学习效率。这些同学是陈虎成、邢涛、严世奎、方志来、严挺、陈家琴、陈曦、刘胜利、武杰、刘鹏、沈国保、宋克柱、雷武虎、束礼宝、张万生。

摘 要

随着数模转换器硬件的快速发展和 DSP 处理能力及处理速度的逐步提高, 软件无线电技术在商用和军用无线电通信领域也越来越显示出其强大的吸引力。本文研究的高速中频采样和数字下变频技术是目前蓬勃发展的软件无线电领域的两项关键技术。

在论文的第一章介绍了软件无线电的概念及其由来、软件无线电的基本结构和主要特点。随后, 总结了软件无线电中的几项关键技术, 即信号的干扰、宽带射频天线、宽带 A/D/A、高速数字信号处理和高速总线和高速 I/O 接口; 概括了 A/D 转换器在无线电接收机中的应用; 并介绍了无线电接收机中的各种采样方式: 奈奎斯特采样、过采样、正交采样和带通采样。又从正确接收信号的角度出发, 分析了用抗混叠滤波器滤除带外能量, 并且讨论了量化噪声、谐波失真和接收机噪声之间的关系。最后, 介绍了数字接收机的基本原理, 并重点介绍了其中的数字下变频部分, 还比较了几种不同的数字下变频芯片并对数字下变频作一简单总结。

第二章从量化器的基本原理出发, 分析了量化过程和 ADC 的输入/输出特性曲线, 进而推导出 ADC 的量化噪声、信噪比和有效位数。接着从 ADC 的传递函数的角度出发, 定义了 ADC 的静态性能指标。因动态性能指标是衡量高速高精度 ADC 的重要指标, 所以, 本章还重点介绍了 ADC 的动态性能指标。最后, 分析了 ADC 的孔径时间和孔径误差, 由此推出孔径抖动对 ADC 性能 (主要是 SNR) 的影响。

第三章介绍了数字频谱分析方法, 分析了相干采样和非相干采样, 由此提出用加窗的方法改善频谱的泄漏。此外, 还探讨了如何选择合适的信号记录长度以及采样频率和输入信号频率。最后, 推导了各项 ADC 指标的计算公式、谱平均算法, 并对几种常见的信噪比公式进行了说明。

第四章是本文重要的一章。它回顾了 dither 在 ADC 中的应用和发展历史, 分析了理想量化、相干采样和 ADC 的非线性特性引起的谐波失真。接着介绍了 dither 的三种形式及其应用方法, 在分析谐波失真的基础上, 分析了 dither 对 ADC 性能的影响, 指出 dither 能改善因理想量化、相干采样和 ADC 的非线性特性而造成的谐波失真, 并对改善的机理作了说明。最后, 列举了多种产生 dither 信号的方法和电路。

第五章是关于 ADC 的性能仿真。在这一章里, 首先分析了高速高精度 ADC 的结构, 在此基础上建立了一个 ADC 的数学模型, 并根据这个模型开发了一个 ADC 仿真软件。随后, 运用这个仿真系统仿真了白噪声、窄带 Dither 和时钟抖动对 ADC 性能指标的影响。仿真结果表明: dither 可以对理想量化、相干采样和 ADC 的非线性特性而造成的谐波失真有良好的改善作用。

第六章探讨了高速中频采样电路的设计, 这也是本文中重要的一章。本章首先比较了各种高性能的中频采样芯片, 并特别介绍了 AD6644 芯片。针对这些高性能的 ADC 芯片, 提出了各种模拟输入信号和采样时钟的耦合方法。这一章还介绍了 dither 电路的设计和 dither 信号的耦合、ADC 输出数据接口电路的设计考虑。最后, 介绍了两种用于分析研究高性能 AD6644 的电路设计, 并对 PCB 的布局和走线进行了说明。

第七章是对高性能 A/D 转换器 AD6644 的测试和结果测试分析。本章节介绍了测试基本框架结构和测试必须具备的基本条件。随后, 测试了不同输入频率、不同采样频率、不同 dither 信号、不同模拟供电电压等多种情况下 AD6644 的性能指标。测试结果说明了各种条件下的 ADC 的性能指标, 同时验证了 ADC 的仿真结果。在本章的最后对测试结果进行了分析。

第八章从理论上分析了数字下变频中的数控振荡器和数字滤波器, 导出了 FIR 滤波器的频率响应, 提出了 FIR 滤波器的设计方法。最后, 介绍了一种在数字下变频中常用的一种特殊的 FIR 滤波器——CIC 滤波器。

第九章介绍了数字下变频系统的设计。本章首先介绍了常用的数字下变频芯片, 并对 AD6620 和 GC1012A 作了重点介绍。之后, 介绍了一个基于 GC1012A、用于雷达系统的数字复解调系统的电路设计, 同时分析了 AD6620 数字接收器电路板。最后, 介绍了用 FPGA 来设计数字下变频芯片的方法, 并提出了一个基于 FPGA 的数字下变频系统方案。

第十章从 IQ 复解调的传输函数出发,介绍了数字 IQ 复解调的测试原理和测试方法,说明并推导了专门用于测试 IQ 复解调系统的三个基本参数:幅度误差、相位误差和镜像抑制比。利用测试公式对设计的数字复解调系统进行了测试。测试结果表明:本文设计的数字复解调板达到设计目标,超过了合同的要求。

在最后的附录里介绍了一些非均匀量化方法。尽管目前的技术还不能用这些方法来制造出高速的中频采样芯片,然而这些非线性压缩算法在理论上的确能大大地改 ADC 的性能指标,特别是 SFDR 指标。这对无线电接收机来说是非常有意义的。这种技术必将被新一代 ADC 芯片所采用。

Abstract

As advances in technology provide increasingly faster and less expensive digital hardware, more of the traditionally analog functions of a radio receiver will be replaced with software or digital hardware. The software radio has show its fascinating functions in both commercial and military wireless communication. The high speed and high resolution analog-to-digital converter and digital down-converter which are researched in this thesis are two of the key technologies in the field of software radio that is vigorously developing recently.

In chapter one, the author makes a systematic exposition of the origin and concept of the software radio which includes the basic structure and main features of software radio, summarizes several key technologies of software radio, such as signal interference, wideband RF antenna, wideband A/D/A converter, high speed digital signal processing, high speed buses and high speed I/O. This chapter also brings in various sampling methods which involve Nyquist sampling, undersampling, quadrature sampling and oversampling. The anti-aliasing filter and out of band energy are analyzed from the point of view about correctly receiving signal. At the same time, the effects of quantization noise, distortion and receiver noise are discussed. At the end of this chapter, we clarify the basic concept of digital receiver and especially the digital down-converter, we also compare several different digital down-converter chips and simply summarize the digital down-converter.

Base on the basic concept of quantizer, the quantization process and the input-output function of the A/D converter are discussed in the chapter two. According to the transfer function of the A/D converter, we define the static specifications of it. The dynamic specifications are emphasized in this chapter because they are more important for high speed and resolution A/D converters. At last, we analyze the aperture time and aperture error, and deduce the relationship between aperture jitter and SNR.

The third chapter is about digital spectrum analysis. The coherent sampling and non-coherent sampling are discussed here. In addition, the windowing method is used to improve spectrum leakage. The FFT length for analysis of signal and frequency rate of input signal and sampling clock are also discussed in this chapter. Further more, we expound several formulas for calculating A/D converter's specification, and spectrum averaging method. We explain several common-used formulas for SNR & ENOB at the end of the chapter.

The fourth chapter is an important one. The application and development of dither in A/D converter are reviewed at first. Then we elucidate three kinds of dither and their application. By analyzing the harmonic distortion of ideal quantizer, coherent sampling and DNL of A/D converters, we investigate the effect of dither on A/D converter. We reach the conclusion that dither can improve the harmonic distortion caused by quantization, coherent sampling and DNL of A/D converters. We also explain the reason of such improvement and give a list of several methods and circuits for dither generation.

The fifth chapter is concerning simulation of A/D converter. We probe into the structure of high speed and resolution A/D converter at first. Based on the structure of A/D converter, we set up a mathematics model of A/D converter and develop a simulation software system for A/D converter. By using this system to determine the effect of white noise, narrow-band dither and coherence sampling on A/D converter's

specifications, we obtain the simulation results that dither can improve greatly the harmonic distortion caused by quantization, coherent sampling and DNL of A/D converters.

The design of high speed IF sampling is introduced in chapter six. This is also an important point of the thesis. We firstly illustrate several high performance chips for IF sampling and specially introduce AD6644. In order to use these chips perfectly, we suggest many methods for coupling analog input signal and encoding clock signal. In addition we introduce the circuit design of dither as well as coupling of dither. The design of A/D converter's I/O interface is also considered. Lastly, two kinds of evaluation board are mentioned and PCB consideration is included too.

The seventh chapter is the testing result of AD6644 evaluation boards. At the first state, we introduce the test bench and test condition, and then the different testing results under the different conditions. The testing results match the theoretical analysis and simulation results. At last we explain and analyze the testing results.

In chapter eight, we interpret the numerical controlled oscillator (NCO) and digital filter. By deducing the frequency response of FIR filter, we recommend the design method of FIR filter. In the end, we set forth a special FIR filter which is often used in digital down-converter ---Cascaded Integrator Comb FIR Filter (CIC filter).

The chapter nine presents the design of digital down-converter system. We first compare several different digital receiver chips and then emphasis on AD6620 and GC1012A, and we describe circuit design of digital down-converter board used in radar system. At the same time, we introduce AD6620 digital receiver board and a digital FIR filter design based on FPGA. Finally we give a scheme of digital down-converter system based upon FPGA.

In tenth chapter, we introduce the test theory and test method by studying the transfer function of I/Q demodulation, and deduce the formulas for calculating three basic parameters for I/Q demodulation. We test our GC1012A digital down-converter system by these formulas, and the testing results show that our system meets the design requirement.

The final appendix is regard to other potential non-uniform quantization methods employed in RF and IF digitization. Although these methods can't be used in current IF A/D converters, they may be found in the new generation of IF or RF ADCs, since they can improve ADCs specifications magnificently, especially for SFDR.

第一章 绪 论

本文研究的高速中频采样和数字下变频技术是目前蓬勃发展的软件无线电领域的一项关键技术。在本章中将介绍软件无线电及其关键技术、无线电接收机中的 A/D 变换器和数字下变频的基本原理。

第一节 软件无线电及其关键技术

软件无线电最初是在军事通信中提出来的。未来高技术战争的指挥自动化体系要求通信保障具备协同、机动、保密、抗干扰和抗毁五种能力，而现在的无线电台都是根据特定的用途进行设计的，存在着工作频段、调制方式的差异，导致不同部队以及同一部队内部不同军事目的的电台无法实现互通，形成了军事通信装备品种杂、系列多、互通差、协同难的局面，很难适应未来海、陆、空三军一体化作战的需要。美国在 1991 年的海湾战争中也遇到同样的问题，于是在战后美国军方和民间通信科技人员开始研究解决办法。1992 年 5 月，Joe Mitola 在美国国家远程系统会议上首次提出了“Software Radio”的概念。希望用这种新技术来解决三军无线电台多频段、多工作方式的互通问题，并得到美国军方的一致认可。

在民用方面，随着通信技术的迅猛发展，新的通信体制与标准不断提出，通信产品的生存周期减小，开发费用上升，导致以硬件为基础的传统通信体无法适应这种新局面。同时，不同的体制间互通的要求日趋强烈，并且随着通信业务的不断增长，无线频谱变得越来越挤，对现有通信系统的频带利用率及抗干扰能力提出了更高的要求。但是，沿着现有通信体制的发展，很难对频带重新规划。同时，若采用新的抗干扰方法，也要求对现有系统结构做出很大的调整，代价很大。而软件无线电则提供了一种很好的解决方案。

软件无线电的基本思想是以硬件作为其通用的基本平台，把尽可能多的无线及个人通信功能用软件来实现。从而将无线通信新系统、新产品的开发逐步转移到软件上来，其产值也在软件上体现出来。其最终目的是使通信系统摆脱硬件布线结构的束缚，在系统结构相对通用和稳定的情况下，通过软件来实现各种功能，使系统的改进和升级都非常方便、代价小，同时不同系统之间很容易互连与兼容。

1-1-1 软件无线电的基本结构

理想的软件无线电系统结构如图 1-1-1 所示。软件无线电的工作过程是在射频(RF)或中频(IF)

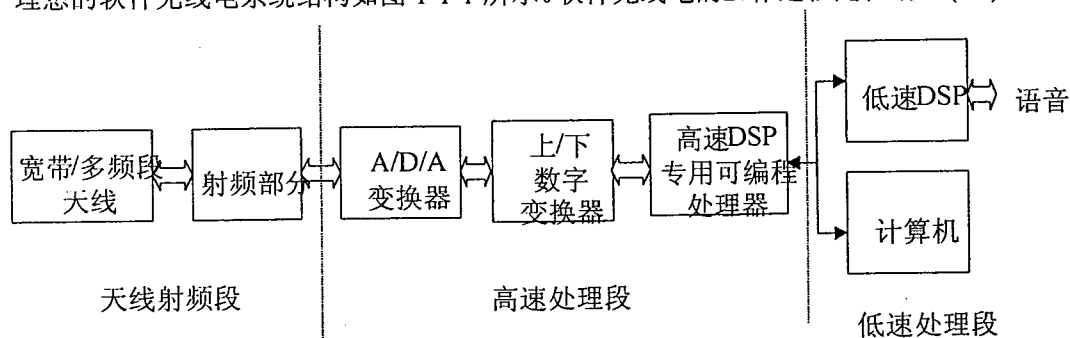


图 1-1-1 理想的软件无线电系统结构

对接收信号进行数字化，通过软件编程来灵活实现各种宽带数字滤波、直接数字频率合成、数字下变频、调制解调、差错编码、信令控制、信源编码及加解密功能。在接收时，来自天线的信号经过 RF 处理和变换，由宽带 A/D 数字化，然后通过可编程数字信号处理器（DSP）模块

实现所需的各种信号处理，并将处理后数据送至多功能用户终端；同样，在发送时，通过类似接收信号处理的流程将数据通过天线发射出去。利用在线和离线软件，可以实现通信环境的分析、管理以及业务和性能的升级。

软件无线电技术的主要特点是：

灵活性：工作模式可由软件编程改变，包括可编程的射频频段宽带信号接入方式和可编程调制方式等。所以可任意更换信道接入方式，改变调制方式或接收不同系统的信号；可通过软件工具来扩展业务、分析无线通信环境、定义所需增强的业务和实时环境测试，升级便捷。

集中性：多个信道享有共同的射频前端与宽带 A/D/A 变换器以获取每一信道的相对廉价的信号处理性能。

模块化：模块的物理和电气接口技术指标符合开放标准，在硬件技术发展时，允许更换单个模块，从而使软件无线电保持较长的使用寿命。

1-1-2 软件无线电的关键技术

(1) 信号干扰

由于射频信号频率高达几个 GHz，即使是中频频段的处理也达几十 MHz，因此，信号的干扰是一个非常严重的问题。现有系统所用的 VME 总线、基于 PCI 的总线或 GuPPI 接口，其抗干扰能力远不能达到要求。为此，在靠近天线的 RF 段应该采取信号隔离和屏蔽措施。此频段的抗干扰若未处理好，则系统根本无法工作。在 IF 频段，除了选择高质量抗干扰力强的元件之外，更需要规划好元件的布局和电路布线。总之，软件无线电中的抗干扰技术应该引起大家的注意，值得花大力气来研究该领域中的特种抗干扰技术。

(2) 宽带射频天线

根据软件无线电的概念，天线接收的信号应该能够横跨 1MHz ~ 3GHz 的频段（例如 Speakeasy MBMMR 跨 2MHz ~ 2GHz，欧洲 ACTS FRIST 使用 100MHz~2.3GHz）。考虑到天线的物理尺寸和增益等因素，这种宽带天线（跨 3000 倍频程）也许将来也不能实现。但现在需要这样的天线，可以采用组合式多频段天线。虽然各个频段的天线所跨的频程不宽，但组合起来可以形成宽频带。而且，各个频段的天线可以各自独立地调节增益、信噪比等参数。

(3) 宽带 A/D/A

真正的软件无线电能直接对 RF 段的信号进行处理。因此，希望 A/D 和 D/A 转换器能直接置于天线端，射频信号经 A/D 转换后的数字信号送数字信号处理部分。根据 RF 频率和奈奎斯特采样定理，要直接射频采样，ADC 的最高采样速率至少为 6GHz。虽然有报道中提到有采样速率为 8GSa/s 的 ADC，但是，其分辨率还是比较低，为 8 位。可见，目前无论是低分辨率还是高分辨率的 ADC，都无法达到直接射频采样。如果考虑 ADC 的信噪比 SNR、无伪波动态范围 SFDR 和互调失真 IMD 等因素，就更无法实现直接射频采样（特别是高分辨率的 ADC）。信噪比 SNR 的公式如下：

$$SNR = 6.02B + 1.76 + 10 \log_{10}(f_s / 2f_{\max}) \quad (1-1-1)$$

式 (1-1-1) 中，B 为 ADC 的位数， f_s 为采样频率。要获得高信噪比 SNR(dB)，就必须提高速率。

可以采用三种来解决 ADC 的问题。一是使用高速低分辨的 ADC 多片，并联连接。这样，既利用了低分辨率 ADC 的转换速度，同时又达到了转换精度的要求。二是在天线端，连接射频前端，将信号速度降低到 ADC 能够达到的范围。三是利用带通滤波划分频带，对于感兴趣

的频段利用带通采样原理降低采样频率。后两种方法使得软件无线电系统的“软件化”程度有所降低。要彻底解决这个问题，还有待于硬件技术的突破。

(4) 高速数字信号处理

要合理地构建软件无线电硬件系统，就需要预先估计系统所需要的资源。它包括：数字信号处理能力、存储容量及存储类型分配、I/O 处理能力等。其中的数字信号处理能力显得尤为重要，它是构建整体系统的基础。然而，数字信号处理能力的计算又与许多因素有关，难以得到准确的数据。假定数字信号处理可从中频开始，依次处理基带、比特流和信源段，可得信号处理需求为：

$$D = D_{if} + N(D_{bb} + D_{bs} + D_s) + D_o \quad (1-1-2)$$

式(1-1-2)中， D_{if} 为 IF 段处理的需求； N 是同时访问该节点的最大可能用户数； D_{bb} 为基带需求； D_{bs} 为比特流处理需求； D_s 为信源段需求；最后 D_o 为管理开销，它与信令系统、无线访问网络等因素有关。

假定是 GSM 蜂窝移动系统，其频率为 25MHz，过采样的速率为 62.5MHz，精度为 10 比特，则单是此项的速率就达到 625Mbps。目前的数字信号处理器的速率如表 1-1-1 表示。

表 1-1-1 部分数字信号处理器的主要性能指标

制造商	型号	速度	位数	片内 ROM, RAM	价格(USD)
TI	TMS320C80	200MOPS 120MFLOPS @40/50MHz	32	4K×8RAM 4K×8ROM	\$270~430
Motorola	DSP56309	100MIPS	24	20480×24	
TI	SM320C6201 B	1600MIPS	8/16/32	1Mb	>\$612
Motorola	DSP96002	90MFLOPS@ 60MHz	32	2K Word RAM 1K Word ROM	\$50

由此可见，虽然 TI 公司的 DSP 芯片速度能达到要求，但若将中频以后的处理需求也包括进来的话，则也需注意其处理能力。其他 DSP 芯片显然不能直接对此频段进行处理。对此，可在系统中先使用信道隔离器和频率变换器以及专用芯片对中频段进行处理。对于中频段以下各段，能满足要求的 DSP 芯片就更多些。但是，当把多个用户的信号流复接到单片 DSP 芯片时，应该注意其存储器缓冲能力、总线带宽、I/O 速度以及接口间的数据传输率。当要照顾到系统的性能价格比时，可以采用多片 DSP 芯片并行处理的方法。例如，Speakeasy 就采用 TI 的 Quad-C40 MCM 模块（4 片 C40 DSP 组成）来提高系统的处理能力。

(5) 高速总线和高速 I/O 接口

系统的总线和 I/O 接口是软件无线电硬件体系结构的关键，系统的开放性、灵活性、可重新配置能力和升级能力均与此有关。目前，由于 VME 总线是工业界开放的标准系统、支持总线宽度 16~64 位、有多达 21 个插槽供系统扩展，有很多厂家支持，因此，软件无线电系统多采用 VME 总线。

至于 I/O 接口，目前为人们所接受的是 GuPPI 接口，一种通用的基于 PCI 总线的 I/O 接口。GuPPI 接口的原理图如图 1-1-2 所示。它包括 4 个 32 位宽 FIFO，其中 2 个用于缓冲 PCI 总线

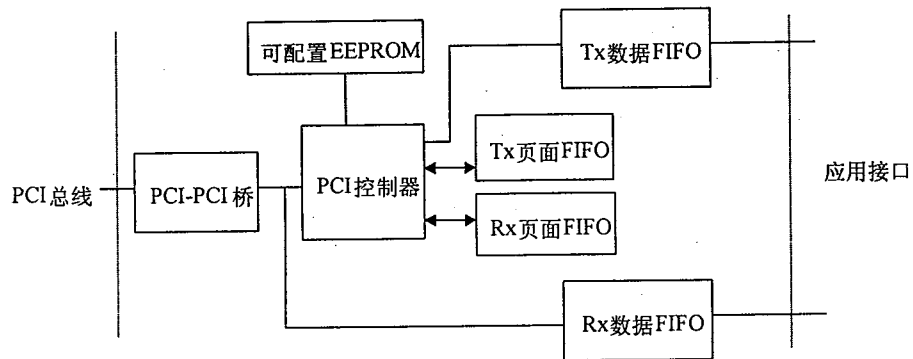


图 1-1-2 GuPPI 接口

和后台总线的入/出数据流，另外 2 个用于保存总线主存储器读写操作的页面地址。图中的 PCI-PCI 桥用于电气隔离，EEPROM 内容允许用户更改、允许软件重配置。

尽管 VME 总线和 GuPPI 接口有其优点，能支持现有的某些应用，但它们并不是专为软件无线电设计的，因此，在软件无线电中应用必然存在其局限性。GuPPI 接口号称达到 830~930Mbps 的传输率，但连续的数据速率却达不到此指标或不能保证此速率。这就可能产生 I/O 间数据流的抖动，对于有时间同步要求的系统来说，这是不能容忍的。再如，软件无线电系统中，数据流速率可高达几个 Gbps 的速率，VME 总线结构要达到如此高的速率是有困难的。另外，GuPPI 接口往往需要改造才能为特定的软件无线电系统所应用。况且，软件无线电急需它自己的开放的、可伸缩的、能软件配置的通用高速总线和接口。这一步极其重要，一旦实现，必将对软件无线电产生深远影响，大大促进软件无线电技术的发展。就象 PC 机一样，一旦有了自己的标准，系统功能的扩展、配置的更改，只需增减符合接口标准的插件板或应用软件就行了。

由于软件无线电中有许多关键的技术，本文不能一一加以讨论。在本论文中将重点讨论和研究在无线电接收机中所要用到的中频采样 ADC 和数字下变频技术。

第二节 A/D 转换器及其在无线电接收机中的应用

随着技术的进步，出现许多更快、更便宜的硬件，使得传统无线电接收机中的模拟方法被软件和数字硬件所替代。无线电接收机的最终目标是直接射频采样从而使整个接收机的功能由软件或数字硬件来完成。接收机的发展趋势和目标是使数字化部件有更高的频率和更宽的频带，从而更加靠近接收天线。这种接收机将广泛应用于蜂窝电话及其基站、个人通信系统 (PCS) 中。

模数转换器 (ADC) 是这种无线电接收机中的一个关键部件。图 2-1-1 显示了 ADC 在射频

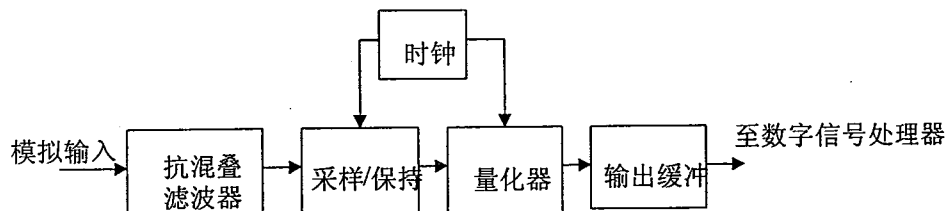


图 2-1-1 ADC 的应用

或中频宽带数字化中的应用。ADC 的电路特性决定了 ADC 的关键指标，例如：采样/保持电路决定了 ADC 的精度和线性；采样时钟的抖动将增加噪声；量化器决定了 ADC 的分辨率；输出缓冲器决定了输出速率等。

本节将讨论在无线电接收机中 ADC 的一些关键指标，讨论对 ADC 的要求；实际 ADC 存在的问题及其局限性。

1-2-1. 采样方式和模拟滤波

对无线电接收机来说，在射频或中频采样中，采样过程就是一个非常重要的环节。被采信号的内容取决于采样时钟速率和模拟输入通道的带宽。常规的采样技术是等间隔采样，包括奈奎斯特采样；过采样；正交采样；带通采样（也被称为欠采样或下变换采样）。非等间距采样也存在，不过不在这里介绍（见附录）。

当一个连续的模拟信号被均匀地采样时，原始信号的频谱 $F(f)$ 按照采样频率的整数倍周期地重复。这是采样的固有特性并且不可避免。这个现象由图 1-2-1 来说明。图 1-2-1(a) 是原始信号 $F(f)$ 的频谱，图 1-2-1(b) 是采样后的频谱 $F_s(f)$ ，这里采样频率 $f_s = 2f_{max}$ (信号带宽)。

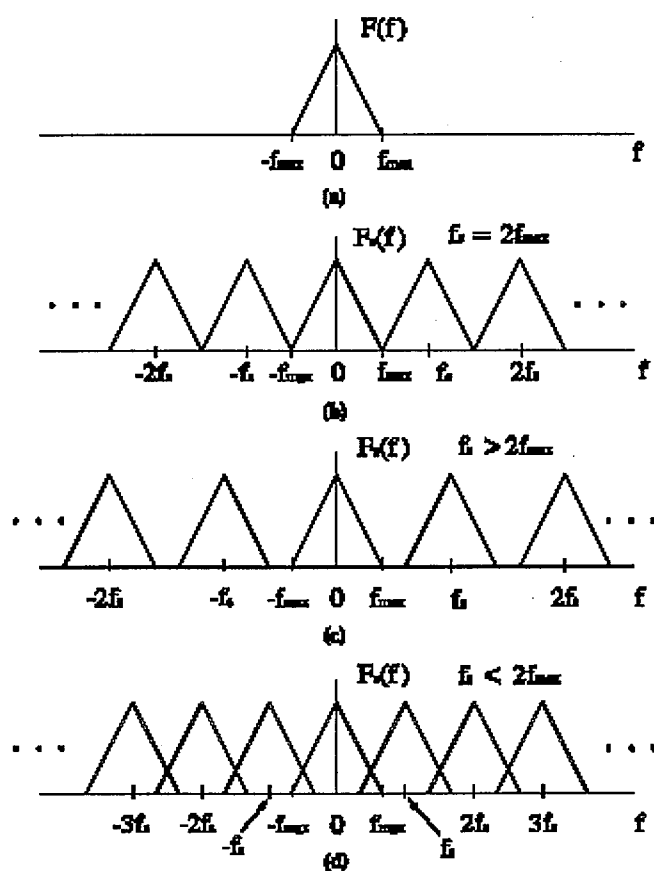


图 1-2-1 采样前及采样后信号的频谱

1-2-2. 奈奎斯特采样

按照采样定理，被采信号应该是一个有限带宽的信号（信号的最大频率分量为 f_{max} ），采

样率至少是模拟信号带宽的两倍 $2f_{\max}$ 。这样就确保原始信号可以由采样信号重建。模拟信号最大频率分量的两倍采样速率被称为奈奎斯特采样速率。图 1-2-1(b)显示的是一个有限带宽信号在奈奎斯特采样频率 ($f_s=2f_{\max}$) 下的频谱图。请注意采样后的频谱 $F_s(f)$ 中的模拟信号 $F(f)$ 的频谱并不重叠。当采样频率增大时, 模拟信号 $F(f)$ 的频谱仍然重复地出现在采样后的频谱 $F_s(f)$ 中, 而且相间的距离也增大, 如图 1-2-1(c) 所示。以大于或等于奈奎斯特采样频率来采样一个有限带宽的信号就能确保频谱重叠 (也称混叠、折叠) 不会发生, 确保原始模拟信号可以被重建。

1-2-3. 带外能量

奈奎斯特采样会带来两个实际问题: 一是如何确定一个实际信号的频率; 二是在 ADC 前加模拟滤波器。理论上一个有限带宽信号定义为在某一频率以上没有频率成分。而对于一个实际的信号, 如无线电接收机的射频输入信号, 它几乎具有所有的频率成分。确定所有的频率成分中的有用部分是很重要的。实际上无用信号成分和有用信号成分相对幅度是重要的。在无线电接收机中当以奈奎斯特频率来采样中频或射频信号时, 无用信号 (大于 $1/2$ 采样频率的成分) 就会折叠到有用信号中从而使有用信号发生畸变, 如图 1-2-2 所示。图 1-2-2 (a) 显示了具有无用和有用频率成分的模拟信号频谱。如果采样频率是有用信号最高频率 f_d 的两倍, 采样后的信号频谱如图 1-2-2(b) 所示。注意这里发生了频谱混叠, 无用信号的频谱折叠到有用信号的频谱中, 这就导致信号重建时的畸变。

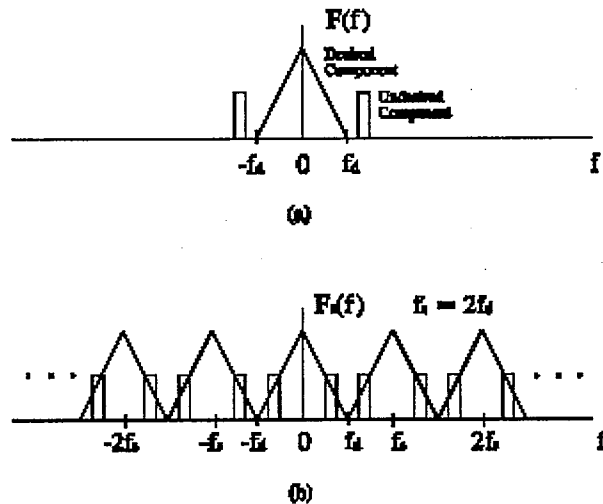


图 1-2-2 信号的频谱

(a)有用信号和无用信号的频谱 (b)采样率为 $f_s=2f_d$ 时的频谱

这一效应提出了一个重要的问题: 超过 $1/2$ 采样频率的信号幅度是多大时, 由频谱混叠产生的畸变超过由 ADC 非线性产生的畸变而主宰 ADC 的性能? ADC 的非线性会在 ADC 的输出频谱中产生寄生响应, 当混叠到奈奎斯特域 (DC 到 $1/2$ 奈奎斯特采样频率) 的频率成分超过由 ADC 非线性产生的最大寄生响应时, 这是混叠畸变超过由 ADC 非线性产生的畸变。所以, 因混叠而出现在奈奎斯特域的无用信号必须小于最大的 ADC 非线性畸变。换句话说, 对

ADC 输出频谱畸变的主要贡献者应该是 ADC 的非线性而不是频谱混叠。这是非常基本的要求。基于各种无线电接收机的具体情况, 这种要求容易被满足。

要满足这种要求就必须知道有用信号能容忍多大的畸变; 奈奎斯特域的有用信号和超过奈奎斯特域无用信号的频率成分和带宽是如何影响信号的畸变的。要回答这一问题就必须了解特定的通信系统的细节, 如信号的类型(语言、数据、视频等); 有用信号的带宽; 调制和编码技术; 无用信号的特性(带宽、功率、信号类型); 最后是评估被接收的有用信号质量的准则。

1-2-4. 可实现的反混叠滤波器

ADC 前端的滤波器和定义的带宽密切相关, 而带宽又和信号成分相关。滤波器相当于一个信号处理环节把某些频率成分滤除。必须注意, 有用信号和无用信号都出现在滤波器之前, 滤波器对不同的信号有不同的衰减。有了这个概念, 就能决定被数字化信号的真实频谱。奈奎斯特采样对滤波器的要求是不切合实际的。理想情况下, ADC 前的反混叠滤波器应该让截止频率前的所有频率分量通过, 而对截止频率后的频率分量的衰减为无穷大。奈奎斯特采样要求滤波器在 $1/2$ 采样频率处有一个直角的衰减曲线, 而实际的滤波器的频率响应是从截止频率逐步过度到阻带的。因此, 对于给定截止频率的实际滤波器来说, 两倍于截止频率的采样一定会产生频谱折叠。滤波器的过渡带越陡、阻带衰减越大, 由于频谱折叠而产生的畸变就越小。一般来说, 滤波器的过渡带越陡、阻带衰减越大, 其结构也就越复杂。所以, 对于一个特定的采样频率来说, 要减少频谱折叠, 就必须有一个复杂的滤波器。而实际上要实现一个高阶、陡峭过渡带的滤波器是比较困难的, 并且滤波器的阶数越高, 其相位响应则趋于非线性。这也会使信号产生畸变, 因为不同的频率成分的延迟不相同。

1-2-5. 过采样技术减轻对反混叠滤波器的要求

采样频率大于奈奎斯特频率的采样称为过采样。过采样的一个好处是采样后的信号频谱 $F_s(f)$ 中的每个原始信号的频谱 $F(f)$ 相隔得较开。如果对于一个给定的信号和一个给定的截止频率(f_c)的滤波器, 奈奎斯特采样会造成频谱混叠。当采样频率增大时, 过渡带较缓慢、阻带衰减较小的滤波器也同样可以作为反混叠滤波器, 而不增加频谱的混叠。因此, 过采样技术可以减少对反混叠滤波器的要求, 当然不利的一面是要用快速的 ADC 来采样一个相对较慢的信号。

1-2-6. 正交采样减小 ADC 的采样速率

在正交采样中, 被采样的信号分为两个信号。一个是原始信号乘以正弦信号经下变频而转成的中心频率为零频的同相信号(in-phase); 一个是原始信号乘以余弦信号经下变频而转成的中心频率为零频的正交信号(quadrature-phase)。这两个信号都只有原始信号频带的一半。因此, 正交采样的采样频率只需要取原始信号采样频率的一半, 但需要两个采样时钟相位一致的 ADC, 而不是一个 ADC。

1-2-7. 直接下变频的带通采样

如果信号是一个带通信号, 采样频率低于 $2f_{\max}$ 仍可以精确地恢复出模拟信号中的信息。一个理想的带通信号的所有频率成分应介乎于一个最大频率 f_h 和最小频率 f_l 之间。对带通信号而言, 最小采样频率应大于信号带宽 $f_h - f_l$ 的两倍。为了保证频谱不会混叠, 采样频率必须介于两倍信号带宽和两倍带通信号的最高频率之间。采样频率应满足以下公式:

$$\frac{2f_h}{k} \leq f_s \leq \frac{2f_l}{k-1} \quad (1-2-1)$$

这里 k 被限制为整数且满足下式:

$$2 \leq k \leq \frac{f_h}{f_h - f_l} \quad (1-2-2)$$

而且 $(f_h - f_l) \leq f_l$

带通采样可以把一个位于射频或中频的带通信号下变频为一个更低的中频的带通信号。由于带通信号按照采样频率的整数倍重复, 选择适当的采样频率, 则可实现原始带通信号的下变频功能。

带通采样满足无线电接收机的要求, 直接在射频或中频进行信号的数字化。对于无线电接收机来说, 其输入信号也正好是一个带通信号。理论上, 带通采样所需的采样频率可以比普通采样所需要的大于或等于两倍的信号最高频率小很多。这就意味着带通采样可以用较小采样速度的 ADC (这就潜在地提高了 ADC 的性能, 降低了功耗和成本)。然而在实现时, 一个重要问题是 ADC 的模拟信号通道要能有效地在带通信号的最高频率分量上工作。这一点通常定义在 ADC 的模拟输入带宽上。一般来说, 常规的 ADC 都被设计为模拟带宽是采样频率的一半。输入信号频率增大时, ADC 的性能都下降。当 ADC 用于带通采样时, 要检验它的性能指标是否适应较高的输入频率。此外, 带通采样还对 ADC 前的滤波器有很高的要求, 该带通滤波器要保证有很陡的过渡带和大衰减的阻带, 以确保把临近信道的信号滤除, 防止有用信号的畸变。

1-2-8. 量化噪声、失真和接收机的噪声

这里讨论量化噪声、谐波失真和接收机噪声之间的关系。大量的最适用于 RF 和 IF 量化 ADC 一般采用均匀量化技术。在均匀量化中, 量化电平都是相等的。其他量化方法, 如对数量化方法 (A 率和 μ 率), 自适应量化方法及差分量化方法通常用于信源编码中。因其实现起来的难度使之还不能直接用于 RF 和 IF 信号的量化。随着技术的进步, 这些量化技术必将运用于 RF 和 IF 的量化过程中。有关这些量化技术的介绍见附录一。

在均匀量化中, 模拟信号不可能仅用有限个不连续的量化电平来准确表示, 因此, 某些差错就会被带进量化后的信号中成为量化噪声。量化误差是模拟信号与数字信号之差。在统计上, 可假设量化误差在各个量化电平上是均匀分布的。根据这一假设, 量化噪声功率的均方值 P_{qn} 为:

$$P_{qn} = \frac{q^2}{12R} \quad (1-2-3)$$

上式中, q 是量化步长, R 是 ADC 的输入阻抗。对理想的 ADC, 如果输入信号与采样时钟无关的话, 量化噪声功率精确到一个 dB 以内。另外, 如果输入到 ADC 的模拟信号是周期信号, 则量化误差也是周期性的, 周期性的量化误差包括输入模拟信号的谐波及其引起的谐波失真。此外, 由于频谱的折叠, 落在奈奎斯特频率以上的谐波也将出现在奈奎斯特频带中。Dither 是一种有效的方法来减小这种谐波失真。实现这种技术的一种方法是利用自然地加在 ADC 模拟信号输入端上的热噪声。热噪声加上量化噪声使得量化误差成为均匀分布。一种实

现这种技术的简单方法是用一个放大器放大接收机的噪声，使其比量化噪声大几个 dB。这种方法我们在第四章中还要详细研究。

目前市场上的 ADC 一般有 1 到 20V 的满幅度范围 (FSR)，ADC 的 FSR 是 ADC 模拟输入电压的最大值和最小值之差，当 FSR 由多个 (2^B 个，B 是 ADC 的量化比特数) 量化电平进行划分时，可求出量化间隔的大小 q 。对于具有 2.5V FSR 的 8b 的 ADC，其量化间隔的大小是 9.77mV。为计算量化噪声功率，必须了解 ADC 的有效输入阻抗。

无线接收机一般的输入和输出阻抗为 50Ω ，ADC 的输入阻抗通常比这个阻抗值高，无法准确确定每个 ADC 的输入阻抗。因此，当 RF 部件与 ADC 相连时，必须考虑阻抗不匹配问题（这在量化 RF 或 IF 信号时是必须的）。使阻抗匹配的简单方法是：在 ADC 的输入端加一 50Ω 的电阻负载，从而使 ADC 的有效输入阻抗接近 50Ω ，然后再计算量化噪声功率。假设 ADC 的有效输入阻抗为 R ，量化噪声功率为 -38dBm，对于一个噪声限制的接收机，接收机噪声功率 P_{rn} 为给定的接收机带宽上的热噪声加上接收机噪声 (Noise Figure)。可表示为：

$$P_m = -174dBm + 10\log_{10} BW(Hz) + NF(dB) \quad (1-2-4)$$

由式 (1-2-4) 可见，对于 10MHz 带宽和 6dB NF 的接收机，其噪声功率为 -98 dBm，因此，要将接收机噪声提高到量化噪声的功率电平，需要 60 dB 的增益。对于分辨率较高的 ADC，因为量化噪声功率较小，只需放大器有较小的增益，同时，因为接收机噪声功率较大，较宽的接收机带宽及较高接收机噪声数只需较小的放大增益。不过，对于常用的接收机与 ADC 结合时，必须有自动增益控制，这样既确保信号峰值功率不超过 ADC 的 FSR，又使输入噪声是一个幅度为最小量化电平 (LSB) 的均匀噪声。

第三节 无线电接收机中的数字下变频

1-3-1. 模拟接收机的原理

常规的超外差无线电接收机的原理框图如图 1-3-1 所示，这种技术已经有一百多年的历史了。为了更好地了解数字复解调，必须回顾一下这个结构。

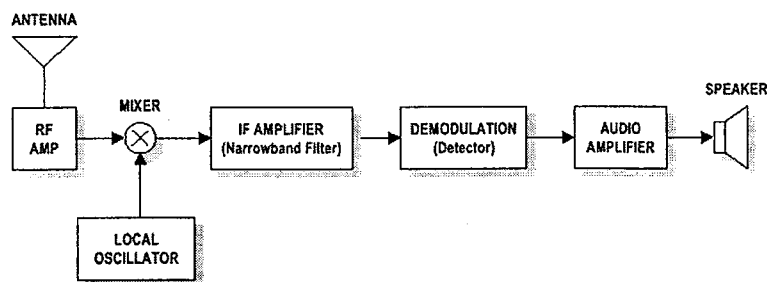


图 1-3-1 超外差无线电接收机的原理框图

从天线来的射频信号 (RF) 通过天线接收后被放大，通常这个 RF 阶段被设置成只放大有用频段的信号。被放大的 RF 信号接着送入混频器 (mixer)，混频器的另一输入来自本地振荡器的输出。本地振荡器的频率通常由接收机上旋钮来调节。混频器把输入 RF 信号转换为中频 IF 信号，如图 1-3-2 所示。

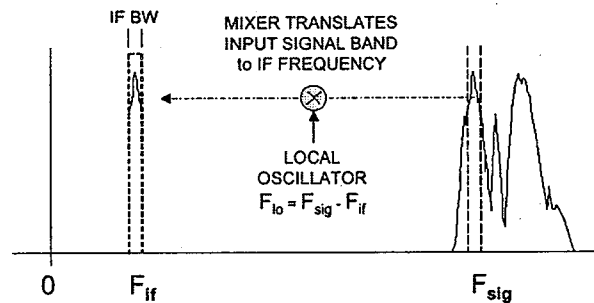


图 1-3-2 混频器把输入 RF 信号转换为中频 IF 信号

中频阶段是一个带通滤波器，它只让一个信号或者说一个电台通过。对于常规的商用无线电 AM 和 FM 广播来说，这个滤波器的中心频率是 10.7MHz，带宽为 455kHz。解调器从中频信号中恢复原始的调制信号有几种不同的方法：对 AM 调制信号来说，解调用包络检测器，对 FM 调制来说，解调用鉴频器。对于常用的家用收音机，解调后的信号经音频放大后送入扬声器。

混频器的作用是将两个输入信号相乘并产生一个不同频率的信号。本地振荡器的输出频率可以被调节，它被调节为输入射频的频率与本地振荡器的频率之差，即中频频率(IF)。例如接收一个 FM 的信号频率为 100.7MHz，而中频信号为 10.7MHz，则本地振荡器的输出频率为：

$$100.7 - 10.7 = 90 \text{ MHz}$$

这就被称为“下变频”或“频率转换”，因为一个信号由一个高的频率经混频器后被转换到一个低的频率。中频处理部分的作用是一个窄带滤波器，它把被转换的 RF 信号中的一小部分取出来，中频部分的带宽就是接收机所要接收信号的带宽。对于商用 FM 信号，其带宽为 100kHz，而 AM 信号为 5kHz，这和它们的中频信道带宽 200kHz 和 10kHz 是一致的。

1-3-2 数字接收机的原理

数字接收机的原理框图如图 1-3-3 所示，它和模拟接收机的原理非常一致，因为所有模拟接收机的原理都适用于数字接收机。

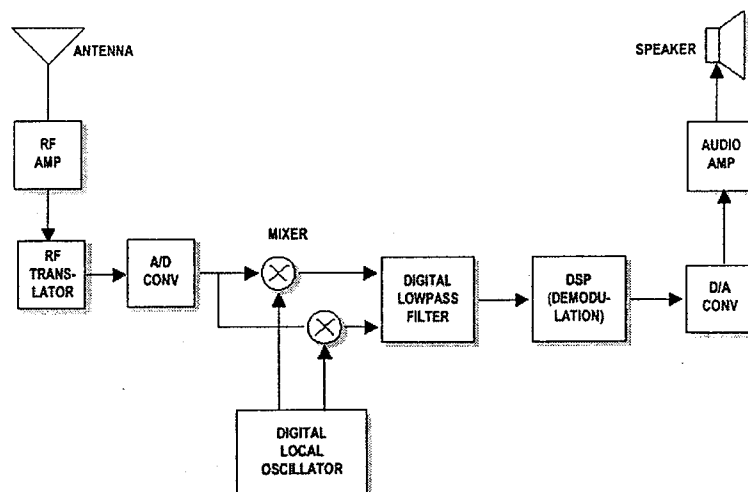


图 1-3-3 数字接收机的原理框图

紧接着射频放大器后的是一个可选的 RF 转换模块，可以用一个 A/D 转换器把 RF 输入转换为数字信号。后面的混频器、滤波器和解调器都采用数字信号处理元件。

在进行进一步叙述之前，先来看一下奈奎斯特采样定理：如果采样频率至少大于信号带宽的两倍，任何信号都可以用离散的采样信号来表示。那么，如果违背了奈奎斯特采样定理，结果会怎样？图 1-3-4 是一个采样系统的频谱，采样频率为 f_s 。对于所有的输入信号，其频率都小于 $f_s/2$ ，包括 f_0 。在这种情况下，输入信号满足采样定理，图中阴影部分的信号都可以被采样数据所表示。如果输入信号为 f_a ，大于 $f_s/2$ ，那么，采样后的结果是产生一个镜像频率 $f_s - f_a$ 。这个镜像频率和同样频率点的信号是无法区分的。

克服镜像频率的一种最直接的方法是采用抗混叠滤波器。这个滤波器放在 ADC 的前面，它把大于 $f_s/2$ 的信号都滤掉。它的频率响应如图 1-3-5 所示。对于大于 $f_s/2$ 的信号 f_a ，在 A/D 转换后就不会出现。

同样的道理，通过选用不同类型的滤波器，可以使 ADC 采样到不同频段的信号。所以，对奈奎斯特采样定理必须进行一下补充，即采样频率应大于被采信号带宽的两倍。例如，要接收的信号是图中 $f_s/2 \sim f_s$ 频段，这就要用一个 $f_s/2 \sim f_s$ 的带通滤波器加在 ADC 前。一旦采样完成后， $f_s/2 \sim f_s$ 频段的信号被折叠到 $DC \sim f_s/2$ 。 $f_s/2$ 频率被称为折叠频率点。被采的信号的频率如果大于 $f_s/2$ 的采样又被称为“欠采样”（undersampling），而且采样过程中就实现了一次频谱折叠，这也相当于一次下变频。然而，在这种情况下必须确保 ADC 芯片有良好的前端电路，并且能够很好地处理较高频段的输入信号（ $f_s/2 \sim f_s$ ）。

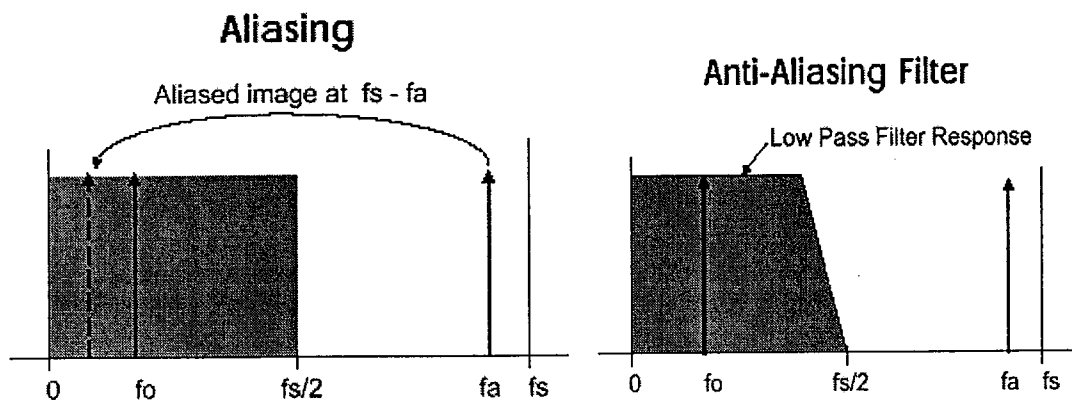


图 1-3-4 采样系统的频谱

图 1-3-5 抗混叠滤波器的频率响应

1-3-3 数字接收机中的数字下变频

再回过头看一下数字接收机的原理框图，A/D 转换器输出的数据送入一块数字接收器芯片，在图 1-3-6 中用点画线框出。这个数字接收器芯片通常由单片芯片来完成，并成为数字接收机的核心。它又被称为数字下变频转换器 DDC (digital down converter)。

数字接收器芯片主要由三个部分组成：本地振荡器、混频器和实现抽选的低通滤波器。

(a) 数字本地振荡器

图 1-3-7 是数字接收芯片的原理框图。数字本地振荡器又被称为数字频率合成器 DDS (direct digital frequency synthesizer) 或数字控制振荡器 NCO (numerically controlled oscillator)。它完全是由数字电路来实现的。这个振荡器可以产生两路精确的、相位相差 90° 的正弦波样本。注意，

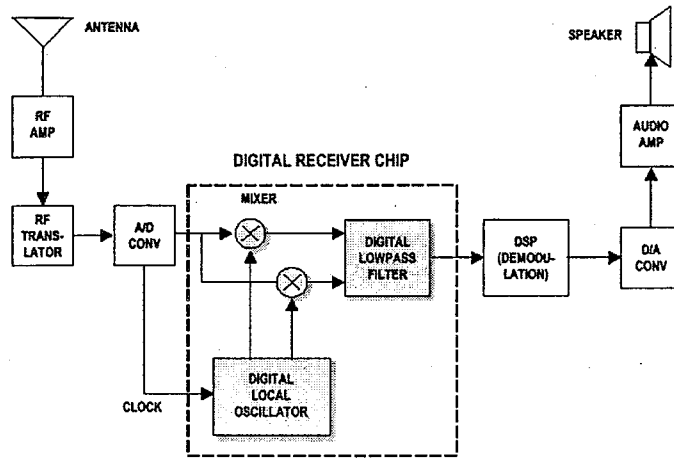


图 1-3-6 数字接收机和数字接收器芯片

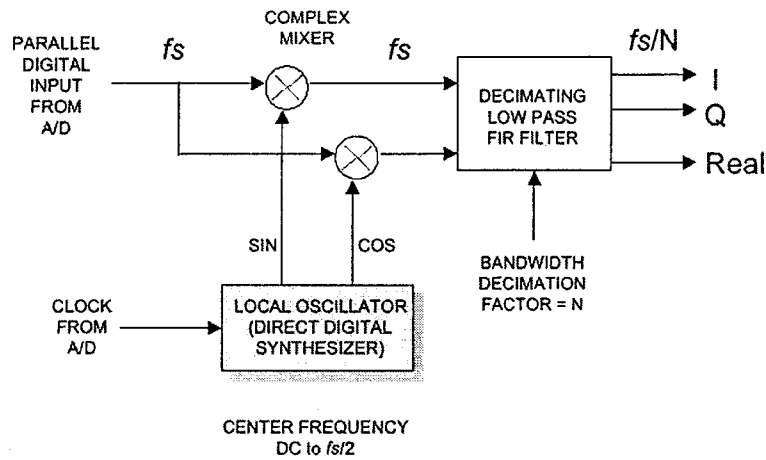
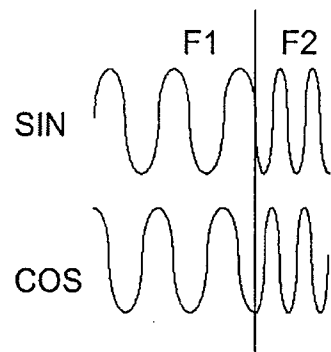


图 1-3-7 数字接收芯片的原理框图

ADC 的时钟同时送入振荡器，振荡器数据样本的输出是由采样时钟来控制的，NCO 的数据输出速率和 ADC 的输出速率一样，都为 f_s 。NCO 在实现数据输出是通过查找 SIN/COS 表来完成的。由于无论 NCO 被设置为何种频率，其输出速率都是不变的，所以它的 SIN/COS 输出是通过程控改变一点相移来实现的。对于一个低频输出，每个样本的相移就小；而对于一个高频输出，每个样本的相移就大。每个样本的相移正比于输出频率。一般来说，NCO 能做到输出频率从 $DC \sim f_s/2$ ，并高达 32bit 的频率分辨率。也就是对于一个 70MHz 的采样时钟来说，输出频率为 $DC \sim 35MHz$ ，分辨率小于 1Hz。



NCO 还有一个非常重要的频率转换特性，如图 1-3-8 所示。当输出频率在两个频率之间转变时，数字累加器会精确地控制输出正弦和余弦信号的相位，使其保持连续。当频率要发生变化时，对于 NCO 来说实际上是改变每个样本的相位差。

图 1-3-8 NCO 的频率转换特性

这一特性使 NCO 能很好地完成 FSK(frequency shift keying) 并且良好地解决了扫频问题。这就避免了采用锁相环频率合成器。NCO 输出频率的改变是通过加载一个新的数字频率字(32bit 二进制数)来完成的。这个过程需要的时间很少,通常只需要 $1\mu\text{s}$ 。有些数字接收器芯片还将线形调频功能做入 NCO 中。这种快速、可控且精确的扫频功能在雷达系统中非常适用。

(b) 数字混频器

数字混频器的原理框图仍为图 1-3-7 所示。混频器实际上是两个数字乘法器。从 A/D 转换器来的数据和 NCO 产生的两路正弦和余弦信号相乘,因为采样速率和 NCO 的速率一样,混频器数据输出的速率也是采样速率 f_s 。混频器的输出被称为 I 和 Q (in-phase 和 quadrature),它们保留了输入信号重要的相位信息。从信号的角度来讲,混频后把一个输入的实信号转换为单边带复信号。

与模拟的混频器所不同的是:模拟混频器产生许多不需要的分量,而数字混频器却接近理想的乘法器,它只产生两种分量,即信号的和频与差频。混频器产生的信号的差频如图 1-3-9 所示。

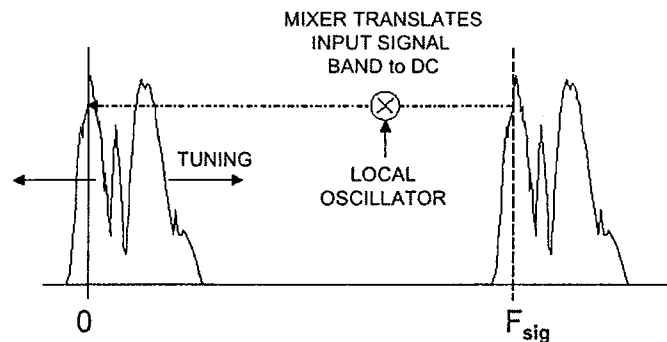


图 1-3-9 混频器的频率转换

混频器的输出信号已经由一个高频宽带信号转换到直流 DC 附近,并有一定的偏移,这个偏移取决于本地振荡器的频率。通过调节 NCO 的频率,可以把 RF 输入信号直接转换到 DC,也就是把宽带的 RF 信号转换成中心频率为 0 的信号。这样也就可以用下面的低通滤波器将无用信号滤除掉。

(c) 可抽选的低通滤波器

可抽选的低通滤波器以 ADC 采样速率接收来自混频器的数据。它采用数字信号处理的方法实现一个 FIR 滤波器。这个滤波器通过 0 到可编程截止频率范围内的所有信号,而把截止频率以上的频率滤除。滤波器的输入可以是一路输入 (real) 或两路输入 (complex)。它的内部必须能够同时对两路信号进行滤波。其输出也可以是一路输出 (real) 或 IQ(complex) 两路输出,这取决于实际应用的要求。

图 1-3-10 表示滤波器的滤波作用。滤波器保留了 0 到滤波器带宽的信号,而把其他高频信号滤除。注意,滤波器的输出仅仅是 RF 输入信号转换到 DC 附近中的一小部分信号,而其他信号都被阻止了。假定宽带 RF 输入信号的带宽是 30MHz,采样频率是 70MHz,有用信号的中心频率是 20MHz,有用信号的带宽是 6kHz。通过设置 NCO 的频率为 20MHz,低通滤波器的带宽为 6kHz,就能把 6kHz 带宽的有用信号转换并提取出来。如图 1-3-11 所示。从图中可以看出,原来信号的带宽为 30MHz,而滤波后被降为 6kHz,而采样频率也由原来的 70MHz 降到滤波后信号所需的 7kHz。采样率可以被降低了 10,000 倍。

下面的问题是如何确定 FIR 滤波器的抽取因子 N 。抽取因子 N 是滤波器输入数据速率和输出数据速率的比值，也是输入信号带宽和输出信号带宽的比值。为了设置滤波器的带宽，必须

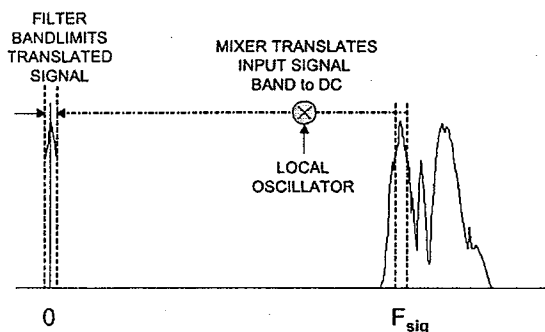


图 1-3-10 滤波器的滤波作用

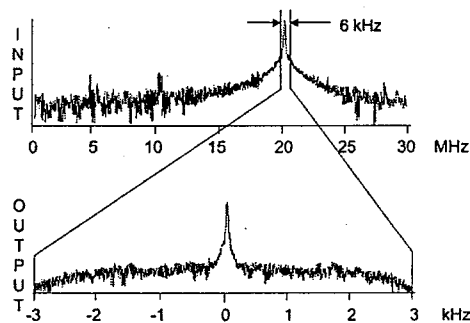


图 1-3-11 低通滤波器对信号的提取

设置滤波器抽取因子 N 。抽取因子 N 的选取公式如下：

$$\text{输出带宽} = \text{输入带宽}/N$$

$$\text{两路输出 (complex) 数据速率} = \text{输入数据速率}/N$$

$$\text{一路输出 (real) 数据速率} = 2 * \text{输入数据速率}/N$$

例如采样频率为 70MHz, 滤波后的信号带宽为 7kHz, 抽取因子 N 就可设置为 10, 000, 两路输出的速率为 7kHz, 单路输出的速率为 14kHz。注意采样频率一般设置为大于信号带宽的一倍, 如 30MHz 带宽的信号采样率为 70MHz; 6kHz 带宽的信号采样率为 7kHz。

(d) 宽带接收器和窄带接收器

数字接收器可划分为两种：宽带接收器和窄带接收器。窄带接收器的抽取因子 N 从 32 或 64 变化到 65, 536 或 131, 072。具体数值取决于芯片制造厂家。宽带接收器的抽取因子 N 从 2 变化到 64。表 1-3-1 比较了几种数字接收器芯片的参数。

表 1-3-1 几种数字接收器芯片的参数

输入速率 f_s	70MHz	70MHz	70MHz	62.5MHz	65MHz	65MHz
输入位数	16	12	12	14/16	16	16
抽取因子 N	64 到 131k	64 到 65k	2,4,8,16, 32,64	64 到 131k	程控	64 到 131k
输出速率 real	$2 * f_s / N$	$2 * f_s / N$	$2 * f_s / N$	$2 * f_s / N$	程控	程控
输出速率 complex	f_s / N	f_s / N	f_s / N	f_s / N	程控	程控
3dB 输出 带宽	$0.56 * f_s / N$	$0.8 * f_s / N$	$0.8 * f_s / N$	$0.8 * f_s / N$	程控	程控

表(1-3-1)中前三个芯片是窄带接收器, 第四个是宽带接收器。显然宽带接收器的抽取因子要小于窄带接收器抽取因子的变化范围。注意, 滤波器的 3dB 输出带宽表示为采样频率乘以一个百分数, 再除以抽取因子 N 。这个百分数反映了芯片中特定 FIR 滤波器的特性。每个滤波器都有其特性, 如同带平坦度、过度带宽和阻带衰减。不同的滤波器适合不同应用场合。有些滤波器

的抽取因子和 FIR 系数都可以用程序下载到芯片中，这类滤波器的应用范围就更大了。一般来说，窄带接收器的滤波器特性只通过设置其抽取因子来设置，而宽带接收器的滤波器的滤波特性由抽取因子和滤波器系数两者来决定，且主要由滤波器的系数来决定。详细的探讨在第八章论述。

(e) 数字下变频小结

数字下变频可以主要分为两个部分，这两个部分分别用程控参数来设置，如图 1-3-13 所示。

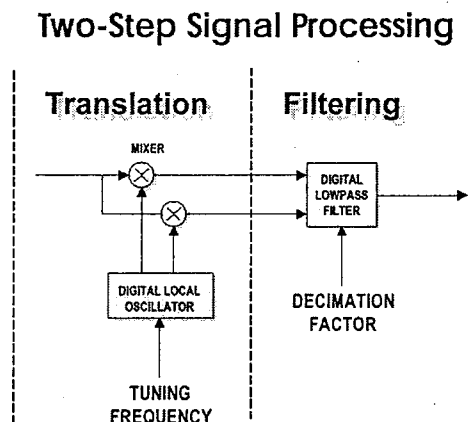


图 1-3-13 数字下变频的两个部分

一个部分是通过设置 NCO 的频率来把输入信号转换到 DC。一个部分通过设置抽取因子或滤波器系数来实现信号的提取。

由于整个信号的处理都是由数字电路和 DSP 技术来完成，因此，不会出现模拟方法处理中出现的负面效应。首先，接收器的性能不会受温度变化的影响和元件老化的影响，不需要进行校准或预防性的维护。这就保证了信道与信道完好匹配，在需要检测信道与信道之间相移变化的应用中，如方向检测，尤为显得突出。

FIR 滤波器具有线性相位和良好瞬态响应。滤波器的带宽程控范围大（1000 到 1），并且具有绝对可预测和均匀的响应输出。最后，由于接收器只选取了有用的信号作为输出，其速率大大降低，可以设置为最佳速率并有利于后续 DSP 处理。

1-3-4 数字接收机的其他部分

由数字接收器出来的数据一般直接送入 DSP 进行处理，如图 1-3-6 所示。DSP 所完成的工作主要是信号的解调 (AM, FM, PM)；频率和相位键控 (FSK, PSK)；频谱扩展；信号分析 (FFT) 和信号识别；信号记录和信号跟踪等。这一部分的内容非常广泛，由于不是本论文所涉及的内容，在此就不再赘述。

第二章 A/D 变换器的性能与性能指标

第一节 信号的量化与量化噪声

模拟/数字变换 (ADC) 是将模拟信号转换成数字信号的一个量化过程。但是, 这里包含着时间和幅度两个变量的量化过程, 即通常所说的取样和量化。这里主要讨论的是幅度变量的量化。

2-1-1 ADC 位数与量化电平

在具体讨论之前, 先引入 A/D 转换器的位数和量化电平 (Quantized Level) 的概念。

由于模拟/数字变换的输出数字量将进一步提供给计算机进行处理, 所以模拟/数字变换的输出数字量自然是采用数字计算机所使用的二进制数字格式, 最常用的是自然二进制代码。自然二进制代码的格式为: 2^N , 其中 N 为自然二进制代码的位数, 也就是模拟/数字变换的位数。

同数字计算机一样, MSB (Most Signification Bit) 代表了模拟/数字变换输出数字的“最高有效位”; 而 LSB (Least Signification Bit) 代表了模拟/数字变换输出数字的“最低有效位”。

如果输入模拟信号的满量程电压值为 FSR (Full Scale Range), ADC 的位数为 N , 量化电平用 Q 表示, 则有:

$$Q = \frac{FSR}{2^N} \quad (2-1-1)$$

2-1-2 量化方法与量化误差

对于实际的 ADC 总是希望量化电平 Q 越小越好。实际上, 量化电平 Q 的值总会有一个限度, 因此, 量化过程引入误差是不可避免的, 通常定义其误差为:

$$\text{误差} = \text{量化值} - \text{实际值} \quad (2-1-2)$$

量化的方法基本上可分为两种方法, 舍入法和截断法。

- ① 舍入法: 采用最靠近实际采样值的量化值来近似采样值。
- ② 截断法: 采用不大于实际采样值的最大量化值来近似采样值。

设一个 $N=3$ 的 ADC, 并且 FSR 为 10V。考虑截断法和舍入法两种不同的量化方法对输入模拟信号进行量化, 如图 2-1-1 所示。

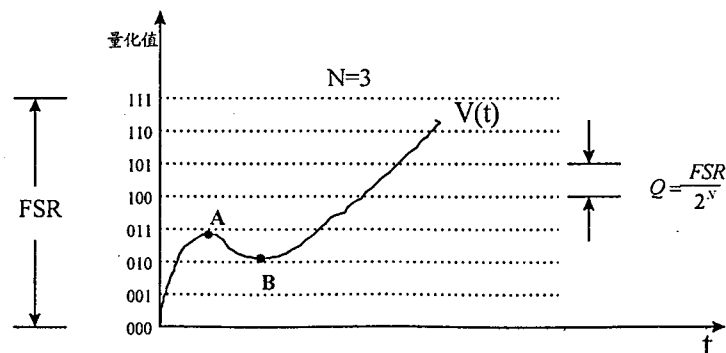


图 2-1-1 截断法和舍入法量化模拟信号时的比较

考虑输入信号 $V(t)$ 中的 A 和 B 两点。对于截断法，量化后的取值采用不大于实际采样值的最大量化值。所以，模拟信号的 A、B 两点量化后取值均为 010，误差的范围为： $(-Q \sim 0)$ ；对于舍入法，量化后的取值采用最靠近实际采样值的量化值。所以，A 点的取值为 011，误差范围为 $(0 \sim Q/2)$ ；B 点的取值为 010，误差范围为 $(-Q/2 \sim 0)$ 。因此，舍入法量化的误差范围为 $(-Q/2 \sim Q/2)$ 。

图 2-1-2(a)和(b)分别给出了两种量化方法模拟—数字变换器的输入/输出特性曲线。 X_a 表示输入的模拟信号， X_d 表示输出的数字信号。注意，这里输入/输出特性曲线都是非线性曲线。从这个意义上讲，模拟—数字变换必然存在着误差。从图 2-1-2 可以看出，两种量化方法的输入/输出特性曲线基本是一样的，不同的是两者在横轴上有一个 $Q/2$ 的平移。因而，两者一定存在很多相同的地方，也会有一些不同处。下面的计算可看出，两者的量化误差的平均值不同，但均方值是一样的。这一点也可以从图 2-1-3 的量化误差与输入信号之间的关系曲线中看出。

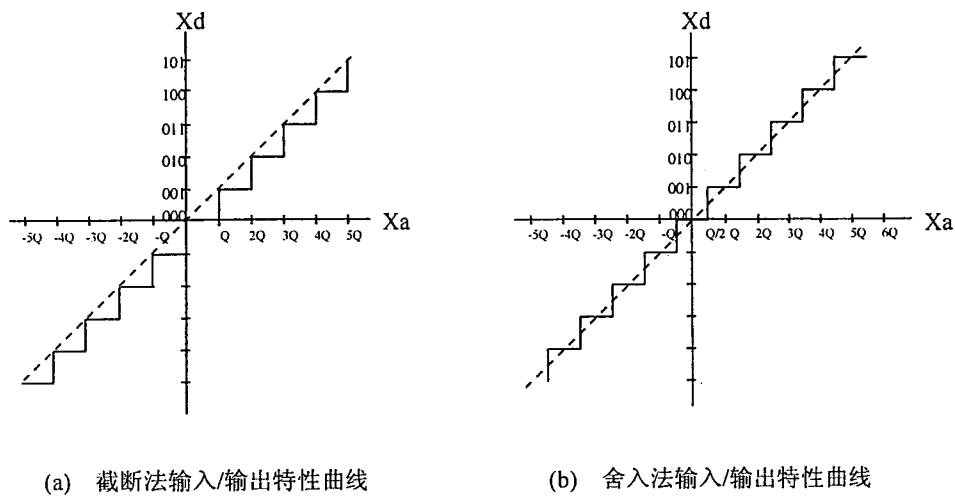


图 2-1-2

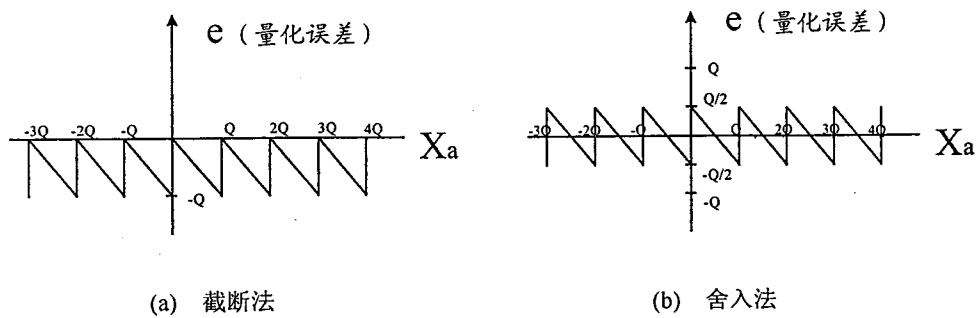


图 2-1-3 量化误差与输入信号的关系曲线

对量化器或者说是 ADC 而言，输入信号的幅度在它的动态范围内可以是任意的数值，出

现各种幅度的概率是随机的，并且是均等的。因而，一般可以认为量化误差是一个随机量、并且均匀分布在 $(-Q \sim 0)$ 区域内（截断法）或 $(-Q/2 \sim Q/2)$ 区域内（舍入法），当变换位数取得足够大时，量化误差可以做得很小。但实际量化时，变换位数 N 的取值总是有一个限度，因此带来了一定的误差。由于这种误差是在一定数值范围内随机出现的，类似于电噪声的概率特性。因此这种量化误差通常被称为量化噪声（Quantification Noise）。

类似于噪声，我们关心它的均值、均方差值，它们可以用概率统计的期望值公式来计算：

$$E\{f(x)\} = \int_{-\infty}^{\infty} f(x)p(x)dx \quad (2-1-3)$$

其中： $p(x)$ 为函数 $f(x)$ 的概率密度。

所以，计算量化噪声的平均值公式为：

$$\bar{e} = E\{e\} = \int_{-\infty}^{\infty} e \cdot p(x)dx \quad (2-1-4)$$

计算量化噪声的均方差值公式为：

$$\sigma_e^2 = E\{(e - \bar{e})^2\} = \int_{-\infty}^{\infty} (e - \bar{e})^2 \cdot p(x)dx \quad (2-1-5)$$

由图 2-1-3 可知，量化噪声的大小随模拟信号的大小呈周期性变化，而且两种量化方法的变化规律是类似的。在每一个周期内，产生不同大小的量化噪声的几率是均等的。图 2-1-4 给出了两种量化方法每个周期内量化噪声的概率分布。

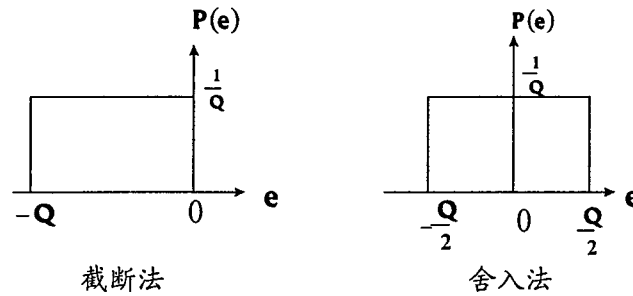


图 2-1-4 量化噪声的概率分布

对于量化噪声 e 来说，在每一个量化电平内，输入信号出现的概率是相等的，因而有：

$$P(e) = \frac{1}{Q} \begin{cases} -Q < e < 0 & \text{截断法} \\ -Q/2 < e < Q/2 & \text{舍入法} \end{cases} \quad (2-1-6)$$

所以，误差的平均值为：

$$\begin{aligned} \bar{e} &= E\{e\} = \int_{-\infty}^{\infty} e \cdot p(e)de = \frac{1}{2Q} e^2 \Big|_{-\infty}^{\infty} \\ &= \frac{1}{2Q} e^2 \Big|_{-Q}^0 = -\frac{Q^2}{2Q} = -\frac{Q}{2} \quad \text{截断法} \end{aligned} \quad (2-1-7a)$$

$$\text{或者：} \quad = \frac{1}{2Q} e^2 \Big|_{-Q/2}^{Q/2} = 0 \quad \text{舍入法} \quad (2-1-7b)$$

对于量化噪声的平均值来说，两种量化方法是不一样的。由于舍入法的量化误差是正负

完全对称, 因此其平均值自然等于零。而截断法的量化误差都是负值, 所以其平均值也是一个负值。这些可以从图 2-1-3 量化误差与输入信号的关系中看得很清楚。事实上, 从噪声的统计性质出发, 应该更关注量化噪声的均方差值。由前面提到的均方差值的期望值计算公式(2-1-5), 可以计算两种量化方法产生的量化噪声的均方差值。

对于截断法, 有:

$$\begin{aligned}\sigma_e^2 &= \int_{-\infty}^{\infty} \left(e + \frac{Q}{2}\right)^2 \cdot p(e) de = \int_{-\infty}^{\infty} \left(e^2 + eQ + \frac{Q^2}{4}\right) \cdot \frac{1}{Q} de \\ &= \int_{-\infty}^{\infty} \left(\frac{e^2}{Q} + e + \frac{Q}{4}\right) de = \left(\frac{e^3}{3Q} + \frac{e^2}{2} + \frac{Qe}{4}\right) \Big|_{-Q}^0 = \frac{Q^2}{12}\end{aligned}$$

对于舍入法, 有:

$$\begin{aligned}\sigma_e^2 &= \int_{-\infty}^{\infty} e^2 \cdot p(e) de = \frac{1}{Q} \int_{-\infty}^{\infty} e^2 de = \frac{e^3}{3Q} \Big|_{-\frac{Q}{2}}^{\frac{Q}{2}} \\ &= \frac{Q^2}{3 \times 8} + \frac{Q^2}{3 \times 8} = \frac{Q^2}{12}\end{aligned}$$

由此可以得出, 无论是截断法, 还是舍入法, 其量化噪声的均方差值的大小是一样的。这个结论其实从图 2-1-2、图 2-1-3 和图 2-1-4 已经可以看出。所以有:

$$\sigma_e^2 = \frac{Q^2}{12} \quad (2-1-8a)$$

$$\sigma_e = \sqrt{Q^2 / 12} = \frac{Q}{2\sqrt{3}} = 0.29Q \quad (2-1-8b)$$

这表明, 即使模拟信号 X_a 本身是一个无噪声的信号, 但经过量化后, 相当于在输入信号的频率范围内, 也就是在 Nyquist 频率 ($f_s/2$) 内, 数字信号 X_d 包含着一个量化噪声, 量化噪声的均方根值为 $\sqrt{Q^2 / 12}$, 将量化电平 Q 的定义带入上式, 可得:

$$\sigma_e^2 = \frac{Q^2}{12} = \frac{(FSR/2^N)^2}{12} \quad (2-1-9)$$

式 (2-1-9) 说明量化噪声只与 ADC 位数 N 有关, 而与输入信号频率无关。可以认为在满足 Shannon 取样定理下, 量化噪声是均匀分布在奈奎斯特频率 ($f_s/2$) 范围内, 其面积为 $\frac{FSR}{2^N \cdot \sqrt{12}}$, 如图 2-1-5 所示。

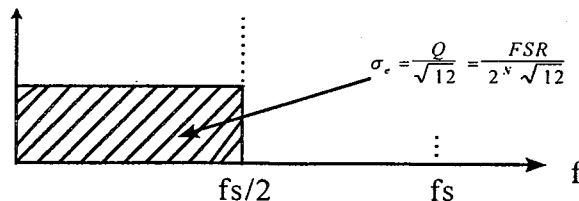


图 2-1-5

因此, 可以将实际的 ADC 输出看作是由两部分输入信号造成的, 即理想的无噪声输入 $X_a(t)$ 和一个噪声输入 $e(t)$, 所以, 量化后的数字信号 $X_a(nT)$ 可以表示为:

$$X_a(nT) = X_a(nT) + e(nT) \quad (2-1-10)$$

其中 $X_a(nT)$ 可以看作是 $X_a(t)$ 在 $t = nT$ 时的实际值。

2-1-3 ADC 的信噪比与有效位

A. 信噪比

由于量化后的数字信号 $X_a(t)$ 包含着两部分, 理想的无噪声信号部分 $X_a(t)$ 和量化噪声 $e(t)$ 。可以用式 (2-1-11) 来计算 A/D 变换器输出信号的信噪比。

$$SNR_{dB} = 10 \log \left(\frac{\sigma_x^2}{\sigma_e^2} \right) \quad (2-1-11)$$

其中 σ_x^2 为输入信号 X_a 的均方差值, σ_e^2 是量化噪声的均方差值。为了计算方便, 这里对输入信号 X_a 作归一化处理, 即 $FSR=1$, 又因为 $Q = \frac{1}{2^N}$, 所以量化噪声的均方差值 σ_e^2 可以表示为:

$$\sigma_e^2 = \frac{Q^2}{12} = \frac{1}{12 \times 2^{2N}} \quad (2-1-12)$$

所以:

$$\begin{aligned} SNR_{dB} &= 10 \log \left[\frac{\sigma_x^2}{\frac{1}{12 \times 2^{2N}}} \right] = 10 \log(12 \times 2^{2N} \times \sigma_x^2) \\ &= 10 \log(2^{2N}) + 10 \log(12 \times \sigma_x^2) \\ &= 6.02N + 10 \log(12 \times \sigma_x^2) \end{aligned}$$

计算输入信号的均方差值 σ_x^2 时, 使用正弦波信号 $X_a = A \cdot \sin(\omega t + \theta)$ 作为输入信号是最方便的, 这是因为:

- ① 正弦波信号可以很容易地得到。
- ② 正弦波信号是周期性信号, 计算容易。
- ③ 容易实现对 ADC 性能的动态测试 (FFT)。

设归一化的 $X_a(t)$ 为 $X_a = \frac{1}{2} \sin(\omega t + \theta)$, 则有 $\overline{X_a} = 0$ 。又因为正弦函数 ($\sin \omega t$) 为周期函数, 因此可以用正弦波函数的一个周期的积分来计算输入信号 $X_a = \frac{1}{2} \sin(\omega t + \theta)$ 的均方差值。即:

$$\begin{aligned}\sigma_x^2 &= \frac{1}{2\pi} \int_0^{2\pi} \frac{1}{4} \sin^2(\omega t + \theta) d\omega t = \frac{1}{8\pi} \int_0^{2\pi} \left(\frac{1 - \cos(2(\omega t + \theta))}{2} \right) d\omega t \\ &= \frac{1}{16\pi} \omega t \Big|_0^{2\pi} - \frac{1}{32\pi} \int_0^{2\pi} \cos(2\omega t + 2\theta) d2\omega t \\ &= \frac{1}{8}\end{aligned}$$

将输入信号的均方差值 $\sigma_x^2=1/8$ 带入, 即有:

$$SNR_{db} = 6.02 + 10 \log \frac{3}{2} = 6.02N + 1.761 \quad (2-1-13)$$

式 (2-1-13) 表明: 在忽略实际系统的其它因素时, 可以认为模拟/数字变换系统的输出信噪比 (SNR_{db}) 只取决于其位数 N 。这个结论其实是由量化噪声的性质决定的, 因为量化噪声的均方差值只与模拟/数字变换的位数有关 ($\sigma_e^2 = \frac{Q^2}{12} = \frac{1}{12 \times 2^{2N}}$)。由式 (2-1-13) 还可以看出, 当模拟/数字变换系统的位数每增加 1 位时, 其输出信噪比 (SNR_{db}) 就近似增加 6dB。

反过来, 可以根据系统所要求的信噪比, 估算为了克服量化噪声的影响所需要的 ADC 位数, 即量化精度。当然, 实际需要的 ADC 位数则还要更大一些, 因为在实际的系统中, 除了量化噪声外, 还存在着其它噪声和干扰, 选择较大的 ADC 位数后, 则使得量化噪声对信噪比的影响变小, 或者说其影响微不足道, 然后再考虑其它噪声和干扰, 采用其它措施, 使其减少以满足系统信噪比的要求。

表 2-2-1 给出了模拟—数字变换的位数 N 和信噪比的对应换算, 其中估算值是对根据信噪比公式算出的信噪比数值后取整的数值。在实际应用时, 为了方便, 常使用整数的估算值来进行考虑。

表 2-2-1 模拟/数字变换的位数 N 和信噪比的对应换算

N	分辨率 (量化电平)	$SNR(dB)$	估算值 (dB)
6	1/64	37.88	36
8	1/256	49.92	48
10	1/1024	61.96	60
12	1/4096	74.0	72
16	1/65532	98.08	96

B. 有效位

从另一角度看, 当从一个实际的模数/变换系统中测量出其信噪比 SNR 时, 可以将实际系统中的电噪声、外界干扰和模拟电路的非线性畸变等因素都按量化噪声折算, 由式 (2-1-13) 推出系统实际达到的位数, 即系统的有效位 $ENOB$ (Effective Number of Bits)。这就导出了公式 (2-1-14), 注意: 这里的 SNR_{ACT} 表示从系统中实际测到的信噪比。

$$ENOB = \frac{SNR_{ACT} - 1.761}{6.02} \quad (2-1-14)$$

第二节 ADC 的性能指标

可以将 ADC 的性能指标分为静态性能指标和动态性能指标，其中静态性能指标主要包括下述指标：

- | | |
|------------|---------------------------------------|
| 1. 偏置失调误差 | Offset Error |
| 2. 增益误差 | Gain Error |
| 3. 微分非线性误差 | Differential Nonlinearity (DNL) Error |
| 4. 积分非线性误差 | Integral Nonlinearity (INL) Error |
| 5. 绝对精度误差 | Absolute Accuracy (Total) Error |

2-2-1 偏置失调误差

偏置失调误差指 ADC 传输特性曲线上理想的偏置点和实际偏置点之间的模拟电压差值。偏置点指 ADC 在当数字输出为 0 时台阶的中央点。如图 2-2-1 所示：

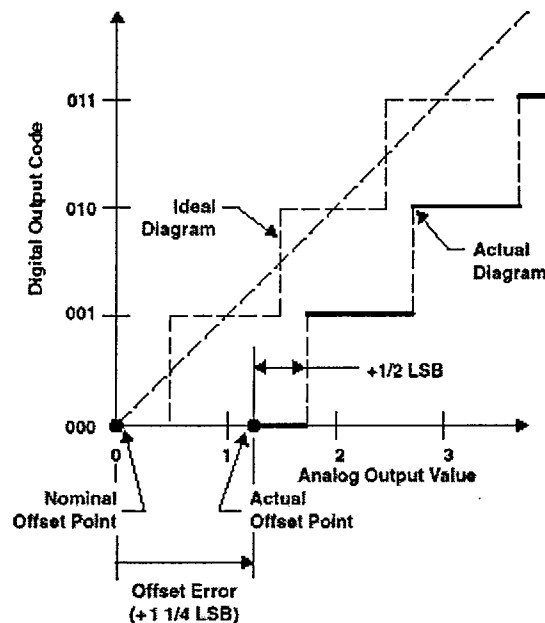


图 2-2-1 ADC 的偏置失调误差

由图 2-2-1 可见，偏置失调误差对所有输出码产生同样大小的偏置误差，通常可以通过一个微调的过程来得到补偿。否则，偏置失调误差可以认为是零刻度误差。

2-2-2. 增益误差

在把偏置失调误差校正到 0 后，传输特性曲线上理想增益点和实际增益点之间的模拟电压差值被称作增益误差。如图 2-2-2 所示：增益点指数字输出达到满刻度的台阶的中点。

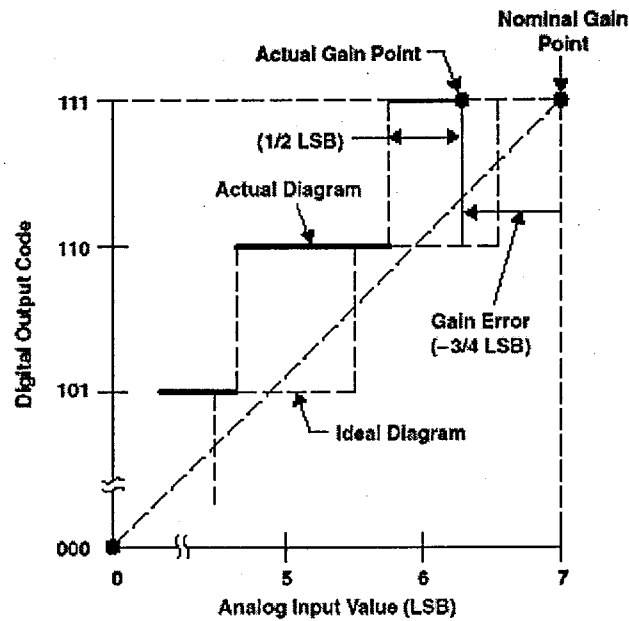


图 2-2-2 ADC 的增益失调误差（已经校正偏置失调误差）

增益误差反映了实际传输曲线和理想的传输曲线的斜率之间的差，与每一个台阶的相应的差别有关。增益误差同样可以经过微调校正为 0。

2-2-3 微分非线性误差

微分非线性误差指 ADC 的实际传输特性曲线上每一个台阶的长度（码宽）和 ADC 的最低有效位（1 LSB）的差。如图 2-3-3 所示：

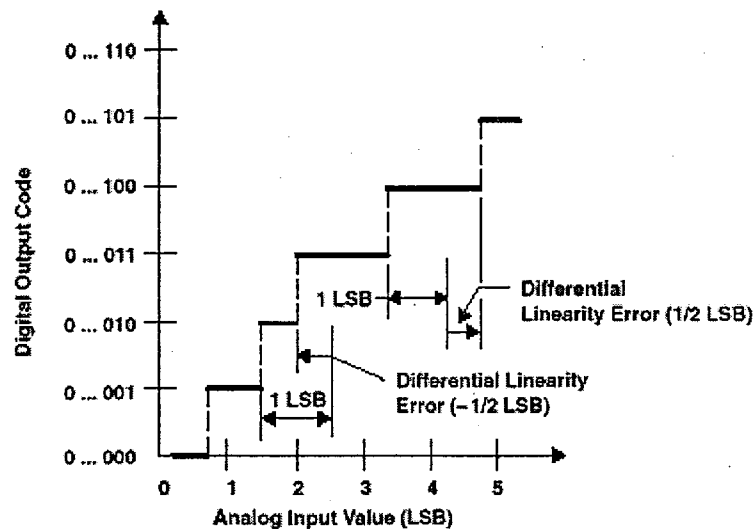


图 2-2-3 ADC 的微分非线性误差

如果微分非线性大于 1 LSB，则 ADC 就可能会产生失码，即：本来满刻度是 2^n 个输出码

中的一个甚至多个输出码永远都不会出现。

2-2-4 积分非线性误差

在校正了偏置失调误差和增益误差后，在传输特性曲线的两端作一条直线，ADC 的实际传输特性曲线上的值与这条直线之间的偏差就是积分非线性误差。

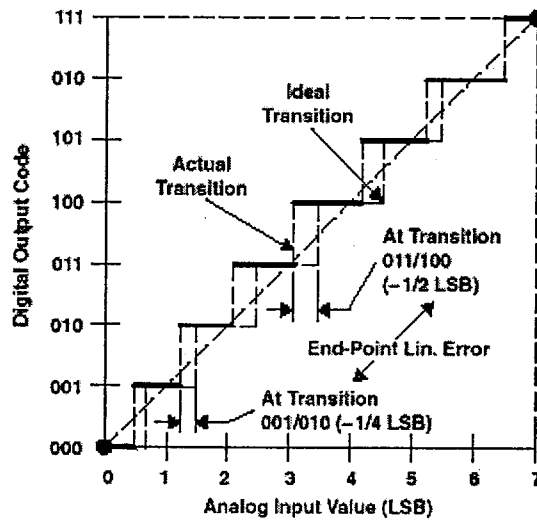


图 2-2-4 积分非线性误差

如图 2-2-4 所示，ADC 的积分非线性误差在每个输出码跃变到下一个输出码时计算。顾名思义，积分非线性是指某处的积分非线性是从传输特性曲线的最底端到此处的所有微分非线性的累积。

2-2-5 绝对精度误差

绝对精度误差指 ADC 的传输特性曲线上某个输出码上模拟电压值和理想的台阶中点的模拟电压值的最大差值。如图 2-2-5 所示：

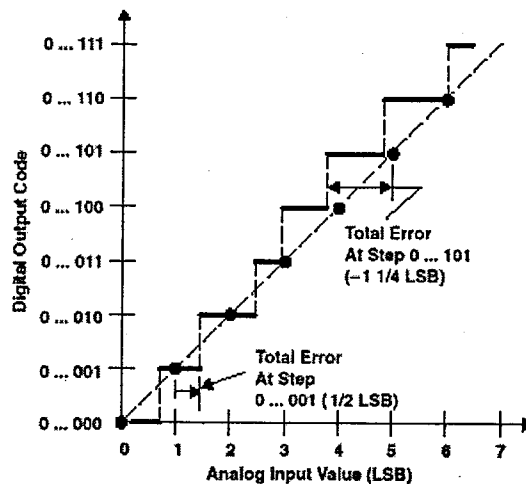


图 2-2-5 绝对精度误差

绝对精度误差中包括了 ADC 中偏置失调误差、增益误差、积分非线性形和微分非线性形误差及量化误差等的影响。

前面介绍的静态性能指标，二动态性能指标是反映高速高精度 ADC 的重要指标，它主要包括下述指标：

1. 量化噪声 (quantization noise)
2. 信噪比 (SNR)
3. 总谐波失真 (THD)
4. 信号与噪声加畸变比 (SINAD 或 S/N+D)
5. 总谐波失真加噪声 (THD+N)
6. 有效位 (ENOB)
7. 模拟带宽 (FPBW)
8. 无伪波动态范围 (SFDR)
9. 互调失真 (IMD)

2-2-6 量化噪声 (quantization noise)

ADC 输入的模拟信号是在幅度上无限个状态，然而其输出却是离散的数字信号，其有限的状态决定于 ADC 的精度。因此，在 A/D 转换的过程中，模拟输入端的一段幅度上信号在数字输出端只能用同一个数字来表示，模拟信号的一些信息因此被丢失掉，造成了失真。这就是量化噪声。量化噪声的均方值如公式 (2-2-1) 表示：

$$\sigma_e^2 = \frac{Q^2}{12} = \frac{(FSR/2^N)^2}{12} \quad (2-2-1)$$

2-2-7 信噪比 (SNR)

信噪比指信号幅度的均方根值与其他频谱成分的均方根值 (不计谐波和直流成分) 的比值 (即信号功率与噪声功率和的比值)。

$$SNR = 20 \lg \frac{RMS_{signal}}{RMS_{noise}} \quad (2-2-2)$$

根据本章第一节的推导，SNR 表示为：

$$SNR = 20 \lg \left[\frac{RMS_{signal}}{RMS_{noise}} \right] = 10 \lg \left[\frac{F^2(t)}{N^2} \right] = 10 \lg \left[\frac{A^2/2}{q^2/12} \right]$$

$$\text{因为 } q = 1 \text{ LSB} = \frac{2A}{2^n} = \frac{A}{2^{n-1}}$$

$$\text{所以 } SNR = 10 \lg \left[\frac{A^2/2}{A^2/(2^{2n-2} \times 12)} \right] = 10 \lg \left[\frac{3 \times 2^{2n}}{2} \right] = 6.02n + 1.76 \text{ dB} \quad (2-2-3)$$

这里给出的是理想情况下的信噪比，对于一个实际的 ADC，误差来源不仅是量化误差，还包括采样时钟的晃动，电源的波动及 ADC 的非线性误差等引起的误差，因此实际上 ADC 的信噪比 (SNR) 肯定要小于 $6.02n+1.76$ 。

2-2-8 总谐波失真 (THD)

实际的 ADC 还会产生谐波，如图 2-2-6 所示，当以 f_s 的采样频率采模拟频率为 f_a 的信号时，会在 $|\pm Kf_s \pm nf_a|$ 的频率上产生谐波，式中 n 是谐波的次数， $K=0, 1, 2, 3, \dots$ 。

LOCATION OF HARMONIC DISTORTION PRODUCTS: INPUT SIGNAL = 7MHz, SAMPLING RATE = 20MSPS

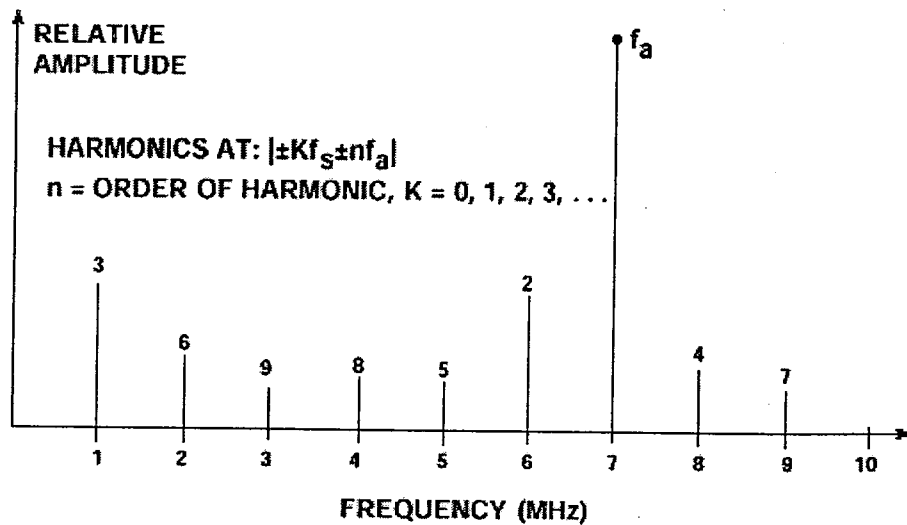


图 2-2-6. 采样产生的谐波

谐波失真的存在当然也会影响 ADC 的性能，因此定义总谐波失真 (THD) 来确定谐波失真对 ADC 性能的影响。总谐波失真是指信号幅度的均方根值与其谐波的均方根值（一般只计算前 5 次谐波）的比值。

$$THD = 20 \lg \frac{RMS_{signal}}{RMS_{(first\ 5th\ HD)}} \quad (2-2-4)$$

2-2-9 信号与噪声加畸变比 (SINAD 或 S/N+D)

谐波失真的存在当然也会影响 ADC 的性能，但是在 SNR 里，并没有体现出谐波的影响，因此，又有了 SINAD (或称 S/N+D) 的定义。SINAD 是信号幅度的均方根值与从直流到 $f_s/2$ 的带宽内所有其他频谱成分的均方根值的比值 (包括谐波但不包括直流成分)。

$$SINAD = 20 \lg \frac{RMS_{signal}}{RMS_{(noise+distortion)}} \quad (2-2-5)$$

SINAD 和下面讲到的 ENOB 是表述 ADC 整体动态特性与输入频率之间关系的指标中最常用的指标，因为它包括了所有的频谱成分，包括噪声（含热噪声）和失真。

2-2-10 总谐波失真加噪声（THD+N）

总谐波失真加噪声指感兴趣的带宽内信号幅度的均方根值与谐波及所有噪声成分（不包括直流成分）的均方根值的比值。

$$THD + N = 20 \lg \frac{RMS_{signal}}{RMS_{(first\ 5th\ HD + noise)}} \quad (2-2-6)$$

从定义上看，THD+N 和 SINAD 是类似的，实际上，如果测量噪声的带宽是一样的，即若确定测量 THD+N 的噪声也是在从直流到 $f/2$ 的带宽内，则 THD+N 与前面说的 SINAD 相等。

2-2-11 有效位（ENOB）

根据公式 (2-1-14)，可得有效位的表示如下，考虑到实际的 ADC 包括各种噪声和谐波失真，用 SINAD 表示 SNR_{act} ，则有效位为：

$$ENOB = \frac{SINAD - 1.76\ dB}{6.02} \quad (2-2-7)$$

SINAD, ENOB 都是输入信号频率的函数，而且还是输入信号幅度的函数，如图 2-2-7 所示：

**AD9220 12-BIT, 10MSPS ADC SINAD AND ENOB
VS. INPUT FREQUENCY FOR SAMPLING RATE = 10MSPS:
SINGLE-ENDED DRIVE, $V_{cm} = +2.5V$, INPUT SPAN = 2V p-p**

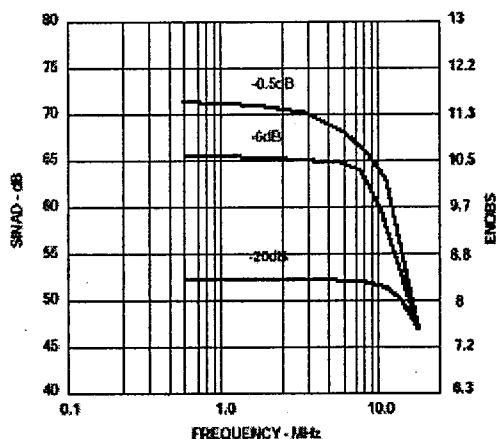


图 2-2-7 SINAD、ENOB 与输入信号频率、幅度的关系

2-2-12 模拟带宽 (FPBW)

ADC 的模拟带宽就是通常说的 3dB 带宽：对输出作 FFT 分析，当 FFT 输出的频谱幅度下降到基频幅度的 3dB 时的带宽。模拟带宽可以由小信号来描述 (SSBW—small signal bandwidth)，也可以用满幅度信号来描述 (FPBW—full power bandwidth)。因此有时不同的性能描述有很大的差别。

ADC 的模拟带宽并不意味着 ADC 的最小失真频率可以达到它的模拟带宽频率，实际上，在输入信号频率到达 3dB 带宽频率之前，大多数 SINAD 和 ENOB 将显著恶化。如图 2-2-8，该 ADC 的模拟带宽 (FPBW) 是 1MHz，而其满幅度的有效位 ENOB 则在 100kHz 处即开始迅速下降。

ADC GAIN (BANDWIDTH) AND ENOB VERSUS FREQUENCY SHOWS IMPORTANCE OF ENOB SPECIFICATION

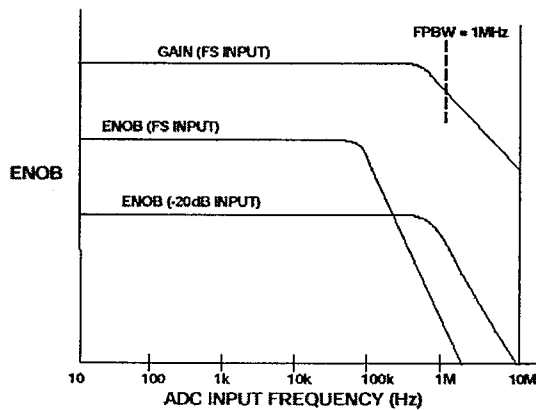


图 2-2-8. ADC 的模拟带宽和 ENOB 与输入频率的关系

2-2-13 无伪波动态范围 (SFDR)

频谱中第一奈奎斯特区（直流到 $f_s/2$ ）内除信号和直流成分外，功率最大的频率成分称为最大伪峰谱 (peak spurious spectral content)。对于接近满刻度的输入信号，最大伪峰谱一般由信号的最初几级谐波之一决定；而对于低于满刻度几个 dB 的输入信号而言，ADC 的微分非线性会产生其他伪峰，可能大于谐波产生的伪峰，因此这种情况下的最大伪峰应考虑所有的畸变源，而不仅仅是输入信号。

信号幅度的均方根值与最大伪峰谱幅度的均方根值之比即无伪波动态范围 (SFDR)。如图 2-2-9 所示：

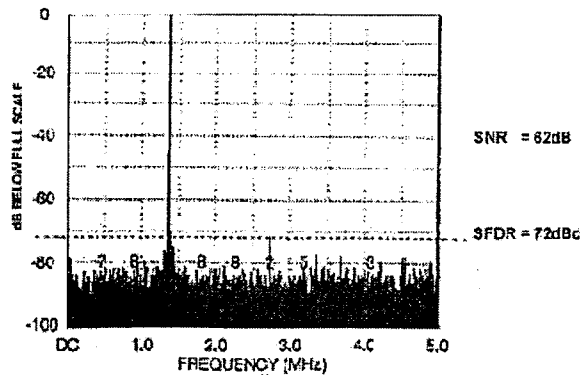


图 2-2-9. ADC 的 SFDR

SFDR 是 ADC 在无线电通信应用中使用最广泛的一个指标。SFDR 有两种表示方法：最大伪峰谱相对于输入信号的 dB 数 (dBc -- decibels below carrier) 和相对于 ADC 的满刻度的 dB 数 (dBFS -- decibels below full scale)。图 2-2-10 所示的是 AD9042 的 SFDR 与输入信号功率的关系：

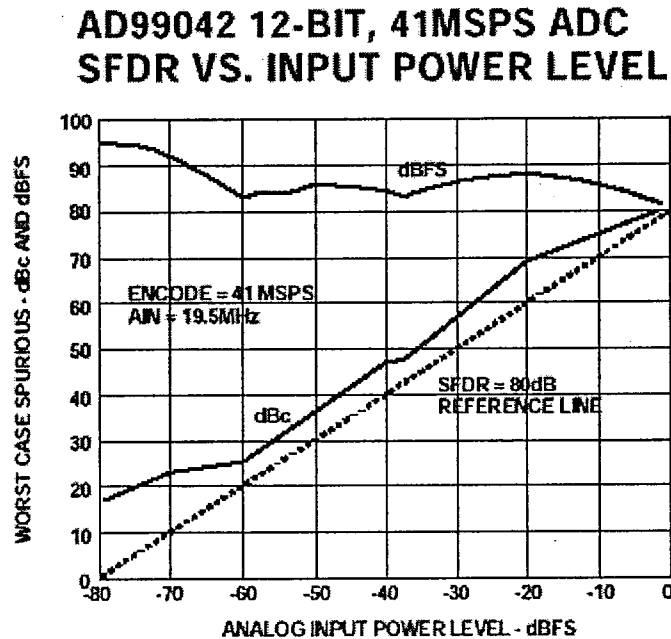


图 2-2-10. AD9042 的 SFDR 与输入信号功率的关系

注意图 2-2-10 中的虚线，被称作 (SFDR) 80dB 参考线 (SFDR=80dB REFERENCE LINE)，这条线是由输入信号达到满幅度时的 SFDR 点 (80dB) 到原点之间连直线得到的。这条线上的点，若从满幅度算起，输入信号每降低 n dB，其相对于输入信号的 SFDR (即 dBc) 也降低 n dB，而相对于满刻度的 SFDR (即 dBFS) 却因此而总是不变，保持 80dB。所以，若 ADC 实际测得的 SFDR (用 dBc 表示) 在这条虚线之上，则其相对于满刻度的 SFDR (dBFS) 总大于 80dB，如图 2-2-10 所示，该图中这条虚线被称作 SFDR 80dB 参考线。

ADC 的 SFDR 一般远大于其理想信噪比 SNR ($6.02n+1.76$ dB)，如图 2-2-10 中的 SFDR 为 80dBc，而其理想信噪比为 74dB，实际信噪比仅 65dB。这是因为对 SNR 中噪声的计算方式，和对 SFDR 中畸变的计算方式不同造成的。另外，提高 ADC 的精度可以提高其信噪比，却不一定能够增加其 SFDR。

2-2-14 互调失真 (IMD)

由于 ADC 实际上非线性的存在，当两种或两种以上频率的信号输入时，会互相产生调制，从而产生互调失真 (IMD)。互调失真是 ADC 在通讯应用中，尤其是窄带应用中一个非常重要的指标，通常用双音互调无伪波动态范围 (two tone SFDR) 来表示。

当输入信号中含有两种频率的正弦波 f_1 、 f_2 ，由于 ADC 的非线性，会产生 $(m+n)$ 阶的畸变，即可能产生频率为 $(mf_1 \pm nf_2)$ ， $|m|+|n| \neq 0$ 的成分，其中 m 、 n 为整数。如图 2-2-11

所示:

SECOND AND THIRD-ORDER INTERMODULATION PRODUCTS FOR $f_1 = 5\text{MHz}$, $f_2 = 6\text{MHz}$

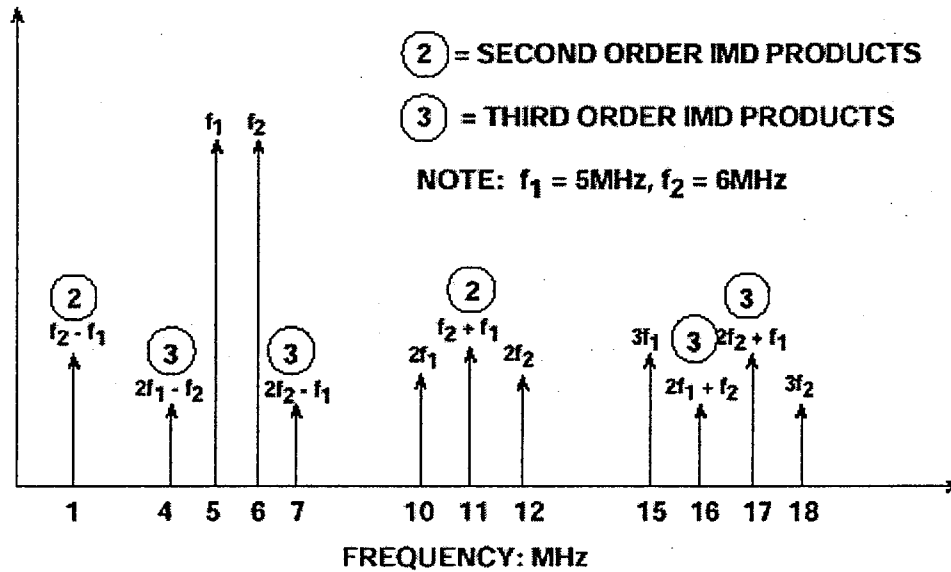


图 2-2-11. 两个频率的 2 阶和 3 阶互调成分

为了防止两个频率的信号在互相迭加时幅度超过 ADC 的满刻度, 规定测量双音互调无伪波动态范围时的两个输入信号的幅度不能大于 ADC 满刻度的一半 (6dB)。

图 2-2-11 中, 最主要的是 $2f_1 - f_2$, $2f_2 - f_1$ 两种成分, 特别是在窄带应用中。因为在窄带应用中, f_1, f_2 相差不大, 因而 $2f_1 - f_2, 2f_2 - f_1$ 和 f_1, f_2 的谱线也离得较近, 正如图 2-2-11 中表现的那样, 其它 2 阶和高阶调制成分及高次谐波与 f_1, f_2 离得较远, 容易在分析和处理时滤掉。

所以定义双音互调无伪波动态范围为输入信号幅度的均方根值与互调成分 (仅取 $2f_1 - f_2, 2f_2 - f_1$ 两种调制成分) 幅度的均方根值的比值。

$$IMD (dBc) = 20 \lg \frac{RMS(f_1 + f_2)}{RMS(IMD)} \quad (2-2-8)$$

图 2-2-12 是 AD9042 的双音互调无伪波动态范围与输入信号幅度的关系:

AD9042 12-BIT, 41MSPS ADC TWO-TONE SFDR

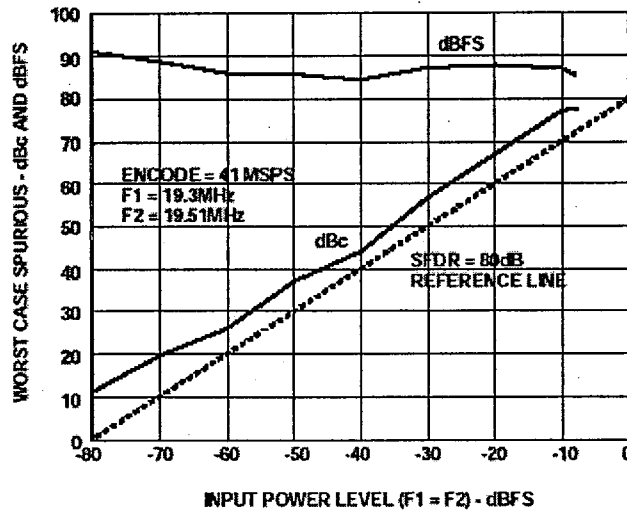


图 2-2-12. AD9042 的双音互调无伪波动态范围

对于一个实际的 ADC 来说，当输入信号大大低于满刻度时，产生的畸变信号平台与输入信号的幅度无关，而接近常数。因此，造成 ADC 的双通道无伪波范围与输入的信号无关。如图 2-2-12 中所示：AD9042 的即双音互调无伪波动态范围在 85~90dBFS 之间变化，与输入信号的幅度无关。

第三节 孔径时间、孔径时间晃动及其对 ADC 精度的影响

2-3-1. 孔径时间 (Aperture Time)

对于一个理想取样保持电路，如图 2-3-1 所示：

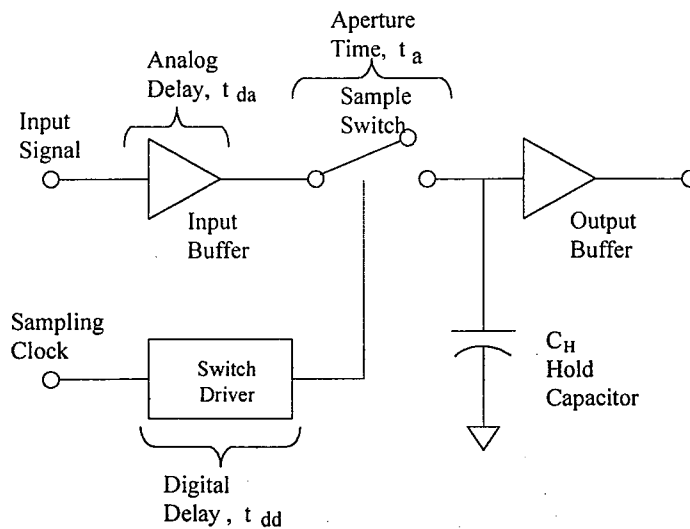


图 2-3-1. 理想的采样保持电路示意图

当采样开关闭合时，阻抗为 0；而开关断开时，电阻无穷大，而且在采样时钟到来时，采样时钟从开到合或从合到开不需要时间；而对于一个实际 ADC 中的取样保持电路，因为任何期间的动作都需要一个充放电过程，从而产生时间延迟，实际上从合到开是一个从低阻到高阻的变换过程，这样就会在保持电容的电压上产生一个误差：保持的电压并不等于输入信号在开关断开时的值。开关从闭合到完全断开的时间被称为孔径时间（Aperture Time）-- t_a 。

2-3-2. 孔径误差（Aperture Error）

如图 2-3-2 所示：由于孔径时间的存在，ADC 实际的采样值将不是采样时钟到达时的值，这两个值的差被称作孔径误差：

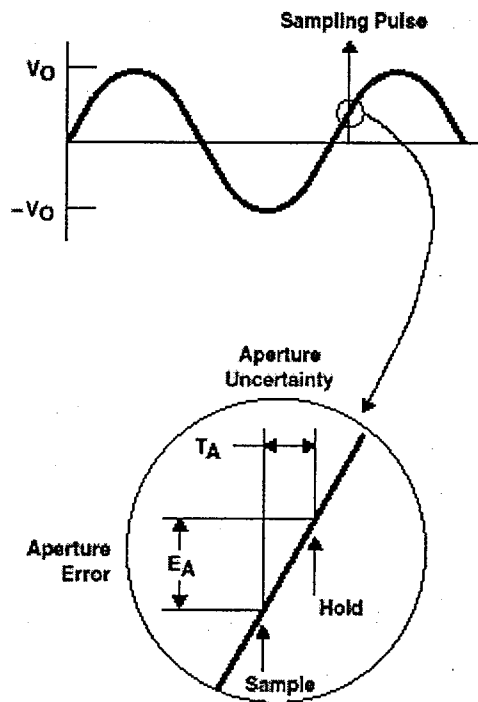


图 2-3-2. 孔径误差的产生示意图

$$\text{由孔径时间造成的孔径误差公式： } E_a = t_a \frac{dv}{dt} \quad (2-3-1)$$

式中 t_a 为孔径时间， $\frac{dv}{dt}$ 是信号随时间的变化率。对一个确定的 ADC 来说，一般情况下 t_a

是固定的，所以可以通过硬件或者软件的方法来修正这个误差，因此孔径时间造成的孔径误差对单个 ADC 的精度并不构成影响。

2-3-3. 有效孔径时间（Effective Aperture Delay Time）

前面只考虑了开关开启的时间，若忽略由开关闭合与断开时产生的非线性效应，并综合考

考虑模拟信号电路的和数字电路的延时及开关的开启时间，就会有一个与理想采样保持其相对应的等效采样点。等效理想采样点和实际采样时钟沿之间的固定延迟时间称为有效孔径时间 (Effective Aperture Delay Time) -- t_e ，如图 2-3-3 所示：

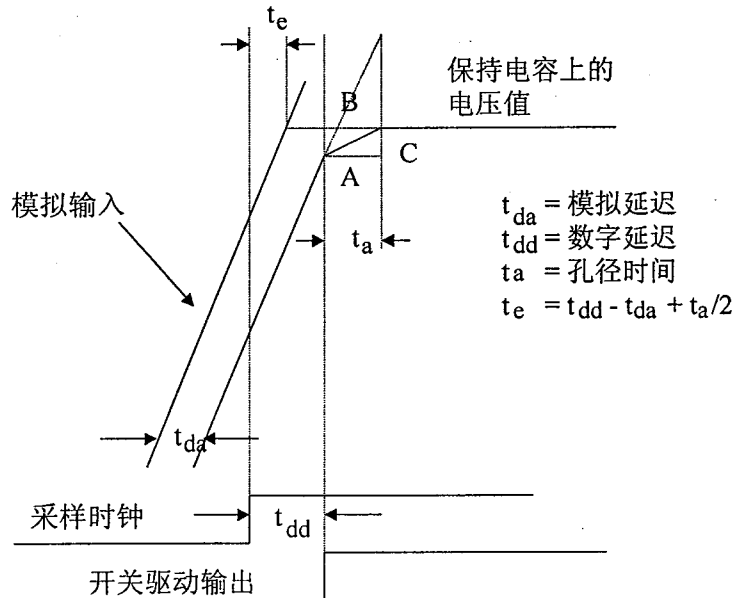


图 2-3-3. 经典采样保持电路中有有效孔径时间的产生

图 2-3-3 中， t_{dd} 为图 2-3-1 中的开关驱动电路 (Switch Driver) 的延迟， t_{da} 为图 2-3-1 中模拟缓冲电路 (Input Buffer) 的延迟， t_a 为开关的闭合到断开时间，即孔径时间。见图 2-3-3 中所示，开关接到断开的命令开始动作，但并不是马上断开，而是从 A 点开始有一个断开的过程，在 t_a 这段时间里，开关的电阻是逐渐增大的，近似认为这是个“线性增加电阻”的过程，模拟输入缓冲电路继续通过这个“线性增加的电阻”给保持电容充电，因此保持电容上的电压值线性增大，最后达到稳定的保持电压。由于充电电压的摆率小于信号的摆率，所以如果按照信号的摆率达到稳定的保持电压，只需要从图 2-3-3 中 A 到 B 的时间，近似地认为这段时间为 $t_a/2$ ，这样，图中 B 到 C 的时间间隔也是 $t_a/2$ ，所以在图中由几何的方法就可以得到有效孔

$$\text{径时间: } t_e = t_{dd} - t_{da} + \frac{t_a}{2} \quad (2-3-2)$$

和孔径时间一样，有效孔径时间对于单个 ADC 应用是会产生误差的；但是用于多 ADC 并行采样的时候就会因各器件的有效孔径时间不一致而产生误差，因此对这些类型的应用，往往需要采样时钟的延迟是可调的，以匹配不同 ADC 之间的有效孔径时间差别。

2-3-4 孔径晃动 (Aperture Jitter) 及其引起的误差

如前所述，孔径时间 t_a 和有效孔径时间 t_e 并不会对单个 ADC 产生误差，真正的 ADC 精度的误差，是由 t_e 的变化引起的。在实际的 ADC 中，采样信号经常被一些不希望的信号做相位调制。这些信号包括宽带随机噪声、电源噪声或由于不合理的接地而引入的数字噪声。被调制的采样信号的相位误差可以用有效孔径时间 t_e 晃动的均方根值 σ 来表示，这被称为孔径晃动(Aperture Jitter)。

图 2-3-4 显示了孔径晃动对 ADC 精度的影响。孔径晃动对 ADC 的影响与输入信号的沿变斜率有关（即与信号的频率有关）。对于高速信号，它的影响是严重的，会大大降低信噪比和有效位；而对于慢沿信号，它的影响就小得多；而对直流信号则根本不产生影响。

EFFECTS OF APERTURE AND SAMPLING CLOCK JITTER

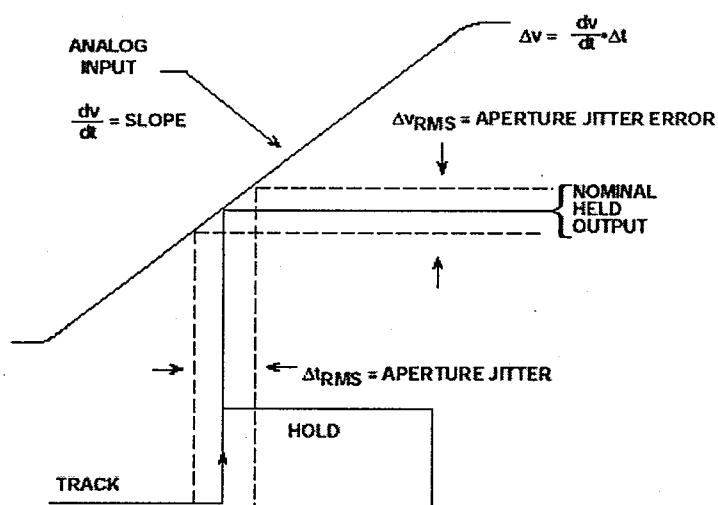


图 2-3-4. 孔径晃动引起的误差

$$\Delta V_{RMS} \text{ 是由孔径晃动引起的误差: } \Delta V_{RMS} = \left. \frac{dV}{dt} \right|_{rms} \cdot \Delta t_{RMS} \quad (2-3-3)$$

①孔径晃动对 ADC 的最大输入频率的限制:

由于孔径晃动的存在，ADC 的输入信号频率受到了一定限制：假如对 N-Bit 的 ADC 输入频率为 f 的满幅度正弦信号 $V(t) = V_0 \sin 2\pi ft$ ，则该信号的最快斜率为：

$$\left. \frac{dV}{dt} \right|_{\max} = 2\pi f V_0 \quad (2-3-4)$$

如果 ADC 的孔径晃动 $t_j = \sigma$ ，注意按照前面的定义，这是均方根值，计算孔径晃动引起

的最大孔径误差必须用最大孔径晃动来计算。假设孔径晃动如同白噪声一样按照高斯分布（实际上往往如此），那么可以认为最大孔径晃动为 2σ ，即 $t_{j_max} = 2\sigma$ 。

所以可以计算出最大孔径误差：

$$\Delta V_{max} = \left. \frac{dV}{dt} \right|_{max} \cdot t_{j_max} = 4\pi\sigma f V_0 \quad (2-3-5)$$

要使孔径误差不至于影响到 ADC 的精度，最大孔径误差最大也只能为 $1/2$ LSB，即：

$$\Delta V_{max} = 1/2 \text{ LSB} = \frac{2V_0}{2^{N+1}} \quad (2-3-6)$$

所以有：

$$\frac{2V_0}{2^{N+1}} = 4\pi\sigma f V_0 \quad (2-3-7)$$

这样，就给出了输入模拟信号的最高频率：

$$f_{max} = \frac{1}{2\pi\sigma \cdot 2^{N+1}} \quad (2-3-8)$$

对 $\sigma = 10ps$ ， $N = 10$ 的情况， $f_{max} = 7.8MHz$ 。对于 $20MHz$ 的 $10Bit$ ADC 来说，这种可以把 $7.8MHz$ 的满幅度正弦波信号精确数字化，孔径晃动的影响是可以忽略的；然而，对同一个 ADC，如果 $\sigma = 50ps$ ，则 $f_{max} = 1.56MHz$ ， $20MHz$ 的 ADC 只能处理 $1.56MHz$ 的信号，显然孔径晃动已经严重影响到了 ADC 的正常工作。

②孔径晃动对 ADC 的信噪比的影响：

还是输入满幅度正弦信号： $V(t) = V_0 \sin 2\pi ft$

$$\frac{dV}{dt} = 2\pi f V_0 \cos 2\pi ft \quad (2-3-9)$$

$$\begin{aligned} \left. \frac{dV}{dt} \right|_{RMS} &= \sqrt{\frac{1}{T} \int \left(\frac{dV}{dt} \right)^2 dt} \\ &= \sqrt{\frac{1}{2\pi} \int_0^{2\pi} \left(\frac{dV}{dt} \right)^2 d(2\pi ft)} = \sqrt{\frac{(2\pi f V_0)^2 \cdot \pi}{2\pi}} \\ &= \frac{2\pi f V_0}{\sqrt{2}} \end{aligned} \quad (2-3-10)$$

相应的误差电平的均方根 ΔV_{RMS} 和孔径晃动 t_j （注意 t_j 本身就是均方根值）的关系为：

$$\frac{\Delta V_{RMS}}{t_j} = \frac{2\pi f V_0}{\sqrt{2}} \quad (2-3-11)$$

所以：

$$\Delta V_{RMS} = \frac{2\pi f V_0 t_j}{\sqrt{2}} \quad (2-3-12)$$

输入信号的均方根值为： $V_0/\sqrt{2}$ ，所以由于孔径晃动造成的信噪比为：

$$SNR = 20 \lg \left[\frac{V_0/\sqrt{2}}{\Delta V_{RMS}} \right] dB = 20 \lg \left[\frac{1}{2\pi f t_j} \right] \quad (2-3-13)$$

图 2-3-5 画出了不同的孔径晃动下输入满幅度正弦波的信噪比与输入信号频率的关系，相应的有效位也作在了图上：

SNR DUE TO APERTURE AND SAMPLING CLOCK JITTER

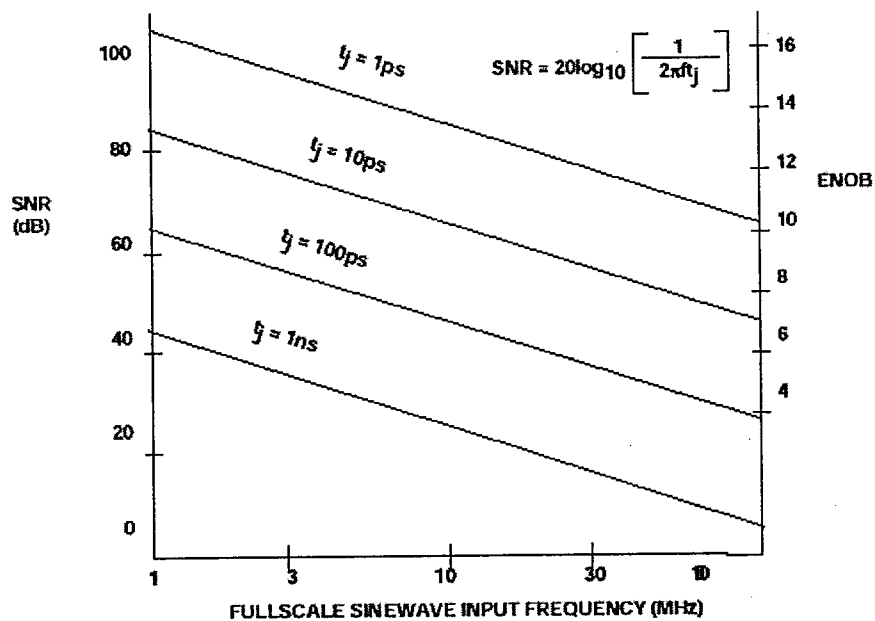


图 2-3-5. 信噪比与孔径晃动的关系

以上面提到过的 10 Bit, 20MHz ADC 为例，如孔径晃动为 10ps，输入 8MHz 满幅度正弦信号，仅考虑孔径晃动的信噪比，由 (2-3-13) 式可得为 66dB；若仅考虑理想量化噪声的信噪比，由 (2-2-3) 式可得为 62dB。综合上述两项，理论上总信噪比为 60.5dB（当然，考虑实际情况，可能信噪比仅能达到 50dB）。然而如果孔径误差为 50ps，则只考虑孔径晃动的信噪比就已经下降到了 52dB，由此可见限制孔径晃动的必要性。

由图 2-3-4 可看出，输入信号的频率越高，孔径晃动对信噪比的影响越大；而且，孔径晃动也同样会引起信噪比的变化。因此，在高速或高精度 ADC 的应用中，一定要慎重考虑时钟电路，采用精密、稳定的时钟电路。

第三章 数字频谱分析

数字频谱分析是目前应用最广的一种测试ADC性能方法之一，它是一种频域分析，能测试采集系统的SNR、SINAD、THD、ENOB、SFDR、IMD等指标，其原理是在ADC的输入端加一“纯净”（pure）的正弦波。对ADC的输出数字信号作谱分析，分离其中的信号、直流、谐波、杂散波以及噪声成分。如果输入信号是两正弦波的迭加，还可以找出双音互调制成分。假设除信号和直流成分外，其余均由ADC产生，借此可以获得第二章所提到的种种动态特性指标。

第一节 数字频谱法的基本流程

- 1、选择数字信号记录长度M，选择M时有几个要考虑的因素，后面有详细的讨论。
- 2、获取M个采样数据（顺序，连续），信号应是满幅度的纯净正弦波。
- 3、对Sampled Data加窗处理，这对非相关采样而言是必须的，而对于相关采样，则无需加窗。
- 4、计算FFT，由于多数情况下处理的数据为实数，由离散傅里叶变换的特性可知，离散的幅度关于M/2点对称，因而只需计算M/2点的幅度谱：对FFT，如果实、虚部取平方和，得功率谱；如果再开方则得幅度谱，规一化后用分贝表示。
- 5、分析谱图，分离其中的信号、谐波、互调制波、噪声、直流成分等，一般认为频谱图中最大成分为信号。
- 6、计算信号、谐波、噪声以及互调制波功率。
- 7、计算SNR、SINAD、THD、ENOB、IMD、SFDR等动态特性指标。

第二节 数字频谱分析的基础

3-2-1 单频信号输入情况

设有限长序列 $x(n)$ ：

$$x(n) = \exp(j2\pi f_0 nT)$$

$$n = 0, 1, \dots, M-1$$

由于离散富氏变换(DFT)只能处理有限长的数据序列，上述相当于对无穷长系列

$$\exp(j2\pi f_0 nT)$$

$$n = 0, \pm 1, \pm 2, \dots$$

加一矩形窗 $w(u) = \begin{cases} 1 & n = 0, 1, \dots, M-1 \\ 0 & \text{其它} \end{cases}$ 后得到：

$x(n)$ 的频谱：(对无限长序列加矩形窗)

$$\begin{aligned}
 x_w\left(\frac{f_s}{M}k\right) &= T \sum_{n=-\infty}^{+\infty} x(nT)w(nT)\exp(-j2\pi f_s nT \frac{k}{M}) \\
 &= T \sum_{n=0}^{M-1} \exp(j2\pi f_0 nT) \exp(-j2\pi f_s nT \frac{k}{M}) \\
 &= T \exp(-j(M-1)\pi(\frac{k}{NT} - f_0)) \cdot \frac{\sin[N\pi(\frac{k}{NT} - f_0)]}{\sin[\pi(\frac{k}{NT} - f_0)]}
 \end{aligned} \tag{3-2-1}$$

如果 $f_0 = \frac{4}{M}f_s = \frac{4}{MT}$, 如图3-2-1所示:

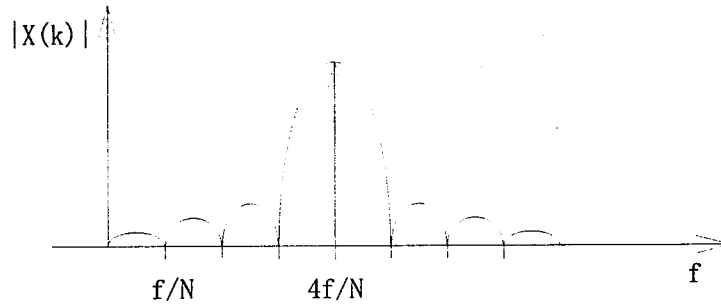


图3-2-1 相干采样时的离散频谱

如果 $f_0 = \frac{4.5}{MT}$, 则如图3-2-2所示:

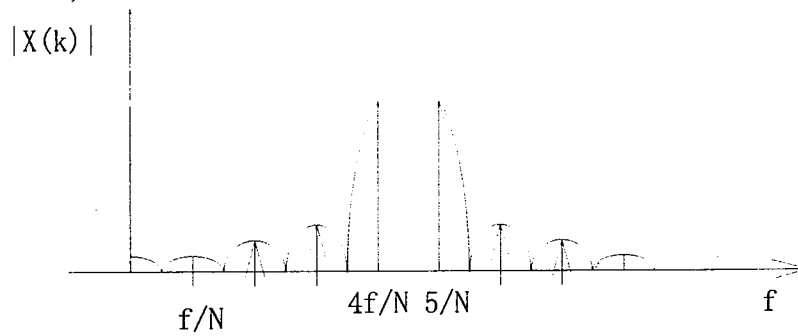


图3-2-2 非相干采样时的离散频谱

这样单频信号的频谱经DFT后变成了多条谱线, 造成功率的分散 (即是泄漏), 下面详细分析其原因。

假设输入信号频率 $f_0 = l \frac{f_s}{M}$: f_s 为采样频率.

$$(I) \text{ 当 } l \text{ 为整数 (相干采样) 时, } x_w\left(\frac{f_s}{M}k\right) = \begin{cases} MT & k = l \\ 0 & \text{其他} \end{cases}$$

这种情况下, 频谱没有泄漏, 输入信号频率 f_0 为 $\frac{f_s}{M}$ 的整数倍. 采样点

$M = l \cdot \frac{f_s}{f_0}$, $\frac{f_s}{M} = M \cdot T_s = \frac{l}{f_0} = l \cdot T_0$, 即采样长度为信号的整数倍周期. 这种情况称为相干采样.

(II) l 不为整数时 (记录长度 M 中不含整数个信号周期, 非相干采样)

有: $\left| x_w \left(\frac{f_s}{M} k \right) \right| \neq 0, k=0,1,\dots,M-1$, 这时便出现频谱泄漏, 本来应是单条谱线(单频信号), 但作DFT后出现多条谱线。从上面可知这是由于对无穷长信号截短产生的必然结果, 是非相干采样的固有特性, 不能根本消除, 只能使用窗函数使泄漏减小。

3-2-2. 频谱泄漏的直观解释:

由离散傅氏变换的含义及来源可知:DFT实际上相当于将采样的信号 $\{x(n)|n=0,1,\dots,M-1\}$ 在时间轴上, 即 $n \in \{-\infty, \infty\}$ 上作无限的周期延拓, 产生无限长的周期信号 $(x(n))_M$ 。

对 $(x(n))_M$ 作傅氏级数展开, 得到 $(X(k))_M$, 由傅氏级数的性质:

$$\begin{aligned} (x(n))_M \text{ 周期} &\Rightarrow (X(k))_M \text{ 离散} \\ (x(n))_M \text{ 离散} &\Rightarrow (X(k))_M \text{ 周期} \end{aligned}$$

因而 $(X(k))_M$ 是离散周期的系列。离散傅氏变换:DFT $(x(n))$ 实际上是取 $(X(k))_M$ 的一个周期, $k=0,1,\dots,M-1$ 。记为:

$$X(k) = (X(k))_M \cdot R_M(k) = DFT(x(n))$$

$$\text{其中: } R_M(k) = \begin{cases} 1 & k=0,1,\dots,M-1 \\ 0 & \text{其他} \end{cases}。$$

当 $x(n)$ 不是由相干采样产生时, 即 $n=0,1,\dots,m-1$ 时, 信号长度不包含整数周期的正弦波。如果作周期延拓, 如图3-2-3所示,

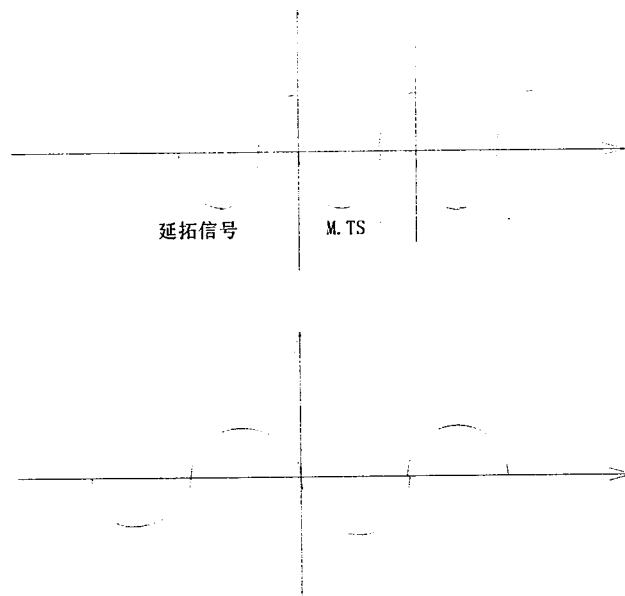


图3-2-3 采样延拓信号与原始信号

这时 $M * Ts = L * T_0$, L 不是整数, 作周期延拓后的信号显然与原信号有所不同。在接点处, 即 $t = M * Ts * k$ ($k = \dots, -1, 0, 1, \dots$), 延拓信号是不连续不光滑的(导数不存在或不连续)。这样从延拓信号看便产生了高频成份, 而导致了泄漏!

如果 $M = L * f_s / f_0$, 即 $M * Ts = L * T_0$, L 是整数, 则延拓后的信号和原信号一样。因而没有产生泄漏。从这一直观的分析也同样得出结论: 只有相干采样才能根本消除泄漏。在非相干采样中是无法根本消除的。只有用窗函数来减少这一影响。

以上考虑单频输入的情况。如果几种输入频率不同,则一般更难于用相干采样,因而绝大多数情况,窗函数是不可避免的!

第三节 窗函数

3-3-1. 窗函数的物理意义

由上面讨论可知,非相干采样时,数据泄漏造成频谱图严重失真,为提高频谱的估计准确度,使用窗函数减少泄漏。

窗函数是一种权重函数在时域上和采样数据相乘,因而减少了周期延拓信号在边界上的不连续性程度,使加窗后的数据在边界上(0与M-1)有尽可能高次的微分连续。为达到这一目的,一种简单的方法是将加窗的数据靠近边界处使数据缓慢地变成零。目前常用的窗函数都如此。如图3-3-1所示。

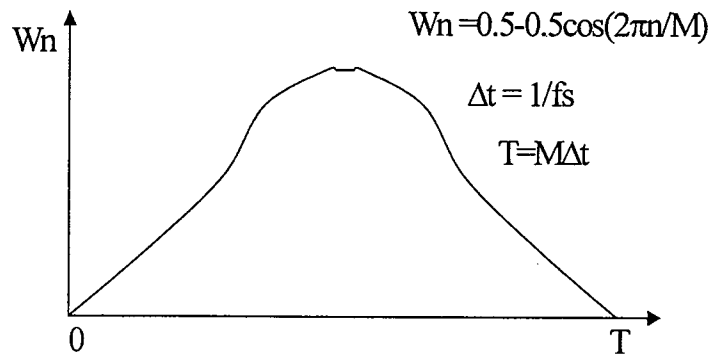


图3-3-1 窗函数的时域图

在时域中, $x(n)$ 、 $w(n)$ 相乘,而在频域中 $x(k)$ 、 $w(k)$ 是周期卷积,离散情况为 $\sum_l X(l) \cdot W(k-l)$ 。从频域看,窗函数是一种作用于DFT基向量 $\{k/MTs\}$, $k=0, 1, 2, \dots, M-1$ 的一种乘性因子。这种因子使得任何频率的信号只在频率靠近此信号的基向量上有较大的投影(分量),从这种含义上看,窗函数相当于一种滤波器。

这两种观点是等价的,也是设计窗函数的基本指导思想。

3-3-2. 窗函数的主要技术指标

1) 等效噪声带宽ENBW:

设窗函数 $w(n)$, $n=0, 1, 2, \dots, M-1$ 。

$$\text{则其等效噪声带宽 } ENBW = \frac{\sum_{n=0}^{N-1} W^2(n) \cdot M}{\left[\sum_{n=0}^{N-1} W(n) \right]^2} \quad (3-3-1)$$

频域中,窗函数相当于一种滤波器,在任何一个频率点上,它以某种权重将整个频带的噪声累加起来。

等效噪声带宽是指一个理想的矩形滤波器的带宽,其高度与窗函数的最大功率增益相同,且累加的噪声功率也和窗函数相同。

2) 处理增益 (processing gain)

假设加窗前信号为： $f(n)=A \exp(j\omega_k nT)+q(nT)$ ，其中 $q(nT)$ 为噪音，其方差(功率)为 σ^2 。这里假设 $W_k = \frac{2\pi}{M \cdot T} \cdot k$ 。(相干采样)。则加窗后的频谱为：

$$\begin{aligned} F(W_k)|_{\text{signal}} &= \sum_n W(n \cdot T) A \exp(j\omega_k nT) \exp(-j\omega_k nT) \\ &= A \sum_n W(nT) \end{aligned} \quad (3-3-2)$$

(功率最大的谱线, 相干成份)。可见如果无噪声, 其频谱与 A 成正比, 也正比于窗函数的直流信号增益。相干增益为 $\frac{1}{M} \sum_n W(nT)$, 相干功率增益为上述的平方。

非相干成分(噪声部分)为:

$$\begin{aligned} F(\omega_k)|_{\text{noise}} &= \sum_n W(nT) q(nT) \exp(-j\omega_k nT) \\ E\{F(\omega_k)|_{\text{noise}}^2\} &= \sum_n \sum_m W(nT) W(mT) E[q(nT) q^*(mT)] \\ &= \sigma^2 \sum_n W^2(nT) \end{aligned} \quad (3-3-3)$$

这实际上是噪声平台的平均高度。

$$N_o = \sigma^2 \cdot \sum_n W^2(nT) \cdot M$$

$$\begin{aligned} \text{输出噪声总功率为: } PG &= \frac{S_o/N_o}{S_i/N_i} = \frac{A^2 [\sum W(nT)]^2 / N \cdot \sigma^2 \sum W^2(nT)}{A^2 / q^2} \\ &= \frac{[\sum W(nT)]^2}{N \cdot \sum W^2(nT)} = \frac{1}{ENBW} \end{aligned} \quad (3-3-4)$$

(白噪声分布)。

PG定义为输出信噪比与输入信噪比的比值。由此可见它和等效噪声带宽恰好成反比。实际上这是理所当然的。因为等效噪声带宽越大, 则加窗后就有越多的噪声被加入频谱。

3) 栅栏损失(Scalloping Loss)

我们知道, DFT实际上是整个频谱中按基向量 $\{k \cdot f_s/N\}$, $k=0, 1, 2, \dots, N/2$ 取样。取样结果即是DFT的输出谱瓣。当输入信号的频谱不是上述基矢中的一个是时则谱峰必然有损失。损失最大的情况出现在两基矢正中时, 即输入信号频率为: $(K+1/2) \cdot f_s/N$; $k=0, 1, 2, \dots, N/2-1$ 时。

定义SL为上述频率的相干增益与频率为基矢中的一个时的相干增益比:

$$\begin{aligned} SL &= \frac{|F(\omega_{(k+1/2)})|}{|F(\omega_k)|} \\ &= \frac{|\sum_n W(nT) \exp(-j\pi n / N)|}{|\sum_n W(nT)|} = \frac{|W(\omega_s / 2N)|}{W(0)} \end{aligned} \quad (3-3-5)$$

SL表示由于频率不等于基矢频率而导致的处理增益最大损失。

4) 最差处理损失(Processing loss)

这也是从信号主峰高度而言。一方面, PL定义为窗函数的最大栅栏损失与窗的等效噪声带宽之和。PL是由于加窗和频率不等于DFT取样点而导致的信号主峰与噪声平台比的最大损失 $PL = 20 \lg \frac{|\sum W(nT) \exp(-jn\pi/N)|}{|W(0)|} + 10 \lg \frac{1}{ENBW}$, 这在讨论谱平均时有用。

5) 加窗后的频谱泄漏

从上述讨论ENBW的图上可知, 频谱在某点的测量值不仅受到宽带噪声的影响, 还受到其它频率信号或杂散波的影响, 即在 $W = W_0$ 处的信号, 在 $W \neq W_0$ 处也有贡献, 其大小取决于中心位置在 W_0 处的窗函数在 W 处的增益。实际上即为 $|W(\omega_0 - \omega)|$ 由此可见加窗后仍然存在泄漏, 泄漏的大小由窗函数的边瓣大小和边瓣远离中心瓣时的下降速度有关: 边瓣幅度越小, 边瓣衰减越快, 则频谱泄漏导致的误差越小。因而衡量一个窗函数的泄漏时, 用 Peak sidelobe 和 asymptotic sidelepe of fall off of these sidelobes。此外, 还有主瓣宽度, 重叠相干等指标: 主瓣宽度可以用3dB 或6dB 宽度表示, 6dB宽度还表示窗函数能分辨的最小带宽 (Minimum Resolution Bandwidth), 即两信号频率只有大于窗的6dB 带宽才能明显地在频谱图中分辨出两个峰。

3-3-3 几种常用窗函数

这里列出几种常用窗函数的表达式。

1) 矩形窗, 即是最简单的截短函数。

双边形式为: $W(n) = 1, \quad n = -M/2, \dots, 0, 1, \dots, M/2.$

单边形式为: $W(n) = 1, \quad n = 0, 1 \dots M-1.$

2) 三角窗:

双边形式为: $W(n) = 1 - 2 \cdot |n| / M, \quad n = -M/2, \dots, M/2$

单边形式为: $W(n) = 2n/M, \quad n = 0, 1 \dots M/2$
 $= 2(M-n)/M, \quad n = M/2, M/2+1 \dots M-1$

3) 汉宁窗 (Hanning).

双边: $W(n) = \cos^2(\frac{n}{M} \pi), \quad n = -M/2, \dots, M/2$

单边: $W(n) = \sin^2(\frac{n}{M} \pi), \quad n = 0, \dots, M-1$

4) 海明窗 (hamming)

单边 $W(n) = 0.54 - 0.46 \cos(\frac{2\pi}{M} \cdot n), \quad n = 0, \dots, M-1$

双边: $W(n) = 0.54 + 0.46 \cos(\frac{2\pi}{M} \cdot n), \quad n = -M/2, \dots, M/2$

5) Blackman窗

双边形式为 $W(n) = \sum_{m=0}^{K-1} a_m \cos(\frac{2\pi mn}{M}), \quad n = -M/2, \dots, M/2$

单边形式为

$W(n) = \sum_{m=0}^{K-1} (-1)^m a_m \cos(\frac{2\pi mn}{M}), \quad n = 0, \dots, M-1$

其中系数 a_m 满足 $\sum_{m=0}^{k-1} a_m = 1.0$ k 为整数一般取 2, 3, 4.

a_0 是窗的相干增益

	a_0	a_1	a_2	a_3
Blackman:	0.42	0.50	0.08	
Exact Blackman:	$\frac{7938}{18608}$	$\frac{9240}{18608}$	$\frac{1430}{18608}$	
3Term(-67dB)	0.42323	0.49253	0.07912	
3Term(-61dB)	0.44959	8.49364	8.05677	
4Term(-92dB)	0.35875	0.48829	0.14128	0.01168
4Term(-74dB)	0.40217	0.49705	0.09372	0.00183

6) 凯泽—贝塞尔窗(Kaiser-Bessel widow)

$$W(n) = \frac{I_0\left[\pi\alpha\sqrt{1.0 - (2n/M)^2}\right]}{I_0(\pi\alpha)}, \quad n = -M/2, \dots, M/2$$

$$I_0(x) = \sum_{k=0}^{\infty} \left[\frac{(x/2)^k}{k!} \right]^2$$

这是一种最优化窗, 其优化准则是: 使主瓣内的能量最大。

7) 高斯窗: 单边形式为 $W(n) = \exp\left[-0.5\alpha^2\left(\frac{2n}{M} - 1\right)^2\right]$, $n = 0, \dots, M-1$

$$\alpha = 2.5, 3.0, \dots$$

双边形式为 $W(n) = \exp\left[-0.5\alpha^2\left(\frac{2n}{M}\right)^2\right]$, $n = -M/2, \dots, M/2$

$$\alpha = 2.5, 3.0, \dots$$

8) Dolph-chebyshev 窗

这也是一种最优化窗, 优化准则是在规定的旁瓣大小下, 使主瓣宽度最小。双边频谱形式为:

$$W(k) = (-1)^k \frac{\cos\left\{N \cos^{-1}\left[\frac{\beta \cos\left(\frac{k\pi}{M}\right)}{M}\right]\right\}}{\cosh\left[M \cosh^{-1}(\beta)\right]}$$

$$k = -(M-1), \dots, M-1$$

$$\beta = \cosh\left[\frac{1}{n} \cosh^{-1}(10^{\alpha})\right]$$

$$\cosh^{-1}(x) = \begin{cases} \ln(x + \sqrt{x^2 - 1.0}) & |x| > 1.0 \\ \frac{\pi}{2} - \arctan\left(\frac{x}{\sqrt{1.0 - x^2}}\right) & |x| \leq 1.0 \end{cases}$$

第四节 选择合适的记录长度M

数学频谱分析所需的信号记录长度M, 要从以下几个方面综合考虑:

1. 为了便于FFT计算, M 应取2的幂次方, 因而采样点数取 2^N , 一般为128--4096 (8192)点. 实际上如果连续采样点数不是2的幂次, 可以利用补零(或截短)的方法使其点数满足这一要求。

2. 从频率分辨率上考虑:DFT输出的离散频谱, 相邻谱线的频率间隔为 f_s/M , 这里 f_s 是采样频率。在多频率信号时, 这一指标非常重要。但实际上频率分辨还与所用窗函数有关。结合上式和窗函数的6dB带宽便可以较准确地确定加窗FFT的频率分辨能力。

$$f = f_s/M = 1/(MT_s) = 1/t_1 \quad (3-4-1)$$

实际上由信号连续记录的时间 t_1 决定。(如果人为地在信号后加零, 不会增加频率分辨率!)

3. 在非相干采样时, 要使用窗函数, 窗函数都有一定宽度的主瓣和一定幅度的边瓣。例如Hanning窗:主瓣的宽度为 $(4 * f_s/M)$ 。这里以过零点考虑, 而最大边瓣为-32dB, 边瓣下降速度为-18dB/倍频。这样为了使计算的谱精度高于68dB, 则要计算主峰一旁的谱线数为: $2 + \frac{68-32}{18} * 4 = 10$

计算信号能量时, 左右两边共21条谱线要计算在内。如果FFT的点数

$M=256$, 则信号峰占: $21/256=8.16\%$

$M=1024$, 则信号峰占: $21/1024=2.05\%$

为使信号 M_{quist} 频率内点的成份少, 点数 M 需要适当地增加(大一些好!)如图3-4-1:

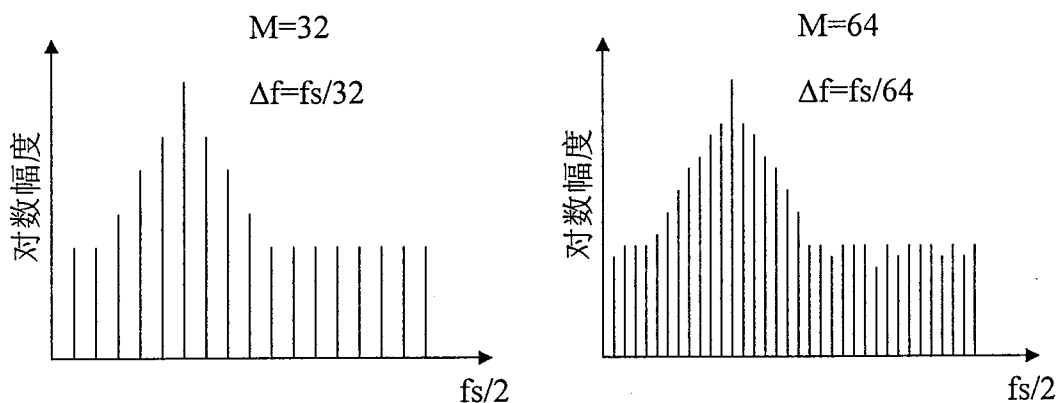


图3-4-1 FFT点数与信号峰在奈奎斯特频率范围内所占的成分

4. FFT Noise floor 的限制

如果FFT本身的截断误差而引起的噪声可忽略, 那么信号的功率与每个bin(瓣)上的噪声功率比为:

$$\text{SNR} = 6.02N + 1.76 + 10 \lg(M/2) \quad (3-4-2)$$

这里出现 $10 \lg M/2$ 一项是因为SNR为信号功率与与单位频率内(f_s/M)的噪声功率比。而不是信号与噪声的总功率比。关于这个公式的含义在后两谱平均和公式中还会提到。如图3-4-2所示:

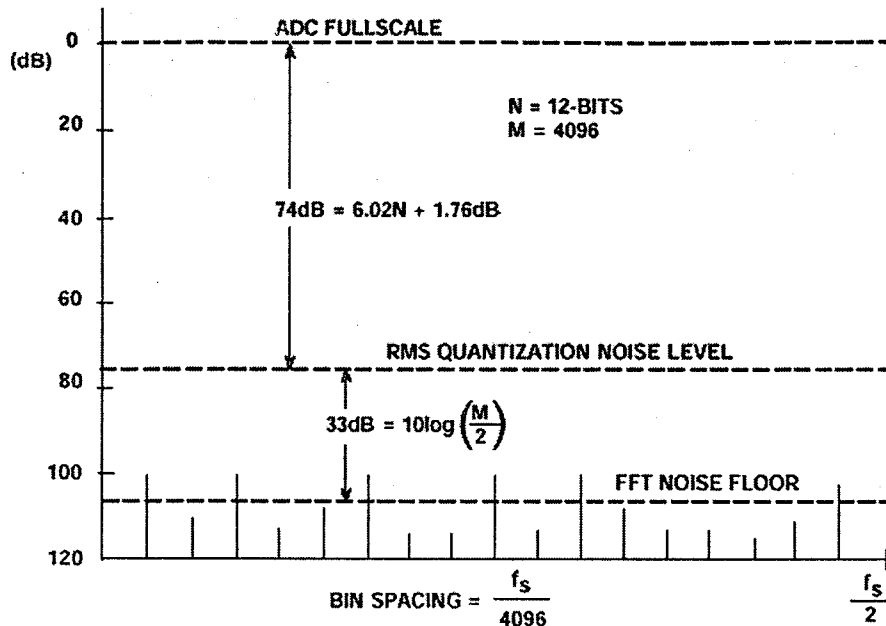


图3-4-2 FFT噪声平台

由上述可知，M越大，FFT floor的成份 $10\lg \frac{M}{2}$ 就越大，总的“噪声平台”就越低，要从噪声平台中分析出一个寄生成份(spurious component)，则这个峰至少要比“平台”高10dB左右，因而这也给出一个M的限制(M越大，越易分辨)。

以上几个因素都要求M越大越好，但M大给实际计算带来困难。占用机时长，使用的内存空间大，一般M最大取到4096或8192就可以了。如果有特别的要求，如要求在局部有很高的频率分辨率，则可用“细化”技术，这样不使计算量增加，大多数的情况下能达到满意的结果。

第五节 采样频率与信号频率的选择 ($f_s - f_m$)

1. 在相干采样中，采样频率 f_s 和输入信号满足：

$$f_m = \frac{k}{M} \cdot f_s \tag{3-5-1}$$

这里k必须是整数，以保证被分析的M个数据恰好是整数个输入信号周期：

$$M \cdot T_s = \frac{M}{f_s} = \frac{k}{f_m} = k \cdot T_m, \tag{3-5-2}$$

k为记录长度内的信号周期数，为了使记录长度中没有重复出现的数据，Mc必须是奇数，同时必须是素数，k只能取1, 3, 5, 7, 11, 13, 17, . . . 等，这样保证在记录长度中M个采样点能是唯一的。

如果使用相干采样，则采样率与信号频率a是恒定的常数，可以使 f_s, f_m 从互相锁定的两个信号源取得，如两个锁相合成信号发生器中取出。

2. 在非相干采样中

设 $f_m = \frac{L}{P} \cdot f_s$ ， $\frac{L}{P}$ 为不可约分数 L, P为整数要求采样点数 $M \leq P$ 。否则M个点中将有重复采样存在

$$\begin{aligned} X(n) &= A \sin(2\pi f_m nT + \theta_0) \\ X(kp+n) &= A \sin(2\pi f_m (kp+n) \cdot \theta_0) \\ &= X(n) \end{aligned} \quad (3-5-3)$$

即如果M>P，则M个点中实际上由P采样点的重复，这样量化噪声将出现在Kfs/P这样分散的确谱线上与白噪声的假设相差很远，计结果也会因此受到严重的影响，如图3-5-1：

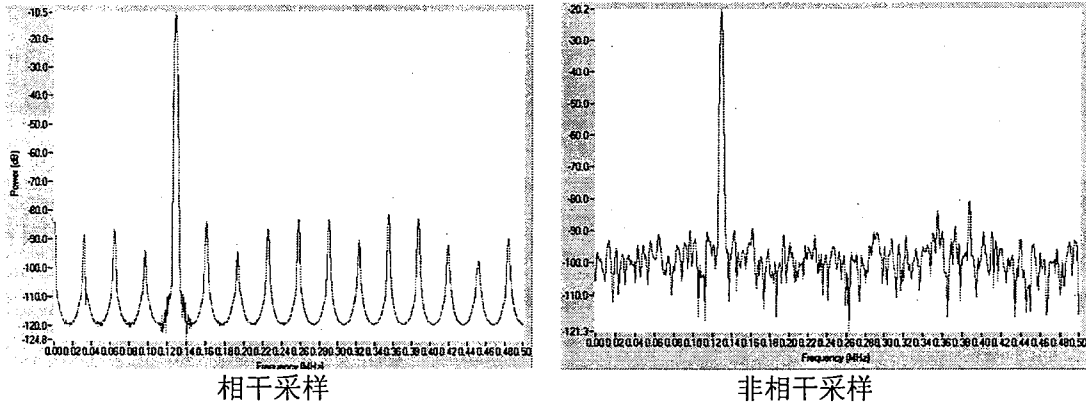


图3-5-1

第六节 数字频谱分析

用于测试数据采集系统的频谱分析只用到功率谱(幅度谱的平方)。M点的采集数据经加窗处理后，用FFT方法求出其离散傅里叶变换，再对其实部、虚部求平方和得到功率谱。实际上这并不是原信号的真实功率谱，仅仅是原信号加窗 {W(n)} 后所得“信号”的功率谱的一估计。要使得原功率有效，估计还要在上述求得功率谱后再乘以一修正因子。

$$x(n) \cdot w(n) \rightarrow X_m(k)$$

$$\text{功率谱为: } \hat{S}(k) = \frac{1}{M} |X_m(k)|^2$$

$$\text{修正的功率谱: } S(k) = \frac{1}{a_w} \cdot \hat{S}(k)$$

上式中 $\frac{1}{a_w}$ 为功率修正因子，它实际上补偿由于加窗后在两端(0与M-1)信号衰减到0而带来的功率损失。

$$a_w = \sum_{n=0}^{M-1} w^2(n) \cdot \frac{1}{M} \quad (3-6-1)$$

对Hanning窗: $a_w = 0.375$

对Hamming窗: $a_w = 0.3974$

对Blackman窗: $a_w = 0.3046$

但由于采集系统测试中要求动态特性指标，如SNR、SINAD、THD、SFDR、IND等都是功率比，因此如果仅用于求这些指标，功率修正这一步可不做，因为这样不影响上述比值的正确计算。以下讨论的公式就考虑到这一修正。直接利用修正前的功率谱 $\hat{S}(k) = \frac{1}{M} |X_m(k)|^2$ 计算

另外X(n)、W(n)显然是实数，因而其功率谱 $\hat{S}(k)$, (k=0, 1, ..., M-1) 是关于 M/2点

对称的。本来计算信号或噪声时应 $-f \sim +f$ 两部分同时计入。

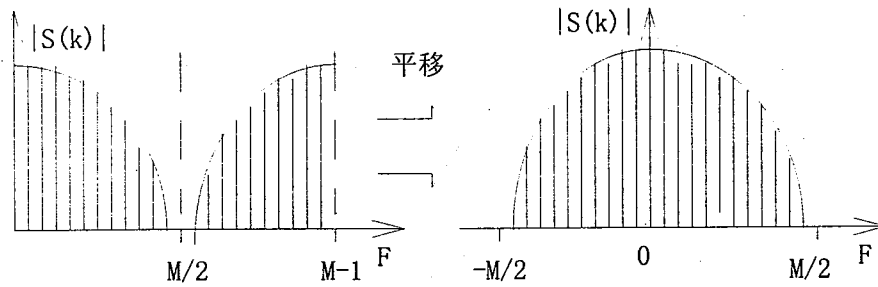


图3-6-1 FFT 频谱示意图

$K=M/2 - M-1$ 部分对应 $f = -f_s/2 - 0$ 。

同样道理，由于上述对称性和计算结果为比值，因而只计算 $K=0 - N/2$ 部分就可以了。这样不影响计算结果，而且使计算速度加快一倍。除直流成份外，其它成份只要在 $0 - M/2$ 中的功率乘2即可。

分析功率谱中部 $0 - M/2$ 个成份，分别找出下列谱线集合：

信号集 B_s ：最高谱峰及两边谱线，其具体的Bin数要视所用窗函数的边瓣高度，边瓣衰减速度以及计算精度而定。设信号主峰频率为 f_0 。

谐波集： B_2, B_3, \dots 处于 $2f_0, 3f_0, \dots$ 等处的峰成份认为是谐波。如果 $kf_0 > f_s/2$ ，则考虑折叠，以重新定位谐波成份。如果谐波噪声不可分辨，则认为该种谐波不存在！（被噪声掩盖）。

直流： B_0 ，在 $K=0, 1, 2, \dots$ 等波线处认为是直流成份，所含的Bin数取信号集 B_s 的一半即可。

杂散波： $B_z(i)$ ：如果除上述三个成份外，还有较大的波峰，则认为是某种杂波，其数目不定（也可以没有）。分清杂散波与折叠的谐波，不要混淆。

噪声： B_n ：除上述几个部分，其余的认为是噪声。

分析出上述集合后，分别计算各成份的功率。

$$\text{信号: } E_s = 2 \cdot \sum_{k \in B_s} \frac{1}{M} |X(k)|^2 = 2 \cdot \sum_{k \in B_s} S(k) \quad (3-6-2)$$

$$\text{谐波: } E_{H(i)} = 2 \cdot \sum_{k \in B_i} \frac{1}{M} |X(k)|^2 = 2 \cdot \sum_{k \in B_i} S(k) \quad (3-6-3)$$

$$\text{直流: } E_d = \sum_{k \in B_0} S(k) \quad (3-6-4)$$

$$\text{杂散波: } E_{Z(i)} = \sum_{k \in B_z(i)} S(k) \quad (3-6-5)$$

$$\text{噪声: } E_n = 2 \cdot \frac{M/2 - L}{M/2} \cdot \sum_{k \in B_n} S(k) \quad (3-6-6)$$

$$S(k) = \frac{1}{M} |X(k)|^2$$

上述计算噪声的公式中有一项 $(M/2 - L) / (M/2)$ ，其中的 L 是 $B_s, B_2, B_3, B_0, B_z(i)$ 中总共占的BIN数，因此这里假设噪声是白谱，因而在 $B_s, B_2, B_0, B_z(i)$ 等也是不可避免的混入噪声，计算噪声总功率时要加入这一项。

另外，若需更精细地计算各次功率值，则上述各项中还要减去迭加的噪声，这时经简单推导有下列公式：

$$E_n = 2 \cdot \frac{M/2 - L}{M/2} \cdot \sum_{k \in B_n} S(k)$$

$$S(k) = \frac{1}{M} |X(k)|^2$$

$$E_s = 2 \cdot \sum_{k \in B_s} S(k) - 2 \frac{F(B_s)}{M} E_n$$

$$EH(i) = 2 \cdot \sum_{k \in B_i} S(k) - 2 \frac{F(B_i)}{M} E_n$$

$$EZ(i) = 2 \cdot \sum_{k \in B_z(i)} S(k) - 2 \frac{F(B_z(i))}{M} E_n$$

$F(B_s)$ 表示 B_s 中所含的谱线数 (BWS 的数目), 其余也如此, 计算出上述各项后便有:

$$\text{谐波失真: } HD(i) = 10 \lg \frac{EH(i)}{E_s} (db) \quad i = 2, 3, \dots \quad (3-6-7)$$

$$\text{总谐波失真: } THD = 10 \lg \frac{\sum EH(i)}{E_s} (db) \quad (3-6-8)$$

$$\text{杂波失真: } ZD = 10 \lg \frac{\sum EZ(i)}{E_s} (db) \quad (3-6-9)$$

$$\text{信号随机噪声比: } S/N = 10 \lg \frac{E_s}{E_n} (db) \quad (3-6-10)$$

$$\text{信号与谐波噪声比: } S/(N+D+Z) = 10 \lg \frac{E_s}{E_n + \sum EH(i) + \sum EZ(i)} (db) \quad (3-6-11)$$

$$\text{SFDR: } 10 \lg \frac{E_s}{\text{Max}\{EH(i), EZ(i)\}} (db) \quad (3-6-12)$$

$$\text{有效位 ENOB: } \left[S/(N+D+Z) - 1.76 + 20 \lg \frac{\text{FSR}}{2A} \right] / 6.02 \text{ BIT} \quad (3-6-13)$$

以上讨论的是单频信号输入情况。如果为了测量交互调制失真, 输入的信号 f_1, f_2 , 则可以按上述输入方法求出调制项能量:

$$E_{2f_2-f_1} = \sum_{k \in B(2f_2-f_1)} S(k) - \frac{2F(B(2f_2-f_1))}{M} \cdot E_n \quad (3-6-14)$$

$$E_{2f_1-f_2} = \sum_{k \in B(2f_1-f_2)} S(k) - \frac{2F(B(2f_1-f_2))}{M} \cdot E_n \quad (3-6-15)$$

$$\text{双音互调制失真: } IMD = \lg \frac{E_{2f_1-f_2} + E_{2f_2-f_1}}{E_{f_1} + E_{f_2}} (db) \quad (3-6-16)$$

实际上如果 $L \ll M/2$, $L = F(B_s) + \sum F(EH(i)) + \sum F(EZ(i)) + F(B_0)$, 则上述的各项都可以忽略, 这样可以使计算进一步简化。

第七节 谱平均

上面讨论的频谱分析方法是单次FFT, 即对一个频谱分析计算。由于噪声的随机性, 使单次频谱图的随机噪声有很大的起伏, 噪声平台并不明显。如果在相同的测试条件下, 获得多次计录。(每次计录点数 M), 并对每次计录FFT求功率谱, 然而对多次的结果点对点

地求平均后的频谱噪声平台被拉平，同时信号、谐波、杂散波等被突出。这样可以很清楚地观察到噪声本底，谐波畸变，SFDR等性能。下面分析其数学原理：

设输入信号为 $\exp(j\omega t + \theta_0)$ ，采集系统输出：

$$a(k) = x(k) + r(k) = \exp[j(\omega nT + \theta_0)] + r(k) \quad (3-7-1)$$

上式中 $r(k)$ 是白噪声的采样序列，加窗，作DFT得到：

$$\begin{aligned} A(l) &= \sum_{k=0}^{M-1} [r(k) + x(k)]w(k) \exp(-j2\pi kl \frac{1}{M}) \\ &= \sum_{k=0}^{M-1} r(k)w(k) \exp(-jkl2\pi \frac{1}{M}) + \sum_{k=0}^{M-1} x(k)w(k) \exp(-jkl2\pi \frac{1}{M}) \\ &= X(l) + \Gamma(l) \end{aligned} \quad (3-7-2)$$

第一项为信号加窗后的DFT变换，第二项为噪声加窗后的DFT变换（不是功率，而是源变换）。

假设噪声的统计值为0（白谱）。即

$$E(r(k)) = 0$$

$$E(r^2(k)) = \sigma^2$$

$$E(r(k)r(l)) = 0 \quad (k \neq l)$$

因而有：

$$E[\Gamma(l)] = 0, \quad l = 0, 1, \dots, M-1$$

$$E[\Gamma(l)\Gamma^*(l)] = \sigma^2 \sum_{k=0}^{M-1} w^2(k) \exp\left[-jk(m-n)2\pi \frac{1}{M}\right]$$

加窗后的DFT结果， $\Gamma(l)$ 不再是“白谱”，但如果窗函数 $w(t)$ 有很小的边瓣和窄的主瓣，则 $\Gamma(l)$ 几乎是“白的”，从上式有

$$E[\Gamma(l)\Gamma^*(l)] = \sigma^2 \sum_{k=0}^{M-1} w^2(k) \quad (3-7-3)$$

就是噪声平台。现在再考虑信号项 $X(l)$ 。设 $x(k)$ ， $w(k)$ 分别连续是连续信号， $x(t)$ ， $w(t)$ 采样而得：

$$x(t) = \exp(j2\pi f_0 t + \theta_0)$$

$w(t)$ ：连续的窗函数， t 从 $0 - NT_s$

则 $x(t)w(t)$ 的傅氏变换为：

$$|W_x[2\pi(f - f_0)] \exp\left[-jN\pi(f - f_0)\frac{1}{f_s} + \theta\right]|$$

$W_x(\omega)$ 为连续窗函数 $w(t)$ 的傅氏变换。上述为连续信号的傅氏变换，变为离散的有：

$$X(l) = \frac{1}{T_s} |W_x[2\pi f_s(l/M - \alpha)] \exp[-j(\pi M(l/M - \alpha)) + \theta]| \quad (3-7-4)$$

$$\alpha = f_0/f_s$$

从上述几式得到：

$$E[A(l)A^*(l)] = \left(\frac{1}{T_s}\right)^2 |W_x[2\pi f_s(l/M - \alpha)]|^2 + \sigma^2 \sum_{k=0}^{M-1} w^2(k) \quad (3-7-5)$$

其中 $W_x(2\pi f)$ 为连续窗函数 $w(t)$ 的连续傅氏变换。 σ^2 为输入加性白噪声的功率。上述第一项代表信号功率，第二项代表噪声功率。若作点对点的平均，每点功率将收敛到一个值。这时信号最高峰与噪声平台的比为

$$\begin{aligned}
 SNR &= \frac{f_s^2 \cdot |W_x[2\pi f_s(l/M - \alpha)]|^2}{\sigma^2 \sum_{k=0}^{N-1} w^2(k)} \\
 &= \frac{N}{\sigma^2} \cdot \frac{f_s^2 W_x^2(0)}{N \sum_k w^2(k)} \cdot \frac{|W_x[2\pi f_s(l/M - \alpha)]|^2}{W_x^2(0)}
 \end{aligned} \tag{3-7-6}$$

假设 $W(k)$ 为 $w(k)$ 的离散DFT, 则有: $f_s^2 W_x^2(0) = W^2(0)$, 上式变成:

$$SNR = \frac{M}{\sigma^2 \cdot ENBW} \cdot \frac{|W_x^2[2\pi f_s(l/M - \alpha)]|^2}{W_x^2(0)} \tag{3-7-7}$$

其中: $ENBW = \frac{M \sum w^2(k)}{W^2(0)} = \frac{M \cdot \sum w^2(k)}{(\sum w(k))^2}$ 即为窗函数的等效噪声带宽。

现考虑SNR中的最后一项: $\frac{|W_x^2[2\pi f_s(l/M - \alpha)]|^2}{W_x^2(0)}$

设1条谱线为信号主峰, 则 $\left| f_s \frac{1}{M} - f_0 \right| \leq f_s / (2M)$, 即

$$|2\pi f_s(M - \alpha)| \leq \frac{f_s \cdot \pi}{M},$$

如果 $w(t)$ 的频谱中, 主瓣峰较平坦, 而且当 N 足够大时, 则有

$W_x^2[2\pi f_s(M - \alpha)] \approx W_x^2(0)$ 。常用的窗函数满足这一要求。在SNR表达式中忽略之:

$SNR = \frac{M}{\sigma^2 \cdot ENBW}$, 使用dB为单位:

$$\begin{aligned}
 SNR &= 10 \lg \frac{M}{\sigma^2 ENBW} = 10 \lg \frac{M}{\left(\frac{2}{2^B}\right)^2 \cdot \frac{1}{12} \cdot ENBW} \\
 &= 6.02B + 10 \lg \frac{3M}{ENBW}
 \end{aligned} \tag{3-7-8}$$

这里信号为 $\exp[j(2\pi f_0 t + \theta_0)]$, $FSR = 2$, B 为ADC的分辨率。如果输入信号是 $\sin(2\pi f_0 t + \theta_0)$, 则信噪比为:

$$SNR = 6.02B + 10 \lg \frac{3M}{4ENBW} \tag{3-7-9}$$

上述讨论中忽略了 $\frac{|W_x^2[2\pi f_s(l/M - \alpha)]|^2}{W_x^2(0)}$ 。实际上这一项即代表栅栏损失。因此信号的主峰与噪声平台的比与上式稍有差别(误差), 最大的误差为窗函数的“最大栅栏损失”。

上面给出的SNR是对功率谱求平均的结果。如果对幅度谱求平均, 则要复杂一些。假设信号能量比噪声能量大得多, 则 $A(l)A^*(l)$ 的平方根收敛于

$$f_s |W_x[2\pi f(l/M - \alpha)]|$$

信号不存在的频域, 噪声项 $\Gamma(l)$ 分成实部与虚部: $\Gamma_r(l)$, $\Gamma_i(l)$. 由大数定理, 多次样本统计, $\Gamma_r(l)$, $\Gamma_i(l)$ 均服从高斯分布. 如果 $w(t)$ 有很小的边瓣和窄的主瓣, 则 $\Gamma_r(l)$, $\Gamma_i(l)$ 几乎不相关, 此时 $\Gamma(l)\Gamma^*(l)$ 的平方根是一个瑞利分布: $\sqrt{\sigma^2 \left(\sum_{k=0}^{N-1} w^2(k) \right) \pi \cdot \frac{1}{a}}$

$$\text{这样: } SNR = 6.02B + 10 \lg \frac{3M}{\pi \cdot ENBW}$$

这是对幅度谱求平均后信号主峰对噪声平台的比值. 以上两个SNR的表达式都假定为输入满幅度的正弦波.

第八节 几种“信噪比”与有效位公式的说明

在一些教科书和刊物上常出现以下几种公式:

1. $S/N = 6.02B + 1.76(\text{db})$
2. $S/N = 6.02B + 1.76 - 20 \lg \frac{FSR}{2A}(\text{db})$
3. $S/N = 6.02B + 1.76 + 10 \lg \frac{f_s}{2f_{\max}}(\text{db})$
4. $SNR = 6.02B + 10 \lg \frac{M}{2}(\text{db})$
5. $SNR = 6.02B + 10 \lg \frac{3M}{4ENBW}$

上述第(1)个公式是N位理想的量化器, 在输入满幅度的正弦波情况下, ADC输出的信号功率与噪声(总功率)之比. 这个公式是最基本的.

第(2)个公式是输入一个非满幅度的正弦波 $A \sin(\omega t + \theta_0)$ 到一个理想的ADC系统, 输出的数字信号的功率与噪声(总功率)之比, $-20 \lg \frac{FSR}{2A}$ 一项是因为信号功率为 $0.5A^2$, 而不是 $0.5 \left(\frac{FSR}{2} \right)^2$, 两者的差别用DB表示即为 $-20 \lg \frac{FSR}{2A}$.

对第(3)个公式, 假设 $f_s \gg 2f_{\max}$, 即采用过采样, 输出数字信号谱为:

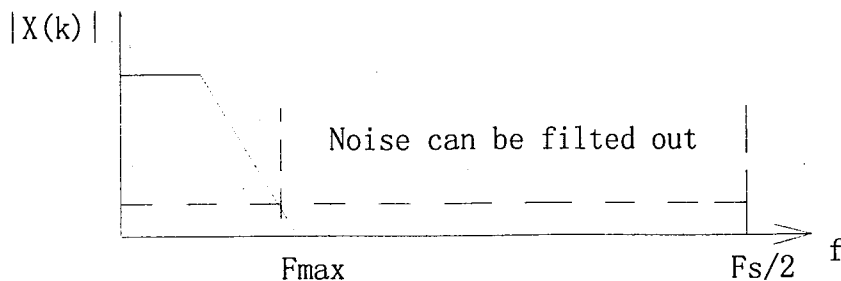


图3-8-1 过采样的信号与噪声频谱

信号谱集中在 $0 - f_{\max}$, 而噪声 σ^2 均匀分布在 $0 - F_s/2$ 之间。如果一个数字滤波器可将 $f_{\max} - f_s/2$ 的噪声滤去, 则得到的数字信号噪声功率只有滤波前的 $f_{\max}/(f_s/2)$ 倍。信噪比增加了 $10\lg \frac{f_s}{2f_{\max}}$ 。

由此可见这公式是利用过采样而后加数字滤波器将高频噪声滤去后得到的信号与噪声总功率之比。

第(4)、(5)式的SNR都是信号主峰与噪声平台的高度比。

将第(5)式变换一下得:

$$\begin{aligned} \text{SNR} &= 6.02N + 10\lg \frac{3B}{4ENBW} \\ &= 6.02N + 10\lg \frac{B}{2ENBW} + 10\lg(3/2) \\ &= 6.02N + 1.76 + 10\lg \frac{B}{2} + 10\lg \frac{1}{ENBW} \end{aligned}$$

两者都有 $10\lg \frac{B}{2}$ 这一项, 它相当于FFT-floor, S/N 与 SNR 的差别就在于这一项: 一个是信号功率与总噪声功率之比, 另一个是信号主峰与平台之比。

另外, (5) 式中还多了 $10\lg \frac{1}{ENBW}$ 一项, 这是由于窗函数的等效噪声带宽不为1引起的。第(4)式相当于 $ENBW=1$, 即为矩形窗的特殊情况。

以上都是针对理想的ADC而言, 对于实际的ADC, N 用有效位ENOB代替, SNR用SINAD代替, SNR、SINAD 等由频谱分析或者由谱平均得到。这是我们测试动态特性的基本公式。

第四章 Dither 的原理及其在 ADC 中的应用

Dither 的字面意思是“发抖”、“抖动”、“颤动”。Dither 技术已运用在许多方面,如在控制系统中用 Dither 技术进行雷达天线的自适应补偿、射电望远镜中滑动摩擦的补偿;在铁电物质 LCD 中运用 Dither 技术可实现一千六百万种色调;在扫描光学显微镜中利用 Dither 原理提高其灵敏度;在研究无序系统时注入 dither 则起到了很好的效果等等。总之, Dither 技术在语音、声学仪器;分析振动和滚动的机器设备;研究电子线路的非线性畸变等许多领域得到应用。而在这里则着重探讨 Dither 在 ADC 中的应用。

第一节 Dither 信号在 ADC 中的运用和发展历史

1951 年 Goodall 首先将 Dither 信号用在视频脉码调制(PCM)中以降低量化效应。Goodall 用一个 5bit,32 level 高速 ADC 来再生电视图像时,图像强度上由量化步长而产生轮廓效应很容易被肉眼察觉。Goodall 发现加入一个幅度均方值小于输入信号峰峰值 40dB 的随机噪声后,轮廓就被遮掩了。虽然图像好比被“噪化”,但大多数观察者认为这样的系统还是比较完美的。

Robert 进一步研究运用噪声屏蔽轮廓效应。他指出通常需要 6 到 7 个量化比特才能获得良好图像,当加入伪随机噪声后,只要 3 到 4 个量化比特就能得到人们可接受的图像。在他的工作中还有几个新思想。首先,他提出在 ADC 输入端加入一定量的噪声,在重新转换为模拟信号后再减去同样量的噪声的概念;其次,他明确地指出:这种加入噪声的处理打乱了原有的数字编码步长而类似于附加噪声,这使得整个变换通道非常类似于一个模拟通道。很明显,这种加-减结构只是平均了输入信号,而一点也没有增加噪声的均方值。有了 Dither,量化噪声就变成了宽带噪声而和信号不相关。

到了 60 年代早期, Dither 得到广泛的应用。这就是在量化器的输入端再加上一个模拟信号,在量化后再把它减掉。Schuchman 研究了作用在量化噪声上的 Dither 效应。简而言之,量化器的输出包括两项:一是信号信息,二是噪声,噪声是信号的函数。Widrow 阐明了量化噪声与信号统计上的独立能使量化损失最小化。而 Schuchman 给出了使量化噪声与信号统计上独立的 Dither 信号条件。他认为最优的 Dither 信号是宽度为量化步长、幅度为均匀概率密度函数的噪声信号。有了这个 Dither 信号就能使每次采样信号统计上相互独立。

Spang 和 Schuchman 探讨了量化噪声的另一个有趣方面。他们指出通过加反馈到 ADC 可以使噪声频谱改变,并使给定频域的噪声减少,虽然这样做增加了总的噪声。

Iayant 和 Rabiner 分析了 Dither 信号在语音信号量化中的应用。他们得出了这样的结论:如果每个样本的量化 bit 少于 5~6 bit, Dither 信号就显得非常有效和有意义。他们也证明:用伪随机噪声作为有效 Dither 信号时,噪声步长无需小于四分之一量化步长。

Blessner 对数字音频信号作了详尽的验证。他明确地指出:量化信号的平均值能在两个值之间被连续地除去。从他的描述中可以清楚地看到,对于数字音频, Dither 未必要采用 Robert 的加-减结构,而只要简单地把一个噪声加到 ADC 的输入端就可以了。

随后许多人的工作都澄清了人们的一个共同误解:这就是如果信号很小或者信号的细节部分很小,且小于量化步长时,信号就会有丢失。这在通常情况下是对的,然而当被量化的信号加上一个幅度近似等于量化步长的宽带噪声 Dither 时,这种说法就不对了。1984 年 Vanderkooy 和 Lipshitz 追踪了 Dither 在视频中的运用,并把它运用在音频信号中。他们对 Dither 效应从理论上和实验上进行了分析。通过量化信号的实例说明了 Dither 有效地把畸变转化为低幅度的宽带噪声,将被平均的量化器阶梯状传递函数线性化。这些改善效果都能被

人耳所查觉。

1987年 Blesser 和 Locanthi 打破常规的 Dither 方法而用一个位于 Nyquist 频点的窄带信号作为 Dither 信号来改善 ADC 的信噪比。增加窄带 Dither 信号的幅度就等同于宽带 Dither 信号。Blesser 和 Locanthi 的实验比较了位于 Nyquist 频点的窄带 Dither 信号和常规的 Dither 信号。他们得出这样结论：4~5LSB 窄带 Nyquist 频点的 Dither 信号，在线性化 ADC 量化畸变中很有效。

到了 90 年代，M F Wagdy 等多人对 Dither 改善 ADC 的量化噪声、传递函数的微分非线性和积分非线性作了详尽的论述，并做了大量的理论分析。Dither 在改善 ADC 性能中的作用得到广泛的承认和应用。HP 公司在其 HP 89400 系列矢量信号分析仪（VSA）中采用了 dither 技术，使其 12 位 ADC 能达到 23 位的等效分辨率。

第二节 A/D 转换所产生的噪声和失真

4-2-1 量化产生的误差

任何一个 A/D 转换器对模拟信号进行模/数转换时都会产生量化误差，ADC 的量化误差曲线如第二章图 2-1-3 所示。如果输入信号是一个随机信号（与采样频率不相关），它的量化误差是一个白噪声。

以上结论有一个先决条件：这就是输入信号是一个大幅度且频率成份复杂的信号。当输入信号是一个小信号时，则结论就不正确了。下面来看一种特殊的情况：假设输入信号为幅度刚好小于 1LSB 的正弦波，且电平位于图 4-2-1 (a) 的情况时，量化器的输出为一个方波，其频率为输入信号的频率，当输入信号的电平位于图 4-2-1 (b) 的情况时，量化器的输出为 0。

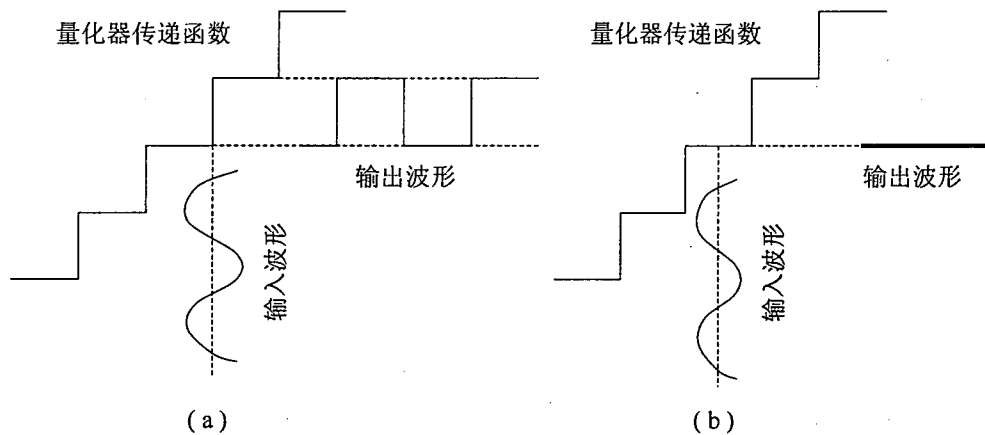


图 4-2-1 1LSB 小信号的量化输出

以上是小幅度的输入信号，输出信号已经发生了巨大的变化，量化噪声（输入信号与输出信号之差）显然是和输入信号有关的。如果把一个单一频率且有一定幅度的正弦波送入一个理想的 ADC 进行量化（有限位数），再通过一个理想的 DAC 把它转换为模拟信号，可以看到输出波形是一个阶梯状的正弦波，如图 4-2-2。

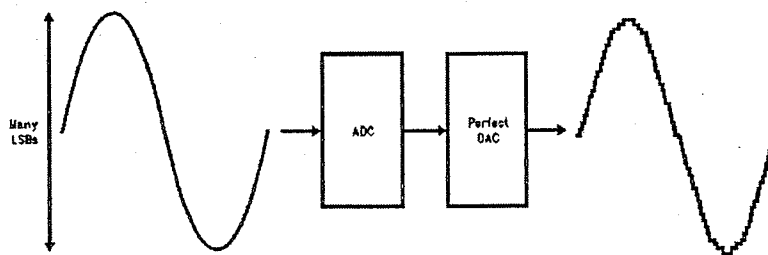


图 4-2-2 理想 ADC 量化后的正弦信号

如果对这个阶梯状的正弦波进行傅里叶分析,就能发现它的频谱中除了输入信号的尖峰外,还有许多小的频率成份。由此可见,量化把多余的频率成份加到了信号上。下面就来分析这些非输入信号成分的产生和输入信号、ADC 的特性、采样时钟之间的关系,以及如何采用 Dither 技术来尽可能地减小这些非输入信号成分。

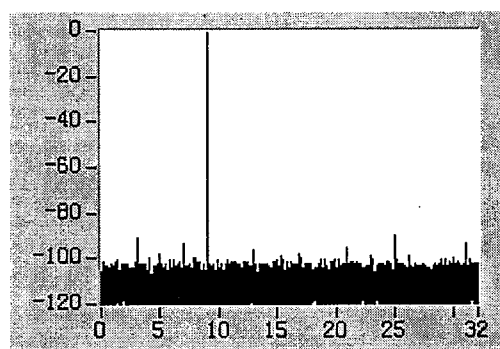


图 4-2-3 单频信号的频谱

4-2-2. ADC 静态非线性特性对其动态特性的影响

仅用静态特性如 DNL 和 INL 来描述 ADC 的动态特性是不够的。假定一个 ADC 在-FS 处的一个码有最坏的 DNL 误差(+2LSB),这是一种相当坏的情况,而这个 ADC 的其它码的 DNL 误差为 0,如图 4-2-4。所以尽管这种 ADC 在-FS 处有最坏的 DNL,但是输入信号很少到达这个最大处,所以这个 ADC 还是有很好的动态响应。再假定另外一个 ADC 在中间处的有最坏的 DNL 误差(+0.25),经仔细确定,中间四个连续码每个都有+0.25LSB 的 DNL 误差,而这个 ADC 的其它码的 DNL 误差为 0,如图 4-2-4,这个 ADC 的传递函数的净误差为+1LSB。也是一个比较大的误差。由于输入信号会不断地经过 ADC 的中间点,因此,误差就会不断地被积累,ADC 的动态响应因此而变坏。所以,不能从总体上看 DNL 和 INL,而必须不同条件下(如码位、输入信号频率等)来看 DNL 和 INL。

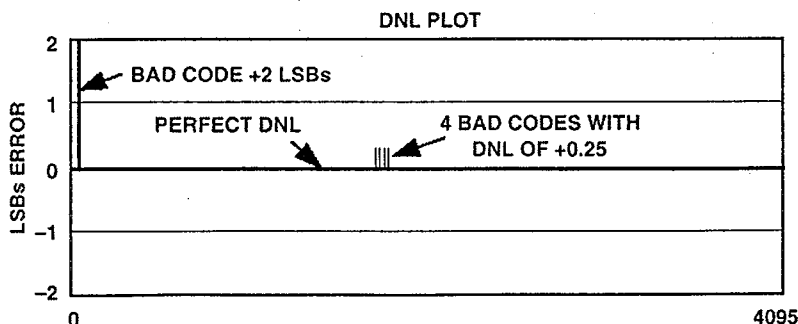


图 4-2-4 两种 ADC 的 DNL

对于 ADC 结构所带来的传递函数的非线性，可以通过分析 AD9042 来说明。AD9042 的内部是由两级 ADC 组成的，如图 4-2-5 所示。

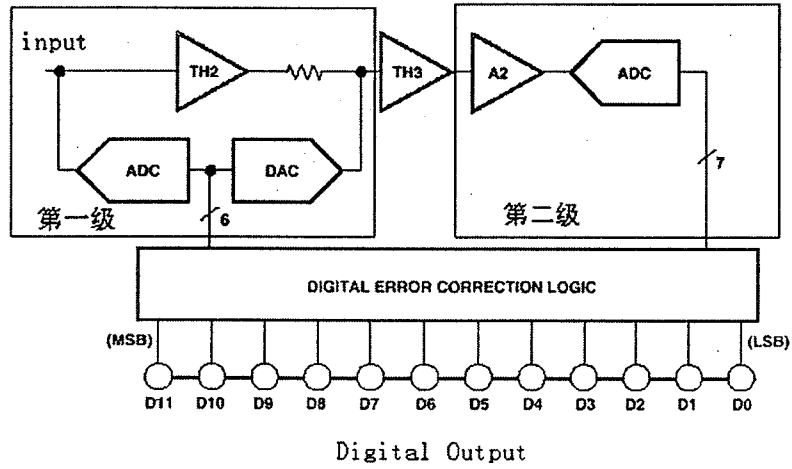


图 4-2-5 AD9042 的内部结构

第一级是一个 6bit 的 ADC，第二级是一个 7bit 的 ADC。两级合在一起构成一个 12bit 的 ADC（第二级中的一位用作误差矫正）。第一级转换的 6bit 数值再由 DAC 转换为模拟信号。原始信号和该模拟信号相减并由保持电路 TH3 保持，通过 A2 放大器放大后送入第二级 ADC 进行转换。从这种结构中可以看出，12bit 的 ADC 被分成了两级，每级 ADC 是一个相对独立的快闪式 ADC。虽然每级 ADC 可以通过精确地调整电阻网络使其转换函数尽可能地逼近理想的转换函数。然而，第二级的 ADC 输入是由原始信号和第一级 DAC 转换出模拟信号相减而生成的，并再次经过了放大。因此，很难做到两级合成的数据非常正确地表示输入信号，尽管采用了一位作为矫正位。由于第一级是 6bit 的 ADC，因此第一级 DAC 转换出的模拟信号共有 64 种电平。输入信号和这 64 种电平中的一种相减再送入第二级，这样在这 64 种电平处就会存在较明显的转换函数的畸变。同样这种畸变也反映在 INL 和 DNL 上，如图 4-2-6 所示：

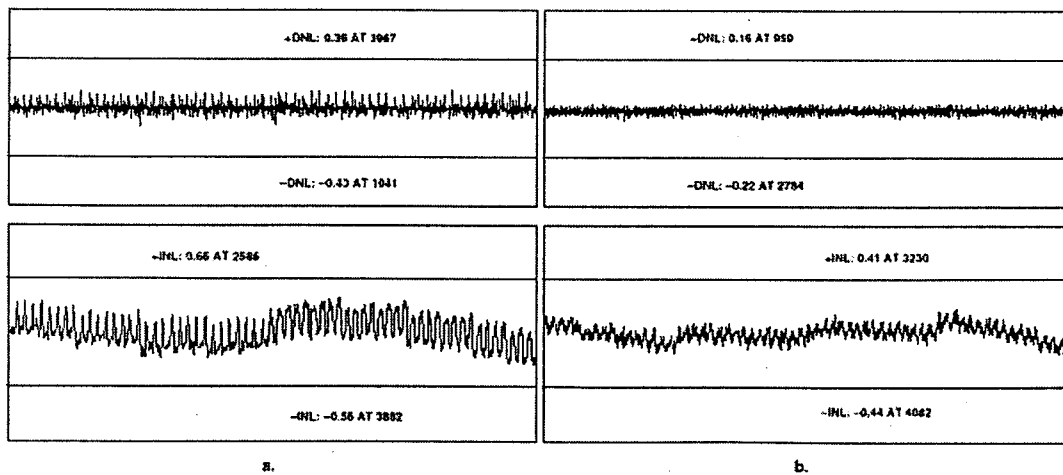


图 4-2-6 AD9042 的 INL 和 DNL

图 4-2-6 中的 a 和 b 分别代表两个不同的 AD9042。尽管两个 AD9042 的 INL 和 DNL 都比较好，且两者的 INL 和 DNL 的细节部分相比都有一定的差别。但两者都有一个共同的特点：无论是 INL 还是 DNL，都呈现重复特性，一共重复 64 次。这是由于 AD9042 的两级

ADC 结构所造成的, 第二级的 INL 和 DNL 特性被重复了第一级的量化次数遍。对于图 4-2-6b, 虽然最坏的 DNL 也小于 0.25LSB, 然而这种重复特性的传递函数会给小动态范围的信号造成重大的破坏。如果一个满幅度信号的 SFDR 为 88dBFS, 那么对于一个低于满幅度 20dB 的小信号来说, 这种重复的 DNL 特性就会使 SFDR 降到 80dBFS。下面来定性分析 DNL 误差所产生的积累误差。

为了理解 DNL 误差对 ADC 动态特性的影响。首先引入 ADC 输出码概率密度函数 (PDF) 的概念。把一个正弦波信号输入 ADC, 不难推出它的输出码概率密度函数为:

$$P(I_{in}code) = \frac{1}{\pi} \left(\sin^{-1} \left[\frac{V(I-2^{N-1})}{A2^N} \right] \right) - \sin^{-1} \left[\frac{V(I-1-2^{N-1})}{A2^N} \right] \quad (4-2-1)$$

其中: V : ADC 的满量程电平。

N : ADC 的的量化位数。

I : 公式中所要求的第几个码的码号。

A : 正弦波信号的峰值电平。

运用这个公式, 先来看满量程幅度的正弦波信号。对于一个 12 位的 ADC 来说, 根据式 (4-2-1), 出现满量程码的概率密度为 1%, 与此相对应, 出现在半满量程码的概率密度为 0.015%。这就造成了正弦波信号输出码的概率密度曲线为一个两头尖峰, 中间下凹的形状, 如图 4-2-7 所示。

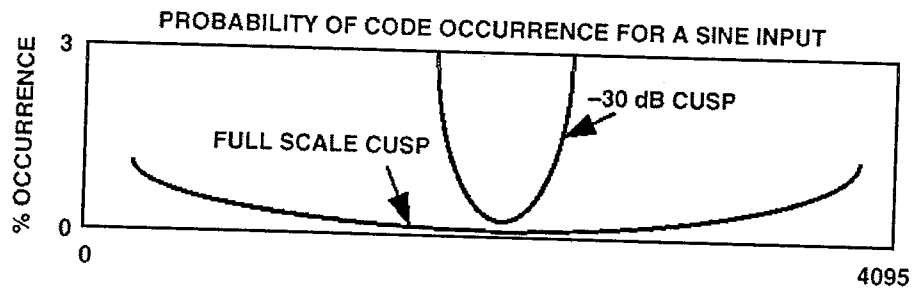


图 4-2-7 正弦波信号输出码的概率密度曲线

这是由于正弦波在两端最大值时变化慢, 中间最小值时变化快所造成的。如果定义第 I 码的微分非线性误差为 DNL(I), 那么, 一个满幅度的正弦波信号由微分非线性而造成的总误差为:

$$Error_{total} = \int_{I=\min code}^{\max code} P(I) \times DNL(I) \quad (4-2-2)$$

当输入信号低于满量程-30dB 时, ADC 的输出码只有所有码的 3%, 输入正弦波信号的峰值码的概率为 3%, 而中值码的概率为 0.5%, 如图 4-2-7。和上面一样, 因微分非线性而造成的总误差是该降幅的信号的输出码的概率密度 P(I)乘以 DNL(I)的积分值。当输入信号再往下降, 变为满幅度的-60dB 时, ADC 的输出码只有所有码的 0.1% (4 个码)。在这种情况下, 峰值码的概率为 26%, 而中值码的概率为 22%。和前面一样, 由微分非线性而造成的总误差是这个降幅信号的输出码的概率密度 P(I)乘以 DNL(I)的积分值。

那么, 以上结果和 ADC 的动态特性又有什么关系呢? 假设一个 ADC 除了码 1985 之外呈现完美 DNL。这就是说, 对于所有的码 DNL 都为 0, 而 1985 码的 DNL 为 +1.5LSB, 如图 4-2-8。当输入一个满幅度的正弦波信号时, 除了正常的量化误差外, 附加的 DNL 误差为

1.5X0.015%或0.00023325LSB。然而输入一个低于满幅度-30dB的正弦波信号时,上面的结果就变为1.5X0.3%或0.045LSB。同样的DNL,对不同幅度的正弦波信号所产生的DNL误差相差200倍。从图4-2-8进一步来看,当输入信号的变换码概率密度函数的峰值位于码1985附近时,DNL误差呈现最大值。当输入信号幅度继续变小,在满幅度-30dB之下时,码1985不再出现,ADC则呈现完美的动态特性。

从上面的例证中可以看出,当输入信号峰值与ADC的DNL误差的最大处相重合时,量化误差最大。量化误差对输入信号的主要影响是增大二次谐波和三次谐波。在一个实际的ADC中,DNL误差是非常复杂的,且呈现重复特性(如图4-2-6),因此就必须寻求一种有效的方法来减小由此而产生的谐波和杂散波。

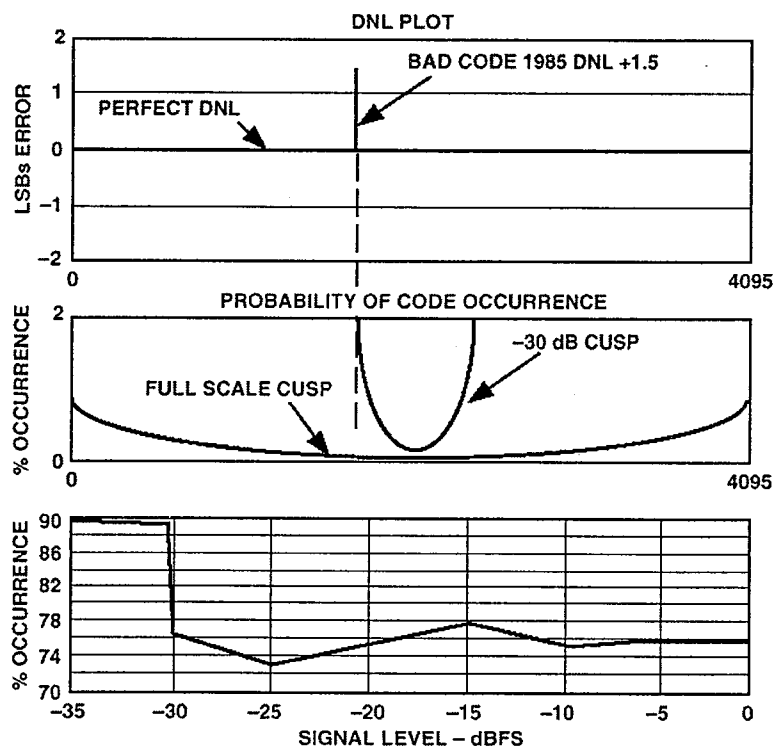


图 4-2-8 不同输入信号电平下的误差发生概率

4-2-3 相干采样所产生的谐波

对于一个单频输入信号,如果采样频率正好为其频率的整数倍,被称为相干采样。图4-2-9(a)是采样频率为输入信号频率23倍的相干采样。图4-2-9(b)是实际输入信号与A/D转换后的信号之差,也就是误差。它在每一采样处的误差包括量化误差、ADC前端电路产生的误差、DNL误差等。总之,是总体的误差。这个误差是大于理想ADC的量化误差的。所以,这个误差的最大值要大于1LSB。具体有多大取决于ADC的性能指标。不同位数的ADC,不同频率的输入信号都会产生不同的误差。由于采样频率正好为输入信号频率的整数倍,所以A/D转换所造成的误差也和输入信号一样呈周期性变化,如图4-2-9(b)。这里假设在同样输入信号条件下,ADC呈现同样的特性。即对于同样的输入信号,转换后所出现的误差一样。这种假设也是和实际情况相符合的。由于误差信

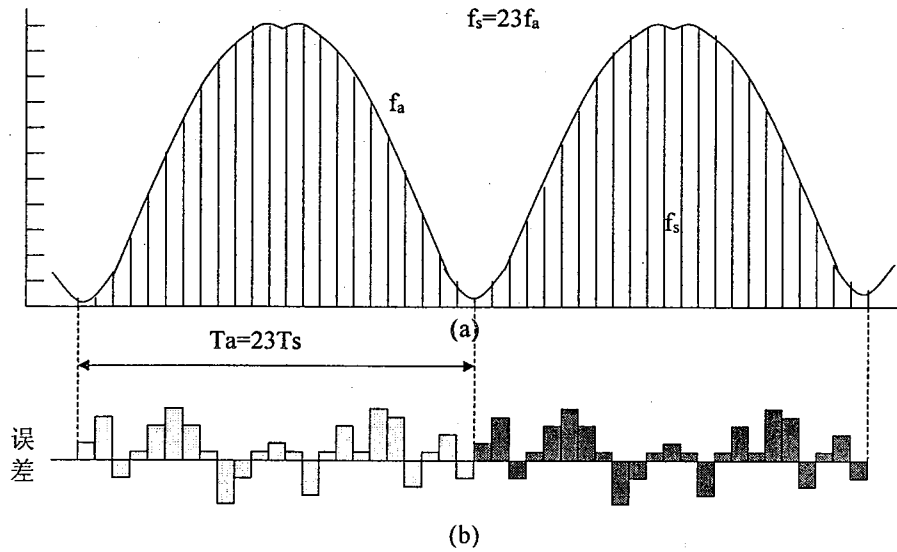


图 4-2-9 相干采样及其量化误差

号为一周期信号（图 4-2-9 (b)），对这一信号作频谱分析就能得出：误差信号包含有输入信号频率的谐波分量。如果 ADC 的传递函数有较大的非线性，误差信号就会有较大的幅度，因此，谐波分量也就比较大。

以上分析也可以通过实验来证实。图 4-2-10 是一个理想 12 位 ADC 输出的 4096 点的 FFT 频谱分析。左边的图中采样频率和输入信号的频率之比正好为 32。在这种情况下，最坏的谐波分量低于基频 76dB。右边的图中采样频率和输入信号的频率之比恰好稍偏离一点 32，这时的噪声谱基本上是随机的，SFDR 大约是 92dBc。在这两种情况下，所有噪声分量的均方值都为 $q/\sqrt{12}$ 。但在第一种情况下，噪声有大部分集中在几个谐波分量上。

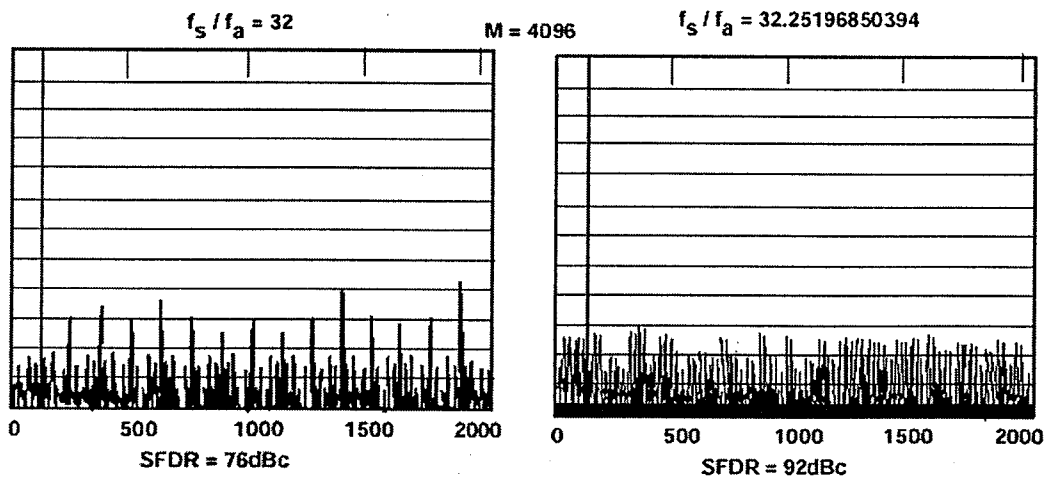


图 4-2-10 相干采样和非相干采样的谱分析

相干采样只有在单频输入信号的情况下才会发生。对于宽带信号来说总是一个一个单频信号的集合。因此，一般来说，无论采样频率如何选取，总有一个或多个单频信号和采样构成相干采样。所以，也就不可避免地要产生不希望得到的谐波分量。为了克服这些谐波分量，最好的方法是采用 Dither 技术。

第三节 Dither 技术及其应用

4-3-1 Dither 信号的种类:

Dither 信号是加在 ADC 模拟输入信号上的一种“抖动”信号。它相对于 ADC 模拟输入信号是随机的。根据 Dither 信号的特点可以把它分为不同的类型。从幅度上看有小幅度和大幅度的；从频率上看有宽带的和窄带的。图 4-3-1 描述了主要的三种 Dither 信号形式：

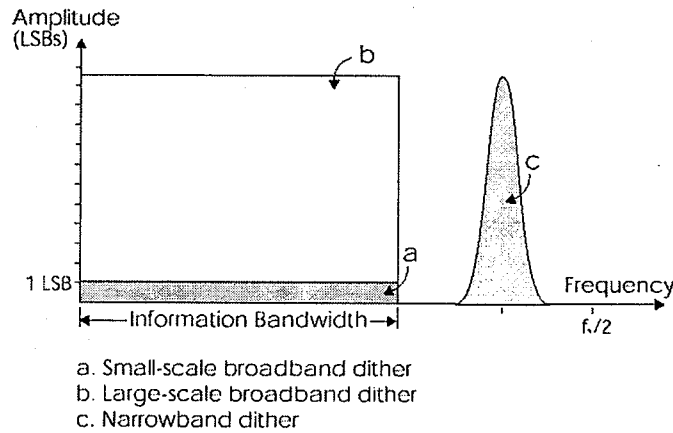


图 4-3-1 三种主要的 Dither 信号

图 4-3-1 中 a 为幅度在 1LSB 范围内的宽带 Dither 信号，b 为幅度在几个或几十个 LSB 范围内的宽带 Dither 信号，c 是窄带 Dither 信号。注意：窄带 Dither 信号处于有用信号频带（Information bandwidth of interest）之外，它可以被 ADC 之后的滤波器滤掉。Dither 信号还用其幅度分布概率（probability distribution of amplitude）来表示其特性。对随机噪声 Dither 信号来说有均匀分布的或高斯（Gaussian）分布的，如图 4-3-2。

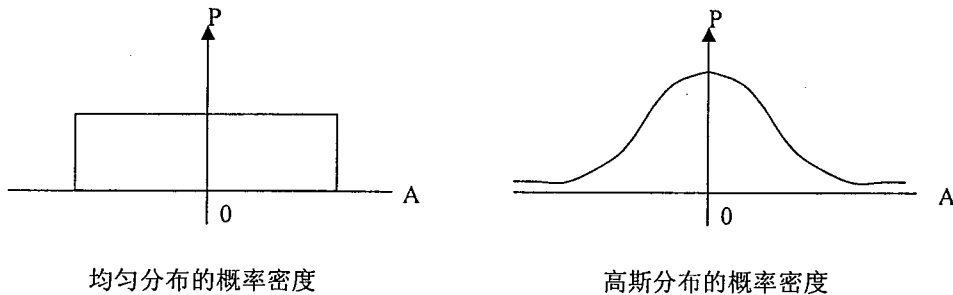


图 4-3-2 随机噪声 Dither 信号的幅度分布概率

在现实世界中，高斯分布的随机噪声随处可见，如电子元器件中的热噪声就是高斯分布的。而均匀分布的随机噪声则不多见，必须用处理器来产生这种噪声信号。

4-3-2 各种 Dither 信号的加入方式

对于三种不同形式的 Dither 信号，有不同的加入方式。图 4-3-3 是宽带 Dither 信号加入方法。左边的是宽带小幅度 Dither 信号加入方法。这个小信号的幅度一般不超过 $1/2$ LSB RMS。这种信号很小，不必要从 A/D 转换后的数据中减去。因为要把这个信号减掉，需要对一个 LSB 再进行细分（再增加额外的 bit）。举例来说，如果 Dither 信号的峰峰值为 1 LSB，要用 8 个值来表示 Dither 信号可能的值，这就要额外的 3 个 bit。假如不考虑在数字信号端

把 Dither 信号减掉，噪声功率将增加 3dB（不减掉这个 Dither 信号，相当于 ADC 转换器的最小位失去量化作用，即 ADC 分辨率降低一倍， $10 \log 2 = 3 \text{ dB}$ ）。

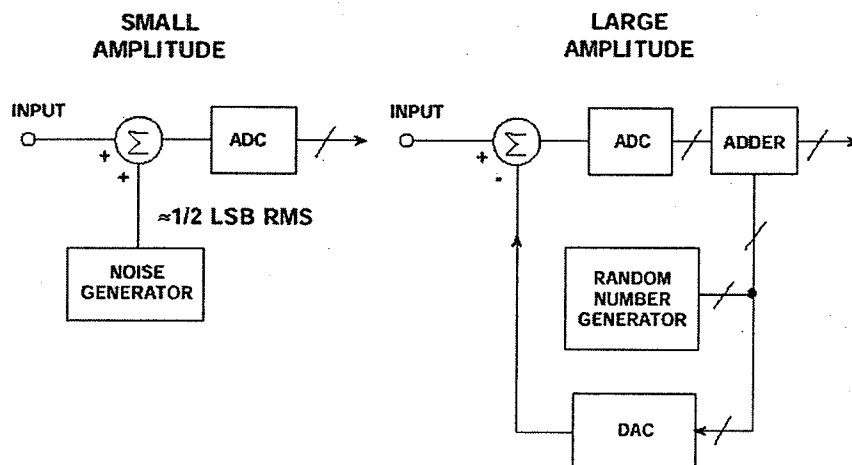


图 4-3-3 宽带 Dither 信号加入方法

图 4-3-3 右边是一个大幅度的宽带 Dither 信号加入方法。由随机信号发生器同步地产生伪随机数据。这个伪随机数据由 DAC 转换位模拟 Dither 信号，输入信号减去这个模拟 Dither 信号后一起加到 ADC 输入端，在 ADC 的输出端再同步地把这个伪随机数加上。这种方式在有些文献上被写成在 ADC 模拟输入端信号与 Dither 相加，而在 ADC 数字输出端信号与 Dither 相减。这两种方式从根本上看是一致的。这种加-减结构从理论上将不会减小 ADC 的信噪比，也就是不会增加噪声功率。这也是理论上分析 Dither 对 ADC 影响最常用的一种结构。这种结构的一个缺点是当 Dither 信号增加时，输入信号就要相应地减小，否则两者相加就会溢出。此外，这种结构在具体实现时比较困难，特别是在高速、高位数的 ADC 中。在核电子学中，用滑移标尺道宽均匀器改善道宽均匀性的原理和这种结构的原理是一样的。

另一种比较容易实现的加入 Dither 信号的方法是使用窄带 Dither 信号，如图 4-3-4 所示。这特别适用于宽带信号接收机。加入的窄带 Dither 信号必须在有用信号频带之外。加入的窄带 Dither 信号幅度也是有限制的，它和输入信号相加不能超过 ADC 的最大输入动态范围。如果输入信号是一个带通信号，那么窄带 Dither 信号可选的用频率范围有两个。一个位于 DC 处的低频窄带信号，另一个是位于 $F_s/2$ 处的信号。总之，确保窄带 Dither 信号和输入信号没有重复频段。由于在 ADC 的数字输出端接有带通滤波器，可以把窄带 Dither 信号滤除。因此，只要滤波器的性能足够好，就不会减小 ADC 的信噪比，也就是不会增加噪声功率。

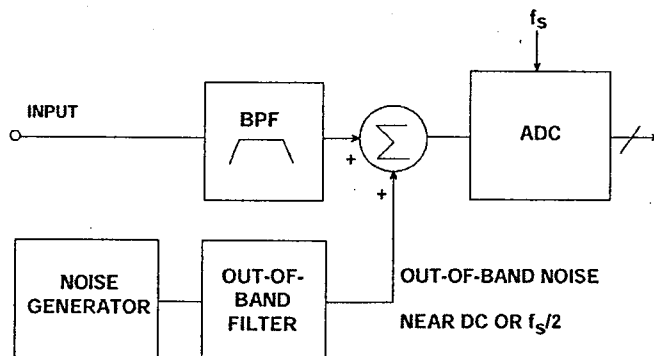


图 4-3-4 窄带 Dither 信号加入方法

假定窄带 Dither 信号为单频的正弦波信号，输入信号是一相对的高频信号。这两个信号相加如图 4-3-5 (a) 所示。该相加信号经 ADC 采样量化后变为数字信号。在 ADC 的输出加一数字带通滤波器，把低频 Dither 信号滤除，就得到了原来的输入信号，如图 4-3-5 (b)。

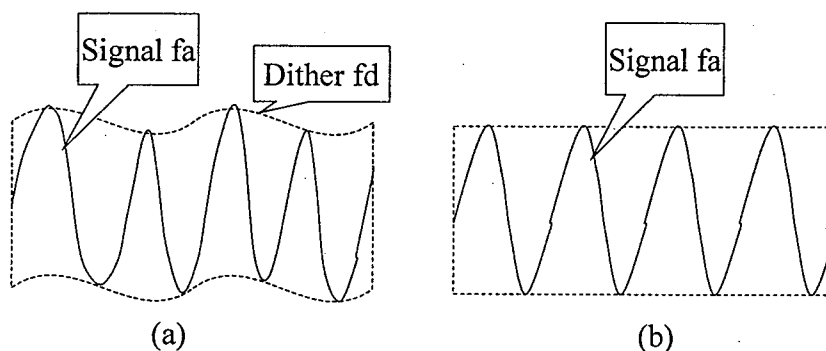


图 4-3-5 数字带通滤波器把低频 Dither 信号滤除

从以上的波形中不难设想，信号和 Dither 在各为单频的情况下一定还会产生双音互调 (Two Tone Intermodulation)，即产生 f_a+f_d 和 f_a-f_d 等的频率成份。这些频率成分是我们不希望得到的，一般也不会被数字带通滤波器滤掉。因此，带外 Dither 信号不能加得太大，否则互调成份的增加也将减小信噪比。另外还有一点要说明的是，带外 Dither 信号一般不是一个单频信号，而是一个包含多个频率成分的窄带信号。从理论上说，它有两个选取范围。而从实现的角度出发，一般都选择低频频段，这是因为要在 $f_s/2$ 频段产生一个窄带信号是比较困难的，除非是一个特殊的情况，如音频信号，它的频率范围从 20Hz 开始，窄带信号只能选择在 $f_s/2$ 频段。

4-3-3 Dither 对 ADC 性能的影响

1. 小幅度 Dither 对 ADC 性能的影响

A. 小幅度 Dither 信号将改变量化噪声与输入信号之间的关系

在第二节中得出这样的结论：如果输入信号是一个幅度较大且频率成分复杂的信号时，量化噪声是一个均匀分布的白噪声。如果输入信号的幅度较小且频率成分单一时，量化噪声就和输入信号有关，可以表示成输入信号的一个函数。如果用 X 代表输入信号，那么量化噪声就可表示成 $E(X)$ 。当输入信号中加入了 Dither 噪声 N ，那么量化噪声就可表示成 $E(X+N)$ 。因此，量化噪声就成了 $X+N$ 的函数。由于 N 是随机噪声，因此 $E(X+N)$ 也就成了随机噪声。注意，这里加入的小幅度 Dither 信号的幅度不能大，一般为 1LSB。由于这种小幅度 Dither 为随机噪声，无法在 ADC 的数字输出端把它减掉。正如前面所说的那样，这种小幅度 Dither 会降低 SNR。以上的分析是针对理想的输入信号而言，对于实际的 ADC 输入信号，其本身就必不可少地携带有少量的随机噪声。另外，对于一个 12 位的 ADC 来说，如果满幅度输入信号为 1V，那么 1 LSB 就是 0.244mV。对于一个 14 位的 ADC 来说，如果满幅度输入信号为 1V，那么 1 LSB 就是 0.06mV。所以，一个实际输入信号本身所具有的热噪声就相当于给自己加上的 Dither。一般无须再外加 Dither 信号。如果再考虑上述采样时钟抖动的影响，这种自身的 Dither 就会更大。因此，在实际应用中，对于高分辨率、高速的 ADC 来说无须再加入小幅度 Dither 信号来改善量化噪声。

B. 小幅度 Dither 将把小幅度信号提取出来

从第二节图 4-2-1 中可以看出，当信号的幅度很小时 (<1 LSB)，ADC 的输出要么是方波，要么是 0。当输入正弦波加入一个小幅度 Dither 时，ADC 的输出如图 4-3-6 所示。

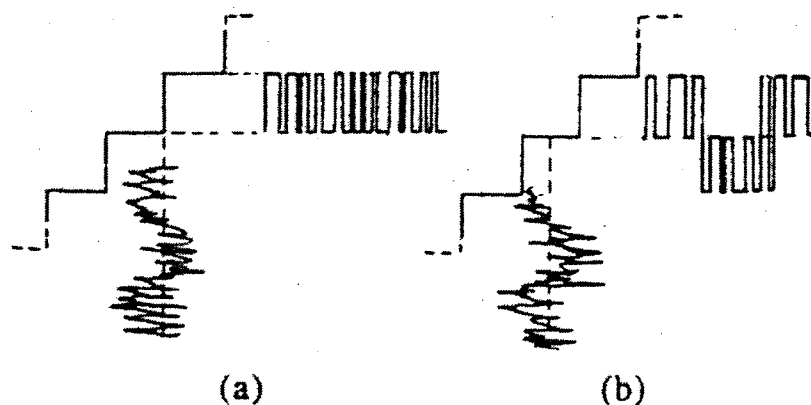


图 4-3-6 Dither 对小幅度信号的影响

图 4-3-6(a)的 Dither 把原本方波输出的信号变为宽度调制的波形。图 4-3-6(b)的 Dither 把原本没有输出变为上下宽度调制的波形。在这些调制的波形里包含了原始输入信号的信息。通过采用叠加平均技术就能恢复出原始输入信号。图 4-3-7 (a) 是一个 $1/2$ LSB 1 kHz 加到 ADC/DAC 后得到的波形。图 4-3-7 (b) 是加上 1 LSB rms 宽带 dither 后得到的输出波形。

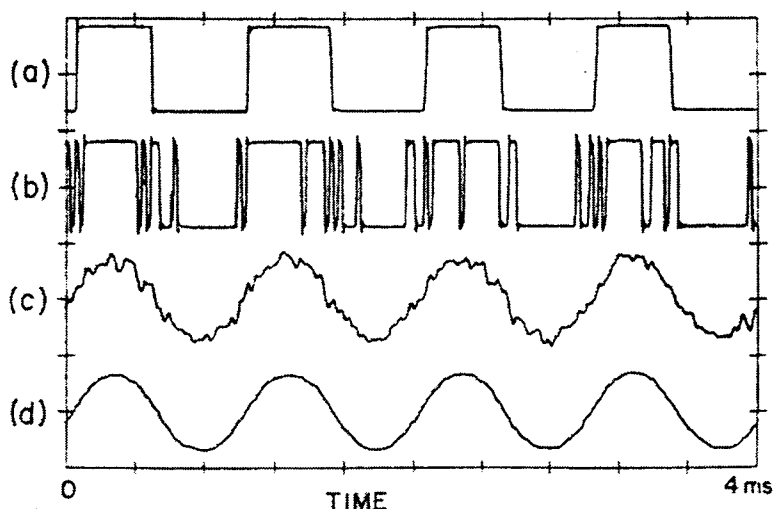


图 4-3-7 用 Dither 把小幅度信号提取出来

图 4-3-7 (c)、(d) 分别是同步采样，输出叠加平均 32 次和 960 次后所得到的波形。从图中可以看出 Dither 和叠加平均技术波形得到完美的恢复。从另一个角度看，这种 Dither 和叠加平均技术实际上提高了 ADC 的分辨率，使低于 1 LSB 的信号也能分辨出来，也就是使 ADC 的有效位数增加了。这和等效采样中利用低速的 ADC 转换器实现高速的等效采样频率的道理是一样的。只不过前者在幅度上进行再等分，而后者在时间上进行再等分。

提高了 ADC 的分辨率，也就是降低了量化误差，使台级状传递函数更加接近于一条直线。假定一个理想 ADC 的误差传递函数如图 4-3-8 所示，一个幅度在 1 LSB 内均匀分布的

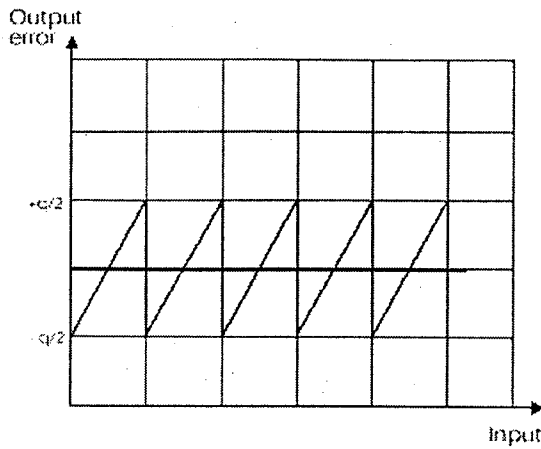


图 4-3-8 理想 ADC 的误差传递函数

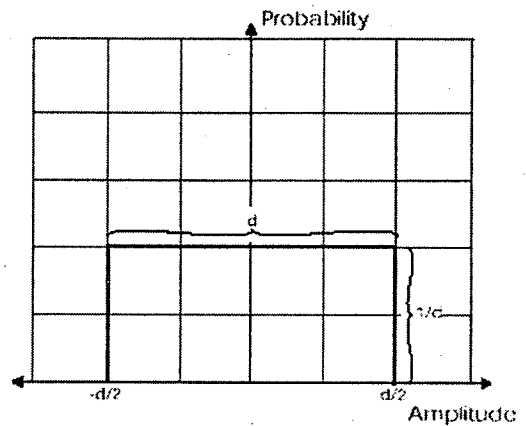


图 4-3-9 PDF of 1 LSB dither

Dither 的概率密度函数如图 4-3-9 所示：对于随机 Dither 信号所产生误差的期望值则可由误差传递函数乘以 Dither 的概率密度函数计算得出。对于任意一个随机变量 z ，它所产生误差的期望值为 $G(z)$

$$G(z) = \int_{-\infty}^{\infty} P(z)e(z)dz \quad (4-3-1)$$

这里 $e(z)$ 为误差传递函数， $P(z)$ 为概率密度函数。当 Dither 信号的随机变量 z 加到幅度为 x 的输入信号上，对于任意 x 所产生误差的期望值为 $G(x)$

$$G(x) = \int_{-\infty}^{\infty} P(z)e(z+z)dz \quad (4-3-2)$$

这里 $e(x+z)$ 代表输入信号变量 x 加上随机 dither 变量 z 所产生的误差。上式就如同一个卷积运算。用图形表示其结果，就像 dither 的 PDF 图形滑过 ADC 的误差传递函数所得的积分值一样，如图 4-3-10 所示。

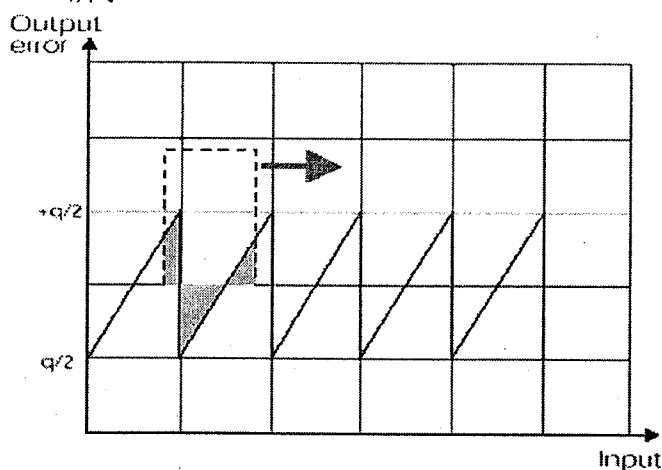


图 4-3-10 概率的卷积

从图 4-3-10 中可以看出，对于幅度为 1LSB 的 Dither 信号，误差的积分值（图中的阴影部分）为 0。因此，无限次积累所得出的误差传递函数为 0，ADC 的传递函数也就是一条直

线。

C. 小幅度 Dither 能消除相干采样所产生的谐波

相干采样就是采样频率正好为单频输入信号的整数倍,如图 4-2-9(a)所示。而小幅度 Dither 却正好能把这种相干关系打破。因此,图 4-2-9 (b) 中的量化噪声也就失去其周期性的规律。图 4-3-11 中 输入信号的频率为 19.5MHz, 采样频率为 65MHz, $3 f_s = 10 f_a$ (这也是一种相干采样)。图 4-3-11 左边是没有加 Dither 的频谱分析, 右边是加了 Dither 的频谱分析。从中可以看出, Dither 大大改善了 SFDR。

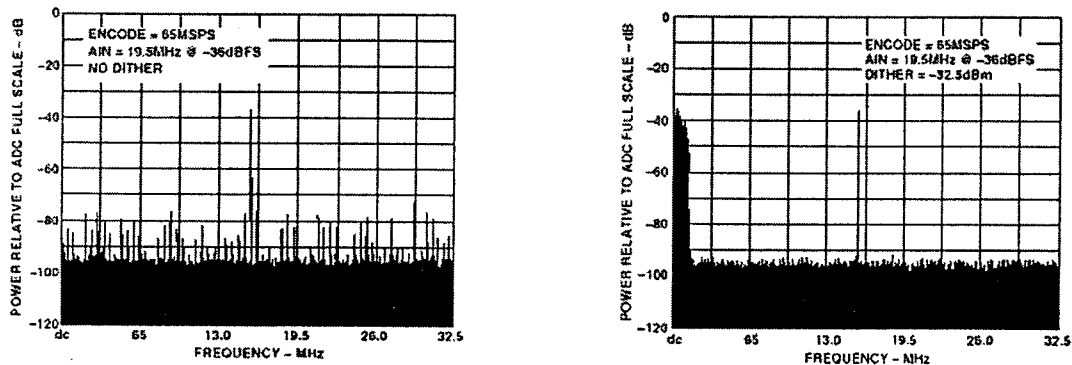


图 4-3-11 Dither 能消除相干采样所产生的谐波

2. 大幅度 Dither 对 ADC 性能的影响

大幅度 Dither 指的是幅度大于 1 LSB 的 Dither 信号。大幅度 Dither 分为宽带的和带外的(窄带的) Dither。这两种 Dither 的幅度都不能太大, 否则将影响 ADC 输入信号的动态范围。它们所产生的效果是一样的。宽带大幅度 Dither 的 ADC 系统难以实现, 窄带大幅度 Dither 的 ADC 系统容易实现。只要宽带大幅度 Dither 的 ADC 系统的加减结构和窄带大幅度 Dither 信号 ADC 系统的滤波器能有效地把 Dither 信号除去, 大幅度 Dither 所产生效果同样能达到小幅度 Dither 信号所产生的效果。除此之外, 大幅度 Dither 信号还有其独特的效果。

在第二节中讨论了分级式 (Subrange) ADC 的 DNL 特性。从中得出这样的结论: 分级式 ADC 的 DNL 呈现周期性, 且周期与 ADC 中的分级结构有关。第二节图 4-2-6 表示了 12 位 ADC9042 的 DNL 和 INL 特性。正因为 DNL 的周期性和不均匀性, 使得 ADC 的误差噪声呈现周期性和不均匀性, 因此也就有许多谐波分量。图 4-3-12 是非理想 ADC 的采样/量化示意图。假定 ADC 的位数为 4, 共有 16 个量化电平。该 ADC 的 DNL 呈现周期性, 而且不均匀。所以它的传递函数如图 4-3-12 左上图所示, 是一种不均匀的台阶状。但是前八个台阶和后八个台阶相同。以上假设符合实际情况, 并且可把此 ADC 的传递函数看成是一个高位 ADC 传递函数中的一段。当一个正弦波(图 4-3-12 的中间)被采样量化后, 变为图 4-3-12 右上图的波形。这个波形实际上是一些离散的数字量。从这个输出波形中可以看出, 正弦波的形状已发生了改变, 这是由于传递函数不均匀性造成的。ADC 的量化误差函数(图 4-3-12 左下图)也是不均匀的, 且呈现周期性。输入信号被采样量化后输出的误差噪声如图 4-3-12 右下图所示。A 点和 B 点相似是由于相干采样造成的。A 点和 C 点相似是由于传递函数的周期性造成的。所以, 这个误差波形同样呈现周期性。无论是量化输出的波形, 还是量化输出的误差波形, 其周期性都是和输入信号的周期性、相干采样以及传递函数的周期性密切相关的。这种量化误差噪声的不均匀性是无法改善的, 而它的周期性是可以加入

Dither 信号来改善。

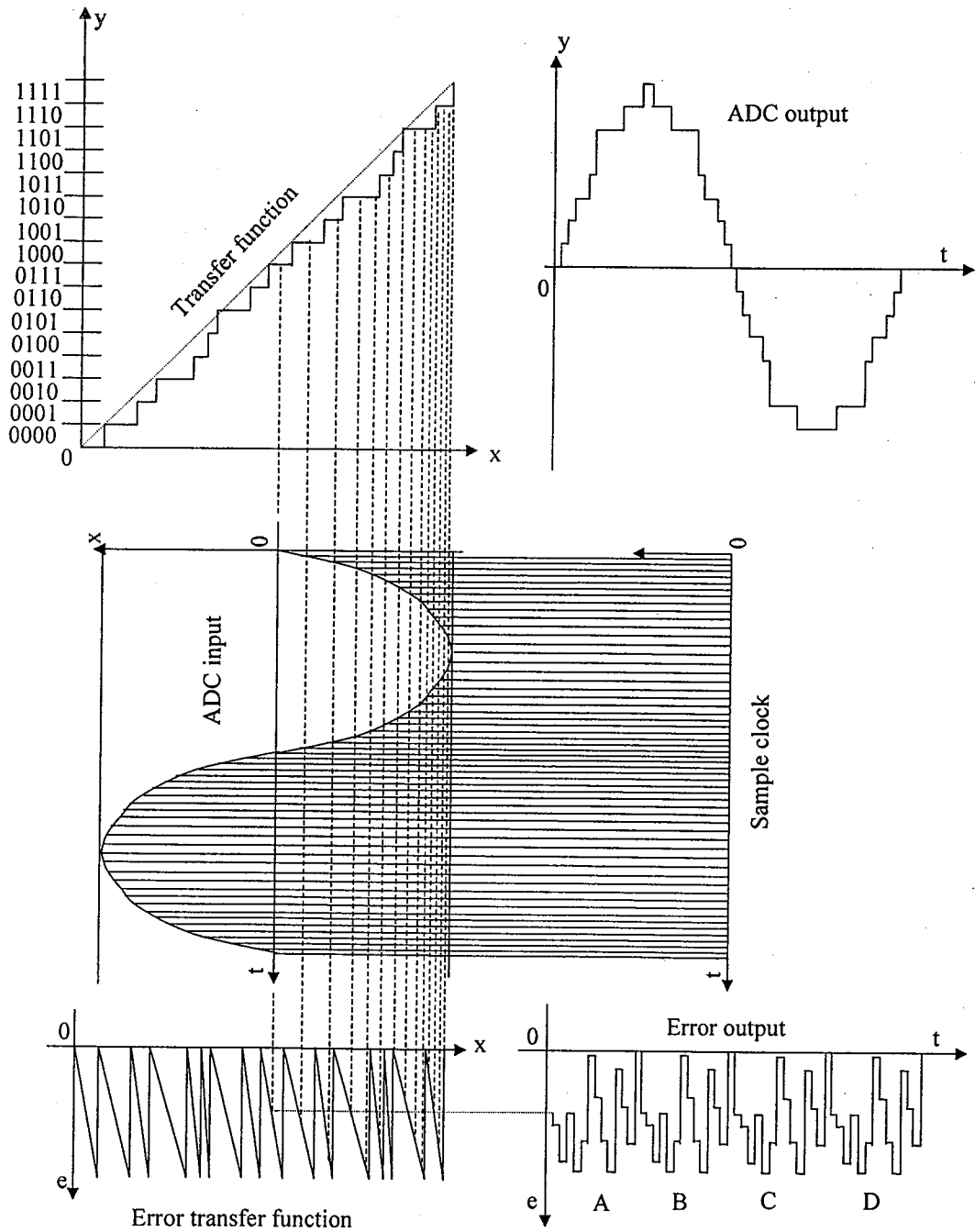


图 4-3-12 非理想 ADC 的采样/量化示意图

前面已经分析过，周期信号因相干采样而造成的谐波可以通过加入 Dither 来改善，而且只要小幅度的 Dither 就可以了。对于因传递函数周期性而造成的谐波，也可以用 Dither 来改善，但必须用大幅度的 Dither 信号。如果传递函数的周期是 16 个 LSB 一个循环，那么 Dither 信号的均方值 (RMS) 应基本上为 16 个 LSB。这样，由于 Dither 信号的影响能使输入信号+Dither 信号的电平跳过传递函数的周期，加上 Dither 信号相对输入信号是随机的，所以，输入信号+Dither 信号就不受传递函数的周期性的影响，而 Dither 信号又能在数字输

出端被除去。因此就保证了输入信号不受传递函数的周期性的影响。图 4-3-13 (a) 是一个 12 位 ADC (AD9042) 的 DNL 曲线的一部分, 其中两个尖峰相差 64 个 LSB。这张图代表整个 DNL 曲线的一个周期多一点。当 Dither 信号为 5.3 LSB (RMS) 时, DNL 曲线如图 4-3-31(b)。

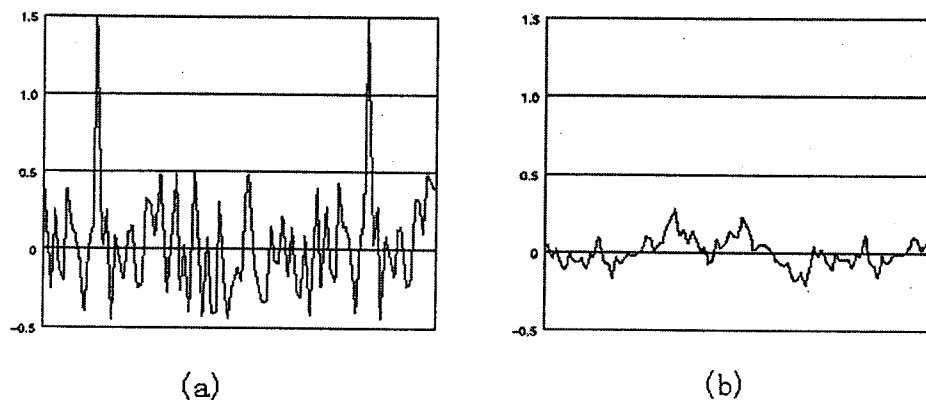


图 4-3-13 DNL 曲线

当继续加大 Dither 信号为 10.6LSB (RMS) 时, DNL 曲线如图 4-3-14 (a) 所示。当 Dither 信号为 16LSB (RMS) 时, DNL 曲线如图 4-3-14 (b) 所示。

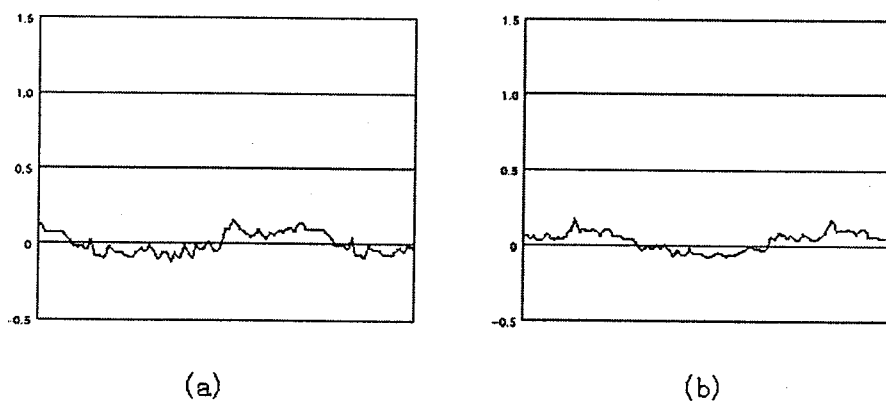


图 4-3-14 DNL 曲线

继续增大 Dither 信号到 21.3LSB (RMS) 时, DNL 曲线如图 4-3-15 所示。

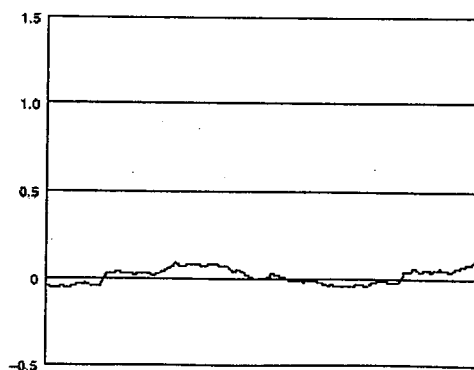


图 4-3-15 DNL 曲线

以上五张图都是在输入一特定信号(如正弦波),经过统计落在各个 LSB 中的点数而得出的。由于它代表了一个统计值,所以当 Dither 的大小处于一定的范围(16LSB ~ 21.3LSB (RMS))时,这些统计平均值趋近于 0,如图 4-3-14(b)。当 Dither 信号的幅度再增大时, DNL 曲线没有更大的改善。由此可以推出,对 AD9042 来说, Dither 的幅度在 16LSB ~ 21.3LSB (RMS) 之间最佳。根据转换公式

$$\text{dBm} = 20 \log(V_{\text{RMS}}) + 13 \text{ dB} \quad (\text{for } R = 50 \text{ ohms})^1$$

对于满幅度为 1V 的 16LSB ~ 21.3LSB (RMS) 分别为 $16/4096 = 0.0039\text{V}$; $21.3/4096 = 0.0052\text{V}$ (RMS)。如果这折算成 dBm 分别为 -35dBm 和 -32.5dBm。

把一个非满刻度的输入信号加到 AD9042 的输入端,分别加 Dither 和 不加 Dither 到 A/D 转换器输入端,并对其输出结果作 128K 的 FFT 分析。其结果分别由图 4-3-16 (a) (b) 所示。从图中可以看出,没加 Dither 的 SFDR 为 -82dBFS, 而加了 Dither 的 SFDR 为 -103dBFS。改善了 21dB 之多。

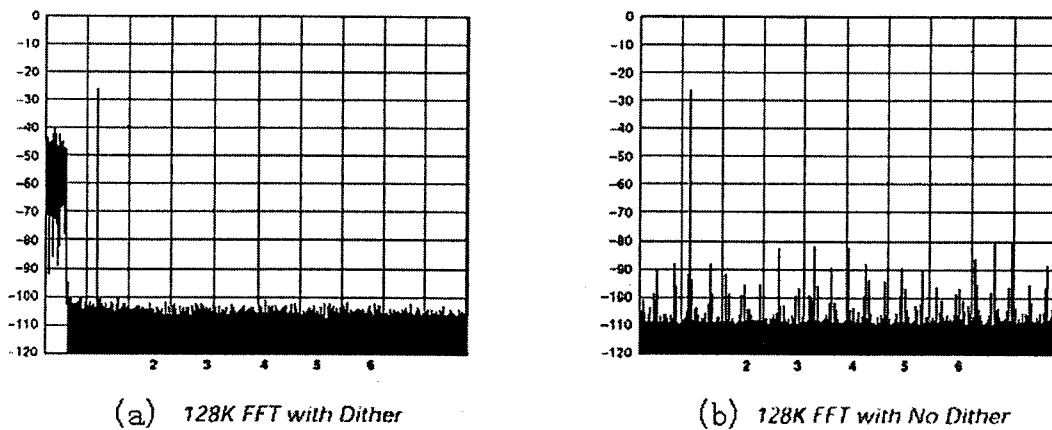


图 4-3-16 两种谱分析结果

3. Dither 改善 ADC 性能之总结

Dither 对 ADC 的 SFDR 性能的改善是很有效的。无论是量化噪声,还是相干采样、DNL 的周期性所产生的谐波都是由于采样、量化及其输入波形之间存在某种固定的关系所造成的,而 Dither 信号的作用正是打乱这种相对固定的关系。为了实现打乱的目标, Dither 信号一定要相对于输入信号是独立的。Dither 虽然能改善 SFDR,但它不能改善 SNR。相反,如果 Dither 信号不能在 ADC 的数字输出端被有效地减去,反而会降低 SNR。在图 4-3-16(b) 中我们看到除了有一个主峰代表信号频率外,其他的小峰就是各种谐波分量。由于这些谐波分量的存在而降低了 SFDR。当加入了 Dither 信号后,这些小峰(谐波)不见了。SFDR 增加了,这并不意味着这个谐波噪声减小了,而是这些谐波噪声被分散了,被容入了整个噪声平台中。这在通信中有着重要的意义,因为一个和接收机很近的信号可能很强,它的谐波分量也将比较大。当这个谐波分量大到和一个远离接收机的信号相当时,就会对远离接收机的信号产生强烈的干扰,所以在通信中必须最大限度地降低谐波分量的干扰。

由于采样时钟抖动和 ADC 传递函数的随机不均匀性也会产生相应的噪声,而这些噪声本身就是随机的,与输入信号无关。所以对于这类噪声无法用加 Dither 的方法来改善它们。只能通过选用更好的时钟源和具有更理想传递函数的 ADC 芯片来解决。

总之, Dither 也不是万能的,它必须在特定的条件下才能发挥其作用,它对改善 SFDR

¹ dBm 定义为消耗在 50Ω 上 1mW 功率所对应的电压,所以

$$\text{dBm} = 10 \log((V_{\text{RMS}}^2/50) 1000) \text{ dB} = 20 \log(V_{\text{RMS}}) + 13 \text{ dB}$$

具有特别的效果。

第四节 实现 Dither 的具体电路

虽然 Dither 能有效地改善 SFDR，然而实现 Dither 的具体电路并不复杂，只要产生一定幅度和频率范围的噪声信号并把它加到输入信号中去就行了。

4-4-1 噪声产生电路：

1. 用噪声二极管产生噪声：

用噪声二极管产生的噪声是的高斯噪声。和电阻产生的热噪声相比，它具有更大的能量，并且可以控制其输出噪声的频率范围。其具体电路如图 4-4-1 所示。 f_c 为噪声输出的截止频率。选择不同输出噪声频率范围的的二极管具有不同的输出噪声幅度。0.1Hz~3MHz 为 $3.0\mu V/\sqrt{Hz}$ 。0.1Hz~25MHz 为 $0.1\mu V/\sqrt{Hz}$ 。0.1Hz~100MHz 为 $0.05\mu V/\sqrt{Hz}$ 。Noise Com 公司有这一系列满足要求的噪声二极管。如表 4-4-1 所示。

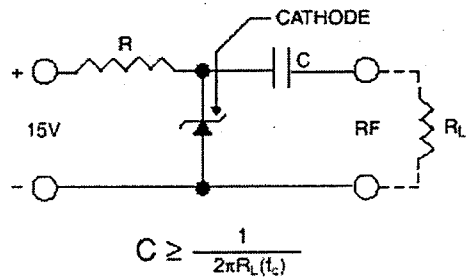
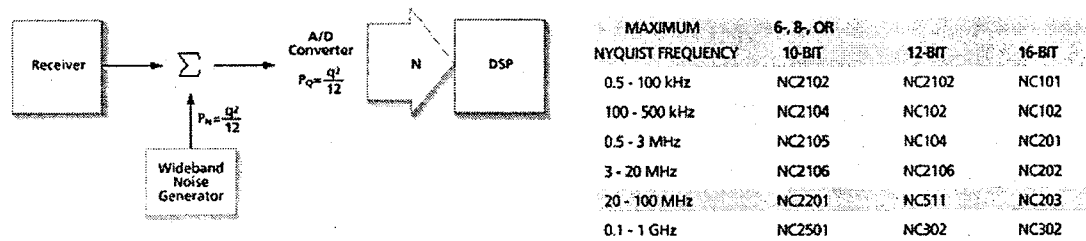


图 4-4-1 噪声二极管电路

表 4-4-1 Noise Com 公司的噪声二极管

AUDIO & VHF TYPES						
MODEL	FREQUENCY RANGE	OPERATING CONDITIONS			MINIMUM OUTPUT ($\mu V/\sqrt{Hz}$)	PACKAGE
		V_p (V)	I_{op}	R_L (Ω)		
NC101	0.1 Hz - 100 kHz	7 - 10	30 - 60 μA	2200	3.0	DO-35
NC102	0.1 Hz - 500 kHz	7 - 10	30 - 60 μA	2200	3.0	DO-35
NC103	0.1 Hz - 1 MHz	7 - 10	30 - 60 μA	2200	3.0	DO-35
NC104	0.1 Hz - 3 MHz	7 - 10	30 - 60 μA	2200	3.0	DO-35
NC201	0.1 Hz - 10 MHz	7 - 10	0.2 - 0.5 mA	2200	0.1	DO-35
NC202	0.1 Hz - 25 MHz	7 - 10	0.2 - 0.5 mA	2200	0.1	DO-35
NC203	0.1 Hz - 100 MHz	7 - 10	0.2 - 0.5 mA	50	0.05	DO-35

把这些二极管的输出噪声作为小幅度 (1LSB) 的宽带 Dither 信号已经足够了。图 4-4-2 给出了 Noise Com 公司推荐的选择表：



Noise sources reduce spurious caused by quantization errors of A/D conversions.

Recommended noise sources for 6- to 16-bit A/D converters at full input range of $10 V_{pp}$.

图 4-4-2 噪声二极管选择表

然而作为大幅度的带外噪声，这些噪声二极管的输出还不够，必须加以放大。图 4-4-3 是对噪声二极管输出的放大电路：

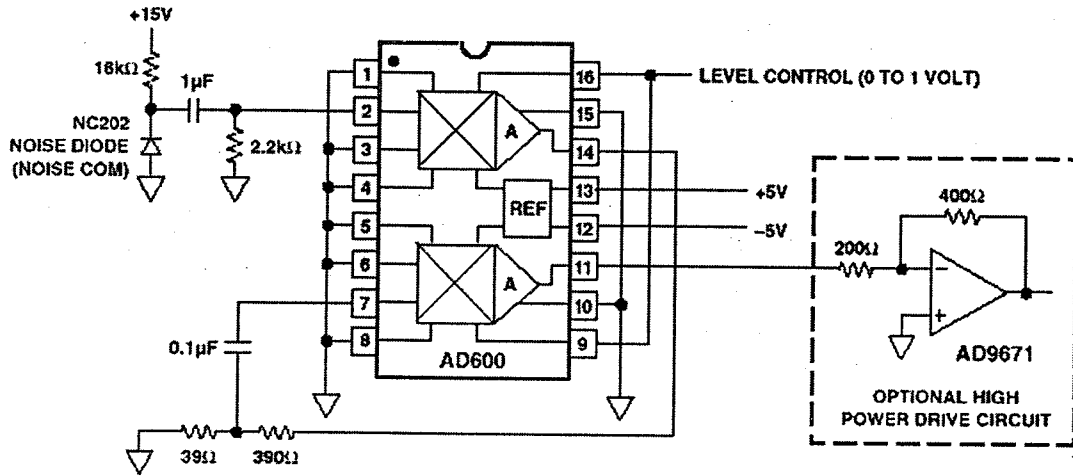


图 4-4-3 可控噪声放大电路

图 4-4-3 中 AD600 是一个可控的运算放大器，控制电压通过 9、16 脚输入，最大增益为 80dB。如果增益还不够，可以再加一级 AD9671 进行再放大。

2. 用电阻产生噪声：

用电阻产生噪声是最简单，也是最经济的。图 4-4-4 是用电阻产生噪声的电路图。输入运算放大器的热噪声大约是 $3.8\text{nV}/\sqrt{\text{Hz}}$ ，200MHz 带宽增益乘积。运算放大器的增益为 +26，其输出噪声的频谱密度为 $100\text{nV}/\sqrt{\text{Hz}}$ ，8MHz 带宽。显然，这个噪声的幅度还很小，还要进一步的放大。

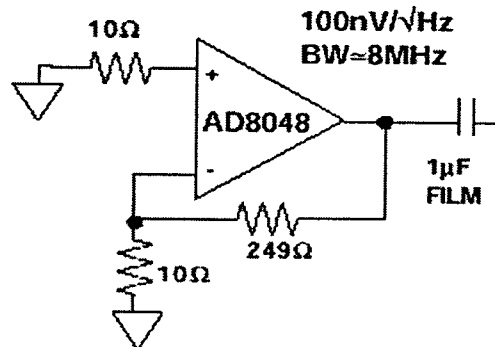
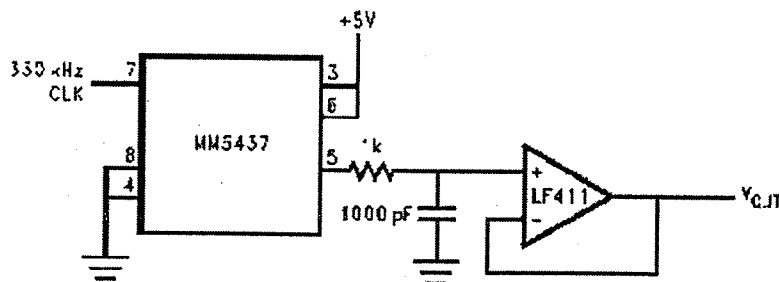


图 4-4-4 用电阻产生噪声

3. 用专用芯片和 DSP 产生噪声：

噪声二极管和电阻产生噪声都是高斯分布的噪声。要产生均匀分布的噪声，就必须采用专用的芯片。图 4-4-5 是采用伪随机数字噪声发生器 MM5437 产生一个 Dither 信号运用于音频信号的处理。



The MM5437 Digital Noise Generator is a convenient source of dither for applications in the audio frequency range.

图 4-4-5 用伪随机数字噪声发生器 MM5437 产生 Dither

显然，也可以用 DSP 产生伪随机数字信号，再把这个数字信号用 DAC 转换为模拟信号就可作为 Dither 信号。

4-4-2 一个带有 Dither 信号的 ADC 电路：

图 4-4-6 是一个带有 Dither 信号的 ADC 电路。由 AD8048 输出的噪声信号为 $100\text{ nV}/\sqrt{\text{Hz}}$ ， 8 MHz 带宽。这个噪声信号由 AD600 双运放进行放大。通过调节控制电压 $0\sim 1\text{ V}$ ，AD600 能实现 $0\sim 80\text{ dB}$ 的增益范围。由 AD600 放大的噪声再通过一个截止频率为 300 kHz 的低通滤波器。该滤波器可以是有源的，也可以是无源的，但至少要有 4 阶以保证能有效地滤除带外噪声。AD797 是一个低噪声放大器，其增益设为 2，它作为滤波器的缓冲器。其输出通过一个电容和一个 $1\text{ k}\Omega$ 的电阻直接加到 AD9042 的输入端。由于 AD9042 的内阻为 250Ω ，因此在外边再并联一个 61.9Ω 的电阻，使得从输入信号端看进去的阻抗为 50Ω 。

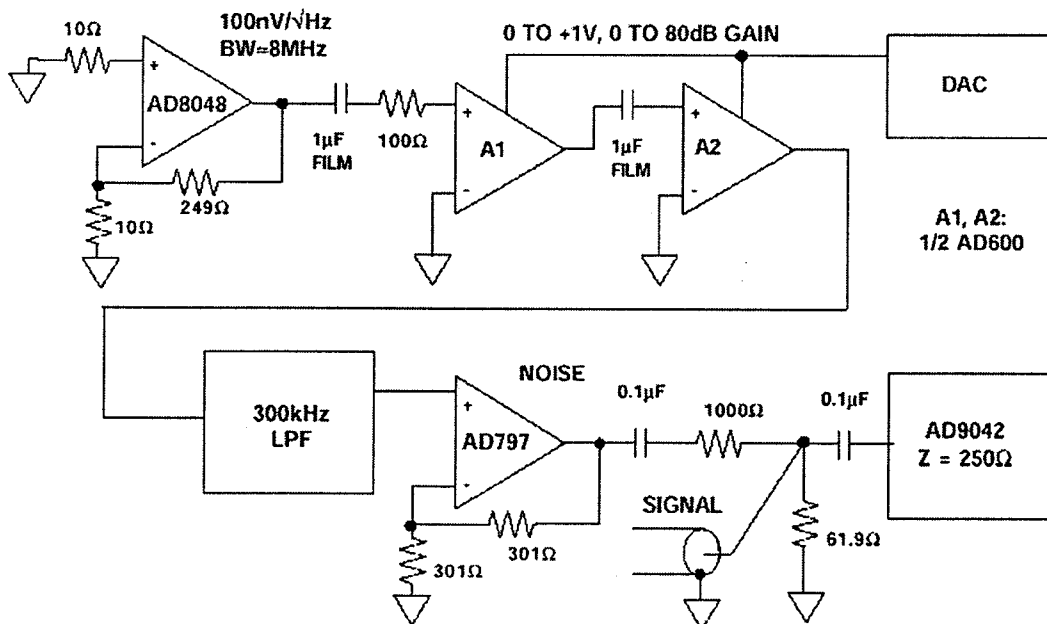


图 4-4-6 带有 Dither 信号的 ADC 电路

第五章 ADC 性能仿真

本章旨在分析 ADC 转换器的结构,并建立 ADC 的模型和仿真系统。通过仿真检验 Dither 信号、噪声、采样时钟抖动以及 ADC 的非线性特性对 ADC 性能的影响。

第一节 A/D 转换器的模型

ADC 的作用是将一定幅度的模拟信号转换为相应的数字量,传递函数反映了它最基本的特征。理想的 ADC 传递函数是一个等间距的阶梯图,如第二章图 2-1-2 所示。由于实际的 ADC 存在非线性特性,所以它的传递函数是一个非等间距的阶梯图,如第二章图 2-2-3 所示。用公式表示其传递函数如下:

$$X \leftrightarrow Y_n; \text{ when } X \in [(n-1) \times LSB, n \times LSB] \quad (5-1-1)$$

$$X \leftrightarrow Y_n; \text{ when } X \in [(n-1) \times LSB + \sum_{k=1}^{n-1} DNL(k); n \times LSB + \sum_{k=1}^n DNL(k)] \quad (5-1-2)$$

式 (5-1-1) 是理想 ADC 的传递函数;式 (5-1-2) 是实际 ADC 的传递函数,其中 Y_n 是 ADC 的数字输出, X 是模拟输入信号, LSB 为最小量化电平, $DNL(k)$ 为微分非线性参数。从式 (5-1-2) 中可以看出,要想模拟实际 ADC 的特性,必须分析其结构,得出其非线性参数。

从 ADC 的结构上看,有逐次比较 (successive approximation) 式 ADC、快闪 (flash) 式 ADC、分级快闪 (subranging flash) 式 ADC 和 Σ - Δ 式 ADC 等。要实现中频或射频采样,就必须采样高速大动态范围的 ADC,而目前高速大动态范围的 ADC 都采用分级快闪式结构。这种 ADC 的结构如图 5-1-1 所示,它是一个两级流水线式结构。实际的 ADC 中还可以采用

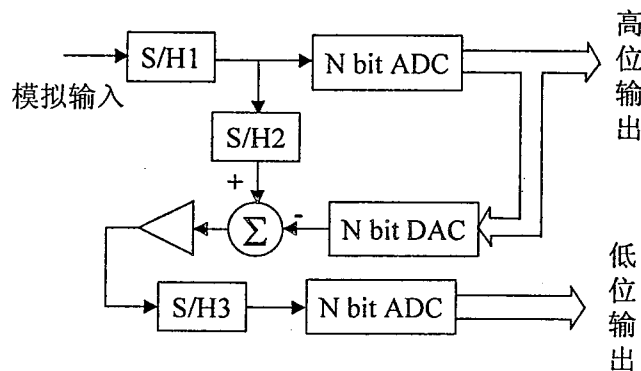


图 5-1-1 分级快闪式 ADC 结构

三级流水线式结构。在图 5-1-1 表示的 ADC 中,模拟输入信号先被量化为 N 位数字量作为整个 ADC 的高位输出。这个 N 位数字量又被 DAC 转换为模拟量与输入信号相减,其差值被放大后再由另一个 N 位 ADC 转换为数字量作为整个 ADC 的低位输出。全部量化过程由时钟控制分时进行,每个阶段的模拟量分别由采样保持 (S/H) 电路保存,整个 ADC 按流水线式方式工作。这种结构的 ADC 实际上是由两个 N 位 ADC 组成,而中间由 DAC、S/H、减法电路和放大电路将它们关联起来,从而构成一个 $2N$ 位 ADC,所以这种结构 ADC 的 DNL 体现为两个 N 位 ADC 的 DNL 特性的组合。在整体上 DNL 曲线由第一级 ADC 特性决定,而细节上又由

第二个 ADC 的 DNL 特性所决定。图 5-1-2 是一个 12 位 ADC 的 DNL 曲线，DNL 在总体上呈 2^6 周期规律变化，而每个周期的 DNL 又由第二个 6 位 ADC 的 DNL 特性所决定。

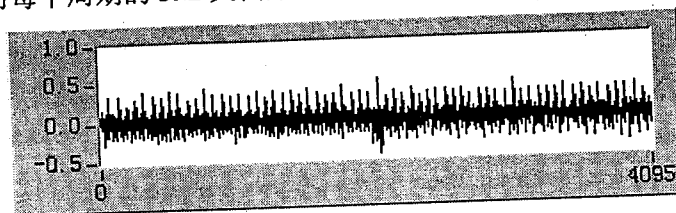


图 5-1-2 12 位 ADC 的 DNL 曲线

除了量化器之外，ADC 的另一个重要部分是采样保持。由于采样时钟抖动 (jitter) 的存在，使得实际采样时钟的周期每次都不一样。假定实际采样周期为 T_R ，理想采样周期为 T_S ，时钟抖动为 T_j ，则它们三者的关系如式 (5-1-3)。在实际情况下， T_j 是一个高斯分布的噪声。

$$T_R = T_S + T_j \quad (5-1-3)$$

有了以上量化器和采样器两个基本模型，再加上 ADC 的 DNL 数据，就可以实现 ADC 的仿真系统。

第二节 ADC 仿真系统

ADC 仿真系统的结构如图 5-2-1 所示。在这个仿真系统中，圆弧方框表示的是可选功能项。该系统可以实现三种信号的叠加输入，其中两个是单频信号 f_1 和 f_2 ，另一个是 dither 信号。除了单频信号的频率和幅度可以调节外，Dither 的带宽和幅度也可设定。此外，Dither

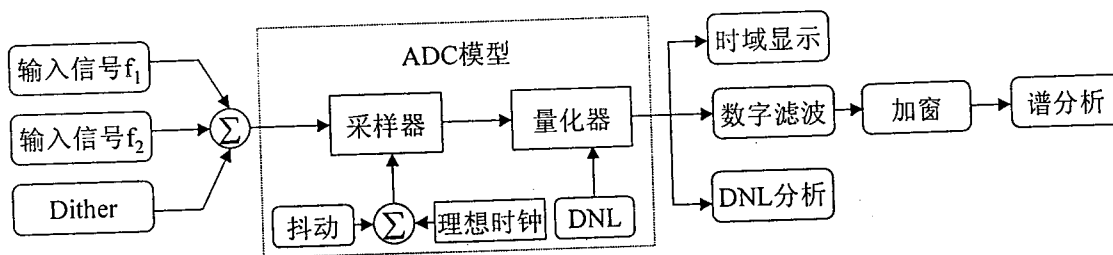


图 5-2-1 ADC 仿真系统

幅度的概率分布可以设置为均匀分布和高斯分布。从输入信号上看，该系统不仅能分析 dither 的功效，而且能检验 ADC 的双音互调。对于采样器和量化器，即可把它们看成理想的部件，也可通过加上时钟抖动和 DNL 使它们接近实际的情况。量化器量化位数可以通过软件来设置的。对于采样器，其时钟抖动分布形式也定为均匀分布或高斯分布。DNL 是反映整个系统的关键所在，它概括了 ADC 的所有非线性特性。有的 ADC 芯片厂家提供 DNL 参数，也可通过实测 ADC 电路得到这些参数。量化器的输出即为 ADC 的输出，仿真系统可对输出做时域、频域和 DNL 分析。

我们选择 Labview 作为仿真系统的开发平台。Labview 是美国 NI 公司研制开发的基于图形编程的环境开发平台。它用图标表示功能模块，使用数据流程图式语言编写源程序。编程简洁、形象，且思路清晰，调试也非常方便。除此之外，它还带有丰富的应用软件包，

如数字滤波、谱分析、窗函数等等，这样可以大大缩短系统的开发时间。

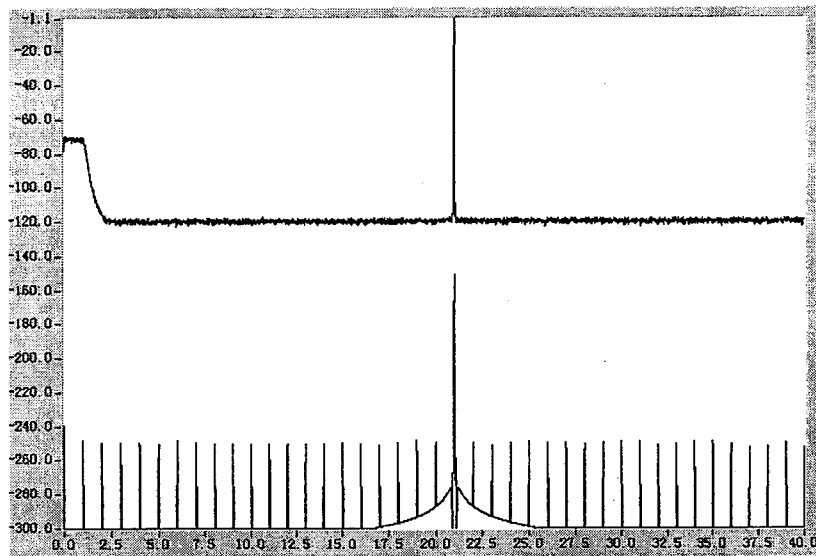
第三节 ADC 仿真结果

5-3-1 理想的 ADC

理想的 ADC 指的是只有量化误差(量化噪声)的 ADC。仿真中所用的 ADC 采用 14bit, 采样频率 $f_s=80\text{MHz}$; 信号是单频正弦波, 功率-1dBFS; FFT 长度 $M=16384$, 谱平均 32 次; 在非相干采样时会产生频谱泄漏, 需要加窗函数, 使用 4-Term Blackman-Harris 窗。

加入 Dither 的方法有很多种, 可以加入白噪声、带外噪声。这里用的是窄带高斯噪声, 具体做法是产生方差为 σ 的高斯白噪声, 经过滤波后形成信号频带之外的噪声, 与原来的信号相加。

理想的 ADC 在输入信号是单频信号的情况下, 量化噪声不再是白噪声, 而是以谐波的形式出现。特别当采样频率是信号频率的整数倍时尤其明显。图 5-3-1 和图 5-3-2 是两种不同频率的正弦波的情况¹:



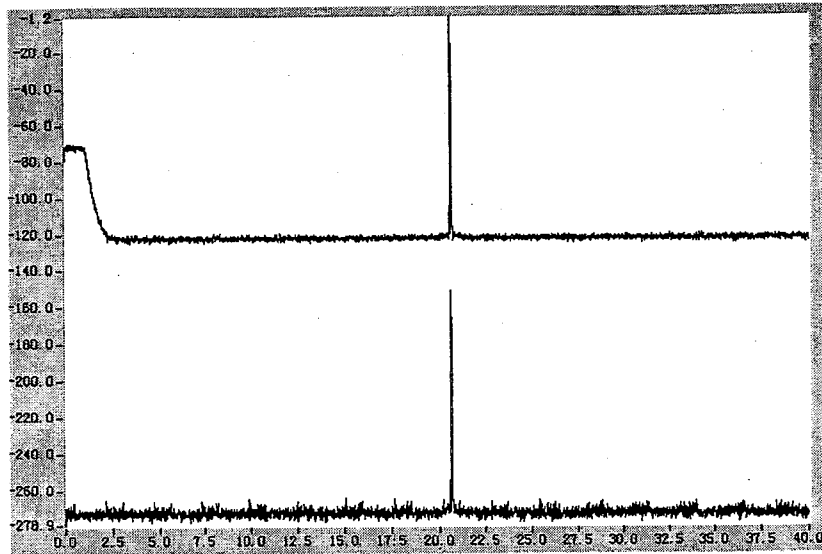
未加 Dither : SNR=85.05dB, SFDR=97.3dBc=98.3dBFS

加了 Dither : SNR=84.91dB, SFDR=115.4dBc=116.4dBFS

图 5-3-1 理想 ADC 量化产生谐波: 信号频率 $f_a=59\text{MHz}$

图 5-3-1 反映的是理想 ADC 采样产生谐波, 采样频率 80MHz, 信号频率 59MHz, 产生的谐波很大。

¹ 在仿真结果图中, 频谱图中如果有两个频谱, 则下面的是未加 Dither 的频谱, 并向下平移 150dB; 上面的是加了二十几个 LSB 的窄带 Dither 的频谱, 用来对比 Dither 的效果。



未加 Dither : SNR=84.82dB, SFDR=112.6dBc=113.6dBFS

加了 Dither : SNR=84.85dB, SFDR=114.4dBc=115.4dBFS

图 5-3-2 理想 ADC 量化产生谐波: 信号频率 $f_a=59.35421\text{MHz}$

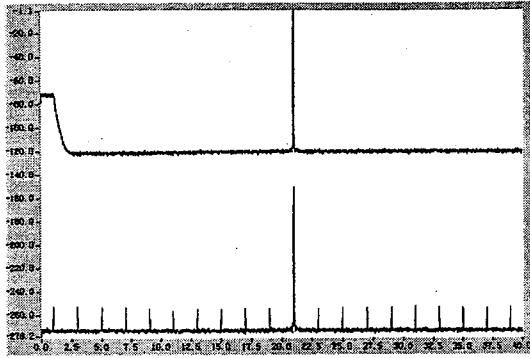
图 5-5-2 仍然是理想 ADC 的结果, 不同的是信号频率变成 59.35421MHz。可以看出谐波明显减小了, 原因是采样频率和信号频率的相关性变小。

二者相比较, 各自呈现的噪声特性不同, 相干采样呈现的谐波分量较大。但噪声总量是相同的, 仿真结果的 SNR 细微的差别原因有两个: 一是相干采样的部分谐波与信号重叠, 被误认为是信号, 二是计算 SNR 时去掉信号附近的一些值, 相干采样被去掉的值较多。如果是单次采样计算, 则相干采样的 SNR 值会有较大的变动, 因为在相干采样时, 采样值的重复可能性大, 导致量化噪声不能遍历一个 LSB 范围的所有可能的值, 而是在某几个固定的值上, 从而使量化噪声有时大有时小; 采用多次随机采样进行谱平均之后, 则量化噪声在一个 LSB 范围内均匀分布, 使得量化噪声的总量稳定。因为每次的频谱都是具有其谐波特性, 所以结果仍然呈现谐波特性。

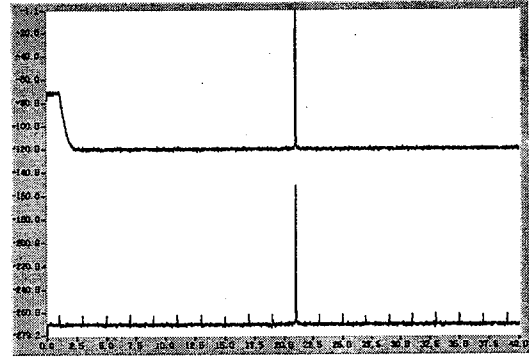
5-3-2 白噪声对 ADC 的影响

白噪声的加入方法是在输入信号上加上白噪声, 白噪声是由高斯噪声源产生的, 其标准方差为 σ 。白噪声的引入肯定会降低信噪比, 新的噪声是量化噪声和白噪声之和。另一方面白噪声会改善量化产生的谐波, 随着加入的白噪声的量的不同, 改善的效果也不同。图 5-3-3 是未加白噪声的频谱; 图 5-3-3 至图 5-3-7 分别是加入不同量的白噪声的频谱, 其中输入信号频率 $f_a=59\text{MHz}$, 采样频率 80MHz。图的下方所显示的是指未加 Dither 时的输出频谱。

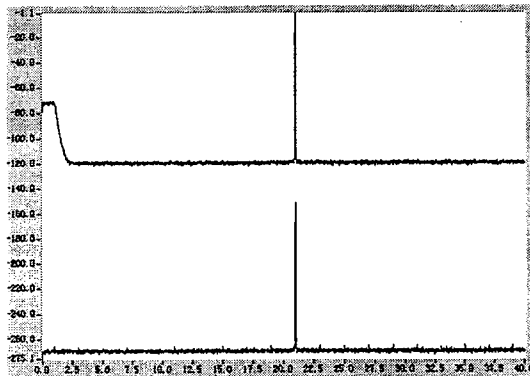
图 5-3-3 是理想 ADC 模型, 加入少量的白噪声, 可以看出谐波有了较明显的改善, 但仍然还有一定的谐波, 原因是幅度还不够, 信噪比有少量的下降。增大白噪声的能量, 如图 5-3-4, 谐波进一步得到改善, 但是谐波并未完全消除, 需进一步增加白噪声。同时可以看出信噪比也在下降。随着白噪声的进一步增大, 如图 5-3-5, 谐波已经不太明显了, 但还存在少量。和前面一样, 信噪比也在继续下降。



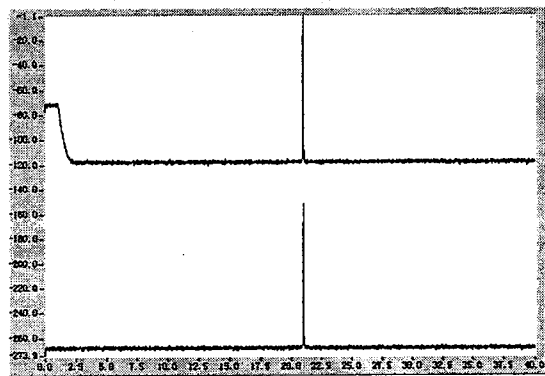
SNR=84.13dB, SFDR=101.8dBc=102.8dBFS
图 5-3-3 理想 ADC 加入白噪声 $\sigma = 0.125\text{LSB}$



SNR=82.49dB, SFDR=109.3dBc=110.3dBFS
图 5-3-4 理想 ADC 加入白噪声 $\sigma = 0.25\text{LSB}$

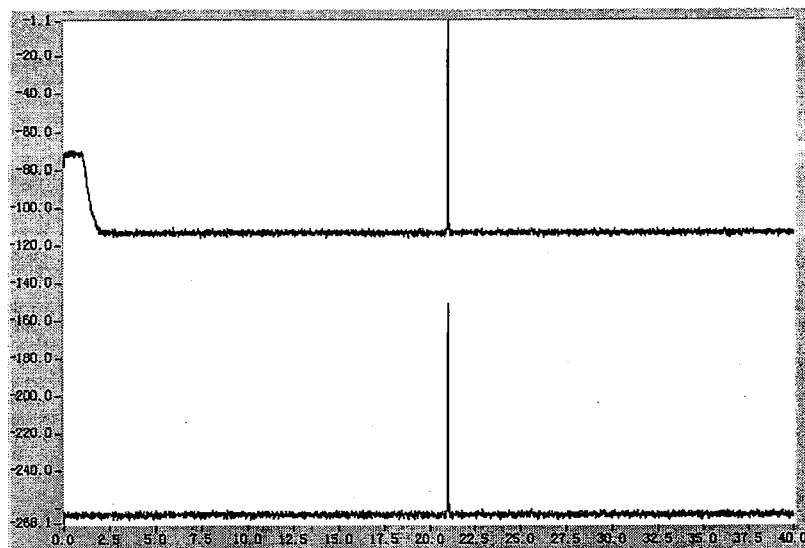


SNR=81.78dB, SFDR=112.9dBc=113.9dBFS
图 5-3-5 理想 ADC 加入白噪声 $\sigma = 0.3\text{LSB}$



SNR=80.35dB, SFDR=113.5dBc=114.5dBFS
图 5-2-6 理想 ADC 加入白噪声 $\sigma = 0.4\text{LSB}$

图 5-3-6 中的谐波已很不明显，同时信噪比相对于没有加白噪声时也下降了很多。如果继续增大白噪声，谐波还要继续下降。



SNR=76.14dB, SFDR=109.7dBc=110.7dBFS

图 5-3-7 理想 ADC 加入白噪声 $\sigma = 0.75\text{LSB}$

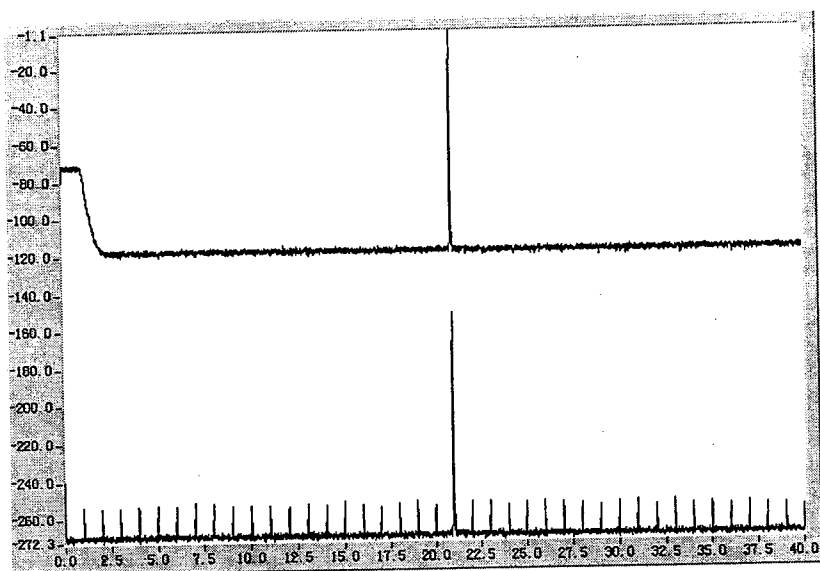
图 5-3-7 是加入比较大的白噪声 ($\sigma=0.75\text{LSB}$) 时的情况, 谐波几乎看不见, 但信噪比已严重下降。

从图 5-3-3 到图 5-3-7 的频谱可以看出, 在白噪声的功率小于量化噪声的功率时, 白噪声可以改善量化产生的谐波, 但在白噪声的功率大于量化噪声的功率之后, 白噪声的引入只会使信噪比下降, 因为此时已经几乎没有谐波成分了。

5-3-3 DNL 对 ADC 的影响

DNL (微分非线性) 是实际的量化台阶的宽度与理想的差值。通常在多级快闪式结构的 ADC 中, 以后级影响为主, 即 DNL 呈现周期重复的特性, 但不完全是周期性的。改善 DNL 的方法是对输入信号外加一个 dither 信号, 使输入信号本来固定在某个点的采样值随机化。这里加入的是一个低频的噪声。

仿真中改变 ADC 的 DNL 的方法是修改量化的台阶, 具体实现时采用两级快闪式结构的 ADC, 产生 64 个 DNL 数据, 再周期重复到整个 DNL 范围内。图 5-3-8 是加入了 0.275LSB 的白噪声的频谱, 加入白噪声之后, 量化造成的谐波已被消除, 剩下的谐波是 DNL 造成的。同时对比可以看出 Dither 对 DNL 的改善作用, 谐波几乎看不到。



白噪声的量为 $\sigma=0.275\text{LSB}$: SNR=80.74dB, SFDR=101.0dBc=102.0dBFS ($f_a=59\text{MHz}$)

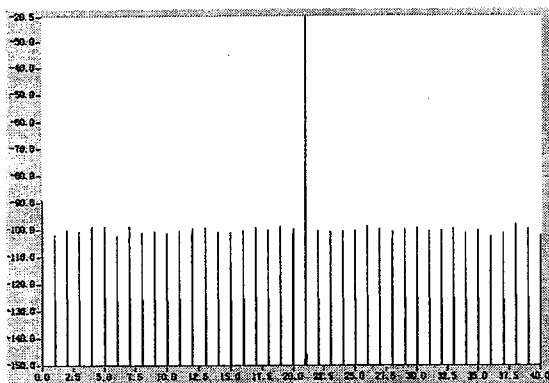
图 5-3-8 非理想 ADC DNL 造成谐波

图 5-3-8 是具有 DNL 的非理想 ADC 量化产生的谐波, 由前面的仿真结果可知, 加入了 0.275LSB 白噪声后已经明显地改善了量化产生的谐波, 那么图中的谐波基本是由于非理想 ADC 的 DNL 特性造成的。

5-3-4 Dither 信号的大小对 ADC 的影响

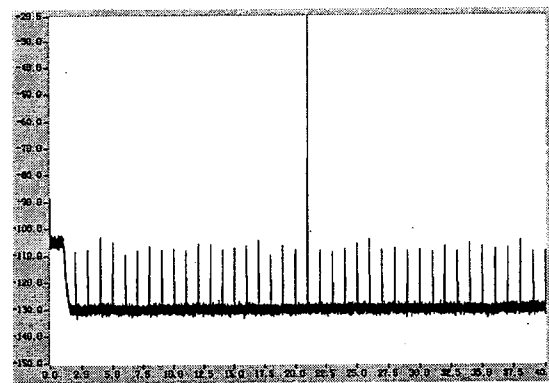
理论上, 加入 Dither 的大小是与 DNL 的特性有关的, 当周期性的 DNL 呈现较长的周期时, 则需要加的 dither 量就要大一些。对于两级快闪式结构的 ADC, 同样是 14bit 输出, 后一级是 6bit 的就要比后一级是 5bit 的所要加的 Dither 信号大一倍左右。以下测试采用的

是 8+6 的形式，即前级为 8bit，后级为 6bit。为了能更好地看清 Dither 大小的影响，要使用更深的 FFT，即使用 FFT 长度为 $M=131072$ ，谱平均次数为 $\text{Times}=32$ 。由于受窗函数的限制，不能使用 -1dBFS 的信号，使用的是 -20dBFS 的单频正弦信号，频率是 59MHz，采样仍然是 80MHz。



SNR=63.77dB, SFDR=77.3dBc=97.3dBFS

图 5-3-9 Dither=0 (不加 Dither)

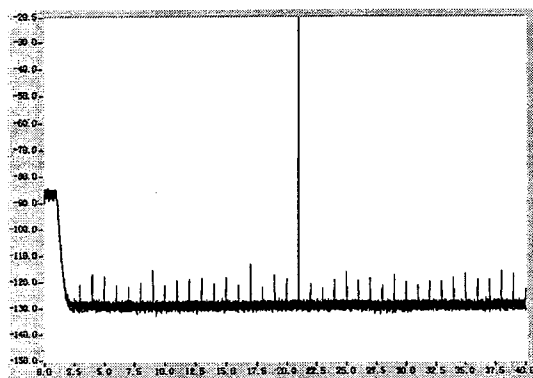


SNR=63.48dB, SFDR=82.8dBc=102.8dBFS

图 5-3-10 Dither=0.97LSB

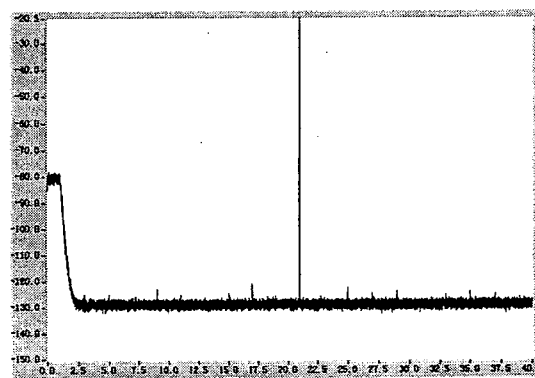
图 5-3-9 是没有加 Dither 时的频谱，由于量化和 DNL 的作用，谐波很严重，导致 SFDR 只有 77.3dBc。由于输入信号幅度小，所以信噪比较小，仅 63.77dB。

图 5-3-10 是加了少量的 Dither 的频谱，由于量化造成的谐波基本被消除，只剩下 DNL 造成的谐波，所以 SFDR 有所提高，变成 82.8dBc，同时加入 Dither 使信噪比略有下降。



SNR=63.57dB, SFDR=93.0dBc=113.0dBFS

图 5-3-11 Dither=7.77LSB

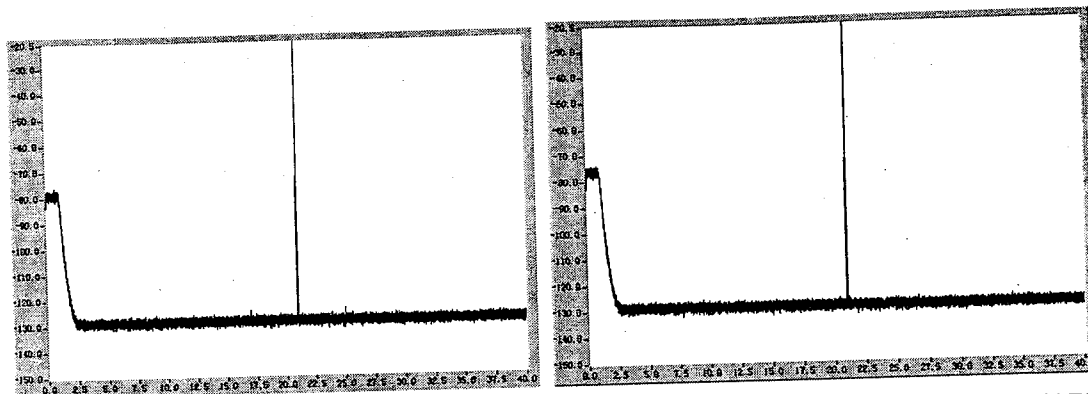


SNR=63.55dB, SFDR=101.3dBc=121.3dBFS

图 5-3-12 Dither=15.5LSB

增大 Dither 的能量，从图 5-3-11 中可以看出，SFDR 进一步提高，变成 93.0dBc。但谐波仍然比较明显，若要进一步改善，必须再加大 Dither。

进一步增大 Dither，可以看出谐波进一步被改善，SFDR 提高到 101.3dBc。如图 5-3-12 所示。



SNR=63.53dB, SFDR=105.5dBc=125.5dBFS SNR=63.52dB, SFDR=105.9dBc=125.9dBFS

图 5-3-13 Dither=19.4LSB

图 5-3-14 Dither=25.9LSB

图 5-3-13 中谐波已经很不明显, SFDR 提高到 105.5dBc, 这是因为加入的 Dither 已经比较大, 达到了后一级 ADC 量化范围的 1/3。

继续增大 Dither, SFDR 提高已不明显了; 若再继续增大, 也不会有很大的改善。如图 5-3-14 所示。这个结果说明只要 Dither 的幅度足够大, 能跨过分级式 ADC 的 DNL 周期所对应的幅度时, Dither 就能明显地改善 DNL 周期性所造成的谐波。

5-3-5 Clock Jitter 对 ADC 的影响

Clock Jitter 是指采样时钟的抖动, 它使得实际采样点与理想采样点的位置发生偏离, 从而导致采样值的变动, 而引入噪声。一般情况下可认为 Jitter 引入的噪声是高斯分布的噪声。但 Jitter 对于量化造成的谐波有类似白噪声的改善作用, 而对 DNL 造成的谐波几乎没有作用, 因为它不够大。

图 5-3-15 是输入信号既加有一定量的白噪声, 也存在时钟抖动的情况, ADC 是一个具有 DNL 的非理想 ADC。从图中可以看出, Clock Jitter 和白噪声无法消除由 DNL 造成的谐波, 图 5-3-15 中的下图, 而 Dither 则可以消除谐波, 如图 5-3-15 中的上图。

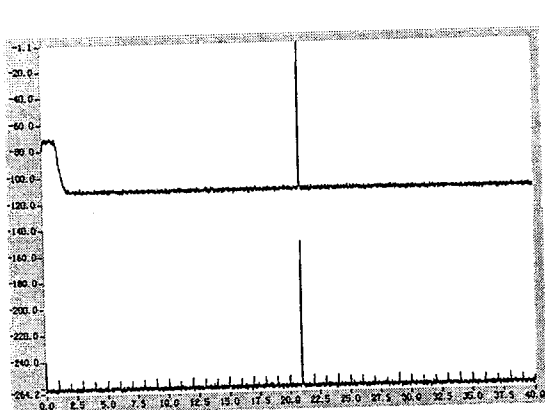


图 5-3-15 白噪声的 $\sigma = 0.275\text{LSB}$,
Clock Jitter 的 $\sigma_j = 0.5\text{ps}$

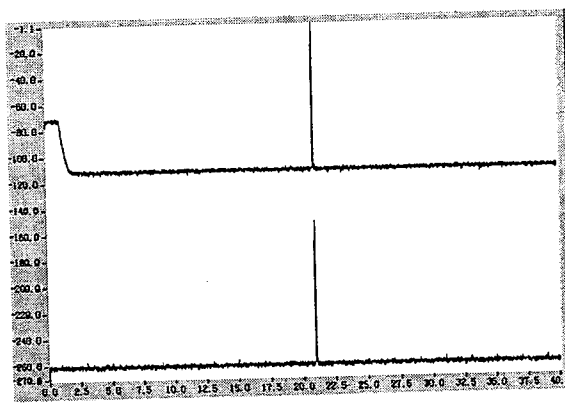


图 5-3-16 白噪声的 $\sigma = 0$,
Clock Jitter 的 $\sigma_j = 0.5\text{ps}$

图 5-3-16 中输入信号是一个未加噪声的单频信号, ADC 是一个具有理想量化电平的 ADC,

但存在时钟的抖动。从图中可以看出, Clock Jitter 有类似白噪声的功效, 可以消除量化产生的谐波。

另外, Jitter 的大小对于 SNR 影响非常大, 特别是在信号频率很高的情况下。当 $f_a=59\text{M}$, $t_j=0.5\text{ps}$ 时, 对于 14bit 的 ADC, 其 $\text{SNR}=74\text{dB}$ 。而对于一个没有时钟抖动的理想 14bit ADC, 其 $\text{SNR}=84\text{dB}$ 。这和第二章分析的结果也是相吻合的。

5-3-6 双音互调的仿真

图 5-3-17 是理想 ADC 的双音互调仿真结果, 由于量化误差产生了许多谐波分量, 如图 5-3-17 中的下图。当加上 15.5LSB 的 Dither 之后, 谐波得到了很好地抑制, 如图 5-3-17 中的上图。

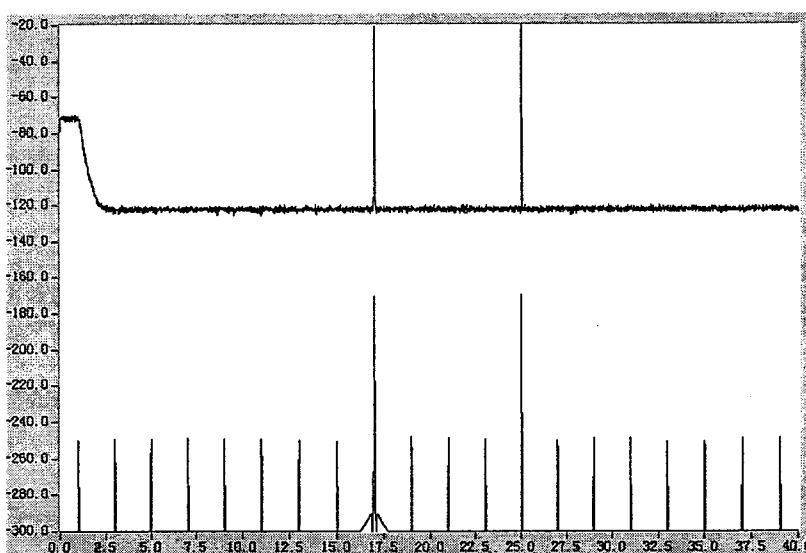


图 5-3-17 理想 ADC 的双音互调仿真结果

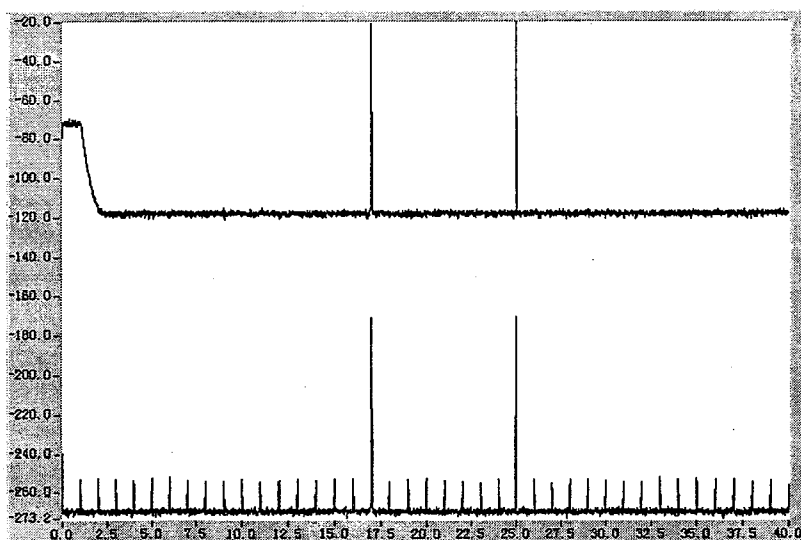


图 5-3-18 非理想 ADC 的双音互调仿真结果

图 5-3-18 是理想 ADC 的双音互调仿真结果, ADC 具有 DNL 特性, 在输入信号上同时加上

了 0.275LSB 的白噪声。由于白噪声的原因，量化产生的谐波被很大程度地改善了，导致双音互调的成分也相对减小，如图 5-3-18 中的下图，然而并没有全部被改善。而 dither 则使谐波分量得到明显的改善，如图 5-3-18 中的上图。

所以，量化和 DNL 都可以引起双音互调。由量化引起的双音互调可以通过引入白噪声而得到改善，而由 DNL 造成的双音互调则必须用 Dither 才可以改善。

第四节 仿真结果总结

上述仿真结果可以总结为以下几点：

- 1、 量化和 DNL（微分非线性）都会使 ADC 产生谐波分量。
- 2、 白噪声和 Clock Jitter（时钟抖动）可以部分或全部改善量化产生的谐波。但白噪声和 Clock Jitter 会引入噪声，使 ADC 的信噪比下降。
- 3、 Dither 对于量化和 DNL 产生的谐波都有改善作用。
- 4、 Dither 的大小与 DNL 的形式有关，即与 DNL 呈现出的周期特性有关。

第五节 仿真结果分析

理论上，对于一个与采样时钟完全非相干的输入信号来说，它的量化误差与输入信号也应该是无关的。然而实际输入信号总是在某种程度上和采样时钟存在一定的相互关系，因此，量化误差和输入信号就有了一定的相互关系，而成为输入信号的函数。这样，量化误差就会加大各种谐波分量或产生伪波，而降低 ADC 的 SFDR。对于相干采样来说，采样时钟和输入信号的频率成整数关系，其量化误差形成的谐波分量就更大。另外，对于分级快闪式结构的 ADC 来说，其 DNL 呈周期性变化，因此，其量化噪声中的谐波分量不仅来源于相干采样，也来源于 DNL 的周期性。

Dither 的作用就是打破输入信号与采样时钟的固定相互关系，打乱 ADC 量化器 DNL 的周期性规律，从而使输入信号和量化误差不相关，使量化误差均匀地分布到所有的频率分量中而相当于一种白噪声，这样就大大地减小了量化误差对谐波分量的贡献，提高了 ADC 的 SFDR。

在实际的 ADC 中，采样时钟并不是一个理想的时钟信号，它在一定程度上存在着抖动。虽然时钟的抖动降低了 ADC 的信噪比 (SNR)，而从另一方面看它又如同一种宽带低幅 dither 作用在理想采样的 ADC 上，所以时钟抖动在一定程度上也能改善 ADC 的 SFDR。因此，一般情况下是不必在输入信号上加入宽带低幅 dither 的。

通过仿真可以得出这样的结论：无论是窄带还是宽带 dither 都可以明显地改善 ADC 的 SFDR 指标，两者改善的效果基本相同。由于 dither 在 A/D 转换后被除去，所以 dither 并不减少 ADC 的 SNR。在相干采样和 ADC 具有周期性 DNL 的情况下，Dither 对 SFDR 的改善更加明显。时钟的抖动相当于小幅度宽带 dither，有助于改善 SFDR。

第六章 中频采样电路的设计

第一节 高速高精度 A/D 转换器

由于通信、雷达中的中频信号的频率和带宽都比较大(中心频率一般在 10MHz~70MHz 范围内,带宽在 2MHz~60MHz 的范围内),所以,在无线电接收机中,往往可能需要同时接收一个很强的信号和一个与此相临频率的弱信号。这就需要中频采样 ADC 有一个很大的动态范围并且有很好的寄生信号(伪波)抑制功能。在雷达系统中,同样要在一个很大噪声背景下检测出很弱的目标信号,这就要求中频 ADC 有一个很高的 SNR 指标。总之,要实现中频采样,就必须使 ADC 既有一个大的动态范围(高精度),又能实现高速采样。

目前世界上高速高精度的商用 IF 采样芯片主要是 14bit,采样频率为 20MHz~65MHz。其中以三个世界最著名的厂家的芯片为代表,见表 6-1-1。

表 6-1-1 高速高精度的商用 IF ADC 芯片

型号	速度	位数	SNR (-1 dBFS)	SFDR (-1 dBFS)	制造商
AD6644	65MHz	14bit	74.2dB @2.2MHz	-93dBFS @2.2MHz	Analog Device
CSP1152A	65MHz	14bit	68dB @4.9MHz	-85dBFS @4.9MHz	Lucent
CLC5958	52MHz	14bit	69dB @5MHz	-90dBFS @5MHz	National Semiconductor

在这三种芯片中,以 ADI 公司的 AD6644 的性能最为突出。AD6644 芯片是一个高速、高性能的单片 14bit A/D 转换器,其片中包括了采样/保持(T/H)电路和参考电压电路。AD6644 是 ADI 公司 Softcell 接收器芯片组中的一个代表芯片。它是专门为第三代通信系统设计的 ADC 芯片,较以前的 AD9042(12bit, 41MHz)和 AD6640(12bit, 65MHz),其性能指标有明显的提高。它特别适用于多通道、多模式接收机的应用中。由于在奈奎斯特频率范围内,AD6644 的 SFDR 互调指标超过了 100dB,所以,和其他 ADC 芯片相比,它更加适用于多模式的数字接收机(软件无线电)。同时,AD6644 的 SNR 的典型值也达到了 74dB。AD6644 还可以应用于单通道数字接收机中,如宽通道带宽系统中(CDMA,W-CDMA)。通过欠采样,可以将谐波成分分配到有用频带之外,配合使用数字下变频芯片(如 AD6620)可降低有用信号带宽内的噪声平台。

AD6644 的主要性能指标如下:

65 MSPS Guaranteed Sample Rate

74 dB Signal-to-Noise Ratio

100 dB Multitone Spurious-Free Dynamic Range

200 MHz Input Bandwidth

Sampling jitter < 300 fs

AD6644 的内部结构如图 6-1-1 所示。由于它是一个高精度高速的 ADC 芯片,所以采用三级快闪式结构。第一级 ADC 的宽度为 5 位;第二级 ADC 的宽度也为 5 位;第三级 ADC 的宽度为 6 位;加起来是 16 位,其中两位用于两级之间的误差校正,所以最后实际输出为 14 位。由于其内部的采样保持电路、参考电压、线性放大器和校正位,使得其微分非线性非常小。

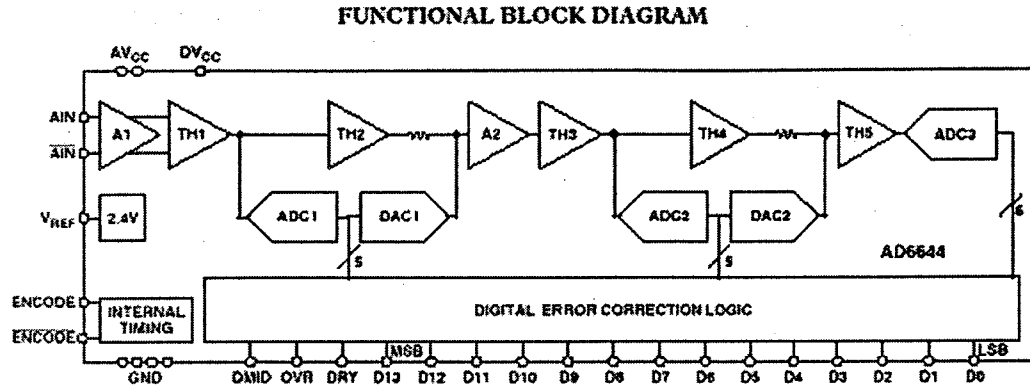


图 6-1-1 AD6644 的内部结构

虽然 AD6644 的内部结构非常完美，然而这种高性能的 ADC 芯片对外部电路的要求都比较高。一点小小的干扰、不正确的信号耦合、采样时钟的抖动等因素都会影响其性能的发 挥。所以，如何高效地使用好这种高性能的 ADC 芯片，也成为本文研究的重要部分。

第二节 模拟信号和采样时钟的耦合方式

6-2-1 模拟信号的耦合方式

对于高速 ADC 来说，目前模拟信号的输入普遍采用差分输入方式。输入端为 AIN 和 /AIN，它们互为反相。通常这两个互为反相的输入端偏置于一个共同的参考电压 V_{REF} ，如图 6-2-1 所示。一般情况下， $R_1=R_2$ ， R_1+R_2 为差分输入阻抗，设 $R_1+R_2=R_{in}$ 。这种内部偏置电压的结构是让 ADC 的内部电路工作在最佳状态并有最好的温度特性。ADC 的信号输入方式可以采用交流耦合和直流耦合两种方式。由于直流耦合的信号是叠加在内部共模电压上的。因此对于这种 ADC 来说最好采用交流耦合方式。

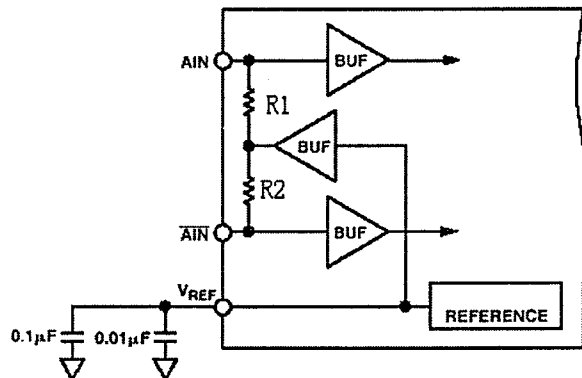


图 6-2-1 高速 ADC 的差分输入方式

1. 模拟信号的交流耦合方式

(1) 通过隔直电容的交流耦合方式

图 6-2-2 是通过两个隔直电容的交流耦合方式。图中的变压器将单端输入信号变为差分信号。在变压器次级的两个 50Ω 电阻折算到变压器的初级后确定了信号的输入阻抗，对于 ADC 来说这两个电阻通过旁路电容接地又构成了较低的共模源阻抗。

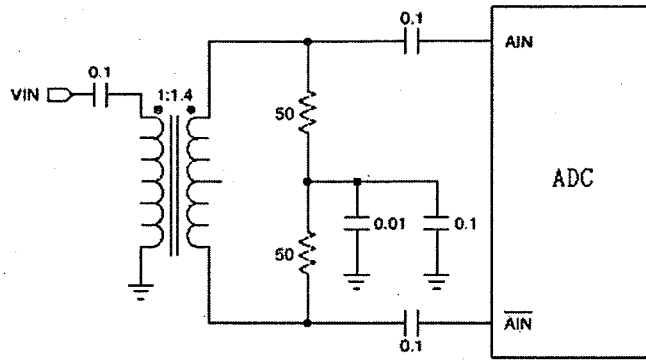


图 6-2-2 通过隔直电容的交流耦合方式 (1)

图 6-2-3 也是通过两个隔直电容的交流耦合方式。但通过差分放大器为输入信号提供一个缓冲。这种方式对差分输出的放大器的要求比较高。在图中 R、C 构成一个低通滤波器。对于不同的需求还可以选择不同的滤波器。输入信号线应该尽量靠近，这样任何干扰都可看成是共模信号。ADI 公司的 AD8138 差分放大器具有较好的性能，是这种接法的良好选择。

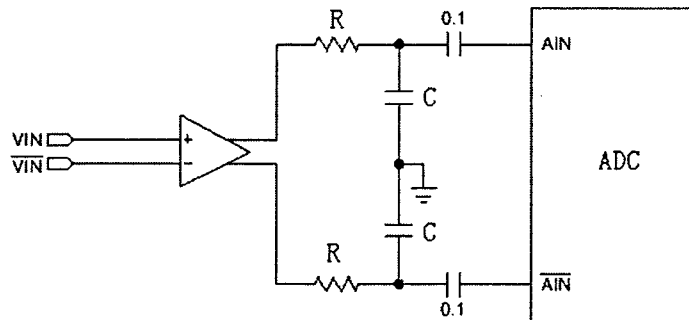


图 6-2-3 通过隔直电容的交流耦合方式 (2)

(2) 通过变压器的交流耦合方式

图 6-2-4 是通过变压器的输入信号交流耦合方式。图中的变压器 T 既把输入信号由单端信号变为差分信号，又隔离了直流分量。此外该变压器还有阻抗转换的作用。设变压器的阻抗比为： $Z_1:Z_2 = 1:4$ ，即 $Z_2 = 4Z_1$ 。为了匹配， Z_1 应等于传输线的特性阻抗（如 50Ω ）。

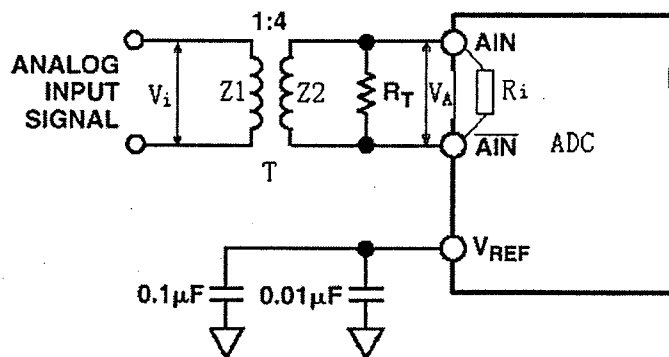


图 6-2-4 通过变压器的交流耦合方式

在变压器的次级, Z_2 应和 R_T 与 R_i 并联阻抗相等, 即 $Z_2 = R_i R_T / (R_i + R_T)$ 。一般来说 ADC 的差分输入阻抗 R_i 都比较大 ($1K\Omega$ 左右), 而传输线的特性阻抗相对来说比较小。为了实现阻抗匹配, 要么选取阻抗比大的变压器, 要么在次级加并联电阻 R_T 。由于 $Z_1 : Z_2 = 1 : N^2$ (N 为匝数比), $V_i : V_A = 1 : N$, 所以在输入信号电压 V_i 不变的情况下, 选取阻抗比大的变压器就同时使 V_A 变大。然而对于 ADC 来说, V_A 的幅度应该是有限的 ($2V$ 左右), 因此必须折中地选取变压器的阻抗比和 R_T , 使阻抗匹配和 V_A 的幅度要求同时都能满足。

图 6-2-5 也是通过变压器的输入信号交流耦合方式。可以用同样的道理来分析图 6-2-5 的电路。与图 6-2-4 不同的是: 图 6-2-5 中的变压器次级的中间抽头接到 V_{REF} 上。这样, 输入信号在变压器的次级就被分成了两个幅度相等但相位相反的信号, 分别加到 ADC 的两个输入端。在这种情况下就要求变压器的次级输出相对于中间抽头在幅度和相位上都具有很好的对称性。否则, 将会因为不对称而使输入到 ADC 的差分信号不能完全反映出真正的信号。

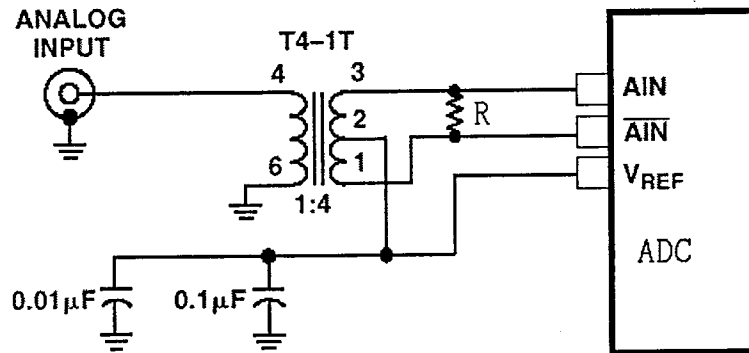


图 6-2-5 变压器交流耦合方式

2. 模拟信号的直流耦合方式

当必须考虑模拟信号的直流成分时, 就必须采用直流耦合方式。图 6-2-6 是直流耦合方式的一个电路。图中的 A1 和 A2 对参考电压 V_{REF} 进行缓冲, 再分别送到 A3、A4 两个放大器。A3 对输入信号实现正向放大, 并实现一定的直流偏置。A4 输入信号实现反向放大, 也实现一定的直流偏置。调整各电阻值使 A3、A4 有同样的放大倍数, 且输出信号的中心为 V_{REF} 以确保 ADC 的 AIN 和 /AIN 输入的要求。这种直流耦合方式虽然能实现直流耦合, 但电路中的噪声、失调电压和运放的动态特性都将影响到整个电路的特性。由于输入信号被转换为两路信号, 两路中直流偏置差别、增益的差别都将影响到最终的 ADC 差分输入信号。因此在实际电路实现时, 还必须对直流偏置和增益进行实际的调整。

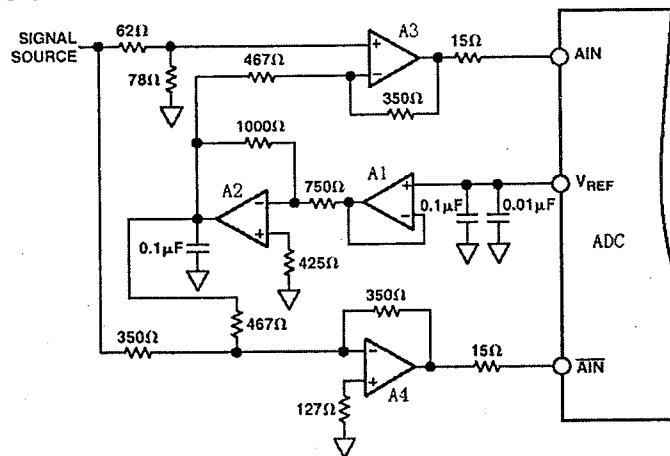


图 6-2-6 模拟信号的直流耦合方式

6-2-2 时钟信号及耦合方式

1. 时钟源

对于高速、大动态范围的 ADC 来说，一个精密的时钟源是必不可少的。而且该时钟信号的抖动 (jitter) 应该很小。根据第二章第三节的推导，ADC 的位数 N 、最大输入信号频率 f_{MAX} 和时钟抖动的均方值 σ 之间的关系如下式：

$$f_{\text{max}} = \frac{1}{2\pi\sigma \cdot 2^{N+1}}$$

从上式可以看出，如果 ADC 的位数 N 一定，时钟抖动越大，ADC 所能转换的信号频率也就越低。所以要实现高速、大动态范围的 ADC，就必须有抖动小时钟信号。

有许多种方法来产生时钟。当时钟频率小于 20MHz 时，对于大多数应用场合，直接用晶体来产生的频率信号就已足够好了。而对于时钟频率大于 20MHz 时，对于不同的时钟产生方式，时钟的抖动是不同的。表 6-2-1 列出了不同的时钟产生方式下时钟的抖动情况，并比较了成本。

表 6-2-1 不同技术生产的时钟源的时钟抖动

Technique	Cost	LF Jitter	HF Jitter	Comments	Type
	1 is lowest 3 is highest	1 is best 3 is worst	1 is best 3 is worst		
Direct Clock/TCXO	1	2	1 or 2	Very Good Jitter	A
Direct VCXO	2	1	1 or 2	Very Good Jitter	B
Direct Oven	3	1	1	Excellent jitter	C
Tuned Multiplication	2	1	1 or 2	Periodic Jitter	D
Discrete PLL	2	2	2 or 3	Good Jitter	E
Monolithic PLL	1	3	2 or 3	Close in jitter is poor	F

从表 6-2-1 中可以看出：恒温晶振 (Direct Oven) 具有最小的抖动，但其成本也最高。高频输出时，压控晶振 (VCXO) 和温控晶振 (TCXO) 也有比较好的抖动指标，它们的成本相对来说比较低。而锁相环 (PLL) 技术所产生的时钟信号则相对来说抖动较大。

下面是 VECTRON 公司温度补偿型 VCXO 的技术指标：

FREQUENCY : 65.00 MHZ
 OUTPUT: AC/ HCMOS
 SUPPLY: +3.3VDC, 5%
 STABILITY: 20 PPM (0 C to +70 C)
 JITTER: 2.1 pS RMS typical, 3.0 pS RMS max
 FREQUENCY DEVIATION: 50 PPM min
 CONTROL VOLTAGE: 0V to +3V, Centered at +1.5V
 CONTROL SLOPE: Positive .200 min

从中我们能够看到这种晶体振荡器的抖动已能做到 2.1 pS RMS (典型值)。这是一种较好的时钟源，然而价格比较高。

另外一种价格便宜、并且可以进行频率调节的时钟源就是 PLL 时钟发生器 (如 MC12429)。它的主要性能指标如下：

25 to 400MHz Differential PECL Outputs
 ± 25 ps Peak to Peak Output Jitter
 Fully Integrated Phase Locked Loop
 Synthesized Architecture
 Quartz Crystal Interface

从上面的指标中可以看出输出时钟信号的抖动为 $\pm 25\text{ps}$ (峰峰值)。因此, 要使高速、大动态范围的ADC有最好的SNR, 最好选用抖动较小的VCXO晶体振荡器。

2. 时钟信号的耦合方式:

对于高速、大动态范围的ADC来说, 其时钟信号的输入均采用差分方式, 有的可直接和PECL输出相连接。因此, 要使ADC获得最佳的性能, 必须用差分信号驱动时钟输入端ENCODE、/ENCODE。然而, 在某些场合时钟源就是一个TTL或CMOS逻辑电平。为了不增加电路元件, 也可以直接采用单端驱动方式, 如图6-2-7所示。这里的TTL/CMOS时钟源应该有很小的抖动。一般来说, ENCODE和/ENCODE端的内部偏置电压被分压电路置为1.6V, 所以对于TTL/CMOS输入逻辑来说只要把ENCODE端接时钟源,

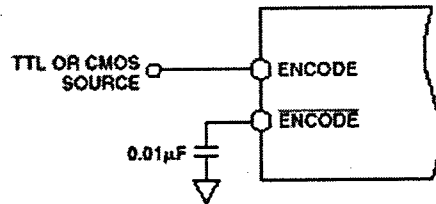
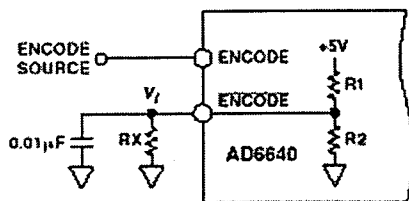


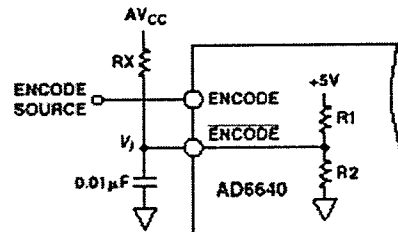
图 6-2-7 直接单端驱动

/ENCODE端用一个低电感的电容旁路接地就行了。

如果单端输入的时钟逻辑电平的阈值不是1.6V, 那么就必须通过接电阻来提高或降低/ENCODE端的偏置电压, 使它等于输入时钟逻辑电平的阈值。具体电路如图6-2-8所示。偏置电压 V_i 可以很方便地计算出来, 这里就不再具体说明了。



降低阈值

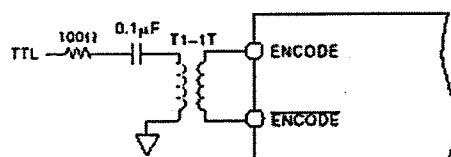


提高阈值

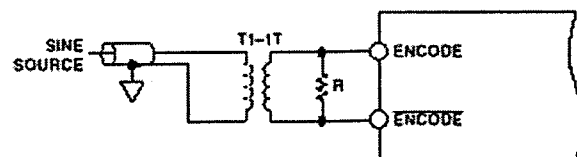
图 6-2-8 直接单端驱动的改进

虽然单端时钟信号输入能满足许多场合的需要, 但差分时钟信号的输入将提高ADC的性能。有时能将信噪比提高1dB到3dB。尽管TTL逻辑也有互补差分输出, 可它们的差分输出对之间的相移较大, 所以不要用它们直接驱动ADC的时钟输入端。

一种简单的方法就是用一个RF变压器把单端TTL电平转为差分信号。因为变压器两端的电路都是自偏置的, 所以不需要加额外的元件。在变压器的输入端一般要加一个电阻(100Ω)起限流的作用。这个电路如图6-2-9(A)所示。



A TTL时钟



B 正弦波时钟

图 6-2-9 变压器驱动

如果时钟信号是一个正弦波信号,可以采用图6-2-9(B)的电路。变压器的作用还是把单端信号变为差分信号。电阻R的作用是实现阻抗匹配。对以上变压器时钟信号耦合电路,如果变压器的阻抗比会使其次级输出电压大于ADC的ENCODE输入信号额定幅度,一般要在变压器的次级加一对开关二极管作限幅。

如果有一个低抖动的ECL时钟源,可以直接用ECL门驱动ADC的ENCODE。由于ECL门输出的信号和ADC的ENCODE输入信号的直流偏置有时会不同,所以必须采用交流耦合方式。这里的隔直电容应采用表贴电容,并没有小的电感变化。电路如图6-2-10(A)所示。对于有些ADC的ENCODE端其本身就是ECL电平输入,因此可以直接用一个ECL门(如MC10EL16)驱动,而无须隔直电容。

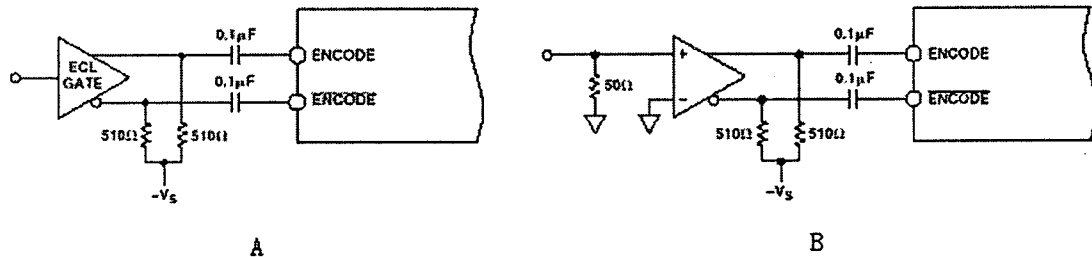


图 6-2-10 ECL驱动和比较器驱动

图6-2-10(A)的ECL门也可以用一个ECL比较器(AD96687)来代替,如图6-2-10(B)所示。输入到比较器的时钟信号可以是一个逻辑信号,也可以是一个正弦波。

第三节 Dither信号的发生电路和接入方法

为了提高ADC的性能,特别是抑制谐波和杂散波,提高其SFDR指标,必须在ADC的模拟输入端加入dither。下面讨论dither信号的产生和接入。

6-3-1 Dither信号的发生电路

所谓Dither信号其实就是一个噪声信号。根据不同的场合,有时要求该信号幅度较大,有时要求较小;有时要一个宽带的噪声信号,有时要一个窄带的噪声信号。所以Dither信号的发生电路实际上就是一个幅度可调的噪声信号发生电路,并有滤波电路可以将指定范围的噪声滤除,如图6-3-1所示。

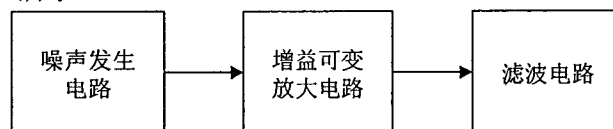


图 6-3-1 Dither信号电路原理

(1) 噪声发生电路

用噪声二极管产生噪声是一个最简单,也是最有效的方法。它产生的噪声是高斯噪声。同电阻产生的热噪声相比,它具有更大的能量,并且可以控制其输出噪声的频率范围。有关噪声二极管电路参见第四章第四节。

(2) 可变增益电路

可变增益电路可以选用增益可变的宽带运算放大器(VCA610,如图6-3-2所示)。Vc是控制电压输入端。当Vc在0V~2V之间变化时,单个运算放大器能实现80dB(-40dB~+40dB)的动态增益范围。Vc端可以通过接电阻和电位器实现分压得到,调节电位器来改变Vc的电

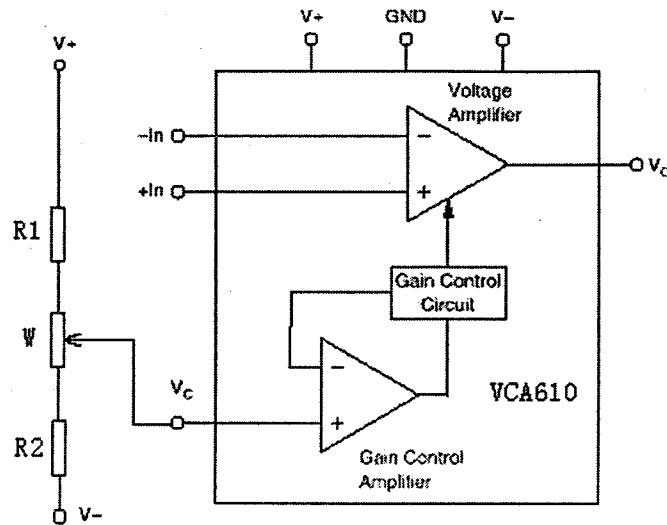


图 6-3-2 增益可变的宽带运算放大器

压。如果Dither输出的幅度要实现自动增益控制，那么增益控制数据通过一个DAC转换为模拟信号后再接到Vc上。由于前端的噪声源的输出一般来说都比较小，因此往往加一级放大还不够，通常要再加一级放大。

(3) 滤波器电路

滤波电路是Dither信号的发生电路中的一个比较关键的电路。如果要求输出是一个宽带的Dither信号，则无需滤波电路。如果要求输出是一个窄带的Dither信号，则必须根据要求设置滤波器的通带。由于窄带的Dither信号只能处在两个频段上：（1）从DC开始的低频信号；（2）处于Nyquist频率附近的高频信号。要滤出处于Nyquist频率附近的高频信号需要中心频率很高，而且通带相对来说比较窄的高通滤波器。对于目前的技术，用有源滤波器是难以实现这种高通滤波器的，而必须采用无源滤波器（如SAW）。即使是这样，滤波器的性能也不是很好。所以，除非是特殊的情况，一般的窄带Dither信号都采用低通滤波器来实现从DC开始的低频Dither信号。在这里也就只讨论低通滤波器。

主要有四种基本的滤波器可供选择，它们是Butterworth、Bessel、Chebyshev和Cauer（或椭圆）滤波器。它们的主要特点如下：

- Butterworth: 在通带里最平坦，但通带到阻带的衰减比较慢。
- Chebyshev: 通带内不平坦（有小的波动），但通带到阻带的衰减比较快。
- Cauer: 在通带和阻带内都不平坦，但通带到阻带的衰减最快。
- Bessel: 唯一具有线性相位和线性延迟，但通带到阻带的衰减比较慢。

因为要产生的窄带Dither信号本身就是一个噪声信号，对它唯一要求就是在带外有最大的衰减，而对通带的平坦度和线性相位没有要求。因此应选用通带到阻带的衰减比较快的滤波器。又因为目前许多有源滤波器芯片不支持Cauer滤波器，所以Chebyshev型滤波器应是首选的滤波器。

图6-3-3是用UAF42芯片外接两个电阻构成的一个增益为1、通带内纹波为1.25dB的二阶Chebyshev低通滤波器。使用这种类型的有源滤波器芯片所构成的电路非常简单，只要改变外接电阻的阻值就能改变滤波器的截止频率等。如果一片芯片所构成的滤波器衰减还不够，还可以用多片组合构成高阶的滤波器。图6-3-4是一个四阶的Chebyshev低通滤波器的频率响应

虽然随着频率的增高，低通滤波器的衰减也增大，但是由于滤波器电路本身存在着噪声（主要是运放产生的噪声），因此对于一个实际的低通滤波器来说其高频输出成分并非由理想的衰减曲线来决定。所以，最终产生的低频窄带dither信号中就会有一定的高频噪声，这

是我们不希望有的噪声。解决问题的方法是选用低噪声的滤波器芯片，或者用低噪声的运算放大器和电阻电容器件构成一个低噪声滤波器。

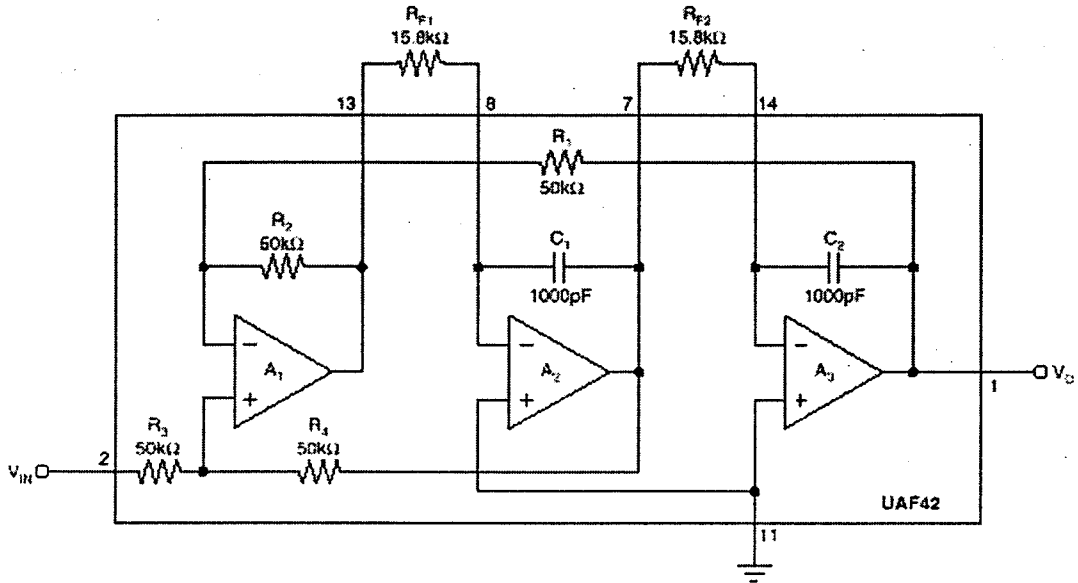


图6-3-3 二阶Chebyshev低通滤波器。

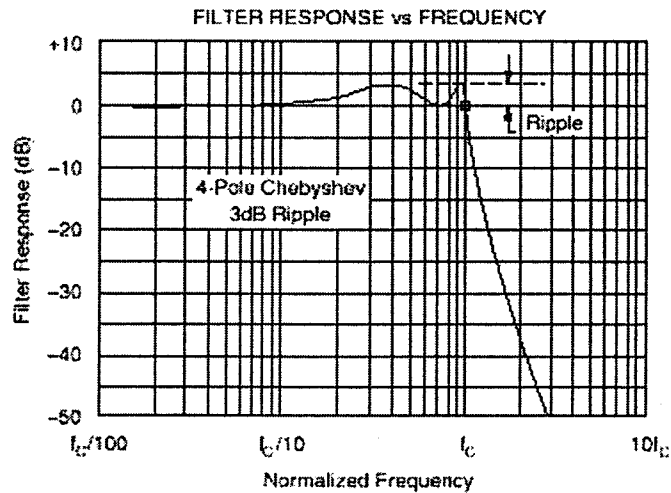


图6-3-4 Chebyshev低通滤波器的频率响应

(4) Dither 电路

Dither 信号的发生电路采用一个单独的电路板来实现，并通过 SMA 接头和 50Ω 电缆接入 ADC 板。这样可以避免 dither 电路中放大器等有源器件的噪声对 ADC 的影响。整个电路的原理框图如图 6-3-5 所示。噪声二极管作为噪声源，噪声通过预放和增益可控放大器被

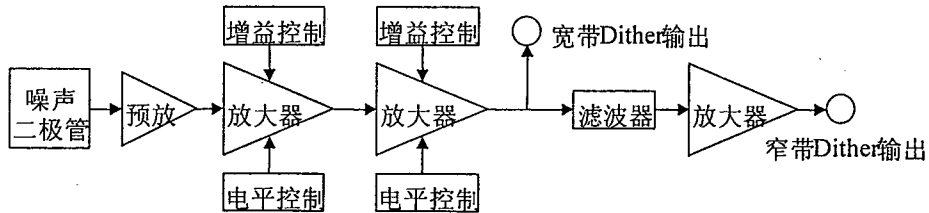


图 6-3-5 Dither 电路

放大到几百毫伏。放大器不仅增益可控，而且能调节噪声的直流电平，否则前端噪声微小的直流偏置会被放大成非常大的直流成分。滤波器采用 7 阶无源低通滤波器以保证阻带衰减在 70dB 以上。由于低通滤波器对噪声的能量有很大的衰减，窄带 dither 输出必须进行放大，但放大器必须采用低噪声放大器以避免产生高频噪声。最后一点要强调的是整个 dither 电路板必须放在屏蔽盒内，且地线和屏蔽盒相连，否则微小的电磁辐射馈入前端电路都将影响 dither 信号的幅度。具体电路见附录二。

6-3-2 Dither信号的耦合方法

要把 Dither 信号加到输入信号上有两种方法：一种是把信号和 Dither 两者直接相加连接，并接一个匹配电阻 R_T ，然后再接一个运算放大器作为缓冲，如图 6-3-6 (A) 所示。采用这种方法的好处是：可以对混合的信号进行适当的放大，而缺点是对运放的要求很高。如果后面的 ADC 是一个高精度的 ADC 的话，就要求该运放的精度指标比 ADC 的精度要高得多，否则就不能保证 ADC 的精度。目前比较好的运算放大器有 Burr-Brown 公司的 OPA642($G=1$)、OPA643($G \geq 3$)、OPA686($G \geq 7$)和 OPA687($G \geq 12$)。

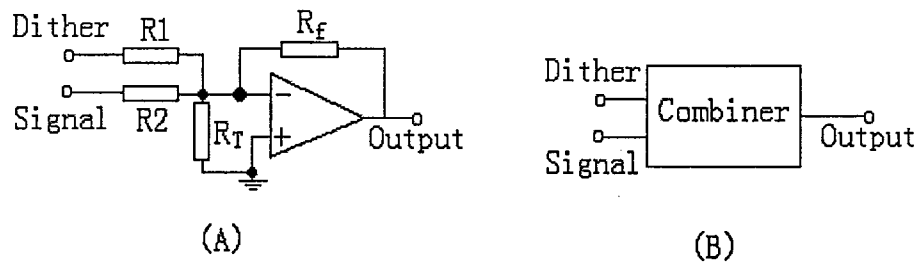


图 6-3-6 Dither 信号的耦合方法

另一种耦合方法是用混合器 (Combiner)。把 Dither 信号和输入信号分别接入混合器的两个输入端，混合器的输出即为两个信号的混合输出，如图 6-3-6 (B) 所示。对于第二种方法，由于混合器是一个无源器件，它虽然对信号产生的畸变很小，却会对信号产生一定程度的衰减。这两种方法的选取应根据实际要求来定。

第四节 数字输出信号的锁定和驱动

ADC 转换出的数字信号必须用锁存器锁存后再送到下一级。对于非常高速的 ADC (200M 以上) 来说，一般要用两个锁存器分别来锁存，即所谓的乒乓结构。一次转换完的数据锁进第一个锁存器，下一次转换完的数据锁进第二个锁存器，依次循环往复。对于一般高速的 ADC (200M 以下) 来说，只要用一个锁存器来锁存就够了。锁存器的选择原则要根据 ADC 的速度来定。一般来说，不必选用高速的锁存器，只要满足 ADC 的输出速率要求就可以了。因为锁存器的速度越快，其上升沿、下降沿也越快。那么它对其他芯片 (主要是 ADC) 的干扰也越大。如果系统可以提

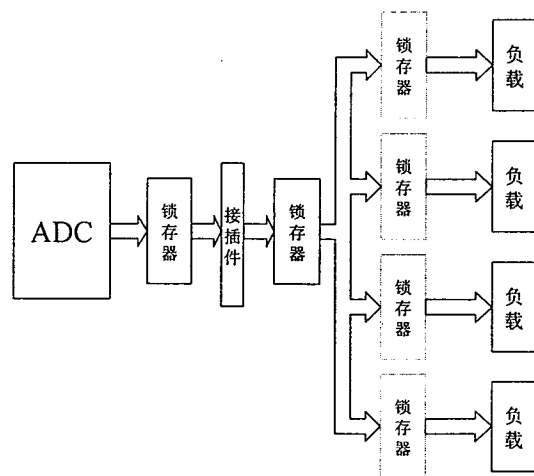


图 6-4-1 数据锁存

供 3.3V 的电压，还可选用低电压的锁存器芯片，这种低电压的芯片所产生的干扰一般比较小。

锁存器的下一级负载一般是 RAM、FIFO、DSP 等，可能有多种情况。从负载的数量上看可以分单一负载和多个负载；从负载的连接上看可以是直接连接、接插件连接和背板连接。对于单个负载的直接连接和接插件连接只要用锁存器直接驱动就可以了。如果是多个负载（如四个负载）用接插件连接，则必须考虑再加一个锁存器，如图 6-4-1 所示。在图中如果负载分布不均匀或负载比较远，那么最好在最后一个锁存器后再加四个锁存器，把一路分成四路，如图 6-4-1 中的虚线所示。

第五节 用于 ADC 性能测试的数字输出接口板

为了能直接测试 ADC 的性能指标，必须把 ADC 的输出数据接收下来。数字接口板用来接收 ADC 转换出的数据，再送入 PC 机中进行各种分析处理，如图 6-5-1 所示。

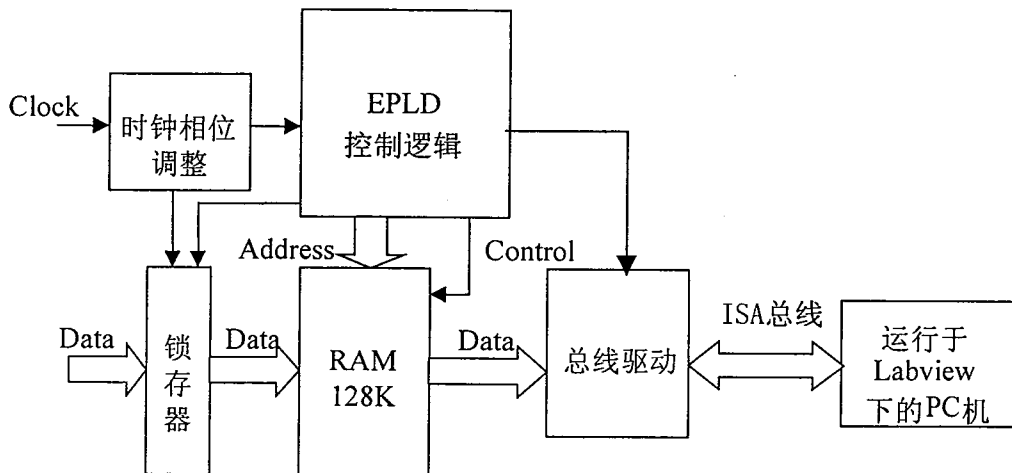


图 6-5-1 数字接口板

该接收板设计为可接收最多 16 位的数据。输入的数据首先由锁存器锁定，再输出到 RAM。输入的时钟信号由相位调整电路调整后分两路分别送到 EPLD 控制逻辑电路和锁存器。一般情况下是不需要时钟相位调节的。这里的时钟相位调节是为了适应前端输出的数据和时钟之间不同的相位关系。运行在 Labview 下的 PC 机通过 ISA 总线可以接收 RAM 中的数据，其最主要功能是对接收的数据进行分析和处理。

第六节 AD6644 采样板的设计

为了实际测试高速高精度 ADC 的性能，检验 Dither 对改善实际 ADC 性能的效用，最大程度地发挥 AD6644 的性能指标，在此设计了两路 AD6644 采样板电路。第一种电路原理如图 6-5-1 所示。模拟输入信号通过 SMA 接头输入，可以实现两路输入。两路信号经合路器 (combiner) 合为一路信号，当然，也可以只输入一路信号，另一路不加信号。模拟信号和时钟信号都由变压器转换为差分信号耦合到 AD6644。合路器和变压器都是采用 Mini-Circuits 公司的产品，其非线性失真最小。输出数据和时钟采用低电压 (3.3V) 芯片锁存和驱动。

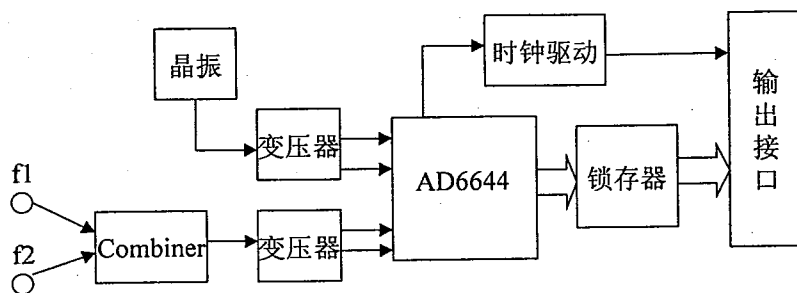


图6-5-1 AD6644采样板电路 (1)

第二种电路和第一种电路基本相同，如图6-5-2所示。第二种电路的不同之处是采用了ECL耦合时钟信号。此外，第二种电路还可以通过选择，由锁相环（PLL）时钟芯片CY89429来提供时钟。第二种电路的目的是检验不同时钟耦合方式对AD6644的影响。

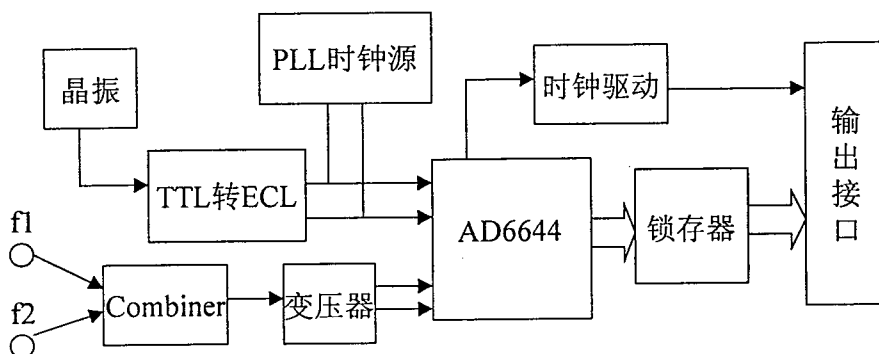


图6-5-2 AD6644采样板电路 (2)

第七节 PCB 板布局和走线的考虑

在进行ADC的印刷电路板(PCB板)设计中，电路元件的布局与信号走线应遵循以下原则：

(1). 尽可能将关键的模拟电路与数字电路分开，不要使模拟信号输入和数字信号线交叉，如果必须的话，要使用正交，以减小耦合的可能性。在AD6644板中，模拟电路部分是时钟和模拟信号耦合电路，而关键信号线是时钟线和模拟信号输入线。

(2). 尽可能使采样时钟产生电路靠近ADC，采样时钟信号走线尽量不与数字信号线交叉，也不与模拟信号线交叉。在AD6644板(1)中，由于时钟和模拟信号都用变压器耦合，且两个变压器又离得比较近，容易产生串扰，所以要把这两个变压器放在不同的元件面上（正面和反面），且相互之间不平行。

(3). 在两块板之间的连接中，尽可能多地使用地线。ADC板于数据接口板之间使用了20根以上的接地线。

(4). 使用电源线或地线来隔离模拟输入管脚与数字信号管脚，特别是在ADC芯片上。

(5). 传递模拟信号尽可能使用差分方式，如果只能用单端技术，传递高频信号通过噪声环境，必然会影响信号质量。

(6). 由于ADC输出数据是并行的，不能直接将变换数据送到数据总线，因为这样可能会带来严重的噪声问题，总线上的噪声会通过ADC的数据输出与模拟输入之间的分布电容耦合到模拟输入端，同时，接到总线上由于负载大的原因，可能产生过冲和高频噪声，并耦合到模拟输入端，产生与输出码关联的干扰，从而产生谐波。因此，ADC的输出经一个锁存器锁定，而后再送到数据接口上，锁存器最好采用满足速度要求的低电压芯片。

第七章 高速高精度 ADC 的测试结果

第一节 测试条件

7-1-1 测试电路原理框图

ADC 测试电路的原理框图如图 7-1-1 所示, A/D 转换板可接收两路输入信号, 并通过合成器 (combiner) 把两路信号相加。合成器采用的是 Mini-Circuits 公司的 SCP-2-1, 其带宽为 0.1~400MHz, 该 A/D 板可实现一路信号的输入或两路信号的相加输入。转换出的数字信号经输出缓冲器后输出到数据缓冲板。PC 机可将数据缓冲板中的数据读入并进行分析处理。

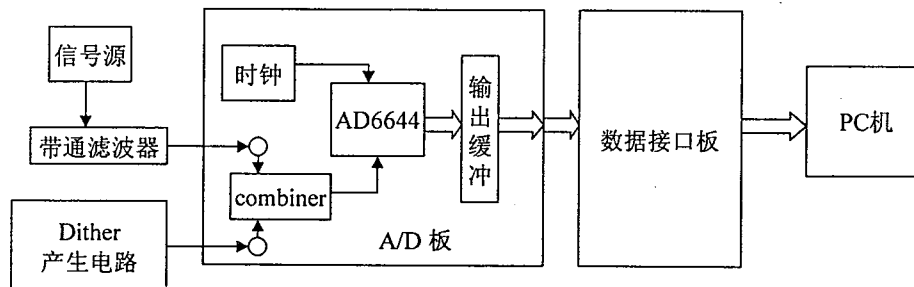


图 7-1-1 测试电路原理框图

模拟输入信号可以分别通过两个 SMA 端口接入测试系统, 两路输入信号通过一个无源合成器合成为一路信号, 无源合成器能确保相加后的信号有最小的畸变。对于高速、大动态范围的 ADC 来说, 其模拟信号输入端和时钟输入端均采用差分输入, 所以本系统采用变压器耦合时钟信号和模拟信号。这样可以把单端信号转变为双端差分信号, 并使热噪声得到最大程度的抑制。ADC 芯片是 Analog Device 公司的 AD6644, 其分辨率为 14bit, 最高采样率为 65MHz。ADC 的输出经数据锁存器锁存后存入 SRAM。当 SRAM 存满时可发出 Full 信号, PC 机在检测到这个信号后, 即可通过 ISA 总线把 SRAM 中的数据读入。PC 机则负责数据分析和处理。

7-1-2 信号源

为了测试 14bit 的 ADC, 必须选用高精度的信号源作为参考信号。在这里采用的信号源是 HP E4420B, 其带宽为 250kHz~2.0GHz。它属于 HP ESG 系列信号发生器, 其频率纯度主要指标如下:

SSB Phase Noise (typical, at 20kHz offset)

at 500MHz: <-120dBc/Hz

at 1000MHz: <-116dBc/Hz

at 2000MHz: <-104dBc/Hz

Harmonics ($\leq +4$ dBm output level): < -30dBc

Nonharmonics (>3kHz offset, <+7dBm output level)

250kHz to 1000MHz: <-65dBc

>1000MHz to 2000MHz: <-59dBc

Subharmonics

≤ 1000 MHz: None

> 1000MHz: <-40dBc

从以上指标来看，信号源的谐波分量还比较大 ($< -30\text{dBc}$)，必须用滤波器将其滤除。

7-1-3 带通滤波器

带通滤波器是用来滤除信号源输出中的谐波分量。由于被测的 ADC 为 14bit，这就要求带通滤波器的阻带衰减在 80dB 以上。为了能测试各种频段的信号，我们做了三种带通滤波器，其频率特性如下：

中心频率	带宽	阻带衰减
6MHz	2MHz	$>80\text{dB}$
16MHz	5MHz	$>80\text{dB}$
59MHz	10MHz	$>80\text{dB}$

三种带通滤波器的频率响应如图 7-1-2、图 7-1-3 和图 7-1-4 所示：（频率响应的测试仪器为 HP8714ET 300kHz~3000MHz RF Network Analyzer）

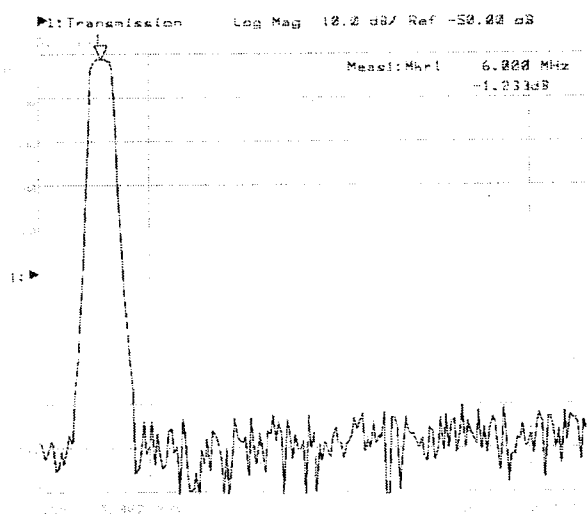


图 7-1-2 中心频率为 6MHz，带宽 2MHz 的带通滤波器

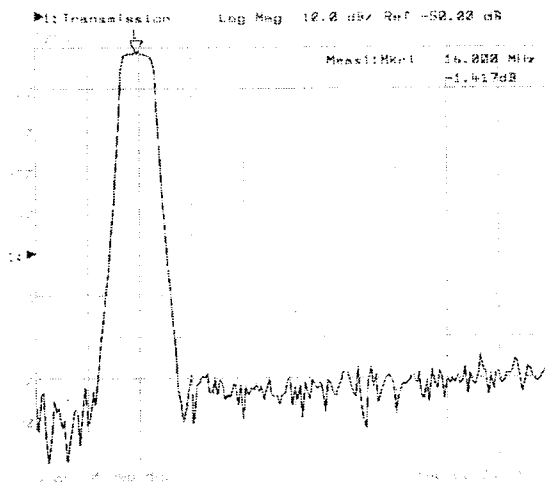


图 7-1-3 中心频率为 16MHz，带宽 5MHz 的带通滤波器

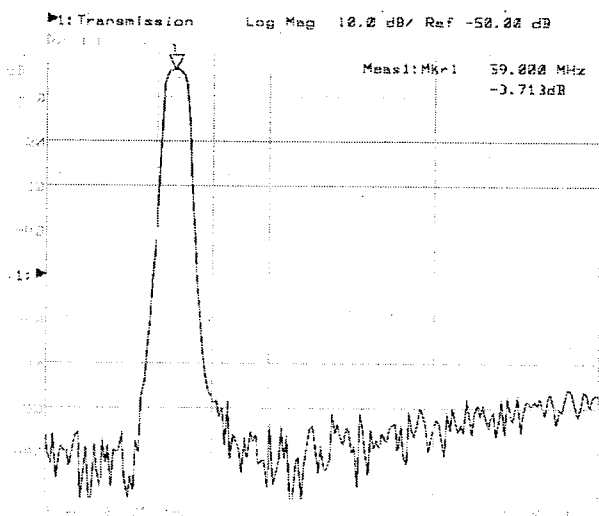


图 7-1-4 中心频率为 59MHz，带宽 10MHz 的带通滤波器

7-1-4 分析和处理软件

分析处理软件运行在 Windows 95/NT 环境下，它的主要功能包括时域显示被采集的数据；对数据作谱分析后频域显示被处理的数据；信噪比（SNR）的计算；谐波（Harmonic）的计算；无伪波动态范围(SFDR)的计算。其中 FFT 的长度可为 1 K~128K。

7-1-5 ADC 芯片和晶振

ADC 芯片为 ADI 公司的 AD6644，其系列号为 635559 9942。

晶体振荡器采用两个普通的晶振，其输出频率分别为 64MHz(CTS CXO63HC) 和 20MHz (HJ04EY)。

第二节 基本测试结果

基本测试是在两种不同采样频率下，测试三种输入信号频率的结果，其中 FFT 的长度为 16K，输入信号幅度为 -1dBFS。AD6644 的 AVCC 供电电压为 5 V。

7-2-1 20MHz 采样频率下的基本测试结果

Input Frequency	SNR(dB)	二次谐波(dBc)	三次谐波(dBc)	SFDR(dBc)
6 MHz	70.91	-98.08	-93.24	93.24
16.5 MHz	70.63	-95.66	-91.89	91.89
59 MHz	69.82	-82.34	-70.74	70.74

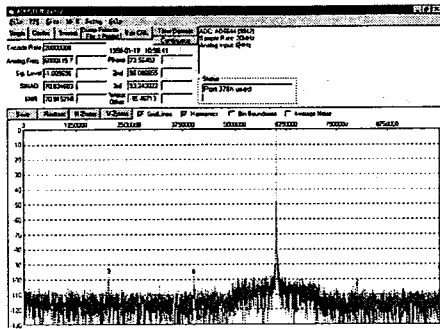


图 7-2-1 6MHz, -1dBFS 输入信号

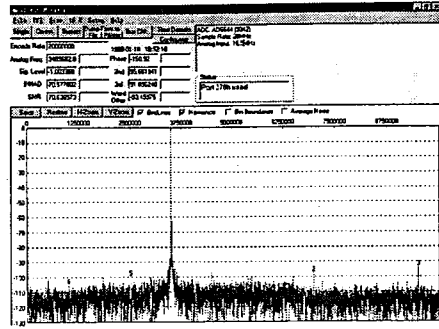


图 7-2-2 16.5MHz, -1dBFS 输入信号

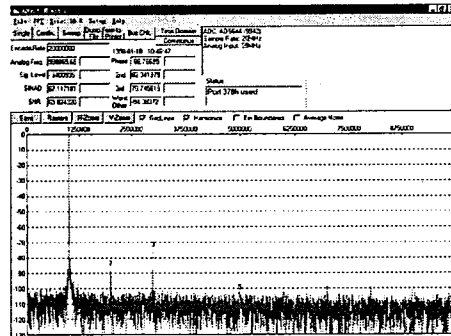


图 7-2-3 59MHz, -1dBFS 输入信号

7-2-2 64MHz 采样频率下的基本测试结果

Input Frequency	SNR(dB)	二次谐波(dBc)	三次谐波(dBc)	SFDR(dBc)
6 MHz	72.22	-97.04	-95.97	95.97
16.5 MHz	71.45	-91.58	-86.23	86.23
59 MHz	69.69	-81.66	-79.12	79.12

对比 20MHz 采样频率下的测试结果，可以发现 64MHz 采样频率下的测试结果并不比 20MHz 采样频率时差多少。而随着输入频率的增大，各项指标普遍下降。

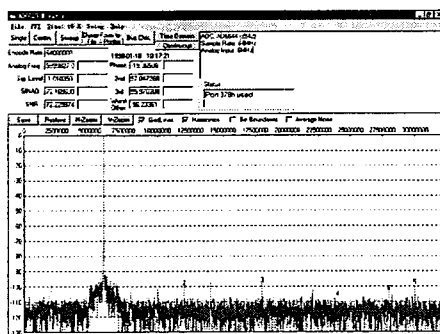


图 7-2-4 6MHz, -1dBFS 输入信号

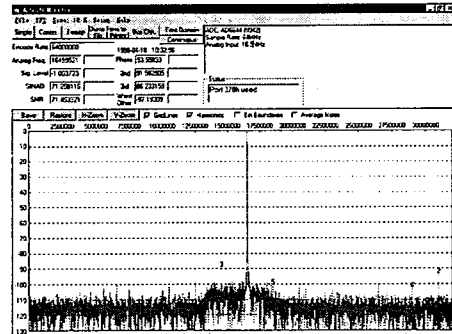


图 7-2-4 16.5MHz, -1dBFS 输入信号

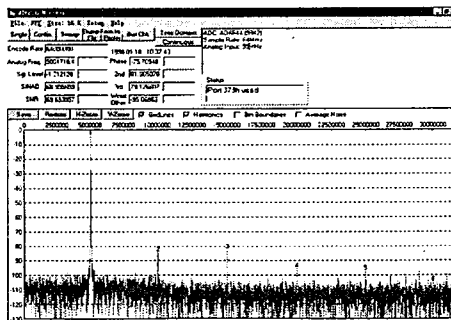


图 7-2-6 64MHz 采样频率; 59MHz, -1dBFS 输入信号

第三节 加入 Dither 后的测试结果

加入 dither 后测试是在两种不同采样频率下，测试三种输入信号频率的结果，其中 FFT 的长度为 16K，输入信号幅度为-1dBFS。AD6644 的 AVCC 供电电压为 5 V。Dither 的带宽为 600KHz，平均幅度-75dBFS。

7-3-1 20MHz 采样频率下的测试结果

Input Frequency	二次谐波(dBc)	三次谐波(dBc)	SFDR(dBc)
6 MHz	-99	-95	94
16.5 MHz	-98	-93	93
59 MHz	-84	-71	71

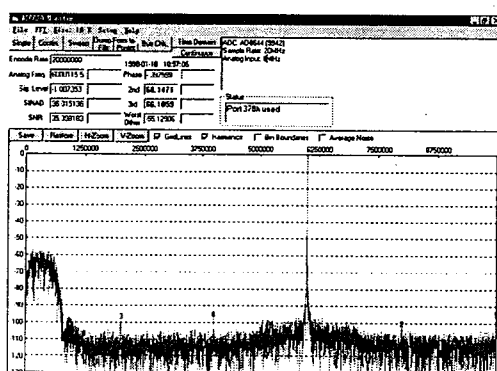


图 7-3-1 6MHz, -1dBFS 输入信号加 dither

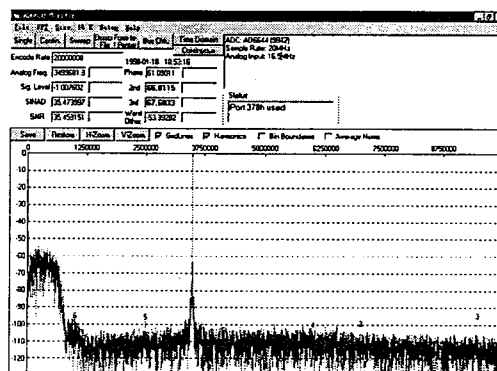


图 7-3-2 16.5MHz, -1dBFS 输入信号加 dither

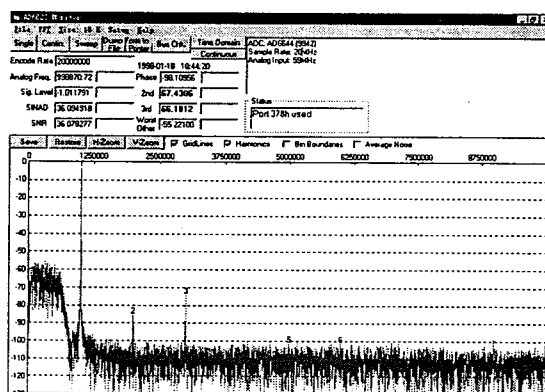


图 7-3-3 20MHz 采样频率; 59MHz, -1dBFS 输入信号加 dither

7-3-2 64MHz 采样频率下的测试结果

Input Frequency	二次谐波(dBc)	三次谐波(dBc)	SFDR(dBc)
6 MHz	-97	-98	97
16.5 MHz	-98	-88	88
59 MHz	-84	-81	81

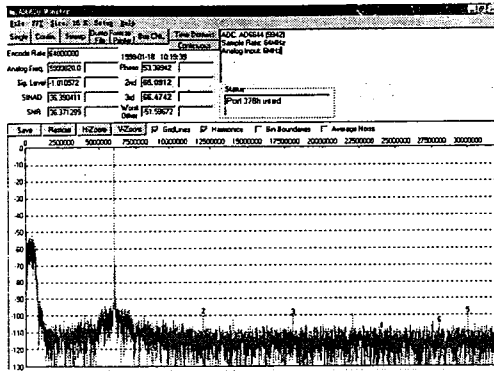


图 7-3-4 6MHz, -1dBFS 输入信号加 dither

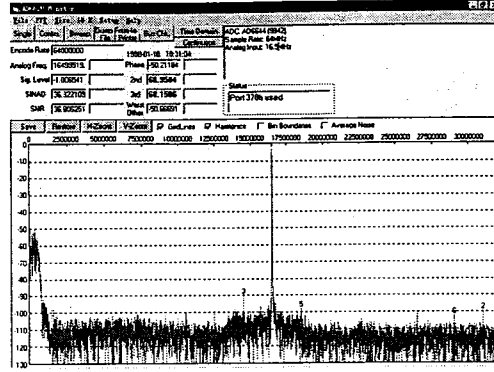


图 7-3-5 16.5MHz, -1dBFS 输入信号加 dither

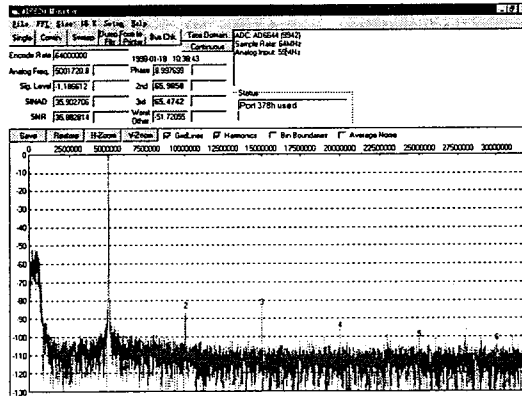
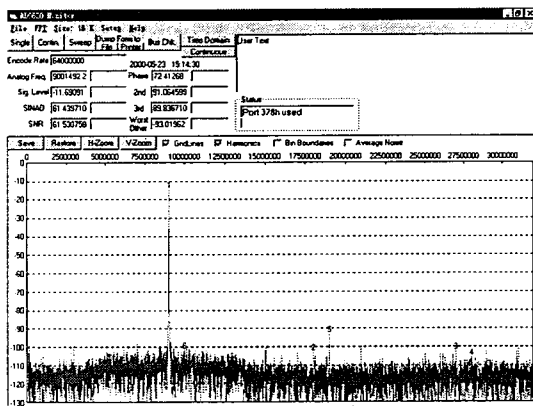
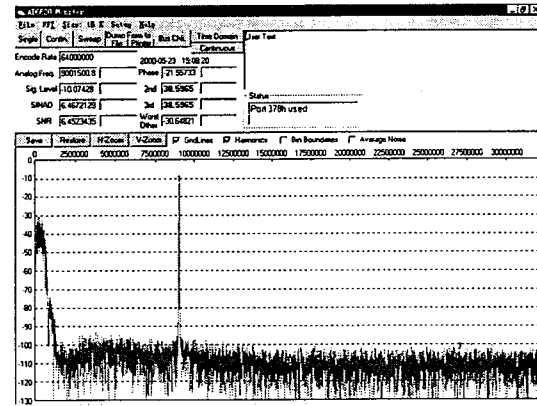


图 7-3-6 59MHz, -1dBFS 输入信号加 dither

从以上测试结果能看出，对于满幅度的输入信号，dither 对 SFDR 指标的改善不明显。降低输入信号的幅度，同时加大 dither 的能量，结果如图 7-3-7 所示。



(a) 未加 Dither



(b) 加 dither 后

图 7-3-7 64MHz 采样频率; 55MHz, -10dBFS 输入信号

图 7-3-7(b)是加了带宽为 600KHz, 平均幅度为-45dBFS 的 Dither 后的频谱图, 和图 7-3-7(a)相比, Dither 较明显地改善了 SFDR 指标, 改善了近 10dB。

第四节 采样频率对 ADC 指标的影响

改变 ADC 的采样频率 (2.5MHz~65MHz), 测试输入信号频率为 6MHz 时的结果, 其

中 FFT 的长度为 16K, 输入信号幅度为-1dBFS, AD6644 的 AVCC 供电电压为 5 V。
(采样时钟由 HP E4420B 信号发生器产生, 输入信号由 HP 33120A 信号发生器产生)

采样频率(MHz)	SNR(dB)	二次谐波(dBc)	三次谐波(dBc)
2.5	50.33	-56.99	-56.99
5	59.33	-77.81	-77.81
7.5	62.29	-93.88	-93.88
10	65.12	-95.81	-89.90
12.5	65.13	-93.80	-93.81
15	66.19	-97.60	-96.28
17.5	66.47	-98.38	-94.89
20	66.65	-87.03	-88.06
22.5	66.76	-91.17	-85.22
25	67.30	-93.88	-99.45
27.5	67.01	-97.69	-91.87
30	67.39	-86.78	-86.78
32.5	67.29	-98.64	-98.64
35	67.78	-97.47	-97.88
37.5	68.51	-100.5	-98.50
40	68.16	-99.51	-98.26
42.5	68.34	-96.22	-99.02
45	69.00	-89.66	-85.00
47.5	69.35	-93.76	-96.12
50	68.09	-98.77	-91.34
52.5	68.87	-101.02	-101.02
55	69.04	-94.82	-98.41
57.5	69.05	-96.46	-98.82
60	68.59	-91.86	-90.72
62.5	69.01	-92.72	-90.39
65	69.90	-97.84	-95.72

测试结果表明: AD6644 在 40MHz~65MHz 的采样频率下性能最好。

第五节 输入信号频率对 ADC 指标的影响

改变输入信号的频率 (55MHz~63MHz), 测试各种输入信号频率下的结果, 其中 FFT 的长度为 16K, 输入信号幅度为-1dBFS, AD6644 的 AVCC 供电电压为 5 V。

输入频率(MHz)	二次谐波(dBFS)	三次谐波(dBFS)
55	-87.5	-80
55.5	-87	-80.5
56	-87	-82
56.5	-87	-83
57	-86	-84.5
57.5	-85	-88
58	-84	-93
58.5	-84	-100
59	-83	-105
59.5	-83	-98
60	-83	-97
60.5	-83.5	-88
61	-82.5	-84
61.5	-82.5	-82
62	-83	-80
62.5	-83	-78.5
63	-83	-77.5

测试结果表明: 随着输入信号频率的改变, 三次谐波出现了波动的变化。

第六节 电源电压对 ADC 指标的影响

改变 AD6644 的 AVCC 供电电压(4.9V~5.3 V), 输入信号的频率为 59MHz, 测试各种 AVCC 供电电压下的结果, 其中 FFT 的长度为 16K, 输入信号幅度为-1dBFS。

AVCC (V)	二次谐波 (dBc)	三次谐波 (dBc)	AVCC (V)	二次谐波 (dBc)	三次谐波 (dBc)
4.90	-81.9	-75.3	5.11	-81.7	-82.8
4.91	-82.3	-75.4	5.12	-80.8	-83.4
4.92	-82.2	-76.0	5.13	-81.4	-82.9
4.93	-81.4	-76.0	5.14	-81.3	-82.9
4.94	-80.9	-76.7	5.15	-81.8	-84.1
4.95	-81.2	-76.7	5.16	-81.1	-84.1
4.96	-81.3	-77.5	5.17	-81.6	-84.5
4.97	-80.9	-77.3	5.18	-81.8	-84.9
4.98	-81.8	-78.0	5.19	-80.6	-86.0
4.99	-80.8	-77.8	5.20	-81.8	-86.3
5.00	-82.1	-77.6	5.21	-81.1	-86.3
5.01	-81.8	-78.4	5.22	-81.2	-87.7
5.02	-81.6	-79.0	5.23	-80.2	-87.4
5.03	-82.0	-79.0	5.24	-81.2	-88.8
5.04	-81.7	-79.3	5.25	-81.6	-90.2
5.05	-81.6	-80.0	5.26	-81.2	-90.1
5.06	-81.7	-80.4	5.27	-83.1	-90.4
5.07	-81.2	-80.7	5.28	-81.3	-91.8
5.08	-81.4	-80.7	5.29	-80.9	-92.3
5.09	-80.6	-81.5	5.30	-82.1	-93.9
5.10	-81.7	-82.3			

测试结果表明: ADC 的模拟供电电压发生改变时, 其性能指标也发生了变化。

第七节 输入信号幅度对 ADC 性能的影响

改变输入信号的幅度, 测试各种幅度下的结果, 其中 FFT 的长度为 16K, 输入信号的频率为 51MHz, 采样频率: 64MHz。

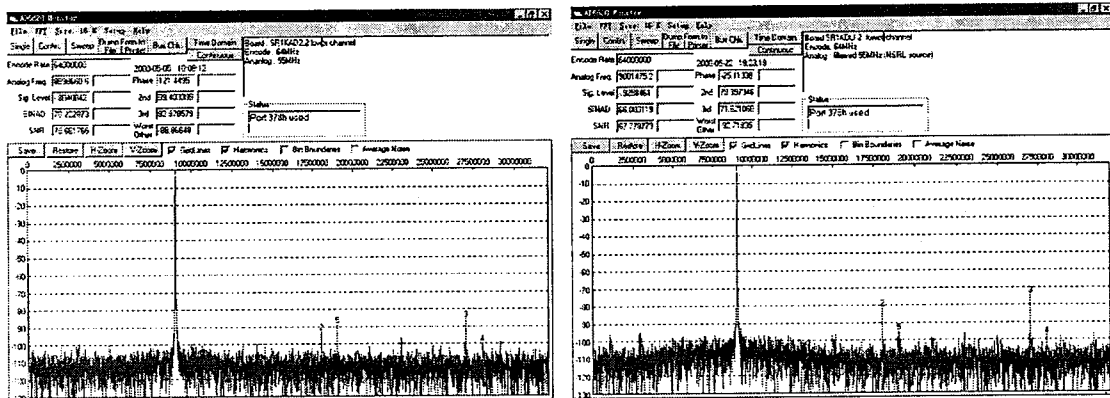
输入信号幅度	SFDR (dBc)	SINAD (dB)	SNR (dB)	二次谐波 (dBc)	三次谐波 (dBc)
-1dBFS	71.8	66.8	68.7	-86.3	-71.8
-4dBFS	75.0	66.3	66.9	-90.9	-75.0
-7dBFS	79.9	64.2	64.3	-95.7	-79.9
-10dBFS	86.5	61.7	61.8	-93.9	-86.5
-13dBFS	84.5	61.3	61.3	-93.5	-90.5
-16dBFS	78.8	58.1	58.2	-89.5	-88.3
-19dBFS	73.4	56.3	56.5	-86.0	-80.3
-22dBFS	70.3	53.9	54.1	-72.6	-72.2
-25dBFS	66.7	50.8	51.2	-66.7	-67.1
-28dBFS	56.7	47.4	48.4	-58.9	-56.7

-31dBFS	60.6	45.4	45.5	-71.4	-60.6
-34dBFS	59.2	42.4	42.6	-68.8	-59.2
-37dBFS	53.2	39.3	39.5	-65.5	-53.2
-40dBFS	52.1	36.5	36.7	-58.9	-52.1
-43dBFS	49.4	33.4	33.6	-53.0	-49.4

测试结果表明：输入信号的幅度降低，信噪比降低，同时谐波分量也降低。

第八节 时钟抖动对 ADC 性能的影响

为了比较时钟抖动对 ADC 性能的影响，分别在同样的条件下测试两种时钟耦合方式下的输出频谱。一种采用无源的变压器时钟耦合方式（结果如图 7-8-1a 所示）；另一种采用有源器件的 ECL 线接收器方式耦合时钟（结果如图 7-8-1b 所示）。由于时钟耦合方式的不同，同样的时钟源耦合到 AD6644 后，其时钟抖动的情况是不同的。两种情况下的输入信号频率为 55MHz，幅度 -1dBFS；采样频率为 64MHz。



a. 变压器耦合

b. ECL 线接收器耦合

图 7-8-1 不同时钟耦合方式下的测试结果

由于变压器是无源器件，它引入的抖动较小。这种情况下的 SNR 为 70.66dB；二次谐波 -89.97dBc；三次谐波 -82.9dBc。当用 ECL 线接收器耦合时钟，由于线接收器是个有源器件，引入的抖动大，因此各项指标均下降，分别为 SNR：67.77dB；二次谐波 -78.39dBc；三次谐波 -71.62dBc。

第九节 ADC 双音互调的测试

分别使用两个信号源和带通滤波器，把两路频率相近的信号用合路器合成为一路信号送入 ADC 进行测试。注意：两路信号不能是满幅度，否则会造成 ADC 溢出。

采样频率：64MHz；采样点数：16K；信号频率：f1=51MHz，f2=55MHz

		SFDR	IMD3
A1=-7.0dBFS	A2=-7.0dBFS	81.0 dBFS	-81.0 dBFS (31 M)
A1=-17.0dBFS	A2=-17.0dBFS	84.0 dBFS	-84.0 dBFS (31 M)
A1=-27.0dBFS	A2=-27.0dBFS	95.0 dBFS	-98.1 dBFS (IMD2: 4 M)
A1=-37.0dBFS	A2=-37.0dBFS	101.0 dBFS	-102.6 dBFS (29 M)
A1=-47.0dBFS	A2=-47.0dBFS	94.8 dBFS	-94.8 dBFS (IMD2: 22 M)
A1=-57.0dBFS	A2=-57.0dBFS	95.1 dBFS	-95.1 dBFS (IMD2: 22 M)

双音互调的测试结果表明 AD6644 的 IMD 指标还是非常好的。

第十节 前端电路对 ADC 指标的影响

为了了解前端电路对 ADC 性能的影响，我们在 ADC 测试板的模拟输入端再加一个运放，型号是 OPA642，G 置为 2，如图 7-10-1 所示。OPA642 的主要性能指标如下：

- LOW DISTORTION: 95dBc at 5MHz
- GAIN OF +1 BANDWIDTH: 400MHz
- HIGH OPEN LOOP GAIN: 95dB
- HIGH COMMON-MODE REJECTION: 90dB
- FAST 12-BIT SETTling: 13ns (0.01%)
- LOW NOISE: 2.7nV/Hz
- VERY LOW DIFF GAIN/PHASE ERROR: 0.007%/0.008°

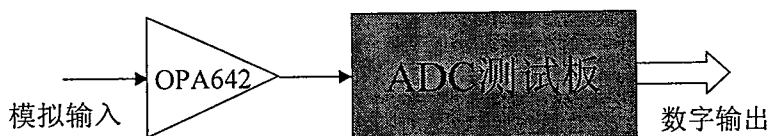
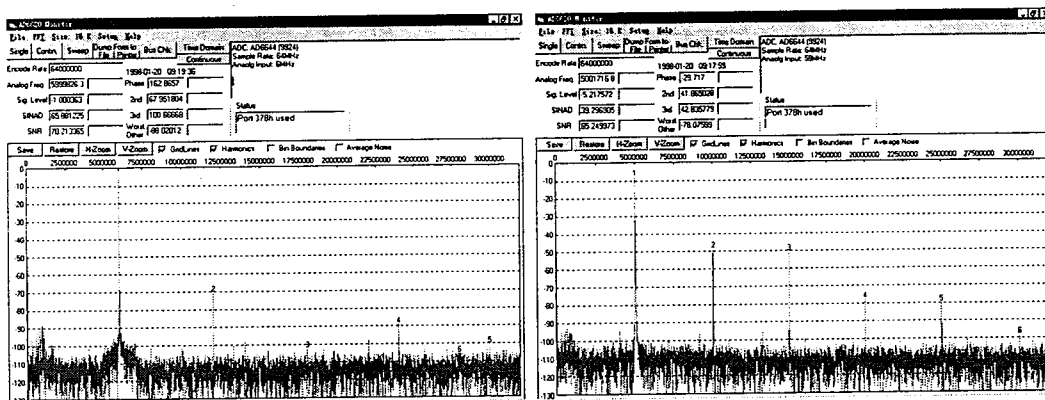


图7-10-1 在ADC测试板模拟输入端加一个运放



6MHz, -1dBFS 输入信号

59MHz, -1dBFS 输入信号

图 7-10-2 64MHz 采样频率下的频谱

从图 7-10-2 中可以看出：当 ADC 前加上一个运放后，A/D 转换后的谐波分量明显加大，特别是二次谐波，且模拟输入频率越高，其产生的谐波分量也越大。这些谐波分量的增加量都是由运放造成的。运放就像在 ADC 前面再加了一级输入缓冲，降低了 ADC 的 SFDR 指标，并且增加的谐波分量不能靠 dither 来改善。

第十一节 测试结果分析

AD6644 的结构如图 7-11-1 所示，从整体上可以把它分为两部分：前端电路和量化器。前端电路由输入缓冲电路、采样/保持开关电路、保持电容及输出缓冲电路组成。对于高速、高精度的 ADC 来说，量化器一般由两级或三级低位数的 flash ADC 组成。

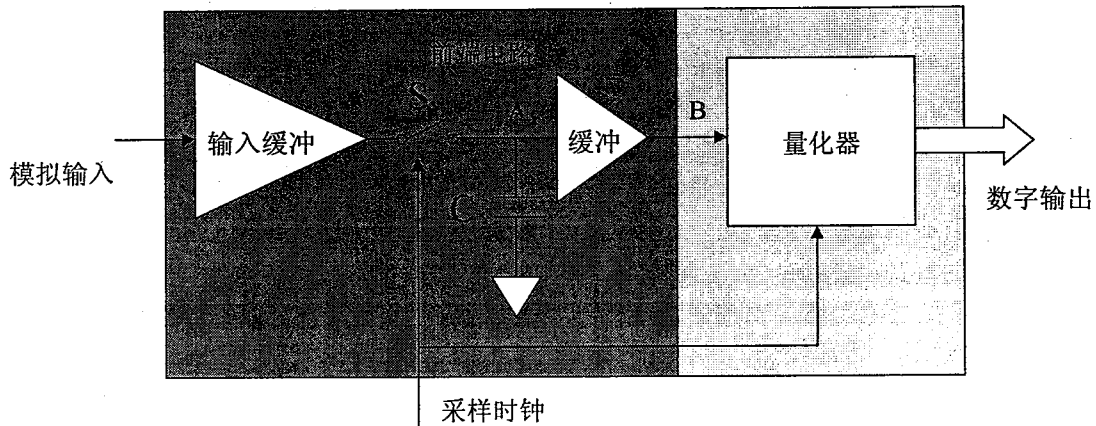


图 7-11-1 AD6644 的内部结构

无论是何种 ADC 芯片，只要具有采样/保持电路，其前端（front end）电路一定有输入缓冲器（实际上就相当于运放）。这个缓冲器是有一定带宽的，对 AD6644 来说，其带宽为 200MHz。由于这个带宽的限制或摆率（slew rate）的限制，对于任何一个模拟输入信号而言，经过这个缓冲器后都会产生谐波分量，而这些谐波分量不能靠 dither 来改善。

输入缓冲器后是采样/保持开关和保持电容 C。任何一个采样/保持开关都不可能是理想的，开关的闭合以及保持电容的充电都需要时间，这就是 ADC 的孔径时间。如果输入信号的频率很高，其上升沿或下降沿都很快，而其平顶部分则相对较慢。因此，对于信号变化快的部分，保持电容的充电需要的时间长；而对于信号变化慢的部分，保持电容的充电需要的时间短。这种不一致性同样会造成信号的失真，结果是产生各种谐波分量和噪声。同样的道理，采样/保持开关打开时也不是绝对断开，保持电容还会通过开关和后一级缓冲器不断地放电。一般来说，保持电容的充放电时间是针对 ADC 的最高采样频率来设计。为了能够实现高速采样，则必须选用容量小的电容，而容量小的电容又不能保持较长的时间。因此，采样/保持电路的充放电是非线性的。对于 AD6644 来说，保持电容的充放电时间是针对 65MHz 采样频率来设计的，这就说明了前面的测试结果：即在 50MHz~65MHz 的采样频率下，信噪比（SNR）最好；而当采样频率降低时（<20MHz），信噪比反而降低。

另外，当 ADC 的模拟供电电压升高时，其指标也有所改进，这也是因为前端电路的原因。当模拟供电电压升高时，给电容充电的电压也升高，充电时间加快，也就等于增加了 Slew Rate，从而使采样的电压更接近实际值。

保持电容的电压被缓冲后由量化器进行量化。对量化器而言，其输入的信号在每个采样周期是一个基本不变的电平。对于 AD6644 来说，其量化器由三级低位数的 ADC 组成。这种 ADC 量化器的传输函数实际上是非线性的，其微分非线性（DNL）呈周期性变化。这种周期性变化的 DNL 特性和量化器的量化特性（周期性的量化台阶）都会使 A/D 转换器在模/数转换时产生量化噪声，并且量化噪声在一定程度上是输入信号的函数，所以量化噪声中谐波分量较大。而 dither 的作用就是打乱这种周期性的变化规律，从而使量化噪声与输入信号不相关。这样量化噪声对谐波分量的贡献就被均匀地分散到所有的频谱成分中，谐波分量的减少也就改善了 SFDR。

由于 AD6644 量化器中三级低位数 ADC 之间增加了修正位，使得其 DNL 的周期性并不明显。另外，实际的量化器周期性的量化台阶也并不绝对均匀。所以，由于量化器传递函数周期性特性和量化而产生的谐波分量就比较小（见 6MHz 信号输入频率下测试结果）。当输入信号频率增大（ $>f_s/2$ ），前端电路产生谐波分量也明显增大，而量化器传递函数周期性特性和量化产生的谐波分量还是比较小，但总的谐波分量变大（见 59MHz 信号输入频率下

测试结果), 而 dither 只能改善由量化器传递函数周期性特性和量化产生的谐波分量, 再加上时钟的抖动也相当于一种宽带 dither, 所以外加的窄带 dither 对总的谐波分量的改善不大。

如果输入信号的幅度降低, ADC 前端电路非线性产生的谐波分量减小, 影响整个 ADC SFDR 指标的因素是量化器产生的谐波分量。同时, 输入信号幅度的降低使得可以再加大 dither 输入能量, 大部分 dither 的幅度可以跨越 ADC 的分级幅度区间, 从而大大改善因 DNL 非线性所造成的谐波分量, 并使 SFDR 得到明显的改善。

时钟的抖动是影响 ADC 性能指标的非常关键因素, 特别是对于高速高精度的 ADC 来说。测试结果验证了第二章第三节的结论。所以要提高信噪比, 必须尽可能地采用无源器件耦合时钟以降低时钟抖动。

总之, dither 能改善由量化器产生的谐波, 时钟抖动会降低 ADC 的性能。对 AD6644 这种高性能的 IF 采样 ADC 来说, 其性能由多种因素决定。必须认真考虑各种因素的影响, 才能使 ADC 达到其最佳状态。在和 ADI 工程师的多次讨论和测试结果比较中可以得出这样的结论: 本设计所得到的测试结果与 ADI 测试的结果相符合。

第八章 数控振荡器与数字滤波器

在第一章中介绍了数字下变频的基本原理和结构,数字下变频中两个主要部分就是数控振荡器和数字滤波器。本章介绍数控振荡器和数字滤波器的原理和设计。

第一节 数控振荡器

数控振荡器(NCO)是一个能产生两路正交数字频率输出的器件,它是数字下变频中不可缺少的一个环节。图 8-1-1 是一个 NCO 的原理框图。

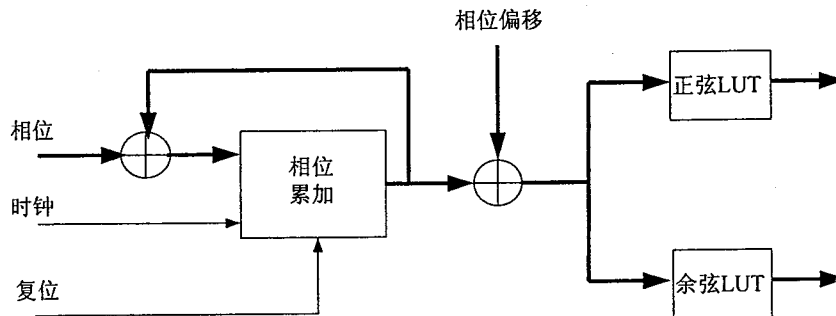


图 8-1-1 NCO 的原理框图

数控振荡器(NCO)主要由相位累加器和正弦、余弦查找表(Look Up Table)组成。在每个时钟沿将上次的相位和输入的相位相加得到本次的相位,再根据相位在正弦、余弦查找表(LUT)中查找出对应的正弦和余弦值后将其输出。正弦、余弦查找表(LUT)中按以下函数存放数据:

$$\sin(n) = \sin(2\pi n/N)$$

$$\cos(n) = \cos(2\pi n/N)$$

这里, n 是输入到 LUT 中的地址;

N 是 LUT 中样本的数量;

$\sin(n)$ 是正弦波在 $(2\pi n/N)$ 位置的幅度;

$\cos(n)$ 是余弦波在 $(2\pi n/N)$ 位置的幅度。

将 n 从 0 增加到 N 使得 LUT 输出一个完整周期的正弦和余弦波形的幅度值。 $2\pi n/N$ 代表 0 到 2π 之间被分出的相位角。根据输入控制数据决定 n 在输出周期(时间间隔 t)内如何在 0 到 N 之间增加。每个系统时钟下, LUT 的地址增加一次,其增加量由相位输入数据 $phase[m..0]$ 来控制。相位角数据由累加器累加并存储在累加器寄存器中。相位累加器的输出用于决定 LUT 的地址。

一旦系统时钟的频率(f_{CLK})确定,则 NCO 输出的正弦和余弦波频率为:

$$f = 1/t = f_{clk} \times phase[m..0]/2^m \quad (8-1-1)$$

所以, NCO 的输出频率由输入系统时钟的频率和输入相位决定的。相位值的宽度 m 决定了 NCO 的最小频率调节值。当输入的相位值为 1 时,宽度为 w 时,输出最低频率 $f = f_{clk}/2^w$,也就是输出频率的调节精度。根据奈奎斯特采样定理,输出最大频率为 $f_{clk}/2$ 。NCO 输出正弦、余弦波幅度的位数由 LUT 中的数据位数决定。

数控振荡器有专门的芯片。由于其原理较简单,对芯片的资源占用不大,所以,在数字

下变频中一般将其直接设计在芯片中。当然，也可以用 FPGA 或 EPLD 来实现。

第二节线性相位 FIR 滤波器

由于有限长度脉冲响应数字滤波器 (FIR digital filter) 具有精确的线性相位且不存在发散问题 (通过直接卷积的 FIR 滤波器总是稳定的)，加上其可以高效地实现，所以数字下变频中都使用 FIR 滤波器。

8-2-1 线性相位 FIR 滤波器的特性

令 $\{h(n)\}$ 表示在区间 $0 \leq n \leq N-1$ 定义的因果的有限长序列。 $\{h(n)\}$ 的 z 变换为

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n} = h(0) + h(1)z^{-1} + \cdots + h(N-1)z^{-(N-1)} \quad (8-2-1)$$

$\{h(n)\}$ 傅里叶的变换为

$$H(e^{j\omega}) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n} \quad (8-2-2)$$

$H(e^{j\omega})$ 是频率的周期函数，以 2π 为周期，即

$$H(e^{j\omega}) = H[e^{j(\omega+2\pi m)}] \quad m = 0, \pm 1, \pm 2 \cdots \quad (8-2-3)$$

在限定 $\{H(n)\}$ 为实数的情况下，通过把 $H(e^{j\omega})$ 写成的幅值相位表达式，即

$$H(e^{j\omega}) = \pm |H(e^{j\omega})| e^{j\theta(\omega)} \quad (8-2-4)$$

则可得到对 $H(e^{j\omega})$ 的附加约束。(8-2-4) 式中的 \pm 号是不可省略的，因为 $H(e^{j\omega})$ 实际上是

$$H(e^{j\omega}) = H^*(e^{j\omega}) e^{j\theta(\omega)} \quad (8-2-5)$$

的形式，式中的 $H^*(e^{j\omega})$ 是不但取正值而且也取负值的实函数。从 (8-2-2) 式中的可以看出，傅里叶变换的幅值是一对称函数而相位则是一反对称函数，即

$$|H(e^{j\omega})| = |H(e^{-j\omega})| \quad 0 \leq \omega \leq \pi \quad (8-2-6a)$$

$$\theta(\omega) = -\theta(-\omega) \quad (8-2-6b)$$

对于许多实际的 FIR 滤波器来说，精确的线性相位关系是一希望达到的目标。现在来确定要得到精确的线性相位对脉冲响应需加哪些约束。因此我们把线性相位这一约束加到

$\theta(\omega)$ 上，即 $\theta(\omega)$ 应是

$$\theta(\omega) = -\alpha\omega \quad -\pi \leq \omega \leq \pi \quad (8-2-7)$$

的形式，式中 α 是用样本数计算的恒定相位延迟。利用 (8-2-4) 式和 (8-2-7) 式的结果，可以把 (8-2-2) 式写成如下形式

$$H(e^{j\omega}) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n} = \pm |H(e^{j\omega})| e^{-j\alpha\omega} \quad (8-2-8)$$

使 (8-2-8) 式两边分量的实部和虚部分别对应相等，得到两个方程

$$\pm |H(e^{j\omega})| \cos(\alpha\omega) = \sum_{n=0}^{N-1} h(n) \cos(\omega n) \quad (8-2-9a)$$

$$\pm |H(e^{j\omega})| \sin(\alpha\omega) = \sum_{n=0}^{N-1} h(n) \sin(\omega n) \quad (8-2-9b)$$

取 (8-2-9a) 式同 (8-2-9b) 式之比 (以便从方程中消去 $\pm |H(e^{j\omega})|$)，得到关系

$$\frac{\sin(\alpha\omega)}{\cos(\alpha\omega)} = \tan(\alpha\omega) = \frac{\sum_{n=0}^{N-1} h(n) \sin(\omega n)}{\sum_{n=0}^{N-1} h(n) \cos(\omega n)} \quad (8-2-10)$$

或

$$\tan(\alpha\omega) = \frac{\sum_{n=1}^{N-1} h(n) \sin(\omega n)}{h(0) + \sum_{n=1}^{N-1} h(n) \cos(\omega n)} \quad (8-2-11)$$

方程 (8-2-10) [或 (8-2-11)] 存在两种可能解。第一种可能的情况是 $\alpha = 0$ ，这意味着 [方程 (8-2-11)]

$$0 = \frac{\sum_{n=1}^{N-1} h(n) \sin(\omega n)}{h(0) + \sum_{n=1}^{N-1} h(n) \cos(\omega n)} \quad (8-2-12)$$

在此情况下唯一的解是 $h(0)$ 取任意值而当 $n \neq 0$ 时， $h(n) = 0$ ；即滤波器的脉冲响应是一脉冲。这是一个没有多大用处的结果。另一个唯一可能的情况为 $\alpha \neq 0$ ，这就是说通过各项交叉相乘，方程 (8-2-10) 可改写成

$$\sum_{n=0}^{N-1} h(n) \cos(\omega n) \sin(\alpha\omega) - \sum_{n=0}^{N-1} h(n) \sin(\omega n) \cos(\alpha\omega) = 0 \quad (8-2-13)$$

$$\text{或化简成 } \sum_{n=0}^{N-1} h(n) \sin[(\alpha - n)\omega] = 0 \quad (8-2-14)$$

由于方程 (8-2-14) 是傅里叶级数形式的，如果能求出任何一个解，则可以保证这个解

必定是唯一的。很容易看出，下面的一组条件是方程 (8-2-14) 的一个解，即

$$\alpha = \frac{(N-1)}{2} \quad (8-2-15)$$

$$h(n) = h(N-1-n) \quad 0 \leq n \leq N-1 \quad (8-2-16)$$

应该强调一下 (8-2-15) 和 (8-2-16) 式的重要性。(8-2-15) 式说明，对应 N 的每一个值相位延迟 α 只有一个值能够精确地得到线性相位。(8-2-16) 式说明，对应于 (8-2-15) 式所确定的 α 值，脉冲响应序列必定具有特定的对称关系。

值得分别研究一下 N 取奇数或取偶数两种情况下 (8-2-15) 式和 (8-2-16) 式的含义。当 N 为奇数时， α 为一整数，这就是说滤波器的延迟是整数个样本间隔。图 8-2-1 示出 $N=11$ 即 $\alpha=5$ 的情况下线性相位滤波器的典型脉冲响应序列。序列的对称中心位于第五个样本处。

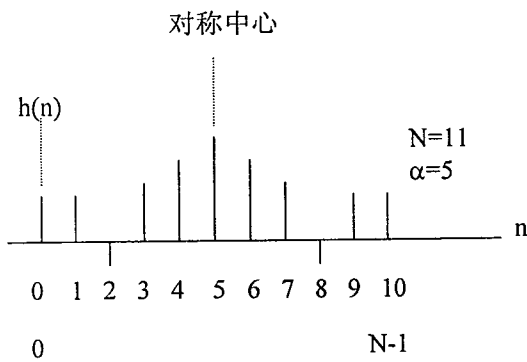


图 8-2-1 N 为奇数，偶对称的典型脉冲响应

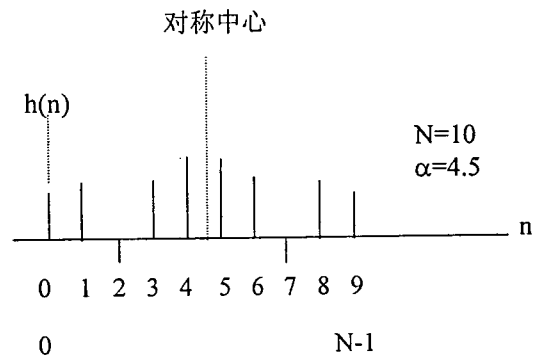


图 8-2-2 N 为偶数，偶对称的典型脉冲响应

N 为偶数时，线性相位滤波器的典型脉冲响应序列示于图 8-2-2。在此图中， $N=10$ ；从 (3-2-15) 式得 $\alpha = \frac{9}{2} = 4.5$ 。因此滤波器的延迟为 $4\frac{1}{2}$ 个样本间隔，这就反映出脉冲响应的对称中心位于样本间隔的中间，如图 8-2-2 所示。

线性相位滤波器的定义[(8-2-7)式]，要求滤波器既要具有恒定的群延迟（即相位对频率的导数）又要具有恒定的相位延迟（即相位除以频率）。但若只需要具有恒定的群延迟（经常有此情况），则可以定义另一类“线性相位”滤波器，在这种滤波器中， $H(e^{j\omega})$ 的相位是 ω 的分段线性函数，即

$$H(e^{j\omega}) = \pm |H(e^{j\omega})| e^{j(\beta - \alpha\omega)} \quad (8-2-17)$$

用类似 (8-2-8) 到 (8-2-14) 式中所作的那种论证，可以得出对 $\{h(n)\}$ ， α 和 β 的唯一可能的解是

$$\alpha = \frac{(N-1)}{2} \quad (8-2-18a)$$

$$\beta = \pm \frac{\pi}{2} \quad (8-2-18b)$$

$$h(n) = -h(N-1-n) \quad 0 \leq n \leq N-1 \quad (8-2-18c)$$

满足(8-2-18)式的滤波器所具有的延迟仍为 $[(N-1)/2]$ 个样本间隔,但其脉冲响应是相对序列中心反对称的,这同真正的线性相位序列比较,情况正好相反,后者是相对序列中心对称分布的。同样的道理,可以得出滤波器在 N 取奇数和取偶数两种情况下反对称的脉冲响应。应该注意对于 N 为奇数的情况,(8-2-18c)式要求 $h[(N-1)/2]=0$ 。

总之,线性相位 FIR 滤波器有四种可能的类型,取决于滤波器脉冲响应序列的 N 值(奇或偶)和对称形式(对称或反对称),

8-2-2 线性相位 FIR 滤波器的频率响应

把线性相位 FIR 滤波器的频率响应写成如下形式:

$$H(e^{j\omega}) = H^*(e^{j\omega})e^{j(\beta-\alpha\omega)} \quad (8-2-19)$$

式中 $H^*(e^{j\omega})$ 是纯粹实数而 α 和 β 由(8-2-18)式给定,对于四种类型的线性相位滤波器中的每一种,都可以用脉冲响应系数来表示相应的 $H^*(e^{j\omega})$ 。下面将推导出四种情况下的频率响应公式,它们在后面的给定频率响应来匹配 FIR 滤波器的各种设计方法要用到。

第一种情形 对称脉冲响应, N 为奇数

对于这种情况,可以把 $H(e^{j\omega})$ 写成如下形式:

$$\begin{aligned} H(e^{j\omega}) = & \sum_{n=0}^{(N-3)/2} h(n)e^{-j\omega n} + h\left[\frac{(N-1)}{2}\right]e^{-j\omega(N-1)/2} \\ & + \sum_{n=(N+1)/2}^{N-1} h(n)e^{-j\omega n} \end{aligned} \quad (8-2-20)$$

在(8-2-20)式后一总和中,代入 $m=N-1-n$,得

$$\begin{aligned} H(e^{j\omega}) = & \sum_{n=0}^{(N-3)/2} h(n)e^{-j\omega n} + h\left[\frac{(N-1)}{2}\right]e^{-j\omega(N-1)/2} \\ & + \sum_{m=0}^{(N-3)/2} h(N-1-m)e^{-j\omega(N-1-m)} \end{aligned} \quad (8-2-21)$$

由于 $h(n) = h(N-1-n)$,第一和第三个总和可以合并而 $e^{-j\omega(N-1)/2}$ 可作为公因式提出,得

$$\begin{aligned} H(e^{j\omega}) = & e^{-j\omega(N-1)/2} \times \left\{ \sum_{n=0}^{(N-3)/2} h(n) \left\{ e^{j\omega[(N-1)/2-n]} + e^{-j\omega[(N-1)/2-n]} \right\} \right. \\ & \left. + h\left[\frac{(N-1)}{2}\right] \right\} \end{aligned} \quad (8-2-22)$$

或写成

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} \times \left\{ \sum_{n=0}^{(N-3)/2} 2h(n) \cos\left[\omega\left(\frac{N-1}{2}-n\right)\right] + h\left[\frac{(N-1)}{2}\right] \right\} \quad (8-2-23)$$

令 $m = (N-1)/2 - n$, (8-2-23) 式变成

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} \left[\sum_{m=0}^{(N-3)/2} 2h\left(\frac{N-1}{2} - m\right) \cos(\omega m) + h\left[\frac{(N-1)}{2}\right] \right] \quad (8-2-24)$$

最后令 $a(0) = h[(N-1)/2]$, $a(n) = 2h[(N-1)/2 - n]$, $n=1, 2, \dots, (N-1)/2$, 可以把 (8-2-24) 式写成

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} \left[\sum_{n=0}^{(N-1)/2} a(n) \cos \omega n \right] \quad (8-2-25)$$

这就是所要求的结果。因此对于第一种情形有:

$$H^*(e^{j\omega}) = \sum_{n=0}^{(N-1)/2} a(n) \cos(\omega n) \quad (8-2-26)$$

第二种情形 对称脉冲响应, N 为偶数

对于这种情况, $H(e^{j\omega})$ 采取如下形式:

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} \left\{ \sum_{n=0}^{N/2-1} 2h(n) \cos \left[\omega \left(\frac{N}{2} - n - \frac{1}{2} \right) \right] \right\} \quad (8-2-27)$$

令

$$b(n) = 2h\left(\frac{N}{2} - n\right) \quad n = 1, 2, \dots, \frac{N}{2}$$

(8-2-27)式变成

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} \left\{ \sum_{n=1}^{N/2} b(n) \cos \left[\omega \left(n - \frac{1}{2} \right) \right] \right\} \quad (8-2-28)$$

所以对于第二种情形

$$H^*(e^{j\omega}) = \sum_{n=1}^{N/2} b(n) \cos \left[\omega \left(n - \frac{1}{2} \right) \right] \quad (8-2-29)$$

应注意到, 在 $\omega = \pi$ 时, $H^*(e^{j\omega}) = 0$, 从而不依赖于 $b(n)$ [或 $h(n)$]. 这意味着, 频率响应在 $\omega = \pi$ 处不为零的滤波器 (如高通滤波器) 不能用这种类型的数字滤波器来满意地逼近。

第三种情形 反对称脉冲响应, N 为奇数

对于第三种情况, $H^*(e^{j\omega})$ 的推导除了由于 $\{h(n)\}$ 的反对称性质, 把 (8-2-24) 式中的余弦总和换成正弦总和乘以 j 外, 几乎完全同第一种情形的推导一样, 即把 (8-2-24) 式换成

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} e^{j\pi/2} \left[\sum_{m=0}^{(N-3)/2} 2h\left(\frac{N-1}{2} - m\right) \sin(\omega m) \right] \quad (8-2-30)$$

前面已解释过, 在所研究的情况下, $h[(N-1)/2] = 0$ 。用 $c(n) = 2h[(N-1)/2 - n]$ [$n = 1, 2, \dots, (N-1)/2$] 代入 (8-2-30) 式, 得

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} e^{j\pi/2} \left[\sum_{n=0}^{(N-1)/2} c(n) \sin(\omega n) \right] \quad (8-2-31)$$

因此对于第三种情形

$$H^*(e^{j\omega}) = \sum_{n=1}^{(N-1)/2} c(n) \sin(\omega n) \quad (8-2-32)$$

在频率 $\omega = 0$ 和 $\omega = \pi$ 处, 由 (8-2-32) 式可以看出, $H^*(e^{j\omega}) = 0$, 从而不依赖于 $c(n)$ [或 $h(n)$]。除此以外, (8-2-31) 式中的因子 $e^{j\pi/2} = j$ 表示频率响应除差一线性相位因子外为虚数。所以, 这种情形的滤波器最适合于用作希尔伯特变换器和微分器。

第四种情形 反对称脉冲响应, N 为偶数

这种情况的 $H(e^{j\omega})$ 除了总和中余弦项换成正弦项乘以 j 外, 同第二种情形所得结果是一样的。因此把 (8-2-27) 式换成:

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} e^{j\pi/2} \left\{ \sum_{n=0}^{(N/2)-1} 2h(n) \sin\left[\omega\left(\frac{N}{2} - n - \frac{1}{2}\right)\right] \right\} \quad (8-2-33)$$

令

$$d(n) = 2h\left(\frac{N}{2} - n\right) \quad n = 1, 2, \dots, \frac{N}{2}$$

(8-2-33) 式变成

$$H(e^{j\omega}) = e^{-j\omega(N-1)/2} e^{j\pi/2} \left\{ \sum_{n=1}^{N/2} d(n) \sin\left[\omega\left(n - \frac{1}{2}\right)\right] \right\} \quad (8-2-34)$$

于是对于第四种情形得

$$H^*(e^{j\omega}) = \sum_{n=1}^{N/2} d(n) \sin\left[\omega\left(n - \frac{1}{2}\right)\right] \quad (8-2-35)$$

对于第四种情形, 在 $\omega = 0$ 处, $H^*(e^{j\omega}) = 0$ 。所以这类滤波器最适合于用来逼近诸如微分器、希尔伯特变换器等。

图 8-2-3 是以上推导所得结果的综合性概括。在图中显示出的有典型脉冲响应序列 $h(n)$, 产生的延迟序列 [依据各种情况, 分别为 $a(n)$ 到 $d(n)$], 还有这四种线性相位 FIR 滤波器每一种所具有的典型频率响应函数 $H^*(e^{j\omega})$ 。

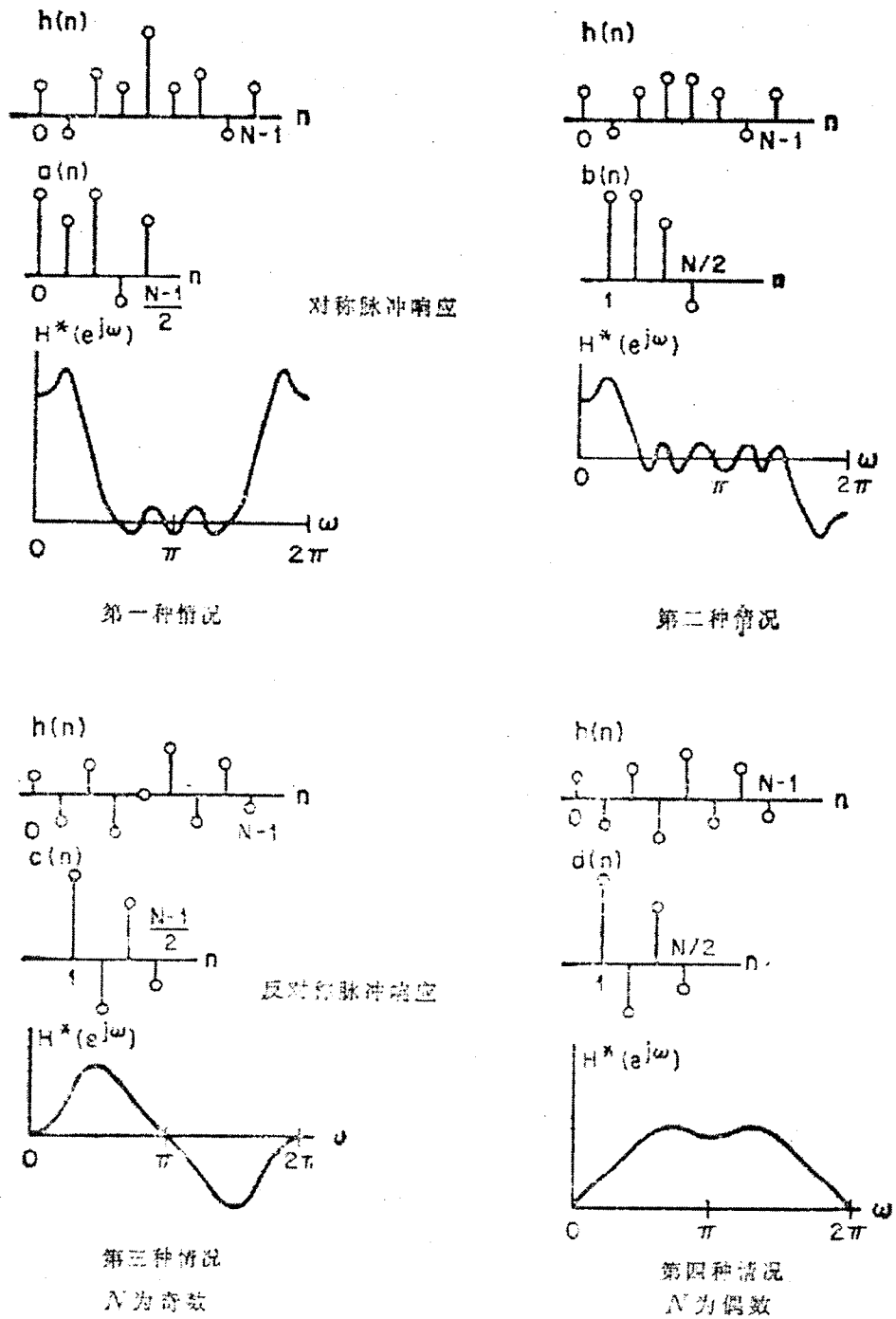


图 8-2-3 各种线性相位滤波器的性能

对于第一、第二种情况，FIR 滤波器呈现低通滤波特性，这是数字下变频中所要用到的，因此，数字下变频中的滤波器都是对称脉冲响应的 FIR 滤波器。

8-2-3 线性相位 FIR 滤波器的设计方法

设计线性相位 FIR 滤波器常用的方法主要有三种，即窗孔加权法，频域抽样法，最优

(切比雪夫意义上的)滤波器设计法。由于在特定的用途中采用何种滤波器要取决于许多因素, 因根据实际需要和技术要求来确定设计方法。

(1) 设计方法之一 ——窗孔加权法

由于任何一个数字滤波器的频率响应 $H(e^{j\omega})$ 都是频率的周期函数, 所以可以把它展开为傅里叶级数。得到的级数形式如下

$$H(e^{j\omega}) = \sum_{n=-\infty}^{\infty} h(n)e^{-jn\omega} \quad (8-2-36)$$

$$\text{式中} \quad h(n) = \frac{1}{2\pi} \int_0^{2\pi} H(e^{j\omega}) e^{jn\omega} d\omega \quad (8-2-37)$$

不难看出, 傅里叶级数的诸系数 $h(n)$ 同数字滤波器的脉冲响应完全一致。用 (8-2-36) 式的表示形式来设计 FIR 滤波器有两个困难。第一, 由于 (8-2-36) 式的总和延伸到 $\pm\infty$, 滤波器的脉冲响应在时间长度上是无限的。第二, 这种滤波器是不能实现的, 因为脉冲响应从 $-\infty$ 开始, 即不存在可使脉冲响应能实现的有限延迟。所以从 $H(e^{j\omega})$ 的傅里叶级数表达式所得到的滤波器是不能实现的 IIR 滤波器。

获得频率响应逼近 $H(e^{j\omega})$ 的 FIR 滤波器的一种可能途径是在 $n = \pm M$ 处截断 (8-2-36) 式的无穷的傅里叶级数。但直接截断此级数将导致大家都知道的所谓吉布斯 (Gibbs) 现象以一定百分比的过冲和纹波的形式出现在所逼近的脉冲响应不连续点前后。因此, 例如在逼近象理想的低通或带通这类标准的滤波器时, 频率响应的最大纹波大约是不连续点幅值的 9%, 而且纹波幅值并不随着脉冲响应持续增长而减小, 也就是说, 一再增多傅里叶级数所包含的项数并不能使最大纹波的幅值降低。事实上, 随着 M 的增大过冲将限制在愈来愈小的频率范围内。由于任何合理的设计方法必须能够用来设计出性能充分逼近理想的低通滤波器, 所以直接截断 (8-2-36) 式不是获得 FIR 滤波器的合理方法。

一种设计 FIR 滤波器的较有成效的方法是用一个称为窗孔的有限加权序列 $w(n)$ 去修改 (8-2-36) 式中的各傅里叶系数 $h(n)$, 从而控制傅里叶级数的收敛。图 8-2-4 是对窗孔加权法的图解。在图的第一行示出所需要的周期频率响应 $H(e^{j\omega})$ 和它的傅里叶级数系数 $\{h(n)\}$ 。第二行示出一长度有限的加权序列 $w(n)$ 及其傅里叶变换 $W(e^{j\omega})$ 。对于大多数合理的窗孔来说, $W(e^{j\omega})$ 由包含窗孔大部分能量的主瓣和一般是迅速衰减的旁瓣组成。为了产生对 $H(e^{j\omega})$ 的 FIR 逼近, 建立序列 $\hat{h}(n) = h(n) \cdot w(n)$ 。在区间 $-M \leq n \leq M$ 以外, $\hat{h}(n)$ 完全等于零。图 8-2-4 的第三行示出 $\hat{h}(n)$ 及其傅里叶变换 $\hat{H}(e^{j\omega})$, 由于 $\hat{h}(n)$ 是

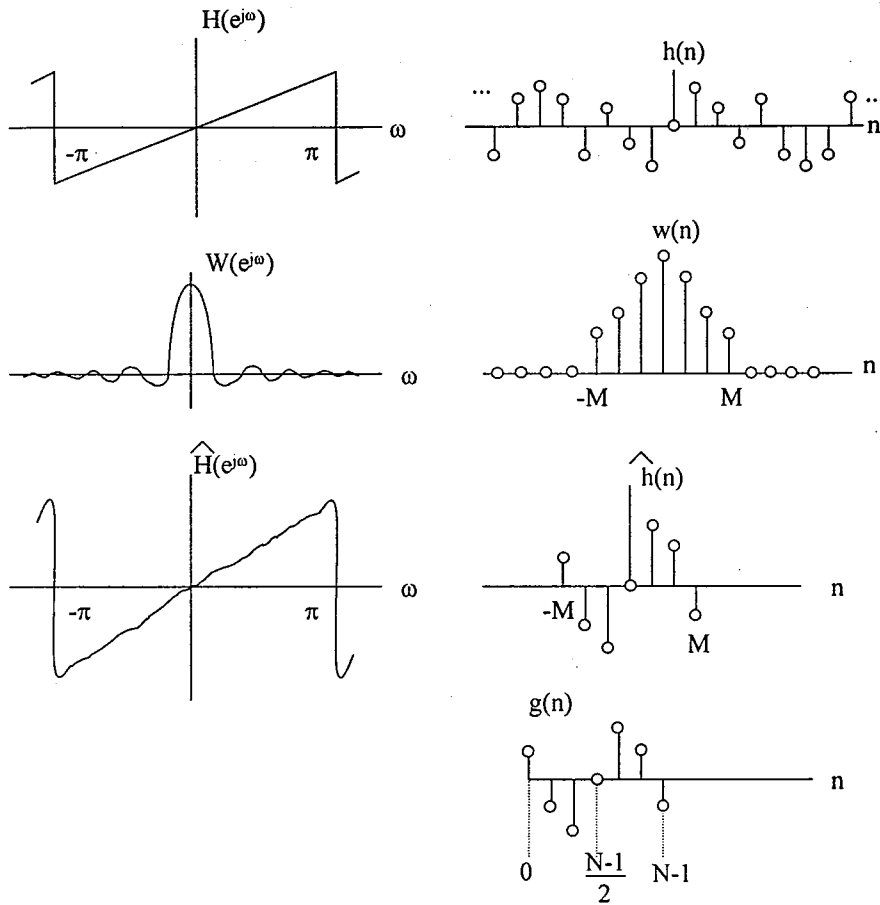


图 8-2-4 窗孔加权图解

序列 $h(n)$ 和 $w(n)$ 的乘积，容易看出 $\hat{H}(e^{j\omega})$ 是 $H(e^{j\omega})$ 同 $W(e^{j\omega})$ 的循环卷积。图 8-2-4 的最后一行示出可实现的序列 $g(n)$ ，它是 $\hat{h}(n)$ 经过延迟而得出的，可以用作所需要的滤波器脉冲响应。

从图 8-2-4 的简例看出，窗孔加权滤波器的傅里叶系数对于得出的频率响应有一些值得注意的影响。一个主要的影响是 $H(e^{j\omega})$ 的各不连续点变成这些点两边的值之间的转变带。由于最终得到的滤波器频率响应是理想频率响应同窗孔频率响应的循环卷积，很清楚这些转变带的宽度取决于 $W(e^{j\omega})$ 主瓣的宽度。窗孔加权的第二个影响是来自 $W(e^{j\omega})$ 的旁瓣的纹波会在所有频率产生逼近误差（得到的频率响应有纹波）。最后一点，由于滤波器的频率响应是通过卷积关系得到的，很清楚所得到的这种滤波器在任何意义上都不是最优的，即使得到这种滤波器所用的窗孔可能满足某种合理的最优准则。

为了使实际上能得到的窗孔特性接近理想特性，要求：

- 1) 窗孔频率响应的主瓣宽度要小，其中包含的能量占全部能量的比例尽可能大；
- 2) 频率响应旁瓣所含能量随着 ω 趋向 π 而迅速减小。

(2) 设计方法之二 —— 频域抽样法

给定了脉冲响应系数 $\{h(n)\}$ 或者等效地给定了 DFT 系数 $\{H(k)\}$, 就能唯一地确定一个 FIR 滤波器。下面两个序列是通过 DFT 关系相联系的。

$$H(k) = \sum_{n=0}^{N-1} h(n)e^{-j(2\pi/N)nk} \quad \text{DFT} \quad (8-2-38)$$

$$h(n) = \frac{1}{N} \sum_{k=0}^{N-1} H(k)e^{j(2\pi/N)nk} \quad \text{IDFT} \quad (8-2-39)$$

还曾证明, 一 FIR 序列的 DFT 样本 $H(k)$ 可以看作是滤波器的 z 变换在单位圆上等距离分布的 N 点上取值所得的样本, 即

$$H(k) = H(z) \Big|_{z = e^{j(2\pi/N)k}} \quad (8-2-40)$$

因此, 通过把 (8-2-39) 式代入 $h(n)$ 的 z 变换式得出下式

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n} = \sum_{n=0}^{N-1} \left[\frac{1}{N} \sum_{k=0}^{N-1} H(k)e^{j(2\pi/N)nk} \right] z^{-n} \quad (8-2-41)$$

后, 就不难用 $h(n)$ 的 DFT 系数来表示 FIR 滤波器脉冲响应的 z 变换 $H(z)$ 。交换上式中总和的顺序并对标号 n 所有值求和, 得

$$H(z) = \sum_{k=0}^{N-1} \frac{H(k)}{N} \sum_{n=0}^{N-1} [e^{j(2\pi/N)k} z^{-1}]^n = \sum_{k=0}^{N-1} \frac{H(k)}{N} \frac{(1 - e^{j2\pi k} z^{-N})}{[1 - e^{j(2\pi/N)k} z^{-1}]} \quad (8-2-42)$$

由于 $e^{j2\pi k} = 1$, (8-2-42) 式可简化为

$$H(z) = \frac{(1 - z^{-N})}{N} \sum_{k=0}^{N-1} \frac{H(k)}{[1 - z^{-1} e^{j(2\pi/N)k}]} \quad (8-2-43)$$

这就是所要得到的结果。

对 (8-2-43) 的解释是这样的, 若要逼近任何连续的频率响应, 可以在环绕单位圆的 N 个等距离点按频率抽样 (频域样本) 而把连续频率响应作为抽样频率响应的内插来计算。于是在各抽样频率点逼近误差将完全为零而在它们之间则为有限值。所要逼近的频率响应越平滑, 抽样点之间的内插误差就越小。在图 8-2-5 中示出此过程的一个例子。(a) 是所需要的频率响应 (实线) 和一组频域样本 (黑点)。(b) 是频域样本的连续内插。

虽然可以直接用如上所述的方法来设计一种 FIR 滤波器, 为了提高逼近的质量, 即使得逼近误差小些, 可以把某些频域样本作为自由变量。一般通过计算机计算出这些自由变量的最优值使逼近误差的某种简单函数 (如逼近的峰值误差) 最小。例如, 可以选择位于所要

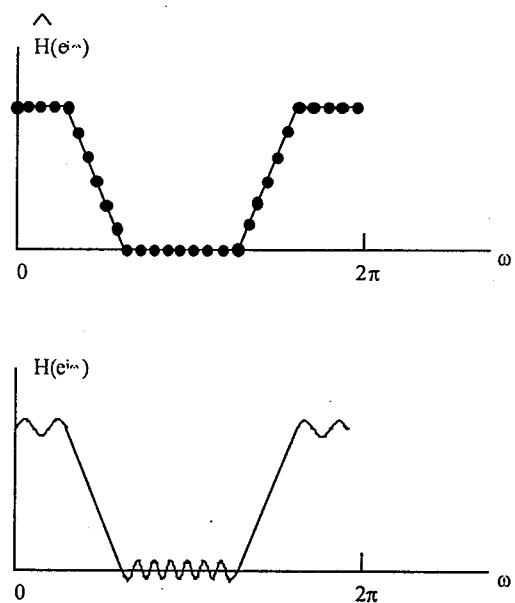


图 8-2-5 频域连续内插

求的频率响应两频带之间的转变带中的频域样本作为自由变量，对于低通滤波器，转变频带即通带与阻带之间的频带。

要了解只使 N 个频域样本中的少数几个最优化的这种方法为什么常能大大地减少逼近误差，就必须计算 (8-2-43) 式在单位圆上的值来得出滤波器的连续频率内插公式，即滤波器的频率响应。所得的公式为

$$H(e^{j\omega}) = \frac{e^{-j\omega(N-1/2)}}{N} \sum_{k=0}^{N-1} \frac{H(k)e^{-j(\pi k/N)} \sin(\omega N/2)}{\sin(\omega/2 - \pi k/N)} \quad (8-2-44)$$

(8-2-44) 式表明滤波器的频率响应是各频域样本 $H(k)$ 乘相应频率内插函数的线性组合，这些频率内插函数形式如

$$A(\omega, k) = e^{-j(\pi k/N)} \frac{\sin(\omega N/2)}{\sin(\omega/2 - \pi k/N)} = \pm e^{-j(\pi k/N)} \frac{\sin[N(\omega/2 - \pi k/N)]}{\sin(\omega/2 - \pi k/N)} \quad (8-2-45)$$

所以每一个其值为 $H(k)$ 的频域样本产生一个比例于常数倍函数 $\sin[N(\omega/2 - \pi k/N)]/\sin(\omega/2 - \pi k/N)$ 的频率响应；该函数是函数 $\sin(N\omega/2)/\sin(\omega/2)$ 在频率轴上移动一个等于 $\pi k/N$ 的值得到的。经证明转变频带中的内插函数 [即 $\sin(N\omega/2)/\sin(\omega/2)$] 对于相邻频带中的纹波能产生良好的抵消作用。所以，实践证明，只让那些处在预先选定的转变频带中的频域样本是自由变量，并使这些样本的值最优化，就可以设计出非常好的滤波器。

第三节CIC 滤波器

级联积分器——梳状滤波器 CIC(cascaded integrator-comb filter) 又称 Hogenauer 滤波器，它是一种高效、易实现的滤波器，它特别适合于高速数据率的场合。图 8-3-1 是一个 CIC 抽取滤波器的基本结构图。

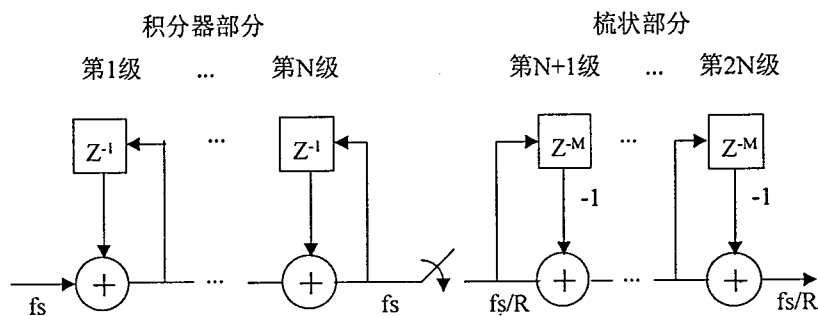


图 8-3-1 CIC 抽取滤波器的基本结构图

CIC 滤波器的积分器部分由 N 级理想的数字积分器组成，且全部工作在采样频率 f_s 速率下。每级积分器都是一个单节点、反馈系数为 1 的滤波器。每个积分器的传递函数为：

$$H_i(z) = \frac{1}{1 - z^{-1}} \quad (8-3-1)$$

CIC 滤波器的梳状部分工作在一个较低的频率 f_s/R ， R 是积分器速率降低因子。梳状部分由 N 级梳状滤波器组成，每级微分延迟 M 的样本。这个延迟值是控制滤波器频率响应的

设计参数。对于实际的滤波器延迟值 $M=1$ 或 2 。单级梳状滤波器的系统传递函数相对于高速数据速率如下：

$$H_C(z) = 1 - z^{-RM} \quad (8-3-2)$$

在积分器和梳状滤波器之间是一个数据速率转换器。转换器将最后一级积分器的输出数据速率从 f_s 降到 f_s/R (将多余的样本丢弃)。

整个 CIC 滤波器的传递函数是所有的积分器滤波器和梳状滤波器共同作用的结果。由式 (8-3-1) 和式 (8-3-2) 可以推出 CIC 滤波器相对高速数据速率 f_s 的传递函数为：

$$H(z) = H_I^N(z)H_C^N(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left[\sum_{k=0}^{RM-1} z^{-k} \right]^N \quad (8-3-3)$$

从 CIC 滤波器传递函数看出, CIC 实际上相当于一个 N 个均匀 FIR 滤波器的级连。常规情况下, 要实现一个 RM 阶的均匀 FIR 滤波器需要 RM 个存储寄存器。而降速率处理后, 每级梳状滤波器却只要 M 个存储寄存器。

必须指出的是, 每个积分器反馈系数都是 1, 数据通过所有的积分器后就有可能产生溢出。但采用下面的措施就可以避免: (1) 进入滤波器处理的数据是二的补码形式; (2) 滤波器内寄存器和加法器的位数高于进入数据的位数。

经济实用的 CIC 滤波器有以下优点: (1) 滤波器中没有乘法器, 只有加法器。(2) 不需要用寄存器来存储滤波器的系数。(3) 通过降低数据速率的处理, 减少了中间存储环节(寄存器)。(4) CIC 滤波器的结构非常规则, 只有两种基本的处理单元。(5) 只有极少的外部控制, 对时钟的要求也不高。(6) 通过改变降频因子 R 可以实现不同滤波器设计。

然而 CIC 滤波器也有其缺点: (1) 如果降频因子 R 大, 滤波器中的寄存器位数也必须相应增大。(2) 滤波器的频率响应仅仅由三个整数来决定 (R, M, N), 因此滤波器的特性是有限制的。

CIC 滤波器具有低通滤波器的特性, 如果把

$$z = e^{j(2\pi f/R)}$$

代入式 (8-3-3) 就得到 CIC 滤波器的频率响应:

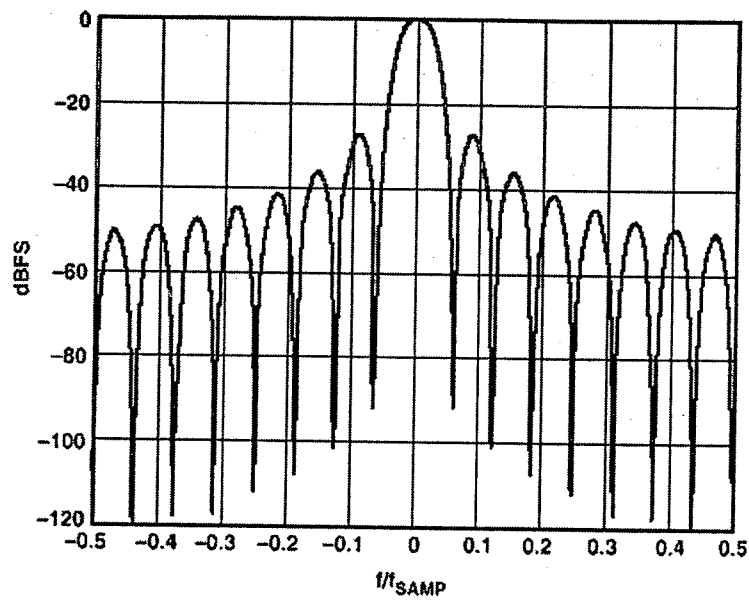
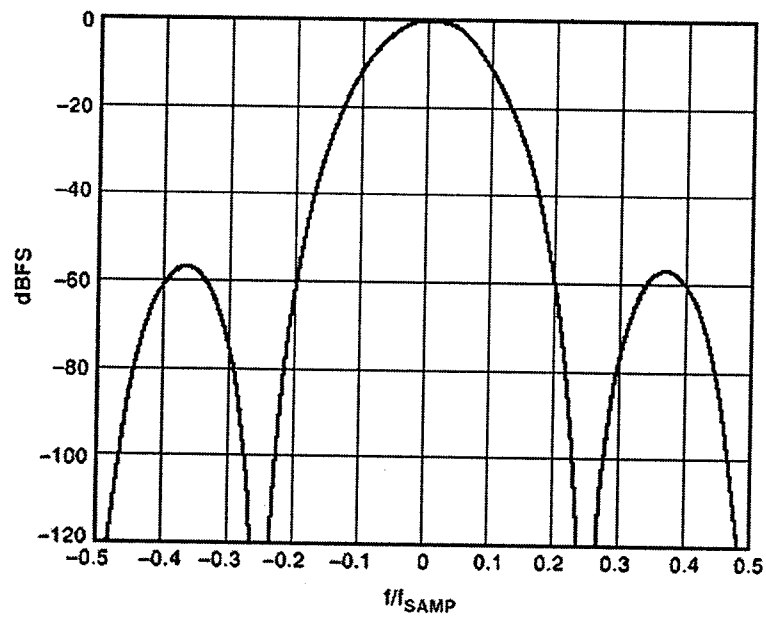
$$P(f) = \left[\frac{\sin(\pi M f)}{\sin(\frac{\pi f}{R})} \right]^{2N} \quad (8-3-4)$$

这里 $P(f)$ 是功率谱响应, f 是相对于低速数据速率 f_s/R 的频率。选择合适的 R, M, N 就可以得到一个可接受的低通特性。这个低通频带是从 0 到一个可预测的截止频率 f_c 。注意, 这些频率都是相对于滤波器的低速输出数据速率而言的。

如果降频因子 R 比较大, 功率谱响应在一个有限的频率范围内可以近似为:

$$\hat{P}(f) = \left[RM \frac{\sin(\pi M f)}{\pi M f} \right]^{2N} \quad \text{for} \quad 0 \leq f \leq \frac{1}{M} \quad (8-3-5)$$

这个近似可以用在许多实际应用中。图 8-3-2 是在 $N=2, M=1, R=16$ 时, CIC 滤波器的频率响应。图 8-3-3 是在 $N=5, M=1, R=4$ 时, CIC 滤波器的频率响应。

图 8-3-2 $N=2, M=1, R=16$ 时 CIC 滤波器的频率响应图 8-3-2 $N=5, M=1, R=4$ 时 CIC 滤波器的频率响应

由于 CIC 的易硬件实现和易控制特性，所以被广泛地运用在数字下变频芯片中。

第九章 数字下变频的设计

数字下变频又称数字 I、Q 复解调。它广泛应用于雷达、声纳和无线电接收机中。数字下变频的原理已经在第一章和第八章得到阐述。在本章中先介绍主要的数字下变频芯片，然后介绍数字 I、Q 复解调板的设计。

第一节主要的数字下变频芯片

对于不同的厂商，数字下变频(digital down converter)芯片有时又被称为数字解调器(digital tuner)或数字接收信号处理器(digital receive signal processor)。目前世界上生产数字下变频芯片的厂家主要有 GrayChip、Harris Semiconductor、Analog Device、National Semiconductor 等，其中 GrayChip 公司虽然是一个小公司，但它却是一个专门生产数字下变频 ASIC 芯片的专业公司。其生产的品种多、功能全、是选择数字下变频芯片的首选公司。Harris 公司生产数字下变频芯片的历史也较长。由于其具备产生高速 A/D 变换器的功能，所以其数字下变频芯片和 ADC 芯片配合良好，可以配套使用。由于软件无线电技术的发展和市场对数字接收机的大量需求，近几年来，半导体芯片的头号厂商 Analog Device 和 National Semiconductor 也涉足数字下变频芯片市场，并且发展势头非常迅猛。特别是生产 ADC 芯片的龙头老大 Analog Device 公司，凭借其雄厚的模拟和数字电路芯片的设计和生产技术，开发了先进的数字接收器芯片 AD6620 和 AD6624。与此同时，Analog Device 公司还将其新一代中频 A/D 转换器芯片和 DSP 芯片与其数字下变频芯片相结合，提出了多套完整的数字接收机的完整解决方案。表 9-1-1 是市场上常用的数字下变频芯片。

表 9-1-1 常用的数字下变频芯片的对照表

名称	AD6620	HSP50214	CLC5902	GC1012A
生产厂家	ADI	Harris	NS	Graychip
输入数据宽度	16bit	16bit	16bit	12bit
输入数据速率	65MHz	52MHz	52MHz	80MHz
NCO 精度	0.02Hz	0.02Hz	0.02Hz	0.1Hz
CIC 滤波器	CIC2 CIC5	CIC5	CIC4	无
FIR 滤波器	RAM 系数 FIR	RAM 系数 FIR	RAM 系数 FIR1, FIR2	固定系数 FIR

随着软件无线电的发展，通信、雷达、声纳等领域将需要更多的数字下变频芯片，从而也会出现更多的新芯片和厂家。

9-1-1. 窄带数字下变频芯片 AD6620

AD6620 数字接收器芯片主要由四部分组成，如图 9-1-1 所示，包括一个频率转换部分(NCO 和混频器)、两个固定系数的抽选滤波器、一个程控系数的抽选滤波器。

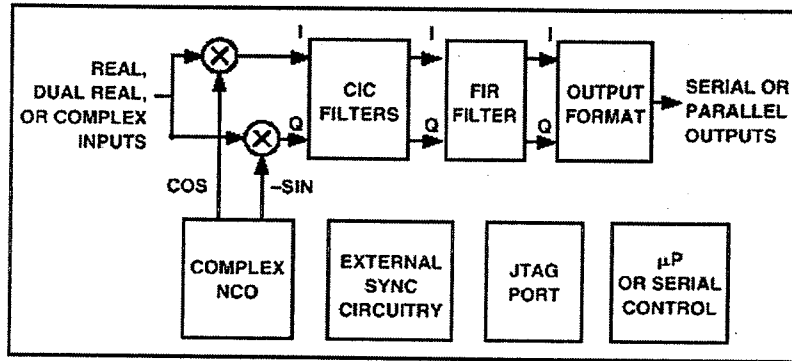


图 9-1-1 AD6620 的功能框图

AD6620 的多种数据输入输出方式设计使其能非常方便地连接高速 ADC 芯片和通用 DSP 芯片。其输入接口可接受 16 位基数，3 位指数输入，并且还有 A/B 选择输入。这样可使它具备三种输入方式：单通道实模式 (real)，单通道复模式 (complex) 和多通道实模式 (real)。

高精度的 NCO 可以使 AD6620 能从高速数据流中选择一个单个载波。其滤波器不仅具有大范围的抽选比，而且动态范围大，适用于窄带和宽带载波的提取。它的基于 RAM 的可编程系数滤波器可适用于多种模式的应用，如抗混叠、匹配滤波、静态均衡功能等。

AD6620 的主要性能指标如下：

高速数据输入率：

- 65MHz 单通道实模式 (single channel real)
- 32.5MHz 单通道复模式 (single channel complex)
- 32.5MHz 多通道实模式 (diversity channel real)

NCO 性能：

- 最小伪波 (worst spur) 小于 -100dBc
- 最小频率精度 0.02Hz

2 阶 CIC 滤波器：

- 线性相位，固定系数
- 程控抽取因子：2, 3, ...16.

5 阶 CIC 滤波器：

- 线性相位，固定系数
- 程控抽取因子：1, 2, 3, ...32.

程控抽取、RAM 系数 FIR 滤波器

- 256 个 20bit 可编程系数
- 程控抽取因子：1, 2, 3, ...32.

多种数据输出方式：

- 输入管脚设置选择串口或并口输出方式
- 串口输出与大多数 DSP 串口输入相匹配
- 16 位 I、Q 交替并行输出

两个独立的控制与配置端口：

- 通用微处理器端口
- 通用串口

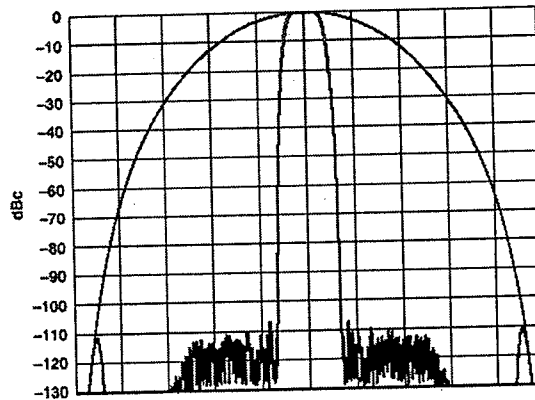


图 9-1-3 CIC 和 RCF 滤波器频率响应

9-1-2. 宽带数字下变频芯片 GC1012A

GC1012A 是 Graychip 公司的高速宽带数字下变频芯片。它的输入数据的最高速率是 80MHz，即能处理的输入信号带宽高达 40MHz。输出数据速率由抽取因子 D 来决定。对于复模式输出方式，D 可以设置为 1、2、4、8、16、32 和 64，输出速率 $F_O = F_{CK}/D$ ， F_{CK} 是输入数据时钟。对于实模式输出方式，D 可以设置为 2、4、8、16、32 和 64，输出速率 $F_O = 2F_{CK}/D$ 。

与 AD6620 不同的是 GC1012A 内部只有一个 40 阶的 FIR 滤波器。数据先由滤波器滤波再进行抽取。GC1012A 的内部结构如图 9-1-4 所示。

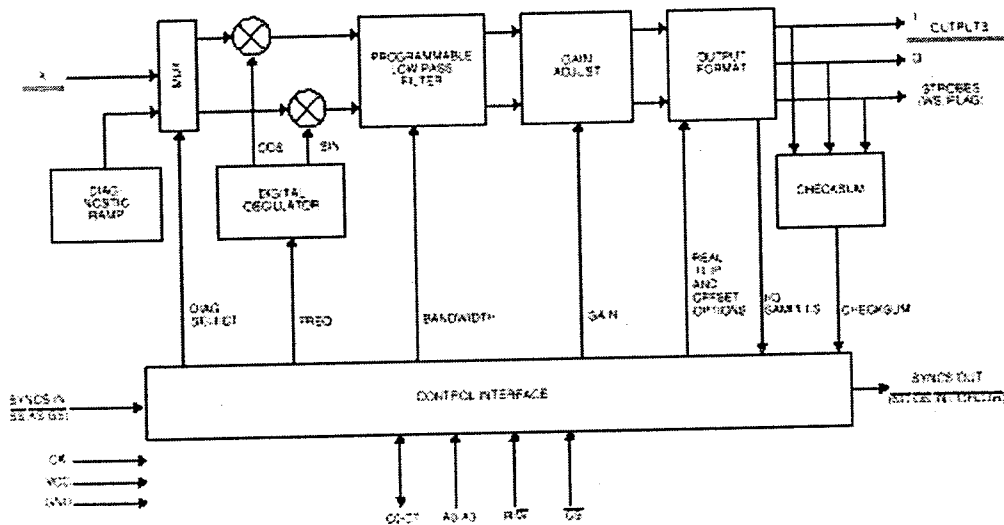


图 9-1-4 GC1012A 的内部结构

NCO 的频率由一个 28 位的累加器来控制，其频率调节精度等于输入时钟频率除以 2^{28} 。所以，对于输入时钟频率为 50MHz，其 NCO 频率调节精度为 $\pm 0.1\text{Hz}$ 。NCO 的无伪波动态范围(SFDR)超过 75dB。

由于 GC1012A 是一个宽带数字下变频芯片，其数据输出速率比较高，只能采用并行输出方式。输出数据的增益也可以调节，最小调节步长是 0.03dB，输出数据的宽度可以设置为 10，12，14 和 16 位。

GC1012A 的配置和控制通过一个通用微处理器 I/O 来实现，其中包括 8 位数据线，4 位地

址线，一根读/写线和一根控制线。

GC1012A 的主要性能指标如下：

80MHz 数据输入速率

0.1Hz NCO 频率分辨率

>75 dB 动态范围

可控数据输出宽度: 12 位输入数据宽度; 10、12、14 或 16 位输出数据宽度

实模式或复模式数据输出方式

增益调节步长 0.03dB

微处理器控制和配置接口

GC1012A 实现宽带滤波在于其拥有一个高阶 (40 阶) 的 FIR 滤波器。滤波器的系数是固化在芯片中的, 因此, 其频率响应也是固定的, 图 9-1-5 所示的是抽取率为 2 时的滤波器频率响应。Graychip 公司也可以根据用户的要求在芯片中固化其他的滤波器系数。

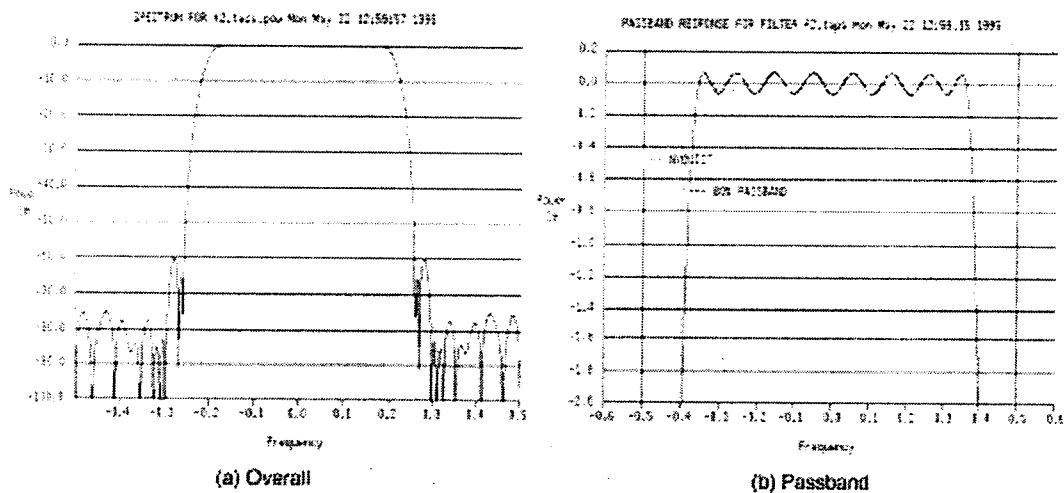


图 9-1-5 滤波器的频率响应

滤波器的通带纹波是 0.13dB, 阻带衰减大于 75dB。2dB 输出带宽是 $\pm 0.4F_s$ (即 80% 的带宽利用率), 这里 F_s 是复模式数据输出速率。0.1dB 输出带宽是 $\pm 0.36F_s$ (即 72% 的带宽利用率)。从图 3-3-5 中可以看出, 滤波器具有一个非常快的过渡带, 在过渡带滤波器很快地下降到 60dB, 并维持 75dB 以下的阻带衰减。

9-1-3 用 FPGA 设计的数字下变频芯片

由于数字下变频 ASIC 芯片具有价廉、功耗小、体积小和使用方便等特点而得到广大工程师的青睐。然而, 通信、雷达等系统的应用非常广泛, 有时会对数字下变频芯片提出某些特殊的要求, 这时通用的数字下变频芯片就无法胜任。这里主要指芯片中的 FIR 指标无法满足要求, 如特殊滤波器的频带、通带纹波、阻带衰减等。另外, 有些应用对 NCO 的频率精度、数字下变频的输入输出数据宽度和运算精度也有要求, 这样, 就必须设计专用的数字下变频芯片。

专用的数字下变频芯片一般都需要更高的滤波器特性、更快的速度和更大的数据宽度。这

就要求用来设计数字下变频的 FPGA 或 EPLD 芯片有更大的容量和更快的速度。目前 Altera 公司和 Xilinx 公司的 FPGA 芯片的容量已超过 100 万门, 时钟频率也超过 100MHz, 所以, 尽管芯片的价格非常高, 但设计专用的数字下变频芯片的硬件条件已经成熟。

在软件方面, Altera 公司和 Xilinx 公司都提供 NCO 和 FIR 设计的内核 (Megacore Function), 只要把两者结合起来, 就可设计出满足要求的数字下变频芯片。下面简单介绍一下 Altera 公司的 FIR Megacore Function。

FIR Megacore 是专为采用 Altera 公司 FPGA 和 EPLD 芯片设计 FIR 的内核软件模块, 它作为一个开发工具在 MAX PLUS II 或 Quartus 平台下运行。在设计 FIR 时, 只要先定义滤波器的输入输出数据宽度和内部数据位数, 再定义滤波器的阶数、通带纹波、阻带衰减、截止频率、抽选率等参数, 该软件模块就能自动地计算出滤波器的系数和频率响应, 如图 9-1-6 所示。

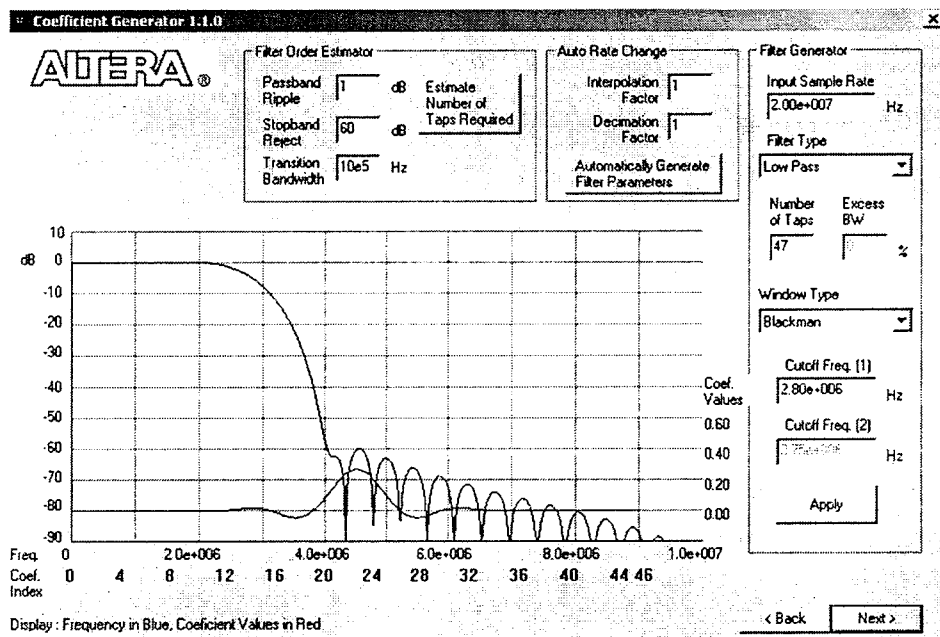


图 9-1-6 FIR Megacore 参数设置

如果生成的滤波器满足要求, 就可以继续估计滤波器所需的资源以选择芯片, 最后生成滤波器的逻辑。该软件还能对设计进行优化。

第二节数字 I、Q 复解调系统的设计

9-2-1 宽带数字复解调系统

该宽带数字复解调系统是新一代雷达系统中的一部分。该系统的原理框图如图 9-2-1 所示。

系统中 ADC 芯片采用 ADI 公司的 AD9070, 它是一个 10bit, 100MHz 的 A/D 转换芯片。A/D 转换输出的数据由锁存器锁存。线驱动器是 16LCX244, 用于隔离数据锁存器和 SRAM。这样, ADC 可以在高速 (100MHz) 的情况下进行 IF 采样, 采样的数据先存入 SRAM, 再由 SRAM 中低速读出 (40MHz/20MHz) 送入数字下变频芯片 GC1012A。外部控制信号用于控制 SRAM 的读/写。当然在这种情况下, 不能把 ADC 的所有数据都送入 GC1012A, 即不能实现实时的数字 I/Q 复解调。

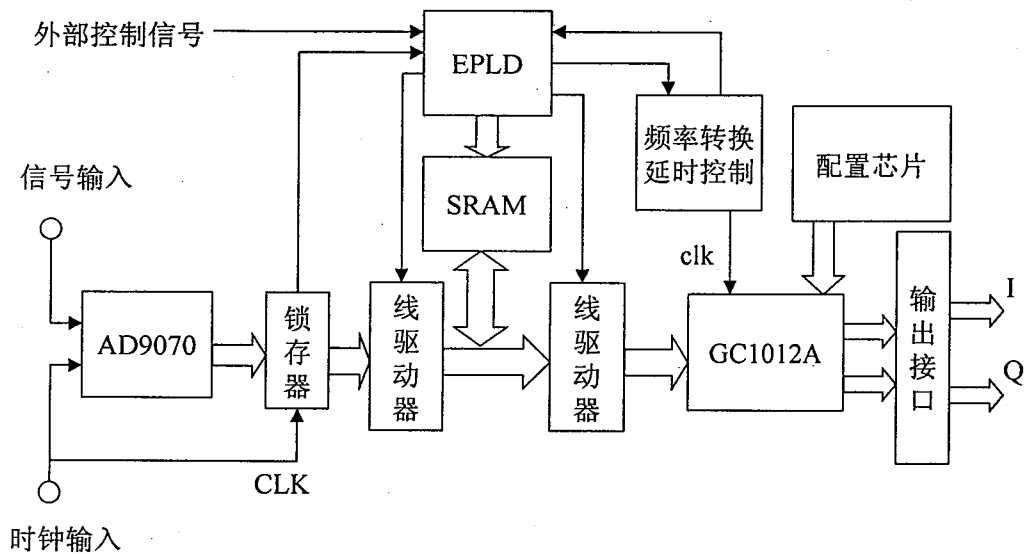


图 9-2-1 宽带数字复解调系统原理图

本系统也可以实现 80MHz 采样频率下的实时数字 I/Q 复解调（GC1012A 的最高工作频率为 80MHz）。这时，SRAM 被禁止，线驱动器一直打开。所有控制逻辑和时钟分频由一片 EPM7128-6 芯片完成。频率转换和延时控制芯片是 CY9911，它主要完成时钟信号二倍频和四倍频，和 EPLD 芯片的分频逻辑一起作用实现特殊时钟频率，如 $clk = 2/5 CLK$ 。除了完成倍频之外，CY9911 还可以进行时钟相位（skew）的调整，以确保数据能正确地锁进 GC1012A。

GC1012A 是本系统的核心。它的作用是实现数字 I/Q 复解调，它的原理在第一节已经详细地介绍过。每次上电时，它由一个配置芯片对其进行配置（写入 16 个 8 位寄存器数据）。配置芯片采用 EPM7128-15，配置数据同时也放在芯片中。如果要换配置数据，只要换芯片就可以了。

GC1012A 输出是两路并行的 16 位 I/Q 数据。根据整个雷达系统的要求，该数据通过 DS26LS31 转为差分 TTL 电平输出。

该系统的难点在于实现 EPLD 中的控制逻辑。由于外部控制信号是一个随机的宽度不定的脉冲信号，并且要求在脉冲宽度内把 ADC 的数据全部写入 SRAM，脉冲结束时立即把数据读出并送入 GC1012A。为了完成这一任务，在 EPLD 中设置了两个与 SRAM 地址宽度一样的计数器。一个计数器用来记录数据写入 SRAM 时的地址，一个计数器用来记录数据读出 SRAM 时的地址。当外部控制脉冲信号来到时，写入地址计数器开始计数；外部控制脉冲信号结束时，写入地址计数器停止计数，读出地址计数器开始计数，一直计到两个计数器的值相同为止。计数器在计数时，其地址也同时作为 SRAM 的地址。这样，就相当于把 SRAM 当成一个环形存储器来使用。实验证明，这种方式非常可靠，即使外部控制输入脉冲的宽度和间隔不满足 SRAM 的写入/读出时间比，系统也能在控制脉冲正常时恢复到正确的数据写入与读出。

9-2-2 窄带数字复解调板

窄带数字复解调板如图 9-2-2 所示。这是 ADI 公司的一个评估板。它可以实现 AD6620 的全部功能。

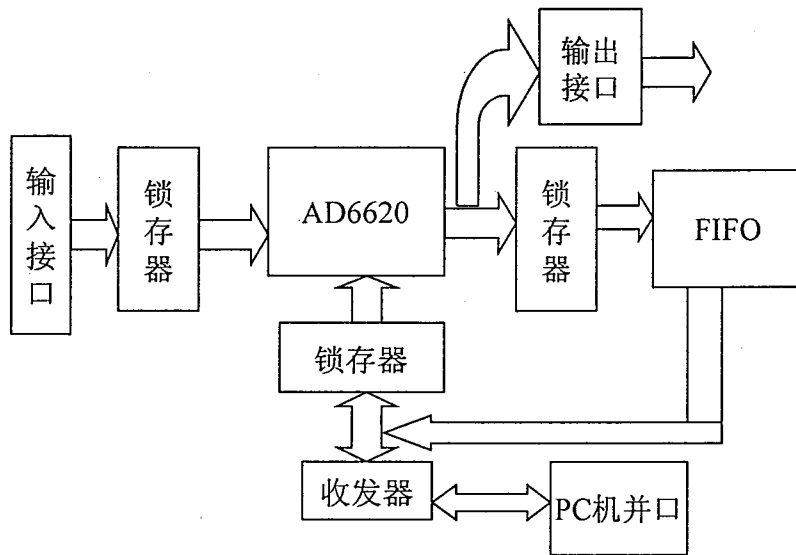
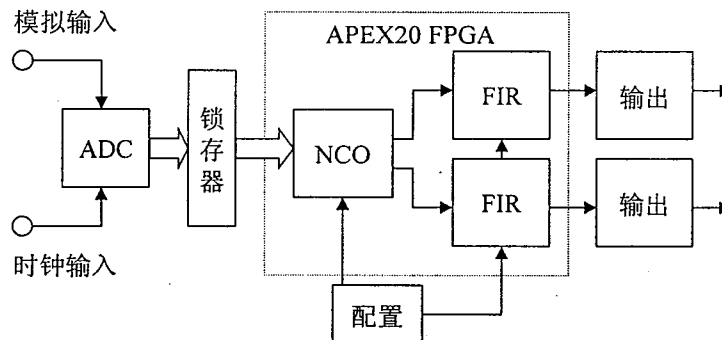


图 9-2-2 窄带数字复解调系统

AD6620 复解调板的数字输入接口是 16 位宽度，直接送入 AD6620 芯片。AD6620 的配置数据通过 PC 机的并口下载到芯片中。AD6620 的输出数据是一路并行的 16 位 I/Q 数据。也可以通过设置实现数据的串行输出。输出数据同时也被锁存器锁存后送入一个 16K FIFO。PC 机也可通过并口将 FIFO 的数据读出并进行分析。

9-2-3 用 FPGA 设计数字复解调板

用 FPGA 来设计的数字复解调板的原理框图如图 9-2-3 所示。其中的数据采样部分采用 ADI 公司的 AD6644，它可以实现 14bit 的数据采样，最高采样速率 65MHz。数据被锁存后送入下面的 NCO。NCO 实现信号的正交变换产生 I 和 Q 两路数据，这两路数据经 FIR 滤波后输出。整个系统的关键部分是 NCO 和 FIR。本系统的设计目标是 NCO 频率和 FIR 的系数可以通过下载到 FPGA 中的逻辑数据来设置。与 AD6620 和 GC1012A 所不同的是 NCO 频率和 FIR 的系数每次上电只下载一次，即不能在线通过并口或串口进行更改。这样虽然降低了系统的灵活性，却大大降低了设计对芯片资源的要求，而且也能满足绝大多数应用的需求。



如图 9-2-3 用 FPGA 设计的数字复解调板

由于 NCO 的频率是通过每次下载的逻辑来设置，所以，一般来说，每次只要存入几个 SIN

和 COS 数值就可以了。假定采样频率是 20MHz, NCO 的频率 4MHz(或 16MHz), 采样频率是 NCO 频率五倍, 即 $f_s=5f_a$, 那么, 一个 NCO 输出 SIN 或 COS 本振数字信号的周期内只有 5 个数值点, SIN 和 COS 只要用 10 个数值来表示就可以了。NCO 的另一个部分是两个乘法器, 乘法器有专门的功能模块可以利用, 且占用的资源也不多。对于 Altera 公司的 APEX20 系列 FPGA 来说, 其中芯片中最多的 ESB 有 264 个之多, 可以存储 540, 672 个 RAM bit, 足以用来存放各种情况下的 NCO 频率数据。对于一个 16bit 数据宽度的 NCO 来说, 其占用的芯片逻辑资源大概是十几个 LE, 大概是 APEX20 系列 FPGA 芯片资源的 1%~5%, 而大量占用芯片资源的是 FIR 滤波器。由于不同的滤波器的过渡带宽度和阻带衰减不同, 对于芯片的资源占用情况也不同。要使滤波器有较高的速度, 就必须采用并行算法结构, 其中要用到大量的中间寄存器的乘法器, 因此, 需要大量的芯片逻辑资源。对于一个 47 阶 16bit 的 FIR 滤波器来说, 它需要大约 5000 多个 LE。

APEX20 系列 FPGA 还有一个非常好的特点, 就是提供 LVDS 或 GTL 逻辑的 I/O 输出接口, 这为系统输出接口的设计带来了方便。由于数字复解调的输出是两路 IQ 数据, 一般每路都是 16 位宽度, 数据量比较大。在有些应用场合需要将数据进行并/串转换, 用高速串行数据线传输数据, 这就需要用到 LVDS。这样, 用 APEX20 系列 FPGA 来设计数字复解调系统并进行数据的高速、远距离传输时, 就无需增加额外的 LVDS 逻辑芯片。

第十章 数字 I、Q 复解调系统的测试

第一节 测试原理

10-1-1 I/Q 复解调的传输函数

I/Q 复解调的等效原理如图 10-1-1 所示, 该图描述了输入信号 $V(t)$ 和本地振荡器信号 $V_{LO}(t)$ 相乘得到 I、Q 两路信号 $V_I(t)$ 和 $V_Q(t)$ 的过程。

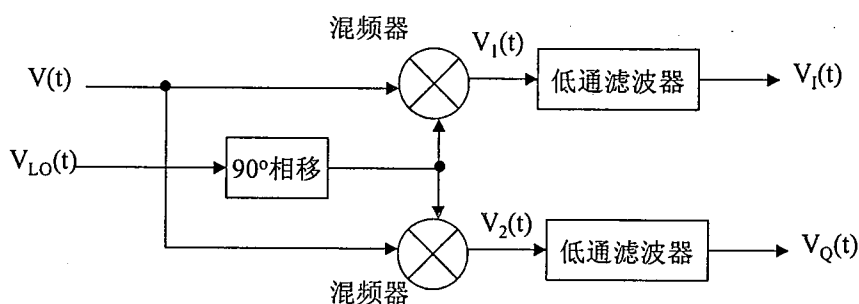


图 10-1-1 I/Q 复解调等效电路

输入信号为:

$$V(t) = 2V_p \cos(\omega_{RF}t + \phi) \quad (10-1-1)$$

其中 V_p 为输入信号的幅度, ω_{RF} 为输入信号频率, ϕ 为输入信号的初始相位。本振信号为 $V_{LO}(t)$, 如 (10-1-2) 式所示。

$$V_{LO}(t) = \cos(\omega_{LO}t) \quad (10-1-2)$$

其中, ω_{LO} 为一固定的信号频率, 因而对此信号进行固定角度的相移很容易实现。

混频器的输出是输入信号和本振信号的乘积, I 路的混频器输出信号如下:

$$\begin{aligned} V_1(t) &= 2V_p \cos(\omega_{RF}t + \phi) \cos(\omega_{LO}t) \\ &= V_p \cos(\omega_{RF}t - \omega_{LO}t + \phi) + V_p \cos(\omega_{RF}t + \omega_{LO}t + \phi) \end{aligned} \quad (10-1-3)$$

低通滤波器将信号的高频成分 ($\omega_{RF} + \omega_{LO}$) 滤掉, 得到 I 路输出的模拟信号 $V_I(t)$ 。

$$V_I(t) = V_p \cos(\omega_m t + \phi) \quad (10-1-4)$$

其中, $\omega_m = \omega_{RF} - \omega_{LO}$, 称为调制频率, 代表输入信号和本振信号之间的频率差, 而

$$\omega_m = 2\pi f_m。$$

对于 Q 路信号来说, 混频器输出为:

$$V_2(t) = V_{DC} + 2V_p V_e \cos(\omega_{RF}t + \phi + \phi_e) \cos(\omega_{LO}t + 90^\circ) \quad (10-1-5)$$

其中, V_{DC} 、 V_e 和 ϕ_e 都是由于I、Q两路电路不一致引起的。 V_{DC} 代表两路间的直流偏差, V_e 代表两路信号交流分量的幅度相对比值,即幅度一致性误差,

$$V_e = \text{Q路交流信号幅度/I路交流信号幅度} \quad (10-1-6)$$

ϕ_e 代表两路信号的相应关系与正交相位的偏差,即相位正交误差,

$$\phi_e = 90^\circ - (\text{I路交流信号相位} - \text{Q路交流信号相位}) \quad (10-1-7)$$

经过低通滤波器之后, Q路输出的模拟信号 V_Q 为:

$$V_Q(t) = V_{DC} + V_p V_e \sin(\omega_m t + \phi + \phi_e) \quad (10-1-8)$$

至此,得到了输出波形的数学描述。通常I、Q信号要合成一个复数信号来进行处理,合成的公式如下:

$$\begin{aligned} \tilde{V}(t) &= V_1(t) + jV_Q(t) \\ V_1(t) &= V_p \cos(\omega_m t + \phi) \\ V_Q(t) &= V_{DC} + V_p V_e \sin(\omega_m t + \phi + \phi_e) \end{aligned} \quad (10-1-9)$$

10-1-2 幅度、相位误差和镜像抑制比

对于复数形式的解调器输出信号来说,在理想的情况下,此复数信号的幅度应保持为 V_p ,相位值为 $(\omega_m t + \phi)$ 。但从(10-1-9)式可以看出实际情况并非如此,输出复数信号的幅度为:

$$|\tilde{V}(t)| = \sqrt{[V_p \cos(\omega_m t + \phi)]^2 + [V_{DC} + V_p V_e \sin(\omega_m t + \phi + \phi_e)]^2} \quad (10-1-10)$$

而将信号的虚部与实部之比取反正切,得到实际信号的随时间变化的相位值:

$$\arg[\tilde{V}(t)] = \tan^{-1} \left[\frac{V_{DC} + V_p V_e \sin(\omega_m t + \phi + \phi_e)}{V_p \cos(\omega_m t + \phi)} \right] \quad (10-1-11)$$

由此可以得到实际IQ解调器的幅度误差 V_{qe} 和相位误差 ϕ_{qe} ,它们的定义如下:

$$\begin{aligned} V_{qe} &= |\tilde{V}(t)| / V_p \\ \phi_{qe} &= \arg[\tilde{V}(t)] - \phi \end{aligned} \quad (10-1-12)$$

从上述推论可以看出,IQ解调器两路之间的幅度不一致, V_e 和幅度正交误差 ϕ_e 对IQ解调

器的幅度误差 V_{qe} 和相位误差 ϕ_{qe} 都有影响。因此从幅度误差和相位误差中将 V_e 项和 ϕ_e 项区分开是困难的。

镜像抑制特性是描述 IQ 解调器的误差的一种有效方法, 利用镜像抑制比有助于将幅度不一致和幅度正交误差对解调器的影响区分开来。

镜像抑制特性是指, 对于一个理想的时域复数正弦信号, 转换到频域后, 在频谱图上只在信号频率 f_m 处出现一个峰, 如图 10-1-2a 所示。非理想的 IQ 解调器的输出信号的频谱上除了 f_m 峰外, 还有零频率点处的峰(代表直流量)和位于 $-f_m$ 处的峰(代表信号的镜像信号分量), 如图 10-1-2b 所示。镜像信号是由复正弦信号的实部(I 分量)和虚部(Q 分量)之间幅度一致性误差和相位正交误差引起的。镜像信号和正频信号的幅度之比定义为镜像抑制比, 通常用对数形式表示。对于 IQ 解调器, 镜像抑制比是一个重要的指标, 镜像抑制比越低, 接收器的性能越好。

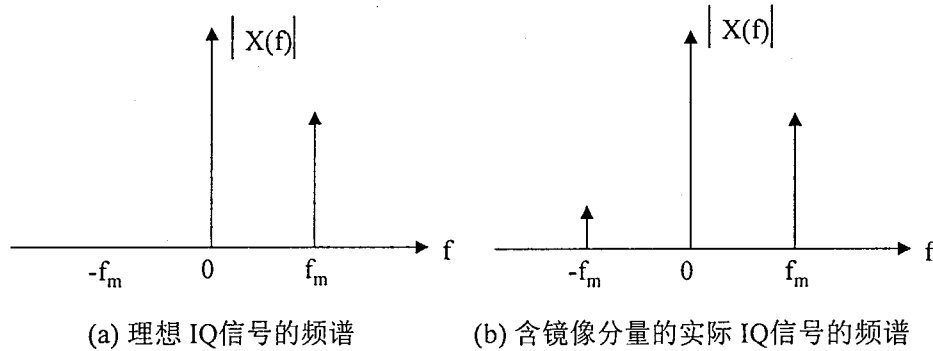


图 10-1-2 IQ 解调器输出信号的频谱图

以下将推导出镜像抑制比、幅度一致性误差和相位正交误差之间的关系。

将时域信号和频域信号联系起来的傅里叶变换形式为:

$$F[f(t)] = \int_{-\infty}^{\infty} e^{-j2\pi ft} f(t) dt \quad (10-1-13)$$

将 (10-1-9) 式代入 (10-1-13) 式, 将复数信号作傅里叶变换, 经过化简得到下式:

$$\begin{aligned} F[V_1(t) + jV_Q(t)] &= \delta(f)jV_{DC} \\ &+ \delta(f - f_m)[1 + V_e \cos \phi_e + jV_e \sin \phi_e] \cdot \frac{1}{2}V_p \exp(j\phi) \\ &+ \delta(f + f_m)[1 - V_e \cos \phi_e + jV_e \sin \phi_e] \cdot \frac{1}{2}V_p \exp(-j\phi) \end{aligned} \quad (10-1-14)$$

等式右端由三项组成。第一项代表直流项; 第二项是信号的正频率分量; 第三项为镜像信号分量。由 10-1-14 式可以看出, 如果不存在 I、Q 两路间的幅度一致性误差和相位正交误差, 即 $V_e = 1$, $\phi_e = 0$, 那么镜像分量将消失。由此可见, 镜像信号是由幅度一致性误差和相位正交误差引起的。

取信号的镜像频率分量幅度与正频率分量幅度之比, 定义为 I/Q 解调器镜像抑制比 V_{ir} 。由

此得出:

$$\begin{aligned} V_{ir}^2 &= \frac{[V_e \cos \phi_e - 1]^2 + [V_e \sin \phi_e]^2}{[V_e \cos \phi_e + 1]^2 + [V_e \sin \phi_e]^2} \\ &= \frac{V_e^2 - 2V_e \cos \phi_e + 1}{V_e^2 + 2V_e \cos \phi_e + 1} \end{aligned} \quad (10-1-15)$$

用此式可进一步推导出相位正交误差、幅度一致性误差和镜像抑制比之间的关系,

$$\phi_e = \cos^{-1} \left[\frac{(V_e^2 + 1)(1 - V_{ir}^2)}{2V_e(1 + V_{ir}^2)} \right] \quad (10-1-16)$$

因此从信号的频谱分析得出了 V_e 和 V_{ir} , 便可计算出相位正交误差 ϕ_e 。

如果以两个同相的信号而不是正交的两路信号合成一个复数信号, 设两路信号之间有幅度和相位误差, 信号的具体形式如下:

$$V_{s1}(t) = V_p \cos(2\pi\omega_m t + \phi) \quad (10-1-17)$$

$$V_{s2}(t) = V_p V_e \cos(2\pi\omega_m t + \phi + \phi_e) \quad (10-1-18)$$

$$\tilde{V}_s(t) = V_{s1}(t) + jV_{s2}(t) \quad (10-1-19)$$

对 $\tilde{V}_s(t)$ 作傅里叶变换后得到:

$$\begin{aligned} F[\tilde{V}_s(t)] &= \delta(f - f_m)[1 - V_e \sin \phi_e + jV_e \cos \phi_e] \cdot \frac{1}{2}V_p \exp(j\phi) \\ &\quad + \delta(f + f_m)[1 + V_e \sin \phi_e + jV_e \cos \phi_e] \cdot \frac{1}{2}V_p \exp(-j\phi) \end{aligned} \quad (10-1-20)$$

此频谱的镜像抑制比为:

$$V_{ir}^2 = \frac{V_e^2 + 2V_e \sin \phi_e + 1}{V_e^2 - 2V_e \sin \phi_e + 1} \quad (10-1-21)$$

由此推算出的相位误差公式为:

$$\phi_e = -\sin^{-1} \left[\frac{(V_e^2 + 1)(1 - V_{ir}^2)}{2V_e(1 + V_{ir}^2)} \right] \quad (10-1-22)$$

式 (10-1-22) 可用于对两个通道的 IQ 解调器进行相位误差比较。方法如下: 将两通道的 I 路 (或 Q 路) 合成复数信号, 从对其频谱的分析中计算出此频谱的镜像抑制比, 另从两路信号单独的频谱分析中算出它的幅度之比, 用这两个变量就可以计算出两个通道中的 I 路 (或 Q 路) 信号之间的相位差。

10-1-3 IQ 复解调实际测试方法

实际测试数字 IQ 复解调电路的方法是将一个单频的正弦波信号输入数字 I/Q 复解调系

统,把输出的 I/Q 两路信号记录下来。首先分别对两路信号做频谱分析,分别找出 I/Q 两路信号的最大峰值(信号频率分量) A_{I1} 和 A_{IQ} 。这样,幅度一致性误差为:

$$V_e = \frac{A_{IQ}}{A_{I1}} \quad (10-1-23)$$

然后再把两路 I/Q 信号合成一路复数信号,对这个合成的复信号进行频谱分析(需要注意的是复数信号的 FFT 离散频谱是无对称性的)。在这个复数频谱中找出最大峰值 A_1 和镜像峰值 A_{1m} 。这样,镜像抑制比为:

$$V_{ir}^2 = \frac{A_m^2}{A_1^2} \quad (10-1-24)$$

再根据(10-1-16)式,由镜像抑制比和幅度一致性误差计算出 I/Q 两路的相位误差:

$$\phi_e = \cos^{-1} \left[\frac{(V_e^2 + 1)(1 - V_{ir}^2)}{2V_e(1 + V_{ir}^2)} \right] \quad (10-1-25)$$

注:关于数字频谱分析参见第二章

第二节 实际数字 I/Q 复解调系统的测试

本节所有的测试都是在第九章设计的宽带数字复解调系统上进行的。测试的目的是验证系统的功能,检验设计指标。

10-2-1 信噪比 SNR 的测试

数字 I/Q 复解调系统的输出信噪比是和 ADC 的性能相关的。为此,在测试数字 I/Q 复解调系统之前,先测试其前端 AD9070 的性能,结果如图 10-2-1 所示:

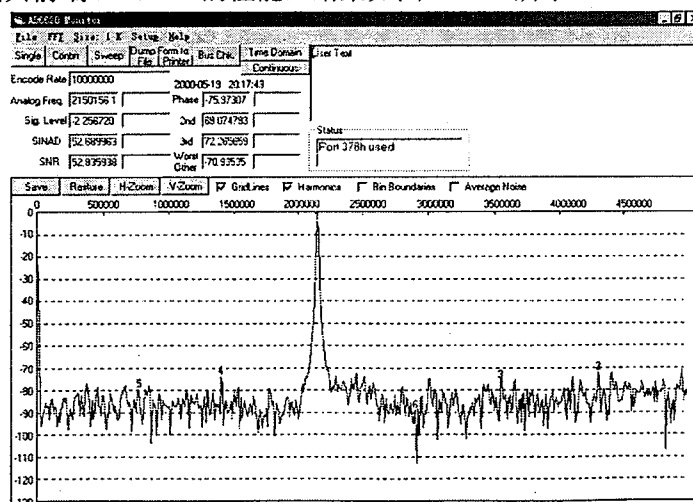


图 10-2-1 AD9070 的信噪比

测试结果：幅度一致性误差：0.008656dB
 相位一致性误差：0.125739 度
 镜像抑制比：58.379352dB

图 10-2-4, 图 10-2-5 是理想信号输入情况下的幅度、相位误差和镜像抑制比的测试结果，图 10-2-4 中显示的是 I/Q 时域波形，图 10-2-5 显示的是 I/Q 频域波形。

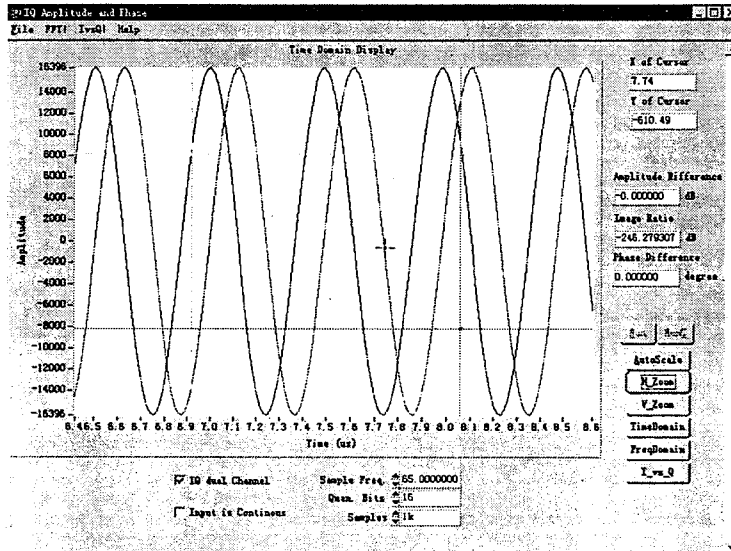


图 10-2-4 理想信号输入情况下的幅度、相位误差和镜像抑制比（时域）

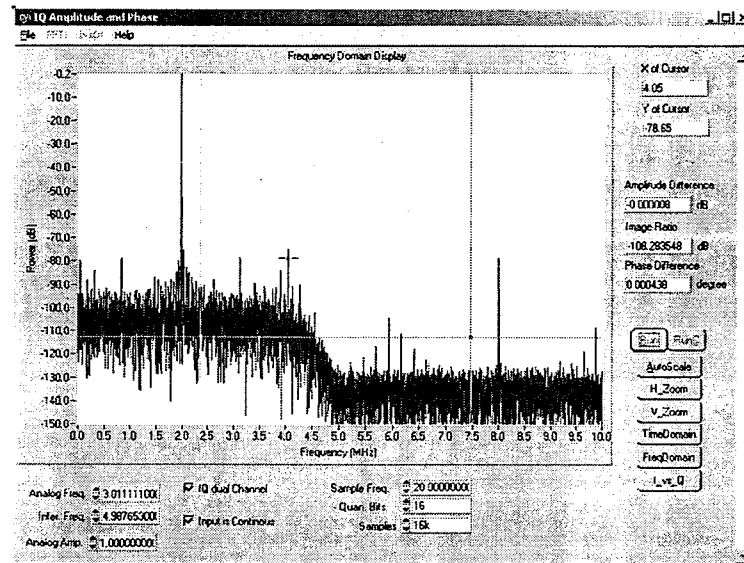


图 10-2-5 理想信号输入情况下的幅度、相位误差和镜像抑制比（频域）

测试结果：幅度一致性误差：0.000008dB
 相位一致性误差：0.000438 度
 镜像抑制比：108.283548dB

测试结果表明本系统的超过了合同所制定的指标，满足了设计要求。

结 束 语

软件无线电作为无线通信领域的一项突破性关键技术,已引起国内外越来越多的关注,它甚至被称为二十一世纪“无线电世界的个人计算机”,同时也被认为是无线通信领域继模拟通信到数字通信、固定通信到移动通信的第三次突破。射频/中频采样和数字下变频技术不仅是无线通信领域的一项关键技术,而且在雷达、声纳和医学成像等领域也得到了广泛的应用,同样也使这些应用从传统的模拟技术转向了目前的数字化技术,而使产品设备的性能指标、使用的灵活性和可靠性都大大提高。

本文研究了高速高精度中频采样和数字下变频技术,其中重点研究了中频采样。由于目前生产制造工艺技术等方面的限制,能直接实现射频采样的高精度 ADC 芯片还无法得到。所以,目前的 ADC 技术仅局限于中频采样。尽管如此,要实现中频采样也不是一件容易的事,它往往需要 ADC 有高于 14bit 的动态范围和大于 40MHz 的采样频率,目前能生产这种水平芯片的公司也屈指可数。在我们的整个研究过程中,得到了 Analog Device Inc.的大力支持,ADI 公司的 William Shen 先生在一年多的时间里为我们提供了从第一版原始 AD6644 样片到第二、三版 AD6644 试验样片等,这为我们分析和改进我们的电路设计提供了极大的帮助。中频采样的核心是 ADC 芯片,ADI 公司的 AD6644 是业界最早宣布、最早提供样片和最早完成产品定型的 65MSPS, 14bit 中频采样芯片。和其他同类芯片相比较,AD6644 的性能指标普遍好于其他产品。因此,对 AD6644 的分析研究,有助于实现目前最好的中频采样系统。然而,AD6644 在第二个奈奎斯特域指标还不够理想,所以它还不适用于欠采样(中心频率大于 $1/2F_s$ 的带通信号采样)的场合。为此,ADI 公司将在今年七月推出能实现欠采样并且采样频率更高的 ADC 芯片——AD6645,它的采样频率为 80MSPS,分辨率为 14bit。AD6645 的推出将把中频采样向前又推进一步。

实现中频采样的另一种方法是把两个或三个低分辨率的高速 ADC 芯片结合起来,拼成一个高速高分辨率的 ADC 采样模块。这种方法在理论上是成立的,但在实际实现时是非常困难的,必须选用高性能的芯片和具备先进的混合集成电路加工技术。Edge Technology Inc.生产的 ET2673 ADC 模块可实现 16bit, 20MHz 采样,可以说是目前世界上最高速率的 16bit ADC 商用芯片(模块),然而,它的价格却非常昂贵(>5000 US\$, 而 AD6644 才 49US\$)。虽然有人提出用低分辨率的高速 ADC 芯片来合并出高速高分辨率的 ADC 芯片,由于技术上原因,这一般也只能作理论上的研究。

本文提出的高速中频 ADC 的设计、测试方法不仅适用于 ADI 公司的 AD6644 和即将推出的 AD6645,也同样适用于其他公司的高速中频采样芯片。文中重点探讨了模拟信号的耦合、时钟信号的耦合等因素对高速、高分辨率 ADC 性能的影响,并提出了一个较好设计方案。此外,本文还对 ADC 的性能指标和测试方法作了详细的阐述。本文中的数字频谱分析方法适用于所有 ADC 性能的测试,其中的测试结果和结论具有普遍意义。

本文的另一个重点研究对象是 dither 的原理和应用。Dither 作为一种有用的扰动信号用来改善 ADC 的动态性能指标在 50 年前就被提出来了。本文对 dither 在 ADC 中的应用进行了追述,并从理论上分析了 dither 的原理,特别是分析了 dither 对高速、高分辨率 ADC 性能的改善作用。由于过去的 ADC 速度较低,大部分人对 dither 的研究工作都集中在理论研究和 dither 对音频、视频采样效果的改善方面,而对 dither 在高速中频采样方面的应用则研究得较少。本文不仅研究了 dither 在高速中频采样 ADC(分级快闪式 ADC)中的应用原理,而且设计了一个 ADC 仿真模型和仿真系统。通过仿真,验证了理论分析,可以事先估算 ADC 的性能指标,并分析时钟抖动、噪声、DNL、dither 信号等因素对 ADC 性能的影响。同时,仿真结果也和实测结果基本接近,这也说明仿真的结果还是具有相当高的可信度的。

另外,虽然仿真中的模型是采用分级快闪式结构的 ADC 模型,一旦分析清楚其它结构 ADC 的特性,建立其模型,采用同样方法也能对其它结构的 ADC 得到良好的仿真效果。

数字下变频是本文最后研究的一个部分,它和中频采样是密切相关的,它是数字接收机中的一个关键部分。在这里分析研究了数字下变频的原理,特别是其中的数字滤波器的原理和设计方法。本文介绍了目前世界上几种最新的数字下变频芯片,在理论分析的基础上,设计和实现了一个 ADC 采样速率为 100MHz,分辨率 10bit;数字下变频数据宽度为 12 bit,最大速率为 80MHz 的中频采样/数字下变频系统。另外,还对 ADI 公司的数字接收器芯片 AD6620 及其评估板进行了分析研究。在对专用数字下变频 ASIC 芯片分析研究的基础上,提出了一个适用多种场合的、用 FPGA 来实现的数字下变频系统方案。

把本文设计的数字接收器和世界上著名的数字信号处理、数据采集和数字接收器插件厂家——Pentek 公司的产品相对照,结果如下表:

型号	Pentek 6472 ADC 板	AD9070 采样板
采样速率	70MHz	100MHz
分辨率	10bit	10bit
通道数	2	1
型号	Pentek 6504 宽带数字接收器板	数字下变频板
采用的芯片	GC1012A	GC1012A
通道数	4	1
输入数据缓冲	无	32k SRAM
外部数据接口	VME	自定义专用接口

从上表可以看出,本文设计的数字下变频系统除了通道数不及 Pentek 的两个模块外,其他指标均高于 Pentek 的同类产品。

总之,本文的全部研究工作是基于华为公司“高速宽动态范围 ADC 的研究”项目以及信息产业部十四所“雷达中频信号的数字化和数字复解调”项目的基础上。其中前一个项目已接近结束,而后一个项目也已完成了一半,其中的 14bit, 20MHz 采样,用 FPGA 实现数字下变频系统的设计工作正在进行之中。

本文的独到之处在于把 dither 信号从仿真和实际测试角度引入高速大动态范围的 ADC 中,并且取得了明显的效果。与此同时,本文通过分析和研究数字下变频的原理,设计出一种雷达系统中的数字 I/Q 复解调系统,并在此基础上提出了一个用 FPGA 实现的数字下变频系统的设计方案,这在国内是处于领先地位的。

附录

无线电 RF 和 IF 信号模数变换中潜在的技术和方法

本附录讨论了一些其它的量化方法,它们也许会被考虑作为将来的无线电接收机中接收信号的数字化方法,或依据这些方法制作出新的 ADC 器件,甚至直接对从天线接收下来的信号进行采样。因为在无线电接收机领域的采样技术还有许多潜力可挖,所以在此探讨一下多种量化技术,这些量化技术旨在提高量化器的 SFDR 指标。

在无线电接收机应用中信号的变化范围非常大。对这种信号进行量化时要求 ADC 有一个大的动态范围。大部分商用 ADC 采用均匀量化技术(量化电平均匀分布),因此,这种 ADC 必须是高分辨率(高比特数)以达到大动态范围。问题是对许多无线应用来说,采用均匀量化技术的 ADC 很难达到满足宽带 RF 或 IF 信号所需要的高速大动态范围的要求。此外,信号量化的一个基本难题也是大的动态范围。为了解决这个问题,这里讨论了几种量化技术和它们在大幅度输入信号下的表现形态。

量化的原理如图 F-1 所示,这个过程可分为两个步骤:量化和编码。

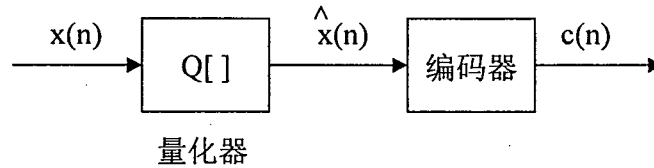


图 F-1 量化器与编码器

而在实际操作时却很难区分这两个步骤。量化产生一系列离散幅度的信号,而编码则用一个一个码字来代表这些离散的幅度。对于二进制码字来说,它可以代表 2^B 个量化电平(B 是量化位数)。这样,量化所包含的信息量是:

$$I = B f_s = \text{每秒的比特率}$$

这里 f_s 是采样频率

一般总希望在能精确地重建信号的前提下使比特率尽可能的小。因为 f_s 由信号的带宽决定,所以减小 B 是减小比特率的唯一途径。另一方面, B 必须足够大以确保足够的 SNR。明确输入信号的幅度范围也是很重要的,这样可以使量化器的 SNR 达到最大值又不使量化器出现饱和。为了说明动态最大化 SNR,这里探讨了四种量化方法:均匀量化、 μ 率量化、自适应量化和差分量化。

1. 均匀量化

在均匀量化中,将量化器的输入电平的最大值和最小值之间均匀地等分,以得到量化电平。量化器的 FSR 定义为量化器的输入电平的最大值和最小值之差,量化步长 q 被定义为:

$$q = \frac{FSR}{2^B} \quad (F-1)$$

这里 B 是量化器的分辨率(量化位数)。理论上量化器的动态范围(不同于 SFDR)可以被定义为量化器最大输入电平和最小输入电平之比,它等于 $6B$ dB。因为输入信号 $x(n)$ 可以是任何幅度值,它不可能由一个有限位数的量化电平来精确地表示。因此,量化后的信号 $\hat{x}(n)$ 必然引入一些误差。这个量化误差 $e(n)$ 是 $x(n)$ 和 $\hat{x}(n)$ 之差。假设 $e(n)$ 在任何一个量化电平内是一个均匀分布的随机变量,那么这个随机变量的方差为:

$$\sigma_e^2 = \frac{q^2}{12} = \frac{FSR^2}{12(2^{2B})} \quad (F-2)$$

因为这个方差代表信号或噪声在 1 欧姆电阻上的功耗，所以输入信号的方差 σ_x^2 和噪声方差 σ_e^2 (量化误差的方差) 之比就代表量化器的 SNR。因此，均匀量化器的 SNR 为：

$$SNR = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_e^2} \right) = 10 \log_{10} \left(\frac{12(2^{2B})\sigma_x^2}{(FSR)^2} \right) = 6.02B + 10.79 + 10 \log_{10} \left(\frac{\sigma_x}{FSR} \right)^2 \quad (F-3)$$

假定输入信号是一个正弦信号，其峰峰值即为 FSR，那么：

$$\sigma_x = \frac{FSR}{2\sqrt{2}} \quad (F-4)$$

$$SNR = 6.02B + 1.76 \quad dB \quad (F-5)$$

这代表了均匀量化器的理论上的 SNR，从中可以看出均匀量化器的表现行为。每增加量化位数 (比特数 B) 一位，理论上 SNR 就增加 6dB。注意，当输入信号的功率或方差减小时，SNR 随之减小。在无线电接收机中，被量化的信号是 RF 或 IF 信号，且幅度变化范围非常大。采用均匀量化器实际上限制了动态范围 (因为对 A/D 芯片来说，大动态范围和高速采样不可能同时获得)，从而使 SNR 随输入信号的幅度变化而变化。下面探讨的量化技术可以改善量化器的动态范围使得 SNR 更加独立于输入信号。采用非均匀分布的量化电平就是这种量化技术中的一种。

2. μ 率量化

一种改善量化器动态范围，使其 SNR 独立于输入信号的量化方法是量化输入信号的对数值，如图所示：

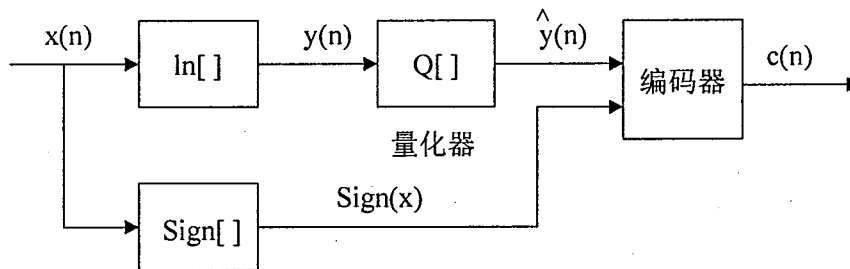


图 F-2 对数量化器的原理框图

$$y(n) = \ln|x(n)| \quad (F-6)$$

量化输入信号的对数得到：

$$\hat{y}(n) = y(n) + e(n) = \ln|x(n)| + e(n) \quad (F-7)$$

这里 $e(n)$ 是量化输入信号的对数值 $y(n)$ 所产生的量化误差。对 $\hat{y}(n)$ 取指数得到：

$$\hat{x}(n) = \exp[\hat{y}(n)] \text{sign}[x(n)] = |x(n)| \text{sign}[x(n)] \exp[e(n)] = x(n) \exp[e(n)] \quad (F-8)$$

这里当 $x(n)$ 为正时， $\text{sign}[x(n)]$ 是 +1； $x(n)$ 为负时， $\text{sign}[x(n)]$ 是 -1。如果 $e(n)$ 很小，上式

可以按指数展开并近似为：

$$\hat{x}(n) = x(n)[1 + e(n)] = x(n) + f(n) \tag{F-9}$$

这里 $f(n)=x(n)e(n)$ 显然是相对于输入信号 $x(n)$ 的误差，而这个量化误差是通过量化输入信号的对数 $y(n)$ 得到的。

因为假设 $x(n)$ 和 $e(n)$ 是相互独立的（可以通过加 dither 来实现），而且均值为零。

$$\sigma_f^2 = \sigma_x^2 \sigma_e^2 \Rightarrow SNR = \frac{\sigma_x^2}{\sigma_f^2} = \frac{1}{\sigma_e^2} \tag{F-10}$$

因此，对于这种对数量化方式，SNR 独立于输入信号的方差。假设均匀量化器量化一个经过对数压缩的输入信号，SNR 则仅取决于量化器的步长。然而，对数压缩则存在一个问题，当输入信号 $x(n)$ 的幅度变得越来越小，并接近零时，输入信号的对数值 $y(n)$ 则趋向负无穷大。因此，对于一个有界的输入信号，其输出则变得无界。

另一个和对数压缩技术相似的方法是 μ 率压缩技术。这种技术也是在量化前进行非线性压缩，如图 F-3 所示。

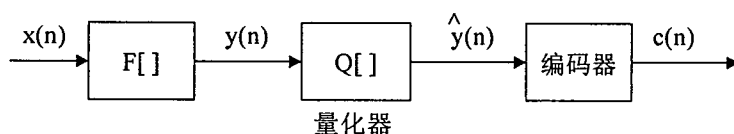


图 F-3 μ 率量化器原理

在这种情况下：

$$y(n) = F[x(n)] = \frac{FSR}{2} \frac{\ln \left[1 + 2\mu \frac{|x(n)|}{FSR} \right]}{\ln[1 + \mu]} \text{sign}[x(n)] \tag{F-11}$$

图 F-4 显示采用不同 μ 值时， μ 率量化器的输入幅度和输出幅度的函数关系。从图中可以看出，采用 μ 率压缩避免了对数压缩中小信号输入时所出现的问题。对于 μ 率压缩，当输入信号 $x(n)$ 接近零时，输出 $y(n)$ 也接近零。除非对于非常小的 $x(n)$ 值， μ 率曲线近似于对数压缩曲线。

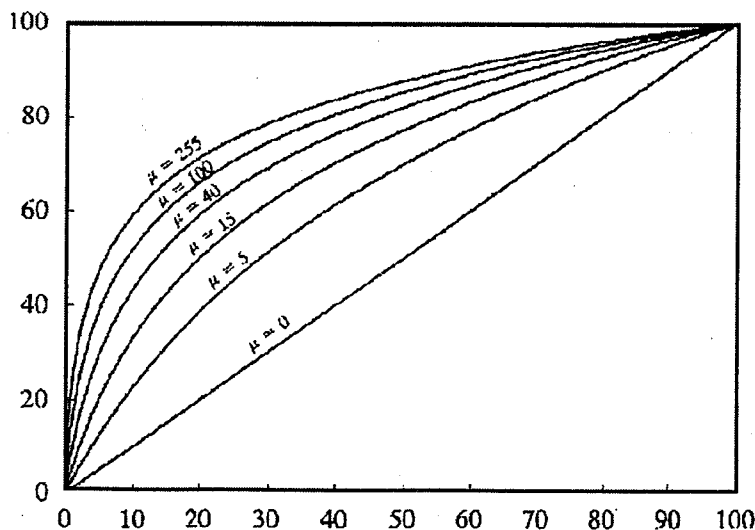


图 F-4 μ 率量化器的输入幅度和输出幅度的函数关系

采用与均匀量化同样的假设来推导 μ 率量化的 SNR，可得：

$$SNR(dB) = 6B + 4.77 - 20 \log_{10} |\ln(1 + \mu)| + 20 \log_{10} \left(\frac{2\mu\sigma_x}{FSR} \right) - 10 \log_{10} \left[1 + \sqrt{2} \left(\frac{2\mu\sigma_x}{FSR} \right) + \left(\frac{2\mu\sigma_x}{FSR} \right)^2 \right] \quad (F-12)$$

σ_x/FSR 量代表输入信号幅度和量化器满量程之间的关系。比较这个 SNR 公式和均匀量化的 SNR 公式可以发现， μ 率量化的 SNR 比均匀量化更小地依赖于 σ_x/FSR 量（也就是输入信号的幅度）。此外，当 μ 增大时， μ 率量化的 SNR 变得更加不敏感于 σ_x/FSR 。

图 F-5 和图 F-6 显示了均匀量化器和 μ 率量化器在两种不同 μ 值下的 SNR 和 σ_x/FSR 的函数关系。四条直线代表均匀量化器在四种不同量化位数下的 SNR。三条曲线代表 μ 量化器在三种不同量化位数下的 SNR。在作图时假定量化器溢出可以忽略不计。当 σ_x/FSR 接近 1 时，这个假定显然矛盾。另一方面，在 $\sigma_x/FSR < 1/16$ 时，这些曲线很好地描述了 SNR 的特性。注意：均匀量化器的曲线反映了 SNR 随着输入信号幅度的变化而发生很大的变化。而对于 μ 率量化器曲线，在输入信号幅度的一个很大变化范围内基本保持不变。当 $\mu=100$ 时，SNR 在以下范围内的变化不超过其最大值的 2dB：

$$\frac{1}{60} < \frac{\sigma_x}{FSR} < \frac{1}{16} \quad (F-13)$$

当 $\mu=500$ 时，SNR 在以下范围内的变化不超过其最大值的 2dB：

$$\frac{1}{300} < \frac{\sigma_x}{FSR} < \frac{1}{16} \quad (F-14)$$

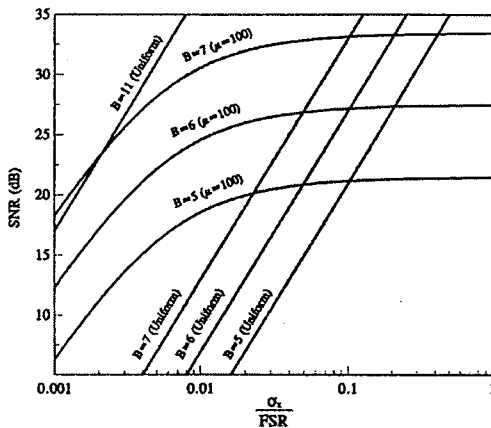


图 F-5 SNR 和 σ_x/FSR 的函数关系($\mu=100$)

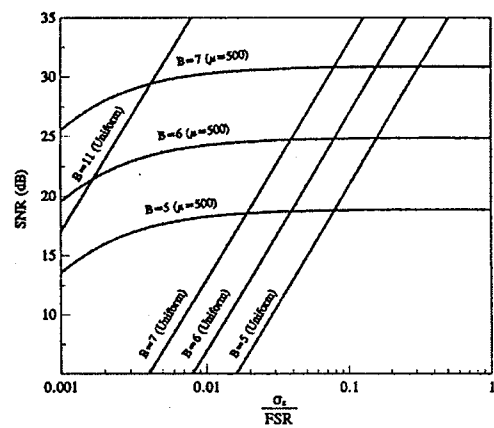


图 F-6 SNR 和 σ_x/FSR 的函数关系($\mu=500$)

在图 F-5 和图 F-6 中，对于 B=5, 6, 7 的 μ 率量化器曲线，当 $\sigma_x/FSR=1/16$ 时， $\mu=100$ 时的 SNR 仅比 $\mu=500$ 时的 SNR 大 2dB。因此，尽管 SNR 出现了轻微的变化，但在大压缩比下（ μ 值大）时，它在一个很大的输入信号幅度变化范围内还是基本保持不变的。

3. 自适应量化技术

另一种采用非均匀量化器的方法是使量化器的特性自动适应输入信号幅度的变化，这就是所谓的自适应量化技术。它的一种实现方法是使量化器的量化步长 q 正比于信号的变化，

如图 F-7 所示。它的另一种实现方法是使量化器采用固定的量化步长，而量化器前加一个增益变化的放大器，放大器的增益正比于输入信号的变化，如图 F-8 所示。因此，量化器可以采用均匀量化器，也可以采用非均匀量化器。此外，自适应量化还可以是前馈方式或反馈方式。为了简便起见，这里只讨论前馈方式。

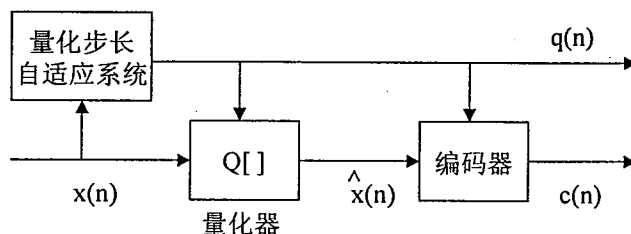


图 F-7 变化步长的自适应量化器原理

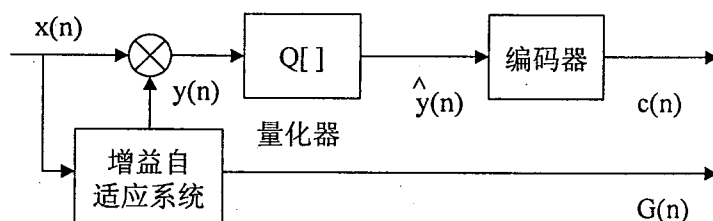


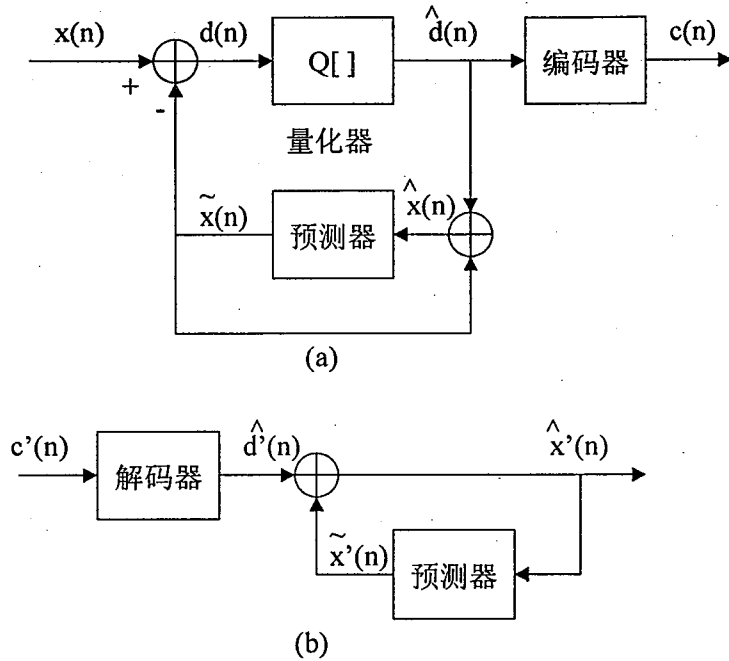
图 F-8 变化增益的自适应量化器原理

对于前馈式自适应技术，必须注意其几项重要的特性。对可变量化步长技术，输入信号 $x(n)$ 量化后的输出被两个变量所表示：一个是代表被量化的输入信号的二进制数 $c(n)$ ；一个是代表变化的量化步长 $q(n)$ 。对可变增益技术， $x(n)$ 被表示为输出 $c(n)$ 和可变增益 $G(n)$ 。大多数前馈系统都估计输入信号的变化量以调节量化步长或增益。一种典型的实现方法是假设信号的变化正比于经过低通滤波的输入信号之平方值 $x^2(n)$ ，通过调节低通滤波器的带宽，可以确保 σ_x/FSR 的值在一个很窄的范围内。正如在图 F-5 和图 F-6 中所看到的那样，对于均匀量化器，特别是 μ 率量化器来说，如果 σ_x/FSR 限制在一个充分窄的范围内，相对来说 SNR 可以保证是一个常数。

由于在物理实现上存在一定的限制，量化步长和增益都被限制在一定的范围内。变化增益或变化量化步长的目的是维持 SNR 为一个定值，并同时最大化 SNR。回过头再看一下图 F-5 和图 F-6，当 σ_x/FSR 为最大时，SNR 达到最大。自适应量化器的动态范围取决于最大增益和最小增益之比 G_{max}/G_{min} 或最大步长和最小步长之比 q_{max}/q_{min} 。举例来说，如果要维持 SNR 为一个相对常数并且输入信号有 40dB 的幅度范围，那么要求 $G_{max}/G_{min}=100$ 或 $q_{max}/q_{min}=100$ 。通过选择合适的最大值和最小值，就有可能使自适应系统的 SNR 既有明显的改善，又维持一个宽的动态范围。

4. 差分量化技术

许多被采样的信号都有一个共同的特性，这就是在相邻的样本之间总存在相当紧密的关系，特别是在采样频率是信号最高频率好几倍的情况下。这就意味着在样本与样本之间信号变化不大，并且输入信号的相邻样本之间的变化幅度小于信号本身的变化幅度。这一特性就触发了差分量化技术，其原理图如图 F-9 所示，



图F-9 差分量化器原理图
(a) 编码 (b) 解码

在这种情况下，输入到量化器中的信号是：

$$d(n) = x(n) - \tilde{x}(n) \tag{F-15}$$

这里 $d(n)$ 是实际输入信号 $x(n)$ 和其预计值或估计值 $\tilde{x}(n)$ 之差。量化器本身可以是一个固定量化步长或自适应量化步长的量化器，均匀量化器或非均匀量化器。但量化器必须设计为差分信号 $d(n)$ 能达到其满量程而不会溢出。估计值 $\tilde{x}(n)$ 是预测器（有时是一个 FIR 滤波器）的输出。差分信号被量化为：

$$\hat{d}(n) = d(n) + e(n) \tag{F-16}$$

这里 $e(n)$ 是差分信号的量化误差。从图 F-9 中可以看出，被量化的差分信号 $\hat{d}(n)$ 和估计值 $\tilde{x}(n)$ 相加得到一个输入信号被量化后的代表值：

$$\hat{x}(n) = \hat{d}(n) + \tilde{x}(n) \tag{F-17}$$

把式 (F-15) 和 (F-16) 代入 (F-17) 式得到：

$$\hat{x}(n) = x(n) + e(n) \tag{F-18}$$

因为编码器的输出 $c(n)$ 代表的是被量化的差分信号，实际被量化的输入信号 $\hat{x}(n)$ 必须被重构，如图 F-9(b) 所示，其中预测器必须和信号编码中的一样。

从式 (F-18) 中可以看出，由于预测器的独立特性，被量化的信号 $\hat{x}(n)$ 与输入信号的误差仅取决于差分信号 $d(n)$ 的量化误差。根据估计值 $\tilde{x}(n)$ 与输入信号的接近程度，即使输

入信号 $x(n)$ 的幅度变化范围很大, 送入量化器的信号动态范围能被明显减小。利用差分量化技术, 对于同样量化位数的量化器, 差分量化比直接量化将产生更小的量化误差。因此, SNR 得到提高。

和前面推导一样, SNR 定义为:

$$SNR = \frac{\sigma_x^2}{\sigma_e^2} \quad (F-19)$$

对于差分量化, SNR 可以被进一步分为两个部分:

$$SNR = \frac{\sigma_x^2}{\sigma_d^2} \cdot \frac{\sigma_d^2}{\sigma_e^2} = G_p \cdot SNR_q \quad (F-20)$$

这里:

$$SNR_q = \frac{\sigma_d^2}{\sigma_e^2} \quad (F-21)$$

代表量化器的 SNR (由量化误差造成), 而 G_p 量代表 SNR 的增益。

$$G_p = \frac{\sigma_x^2}{\sigma_d^2} \quad (F-22)$$

这个增益是由于量化输入信号 $x(n)$ 与估计值 $\tilde{x}(n)$ 之差造成的。

因此, 这种差分量化形式能增加 SNR, 而且增加值并不取决于量化器。SNR_q 的值取决于量化器的特性且可通过采用前面讨论过的各种采样技术使其达到最大值。下面的目标就是最大化 G_p 。对于一个给定的输入信号, 其 σ_x^2 是确定的。所以增大 G_p 的唯一途径是使差分信号的方差 σ_d^2 尽可能地小, 这可以通过选择一个适当的预测器来实现。

还有许多有关差分量化的基本变化形式, 在这里就没有进一步讨论了。其中最大的不同之处就是关于量化器和预测器的实现。量化器本身可以是前面提到的量化器中的任一种, 如固定量化器或自适应量化器、均匀量化器或非均匀量化器。许多改进之处在于量化后的处理, 也就是最优化预测器和重建信号的编码器。正如前面指出的那样, $\tilde{x}(n)$ 越接近 $x(n)$, SNR 则越大。预测器可以是固定方式或自适应方式。另外, 还建议采用额外的反馈回路, 这种系统的性能更好, 用较少的量化位数就能实现更高的 SNR, 但其更加复杂。

在无线电接收机中采用自适应量化技术或差分量化技术时必须认真地考虑数据处理的负荷, 即在给定采样时间间隔内的计算量。处理器的速度必须在有限的时间内确保能够处理完所要处理的数据负荷。