

分类号 _____
UDC _____

密级 _____
编号 _____

中国科学院研究生院

硕士学位论文

多通道光导线列器件的陶瓷封装基板与系统设计

武文

指导教师 刘大福 副研究员

中国科学院上海技术物理研究所

申请学位级别 硕士学位 学科专业名称 微电子学与固体电子学

论文提交日期 2011年4月 论文答辩日期 _____

培养单位 中国科学院上海技术物理研究所

学位授予单位 中国科学院研究生院

答辩委员会主席 孙大志

学位论文原创性声明

本人郑重声明：所提交的学位论文，是本人在导师指导下，进行研究工作所取得的成果。除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人创作的、已公开发表或者没有公开发表的作品的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。本学位论文原创性声明的法律责任由本人承担。

学位论文作者签名：

年 月 日

学位论文使用授权说明

本人同意：中国科学院上海技术物理研究所有权保留学位论文的印刷本和电子版，并采用影印、缩印、扫描、数字化或其它手段保存论文；有权提供目录检索以及提供本学位论文全文或者部分的阅览服务；有权按规定向国家有关部门或者机构送交论文的复印件和电子版；在不以赢利为目的的前提下，有权复制论文的部分或全部内容用于学术活动。

经指导教师审核，本学位论文属于保密，密级为：_____。涉密论文在解密后，以上学位论文使用授权说明适用。

论文作者签名：

年 月 日

指导教师签名：

年 月 日

摘要

为了进一步提高红外探测器的空间分辨率，一方面要求探测器的探测灵敏度不断提高，另一方面，探测器芯片的光敏元数量也在增加，即在相同高度敏感元越多，其空间分辨能力也越高。

随着系统应用及探测器技术发展的需要，红外探测器不断由单元、单通道向多元、多通道的线列、面阵器件发展。目前红外焦平面已经发展到第三代，但是长波光伏探测器的研制难度仍然很大，尤其在红外甚长波波段，光导器件稳定性明显优于光伏器件。所以，为了进一步提高探测器的空间分辨率并得到较好的稳定性，本文使用了多通道的光导线列器件取代了中短波探测中常用的焦平面器件，期望获得稳定的探测性能。

对多通道线列器件的来说，封装一直是一个技术难题。由于光导器件没有读出电路，多单元器件意味着需要预留大量的封装引脚与外部驱动电路进行连接，同时为了保证长波探测的性能，长波器件需要工作在低温杜瓦中。如何降低低温下封装基板与核心器件之间的热应力将成为另一个技术难题。

本文简要介绍了红外探测器杜瓦组件的总体封装形式，回顾了国外的多层陶瓷封装技术的发展过程，由此根据工程上的需要提出了多层陶瓷基板与光芯片耦合设计与制备的方案。多层结构经过有限元(Finite Element)分析软件的验证和优化，使核心器件在低温下受到最小的热应力作用。考虑到基板可能会受到制冷设备电磁波的干扰，双层金属薄膜被用来屏蔽电磁波，实验显示屏蔽衰减在 50-70dB。最后基板通过一系列力学可靠性实验的测试验证了组件在极端工作环境下的可靠性。

关键词：光导器件，多通道，陶瓷封装基板，杜瓦，热应力

Ceramic Board Packaging and System Design for Long Wave Multi-channels Photoconductive Line Array Devices

Abstract

WU Wen (microelectronics and solid-state electronics)

Directed by Associate Professor Liu Dafu

In order to improve the spatial resolution of Infrared detectors, the response rate of detectors, on one hand, is continually being improved; on the other hand, the number of infrared photosensitive elements is increasing as well. In one sentence, the more photosensitive elements are at the same height, the better spatial resolution is.

In order to meet the technical demands of detectors, an Infrared detector has been improved from single color and channel to multi-colors and channels, from signal element to line array and plane array. Currently, the FPA (Focal Plane Array) technology has been upgraded to 3rd generation. However, it is still a challenge for the detection in the long infrared wave by photovoltaic devices. Since a photoconductive device is more reliable than photovoltaic one with its mature fabrication technology in the detection of ultra-long infrared wave, the FPA which are commonly used in short wave detection are replaced by multi-channels photoconductive detectors. In this way, a better systemic performance and reliability is expected to gain.

Taking multi-channels photoconductive detectors into account, packaging is a technical problem as well under the situation that a large amount of signal pins is unavoidable without readout circuit. In addition, the performance will be better if photoconductive devices in long-wave detection work in the cryogenic environment. Therefore, a good solution that reduces the thermal stress caused by different coefficients of thermal expansion (CTE) needs to be taken a second consideration in the cryogenic circumstance.

This article briefly introduced the outline of Dewar Assembly and reviewed its historical development. Based on this survey an innovative scheme of design had been proposed and the package coupling with devices was fabricated under the help of double layers thin-film technology. Further more, an optimal architecture was simulated by FE (Finite Element) calculation software, and it harvested a minimum thermal stress on the core devices. For the next step, taking disturbance of electromagnetic wave generated by cooling machine into consideration, a double layers shielding

metal film was adopted to protect potential electromagnetic interferences (EMI). The experiment data showed that the attenuation coefficient was between 50dB and 70dB. In the end, the reliability of package architecture had been validated by a series of Force Experiments under the extreme circumstances basing on the relative industrial criterions.

Key words: photoconductive device, multi-channels, ceramic package board, Dewar, thermal stress

目 录

学位论文原创性声明及学位论文使用授权说明	封二
摘要	I
ABSTRACT	II
目 录	1
引 言	3
第一章 课题背景介绍	4
1.1 红外探测器发展背景	4
1.2 封装技术的基本概念和功能	4
1.2.1 传统微电子封装技术的发展	4
1.2.2 空间用红外探测器封装技术	5
1.2.2.1 管壳封装形式	5
1.2.2.2 杜瓦封装形式	6
1.3 空间用杜瓦组件发展现状	7
1.3.1 早期光导红外器件的封装	7
1.3.2 美国国家航天局大气红外垂直探测仪项目 (AIRS)	8
1.3.2.1 AIRS 杜瓦封装系统	8
1.3.2.2 AIRS 陶瓷基板封装	10
1.4 光导线列器件与光伏焦平面器件的对比	11
1.5 本论文的的目的和意义	12
1.5.1 论文研究的目的	12
1.5.2 课题研究的意义与创新点	13
参考文献	14
第二章 基板的选材与设计	15
2.1 引线封装基板的基底材料	15
2.1.1 聚合物有机材料	15
2.1.1.1 聚合物材料的定义	15
2.1.1.2 聚合物的结构和性能	15
2.1.1.3 聚合物在印刷电路及封装中的应用	16
2.1.2 陶瓷和玻璃等无机材料	16
2.2 陶瓷互联基板加工工艺	17
2.2.1 薄膜加工工艺	17
2.2.1.1 薄膜基板的构成	17
2.2.1.2 淀积膜和光刻的方式	18
2.2.2 厚膜加工工艺	18
2.2.2.1 厚膜加工技术	18
2.2.2.2 高温共烧陶瓷工艺	19
2.2.2.3 低温共烧陶瓷	21
2.2.3 多种工艺的比较与选择	21
2.3 基板的封装结构	22
2.4 基板最小化应力设计	23
2.4.1 热应力分析的有限元描述	23
2.4.2 有限元模型	24
2.4.3 数据分析	25

2.4.3.1	热分析结果	25
2.4.3.2	应力趋势	26
2.4.3.3	垫片的影响效果	27
2.4.3.4	基板厚度的影响	28
2.4.4	结论	29
2.5	小结	30
	参考文献	31
第三章	封装系统设计与布局布线	32
3.1	探测器核心光敏元器件	32
3.1.1	光导器件原理示意图	32
3.1.2	光导器件工作原理	32
3.2	基板设计方案一	33
3.3	基板设计方案二	33
3.4	基板设计方案三	34
3.4.1	系统设计方案	34
3.4.2	封装基板层次结构	35
3.4.3	基板的布局布线	36
3.4.3.1	基板布局	36
3.4.3.2	基板布线	36
3.4.4	柔性电缆设计	38
3.4.5	基板实物图	42
3.5	小结	43
	参考文献	44
第四章	基板金属化防电磁干扰	45
4.1	电磁屏蔽研究回顾	45
4.2	电磁屏蔽研究在项目中的应用	45
4.3	平面电磁波传播的理论分析	47
4.4	基板防电磁结果分析	51
4.5	结论	55
	参考文献	58
第五章	基板可靠性测试	59
5.1	可靠性分析的理论基础	59
5.2	可靠性试验类型	59
5.2.1	长期寿命试验	59
5.2.2	加速寿命试验	59
5.3	陶瓷封装基板可靠性测试条件与测试结果	60
5.3.1	可靠性测试项目	60
5.3.2	可靠性测试结果	64
	参考文献	65
第六章	总结	66
6.1	结论	66
6.2	展望	66
致 谢	69

引言

文章围绕着多通道长波光导线列器件的陶瓷基板封装与后端系统设计展开，第一章介绍红外探测器封装尤其是基板和杜瓦封装的概念，重点回顾了美国 AIRS(大气红外探测器)项目中混合焦平面探测器的封装形式，并引出了课题的研究内容和研究意义。第二章为设计加工基板列举了多种常用材料和工艺，使用选定的模型模拟了材料热膨胀失配的情况，利用 ANSYS 有限元软件进行了热分析和结构优化，使得光敏元芯片在低温工作环境下受到的热应力的影响最小。第三章叙述了三种基板封装的设计方案，考虑到加工的复杂性和布线的难度，综合各种因素选择了分时选通读出的设计方案，在陶瓷基板上使用双层薄膜工艺进行布局布线，并创新的使用了双层陶瓷结构对芯片进行分装。封装方案不仅很好的解决了多通道光导器件的布线连同难题，而且提高了加工的成品率，方便了核心器件的测试更换。

基板加工完成之后，进一步优化了后续系统的设计。考虑到基板工作时与制冷机耦合在一起，若线路中存在一些不可避免的环路，则会存在电磁干扰(EMI)问题。第四章着重考虑了基板的电磁波防护和电磁兼容性(EMI)设计，设计采用了双层金属薄膜屏蔽方式，在不改变金属膜厚度的情况下明显的优化了屏蔽性能。第五章对基板进行了力学试验考核，使用振动台对基板进行了正弦和随机振动试验，另外还对基板开展了 80K 到室温(约 300K)的温度冲击试验，试验验证了基板承受不同力和温度冲击时的可靠性。

第六章回顾了项目所取得的成果，并对今后的工作进行了展望。核心内容均围绕着空间用红外探测器陶瓷封装结构的性能和可靠性等方面展开，对工程实现过程中可能存在的诸多问题进行了深入的研究，研究成果直接面向工程应用。

第一章 课题背景介绍

1.1 红外探测器发展背景

红外探测器由单元、单通道向多元、多通道发展，由单元向线列、面阵等发展，特别是焦平面阵列红外器件的问世，使得红外技术很快更新换代。以它为核心的红外成像技术把红外遥感、遥测等推上新的水平。红外探测器的发展同时推动了红外探测器封装技术的发展，特别是国外一系列气象卫星的发射，如美国国家航空航天局（National Aeronautics and Space Administration, NASA）发射的大气红外垂直探测仪（Atmosphere Infrared Satellite, AIRS），地球同步运行卫星项目(Geostationary Operational Environmental Satellite, GOES)^[1]以及欧洲第三代欧洲气象卫星项目(Meteosat Third Generation MTG)^[2]，将探测器组件技术的发展又推向了一个新的台阶。

1.2 封装技术的基本概念和功能

电子元器件的封装技术简称为封装，狭义概念上一般是指利用薄膜或厚膜技术及微细连接技术，将半导体元器件及其它构成要素在框架或基板上布置、固定及连接，引出接线端子，并通过可塑性绝缘介质灌封固定整理的技术。广义封装是狭义封装与实际工程与基板技术的总和，是将电子元器件所具有的电子学和物理功能转变为适用于机械或系统使用的形式，使之成为为人类社会服务的科学。

封装的基本功能包括电源供给、信号交流、散热、芯片保护和机械支撑等，具体说有以下基本功能：(1)为半导体芯片提供机械支撑 and 环境保护；(2)接通半导体芯片的电压与电流通路；(3)为芯片提供信号的输入和输出通路；(4)提供散热通路，散逸半导体芯片工作时产生的热量。^[3]

1.2.1 传统微电子封装技术的发展

微电子封装的发展历程可以追溯到 1947 年世界上发明的第一只半导体晶体管，在 20 世纪 50 年代是以三根引线的 TO 型外壳封装为主，采用的工艺主要是金属玻璃封装工艺。与此同时发明了生瓷流延工艺，为多层陶瓷工艺的发展奠定了基础。1958 年发明了第一块半导体集成电路，推动了多引线封装外壳的发展。其后依次出现双列直插式封装（DIP）外壳、无引

线陶瓷式载体 (LCCC)、塑料有引线式载体 (PLCC) 和四边引线扁平封装 (QFP) 等。到 90 年代出现球栅阵列封装 (BGA), 与此同时在 BGA 的基础上还发展了芯片级封装 (CSP), 它与多芯片组件封装被认为是最有前途的高密度微电子封装技术。图 1.1 列举了几种常见的芯片封装形式。

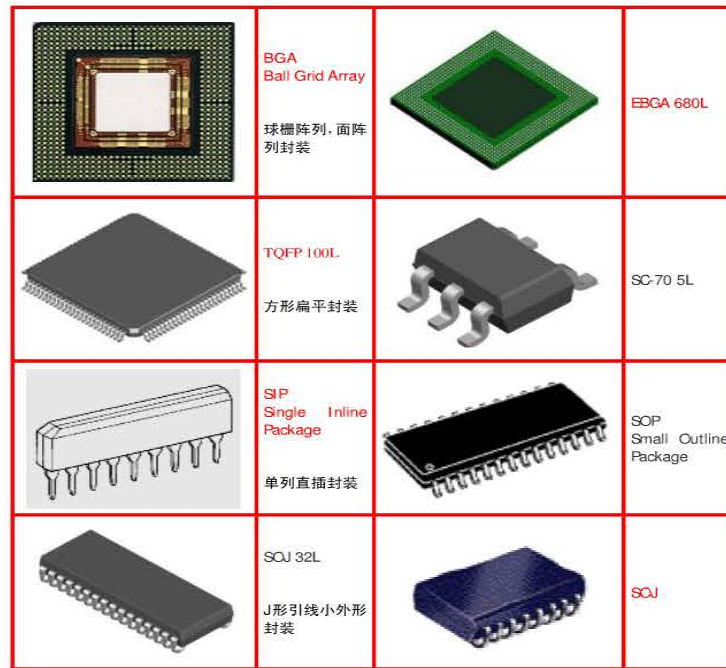


图 1.1 几种常见的封装形式
Fig 1.1 Common Packaging

1.2.2 空间用红外探测器封装技术

红外探测器的封装技术研究也属于微电子的一个分支, 故具有微电子封装技术的共性。但是空间用红外探测器特殊的使用场合及自身的特点有所不同, 其封装技术又具有不同的特点。

从工作温度分, 红外探测器可分为低温和室温两种。工作在室温的红外探测器器件其封装形式一般采用管壳封装形式; 而工作在低温的红外探测器封装形式取决于提供的制冷模式。到目前为止, 已经用于空间制冷的方式有固体制冷、超流氦杜瓦制冷、辐射制冷以及机械制冷。针对这些制冷方式, 红外探测器封装方式主要有管壳封装和杜瓦封装两种。

1.2.2.1 管壳封装形式

由于红外探测器探测的信号通常为微弱信号, 金属管壳可以有效的减弱外来电磁场的干扰, 因此管壳的形式主要有金属/陶瓷封装和金属/玻璃封装。

(1) 金属/陶瓷封装:

其结构包括管座（管壳底、窗口座、陶瓷电极、陶瓷片烧结而成）和管帽(图 1.2 左)。封装形式采用平封结构,利用陶瓷与柯伐合金进行良好的封接性能,实现陶瓷与金属的热封接,其优点显而易见不仅结构简单,而且可以得到高精度和高气密性能,外围引线数较多。我国风云气象卫星中某一红外探测器的封装形式就是采用金属/陶瓷封装。

(2) 金属/玻璃封装:

其结构包括管座（管壳底、针脚、玻璃珠烧结而成）和管帽。美国 2000 年的 GOES 气象卫星的双色探测器封装（图 1.2 右）就是金属/玻璃封装^[4]。其优点是结构简单、加工工艺方便,但其引线数受一定的限制,而且由于需要在底面烧结针脚,减少了散热面积。

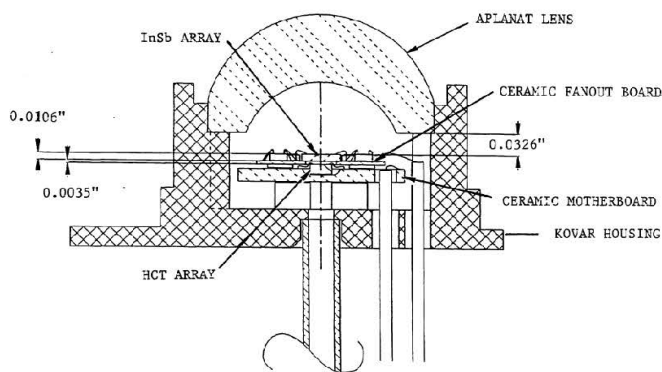


图 1.2 管壳封装形式
Fig 1.2 Tube Packaging

1.2.2.2 杜瓦封装形式

杜瓦封装是当今航空航天遥感用红外探测器的主要封装形式。杜瓦瓶主要由芯柱、冷头、外壳、引线环、冷光栏、光学窗口、红外探测器、基板、滤光片等组成（如图 1.3），其实物图如图 1.4 所示。杜瓦瓶将红外探测器封装在高真空环境下,探测器信号通过引线和引线环引出。冷头是探测器安装载体也是制冷的平台^[5]。

先进杜瓦封装技术是第二代红外传感技术的核心之一,其在热目标成像系统、飞行器等各领域有着广泛的应用,热目标成像系统主要由红外探测器、杜瓦、指令和电控制部件等组成。杜瓦组件封装技术的主要包括杜瓦结构、热力学等优化设计、杜瓦的引线技术、红外探测器的高精度安装及光学配准技术、杜瓦的焊接技术、杜瓦的微漏检漏技术、杜瓦的表面处理技术、杜瓦组件可靠性技术等。^[6]

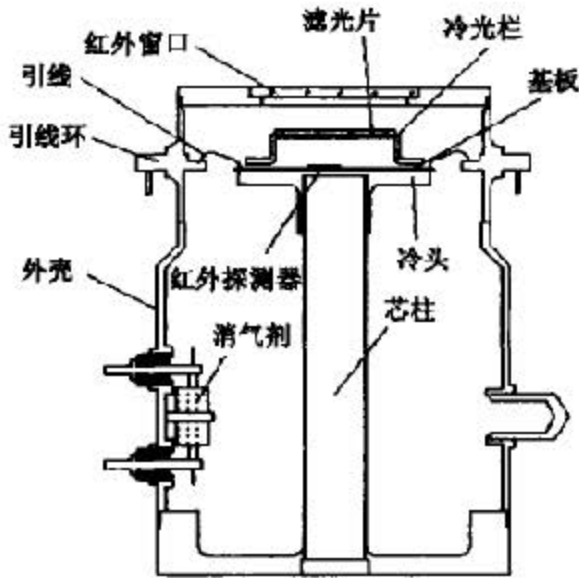


图 1.3 杜瓦瓶实物图
Fig 1.3 Dewar Assembly



图 1.4 杜瓦封装形式
Fig 1.4 Outline of Dewar Assembly

1.3 空间用杜瓦组件发展现状

长线列扫描型红外探测器件是我国空间遥感、探测等技术以及海洋海岸地带成像和环境检测红外相机等航天项目中的核心部件。为了增加系统的探测精度，一是需要不断改进工艺，使得单元探测性能得到进一步得到提升，但是由于半导体器件的工艺工序少则十几道，多则几十道，理论与实际操作都较为复杂，科研工作人员往往穷尽各种办法所得到的性能提升也非常有限；另一方面就是在原有器件工艺条件不变的情况下增加光敏元的数目，这样可以明显的提升成像系统的性能，但是随着光敏元数目的增加，功耗和加工工艺以及封装难度都会随之增加，所以单元数目也不能无限制的增加。下面将具体分析几种历史上出现过的具有代表意义的红外系统组件。

1.3.1 早期光导红外器件的封装

早期红外探测系统一般使用单元器件以及线列光导器件，如 SCD 公司的 4 元和 120 元的光导器件，其封装样式如图 1.5 和 1.6 所示。芯片被固定在陶瓷基板上，基板上覆盖有金属印刷线路，印刷线路与光敏元电极使用金丝键合在一起。随着技术的发展，器件上的光敏元数量不断增加，德州仪器公司推出了 180 元的光导线列器件，并安置在杜瓦瓶中，但引线基板的封装连接形式没有改变，依然采用金线键合的方式进行连接。如图 1.7 所示。^{[7][8]}

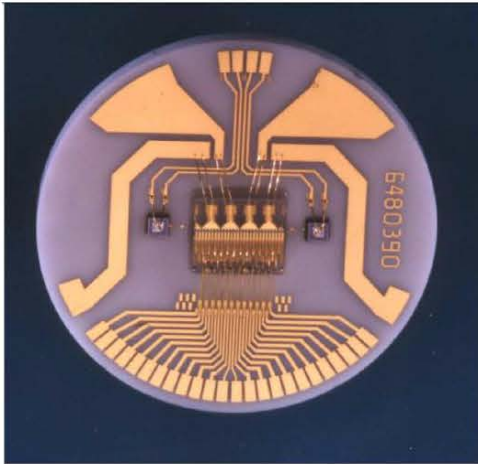


图 1.5 SCD 公司 4 元光导器件
Fig 1.5 4 elements photoconductive device of SCD company

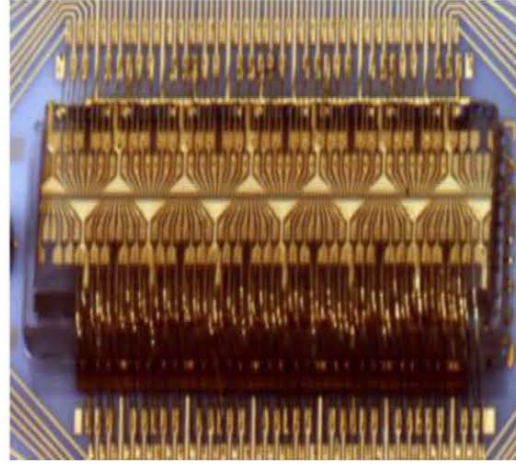


图 1.6 SCD 公司 120 元光导器件
Fig 1.6 120 element photoconductive device of SCD company



图 1.7 德州仪器公司 180 元光导线列器件与其杜瓦封装样式
Fig 1.7 180 elements photoconductive line array device and its packaging of Texas Instrument

1.3.2 美国国家航天局大气红外垂直探测仪项目（AIRS）

随着技术的进步和实际应用的需要，单个红外探测器的光谱通道数目和光敏元数量不断增加，单一的线列器件和焦平面器件已经不能满足系统成像的需要了。从美国 NASA 以及欧洲航天局（ESA）公布的资料来看，上世纪 90 年代的大气红外垂直探测仪项目（AIRS）资料公布的最为详细，在气象卫星遥感领域也最具代表性。

1.3.2.1 AIRS 杜瓦封装系统

AIRS 是美国 NASA 组织地球同步系统项目的核心仪器，用于长期监测全球性气候变化，

记录相关数据用于分析气候变化原因。AIRS 执行被动红外遥感任务，通过应用一个高解析率的分光计和工作温度在 58K 的宽光谱覆盖范围的焦平面探测器来完成对大气、土地和海洋气候变化的研究以及对天气情况的预测。整个焦平面器件被封装在低温杜瓦瓶中。

主要的杜瓦封装系统组成部分由图 1.8 所示，其分解图如图 1.9。这是一个完整定制的杜瓦系统，前端连接着分光计并工作在 155K 温度下。526 根焦平面信号线通过 5 根柔性电缆连接到杜瓦封装的头部与外部驱动电路连接在一起。焦平面器件的底部由一根蓝宝石轴所固定，轴的另一端是制冷机，冷链就置于轴的內部，真正将斯特林制冷机连接到焦平面的底部并将其光敏芯片附近温度控制在 58K。此外，焦平面陶瓷基板、校准框架、透镜和冷屏在杜瓦瓶上均有精确的定位孔，可以方便的安装在杜瓦瓶内，方便更换和二次校准。^[9]

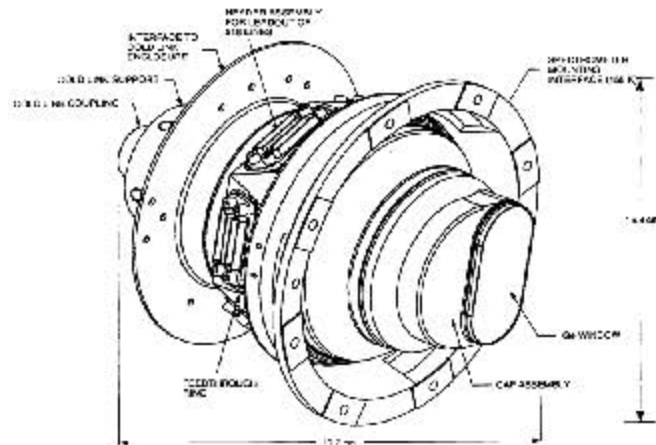


图 1.8 AIRS 核心器件杜瓦封装图
Fig 1.8 Dewar Assembly of AIRS core instrument

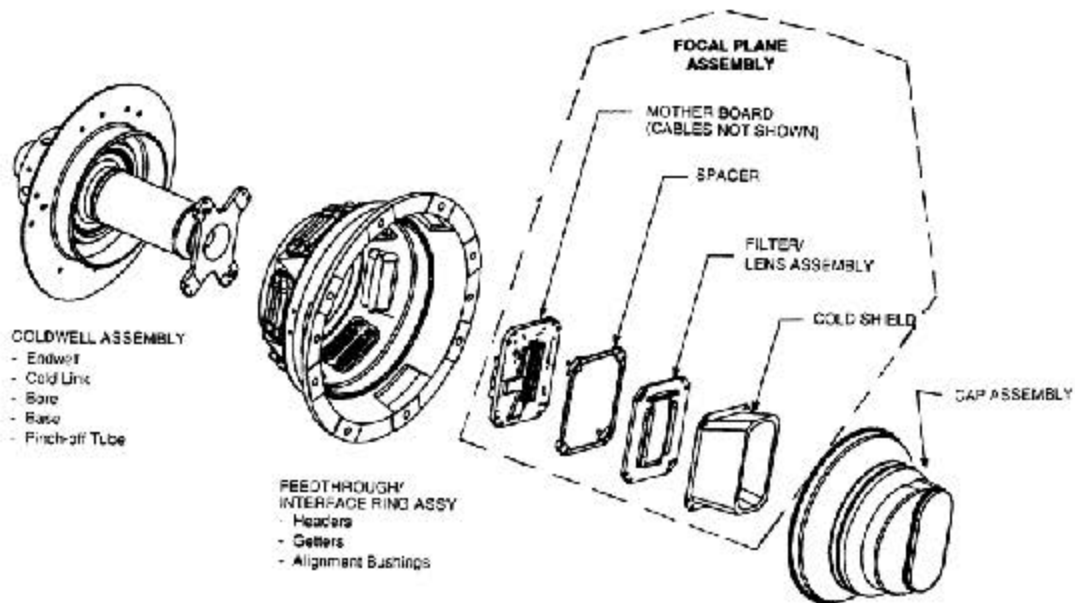


图 1.9 AIRS 杜瓦封装分解图
Fig 1.9 Disassembled AIRS Dewar A ssembly

1.3.2.2 AIRS 陶瓷基板封装

图 1.10 和图 1.11 分别是 AIRS 高度复杂的 HgCdTe 混合焦平面基板封装实物图和布局示意图。基板上共包含 12 个模块，这些模块被精确地固定在基板上，模块之间的间隔通常在 0.003 到 0.005 英寸之间。此外，还有近 850 个信号引脚，大约三分之二的引脚属于 M11 和 M12 这两个光导芯片模块。

12 个模块中有 10 个是光伏焦平面器件，用于探测从 $3.7\mu\text{m}$ 到 $13.75\mu\text{m}$ 的中长波。它们与各自的读出电路 (Readout Integrated Circuit, ROIC) 相连后，光电微弱信号被 ROIC 放大、选通并被读出，ROIC 拥有的多路选通功能大大减少了红外探测器原有的引线端口数量。光伏器件都是背照器件，以直接或者间接的方式通过钼柱与硅基上的 ROIC 相连。4 个基板中间的中波光伏焦平面探测器直接倒装焊在读出电路上，这样可以减小探测器耦合的电容和噪声。另外 6 个长波探测模块也是光伏焦平面器件，它们通过蓝宝石基板与读出电路相连。此外，ROIC 还提供了探测器的电压偏置，并抑制了噪声，增大了动态范围。

与光伏器件模块相比，另外 2 个模块 M11 和 M12 光导器件模块非常大，是正照光导器件，用于探测 $15.4\mu\text{m}$ 以外的甚长波波段。它们没有读出电路，直接通过电缆与杜瓦瓶外的前置放大器连接。光导器件的每一个光敏元都需要独立的电源和偏置。

图 1.12 显示了混合焦平面陶瓷基板与杜瓦封装的集成方式。所有 9 个柔性电缆与杜瓦瓶中的接插件成对的连接在一起，每一个接插件都有特殊的形状以确保不会误接在一起，而焦平面陶瓷基板通过定位针脚精确的安装到杜瓦瓶的底部。^{[10][11]}



图 1.10 AIRS 引线封装基板
Fig 1.10 AIRS assembly motherboard

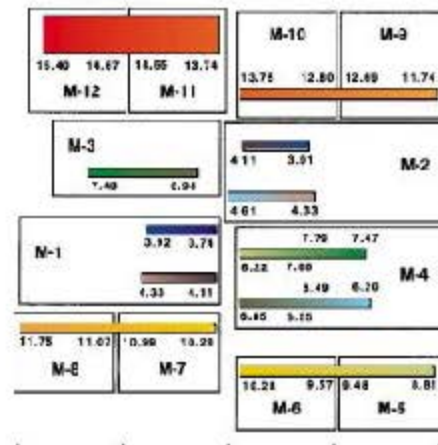


图 1.11 焦平面布局
Fig1.11 Layout of motherboard

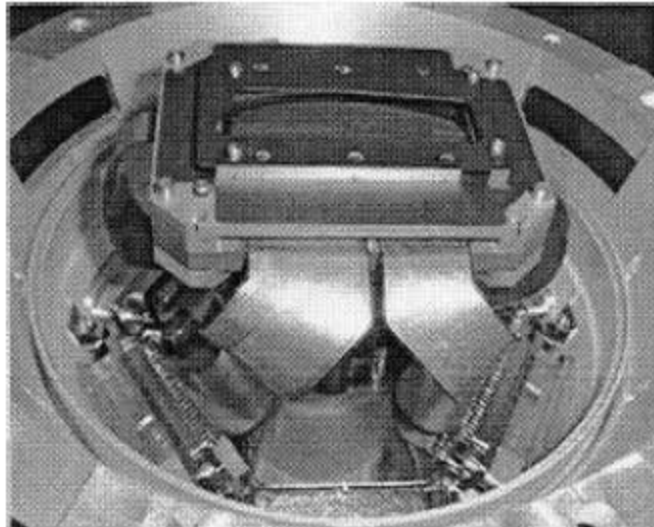


图 1.12 AIRS 杜瓦与外界驱动系统连接方式

Fig 1.12 Connection between AIRS Dewar assembly drive electronics

1.4 光导线列器件与光伏焦平面器件的对比

通过调研发现对于静止轨道气象卫星来说，中长波探测的核心器件是以光伏焦平面器件(PV)为主，而对于甚长波探测尤其是 $13\mu\text{m}$ 以上波段，光导器件(PC)依然发挥着重要作用。

回顾红外探测器的发展历史，光导器件因其工艺相对简单，较光伏器件有较早的应有。光导器件一般是指依靠电导率随光照射的强弱而改变进行探测的器件，而光伏器件则是依靠器件 PN 节中因光波照射产生电子跃迁而进行探测的器件，具体的细节会在 3.1 节进行描述。

一直以来，甚长波的探测一直都是许多应有领域研究的重点和难点，因为波长越长，频率就越低，能量也越小，探测器就越困难。不可忽视的是， $13\mu\text{m}$ 以上通道性能及其可实现性最终将影响长波红外探测成像系统成像质量的好坏与设计的成败。

随着器件生产工艺的改善，从下表 1.1 可以看出，无论是从噪声的大小，线性度还是从功耗量子效率等性能参数方面的对比来看，光伏器件都要优于光导器件了。但是光导器件对比光伏器件来说还是有其不可替代的优势，主要体现在以下两点：(1). 在甚长波红外波段，PC 探测器性能比较好，通常截止波长大于 PV 探测器。(2). PC HgCdTe 工艺更加成熟，在性能要求不高时，PC 稳定性要好于 PV 探测器。尤其是对工程应用领域，对稳定性要求较高，光导器件将会是比较好的选择。

表 1.1. 光伏器件与光导器件性能对比^[12]

Table 1.1 Comparison between photovoltaic device and photoconductive one

	光导器件	光伏器件
材料	N 型体材料生长	P-on-n 两层 LPE(液相外延)
阵列形式	60-180 线列	M*N 阵列
阻抗 (方块电阻)	25-50 欧	10^4 - 10^7 欧
量子效率	70-80%	70-80%
电耦合	交流或直流	交流或直流
功耗	每单元 0.1-0.5mW	可忽略
1/f 噪声频率带	30-200Hz	<0.3Hz
线性度	好	比 PC 好 1-2 个量级
噪声机制	热 g-r 噪声 背景 g-r 噪声 1/f 噪声	热电流的散粒噪声 光电流的散粒噪声
表面钝化	n+ 积累层	CdTe 扩散层
热烘烤稳定温度	95°C	100°C
偏置电压	0.1-0.3V	15-30mV 反向偏置

1.5 本论文的研究的目的和意义

1.5.1 论文研究的目的

未来空间红外成像探测发展的方向是设计从中短波波段到甚长波波段的通道探测系统。本文主要关注从 $5.8\mu\text{m}$ 波段到 $13.8\mu\text{m}$ 波段的 7 个通道，其性能指标如表 1.2 所示。探测器线列规模为 80×1 ，对于空间应用的卫星来说，长波和甚长波红外通道性能指标对系统有十分重要的影响。

表 1.2 焦平面芯片参数
Table 1.2 Parameters of FPA chips

波段 (μm)	探测距离	NETD 值	像元数	D*值
5.8~6.7	2km	0.1~0.2K (300K)	80×1	$1.3\text{E}+11$
6.9~7.3	2km	0.15~0.25K (300K)	80×1	$1.6\text{E}+11$
8.0~9.0	2km	0.1~0.2K (300K)	80×1	$1.0\text{E}+11$
9.42~9.8	2km	0.2~0.3K (300K)	80×1	$1.5\text{E}+11$
10.3~11.1	2km	0.1~0.2K (300K)	80×1	$1.2\text{E}+11$
11.5~12.5	2km	0.15~0.25K (300K)	80×1	$1.4\text{E}+11$
13.2~13.8	2km	0.3~0.5K (300K)	80×1	$1.0\text{E}+11$

本论文参照国外的成功经验，尝试使用长波光导线列技术途径，以降低 $9\mu\text{m}$ 以上长波波段使用光伏线列阵的技术风险。因此这就意味着封装引线基板有不少于 560 根的引线需要用柔性电缆引出，并与杜瓦封装上的接插件连接。如何布局布线，如何减小弱信号所受到的外

界干扰以及验证系统的可行性成为了研究的重点。

1.5.2 课题研究的意义与创新点

1. 首先，国外鲜有相关多通道线列光导单元组件的报道，一般是使用单线列完成单波段光谱或者是使用光伏器件来完成中波到长波的多通道探测任务。
2. 气象卫星中的陶瓷封装基板不仅作为信号引线板连接着探测器件和外部驱动设备，而且还为器件提供物理机械支持。细节问题尤其是多层基板的在低温下的应力问题以及微弱信号完整性问题国外文献并未作详细报道。比如在报道 AIRS 的文献中，多次提到光导器件封装的最关键的问题是保证信号的完整性和降低电磁干扰，但是信号的完整性密切关系到混合基板的层次划分和具体走线方案，文献中均未做更详细的报道。
3. 光导 HgCdTe 工艺成熟稳定性好，能够满足现阶段工程要求，在未来一段时期内光导器件仍将大量应用。
4. 针对上述要求，本文设计了一种多层陶瓷基板的封装结构，该结构实现了小间距多线列的耦合封装，并对结构进行了有限元分析和模拟，获得了优化的结构，使得芯片所受到的热应力最小。同时基板考虑了抗电磁干扰（EMI）的功能，通过表面增加金属膜明显提高了抗电磁干扰的能力。

参考文献

1. <http://goes.gsfc.nasa.gov/>
2. Jean-Loup Bézy, Donny Aminou & Paolo Bensi, Meteosat Third Generation Meteosat Third Generation, august 2005, *European Space Agency (ESA) Bulletin 123*, pp 29-32.
3. 中国电子学会生产技术学分会丛书编委会, 电子封装工程 [B]; 中国教育出版社。pp 6-10.
4. D. Cousins, M.S.Cafferty, L.M.Candell, et al. GOES image update design for minimum system impact. *Proceedings of SPIE*, Vol.2812(1996): pp376-388.
5. James Rutter, Dave Jungkman, et al. A multispectral Hybrid HgCdTe FPA/Dewar Assembly for Remote Sensing in the Atmospheric Infrared Sounder (AIRS) Instrument. *Proceedings of SPIE*, Vol.2817(1996), pp200-213.
6. 王小坤, 朱三根, 龚海梅. 星用红外探测器封装技术及其应用[J]. 红外, 2005, Vol.11: pp 13-18.
7. Eliezer Weiss, 30 Years of HgCdTe Technology in Israel, *Proceedings of SPIE*, 2009, Vol. 7298 (Invited Paper), pp 2W1-2W23).
8. Michael A. Kinch. 50 Years of HgCdTe at Texas Instruments and Beyond, *Proceedings of SPIE*, 2009, Vol. 7298 (Invited Paper), pp 2T1-2T23.
9. James Rutter, G. Scott Libonate, et, al. Performance of the PV/PC HgCdTe Focal Plane/Dewar Assembly Atmospheric Infrared Sounder Instrument (AIRS), SPIE, SPIE conference on Infrared Spaceborne Remote Sensing VI, San Diego, California, (July, 1998) Vol.3437, pp249-260.
10. G. Sott Libonate, Brian Denley et, al. Development status of the AIRS IR Focal Plane Assembly. SPIE Vol.3122(1997), pp174-184.
11. G. Sott Libonate, Brian Denley et, al. Development status of the AIRS IR Focal Plane Assembly. SPIE Vol.3122(1997), pp174-184.
12. M. B. Reine, E. E. Krueger, et, al. Advanced in 15 μm HgCdTe photovoltaic and photoconductive detector technology for remote sensing (Invited Paper), SPIE Vol. 2816(1996), pp120-137.

第二章 基板的选材与设计

2.1 引线封装基板的基底材料

在常见的微电子封装材料中，基体树脂等有机聚合物材料以其优异的绝缘性，耐热性，尺寸稳定性以及价廉等的优势获得了大规模的应用。无论是大规模的多层 PCB 电路板，还是手机上的射频电路，又或者是 CPU 的封装基板，工业上几乎都在使用有机树脂聚合物作为基底材料。但是这种材料在低温下，尤其是在 155K 液氮温度下，有机基板变得非常不稳定、易碎。所以合理的选择杜瓦瓶中的半导体封装材料就显得尤为重要。

2.1.1 聚合物有机材料

2.1.1.1 聚合物材料的定义

聚合物是由高分子组成的，所谓的高分子是指由大量的称之为单体的小分子连在一起形成的大分子，把这些小分子连接在一起所涉及的工艺称作聚合。塑料和树脂等有机物都是一组由原子或者分子链组成的合成聚合物。

2.1.1.2 聚合物的结构和性能

不同的聚合物在相同的应力作用下应变大小却不尽不同，根据这种性质，聚合物一般被分为热塑性塑料，热固性塑料和橡胶。在各种聚合物之间很多力学和物理性能的差异可以归因于它们的结构。

作为一般规律，结晶型和液晶型塑料聚合物的有序化使它们比其它非晶体聚合物材料对应物的刚性和强度更高，但耐冲击能力较差。晶体型和液晶型材料具有较高的耐蠕变性、耐热性和耐化学性。然而，晶体聚合物由于比非晶体聚合物具有更高的熔融温度并易于收缩和翘曲，因而一般比较难加工。非晶体聚合物在受热时逐渐和持续软化，而且在模塑工艺中它们并不像熔融的晶体型聚合物那样易于流动。因此它们在热塑性塑料中的黏度、翘曲和收缩都是最低的。

聚合物最重要的特征之一就是分子量，这是由于其性能与其高分子量有关。在达到某个最小的分子量之前，聚合物的强度通常不会很大。超过这个值，其力学性能会迅速提高，随着分子量的进一步增加，力学性质趋于稳定。所以分子量的大小和分子量的分布将会显著的

影响加工工艺和强度。

2.1.1.3 聚合物在印刷电路及封装中的应用

大多数的印刷电路板(PCB)都是由增强的热固性结晶型树脂制造的。层压板首先通过把增强材料浸在液态树脂内，并加热浸过的纤维以除去溶剂，使树脂的固化达到“B 阶段”。这样材料在室温下是刚性的，容易处理，此时这种复合材料被称作“预浸料”。PCB 的制造是把几层预浸过的材料层叠在一起，并靠热和压力层压使树脂反应并最终固化。在层压前，预浸料的单面和双面可以与铜粘结，这样就可以在最终得到导电层或布线层。为了避免在最终的复合材料内存在分层、微裂纹、孔隙以及其它缺陷，要尽量确保树脂与增强物之间有良好的匹配。对于给定的用途选择 PCB 材料时，主要是基于材料对热膨胀系数、热稳定性、介电常数以及介电损耗等参数的要求。[1][4]

2.1.2 陶瓷和玻璃等无机材料

几乎所有的电子产品都能用到玻璃和陶瓷技术。在无线电和微波频率范围内，采用低介质陶瓷或玻璃基介质的低信号衰减电子数据传输是很常见的。高介质常数的电绝缘陶瓷是蓄能电容器重要的组成部分，占有最大的市场份额。在外加电场下能产生晶格畸变或在应力下能输出电信号的高介质陶瓷是声纳技术和医疗声波技术的有源组成部分。

随着电子工业的快速发展，铁氧体陶瓷的应用不断扩大，它包括了电感器、变压器、永磁铁、磁-光器件、机械电子器件以及微波电子器件等。尤其是陶瓷材料的介电常数和介电损耗具有较大的可选范围，特殊应用领域不断扩大。

如果某种材料被设定为最终的基板材料，为了提高可靠性，尤其是在芯片尺寸不断增大的情况下，最理想的是热膨胀系数应与半导体芯片的热膨胀系数（Si 为 $3.5 \times 10^{-6}/^{\circ}\text{C}$ ，HgCdTe 为 $5 \times 10^{-6}/^{\circ}\text{C}$ ）相匹配。低介质损耗也是需要的，因为它直接影响薄膜电路、厚膜电路的传输损耗。一般也需要高热导率，尤其是在那些需要把芯片热量传输出去的功率器件中，所以热管理也是当今电子机械设计中一个很关键的要素。IC 及封装领域高电路密度的发展趋势导致了更高的热密度，元器件的失效随温度升高呈指数增长。高的机械强度对机械稳定性和可靠性来说是非常必要的，而系统一般需要低密度材料，介电常数也可以根据应用场合发生变化。

[5]

2.2 陶瓷互联基板加工工艺

陶瓷互联技术在设计灵活性、密度、可靠性方面有独特的优势。这些陶瓷材料本身固有的优点使它成为高密度、高可靠应用的首选材料。陶瓷封装大致可以分为薄膜加工工艺和厚膜加工工艺两大类。

2.2.1 薄膜加工工艺

薄膜技术是一种减法技术，整个基板用几种金属化沉积，再用一系列的光刻工艺把不需要的材料刻蚀掉形成所需要的电路图案。与厚膜工艺相比，使用光刻工艺形成的图形具有更窄、边缘更清晰的线条。这一特点使得薄膜技术非常适合在高密度、高频率的电路板上使用。

2.2.1.1 薄膜基板的构成

典型的薄膜电路是由沉积在一个基板上的三层材料组成的，如图 2.1 所示。

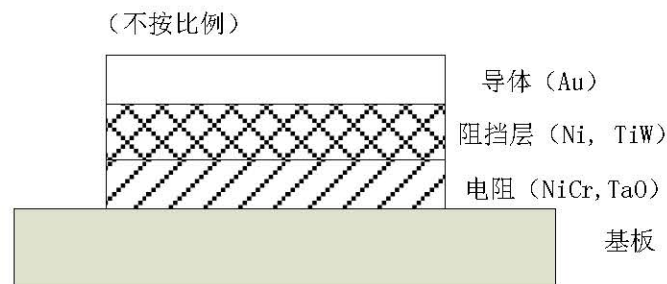


图 2.1 薄膜结构

Fig 2.1 Structure of thin film

薄膜材料加工环境的温度比厚膜材料的要低，所以相比较而言有更多可以选择的基板材料，如玻璃、多层陶瓷和磁性陶瓷等。最好的材料是高纯度(99.5%)的氧化铝，即蓝宝石，它一般拥有更为平整的表面。因为光洁的表面对得到一致和可靠的产品是非常关键的，如果表面的光洁度大于 $3\mu\text{m}$ 的话就会远远大于沉积膜的厚度，这样电阻的稳定性就会变差。

底层薄膜最常用的电阻材料是镍铬耐热合金 NiCr 或者氧化钽 TaO。电阻膜最初是在基板上以一个分立点的形式形成的，这些点位于基板的缺陷或者其它不规则区域附近，这些地方具有多余的断开的氧键。这些点进一步扩展成岛，然后连接形成连续的膜。一个岛相遇的地方就叫做晶界限，与厚膜不同的是薄膜的晶界并不会引起噪声，而且电阻漂移的内在机构也不存在于薄膜。结果薄膜电阻具有比厚膜电阻更好的稳定性、更低的噪声。它有两个功能：

一方面它是电阻材料；另一方面它提供了与基板的粘结。

中间层膜通过防止电阻材料扩散到导体中而起着电阻层与导体层之间界面的作用。当金作为导体材料时，金与电阻材料之间需要一种阻挡材料，因为金直接沉淀在 NiCr 合金上，Cr 具有一种通过金扩散到表面的倾向，会影响引线键合。为了减轻这个问题，在 NiCr 上淀积薄薄的一层纯镍 Ni 可以明显改善表面的可焊性。

顶层膜起着导体层的作用。在金属中金 Au 的引线键合和芯片键合能力以及变色和耐腐蚀能力很好，所以在薄膜电路中常常被用来作为导体材料。^{[6][7]}

2.2.1.2 淀积膜和光刻的方式

薄膜金属化可通过各种沉淀方法，如蒸发、溅射、电镀、化学气相沉积(CVD)等涂覆到合适的基板上。溅射和蒸发是主要的镀膜方式：溅射在是通过阴极射线管发射的高能电子轰击靶材，撞击出具有足够残余动能的微粒，使其运动到达基板并粘附在其上。而蒸发则是将金属材料与基板放到一个密闭的空间中，加热金属使其充满整个空间中，然后粘附在基板上。蒸发可以得到较快的淀积速率，但是高熔点的金属和合金的蒸发却是非常困难的。

基板的光刻与一般芯片加工工艺光刻技术无异，需要掩膜板和光刻胶以及化学试剂的辅助，可参阅相关材料。^{[8][9]}

2.2.2 厚膜加工工艺

2.2.2.1 厚膜加工技术

厚膜技术是一种加法技术。首先是用丝网印刷方法将波导体材料、电阻浆料和绝缘体材料转移到一个陶瓷基板上，印刷的膜要经过烘干以去除挥发性的成分，然后暴露在较高的温度下烧结，完成膜与基板之间的连接，这样就完成了一层厚膜的生产。

厚膜最重要的组成部分是厚膜浆料，浆料中的有效物质决定了烧结膜的电性能，如果有效物质是一种金属则烧结膜将是一种导体；如果是一种绝缘材料则膜是一种介电体；如果是金属氧化物则膜是一种电阻。

厚膜基板是通过一层接一层的印刷、干燥和烧结，在刚性陶瓷上形成多层结构完成的。制造步骤如图 2.2 所示，加工是一层一层涂覆上去的，每涂覆一层就会导致基板表面的平整性降低，最终限制了基板的层数，三层以上厚膜互联基板的成品率就会指数下降，一般 4-6 层是厚膜工艺加工的极限。

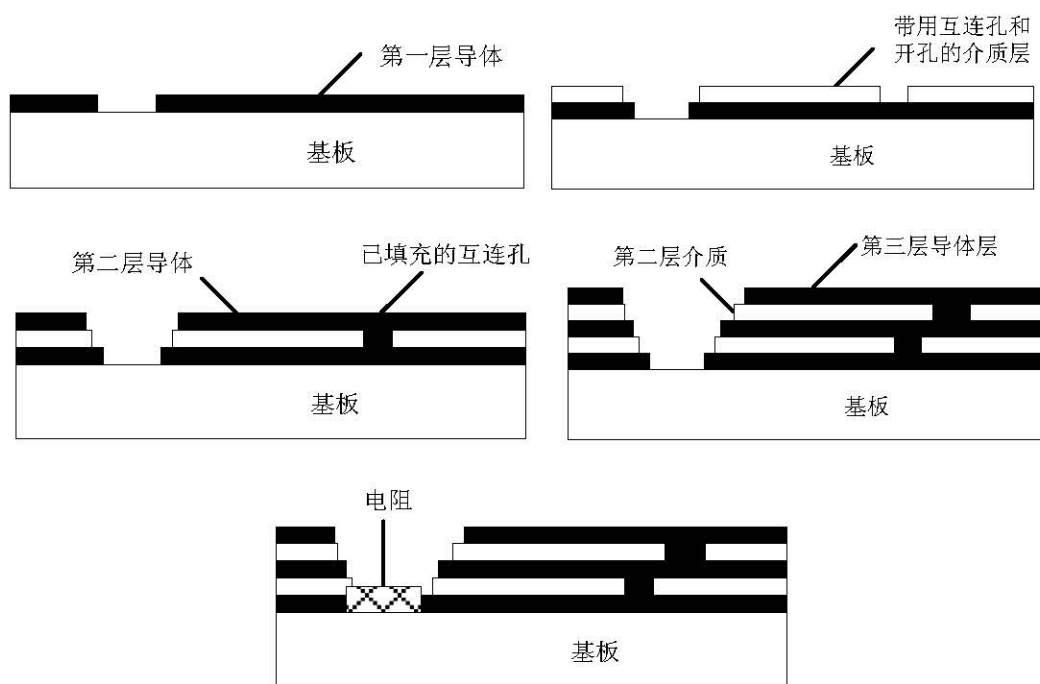


图 2.2 厚膜多层制作步骤
Fig 2.2 Thick film fabrication process

厚膜中最关键的工艺步骤就是丝网印刷，又称为“丝印”，它是指把浆料涂覆在基板上。之所以术语“丝印”广泛使用是因为在古代中国，丝绸是一种作为筛网的材料，用沥青或者类似材料盖住丝绸上不希望印上的区域，再用手迫使颜料通过图形印到布上或其它表面形成彩色图案。

厚膜的丝网印刷与古代丝绸印刷道理相通，只是微电子工业中一般使用不锈钢作为丝网材料，因为它比丝绸更容易控制，图形更精确而且耐磨耐拉升。丝网首先要涂上光刻胶，通过光刻产生图形，然后将丝网固定在丝网印刷机上。商用的丝网印刷机设计成丝网与基板紧贴平行，基板就直接放在丝网的下面，浆料涂覆在丝网上面，丝网印刷机使用刮板施力迫使浆料通过开口图形区转移到基板上。利用这种方法可以用浆料印刷出非常精密的几何图案，构成复杂的连接图形。^[10]

2.2.2.2 高温共烧陶瓷工艺

为了解决厚膜基板制作多层图案所带来的困难，工程师发明了高温共烧陶瓷工艺和低温共烧陶瓷工艺。最常见的多层封装技术使用了氧化铝(90%-94%)为基的材料，其中加入二氧化硅及碱土溶剂（如 MgO 及 CaO）作为烧结助剂。高温共烧陶瓷(HTCC)最初由 IBM 公司研发，用于大型计算机。在 20 世纪 80 年代初，IBM 公司开发了一种多层流延工艺，用来制造

可以安放 100 个芯片的 33 层共烧钼的金属化封装。由于以氧化铝为基的陶瓷烧结温度很高，约 1600℃，内部共烧电路需要使用难容金属。而这些金属又具有较高的电阻率（大约为金电阻率的 4 倍），所以电损耗比其它陶瓷封装要大。

图 2.3 所示为高温共烧陶瓷(HTCC)封装的制造工艺。陶瓷粉料分散在带有粘结剂和增塑剂的混合溶剂中。用刮刀法将浆料流延成薄带状(0.5-10mil)。在接下来的流延工艺中加热薄带使溶剂挥发，留下一个薄的柔性陶瓷有机复合体。这些柔性带在生坯状态下可以形成三维结构，以较低的成本组成非常复杂的封装。将薄带冲切成标准加工尺寸。用程控启动冲孔或冲模来形成层间电路互连孔。在丝网印刷工艺中，使用模板在这些互连孔中填充导电金属。将不同的内部电路印刷在不同的带层上。采用冲制造、冲切模、搓洗、激光切割等工艺在各层上加工图形，以形成三维带腔的形状。把各层堆叠起来并互相对准，用热压机把各个层层压在一起。一般，三维结构上相同的压力是通过等静压或模具或保形水囊或水袋实现的。最后，在生磁状态下将层压体切割到最终尺寸或近净尺寸(要留出收缩的余量)，在排胶和烧成工艺中加热多层件，以排除有机物并使陶瓷金属材料致密化。

高温共烧陶瓷封装工艺中的每一层制作的基础与厚膜工艺是一样的，也是采用丝网印刷的加法技术，所以本质上应该归类为厚膜工艺的分支。但是由于是靠多块基板烧制在一起而不像厚膜工艺层层丝印，所以克服了表面崎岖不平的问题，基板层数可以大大得到提高。^{[11][12]}

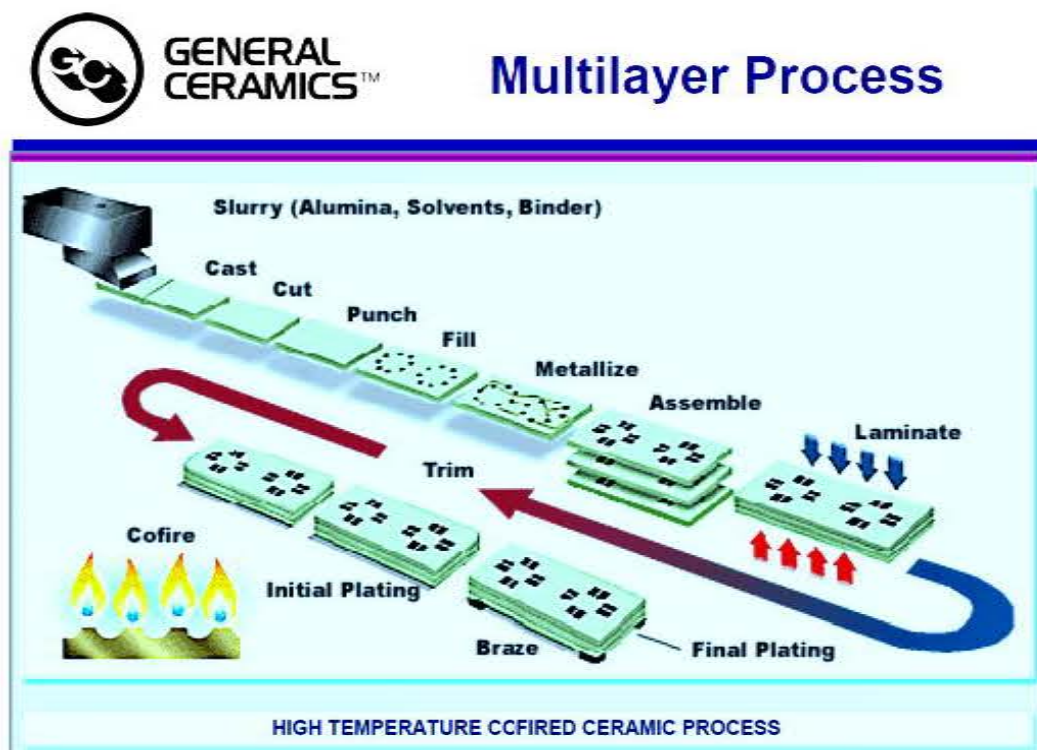


图 2.3 高温共烧陶瓷^[11]
Fig 2.3 High Temperature Multilayer Process

2.2.2.3 低温共烧陶瓷

低温共烧陶瓷材料是一种能够提供高集成度和高性能电子封装的玻璃陶瓷复合材料，它采用了两个非常成熟体系开发的材料技术和制造工艺：即高温共烧陶瓷和多层厚膜基板技术。由于高温共烧工艺烧结温度高，一般常用高导电金属(金、银及铜)无法被采用，低温共烧的独特之处在于低的烧结温度，使得在多层结构中能采用高导电的金属化。低温共烧材料系统包括一个具有高温共烧多层能力的低温烧结陶瓷和用于厚膜工艺的高导电金属。这种材料技术的结合使三维封装的工艺过程可以在低温($<1000^{\circ}\text{C}$)下进行，并使采用传统芯片及引线键合技术来制备各种复杂低温共烧封装成为可能。

在复杂的三维结构中，这种技术允许使用低烧结温度和更高导电的金属化实现与高温共烧技术一样的高密度和高分辨率布线。较低的介电常数允许电路在更细的线间距情况下工作而没有信号耦合。连续层压及烧结步骤会导致翘曲及布线损伤的厚膜技术不同，低温共烧技术的层压及烧结制作能得到一个细的、高分辨率、高质量的平坦基板上。这种采用多层陶瓷技术形成的复杂三维结构的能力为把多种功能集成到一个单一共烧结构中提供了极大的方便。也就是说，从 DC 到微波频段的模拟和数字信号都可以通过一个封装引导出来，实现一部分与另一个部分的隔离。

2.2.3 多种工艺的比较与选择

相比较于薄膜工艺，厚膜工艺要比薄膜工艺加工成本和初始设备成本都要更低，而且加工多层基板更容易，因此厚膜工艺应用的也更为广泛，也只有在单块基板上制造大量的薄膜电路时，价格才有竞争力。导致这种原因有以下两个方面：

1). 薄膜工艺的多层结构和制造极为困难，尽管可以使用多次的沉积和刻蚀工艺，但这是一种成本很高、劳动密集的工艺，因而限制在很少的用途中。

2). 在薄膜工艺中，设计者受限于单一的方块电阻率。这需要大的面积去制造高阻值和低阻值的两种电阻。

比较常用的做法是在厚膜基板的性能或空间有局限的地方利用薄膜电路。文献中已经有关于在同一基板上同时使用厚膜和薄膜工艺的报道，但这并未得到广泛的使用。

尽管厚膜工艺应用更为广泛，但是相比薄膜工艺其线宽线间距至少在 $150\mu\text{m}$ 以上，因而限制了厚膜工艺在此项目中的应用。而薄膜工艺提供了更好的线条清晰度、更细的线宽以及更好的电阻性能，尽管多层结构制造困难，细节上要求更加苛刻，尤其是通孔的处理上更加

困难，加工价格也更为昂贵，但却是能够完成 $50\mu\text{m}$ 间距范围的光敏元引线封装基板的最佳工艺选择。但是单个芯片局部会先使用普通单层薄膜工艺将器件先封装在 7 个单层小基板上，然后再与多层薄膜大基板进行键合，这样可以明显提高成品率。

2.3 基板的封装结构

光电芯片封装一般采用直接安装工艺，它是表面贴装技术的一个分支。具体的操作过程是：首先将芯片直接粘在特制的电路板上，然后再采用键合或者载带法、倒带法、梁式引线法等封装技术互连到封装电路板上去，其焊接面在元器件面上。这里采用的是金线超声波键合。如图 2.4 所示。

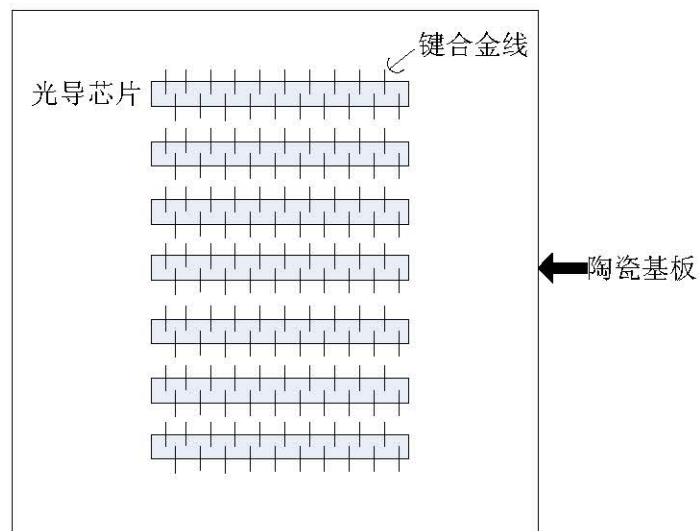


图 2.4 直接安装工艺图示
Fig 2.4 Direct assembly methods

这样做的好处主要体现在以下几个方面：

1).采用芯片直接安装工艺之后可以有效的缩小电子产品的体积，并减轻了重量，尤其是在杜瓦环境中使用就显得更为重要。一般来说表面贴器件的体积和重量只用传统针脚式元器件的 1/10 左右。

2).采用芯片直接安装工艺之后可以提高产品的抗振性能，同时采用了胶状焊料和新的焊接技术，从而可以大大提供电子产品的质量和可靠性。

3).采用芯片直接安装工艺之后可以方便使用普通的接插件如柔性电缆或直接与外部电路相连，提高了元器件的安装速度和降低了安装难度。可以参考第一章 1.3.2.2 小节中的图 1.12 AIRS 杜瓦与外界驱动系统连接方式，当中比较详细的给出了芯片在封装之后与后端驱动电子的连接方式。参照 AIRS 混合焦平面器件封装的成功经验，并考虑到光导器件的探测单元是

$$\int_V B^T \sigma dV \quad (2.1)$$

其中 B^T 是建立节点位移 u 和单元总应变 ε 之间线性关系的转换矩阵，有下式

$$\varepsilon = B^T u \quad (2.2)$$

通常假设总应变由 3 部分组成，即：

$$\varepsilon = \varepsilon^e + \varepsilon^p + \varepsilon^{th} \quad (2.3)$$

其中 ε^e 、 ε^p 和 ε^{th} 分别为弹性应变，塑性应变和由温度产生的热应变。弹性应变 ε^e 应满足虎克定律，即：

$$\sigma = D\varepsilon \quad (2.4)$$

其中 D 是弹性系数矩阵。对热弹塑性材料的塑性应变描述采用 J_2 流动理论，可将(2.4)式写成增量形式为：

$$\Delta\sigma = D_T \Delta\varepsilon - h\Delta T \quad (2.5)$$

其中 D_T 是依赖于温度的弹塑性系数矩阵，包含弹性和塑性变形的贡献。 h 是表示热应变对应力贡献大小的张量。将(2.2)(2.3)(2.4)(2.5)式整理代入(2.1)式可得：

$$\int_V B^T D_T B \Delta u dv = \Delta P + \int_V B^T h \Delta T dv \quad (2.6)$$

方程式(2.6)左端项代表材料在当前温度下切线刚度的影响，右端第二项代表热应变所产生的等效热载荷。在热应力分析中，温度的影响就反映在这两项上。^[15]

2.4.2 有限元模型

1).几何模型说明：图 2.5 给出了 HgCdTe 芯片陶瓷封装基板的三视图，光敏元芯片先粘在蓝宝石的基底上。为了提供芯片的性能，芯片功能部分被做的非常薄，大约只用 10 μ m 左右，因此它的厚度与低温胶相近。而陶瓷基底与其它材料之间也使用了粘结剂，但是胶的厚度已经远远小于其它层的厚度对热流影响可以忽略，所以在模型中没有计入。将衬垫材料参数及基板厚度设置为设计变量，分别为热传导系数 λ 、热膨胀系数 α 、弹性模量 E 、泊松比 μ 以及基板厚度 h ，然后应用 MSC.Patran 二次开发 PCL 语言建立函数，根据需要输入设计变量值。

2).定义单元类型：用八节点六面体实体单元进行网格划分。

3).边界条件设置：各层之间用共用有限元节点做连接，边界条件将柯伐合金与杜瓦冷头接触始终被制冷到 70K，所以在有限元模型中做为冷源面处理，而同时 HgCdTe 芯片工作时

大约会持续产生 0.4W 的热流，所以芯片作为热源处理。应用场序热力耦合的方法进行热应力分析，先对模型进行热分析，然后将热分析的结果作为温度载荷进行静力分析。

4).参数确定：由于模型材料参数随温度变化具体值无法查到，故只能假定材料参数恒定作为近似。有限元模型的材料参数如表 2.1 和表 2.2 所示。

5).研究对象：由于在 HgCdTe 是一种是功能器件在红外探测中起到至关重要的作用。然而，考虑到它的厚度，HgCdTe 芯片是结构中所有材料最易碎的。所以在模型中将重点考察芯片上所受应力的的大小。

表 2.1 模型材料参数
Table 2.1 Material Parameter of model

材料	热膨胀系数 ($10^{-6}/K$)	弹性模量 (GPa)	热传导系数(W/(m*K))	泊松比
HgCdTe	5	57	355	0.3
蓝宝石衬底	5.6	335	170	0.25
氧化铝基板	7.2	370	33	0.28
铜 Invar 垫片	6.5	17	400	0.45

表 2.2 衬垫材料参数
Table 2.1 Material parameters of cushion

材料	热热传导系数 (W/(m*K))	热膨胀系数 ($10^{-6}/K$)	弹性模量 (GPa)	泊松比
Cu11000	388	17	117	0.45
6061 铝合金	180	23.6	72	0.33
冷轧钢	65.2	12.6	40	0.30
Cu-Invar-Cu	174	6.5	179	0.45
Cu-Mo-Cu	233	6.4	220	0.45

2.4.3 数据分析

2.4.3.1 热分析结果

为了计算器件的热应力，首先需要对有限元模型进行热分析，求出其温度场的分布，由于器件本身厚度很小，所以当取不同材料衬垫厚度及基板厚度时，其温度分布大致相似，现截取其中以铜为垫片，基板厚度值在 3.5mm 时的温度分布如图 2.6 所示，中间黑色部分温度最高。

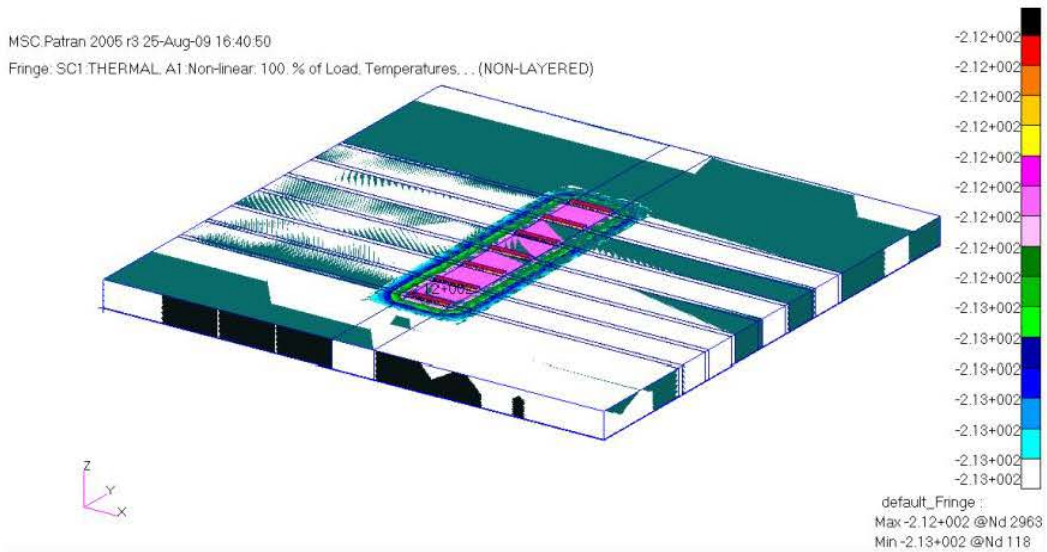


图 2.6 模型温度分布
Fig 2.6 Temperature distribution of Model

2.4.3.2 应力趋势

根据理论公式和模型计算推测由于基板(多为氧化铝)的热膨胀系数与 HgCdTe 相似, 而杨氏模量远远大于 HgCdTe, 所以低温时较大的应力和形变就会在基板中间产生, 如图所示 2.7 所示。模拟显示最大的应力就发生在基板的中间处, 有 64.7MPa, 如图 2.8 所示。

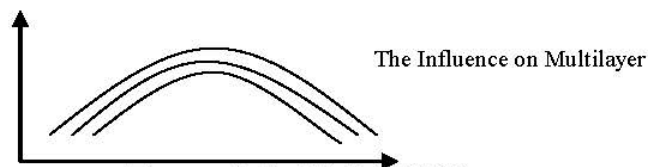


图 2.7 低温下模型应变趋势
Fig 2.7 Strain model in cryogenic environment

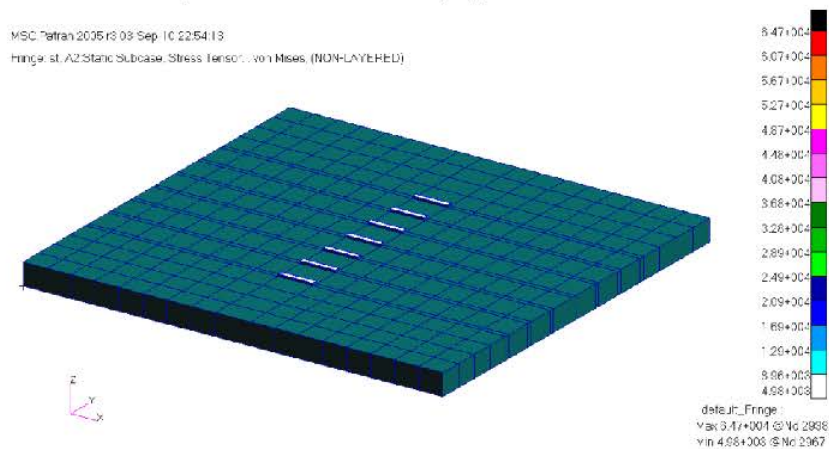


图 2.8 有限元模型仿真结果
Fig 2.8 Simulation results of Finite Element model

2.4.3.3 垫片的影响效果

考虑到低温时基板中部是凸起的，所以在基板和冷源之间增加一种杨氏模量和热膨胀系数都小于基板的垫片将有利于降低基板中间的应力，理论上垫片可以抵消部分应力的作用。垫片不易过厚，一般在 0.1mm 左右。

将表 2.2 中给出了几种材料参数代入有限元进行计算后得出一系列结果，如图 2.9 所示。其中 Invar 材料作为垫片时应力最小，为 44.2MPa，其余应力大小详见表 2.3。同时这也证明了增加垫片是一种行之有效的减小热应力的方法。

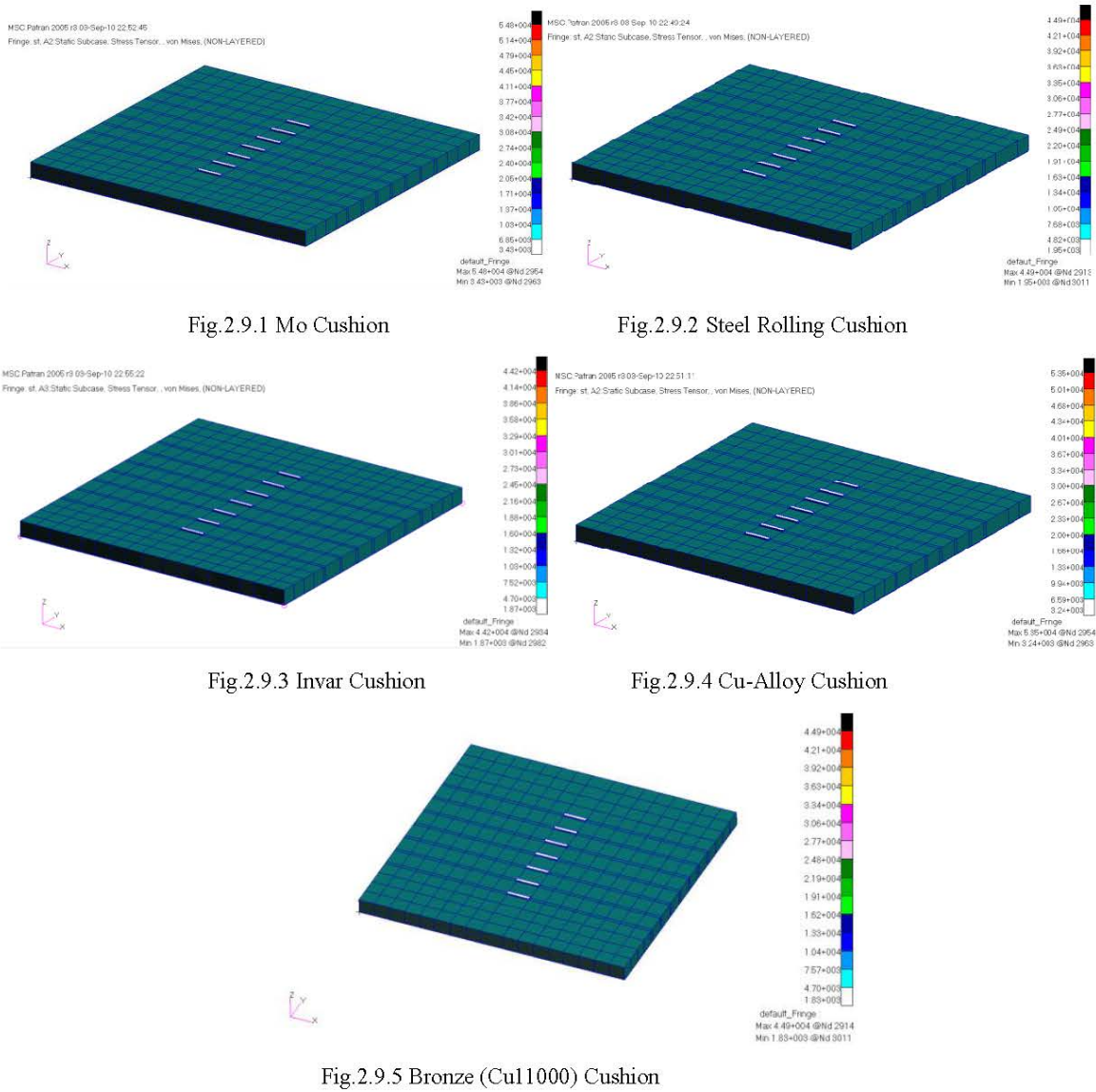


图 2.9 不同材料衬垫 HgCdTe 应力分布
Fig.2.9 HgCdTe stress distribution of various cushions

表 2.3 不同衬垫材料的最大应力

Table 2.3 the maximum stress between various cushions

衬垫材料	Cu-Mo-Cu	冷轧钢	Invar	6061 铝合金	Cu11000
最大应力 (MPa)	54.1	44.9	44.2	53.5	44.9

2.4.3.4 基板厚度的影响

氧化铝基板的厚度是另外一个对器件应力有影响的重要参数。在有限元模型中选取了氧化铝基板厚度在 1mm, 2mm, 3.5mm, 3.7mm, 4mm and 5mm 等 6 种情况进行了仿真，结果如图 2.10 所示。其中基板在 3.5mm 和 3.7mm 时器件所受应力最小，图 2.11 给出了变化趋势图。

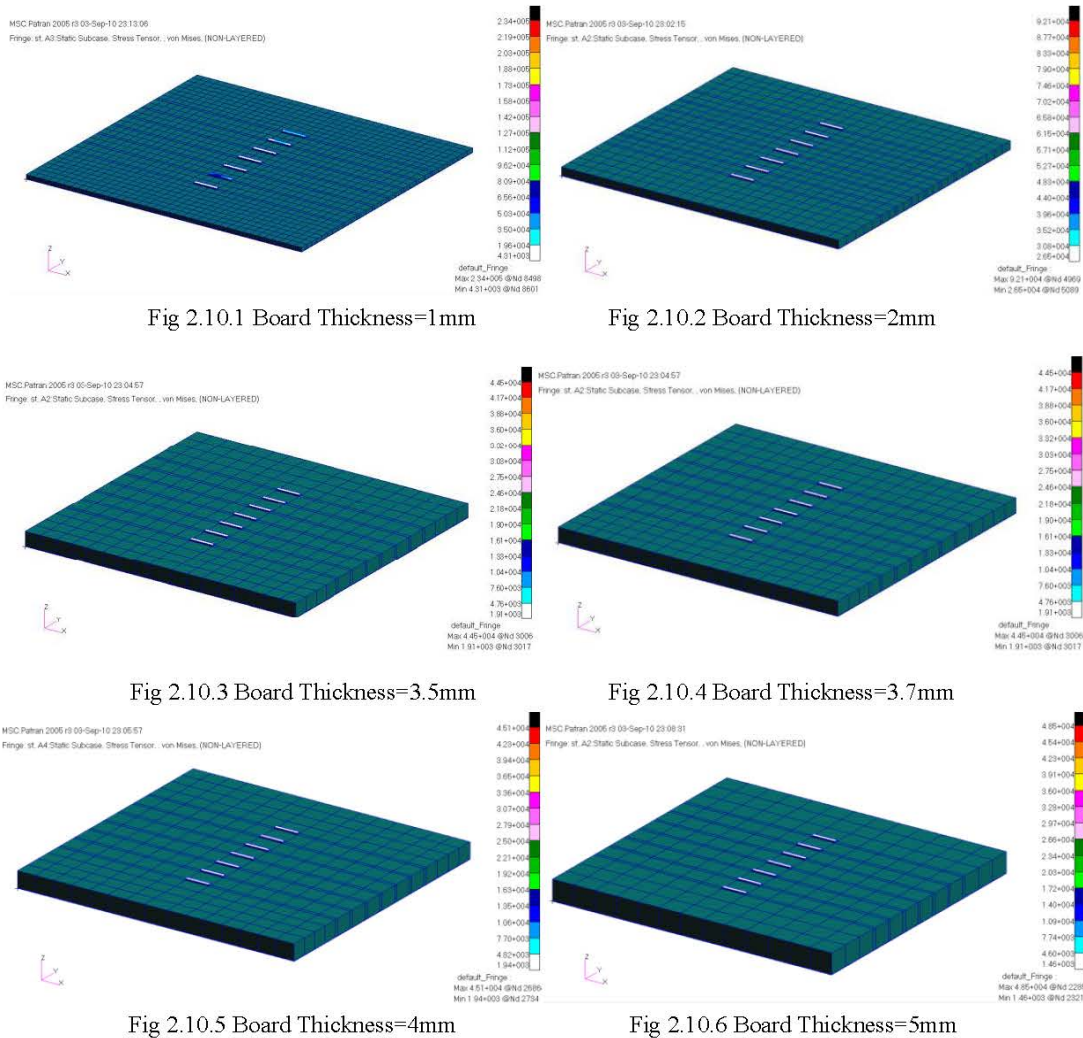


图 2.10 基板不同厚度下 HgCdTe 芯片应力分布

Fig 2.10 HgCdTe Stress Distribution between different thicknesses of motherboards

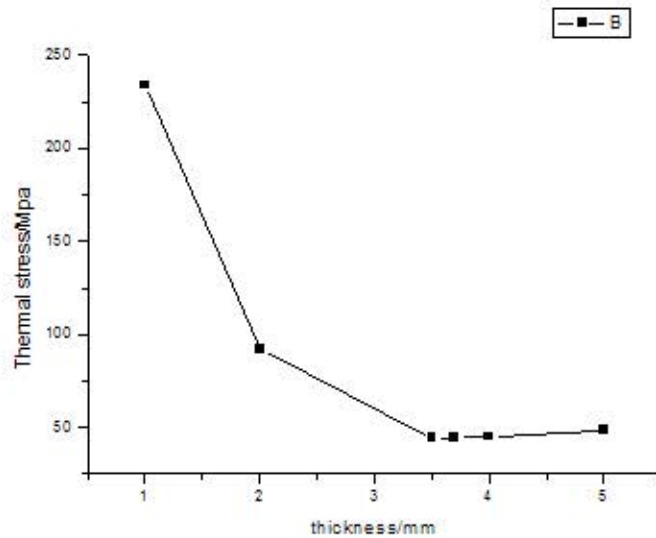


图 2.11 HgCdTe 最大应力与基板厚度关系变化趋势

Fig 2.11 Relationship between maximum stress and motherboard thickness

2.4.4 结论

有限元数值模拟分析研究表明: HgCdTe 红外焦平面器件一方面通过增加衬垫及选用合适材料, 另一方面设置恰当的基板厚度, 其 HgCdTe 芯片热应力在一定程度上得到了降低, 从而提高器件工作的可靠性。最后在理论预测和有限元方法验证的情况下找出了最优的基板厚度 3.5 到 3.7mm 之间和最佳垫片材料 Invar, 如图 2.12 所示。基板厚度设定在 3.6mm, 误差范围在 0.5mm 之内。[16][17]

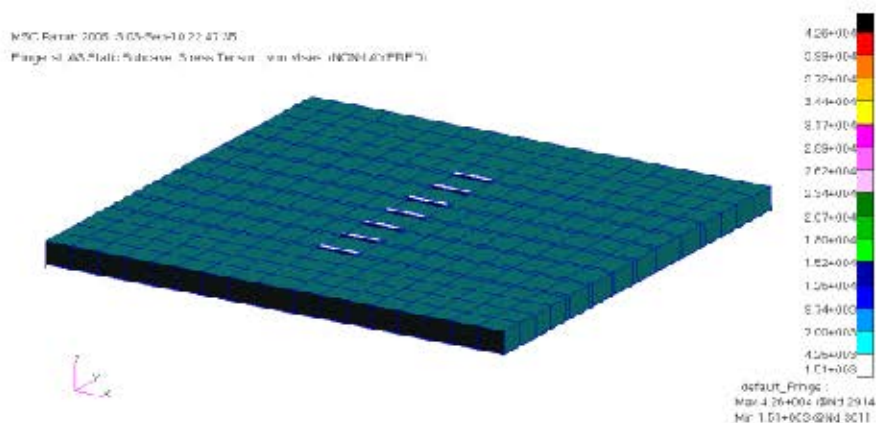


图 2.12 有限元分析的最优结构

Fig 2.12 Optimal structure of Finite Element Model

2.5 小结

本章首先对基板的加工材料进行了论述，将有机环氧树脂和无机陶瓷进行了对比，考虑到器件应用在低温杜瓦环境中，所选择了耐低温较好的陶瓷材料作为封装基板。接着对陶瓷材料加工的两种形式薄膜工艺和厚膜工艺进行了叙述，考虑到项目线宽的要求采取了多层薄膜基板与单层薄膜基板相结合的加工方式。在工艺和结构确定下来之后利用有限元软件对整个结构在低温下的工程热力学性质进行了分析，选取了最优的结构和厚度，最小化了光敏元芯片在低温下所承受的热应力。

参考文献

1. HAPPER C.A. Electronic Materials and Processes Handbook[B] 中文翻译版. 3rd ed., *McGraw-Hill*, New York, 2004, pp 37-84.
2. Odian,G. Principles of Polymerization [B],*McGraw-Hill*, New York, 1970.
3. Harper, C.A. (Ed.) Electronic Packing and Interconnection Handbook [B].*McGraw-Hill*, New York, 1991.
4. Coombs, C.F. Printed Circuits Handbook [B], 3rd ed.,*McGraw-Hill*, New York, 1988.
5. Fuchs, S., and Barnwell, P., “A Review of Substrate Materials for Power Hybrid Circuits,” [J] *The IMAPS Journal of Microcircuits and Electronic Packing*, Vol. 20, No.1, 1997.
6. Ritter, A.P., Bailey, A.E., Poppe, F., and et al. “Fabrication of Multilayer Ceramic Actuators,” [B] *Active Materials and Adaptive Structure*, *IOP Publishing Ltd.*, 1992, pp. 693-696.
7. Messner, G., Turlik, I., Garrou, P., and et al, “Thin Film Multichip Modules[B]” *ISHM Press*, 1992.
8. HAPPER C.A. Electronic Materials and Processes Handbook[B] 中文翻译版. 3rd ed., *McGraw-Hill*, New York, 2004, pp 442-444.
9. May, P.W., “CVD Diamond – A New Technology for the Future?” *Endeavor Magazine*, Vol. 19, No.3, 1995.
10. Sergent, J., “Materials for Multichip Modules,” *Semiconductor International*, June, 1996.
11. HAPPER C.A. Electronic Materials and Processes Handbook[B] 中文翻译版. 3rd ed., *McGraw-Hill*, New York, 2004, pp 413-441.
12. Messner, G., “Laminate Technology for Multichip Modules”, *Electronic Packing and Production*, October, 1992.
13. Harman, G., “Wire Bond Reliability and Yield,” *ISHM Monograph*, 1989.
14. Johnston, C., Susko, R.A., Siciliano, J.V., and et al, “Temperature Dependent Wear-Out Mechanism for Aluminum/Copper Wire Bonds,” *Proceedings. ISHM Symposium*, 1991.
15. 陈火红, 祁鹏.MSC.Patran/Marc 培训教程和实例[B].北京: 科学出版社, 2004.
16. 胡晓宁,张海燕,李言谨,何力.硅基HgCdTe面阵焦平面器件结构热应力分析[J].*激光与红外*, 2006, 36(11): 1020—1022.
17. Wen Wu, Yonghong Wu, Dafu, Liu, (2010). Research of thermal stress between long linear MCT arrays and lead board using FEM. *Proceedings of SPIE*, Vol.7847 (65).

第三章 封装系统设计与布局布线

3.1 探测器核心光敏元器件

3.1.1 光导器件原理示意图

根据第一章中光伏器件与光导器件的对比分析,并考虑到光导器件工艺成熟、性能稳定,对 $6\mu\text{m}$ 以上的长波探测谱段采用了 80×1 的 HgCdTe 光导线列器件作为探测器的核心光敏元器件。系统设计从 $5.8\mu\text{m}$ 到 $13.8\mu\text{m}$ 分为 7 个通道,7 线列在封装基板上依次排开,由窄带滤光片实现通道间的分光。其中在单个器件上品字形排布了 80 个光敏元,大小为 $50\mu\text{m}\times 50\mu\text{m}$,光敏元电极间隔为 $50\mu\text{m}$,图 3.1 为芯片的结构示意图。

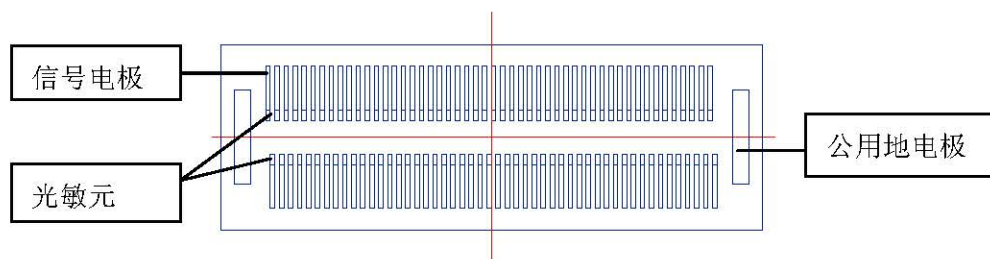


图 3.1 光导芯片示意图
Fig 3.1 Photoelectric chips

3.1.2 光导器件工作原理

图 3.2 说明了光导器件是依靠串联一个大电阻,利用光照改变光敏元电阻的大小来产生交流小信号的。小信号大小与光照强度成正比,可以被后端驱动电路直接放大读出。^[1]

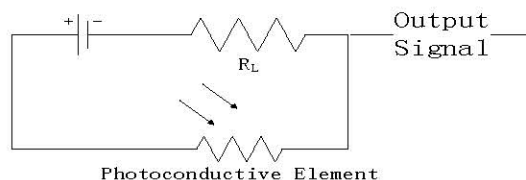
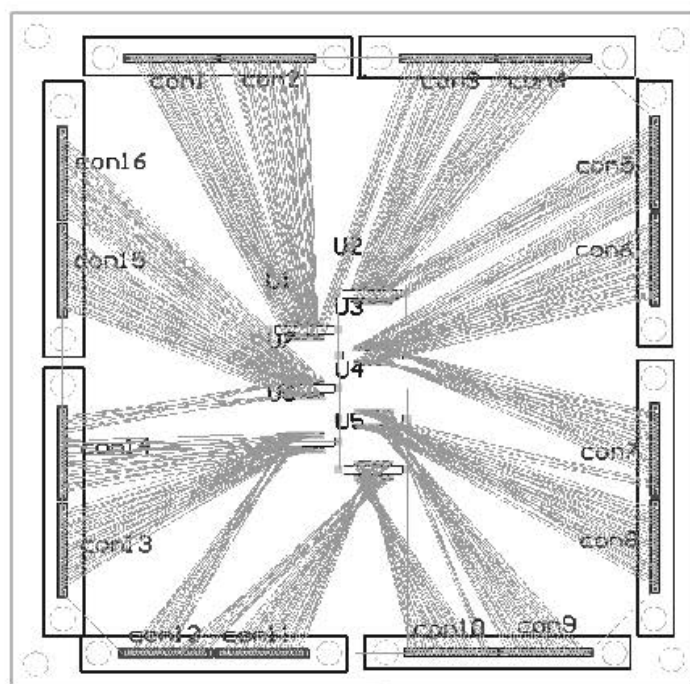


图 3.2 光导器件工作原理图
Fig 3.2 Work principle of photoconductive device

3.2 基板设计方案一

根据封装设计共有 7 通道，选用长波红外线列光导器件作为光敏探测芯片，每个通道的线列光敏芯片为 80 元，正常情况下至少预留 560 根信号输出端口，此外至少还应该有一根公共的地线。基于此种设想，设计了如图 3.3 所示的方案一。图中斜线为预拉线，它仅仅表明逻辑连接，真正意义上的电气连接需要进一步布线完成。

该方案存在具体实施的风险。布线难度很大，不易加工。考虑到光学系统孔径的限制，相邻光敏芯片之间的间距不能过大。但是由于光敏元之间的电极间距只有 $50\mu\text{m}$ ，如此小的间距内根本无法使用通孔进行多层布线。另外为了预留出 560 根信号线输出端口，基板面积必须足够大，这样就导致了金属薄膜引线的宽长比增大，从而在低温下由应力引起的收缩断裂的概率增大。



3.3 基板设计方案一

Fig 3.3 Design Scheme 1

3.3 基板设计方案二

考虑到第一种基板设计方案的風險，改进后提出了第二种方案，如图 3.4。方案二在基板中间使用排针将芯片电极引出，即采用陶瓷引脚栅格阵列的封装形式 (Ceramic Pin Grid Array, CPGA)，基板面积大大的减小。但是考虑到基板应用环境的特殊性，军品金属接插件很难获得，直接定制不仅价格高昂，而且可靠性也无法得到保证，最终难以应用到实践中。

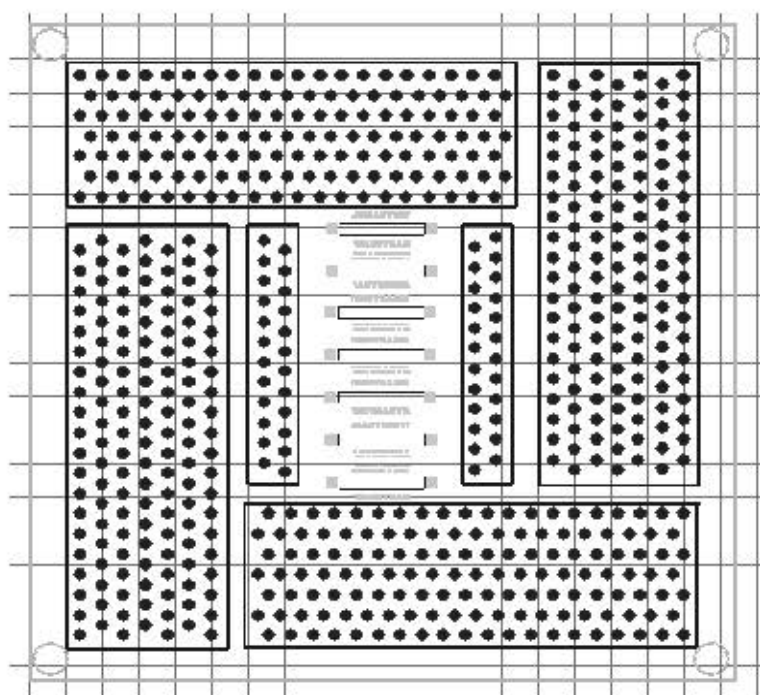


图 3.4 基板设计方案二
Fig 3.4 Design Scheme 2

3.4 基板设计方案三

3.4.1 系统设计方案

考虑到前两次设计方案的问题主要集中在最后排线的引出上，方案三采用分时信号读出的方式。基于光导器件的基本工作原理，芯片可以按照阵列分成 7 组，每一组的地线通过模拟开关进行选通，其余组的状态置为高阻。经过第一个模拟开关，某一线列器件被选通，然后再经过第二个模拟开关，此线列中的某一光敏元被选中，单个的光敏元信号被读出放大，最终用扫描的方式将所有的信号串行读出。系统设计方案如图 3.5 所示。

需要指出的是，由于光导芯片产生的光电信号属于小信号，任何形式的噪声源都有可能对信号产生致命的影响。因此，数字 FPGA 电路不能作为选通开关。即便是模拟开关的选择也应尽量使用低噪声、低导通电阻的型号。市场上德州仪器公司的模拟开关 TS5A6542 在选通后，导通电阻仅 0.75 欧姆。^[2] 采用先关后开方式，开启时间和关闭时间均在 ns 量级。

由于模拟开关直接与模拟地相接，等效于一串联电阻，故电阻噪声电流大小：

$$I_n^2 = (4kT\Delta f)/R$$

其中 R 为导通阻值，约为 0.75 欧姆，k 为波耳兹曼常数，T 为绝对温度值， Δf 为后端小信号的频率带宽，约在 kHz 量级，所以最后噪声电流 I_n 在 nA 量级，与信号电流相当。定

制的芯片可以将把选通功能与放大功能直接耦合在一起减少中间连接，以进一步减小系统工作噪声。^[2]

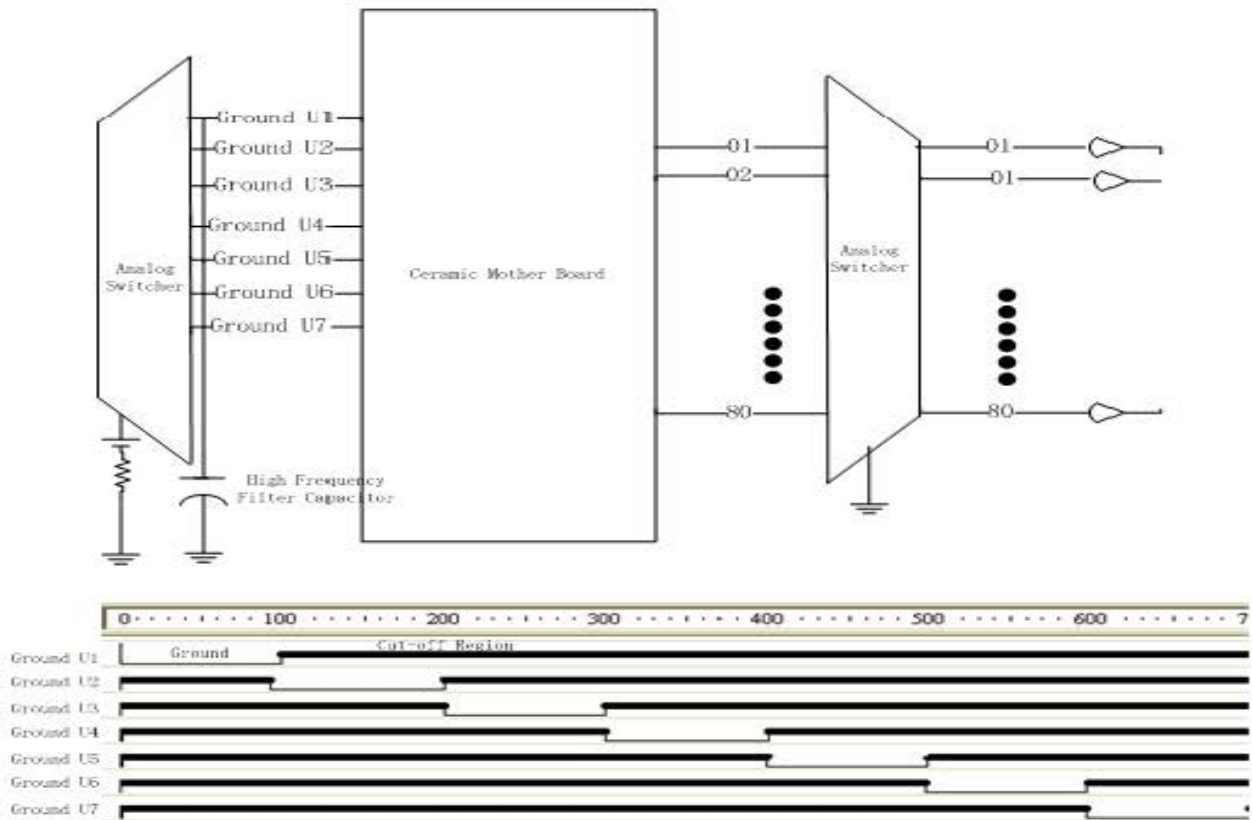


图 3.5 方案三系统原理图
Fig 3.5 Principle of design scheme 3

3.4.2 封装基板层次结构

系统的噪声不仅来自器件本身，由于无线通讯的发展，外来的电磁波越来越成为噪声的重要来源。器件合理布局布线不仅可以有效降低封装难度，而且可以有效地提高信号的传输质量来抑制外来电磁波的干扰。

在集成电路的设计中，一个常用的 IC 封装通常是由硅基芯片、一个小型的内部 PCB 和焊盘来共同构成。本文中的芯片是 HgCdTe 体材料，内部 PCB 是由多层薄膜陶瓷基板来代替。芯片用低温胶黏贴在陶瓷基板上，然后采用引线键合工艺实现陶瓷焊盘与光导芯片的连接，陶瓷基板的作用是用来实现芯片上的信号与对应柔性电缆管脚之间的连接，这样就实现了光导芯片引线的对外连接。

键合用的引线是一种连接芯片与陶瓷基板的细线，可以采用金丝或硅铝丝。这种技术在 2.3 节已经做了详细的叙述。但是键合线也有自身的缺点，就是会使每一个信号或者电源线的电流环路面积增加，将导致电感值升高，这在布线时要特别引起注意。封装好的光导芯片

剖面图由图 3.6 所示，多层陶瓷基板既作为芯片的衬底提供机械强度支持，又作为芯片光电信号与外部驱动电路之间电气连接的物理载体。



图 3.6 多层基板剖面图
Fig 3.6 Section plane of motherboard

3.4.3 基板的布局布线

根据 2.3 节所述，考虑到布线和热应力等各种因素的影响，首次在工艺上尝试使用双面薄膜加工工艺，其基本原理请参看 2.2 节介绍的薄膜加工工艺。

3.4.3.1 基板布局

根据 3.4.1 节确定的系统设计方案，基板采用分时读出的方式，时间片由低噪声低导通电阻的模拟选通开关分割完成。具体的基板布局方式由图 3.7 所示。560 单元被分成 7 组，每一组连接一个公共地线用于信号选通。理论上为了减小前端光学系统半径，7 根芯片应该围绕着一个圆心进行排列，这样可以最小化光学半径。但是考虑到后端布线的困难程度，为了尽量缩短走线的长度，这里我们将 7 根光导器件并排排列。尽管光学口径有所增加，但是通过 3.4.3.2 节的描述可以发现，布线的复杂度明显降低，达到了预期的效果。

3.4.3.2 基板布线

根据图 3.7 所给出的布局图使用 Protel 软件进行了布线时，在布线时以下几个方面尤其要引起注意：

1).如图 3.8 所示，地线一般采取两种形式即水管型或者枝杈型，它们的共同点是单点接地。在纯模拟电路中通常不允许有多个地，以避免造成地电位差。

2).如图 3.9 所示，走线时要注意环路面积要尽可能小，这样不容易形成线圈，否则会增加系统的内部电感。此外不同层的走线尽量不要平行。^[3]

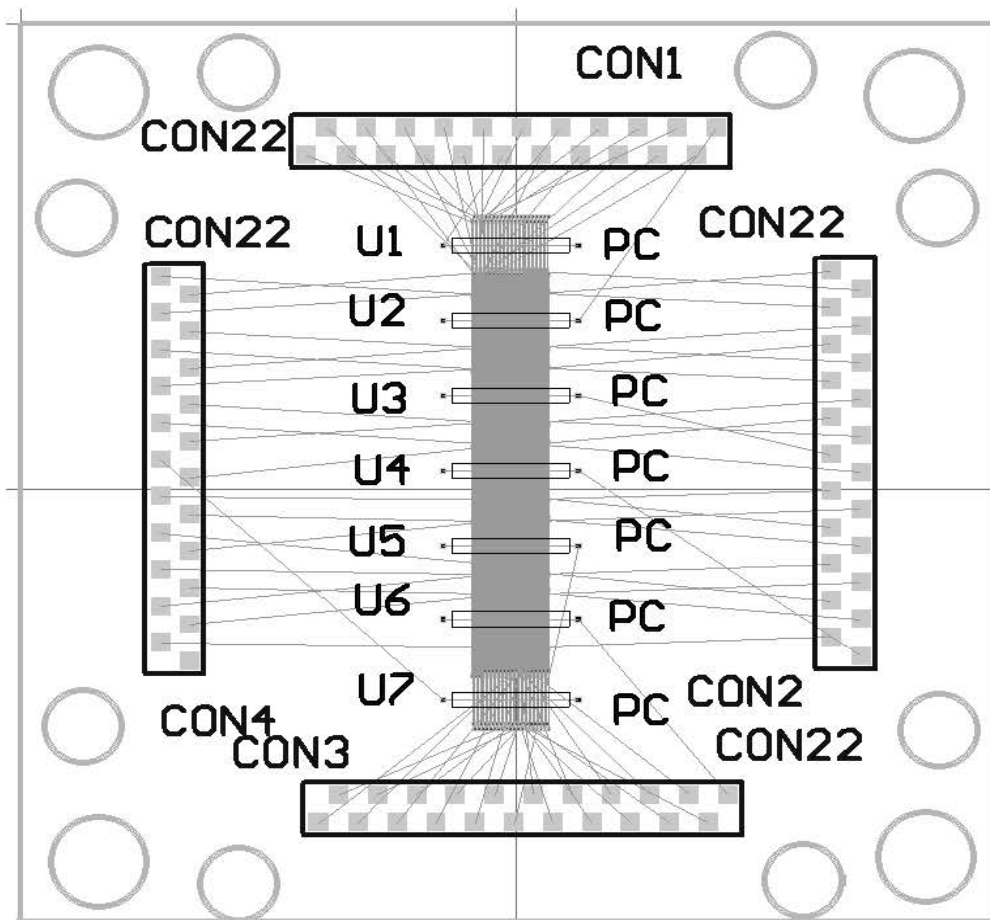


图 3.7 方案三布局设计图
Fig 3.7 Layout of Scheme 3

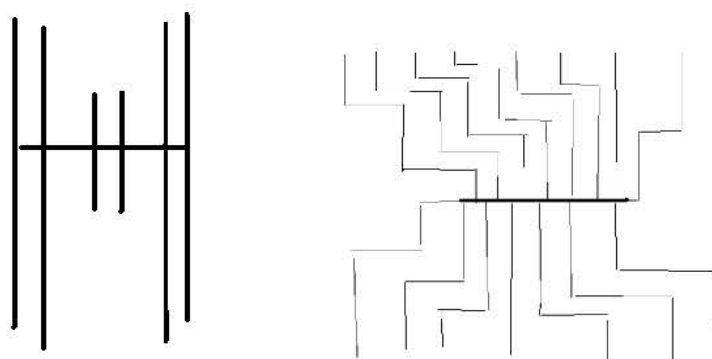


图 3.8 地线连接方式
Fig 3.8 Connection of ground line

小基板的布局和布线图，以及大基板的顶层、底层布线图以及方案三整体布线图分别如图 3.10，3.12，3.13 和 3.14 所示。图形中的数字分别代表：

1. 基板固定孔；
2. 柔性电缆固定孔；

3. 基板通孔；
4. 定位孔；
5. 小基板；
6. 金属走线；
7. 金属焊盘。

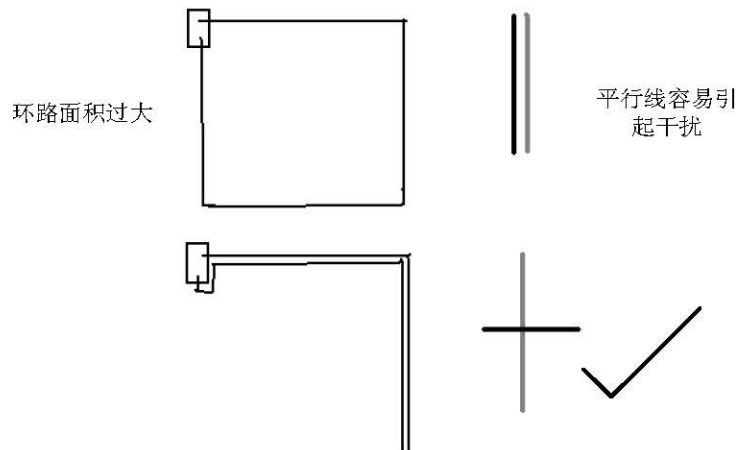


图 3.9 走线方式

Fig 3.9 the route of schematic

3.4.4 柔性电缆设计

对于引线方案，从国内外的介绍来看，主要有两种结构，下面分别介绍其优缺点：

1). 采用薄膜引线方案：

采用适当的接插件或者使用陶瓷引线环将探测器的信号线引出，美国的宇宙飞船搭载的大气红外垂直探测仪(AIRS)和美国的 IMACS 都采用相类似结构(见图 1.10)，它们都是在高真空下封装的，可靠性比较高。详细说明请参见 1.3.2.2 小节。

2). 采用金属丝引线方案：

通过陶瓷引线环或玻璃珠烧结引线环将探测器信号线引出，该结构的工艺相对简单，但是可靠性不高。

柔性电缆技术要求如下，具体设计参见图 3.15：

1). 图形区域中的金属线采用 $18\mu\text{m}$ 厚的铜膜。

2). 电缆分为两个区域，头部与尾部为引出区，为了便于键合需要使用 $88\mu\text{m}$ 厚的聚酰亚胺加厚处理；另一个区域为体区，两者均从正面引线。

3). 头部和尾部的引出区电极端表面要镀金，厚度不小于 $1\mu\text{m}$ 。

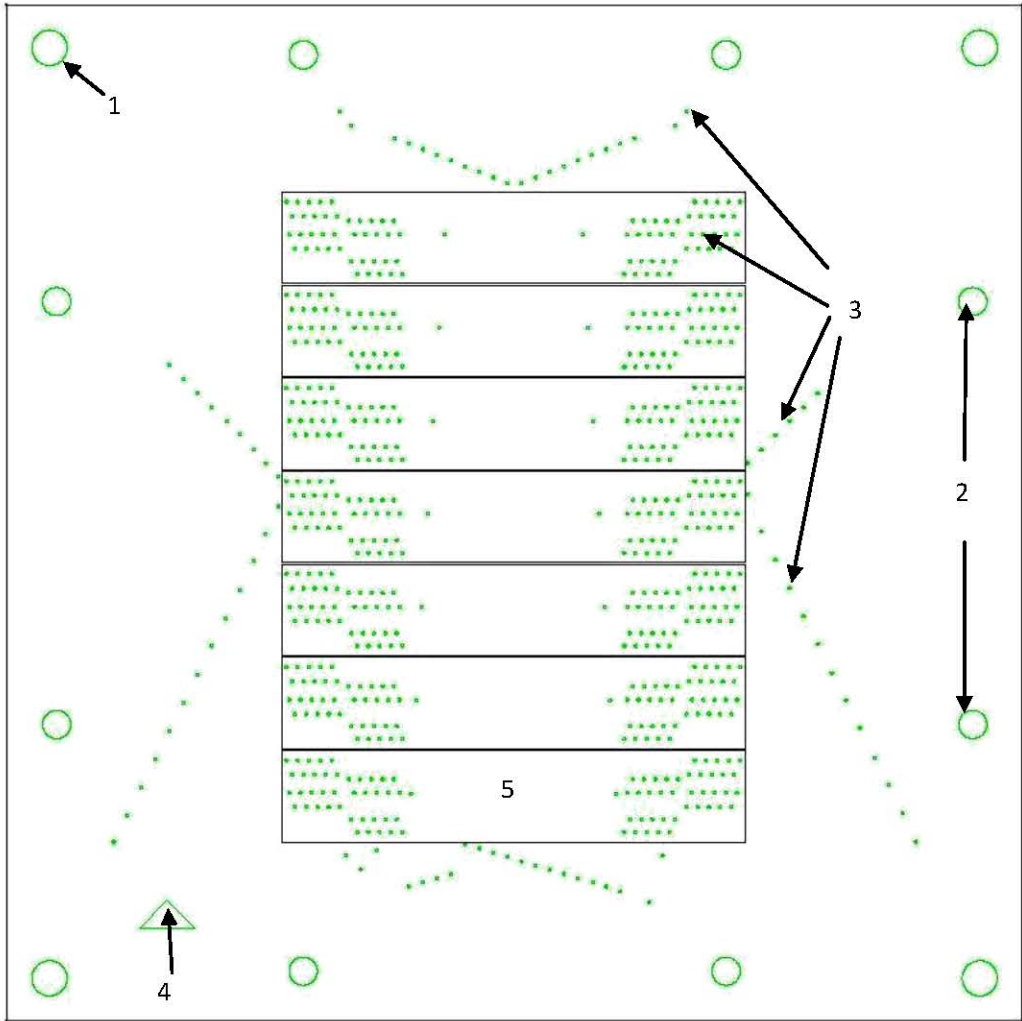


图 3.10 基板的布局图
Fig 3.10 Layout of motherboard

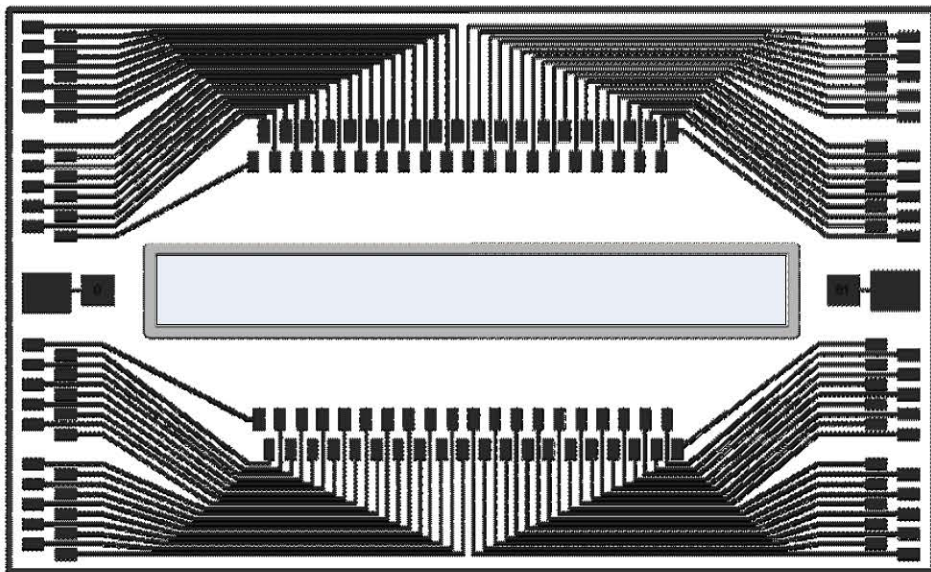


图 3.11 小基板布线图
Fig 3.11 Route of small ceramic board

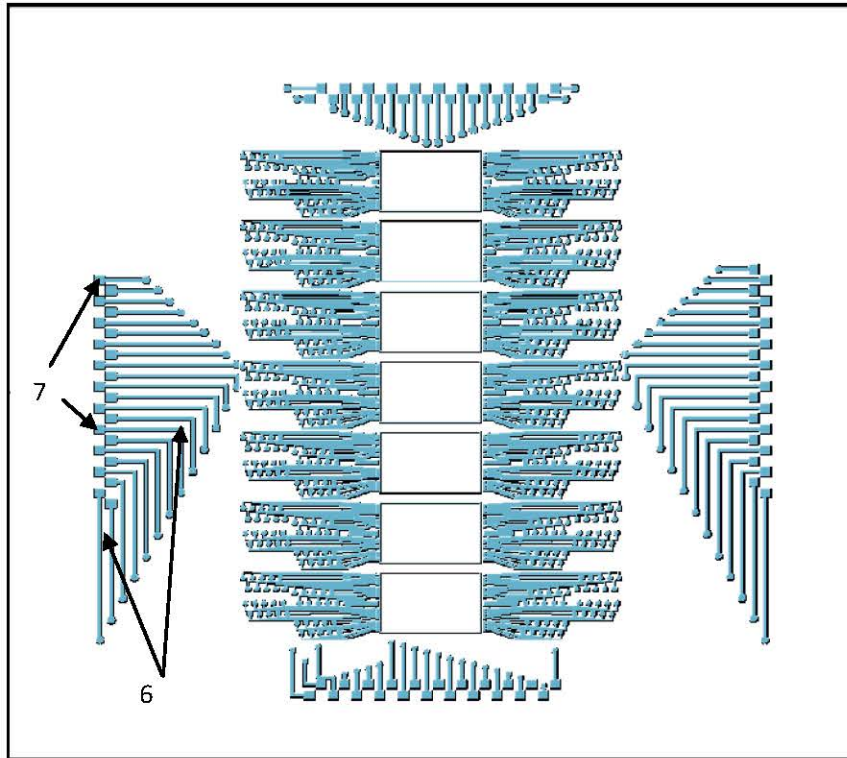


图 3.12 大基板顶层布线图
Fig 3.12 the top route of large motherboard

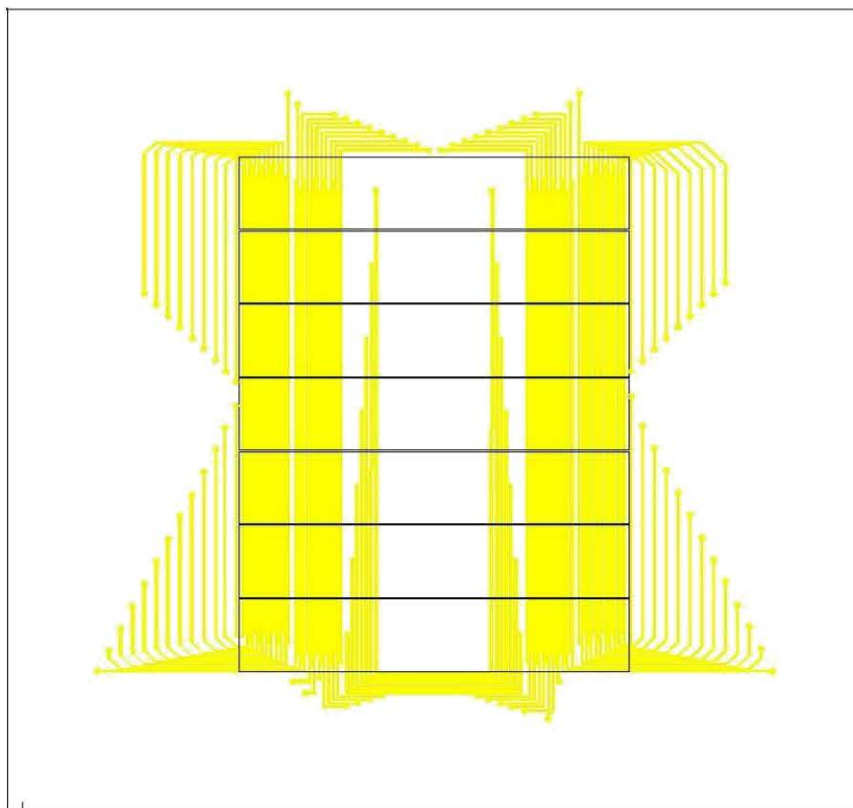


图 3.13 大基板底层布线图
Fig 3.13 the bottom route of large motherboard

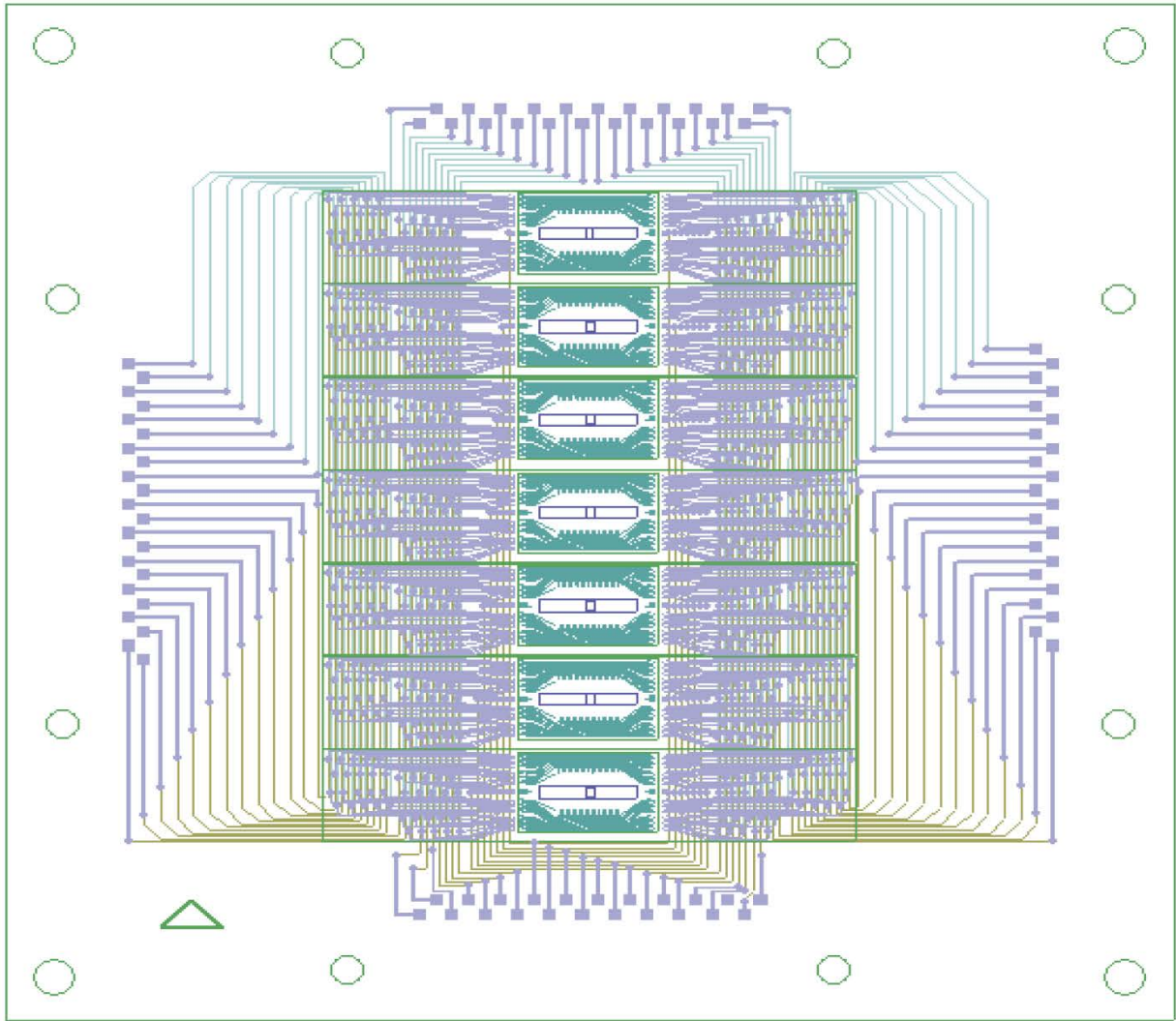


图 3.14 方案三布线图
Fig 3.14 Route of Scheme 3

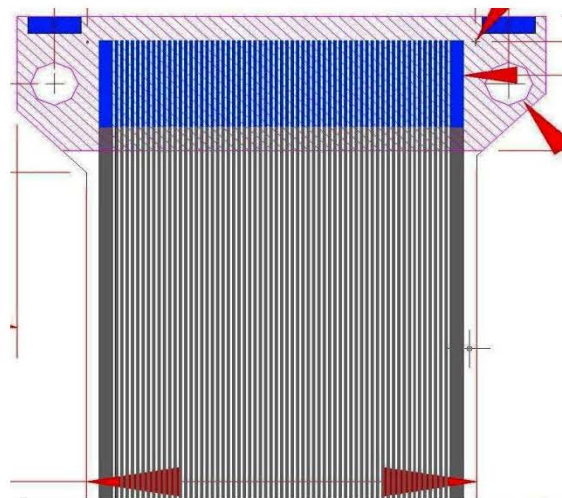


图 3.15 柔性电缆设计图
Fig 3.15 Design of flexible cable

3.4.5 基板实物图

在加工过程中需要使用通孔连接基板顶层的金属线和底层的金属线，所以初始的基板厚度为标准的 0.381mm。尽管厚度远远小于 2.4 节模拟出来的最优基板厚度，主要是受到工艺的限制：较薄的基板方便打孔，能够保证了通孔金属化的成功率。基板顶部和底部的实物布线图参看图 3.16。

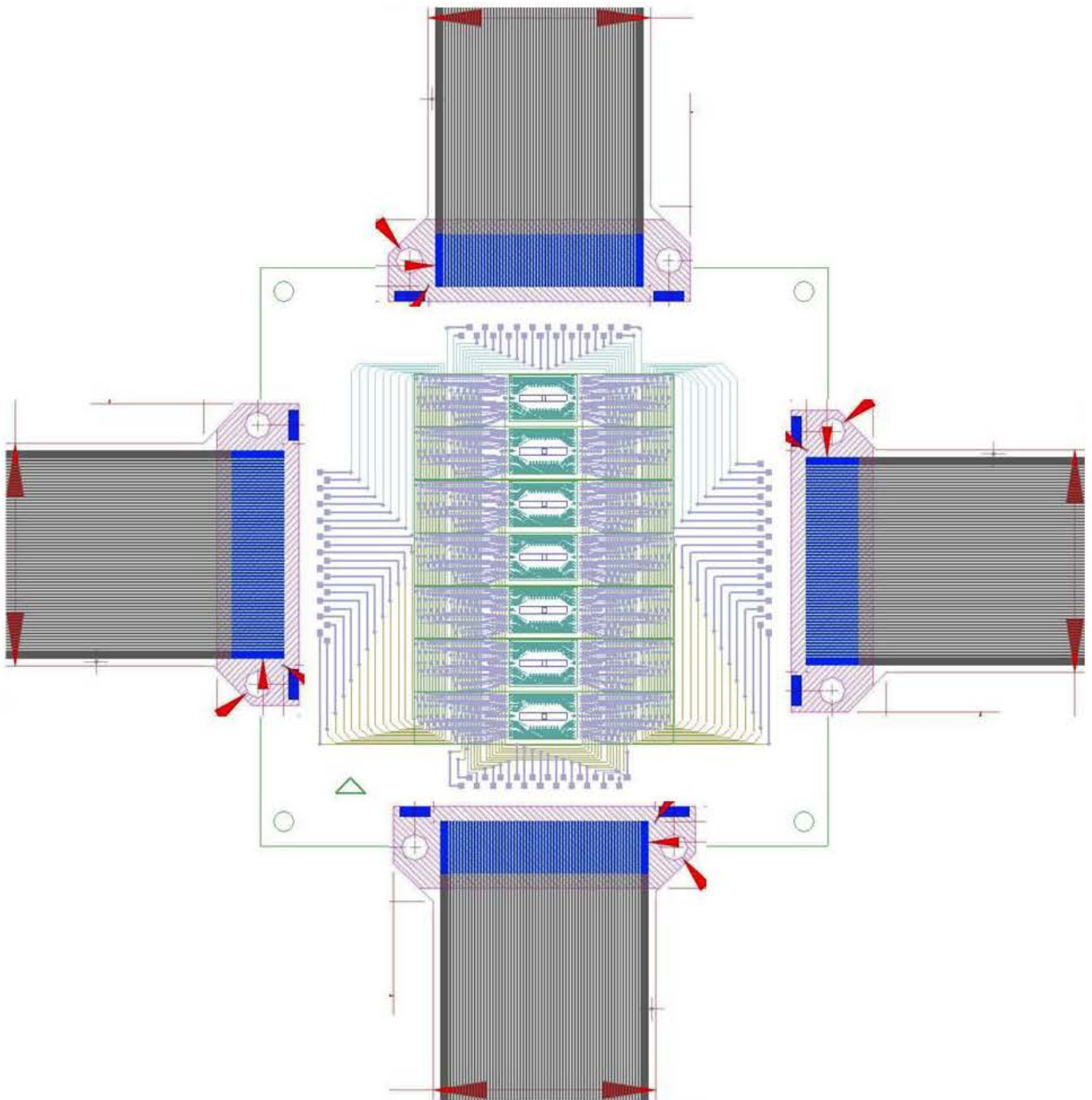


图 3.16 基板与柔性电缆的连接方式

Fig 3.16 Connection between the motherboard and the flexible cables

引线基板用特殊的绝缘胶水将其固定在较厚的陶瓷基板上。这样基板厚度不仅可以接近 2.4 节有限元模拟出来的最优值，从而减小了由于低温而产生的热应力，而且还可以增加基板的机械强度，提高基板的可靠性。粘贴后形成的引线基板实物图如图 3.17 所示。

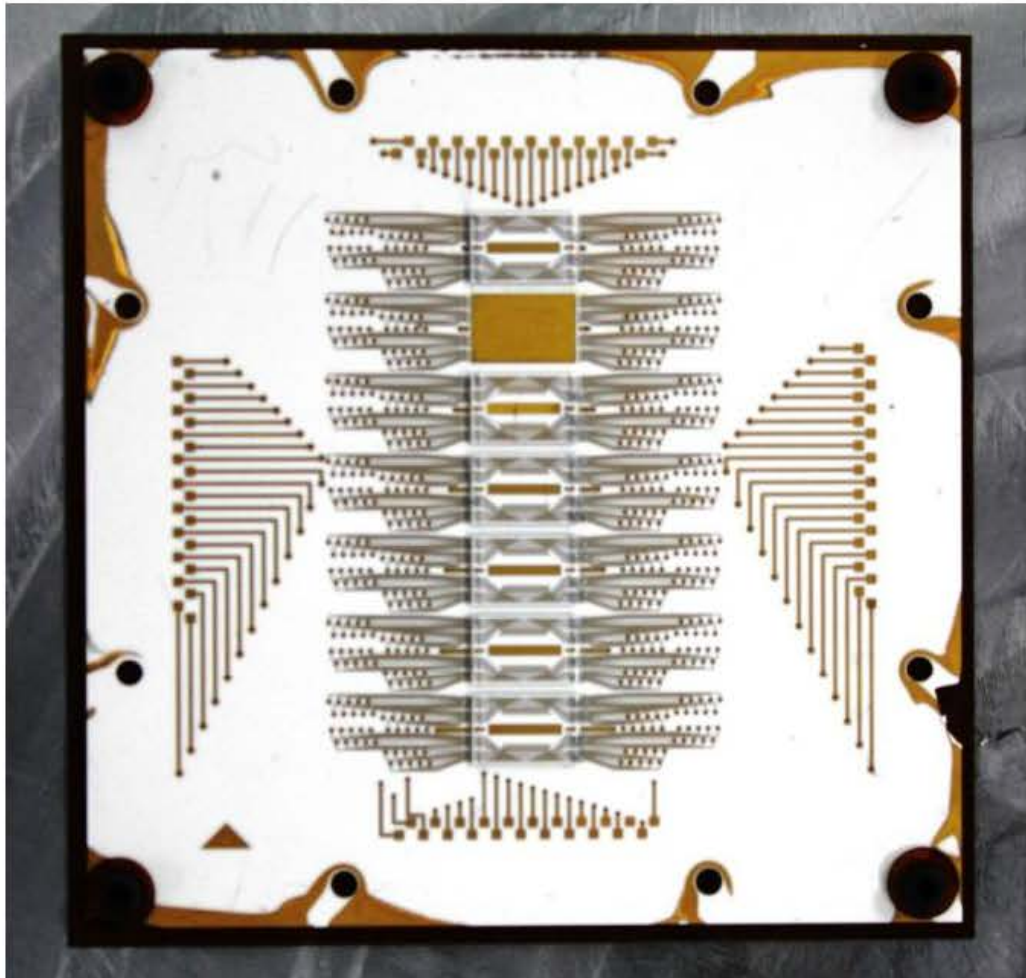


图 3.17 多层陶瓷封装基板实物图
Fig 3.17 multilayer ceramic assembly motherboard

3.5 小结

本章重点讨论了光导芯片的工作方式，并由此设计了适合光导芯片封装的陶瓷基板。设计之初方案一由于引线引出困难，基板过大，方案二由于接插件设计制作困难都没有选用。而方案三采用模拟开关分时选通读出的方式，解决了前两种方案的困难。优化设计后的引线电路既保证了多通道线列器件正常工作时所需要的条件，同时又大大降低了杜瓦组件引线的数量，有利于降低引线基板的面积、杜瓦寄生热负载和引线的难度。在对单通道的单个芯片的封装过程中采用单层薄膜小基板进行封装，然后再二次封装，不仅提高了加工的成品率，也有利于器件的检查、维护和更换。

参考文献

1. A Rogalski, HgCdTe infrared detector material: history, status and outlook [J], *Reports on Progress in Physics*, 2005, Vol. 68 (10), pp: 2267–2336
2. 武文, 刘大福. 新一代星用多通道光导线列焦平面的多层陶瓷封装设计[J], *光子学报*, 2010, Vol.39(12), pp: 2241-2245.
3. 姜雪松, 程绪建, 王鹰等, 印刷电路板工程设计——专业技能入门与精通[B], *机械工业出版社*, 2009。

第四章 基板金属化防电磁干扰

4.1 电磁屏蔽研究回顾

电磁屏蔽就是控制电磁干扰，防止弱信号受到外来电磁波的干扰而保护系统信号的完整性。电磁干扰（EMI）有可能降低器件的性能指标，甚至导致系统电信号紊乱。电磁干扰真正获得关注是从上世纪 20 年代伴随着无线电广播的应用而开始的。尤其是最近的 20 余年，电子电气工程技术突飞猛进，电子元器件和功率器件被广泛的使用，由这些电子元器件发射出的电磁波无处不在，尤其是随着半导体技术、电信技术和无线网络技术的发展所导致的电磁干扰问题变得异常严重。

电磁兼容技术就是要让电子系统在工作时既不干扰外部其它的电子系统，也不被外部的电磁波所干扰。随着手持设备和其它各类电子设备的广泛使用，塑料封装在电子系统中扮演了越来越重要的角色，塑料不仅价格低廉，而且容易加工，质量也比普通的金属外壳轻便。但是塑料本身对于电磁波的传播是没有任何屏蔽作用的，电子封装领域的塑料大规模使用使电磁干扰现象突显出来。就这个实际的工程问题，科研人员在近几十年做了大量的研究工作，采用了各种物理和化学的方法，对塑料封装进行了金属化研究，以期采用最低的造价达到最佳的防电磁波的效果。

这些方法概括起来主要有两种方式，一种是将不同比例的金属颗粒添加到塑料加工过程中，这样生产出来的塑料就具有了导体的性能，用于不同波段的电磁屏蔽；另外一种是利用不同工艺方法在塑料表面镀上一层金属薄膜，由于工艺不同，产生了不同的附着力和表面态，所以屏蔽的效果也大不相同。早些年采用的方法包括阴极溅射（Cathode sputtering）、电镀（Electroplating）、非电解镀层（Electroless plating）、真空金属化（Vacuum metalizing）、塑料金属化（conductive plastics）^{[1][2][3]}等多种金属化的方法屏蔽电磁波。它们的屏蔽的效果和成本如表 4.1 所示。近些年，Joo 和 Lee 采用了特殊的掺杂银粉末的 PAN（Hydrochloric acid doped polyaniline,）材料取代传统的金属薄膜在电磁屏蔽中取得了良好的效果^[4]，而 Guan 等人采用混合着 nickel 粉末的 acrylic resin 在低频电磁波屏蔽上取得了突破^[5]。

4.2 电磁屏蔽研究在项目中的应用

本设计是考虑到杜瓦封装中的陶瓷封装基板在工作时通过冷链与斯特林制冷机耦合，参照研究人员在研究塑料基底时所做的工作，提出了对陶瓷底部进行金属化，以降低电磁波可

能带来的干扰。如图 4.1 所示，在基板的底部增加一金属层，不仅对整个系统重量影响可以忽略，而且由于金属层在基板底部也不会引起杂散光的问题。

表 4.1 各种电磁屏蔽方法的比较

Table 4.1 The comparison of Shielding Effectiveness and Cost for EMI

方法	厚度 (um)	阻抗 (Ohm/sq)	屏蔽效果 (dB)	单位面积花费
阴极溅射	0.75	1.5	70-90	较低廉
电镀	0.75	0.1	70-90	较低廉
非电解镀层	1.25	0.03	70-90	较低廉
真空金属化	1.25	5-10	50-70	中等
塑料金属化	1000-3000	75-100	40-60	最昂贵

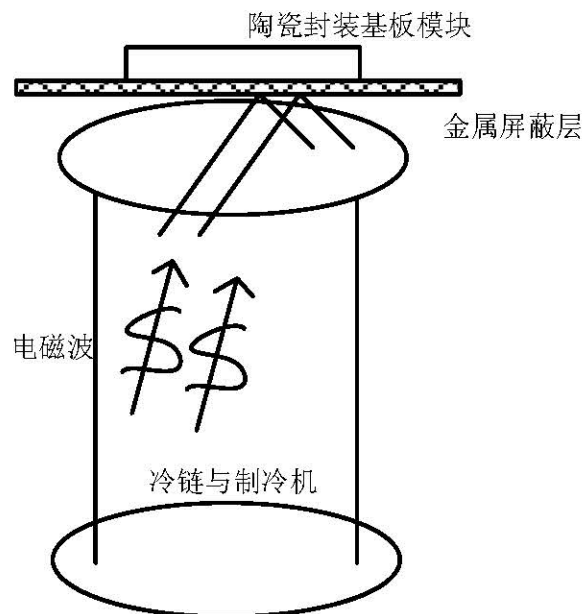


图 4.1 基板溅射薄膜防电磁干扰示意图

Fig 4.1 Sputtering metal thin-film shielding of electromagnetic wave

一般电磁波理论分析^[6]表明，电磁波在导体表面会发射折射，反射和吸收。由于金属薄膜厚度一般在 1000\AA 以下，相比于反射，吸收和折射对于电磁波的影响可以忽略不计，所以在薄膜处主要发生的是电磁波的反射过程。根据上表可知，采用溅射薄膜的塑料反射效果最好，而且在陶瓷基板上容易实现，一般在 $70-90\text{dB}$ 左右，所以采用在陶瓷封装基板的底部溅射金属薄膜对外来的电磁波进行防护。但是随着频率的下降，屏蔽效果有可能变差。所以，在航空航天等高端应用领域，塑料表面一般会采用镀多层膜的方式增大金属膜对电磁波的反射效果。如果 n 层的膜比 $n-1$ 层膜有更高的介电系数与磁导率之比，通常反射效果比相同厚度的金属薄膜更好，但是考虑到多层膜与膜之间的附着以及表面等情况，文献中电磁屏蔽效

果并没有按照理论预期那样一直增长下去，屏蔽效果甚至有可能会变差。

4.3 平面电磁波传播的理论分析

为了能够更好的指导金属屏蔽薄膜的设计，下面从最基本电磁屏蔽的理论出发对电磁屏蔽原理进行说明。

这里的电磁波主要是远场电磁波，所以可以参照一般传输线理论进行说明。在一般的传输线中， V 是传输线两端的电压， I 是传输线上的电流， x 为一位传输线的坐标，则有

$$\frac{dV}{dx} = -ZI \quad (4.1)$$

$$\frac{dI}{dx} = -YV \quad (4.2)$$

$$K = \sqrt{\frac{Z}{Y}} \quad (4.3)$$

$$\Gamma = \sqrt{ZY} \quad (4.4)$$

其中 Z 为分布阻， Y 为单位电导， K 为传输线特征阻抗， Γ 为传输线传输系数。

由电磁场理论可知，在平面电磁波中：

$$\frac{dE}{dx} = -j\omega\mu H \quad (4.5)$$

$$\frac{dH}{dx} = -(\sigma + j\omega\varepsilon)E \quad (4.6)$$

其中， E 为电磁场电场强度， H 为磁场强度， ω 为角频率， ε 为介电常数， σ 为电导率， μ 为磁导率。根据式 4.3，4.4，4.5，4.6 可以得到

$$\eta = \sqrt{\frac{j\omega\mu}{\sigma + j\omega\varepsilon}}, \quad (4.7)$$

$$\gamma = \sqrt{j\omega\mu(\sigma + j\omega\varepsilon)}, \quad (4.8)$$

其中 η 为电磁波阻抗， γ 为电磁波传播系数。

传输线的一般方程式为：

$$I(l) = \frac{K}{K \cosh \Gamma l + Z(l) \sinh \Gamma l} I(0), \quad (4.9)$$

$$V(l) = \frac{Z(l)}{Z(l) \cosh \Gamma l + K \sinh \Gamma l} V(0), \quad (4.10)$$

$I(l)$ 和 $V(l)$ 是传输线在 l 处的电流值和电压值, $I(0)$ $V(0)$ 是传输线在 0 处的电流值和电压值, 参照 4.9 和 4.10 式可以得到:

$$H(l) = \frac{\eta}{\eta \cosh \gamma l + Z(l) \sinh \gamma l} H(0) \quad (4.11)$$

$$E(l) = \frac{Z(l)}{Z(l) \cosh \gamma l + \eta \sinh \gamma l} E(0) \quad (4.12)$$

同样 $H(l)$ 和 $E(l)$ 是电磁场在 l 处的磁场强度和电场强度, 而 $H(0)$ $E(0)$ 是电磁场在 0 处的值。如图 4.2 所示, 电磁波在界面处发射反射与透射, E^i 为入射波的电场强度, E^r 为反射波的电场强度, E^t 为透射波的电场强度, 而 H^i H^r H^t 则分别为它们的磁场强度, 6 者之间的相互关系为:

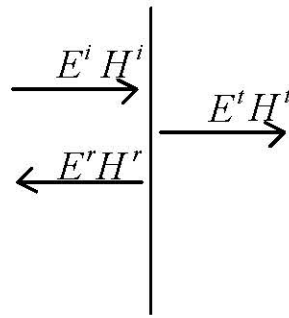


图 4.2 电磁波在界面的处作用
Fig 4.2 Waves Interaction at interfaces

$$E^i + E^r = E^t \quad (4.13)$$

$$H^i + H^r = H^t \quad (4.14)$$

$$E^i = \eta H^i \quad (4.15)$$

$$E^r = -\eta H^r \quad (4.16)$$

$$E^t = Z(l) H^t \quad (4.17)$$

由式 4.13-4.17 可得出磁场和电场的反射系数 q_E q_H 以及传输系数 p_E p_H :

$$q_E = \frac{E^r}{E^i} = \frac{Z(l) - \eta}{Z(l) + \eta} \quad (4.18)$$

$$q_H = \frac{H^r}{H^i} = \frac{\eta - Z(l)}{\eta + Z(l)} \quad (4.19)$$

$$p_H = \frac{H^t}{H^i} = \frac{2\eta}{\eta + Z(l)} \quad (4.20)$$

$$p_E = \frac{E^t}{E^i} = \frac{2Z(l)}{\eta + Z(l)} \quad (4.21)$$

而电磁场的透射系数为 T_H, T_E ，且由于是同一个波，两者大小应该相等：

$$T_H = \frac{H(l)}{H^i} = \frac{H(l)}{H(0)} \frac{H(0)}{H^i} \quad (4.22)$$

$$T_E = \frac{E(l)}{E^i} = \frac{E(l)}{E(0)} \frac{E(0)}{E^i} \quad (4.23)$$

由 4.11 和 4.12 可知：

$$\frac{H(l)}{H(0)} = \frac{\eta}{\eta \cosh \gamma l + Z(l) \sinh \gamma l} \quad (4.24)$$

$$\frac{E(l)}{E(0)} = \frac{Z(l)}{\eta \cosh \gamma l + Z(l) \sinh \gamma l} \quad (4.25)$$

而同时由 4.20 和 4.21 推导得：

$$\frac{H(0)}{H^i} = \frac{H^t}{H^i} = \frac{2Z(l)}{\eta + Z(l)} \quad (4.26)$$

$$\frac{E(0)}{E^i} = \frac{2\eta}{\eta + Z(l)} \quad (4.27)$$

最终得到 T 的大小为：

$$T = T_H = T_E = p(1 - qe^{-2\gamma l})^{-1} e^{-\gamma l} \quad (4.28)$$

其中令 $k = \frac{Z(l)}{\eta}$ 则 $p = \frac{4k}{(k+1)^2}$ ， $q = \frac{(k-1)^2}{(k+1)^2}$ ，经过一层薄膜之后电磁波的指数衰减值为

$$\begin{aligned} SE &= -20 \log_{10} |T| = 20 \log_{10} \left| \frac{(1 - qe^{-2\gamma l})e^{\gamma l}}{p} \right| \\ &= 20 \log_{10} |e^{\gamma l}| + 20 \log_{10} \left| \frac{1}{p} \right| + 20 \log_{10} |1 - qe^{-2\gamma l}| \\ &= A + R + B, \end{aligned} \quad (4.29)$$

A 为系数衰减，R 为反射衰减，B 为二次反射衰减。上述分析是专门针对于单层薄膜而言的。而对于多层薄膜，如图 4.3 可知：

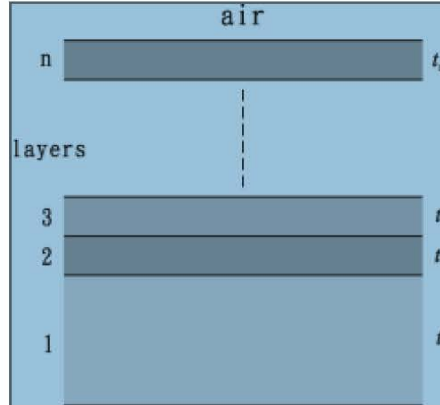


图 4.3 多层薄膜屏蔽
Fig 4.3 Multilayer shielding

其中

$$p = \frac{2\eta_0 \cdot \eta_1 \cdot \eta_2 \cdots \eta_n}{(Z(0) + \eta_1)(\eta_1 + \eta_2)(\eta_2 + \eta_3) \cdots (\eta_n + Z(l))} \quad (4.30)$$

$$q_n = \frac{(\eta_n - \eta_{n-1})(\eta_n - Z(l_n))}{(\eta_n + \eta_{n-1})(\eta_n + Z(l_n))} \quad (4.31)$$

则在多层薄膜的情况下，各种衰减指数为：

$$A = 20 \log_{10} \left| e^{\gamma_1 l_1 + \gamma_2 l_2 + \cdots + \gamma_n l_n} \right| = 8.686(\gamma_1 l_1 + \gamma_2 l_2 + \cdots + \gamma_n l_n) \quad (4.32)$$

$$R = 20 \log_{10} \frac{\left| 1 + \frac{\eta_1}{Z(0)} \right|}{2} + 20 \log_{10} \frac{\left| 1 + \frac{\eta_2}{\eta_1} \right|}{2} + 20 \log_{10} \frac{\left| 1 + \frac{\eta_3}{\eta_2} \right|}{2} + \cdots + 20 \log_{10} \frac{\left| 1 + \frac{Z(l)}{\eta_n} \right|}{2} \quad (4.33)$$

$$\begin{aligned} B &= 20 \log_{10} \left| (1 - q_1 e^{-2\gamma_1 l_1})(1 - q_2 e^{-2\gamma_2 l_2}) \cdots (1 - q_n e^{-2\gamma_n l_n}) \right| \\ &= 20 \log_{10} \left| (1 - q_1 e^{-2\gamma_1 l_1}) \right| + 20 \log_{10} \left| (1 - q_2 e^{-2\gamma_2 l_2}) \right| + \cdots + 20 \log_{10} \left| (1 - q_n e^{-2\gamma_n l_n}) \right| \end{aligned} \quad (4.34)$$

由式 4.32，4.33 和 4.34 可知 A 和 B 均与薄膜厚度 l 有关，当 $l \rightarrow 0$ 时，A 和 B 所产生的屏蔽相较于 R 来说均可以忽略。下面重点对比单层膜与多层膜在反射衰减上的不同。由式 4.33 可知单层膜的 R_1 与双层膜的 R_2 如下所示：

$$R_1 = 20 \log_{10} \frac{\left| 1 + \frac{\eta_1}{Z(0)} \right|}{2} + 20 \log_{10} \frac{\left| 1 + \frac{Z(l)}{\eta_1} \right|}{2} \quad (4.35)$$

$$R_2 = 20 \log_{10} \frac{\left| 1 + \frac{\eta_1}{Z(0)} \right|}{2} + 20 \log_{10} \frac{\left| 1 + \frac{\eta_2}{\eta_1} \right|}{2} + 20 \log_{10} \frac{\left| 1 + \frac{Z(l)}{\eta_2} \right|}{2} \quad (4.36)$$

两者之间的差别为：

$$\Delta R = 20 \log_{10} \left| \frac{1}{2} \frac{(1 + \frac{\eta_3}{\eta_2})(1 + \frac{Z(l)}{\eta_3})}{(1 + \frac{Z(l)}{\eta_2})} \right| \quad (4.37)$$

式中 $\frac{Z(l)}{\eta_3} \gg 1$, $\frac{Z(l)}{\eta_2} \gg 1$ 所以 $\Delta R \approx 20 \log_{10} \left| \frac{1}{2} (1 + \frac{\eta_2}{\eta_3}) \right|$, 并且由于 $\eta = \sqrt{\frac{j\omega\mu}{\sigma + j\omega\varepsilon}}$, 在金属中 $\sigma \gg \omega\varepsilon$, 可以得出：

$$\eta = \sqrt{\frac{j\omega\mu}{\sigma}} = (1+j) \sqrt{\frac{\pi\mu f}{\sigma}} \quad (4.38)$$

$$\text{则: } \frac{\eta_n}{\eta_{n-1}} = \sqrt{\frac{\mu_n \sigma_{n-1}}{\mu_{n-1} \sigma_n}} \quad (4.39)$$

当 $\frac{\eta_2}{\eta_3} > 1$, 即当 $\frac{\sigma_n}{\mu_n} / \frac{\sigma_{n+1}}{\mu_{n+1}} > 1$ 时, 电磁波的反射衰减系数可以得到提高。上式表明在相同

厚度的薄膜屏蔽层中, 符合条件的双层薄膜基板的屏蔽能力会明显好于单层基板。

4.4 基板防电磁结果分析

电磁屏蔽测量法测量原理, 如图 4.3 所示:

依据 SJ20524-1995《材料屏蔽效能测量方法》在实验室内, 将信号源的工作频率与输出功率调整到所要测试的参数上, 当工作状态稳定后, 将信号源的功率输出通过同轴波导传输到信号接收机或者频谱仪上, 此时接收机或者频谱仪的显示部分所显示的数据, 即为该频率下接收机所接受到的输入场强值, 一般以 dB 表示, 记作 P_0 。然后将按照规定的尺寸要求裁剪好的待测样品放入同轴波导之间的法兰盘内加固好, 在按照上述参数不变的工作下开机, 那么这时接受系统显示部分所显示的数据就是经过电磁抑制材料衰减后的材料屏蔽的场强值, 记作 P_1 。两者测量结果可以通过下面的公式计算求得材料的屏蔽效能, 当测量值用 dB 表示时, $P_1 - P_0$ 即为屏蔽效能的衰减值; 当测量值用功率表示时, 则有:

$$A = 10 \log(P_0/P_1)$$

式中 A 是材料衰减值， P_0 是初始空白场强值， P_1 是衰减后场强值



图 4.3 测试原理

Fig 4.3 Principle of Testing

根据 4.2 节电磁屏蔽理论分析的结果，分别选用 99% 和 96% 的 Al_2O_3 基板作为基底进行电磁屏蔽实验。由于不同材料其基板表面的粗糙程度也会不同，导致其对金属薄膜的附着力相异，所以理论上产生的电磁屏蔽效果也会大不相同。实验设计对于两种基板，分别采用 Cr 和 Au 两种常用的金属作为屏蔽金属膜的原材料，Au 和 Cr 的相对磁导率都为 1，大小相同；而常温下 Au 的电导率在 $80m\Omega/m$ ，Cr 的电导率在 $25 m\Omega/m$ 左右，所以通常情况下相同厚度的金属薄膜 Au 的屏蔽效果会好于 Cr 的屏蔽效果。而参照 4.3 节理论分析的结果，如果将 Au

作为第一层金属，Cr 作为第二层金属，层次划分参见图 4.3。当 $\frac{\sigma_1}{\mu_1} > \frac{\sigma_2}{\mu_2}$ ，Au 和 Cr 组成的双层金属薄膜的厚度与单层金属薄膜的厚度相同时，理论上比同样厚度的 Au 金属层屏蔽效果要好。进一步推测，如果将 Au 金属层和 Cr 金属层的位置互换，同样的厚度薄膜屏蔽效果则会变差。根据上述假设设计了如下对比实验，如表 4.2 所示。测试是由上海计量研究院完成的，测试结果如图 4.4-4.12 所示。

表 4.2 屏蔽实验测试项目

Table 4.2 Testing items of shielding experiments

测试基板	99% Al ₂ O ₃ 基板	96% Al ₂ O ₃ 基板
测试条件： 温度 20 度，湿度 57%， Tek 信号发生器 E8257D， 频谱分析仪 E4447A， 频率 10MHz-3000MHz	1000Å Au 薄膜	1000Å Au 薄膜
	1000Å Cr 薄膜	1000Å Au 薄膜
	N1 层为 500Å Au 薄膜	N1 层为 500Å Au 薄膜
	N2 层 500Å Cr 薄膜	N2 层 500Å Cr 薄膜
	N1 层为 500Å Cr 薄膜	N1 层为 500Å Cr 薄膜
	N2 层 500Å Au 薄膜	N2 层 500Å Au 薄膜

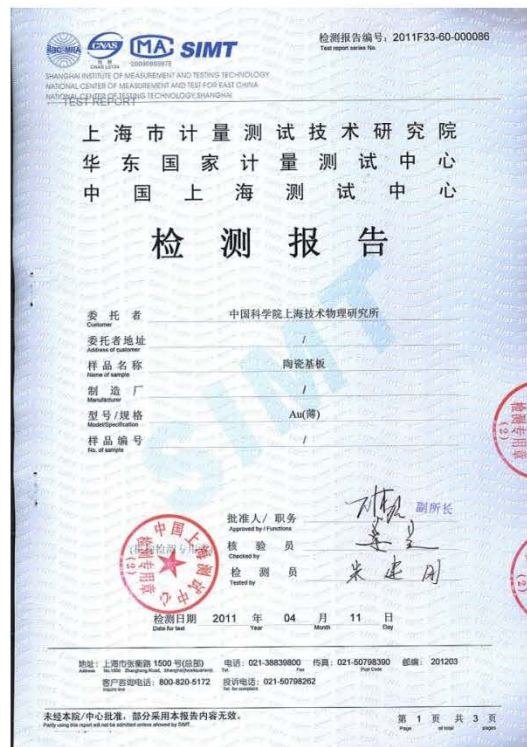


图 4.4 测试报告

Fig 4.4 Testing Report

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.0	-26.0	23.0	99.50
30	-3.2	-25.9	22.7	99.46
100	-3.1	-25.2	22.1	99.38
300	-3.0	-24.8	21.8	99.34
1000	-2.6	-24.4	21.8	99.34
3000	-2.5	-23.8	21.3	99.26

检测结果内容结束
END-1

图 4.5 测试结果之 Cr 薄膜

Fig 4.5 Testing Results – Cr thin-film

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.0	-43.4	40.4	99.9909
30	-3.2	-42.9	39.7	99.9893
100	-3.1	-42.5	39.4	99.9885
300	-3.0	-41.6	38.6	99.9862
1000	-2.6	-41.3	38.7	99.9865
3000	-2.5	-40.1	37.6	99.9826

检测结果内容结束
END.

图 4.6 测试结果之 Au 薄膜
Fig 4.6 Testing Results – Au thin-film

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.7	-53.9	50.2	99.99905
30	-3.7	-53.7	50.0	99.99900
100	-3.7	-53.2	49.5	99.99888
300	-3.6	-52.8	49.2	99.99880
1000	-3.5	-52.5	49.0	99.99874
3000	-3.4	-51.7	48.3	99.99852

检测结果内容结束
END.

图 4.7 测试结果之 CrAu 薄膜
Fig 4.7 Testing Results – CrAu thin-film

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.7	-41.8	38.1	99.9845
30	-3.7	-41.7	38.0	99.9842
100	-3.7	-41.3	37.6	99.9826
300	-3.6	-40.8	37.2	99.9809
1000	-3.5	-40.4	36.9	99.9796
3000	-3.4	-39.2	35.8	99.9737

检测结果内容结束
END.

图 4.8 测试结果之 AuCr 薄膜
Fig 4.8 Testing Results – AuCr thin-film

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.0	-43.6	40.6	99.9913
30	-3.2	-42.9	39.7	99.9893
100	-3.1	-42.7	39.6	99.9890
300	-3.0	-41.9	38.9	99.9871
1000	-2.6	-41.4	38.8	99.9868
3000	-2.5	-40.8	38.3	99.9852

检测结果内容结束
END.

图 4.9 测试结果之 AuCr 薄膜
Fig 4.9 Testing Results – AuCr thin-film

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.7	-52.1	48.4	99.99855
30	-3.7	-51.7	48.0	99.99842
100	-3.7	-51.2	47.5	99.99822
300	-3.6	-50.8	47.2	99.99809
1000	-3.5	-50.5	47.0	99.99800
3000	-3.4	-49.9	46.5	99.99776

检测结果内容结束
END.

图 4.10 测试结果之 Au 薄膜
Fig 4.10 Testing Results – Au thin-film

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.0	-43.1	40.1	99.9902
30	-3.2	-42.9	39.7	99.9893
100	-3.1	-42.7	39.6	99.9890
300	-3.0	-42.6	39.6	99.9890
1000	-2.6	-42.5	39.9	99.9898
3000	-2.5	-41.8	39.3	99.9883

检测结果内容结束
END.

图 4.11 测试结果之 CrAu 薄膜
Fig 4.11 Testing Results – CrAu thin-film

屏蔽效能检测结果:
Results of Shielding Effectiveness test

频率(MHz)	P ₁ (dBm)	P ₂ (dBm)	SE _{dB} (dB)	SE _% (%)
10	-3.7	-29.8	26.1	99.75
30	-3.7	-29.6	25.9	99.74
100	-3.7	-28.9	25.2	99.70
300	-3.6	-28.5	24.9	99.68
1000	-3.5	-27.7	24.2	99.62
3000	-3.4	-27.0	23.6	99.56

检测结果内容结束
END.

图 4.12 测试结果之 Cr 薄膜
Fig 4.12 Testing Results – Cr thin-film

4.5 结论

作为对比参见表 4.3 和折线图 4.13、4.14。由图可以清楚的看出，相同厚度的薄膜，Cr+Au 的屏蔽效果是最好的，与理论计算符合。同时也发现 96%的 Al₂O₃ 基板屏蔽效果明显不如 99%的 Al₂O₃ 基板，说明平整纯洁的基板对薄膜有更好的结合力，屏蔽效果也更好。此外 96% Al₂O₃ 基板上面的金属薄膜屏蔽值差异不大，说明在表面粗糙的基板上，金属薄膜的组成和排列已经不再是最重要的影响因素，金属薄膜与基板之间的附着力开始变得重要起来，但是 Cr+Au 层的屏蔽效果依然是最好的。

本节通过理论和对比实验验证了 Al_2O_3 陶瓷基板电磁屏蔽的一般规律，实验结果将为工程设计提供重要的理论依据。

表 4.3 金属薄膜屏蔽效果 (单位: dB)
Table 4.3 Shielding effectiveness of metal thin film (Units: dB)

基板种类	99% Al_2O_3 基板				96% Al_2O_3 基板			
基板薄膜类型	500Å Cr 薄膜	1000Å Cr 薄膜	500Å Au 薄膜	500Å Au 薄膜	1000Å Au 薄膜	1000Å Cr 薄膜	500Å Au 薄膜	500Å Cr 薄膜
电磁波频率 (MHz)	+500Å Au 薄膜		+500Å Cr 薄膜				+500Å Cr 薄膜	+500Å Au 薄膜
10	50.2	26.1	38.1	48.4	40.4	23	40.6	40.1
30	50	25.9	38	48	39.7	22.7	39.7	39.7
100	49.5	25.2	37.6	47.5	39.4	22.1	39.6	39.6
300	49.2	24.9	37.2	47.2	38.6	21.8	38.9	39.6
1000	49	24.2	36.9	47	38.7	21.8	38.8	39.9
3000	48.3	23.6	35.8	46.5	37.6	21.3	38.3	39.3

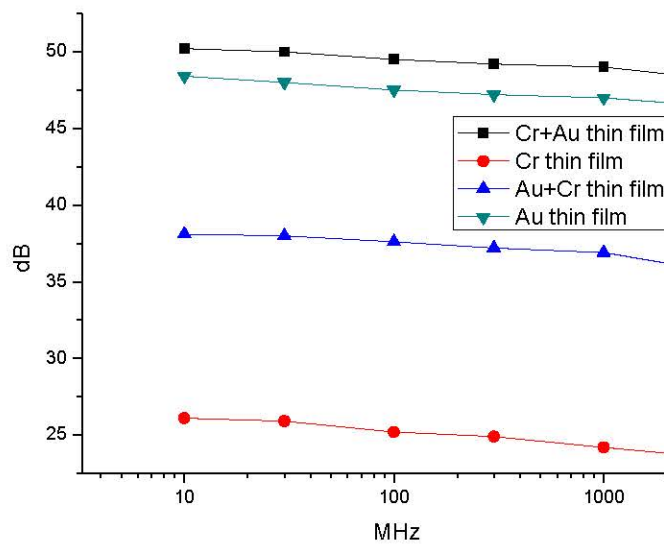


图 4.13 99% Al_2O_3 基板屏蔽效果
Fig 4.13 Shielding effectiveness on 99% Al_2O_3 board

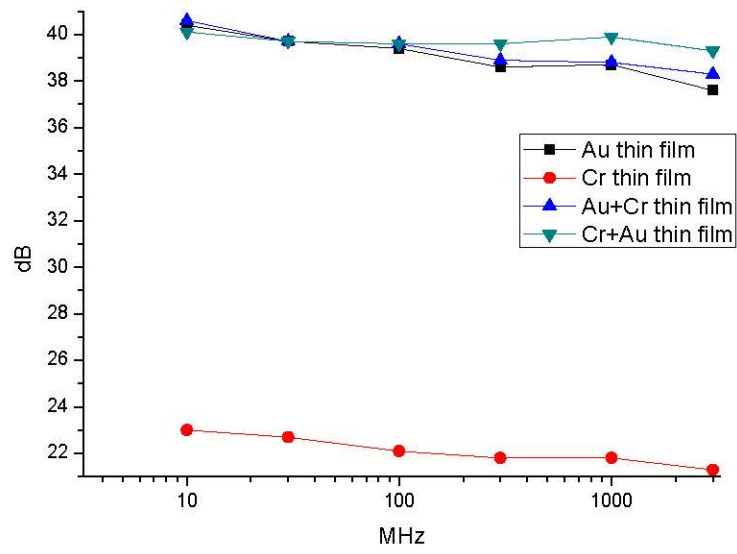


图 4.13 96% Al_2O_3 基板屏蔽效果
 Fig 4.13 Shielding effectiveness on 96% Al_2O_3 board

参考文献

1. Brown B. E., Hill J. T., Archibald, L. D., "RFI/EMI Shielding of Plastics Enclosures," International Conference on Electromagnetic Compatibility, pp. 285-289, Sep 1992.
2. Rahman H., Saha P. K., Dowling J., and Curran, T., "Shielding Effectiveness Measurement Techniques for Various Materials Used for EMI Shielding.," IEEE Colloquium on Screening of Connectors, Cables and Enclosures, pp. 9.1-9.6, 1992.
3. Rowberry P., "Investigation into the Electromagnetic Shielding of Plastic Composites for High Volume Applications," IEEE Colloquium on Screening of Conference, Cables and Enclosures, pp.5.1-5.5, 1992
4. Joo J., Lee C. Y., "High Frequency Electromagnetic Interference Shielding Response of Mixtures and Multilayer Films Based on Conducting Polymers," Journal of Applied Physics, vol.88, no.1, pp.513-518, 2000.
5. Guan D., Huang, W., Chen J., Tu M., "Study on the Magnetic Shielding Composite Coating in Low Frequency," International Symposium on Electromagnetic Compatibility, pp.586-588, 2002.
6. Schulz, R. S., Plantz, V. C., and Brush, D. R., "Shielding Theory and Practice," IEEE Transaction on Electromagnetic Compatibility, Vol.30, no.3, pp.187-201, 1988

第五章 基板可靠性测试

5.1 可靠性分析的理论基础

可靠性是产品质量的一个重要指标，是对产品保持其性能的能力的衡量。半导体器件的产品质量应包括如下两个方面：技术性能指标和可靠性指标。可靠性是指产品容易不容易坏、可靠不可靠的以及可靠程度怎么样的术语。因此定量的描述可靠性就是要明确规定时间、规定条件下完成规定功能的能力。

电子产品在规定的条件下和规定的时间内，完成规定功能的概率就称为它的可靠度。可靠度是可靠性的数学描述，通常用字母 R 表示。由此定义可知，可靠度是对一定的时间而言的。如果所指的时间不同，可靠度的数值就不一样。

用 T 表示产品失效前的工作时间，即产品的寿命。对于规定的时间 t ，某产品的寿命 T 有可能是 $T < t$ ，也有可能是 $T \geq t$ 。如果将“ $T \geq t$ ”看作是一个随机事件，产品的可靠度的定义用如下的数学式子表示：

$$R(t) = P(T \geq t)$$

由此可见，产品寿命 T 不小于某规定时间 t 的概率 $P(T \geq t)$ 是 t 的函数，叫做产品的可靠度函数，记作 $R(t)$ 。随着时间的增长，产品的可靠度会越来越低。它是一个介于 1 与 0 之间的函数。

5.2 可靠性试验类型

5.2.1 长期寿命试验

贮存寿命试验方法简单，只需要将样品存放在一定的环境条件下，定期地进行测试和分析就行。但贮存试验由于样品处于非工作状态，失效率比较低，通常要抽出较多的样品进行长期的试验，周期一般长达 3 到 5 年。

5.2.2 加速寿命试验

随着电子元器件可靠性水平不断提高，采用常规的正常应力下的长期寿命试验实在太耗费人力、物力和时间了，有时候甚至是不可能的。人们经过长期的实践，提出了一种加速试验的方法来解决这一矛盾。所谓加速寿命试验就是用加大应力的方法促使样品在短期内失效，

从而预测电子产品在正常贮存条件或工作条件下的可靠性。

加速寿命试验所加的应力有温度、功率、电压、电流又或者振动、冲击、离心加速度等应力。常用的方法包括高温贮存，温度循环等。理想情况下高应力水平下作用的器件退化方式与正常应力水平下的应该相同，但是实际情况是高压水平下器件退化的方式往往与正常应力水平下又是不同的。尽管如此，加速寿命试验还是有很大的参考价值，而且可以缩短试验周期，节省样品和费用，缺点也显而易见就是准确度降低。^[1]

5.3 陶瓷封装基板可靠性测试条件与测试结果

5.3.1 可靠性测试项目

基于实际工程应用的需要，本项目中基板的验收级别的实验主要以温度和力学实验为主，包括温度循环，正弦振动和正弦冲击实验等。实验时将陶瓷基板安装在铝制金属夹具上，如图 5.1 所示，然后将其放置在美国 UD 公司 S452/VWIN 型振动台上，如图 5.2 所示。条件参考某型号环境条件进行：

1). 温度循环实验

实验要求：组件安装在专用杜瓦内，在室温环境下向杜瓦瓶中灌入液氮，降温至 80K，保持液氮 30 分钟，然后升温至室温，如此为一个循环。变温速率不大于 15K/min。

表 5.1 温度循环实验

Table 5.1 Temperature circulation experiment

温度范围	循环次数
室温 300K~80K	20 次

2). 冲击试验条件

可以选择半正弦波脉冲和冲击响应谱试验。试验进行 X、Y、Z 三个方向。

2.1). 半正弦波脉冲试验条件为：

- 冲击加速度：40g
- 冲击波形：半正弦波脉冲
- 持续时间：8ms±1ms
- 冲击方向：±Z
- 冲击次数：每方向一次

2.2). 正弦振动试验条件：X、Y、Z 方向正弦振动

- 频率范围 (Hz)：5~12 12~100
- 振级 (O-P)：20.68mm 12g
- 扫描速率：2oct/min

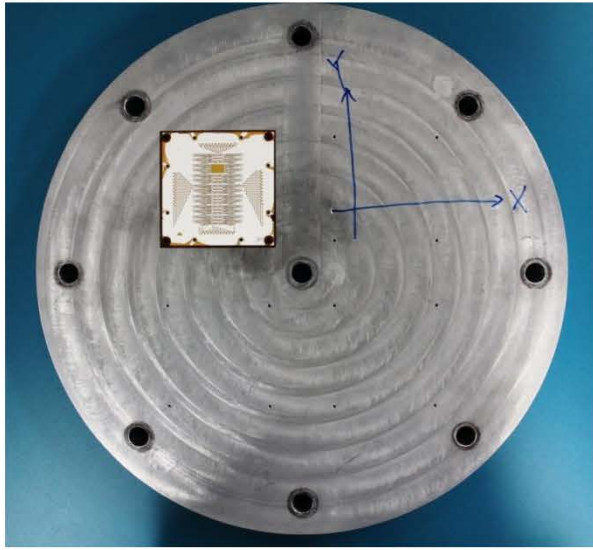


图 5.1 铝制金属夹具

Fig 5.1 Aluminum clamp



图 5.2 S452/VWIN 型振动台

Fig 5.2 S452/VWIN Vibration platform

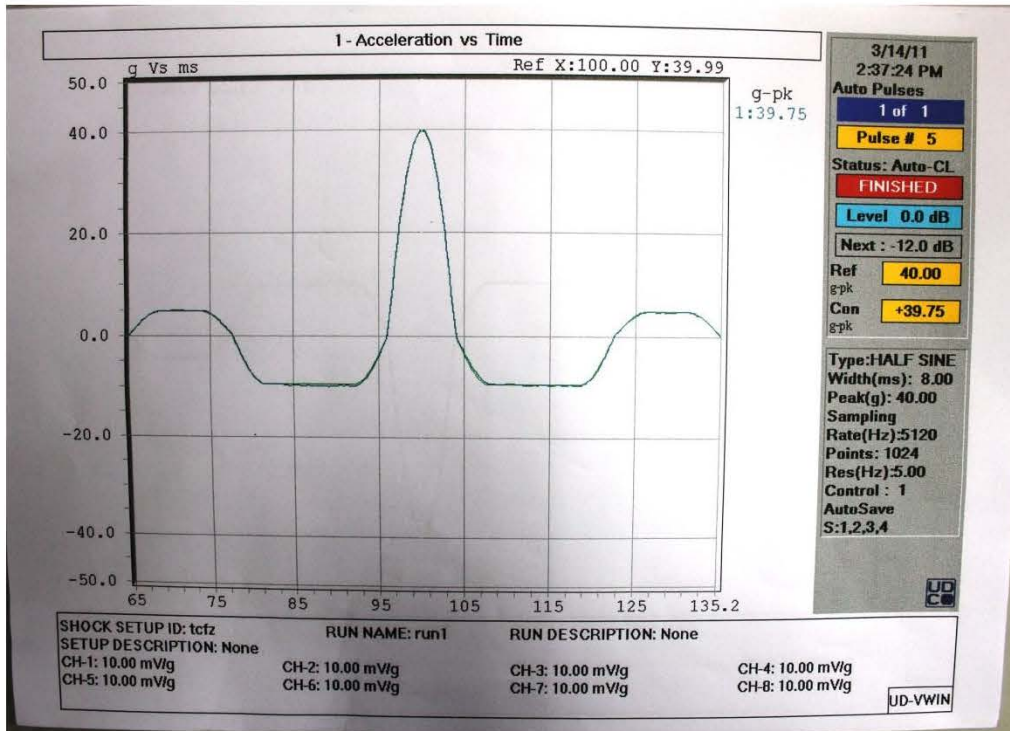


图 5.3 半正弦波脉冲试验 Z 方向

Fig 5.3 Half Sine-Wave pulse experiment Z direction

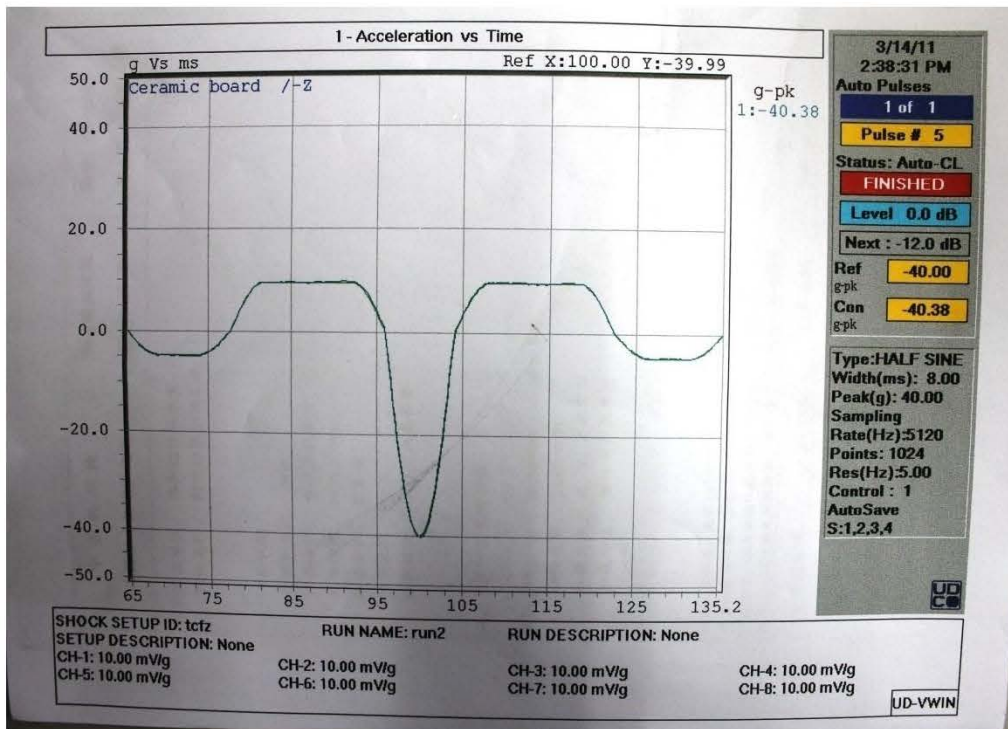


图 5.4 半正弦波脉冲试验负 Z 方向

Fig 5.3 Half Sine-Wave pulse experiment minus Z direction

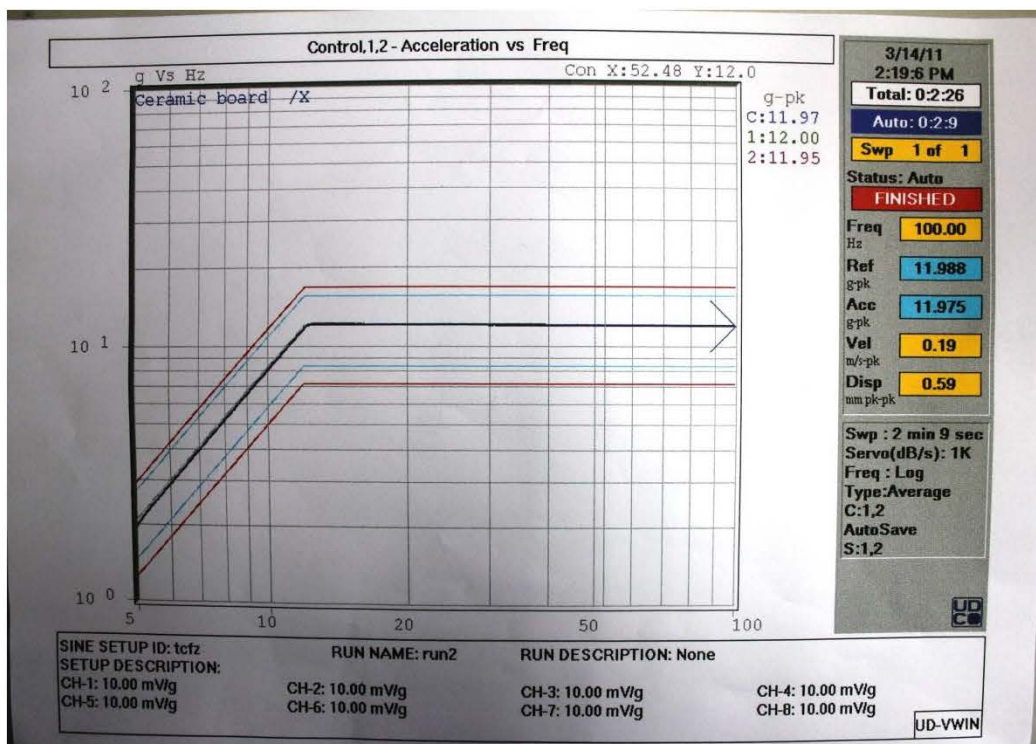


图 5.5 正弦振动试验 X 方向

Fig 5.3 Sine-Wave vibration experiment X direction

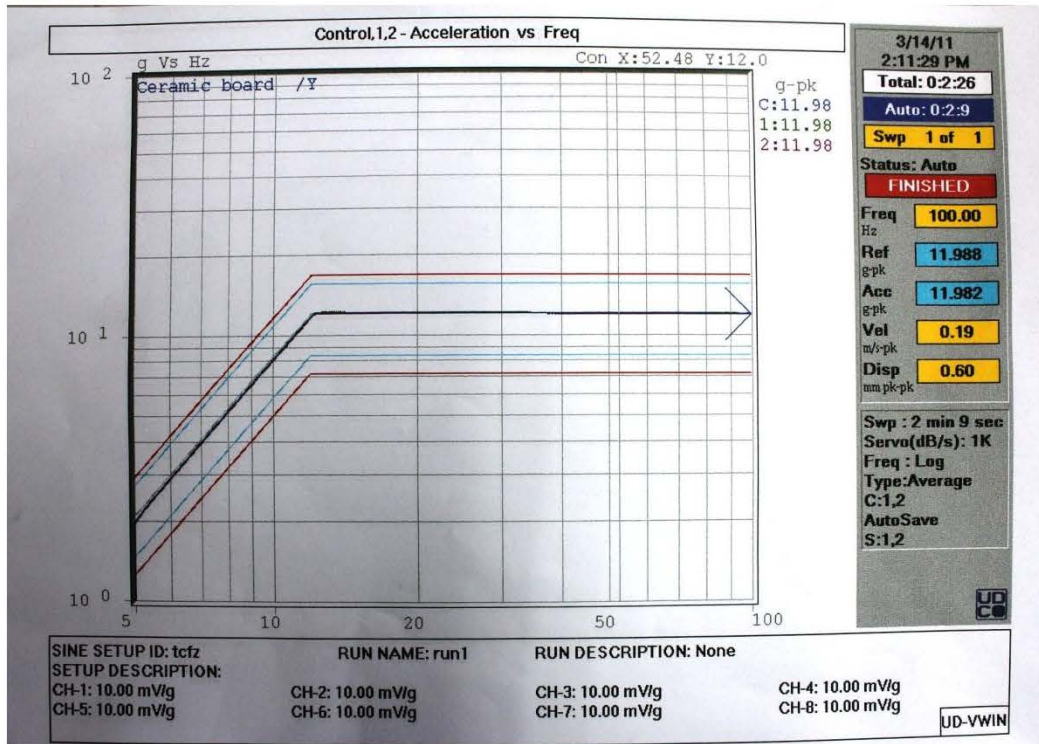


图 5.6 正弦振动试验 Y 方向

Fig 5.3 Sine-Wave vibration experiment Y direction

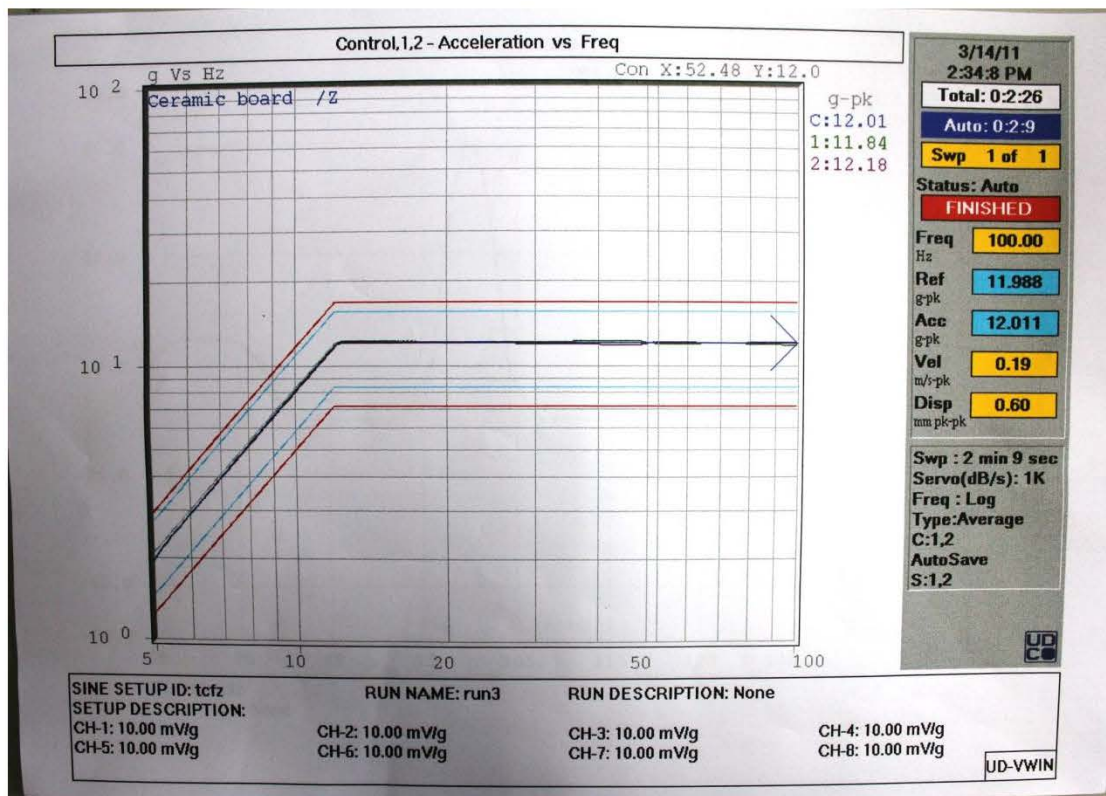


图 5.7 正弦振动试验 Z 方向

Fig 5.3 Sine-Wave vibration experiment Z direction

5.3.2 可靠性测试结果

经过上述条件的实验检验，基板通过了表格内的试验。将测试后的基板放在显微镜下观察未发现任何裂纹，基板基本符合空间下使用的力学标准，验证了基板在低温和冲击下的可靠性。

中国科学院 上海技术物理研究所	环境模拟试验 振动试验	编号：20110082 第1页 共1页
试验提出单位： 本所组件技术室 试件名称： 陶瓷封装引线基板		
一、冲击试验： 冲击加速度： 40g 冲击波形： 半正弦波脉冲 持续时间： 8ms ± 1ms 冲击方向： Z 方向 冲击次数： 一次 加载部位： 试件与夹具界面		
二、正弦扫描振动试验： 频率(Hz)： 5-12 12-100 振动幅值(o-p)： 20.68mm 12g 扫描速率： 2 oct/min 加载方向： X、Y、Z 三方向 加载部位： 试件与夹具界面		
试验仪器设备： 美国 UD 公司 S452T/VWIN 型振动台 设备计量有效期： 2010.10.16 ~ 2011.10.15 试验情况： 以上试验仪器设备工作正常，无异常发生 整个试验过程满足试验要求，试验情况可见附带之曲线图表		
试验开始日期： 2011.03.14	结束日期： 2011.03.14	
试验员： 张磊 2011.03.14	审核： [Signature] 2011.03.14	
质量处审核：		

图 5.8 振动模拟实验报告

Fig 5.3 Simulated vibration experiment report

参考文献

1. 卢其庆, 张安康, 半导体器件可靠性与失效分析[B], 1980, 江苏科学技术出版社。

第六章 总结

6.1 结论

纵观全文，可以得到以下几点结论：

1. 文章围绕着多通道长波光导线列器件的陶瓷封装基板与后端系统的设计展开。第一章介绍了红外探测器封装尤其是基板和杜瓦封装的概念，并引出了课题设计的相关内容。第二章列举了封装基板常用的基底材料和加工工艺，并重点对两种陶瓷互联工艺进行了对比，设计了一种特殊的封装结构并利用薄膜工艺进行加工。利用 ANSYS 有限元分析软件对新的结构进行热结构分析，得到了优化的封装结构与基板厚度，使得封装在内的芯片受到的热应力最小。

2. 第三章对多种基板多种互连方式进行了分析，并最终采用了分时选通读出设计方案进行布局布线。优化设计后的引线电路既保证了多通道线列器件正常工作所需要的条件，同时又大大降低了杜瓦组件外引线的数量，有利于降低引线基板的面积、杜瓦寄生热负载和引线的难度。在对单通道的单个芯片封装过程中采用首先使用单层薄膜小基板进行封装，然后再二次封装的方式，不仅提高了加工的成品率，也有利于器件的检查、维护和更换。

3. 第四章中着重围绕着系统能力的验证和提升做文章。第四章重点介绍了基板的防电磁波和电磁兼容性（EMI）设计，使用了双层金属薄膜来优化屏蔽性能，大大降低了基板可能受到的外界电磁干扰。

4. 第五章参照前期项目的可靠性规范，对基板的力学性能进行了测试，通过高低温测试，机械振动与冲击等测试方法验证了基板在低温、震动等极限环境中的工作情况与可靠性。

文章核心内容均围绕着空间用红外探测器封装的性能和可靠性等方面展开，科研成果直接面向工程应用。

6.2 展望

空间用陶瓷封装基板在核心红外探测系统中具有广阔的应用前景，本研究在这方面作了一些尝试，取得了一定的成果，但还有大量的后续研究工作需要进行，进一步的研究工作概括如下：

一方面，在芯片加工完成之后应对芯片的响应率和探测率等重要参数进行测试。然后对封装之后的芯片再进行一次测试，两次测得的数据应作以比较以检验信号的完整性，以便对

封装结构的进一步改进提供参考依据。此外，工艺上应不断提高单个芯片的性能，进一步提高系统的探测能力。

另一方面，通过对国外红外卫星先进技术的跟踪，发现下一步光电系统的趋势必然是混合基板取代单一的光伏或光导基板，设计一款混合多芯片陶瓷封装基板已经摆上日程。因为光伏芯片在中长波波段的探测性能已近明显好于光导芯片，而在甚长波波段光导芯片依然是性能中最好最稳定的，混合封装基板则正好可以取长补短，相得益彰。但这也同时对设计者设计能力和国内制造工艺水平提出了更高的要求。

攻读硕士期间申请的专利与发表的论文:

1. 武文, 刘大福. 新一代星用多通道光导线列焦平面的多层陶瓷封装设计, *光子学报*(2010) Vol.39 (12), pp: 2241-2245.
2. Wen Wu, Yonghong Wu, Dafu, Liu. Research of thermal stress between long linear MCT arrays and lead board using FEM. *Proceedings of SPIE*(2010), Vol.7847 (65).
3. 武文, 刘大福. Design of the DES (Data Encryption Standard) IP Core using Verilog HDL. *红外与激光工程 (增刊)*(2010), Vol.39 (6)81-87.
4. 吴永红, 武文. HgCdTe 焦平面探测器热应力有限元分析, *计算机辅助工程*(2011), Vol.20, No.1, pp:1-6.

致 谢

首先我要感谢我的导师刘大福副研究员和室主任李言谨研究员，本论文是在他们的辛勤培养和悉心指导下完成的。

刘大福老师年轻有为、治学严谨，在生活和学习上给了我许多帮助。尽管刘老师作为研究室的科研主力工作异常繁忙，但是他还是经常在百忙之中抽出时间与我讨论课题的进展情况，并帮我审阅论文，提出修改意见。生活上由于年龄相差不大，我们有着许多共同的话题。所以刘老师不仅是我的良师更是我的益友。他实事求是的治学态度、一丝不苟的工作作风将影响我的一生。此外，由于李言谨主任为博士生导师，名义上不是我的直接导师，但是他也在多种场合下都给了我导师般指导和帮助，并教会了我很多做人的道理。尤其是在我犯错误的时候能够原谅我帮助我，并尊重我的选择。在我的心中李老师和刘老师一样都是我最应该感激的人。

同时感谢组件室内其它老师如方家熊院士、龚海梅研究员、范广宇副研究员、李雪副研究员、邵秀梅副研究员、张海燕副研究员、王小坤副研究员等对我的帮助。

还要感谢与我一起学习和生活的诸位同学和职工，他们是：唐恒敬、李淘、徐勤飞、张可锋、程吉凤、李永富、徐勤飞、黄松垒、黄张成、张伟、李超、朱耀明、邓洪海、夏王、魏鹏、马学亮、曹岚、王云姬、朱宪亮、杨波等，感谢他们对我的帮助和鼓励。

最后我还要感谢我的家人和朋友，尤其是双亲以及女友密淼三年来对我的支持。感谢他们对我的关心和厚爱。