



中国科学院大学

University of Chinese Academy of Sciences

## 博士学位论文

硅基 III-V 化合物半导体薄膜异质集成研究

作者姓名: 林家杰

指导教师: 欧欣 研究员

中国科学院上海微系统与信息技术研究所

学位类别: 工学博士

学科专业: 微电子学与固体电子学

培养单位: 中国科学院上海微系统与信息技术研究所

2020 年 6 月

**Investigation of Hetero-integration of III-V Film-on-silicon**

**A dissertationsubmitted to  
University of Chinese Academy of Sciences  
in partial fulfillment of the requirement  
for the degree of  
Doctor of Philosophy  
in Microelectronics and Solid State Electronics**

**By**

**Jiajie Lin**

**Supervisor: Professor Xin Ou**

**Professor Tiangui You**

**Co-supervisor:**

**Professor Jiaxiang Zhang**

**Shanghai Institute of Microsystem and Information Technology,**

**Chinese Academy of Sciences**

**June 2020**

**中国科学院大学**  
**研究生学位论文原创性声明**

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：

日 期：

**中国科学院大学**  
**学位论文授权使用声明**

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分內容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：

日 期：

导师签名：

日 期：

硅基 III - V 化合物半导体薄膜异质集成研究

林家杰

中国科学院大学

## 摘要

随着5G、人工智能（AI）新技术的革新，虚拟现实（VR）和增强现实（AR）等新应用的不断涌现，数据量呈现爆发式增长，这将对系统的功能、功耗、计算内存、运行速率提出新的挑战。然而，随着光刻技术步入原子水平，摩尔定律也将宣告终结。在后摩尔时代，以需求指导设计，不再局限于器件尺寸的缩小，而是通过异质集成实现功能多样化，这将会是微电子技术延续的重要发展方向之一。异质集成可分为三个层次，即材料集成、器件集成、系统集成。材料集成作为异质集成的初级部分，同时也是最难实现的部分之一。III-V化合物半导体与硅相比，具有高迁移率、直接带隙等优点，将III-V化合物半导体同硅衬底集成可以促进硅基光电子集成的发展。由于III-V化合物半导体与硅之间存在着晶格失配、晶型失配、热膨胀系数差异等，传统的异质外延方法很难得到高质量的硅基III-V异质衬底。而离子束剥离技术可以避免异质外延中所面临的多物理失配问题，有望实现高质量硅基III-V异质衬底。

在本论文中，我们研究了离子束剥离技术在III-V化合物半导体薄膜与硅衬底的异质集成方面的应用。对于III-V化合物半导体而言，离子束剥离技术主要存在三个技术问题：理解不同III-V化合物半导体的剥离机制、确定离子最佳注入条件以及实现不同III-V化合物半导体与硅衬底间的有效键合。我们以 InP、GaAs 和 GaSb 三种典型的III-V化合物半导体为代表，对每种材料的离子束剥离物理机制、离子注入条件以及键合方法进行研究，最终制备出高质量晶圆级硅基 InP、硅基 GaAs 以及硅基 GaSb 异质衬底。具体如下：

1. 提出 He/H 离子室温顺序共注实现 InP 的剥离。通过对离子种类、注入剂量、注入顺序对 InP 剥离行为影响的研究，发现室温只有 He/H 离子共注才能实现 InP 的高效剥离，但存在一个 H 离子注入剂量窗口，同时确定了有效的 He/H 离子注入顺序。

2. 高质量晶圆级硅基 InP 异质衬底制备及验证。基于分析 InP 与 Si 键合界面处气泡的来源，提出了在硅衬底刻蚀纵向和横向沟槽消除气泡的方法；通过实验和热力学模型分析了沟槽尺寸和间距对气泡消除能力的影响。通过表面处理和高温后退火工艺，最终实现高质量晶圆级硅基 InP 异质衬底，以及采用表面激活

键合(SAB)制备出无氧化层晶圆级硅基 InP 异质衬底。结合分子束外延技术(MBE), 验证了硅基 InP 异质衬底外延层具有良好的光电特性, 并在硅基 InP 异质衬底上实现 InGaAs p-i-n 探测器, 其性能可与 InP 晶圆衬底上的 InGaAs p-i-n 探测器相比拟。

3. 高质量晶圆级硅基 GaAs、硅基 GaSb 异质衬底制备。对 GaAs 在不同注入离子、剂量条件下的剥离行为进行了研究, 确定了最佳离子注入条件, 提出了  $Al_2O_3$  作为 GaAs 与 Si 的键合介质层, 提升 GaAs 与 Si 的键合强度, 实现了高质量晶圆级硅基 GaAs 异质衬底的制备。对不同 H 离子注入剂量下 GaSb 剥离行为进行了分析, 确定最优离子注入剂量。在不同退火温度下制备硅基 GaSb 异质衬底, 确定最优退火温度, 并实现高质量大面积硅基 GaSb 异质衬底的制备。

**关键词:** 异质集成, 离子束剥离, InP, GaAs, GaSb

## Abstract

With the innovation of 5G and artificial intelligence (AI) technology and the emergence of novel applications for virtual reality (VR) and augmented reality (AR), the data volume presents explosive growth. It will give a new challenge to the function, power consumption, computational memory and operating speed in system. However, the Moore's law will come to an end as the lithography gets down to atomic scale. During post Moore era, the requirements will guide design without regarding the limitation of the scaling of devices. The functional diversification achieved by heterogeneous integration will be one of the important development directions of microelectronic technology. The heterogeneous integration can be divided into three stages, including material integration, device integration and system integration. The material integration as the primary part in heterogeneous integration is one of the hardest parts to achieve. Compared with silicon, III-V compound semiconductors have many advantages, such as high electron mobility, direct bandgap and so on. Hence, achieving the integration of III-V compound semiconductors and silicon substrate can promote the development of optoelectronic integration. Due to the lattice mismatch, crystal type mismatch and the difference of thermal expansion coefficients between III-V compound semiconductors and silicon, it is very hard to achieve the high-quality Si-based III-V heterogenous substrates by classical heteroepitaxy technology. Alternatively, ion-slicing technology is promising to achieve the high-quality Si-based III-V heterogenous substrates without the physical mismatch in hetero-epitaxial growth.

In this dissertation, we investigated the application of ion-slicing technology for achieving the integration of III-V compound semiconductors films on silicon substrates. There are three research questions in ion-slicing technology for III-V compound semiconductors, the understanding of different exfoliation mechanisms of III-V compound semiconductors, confirming optimal implantation conditions and achieving effective bonding between III-V compound semiconductors and silicon substates, respectively. The ion-slicing technology was applied in three typical III-V compound

semiconductors, including InP, GaAs and GaSb. We analyzed the mechanism of exfoliation, the condition of ion implantation and the style of wafer bonding for each material. Ultimately, the high-quality wafer-scale Si-based InP, Si-based GaAs and Si-based GaSb heterogeneous substrates were fabricated successfully. The main works of this dissertation are as follows:

1. The He/H ion sequential implantation at room temperature to achieve the exfoliation of InP was proposed. By the analysis of influence on the exfoliation under different categories, fluences and sequences of ion implantation in InP, it was found that only He/H ion implantation at room temperature can achieve the effective exfoliation in InP. There is a window for the fluence of H ion co-implantation. The effective sequence for He/H ion co-implantation was confirmed.

2. The high-quality wafer-scale Si-based InP substrate was fabricated successfully and characterized. Based on the analysis of the source of the bubbles in the bonding interface between InP and Si substrate, the vertical and lateral trenches etched by photolithography on Si substrate were proposed to remove the bubbles. Combining experiments with a thermal dynamic model, the effects of dimension and spacing of trenches on bubble elimination were investigated. After surface process and post-annealing at high temperature, the high-quality wafer-scale Si-based InP substrate was fabricated successfully. The Si-based InP substrate without oxide layer was also fabricated by surface-activated bonding (SAB). Combined with molecular beam epitaxy (MBE) technique, the epitaxial layers on Si-based InP substrate were demonstrated good performance in photonics and electronics. The InGaAs-based p-i-n photodetector with comparable performance of that on InP substrate was fabricated on Si-based InP substrate successfully.

3. The high-quality wafer-scale Si-based GaAs and Si-based GaSb substrates were fabricated. By the analysis of the effects of different ion categories and fluences on the exfoliation in GaAs, the optimal condition of ion implantation was confirmed. The Al<sub>2</sub>O<sub>3</sub> was proposed to be the dielectric layer to enhance the bonding strength between

GaAs and Si substrate. Finally, the high-quality wafer-scale Si-based GaAs substrate was achieved successfully. By the analysis of the effects of different fluence of H ions on the exfoliation in GaSb, the optimal condition of ion implantation was confirmed. Based on the quality characterization of Si-based GaSb substrates fabricated under different annealing temperature, the most suitable annealing temperature was determined. Finally, the high-quality large-area Si-based GaSb substrate was fabricated successfully.

**Key Words: Heterogeneous Integration, Ion-slicing, InP, GaAs, GaSb**

## 目 录

第1章 绪论 .....	1
1.1 引言 .....	1
1.2 异质外延法 .....	8
1.3 键合法 .....	10
1.4 离子束剥离方法 .....	14
1.4.1 离子束剥离方法基本特征 .....	14
1.4.2 离子注入 .....	16
1.4.3 起泡和完整晶圆剥离机制 .....	20
1.4.4 直接晶圆键合和转移 .....	23
1.4.5 表面平坦化处理 .....	27
1.5 本论文主要研究内容及结构 .....	28
第2章 样品制备设备及表征方法 .....	31
2.1 样品制备设备 .....	31
2.1.1 中束流离子注入机 .....	31
2.1.2 键合系统 .....	32
2.1.3 化学机械抛光 .....	32
2.2 样品表征方法 .....	33
2.2.1 原子力显微镜 .....	33
2.2.2 X 射线光电子能谱 .....	34
2.2.3 X 射线衍射技术 .....	35
2.2.4 拉曼光谱 .....	37
2.2.5 光致发光谱 .....	38
2.2.6 扫描电子显微镜 .....	38
2.2.7 透射射电子显微镜 .....	39
2.2.8 二次离子质谱 .....	40
2.2.9 卢瑟福背散射 .....	41
2.3 本章小结 .....	41
第3章 InP 离子束剥离机制 .....	42
3.1 单离子室温注入剥离分析 .....	42
3.1.1 H 离子室温注入 .....	43

3.1.2	He 离子室温注入 .....	45
3.1.3	H 离子和 He 离子室温单独注入引入应力对比 .....	46
3.2	He/H 离子室温共注剥离分析 .....	49
3.2.1	He/H 离子室温共注顺序对 InP 剥离行为的影响 .....	49
3.2.2	He/H 离子室温顺序共注剂量对剥离行为的影响 .....	53
3.3	He/H 离子室温顺序共注的优势 .....	58
3.4	本章小结 .....	60
<b>第4章</b>	<b>高质量晶圆级硅基 InP 单晶薄膜制备及表征 .....</b>	<b>62</b>
4.1	晶圆级硅基 InP 单晶薄膜制备 .....	62
4.1.1	硅基 InP 单晶薄膜制备工艺 .....	62
4.1.2	气泡热力学演变 .....	64
4.1.3	气泡的产生原因 .....	67
4.1.4	气泡的消除 .....	69
4.1.5	无绝缘层硅基晶圆级 InP 单晶薄膜制备 .....	76
4.2	硅基 InP 薄膜优化及表征 .....	78
4.2.1	优化 InP 薄膜单晶质量 .....	78
4.2.2	优化 InP 单晶薄膜表面 .....	80
4.2.3	硅基 InP 单晶薄膜质量表征 .....	84
4.2.4	硅基 InP 衬底的外延层光学、电学性能表征 .....	86
4.3	基于 InPOI 衬底的硅基 InGaAs p-i-n 探测器 .....	88
4.4	本章小结 .....	90
<b>第5章</b>	<b>晶圆级硅基 GaAs 和 GaSb 薄膜制备 .....</b>	<b>92</b>
5.1	晶圆级硅基 GaAs 薄膜制备 .....	92
5.1.1	GaAs 剥离行为分析 .....	92
5.1.2	晶圆级硅基 GaAs 薄膜制备 .....	96
5.1.3	硅基 GaAs 薄膜表征 .....	98
5.2	硅基 GaSb 单晶薄膜制备 .....	101
5.2.1	GaSb 剥离行为分析 .....	102
5.2.2	硅基 GaSb 薄膜制备及表征 .....	106
5.3	本章小结 .....	109
<b>第6章</b>	<b>总结与展望 .....</b>	<b>111</b>
	<b>参考文献 .....</b>	<b>113</b>

致 谢 .....	133
作者简历及攻读学位期间发表的学术论文与研究成果 .....	135

图表目录

图 1.1	微电子技术工艺节点的发展 <sup>[6]</sup> .....	2
图 1.2	ITRS 最近的报告预测器件尺寸缩小趋势 <sup>[5]</sup> .....	2
图 1.3	DARPA 在集成上的创新 <sup>[11]</sup> .....	3
图 1.4	不同材料和器件的 JFOM 随集成度变化 <sup>[26]</sup> .....	4
图 1.5	不同的 InP HBT 与 CMOS 异质集成工艺 <sup>[27,29]</sup> .....	5
图 1.6	Intel 商业化异质集成平台 .....	6
图 1.7	硅基光子器件 <sup>[36-39]</sup> .....	6
图 1.8	InP 全光子集成平台 <sup>[40]</sup> .....	7
图 1.9	III-V、Si、Ge 和 Sn 的带隙/波长与对应的晶格常数/失配 <sup>[52]</sup> .....	8
图 1.10	III-V 化合物半导体异质外延在 (001) Si 衬底原子模型 <sup>[72]</sup> .....	9
图 1.11	不同的晶圆键合技术 .....	11
图 1.12	引入腐蚀阻挡层的键合过程 .....	12
图 1.13	选择性横向化学腐蚀的方法薄膜转移流程图 .....	13
图 1.14	通过机械剥离的方法转移薄膜 .....	14
图 1.15	离子束剥离技术流程图 .....	16
图 1.16	运动范围 R 和投影范围 R <sub>p</sub> 的定义 <sup>[130]</sup> .....	16
图 1.17	离子注入材料中的三维图示 <sup>[130]</sup> .....	18
图 1.18	注入离子的高斯分布 <sup>[130]</sup> .....	18
图 1.19	缺陷与 H 成键形成复合缺陷 <sup>[125]</sup> .....	20
图 1.20	H 离子注入 Si 衬底后透射电子显微镜图 (TEM) <sup>[133]</sup> .....	20
图 1.21	注入后和退火后有无支撑衬底的起泡和剥离过程 <sup>[133]</sup> .....	21
图 1.22	退火过程中注入缺陷的变化 .....	22
图 1.23	有无支撑衬底模型 <sup>[127]</sup> .....	23
图 1.24	强度因子 K <sub>I</sub> 和 K <sub>II</sub> 随着裂缝长度的变化 <sup>[127]</sup> .....	23
图 1.25	亲水性硅氧化物表面 <sup>[133]</sup> .....	24
图 1.26	室温和退火后硅氧化物亲水性键合图示 <sup>[133]</sup> .....	25
图 1.27	退火前后疏水性键合过程 <sup>[133]</sup> .....	25
图 1.28	亲水性键合和疏水性键合键能随退火温度的变化 <sup>[133]</sup> .....	26

图 1.29	SAB 键合过程 <sup>[154]</sup> .....	27
图 1.30	退火过程中表面的不同运输机制 <sup>[155]</sup> .....	27
图 1.31	本论文研究整体思路与框架 .....	29
图 2.1	离子注入机构造图 .....	31
图 2.2	晶圆清洗系统和低温等离子体激活系统 .....	32
图 2.3	G&P POLI 400L 照片 .....	33
图 2.4	AFM 组成图 <sup>[159]</sup> .....	33
图 2.5	不同 AFM 模式下力-距离曲线 <sup>[159]</sup> .....	34
图 2.6	X 射线光电子能谱展示图 <sup>[160]</sup> .....	35
图 2.7	晶格平面衍射图示 .....	35
图 2.8	衍射峰的信息提取 .....	36
图 2.9	$\omega$ 扫描模式 .....	36
图 2.10	$\omega/2\theta$ 扫描模式 .....	37
图 2.11	光和分子的相互作用 .....	37
图 2.12	光致发光原理 .....	38
图 2.13	SEM 的主要组件 .....	39
图 2.14	TEM 成像原理 .....	40
图 2.15	SIMS 中发生的级联碰撞 .....	40
图 3.1	SRIM 仿真 InP 中 He 和 H 离子注入分布 .....	43
图 3.2	注入不同 H 离子剂量的 InP 退火后 OM 图 .....	44
图 3.3	注入不同 H 离子剂量的 InP 高温退火后的 OM 图 .....	44
图 3.4	注入 H 离子 InP 退火后的 TEM 图 .....	45
图 3.5	注入 H 离子的 InP 退火后的 SEM 图 .....	45
图 3.6	注入不同剂量 He 离子 InP 退火后 OM 图 .....	46
图 3.7	注入不同剂量 He 离子 InP 高温退火后 OM 图 .....	46
图 3.8	注入 H 和 He 离子的 InP XRD 的 $\omega/2\theta$ 模式图 .....	47
图 3.9	注入 H 离子和 He 离子的 InP XRD 实验与计算曲线 .....	48
图 3.10	注入 H 和 He 离子 InP 中应变随深度的变化 .....	48
图 3.11	不同离子注入顺序的 InP 样品退火后 OM 图 .....	49
图 3.12	不同离子注入顺序 InP 样品 SIMS 和 TRIM 仿真离子分布 .....	50
图 3.13	退火前后不同离子注入顺序的 InP RBS 沟道谱图 .....	51

图 3.14	不同顺序离子共注 InP 样品退火后 TEM 图 .....	52
图 3.15	InP 中 He/H 共注的剥离机制 .....	53
图 3.16	He/H 离子共注 InP 样品退火后的 OM 图 .....	54
图 3.17	剥离效率随 H 离子共注剂量的关系 .....	55
图 3.18	不同注入条件 InP 样品 (004) XRD $\omega/2\theta$ 图 .....	55
图 3.19	最大应力随 H 离子注入剂量的变化 .....	56
图 3.20	离子共注 InP 退火后 TEM 和 SAED 图 .....	58
图 3.21	InP Arrhenius 曲线 .....	59
图 3.22	SRIM 仿真 InP 中 DPA 分布 .....	60
图 4.1	离子束剥离转移 InP 薄膜流程图 .....	63
图 4.2	InPOI 衬底 .....	64
图 4.3	InP 薄膜不同区域的 Raman 谱 .....	64
图 4.4	气泡随退火时间变化 OM 图 .....	65
图 4.5	气泡随温度变化 OM 图 .....	65
图 4.6	气泡直径随温度变化的理论计算和实验曲线 .....	66
图 4.7	键合界面表征 .....	67
图 4.8	对退火前后键合界面表征 .....	68
图 4.9	InP 键合前后表面 XPS 图 .....	68
图 4.10	InP-Si 键合过程 .....	69
图 4.11	InP 薄膜转移至刻有纵向沟槽的 Si 衬底流程图 .....	70
图 4.12	Si 衬底纵向沟槽间距及尺寸分布 .....	71
图 4.13	带有纵向沟槽的 InPOI OM 图 .....	71
图 4.14	2 英寸 InP 薄膜转移到一半面积刻有沟槽的 Si 衬底 .....	72
图 4.15	转移 InP 薄膜至刻有横向沟槽 Si 衬底流程图 .....	73
图 4.16	InP 薄膜转移至不同沟槽尺寸 Si 衬底的照片和 OM 图 .....	73
图 4.17	气泡的模型示意图 .....	74
图 4.18	吉布斯自由能 $\Delta G$ 和沟槽间距 $S$ 随起泡半径 $r$ 的变化 .....	76
图 4.19	无氧化层硅基 InP 薄膜 .....	77
图 4.20	InP/Si 的电学表征 .....	77
图 4.21	700 °C 退火后 InP/Si 表面表征 .....	78
图 4.22	InPOI 和 InP 衬底的 (004) XRD 摇摆曲线 .....	79

图 4.23	400 °C退火前后 InP 薄膜 (004) XRD 摇摆曲线	79
图 4.24	InP 薄膜表面 AFM 图	80
图 4.25	InP 衬底和 InP 薄膜 TEM 图	81
图 4.26	不通过腐蚀时间下的 InP 薄膜 AFM 图	81
图 4.27	不同腐蚀时间后的 InP 薄膜 (004) XRD 摇摆曲线	82
图 4.28	CMP 前后 InP 薄膜厚度分布	83
图 4.29	经过 CMP 后 InP 薄膜表面 AFM 图	83
图 4.30	带有横向沟槽的 InPOI 的结构表征	84
图 4.31	沟槽区域和非沟槽区域 InP 薄膜 Raman 谱图	85
图 4.32	InPOI 质量表征	86
图 4.33	生长在 InPOI 衬底和 InP 衬底的 QW 的 PL 图	87
图 4.34	InP 和 InPOI 上探测器的 TEM 和 STEM 图	88
图 4.35	InP 和 InPOI 基探测器性能表征	89
图 5.1	SRIM 仿真 He 和 H 离子分布	93
图 5.2	单独注入 H 和 He 离子 GaAs 退火后 OM 图	94
图 5.3	退火后共注 He 和 H 离子 GaAs OM 图	94
图 5.4	SRIM 仿真 GaAs 中 DPA 分布	95
图 5.5	共注 He 和 H 离子 GaAs 退火后 TEM 图	96
图 5.6	GaAs 剥离前后照片	97
图 5.7	GaAs 和 Al <sub>2</sub> O <sub>3</sub> 表面水滴照片	97
图 5.8	退火后 GaAs/Si 和 GaAsOI 照片	98
图 5.9	GaAsOI 结构表征	98
图 5.10	GaAsOI 表面表征	99
图 5.11	GaAs 薄膜的 TEM、STEM 和 SAED 图	100
图 5.12	GaAs 薄膜 CMP 前后表征	100
图 5.13	高温退火前后 GaAs 薄膜的 (004) XRD 摇摆曲线	101
图 5.14	注入 H 离子的 GaSb 退火后 OM 图	102
图 5.15	注入 H 离子 GaSb 样品在150 °C退火不同时间 OM 图	103
图 5.16	GaSb 样品在不同温度下退火后的 (004) XRD $\omega/2\theta$ 曲线	104
图 5.17	注入 H 离子 GaSb 退火后 TEM 和 SAED 图	105
图 5.18	GaSb 的 Arrhenius 图	106

图 5.19	离子束剥离技术转移 GaSb 薄膜流程图 .....	106
图 5.20	不同退火温度剥离得到的 GaSb 薄膜表征 .....	107
图 5.21	退火后的 GaSb/SiO <sub>2</sub> /Si 和 GaSbOI 照片 .....	108
图 5.22	GaSb 薄膜表面表征 .....	108
图 5.23	GaSbOI 结构表征 .....	109
图 5.24	GaSb 薄膜的 TEM 和 STEM 图 .....	109

## 缩略词

缩略词	英文全称	中文全称
IT	Information Technology	信息技术
UNIVAC	Universal Automatic Computer	通用自动计算机
AI	Artificial Intelligence	人工智能
AR	Augmented Reality	增强现实
VR	Virtual Reality	虚拟现实
FDSOI	Fully Depleted Silicon-on-insulator	全耗尽绝缘体上硅
FinFET	Fin Field-Effect Transistor	鳍式场效晶体管
GAAFET	Gate-All-Aroud Field-Effect Transistor	环绕式栅极晶体管
ITRS	International Technology Roadmap for Semiconductor	国际半导体技术路线
DARPA	Defense Advanced Research Projects Agency	美国国防高级研究计划局
E-PHI	Electronic-Photonic Heterogeneous Integration	电光异质集成
COSMOS	Compound Semiconductor material on Silicon	硅基化合物异质集成
3D-IC	Three-Dimension Integrated Circuit	三维集成电路
CMOS	Complementary Metal-Oxide-Semiconductor Transistor	互补金属氧化物半导体
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor	金属氧化物半导体场效应晶体管
HJBT	Heterojunction Bipolar Transistor	异质结双极晶体管
HEMT	High Electron Mobility Transistor	高电子迁移率晶体管
MD	Misfit Dislocation	失配位错

缩略词

TD	Threading Dislocation	穿透位错
APD	Antiphase Domain	反向畴
APB	Antiphase Boundary	反向边界
SOG	Spin on Glass	旋涂玻璃
SOI	Silicon on Insulator	绝缘体上硅
CMP	Chemical Mechanical Polishing	化学机械抛光
PKAs	Primary Knock-on Atoms	初级碰撞原子
DPA	Displacement Per Atom	每个原子的位移
SAB	Surface-activated Bonding	表面激活键合
AFM	Atomic Force Microscope	原子力显微镜
XPS	X-ray Photoelectron Spectroscopy	X 射线光电子能谱
XRD	X-Ray Diffraction	X 射线衍射
FWHM	Full Width at Half Maximum	半高宽
PL	Photoluminescence	光致发光谱
SEM	Scanning Electron Microscope	扫描电子显微镜
TEM	Transmission Electron Microscopy	透射电子显微镜
STEM	Scanning Transmission Electron Microscopy	扫描透射电子显微镜
HRTEM	High-resolution Transmission Electron Microscopy	高分辨透射电子显微镜
SAED	Selected Area Electron Diffraction	选区电子衍射
SIMS	Secondary Ion Mass Spectroscopy	二次离子质谱
RBS	Rutherford Back Scattering Spectroscopy	卢瑟福背散射
SRIM	Stopping and Range of Ions in Matter	离子注入物质的停止 和范围
OM	Optical Microscope	光学显微镜

LP MOCVD	Low Pressure Metalorganic Chemical Vapor Deposition	低压金属有机物化学气相沉积
IR	Infrared Ray	红外线
SAM	Scanning Acoustic Microscope	扫描声波显微镜
EDS	Energy Dispersive Spectrometer	能谱仪
RMS	Roughness	粗糙度
InPOI	InP on Insulator	绝缘体上磷化铟
MBE	Molecular Beam Epitaxy	分子束外延
QW	Quantum Well	量子阱
GaAsOI	GaAs on Insulator	绝缘体上砷化镓
ALD	Atomic Layer Deposition	原子层沉积
GaSbOI	GaSb on Insulator	绝缘体上锑化镓

## 第1章 绪论

### 1.1 引言

信息社会已经越来越依赖快速计算性能、可预测和可负担的消费电子产品。经济发展的许多其他方面都与信息技术（IT）和计算技术的巨大进步密切相关，如飞机的航空电子系统、汽车行业(如自动驾驶汽车)和智能电网技术等。在过去的几十年中，微电子技术一直延续摩尔定律发展趋势，采用缩小器件特征尺寸、提高集成度来不断提升性能、效率以及降低系统成本<sup>[1]</sup>。1951年第一台通用自动电子计算机（UNIVAC）占地面积35.5 m<sup>2</sup>，重达13吨，而时钟速度只有2.25 MHz<sup>[2]</sup>。69年后的今天，笔记本电脑的处理速度已经提升了至少1000倍。如今，5G、AI等新兴技术的革新，AR/VR等新应用的出现，将对系统的功能、功耗、内存计算、运行速率提出更高的要求。但是，随着工艺节点的不断推进，从2007年的45 nm到如今的10 nm以内，晶体管的尺寸已经逐渐接近物理极限，将面临短沟道效应、栅极漏电增大，功耗增加的挑战。如图1.1所示，在10 nm节点之前，FDSOI、FinFET工艺占据主要地位，但是进入10 nm节点以内时，非硅材料被引入来提升器件的性能，如III-V<sup>[3]</sup>、锗<sup>[3]</sup>、二维材料<sup>[4]</sup>等。英特尔自22nm，三星和台积电分别从14nm和16nm节点处引入FinFET立体晶体管技术来延续摩尔定律的发展，但是当制程工艺跨过7 nm进入5 nm制程节点后，FinFET也将遭遇物理极限，此时，GAAFET的横向晶体管技术将替代FinFET技术延续摩尔定律的发展。GAAFET能够实现栅极对沟道的四面包裹，利用线状或平板状等多个源极和漏极横向垂直于栅极分布，其结构比FinFET更加立体和复杂的3D晶体管。结合最近30年微电子学技术的发展，国际半导体技术路线图（International Technology Roadmap for Semiconductors, ITRS）预测到2021年以后，晶体管的尺寸将不再缩小（如图1.2所示）<sup>[5]</sup>，从而进入后摩尔时代。

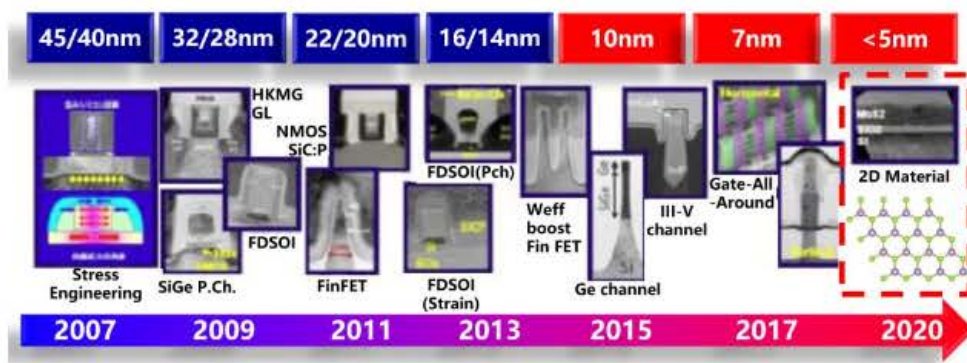


图 1.1 微电子技术工艺节点的发展 [6]

Figure 1.1 The development of microelectronic process nodes

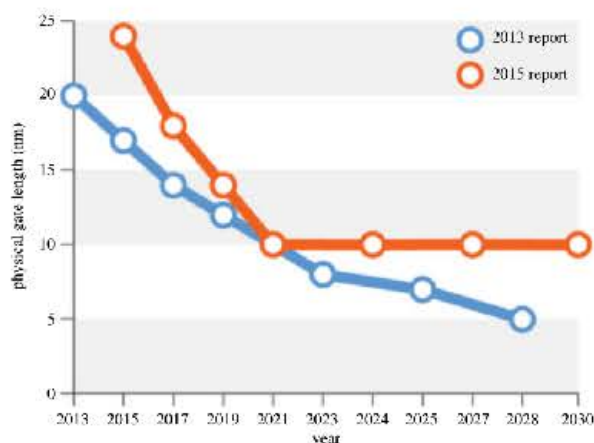


图 1.2 ITRS 最近的报告预测器件尺寸缩小趋势 [5]

Figure 1.2 The ITRS most recent report predicts the tendency of transistor scaling

在后摩尔时代,微电子技术发展方向出现分化,主要分为采用新的器件结构、沟道材料、连接导线、高介质金属栅、架构系统、制造工艺等延续摩尔定律的发展 (More Moore) 以及以实际应用推动芯片功能的多样化的超越摩尔定律的发展方向 (More than Moore)。在超越摩尔定律的发展中,从实际需求出发,不再局限于单个芯片的集成度,更在乎如何通过集成的方法,将不同功能集成在一起,实现高效、低成本系统。美国国防高级研究计划局 (Defense Advanced Research Projects Agency, DARPA) 在集成方面采用了许多方法,包括电光异质集成 (Electronic-Photonic Heterogeneous Integration, E-PHI) [7]、硅基化合物异质集成 (Compound Semiconductor material on Silicon, COSMOS) [8]、三维集成电路

(Three-Dimension integrated circuit, 3D-IC) [9]等, 如图1.3所示。异质集成可分成混合集成和单片集成。混合集成通常采用键合的方式实现不同芯片的集成, 具有代表性的为3D-IC 技术。单片集成是从材料出发实现异质集成, 相比混合集成, 单片集成寄生小、集成度高, 并且非硅材料与硅衬底集成后, 不但可以充分发挥其本身优越性质, 还可以与成熟的硅工艺部分兼容, 其代表性是将III-V 化合物半导体与 Si 衬底集成<sup>[10]</sup>, 虽然在高温工艺上, III-V 化合物半导体与 Si 衬底并不兼容, 但是其他基本工艺具有可兼容性。

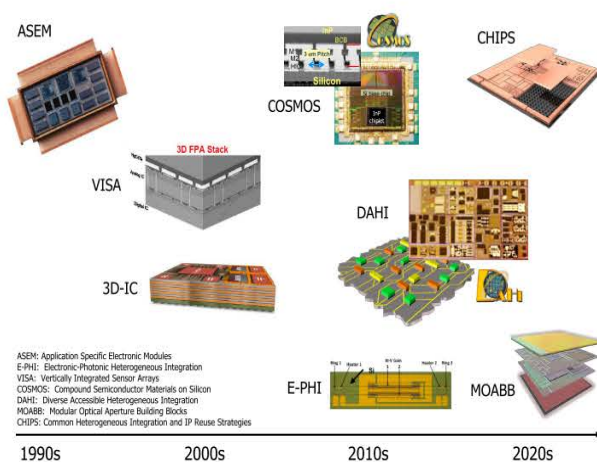


图 1.3 DARPA 在集成上的创新<sup>[11]</sup>

Figure 1.3 The DARPA's history of innovation in integration

如表1.1所示, 同硅相比, 大部分III-V 化合物半导体具有更高的电子迁移率<sup>[12]</sup>。这也促进了非硅III-V 化合物半导体晶体管的快速发展。从20世纪60年代开始, GaAs 是第一种被用于制作 MOSFETs 的III-V 化合物半导体材料<sup>[13-16]</sup>。其他的III-V 化合物半导体材料例如 InP、GaAs、GaN 以及他们的二元和三元合金 (InGaAs、InAlAs、AlGaN、InGaP、InGaAsN、AlGaAs 和 GaAsSb) 也被用于制备异质结双极型晶体管 (HJBT) <sup>[17-20]</sup>。除了 GaAs 外, GaN 和 InAs 同样被用于制备高电子迁移率晶体管 (HEMT) <sup>[21,22]</sup>。随后 Intel 的研究学者提出了一种基于 GaAs 的 InSb 量子阱的新型超高速度的晶体管<sup>[23,24]</sup>。Johnson 在1966年提出 JFOM 优值, 即晶体管截止频率和击穿电压的乘积, 用来评估不同材料在高频、高功率下的表现<sup>[25]</sup>。图1.4中显示了不同材料和器件的 JFOM 优值随着集成度的变化<sup>[26]</sup>。从图中可以看出, 硅 CMOS 是目前高集成度最优的技术, 但是III-V 化合物半导

体器件如 InP HEMT 和 HBT 的 JFOM 优值比 Si 高一个量级，但是其集成度较低。目前，DARPA 已经采用不同集成方式，实现了 InP HBT 与 CMOS 的集成，用于射频和混合信号电路，如图1.5所示<sup>[27,29]</sup>。将III-V 化合物半导体与 Si 衬底异质集成是实现高集成度、高性能的高频、高功率器件的重要方向之一。

表 1.1 300 K 时一些半导体材料基本性质

Table 1.1 The basic properties at 300K of some semiconductors

	禁带宽度 (eV)	空穴迁移率 (cm <sup>2</sup> Vs <sup>-1</sup> )	电子迁移率 (cm <sup>2</sup> Vs <sup>-1</sup> )
Si	1.107	≤450	≤1400
Ge	0.661	≤1900	≤3900
GaP	2.261	120	200
GaAs	1.428	420	8500
GaSb	0.7	1400	7700
InP	1.35	150	4500
InAs	0.356	460	33000
InSb	0.18	850	78000
GaN	3.42	≤200	1400
AlN	6.2	14	300

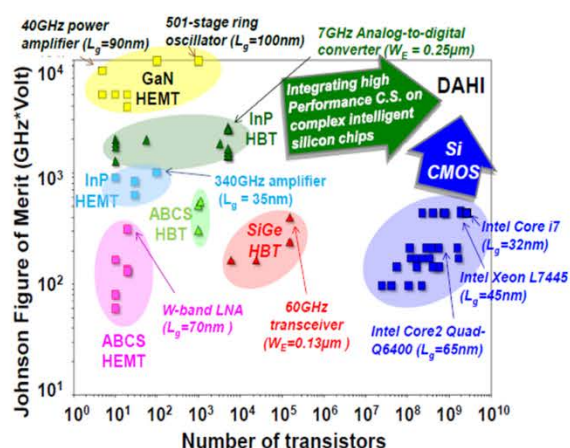


图 1.4 不同材料和器件的 JFOM 随集成度变化<sup>[26]</sup>

Figure 1.4 Plot of JFOM of different materials and devices vs. integration complexity

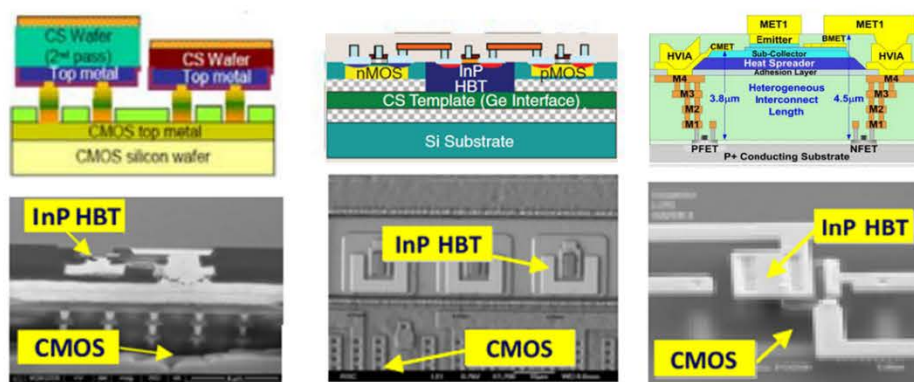


图 1.5 不同的 InP HBT 与 CMOS 异质集成工艺<sup>[27,29]</sup>

Figure 1.5 Different heterogeneous integration processes of InP HBT and CMOS

(a) 微米尺度组装；(b) 外延层打印；(c) 单片外延生长

另一方面，由于硅是间接带隙半导体，因此硅材料并不适用于制备光激发器件。为了增强硅的光激发性质以及拓展其非线性光学性质，研究学者尝试在纳米尺度和量子尺度来操纵单晶硅，然而效果并不理想，其性能仍然不能超过市场上的 III-V 化合物半导体光器件<sup>[30-35]</sup>。因此将 III-V 化合物半导体光学器件与硅基集成电路相结合，可以实现高效的片上光源集成，代替波导耦合外部光源的方法。目前，研究学者已经通过不同的方法实现多种 III-V 化合物半导体薄膜、量子阱以及量子点与硅衬底的异质集成，主要包括 InP、GaAs、GaN 等，在这些方法中，键合是主流的集成方法。做为硅光领域的领跑者，Intel 通过将 InP 和硅基电路键合，实现了商业化的硅光集成平台，如图 1.6 所示。结合键合的方法，目前国际上已经成功制备出了硅基 III-V 化合物半导体激光器、放大器、探测器以及调制器，如图 1.7 所示<sup>[36-39]</sup>。然而，受限于键合对准精度高以及光耦合损耗大，至今仍无成熟的硅基全光子集成技术。目前最为成熟的全光子集成平台为 InP 单晶衬底，它可以集成全部的有源器件，如激光器、探测器、调制器放大器等，以及无源器件，如波导，如图 1.8 所示<sup>[40]</sup>。除探测器外，所有的有源器件可以共用同一种有源区，因此，只需要两步外延就能够生长出全光子结构，并且波导直接采用 III-V 化合物半导体层，可以避免光耦合损耗。如果将 InP 薄膜与 Si 衬底异质集成，就可以充分利用 InP 的全光子集成能力，有望实现硅基全光子集成。



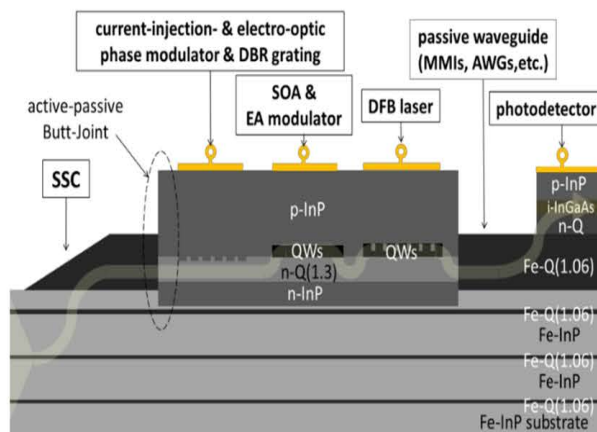
图 1.8 InP 全光子集成平台<sup>[40]</sup>

Figure 1.8 Schematic illustrating full-photonic-integration InP platform

此外，III-V 化合物半导体除了在光学、电学以及光电子学方面有广泛的应用外，也在高效光伏电池、生物传感以及自旋电子学方面有着重要应用<sup>[41-51]</sup>。因此，实现高质量的III-V 化合物半导体与硅衬底的异质集成将会促进这些领域的发展，在降低制造的成本同时也提高了设计和制造的自由度，增强了器件的性能。

综上，将III-V 化合物半导体与硅衬底集成，不但可以充分利用III-V 化合物半导体本身的高电子迁移率等优越的电学特性，提升硅基电子器件的性能，还可以利用III-V 化合物半导体优秀的光学特性，增强硅基光子集成能力，加快硅基光电集成的发展。目前，将III-V 化合物半导体与逻辑集成电路集成面临着几个严峻的挑战。在器件领域，要实现性能可靠的III-V 化合物半导体晶体管，缺乏高质量的栅绝缘层，并且很难形成低电阻接触，制备出的多是 N 型晶体管，缺乏 P 型晶体管。而要实现与 CMOS 最优的集成，工艺必须是经济有效的。由于III-V 化合物半导体晶圆尺寸无法与硅晶圆尺寸相匹配，因此将III-V 化合物半导体器件与硅晶圆集成是最为经济有效的方法。在过去这些年中，不同种方法被用于实现III-V/Si 的异质集成。整体上可以分为三种方法，分别为异质外延法、晶圆键合法以及离子束剥离法。在这些方法中，晶格失配、热膨胀系数差异以及晶型失配等仍然是重要的影响因素。

## 1.2 异质外延法

同质材料的外延生长技术已经十分成熟，然而异质外延目前仍然存在很多困难。对于单片集成来说，在 Si 衬底异质外延生长III-V 化合物半导体薄膜是最为经济有效的方法。III-V 化合物半导体与 Si 衬底间存在晶格失配、热膨胀系数差异以及晶型失配等问题，如图1.9示，这些失配会在异质外延层引入许多不同类型的缺陷，主要包括间隙原子、空位等引入的点缺陷，失配位错（MD）与穿透位错（TD）引入的线缺陷以及堆叠层错和反相畴（APD）引入的面缺陷。这些缺陷的存在将会间接或直接地影响器件的性能和寿命。

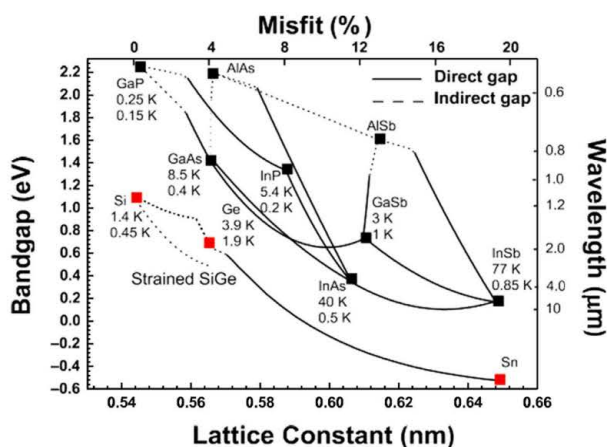


图 1.9 III-V、Si、Ge 和 Sn 的带隙/波长与对应的晶格常数/失配<sup>[52]</sup>

Figure 1.9 Plot of bandgap energy/wavelength versus lattice constant/misfit for III-V, Si, Ge and Sn

在 Si 衬底外延生长III-V 化合物半导体材料时，由于失配的存在，将会产生应力能的积累。当外延薄膜的厚度小于临界值  $t_c$  时，应力主要以弹性应变的形式释放。在二维薄膜中，会引起四边形的位移，而面外晶格常数不同于异质层独立的晶格常数。当外延薄膜的厚度大于临界值  $t_c$  时，应变会更倾向于以位错的形式释放，这也是通过缺陷发生塑性释放。在现实应用中，硅基III-V 化合物半导体器件层的厚度要远大于临界值  $t_c$ ，因此，失配位错和穿透位错是不可避免的。如果外延生长可控的纳米结构，应变能将会在横向弹性释放，这样会增加临界层的厚度，也是在 Si (111) 衬底生长III-V 纳米线的优势<sup>[53,54]</sup>。位错会在III-V 化合物半导体的能带中引入不同电子态，位错引起的能态主要是深能级陷阱，而应力场导

致的原子位移引起的主要是浅能级。这些引入的能态将会对器件的电学和光学性能产生不好的影响。

III-V 化合物半导体具有极性键，并且是双原子晶格结构，而 Si 是非极性半导体，是单原子晶格结构，当在 Si 衬底异质外延生长 III-V 化合物半导体时，每一个 Si (001) 表面台阶都将形成一个反向边界 (APB)，从而产生 APD<sup>[55,56]</sup>。APB 从 III-V/Si 界面沿着不同的晶面穿透到 III-V 化合物半导体层，不同晶面的边界会发生弯曲，这与生长条件相关<sup>[57-61]</sup>。APB 作为面缺陷将不同极性的晶体区域分隔开，这也导致了同极性的 III-III 或者 V-V 键的形成。如果反向边界扭曲到高指数晶面，可能会自我湮灭，在 APD 顶部留下反向无序的自由层。但是在 Si (111) 的表面的单原子层将不会引入反向边界，利用这一优点，研究学者在 Si (001) 衬底沿着 <110> 方向刻蚀 V 型槽，暴露出两个 (111) 晶面来外延生长 III-V 化合物半导体<sup>[62-66]</sup>。图 1.10 展示了在 Si (001) 衬底外延 III-V 化合物半导体时 APD 的形成<sup>[67]</sup>。虽然 APD 不涉及局部位错，但是它会与 TD 发生相互作用<sup>[68]</sup>。此外，产生的错误的化学键将会引起电荷的积累，对器件的光电特性产生很强的影响<sup>[69-71]</sup>。

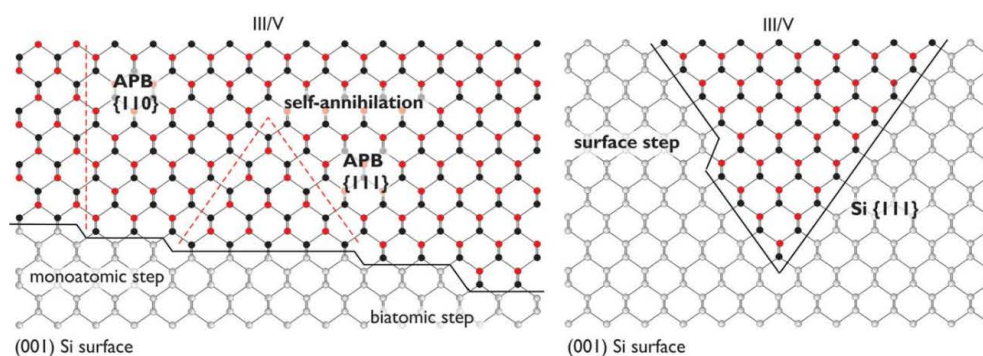


图 1.10 III-V 化合物半导体异质外延在 (001) Si 衬底原子模型<sup>[72]</sup>

Figure 1.10 Atomic model of III-V compound materials deposited on a (001) Si substrate

为了克服外延生长过程中缺陷的产生，不同种外延生长方法被采用。为了克服 Si 与 III-V 化合物半导体间的晶格失配，通常采用生长厚的 Ge 层或者 SiGe 梯度缓冲层的方法<sup>[73]</sup>，但是需要很厚的缓冲层。此外，生长梯度应力释放缓冲层是一种更好的限制缺陷形成的方法<sup>[74]</sup>。在一个梯度缓冲层里，通过改变合金的组分，

期望晶格常数是线性变化的,但是这种组分设计是很困难的,因此实际中只要求这种设计能够实现最大的位错滑移速度以及最低限度的新位错成核。如果在缓冲层中引入应变超晶格作为缺陷过滤层,会大大降低缺陷的密度。应变超晶格是由应力交替变化的异质层构成。应变超晶格作为缺陷过滤层在很多不同的异质体系中被应用<sup>[75-79]</sup>。但是当缓冲层的厚度小于4微米时,缺陷密度小于 $10^7 \text{ cm}^{-2}$ 是很难实现的,最近的一些报道中突破了 this 极限。以 GaP/Si(001)为衬底,采用 InGaAs 超晶格,可以在缓冲层厚度为 $3.1 \mu\text{m}$ 时,将 GaAs 薄膜的缺陷密度降低到 $7 \times 10^6 \text{ cm}^{-2}$ <sup>[79,80]</sup>。在(100)偏 [011]  $4^\circ$ 的 Si 衬底上, GaAs 薄膜厚度小于 $3 \mu\text{m}$ 时,缺陷密度降低到 $1 \times 10^6 \text{ cm}^{-2}$ <sup>[81,82]</sup>。在大部分报道的异质外延中,缓冲层的厚度都是在 $3 \mu\text{m}$ 以上,厚的缓冲层又加剧了III-V化合物半导体与 Si 之间的热应力。当温度从生长温度降到室温时,会在III-V化合物半导体薄膜中引入拉伸应变,使得晶圆发生弯曲,甚至会发生碎裂<sup>[83,84]</sup>。虽然通过异质外延生长的方法,实现了不同种III-V化合物半导体器件与 Si 衬底的异质集成,如激光器、太阳能电池、晶体管等<sup>[85-103]</sup>,但 Si 基III-V化合物半导体器件的性能仍然受限于异质外延产生的缺陷,无法与与III-V化合物半导体器件相媲美。

### 1.3 键合法

键合技术是一种独特的异质集成方法,它不需要材料间具有相匹配的晶格常数,克服了外延生长中面临的晶格失配问题,为材料及器件的异质集成提供了更大的自由度<sup>[104]</sup>。如图1.11所示,键合技术通常分为两大类,分别为中间层键合以及无中间层键合,其中中间层键合又包括金属键合、黏合剂键合、分子键合、玻璃介质键合、焊接键合和共熔键合,无中间层键合包括阳极键合和直接键合<sup>[12]</sup>。每一种键合技术都有自己的优缺点,根据不同材料的本质性质、温度容忍度以及不同的应用来选取不同的键合技术。

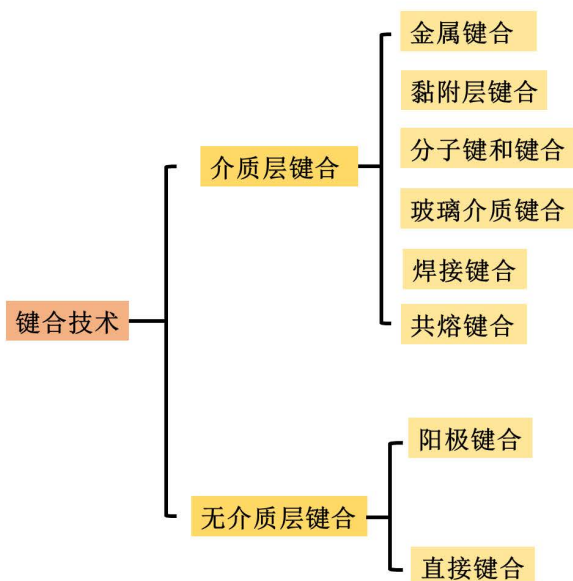


图 1.11 不同的晶圆键合技术

Figure 1.11 The different wafer bonding technologies

一般III-V化合物半导体键合主要通过两种键合技术。第一种是无介质层的直接键合方法。Lehmann 等人通过直接键合的方法，获得了界面无气泡的、高稳定性的 InP/Si 和 GaAs/Si 衬底<sup>[105]</sup>。由于两种材料是直接接触，所以形成的异质结构具有很好的导热性。但是，在键合界面会存在很多界面态，会对能带产生一定的影响<sup>[106]</sup>。如果在超高真空条件下处理材料表面并原位键合，能够有效的改善界面态的问题，形成明显突变的界面<sup>[107,108]</sup>。不同材料间的热膨胀系数差异，会在高温时产生热应力，这对键合强度提出了很高的要求。Pasquaroello 等人详细的研究了 InP/Si 直接键合结构的性质随着温度升高的变化，他们发现当退火温度低于300 °C 时，温度对键合结构影响不大，但是当温度高于300 °C 时，会在 InP 中产生许多位错，但是这种位错密度仍然要远低于异质外延中产生的位错密度<sup>[109]</sup>。高温对直接键合结构的负面影响限制了键合强度的提升。Tong 等人提出了一种能够在低温下实现高强度 InP/Si 键合的方法，在键合前采用 B<sub>2</sub>H<sub>6</sub> 等离子体处理衬底表面，随后经过 HF 处理后，将两晶圆在室温下实现键合，经过200 °C 退火后，界面能达到了 InP 的断裂能630 mJ/m<sup>2</sup>，然而，在界面处形成了富 B 的非晶层，影响了这种方法的应用范围。

第二种III-V化合物半导体键合的常用方法是通过中间层键合，其中中间层可以是绝缘层如自然氧化层、 $\text{SiO}_2$ 、旋涂玻璃（SOG）或者 $\text{Si}_3\text{N}_4$ 等，也可以是金属或者聚合物。这种键合方式会降低热预算，并且提升对表面粗糙度以及起伏的容忍度<sup>[110-113]</sup>。例如当使用旋涂玻璃的方法实现GaAs同Si衬底的键合，即使键合后退火温度只有200 °C，也能实现高质量的键合。然而由于旋涂玻璃或者聚合物具有很低的热导率，限制了后续器件的热处理能力。相比之下， $\text{SiO}_2$ 层具有相对较高的热导率，通过 $\text{SiO}_2$ 层键合可以形成耐高温的异质结构。此外，还可以通过金属作为中间层来实现失配材料键合，这种键合方式是基于金属间等温凝固过程。在两种异质衬底键合面分别沉积高熔点和低熔点两种金属，当退火温度升高到两种金属熔点之间时，会形成金属合金，从而实现金属键合。Bickford 等人通过In作为低熔点金属，Pd作为高熔点金属，实现了GaAs同Si衬底的键合<sup>[114]</sup>。

然而，通过键合技术仅仅能够实现不同衬底间异质集成，此后还需要对键合异质衬底进行减薄处理，得到异质薄膜结构。最为直接的减薄方法是通过机械的研磨、抛光等方法将键合异质衬底减薄到一定厚度。利用这种方法，Huang 等人制备了绝缘体上GaAs（GaAsOI）<sup>[115]</sup>。但是当衬底厚度减薄到10  $\mu\text{m}$  以下时，薄层的厚度均匀性急剧下降，不利于形成微米级以及纳米级的异质薄膜衬底结构。

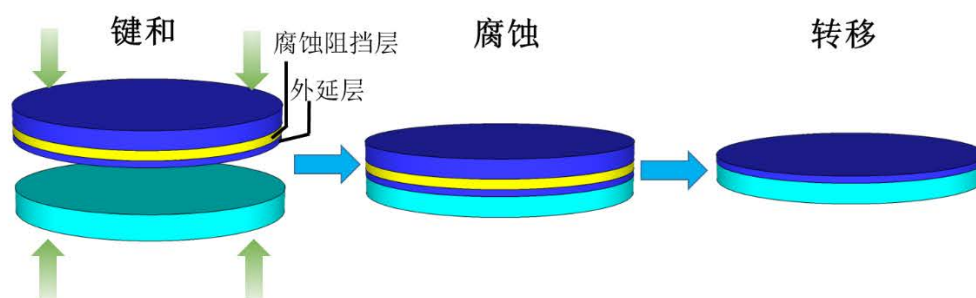


图 1.12 引入腐蚀阻挡层的键合过程

**Figure 1.12 The introduction of etch-stop layer to achieve the better control of the thickness in wafer bonding.**

为了避免机械减薄引入的薄膜不均匀性，化学腐蚀的方法可以被用来减薄或者去除衬底。一种方法是在键合前通过外延的方法引入腐蚀阻挡层和一定厚度的外延层，键合后通过化学腐蚀的方法去除衬底和腐蚀阻挡层，留下一定厚度的外

延层，如图1.12所示。通过这种方法，Bowers 等人成功实现了 InP 薄膜转移到 Si 衬底<sup>[116]</sup>。在此过程中，键合前先在 InP 衬底上生长晶格匹配的 InGaAs 作为牺牲层，然后再外延生长 InP 薄膜，键合后选择性腐蚀去除 InP 衬底。利用类似的方法，采用不同的牺牲层实现了 GaAs 以及 GaSb 薄膜转移到异质衬底上<sup>[117-119]</sup>。虽然通过化学腐蚀可以避免机械减薄的不均匀性，但是由于腐蚀去除了整个衬底，而III-V 化合物半导体衬底价格相对较为昂贵，这就造成了衬底的浪费。另一种方法是在键合前外延生长牺牲层以及外延层，与异质衬底键合后，通过选择性横向腐蚀的方法去除牺牲层，将外延层转移到异质衬底，如图1.13所示。Konagai 等人第一次通过选择性横向腐蚀的方法实现了30  $\mu\text{m}$  厚的 GaAs 太阳能电池的剥离<sup>[120]</sup>。虽然这种方法可以避免衬底的浪费，但是由于横向的腐蚀速率慢，转移的尺寸很小，只有几厘米。

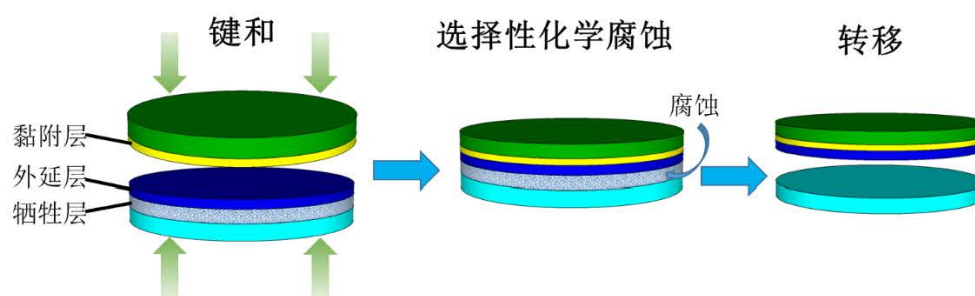


图 1.13 选择性横向化学腐蚀的方法薄膜转移流程图

Figure 1.13 Thin film transfer by selective lateral chemical etching

为了同时满足衬底的高利用率以及实现大面积薄膜转移，研究学者提出了一种机械裂解的方法，即在转移的薄膜与衬底间形成一层脆性层，与异质衬底键合后，通过横向的额外力的作用下，使得脆性层裂开，将薄膜转移至异质衬底，如图1.14所示。Canon 的研究学者通过采用多孔 Si 作为脆性层，成功转移单晶 Si 层<sup>[121]</sup>。在此过程中，通过阳极处理 Si 衬底形成两层孔径不同的多孔层，随后在其表面上外延生长 Si 层，经过干氧化后与热氧化 Si 片键合，在其键合对边缘位置施加机械力，导致 Si 薄膜在靠近两层多孔层界面处沿着平行于表面的方向剥离开。通过这种方法实现了直径为300 mm 的 SOI 衬底。虽然这种方法可以实现大面积的薄膜转移，并且可以避免衬底的浪费，但是应用此方法来实现III-V 化合物半导体薄膜的转移的研究相对较少，技术不够成熟。

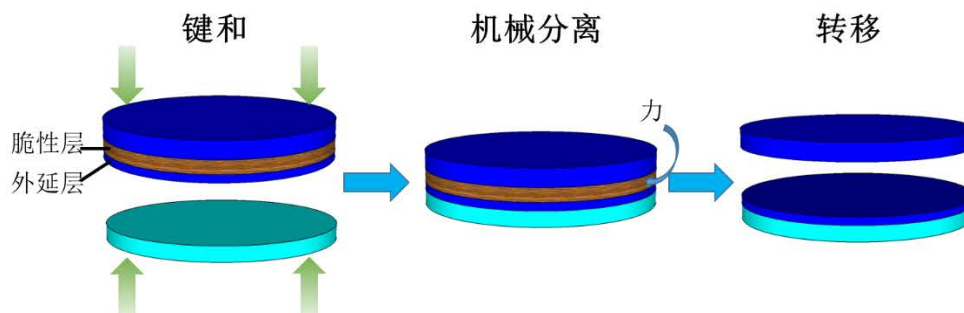


图 1.14 通过机械剥离的方法转移薄膜

Figure 1.14 Thin layer transfer by mechanical splitting

因此，虽然键合的方法可以实现III-V化合物半导体衬底与异质衬底间的异质集成，但是仅仅实现了异质衬底间的集成，缺乏一种与之相匹配的方法来实现大面积的、可控的、成本低廉的薄膜集成方法。

#### 1.4 离子束剥离方法

离子束剥离技术于1995年被 Bruel 提出，用 H 离子注入引起硅单晶薄膜剥离，并将此技术命名为“smart-cut”<sup>[122]</sup>。随后这种方法被商业用于制备绝缘体上硅 (SOI) <sup>[123]</sup>。在离子束剥离中，通过离子注入剥离转移得到的薄膜具有很好的厚度均匀性（厚度偏差在5 nm 范围内），而且剥离后剩余的衬底材料可以通过简单的表面处理重复使用，能够降低昂贵晶体材料的损耗。

##### 1.4.1 离子束剥离方法基本特征

离子束剥离方法是一种通用单晶薄膜转移技术，具体工艺流程如图1.15所示，一共分为四个部分<sup>[124-128]</sup>：

1. 离子注入。在单晶器件晶圆衬底（后续器件的制备都是使用此材料，因此称为器件晶圆衬底）中注入一定能量、一定剂量的离子（H 离子或者 He 离子），其中离子的注入能量决定离子的注入深度，离子的注入剂量由不同材料发生剥离临界剂量决定，注入的离子会在晶圆内部距离表面一定深度处形成一层富离子层，此层由于离子注入会存在大量的缺陷，因此又称为损伤层。

2. 键合。将离子注入后的器件晶圆衬底的注入面与另一个异质宿主衬底（所

谓宿主衬底就是对后续转移薄膜的支撑衬底)抛光面键合,键合可以根据不同需求采用不同的键合方式,例如直接键合、介质层键合、阳极键合等。

3. 退火剥离。将键合对在退火炉中一定温度下进行退火,具体的退火温度由器件晶圆衬底剥离温度决定,在退火过程中,缺陷层处的缺陷会发生聚集,最终使得在缺陷层处沿着平行于表面的方向裂开,此时已将器件衬底的薄层转移至宿主衬底。

4. 表面处理及质量恢复。由于离子注入造成的损伤,会使转移的薄膜质量下降,一般会通过再次高温退火工艺使其缺陷复合,提升薄膜质量,此外,转移的薄膜表面粗糙度较大,并且近表面处存在一层损伤层,需要经过表面平整工艺去除损伤层并平滑表面,常用的平整工艺为化学机械抛光(CMP),以此得到高质量的单晶薄膜。

与传统的异质外延方法相比,离子束剥离技术完美的融合了键合技术的优点:

1. 可以忽略材料间的晶格失配、晶型失配、反相畴等问题来实现材料间的异质集成

2. 薄膜是从单晶衬底直接剥离获得,不会引入如外延生长过长过程中大量的位错等缺陷,薄膜呈现高的单晶质量。

与键合减薄技术相比,离子束剥离技术也有很多优点:

1. 转移的薄膜具有很高的厚度均匀性。在离子束剥离过程中,转移的薄膜厚度由离子注入深度控制,而离子注入深度由离子的注入能量控制,因此,只要精确的控制离子注入的能量,就可以保证转移的薄膜具有很高的厚度均匀性,而通过研磨、抛光、刻蚀很难获得高厚度均匀性的薄膜,虽然使用腐蚀阻挡层可以获得厚度均匀的薄膜,但是在外延生长过程中难免会引入位错等缺陷,同时也会增加工艺成本。

2. 剥离后的器件晶圆衬底经过简单的化学机械抛光后,仍可以继续重复转移过程,这样,一个晶圆可以反复经过多次转移,有助于降低成本,尤其是对于价格昂贵的III-V化合物半导体衬底,而不是像键合后减薄衬底,一片衬底只能使用一次,大部分衬底都被减薄浪费掉。

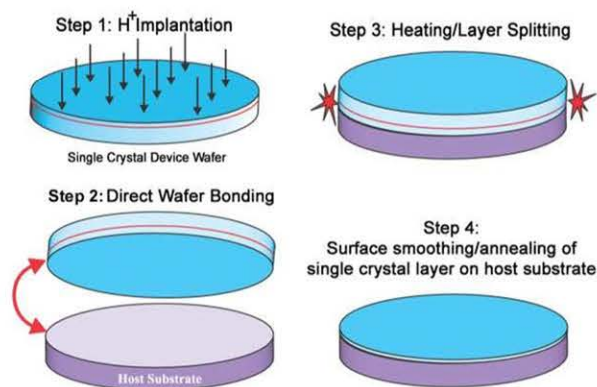


图 1.15 离子束剥离技术流程图

Figure 1.15 The schematic drawing of ion splitting

### 1.4.2 离子注入

衬底材料在一束能量离子的轰击下，不但发生表面原子的溅射，同时离子会最终停留在衬底材料内部，这种采用能量离子在衬底材料中引入离子的方法就称为离子注入。从1955年，Cussins 等人第一次尝试将传统的掺杂杂质注入到半导体材料中实现半导体的掺杂开始，离子注入就被广泛应用到半导体掺杂领域<sup>[129]</sup>。

能量离子进入固体中时，会发生一系列碰撞，在这些碰撞过程中，入射离子的能量会以 $dE/dx$ 的速率消耗，其速率大小与入射离子的能量、质量以及目标材料的性质相关。在离子穿透过程中，更在意的是离子的运动范围  $R$  (Range) 以及投影范围  $R_p$  (Projected Range)，其中运动范围指的是离子从进入材料中到停止时运动的整个距离，而投影范围指的是运动范围在入射方向的投影距离，如图 1.16所示<sup>[130]</sup>。

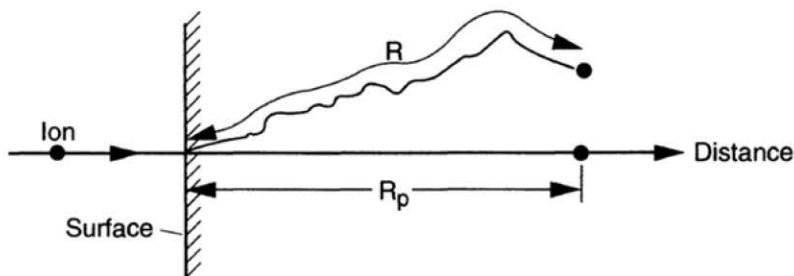


图 1.16 运动范围  $R$  和投影范围  $R_p$  的定义<sup>[130]</sup>

Figure 1.16 Definition of range  $R$  and projected range  $R_p$

此时，运动范围  $R$  可表示为：

$$R = \int_{E_0}^0 \frac{1}{dE/dx} dE \quad \dots (1.1)$$

其中  $E_0$  为离子的初始能量，虽然表达式为正，但是  $dE/dx$  的实际是负值，表示能量的损耗。在离子进入固体材料中，主要有两种能量损失方式：

1. 离子与目标材料中的自由电子以及束缚电子发生碰撞，损失一部分能量。
2. 离子与目标材料中的原子核发生碰撞损失一部分能量。

假设两种能量损失过程相互独立，那么能量损失的平均速率可表达为：

$$-\frac{dE}{dx} = N[S_n(E) + S_e(E)] \quad \dots (1.2)$$

其中， $S_n(E)$  为原子核阻止能， $S_e(E)$  为电子阻止能， $N$  为目标材料中单位体积的原子数。因此，运动范围  $R$  可以表达为：

$$R = \int_0^{E_0} \frac{1}{N[S_n(E) + S_e(E)]} dE \quad \dots (1.3)$$

在实际半导体离子注入中，为了避免沟道效应，一般离子入射角度会略偏离表面垂直方向，此时，最为关心的是在垂直表面方向离子的运动深度，此时  $R_p$  不等于离子在垂直表面方向的运动深度。图1.17为简单的离子以一定角度注入材料的三维图示，在图中，离子在表面  $(0, 0, 0)$  处以  $\alpha$  角入射进去材料中，离子最终停留位置为  $(X_s, Y_s, Z_s)$ ， $R_r$  为离子起点和终点的距离， $R_s$  为离子从起点到终点距离在表面的投影距离， $R_p^t$  为横向投影距离，离子距离表面的运动深度  $X_s \neq R_p$ 。基于以上描述，相应距离的数学表达为<sup>[130]</sup>：

$$R_s = (Y_s^2 + Z_s^2)^{1/2} \quad \dots (1.4)$$

$$R_r = (X_s^2 + Y_s^2 + Z_s^2)^{1/2} \quad \dots (1.5)$$

$$R_p^t = [(X_s \sin \alpha - Y_s \cos \alpha)^2 + Z_s^2]^{1/2} \quad \dots (1.6)$$

$$R_p = [(R_r)^2 + (R_p^t)^2]^{1/2} \quad \dots (1.7)$$

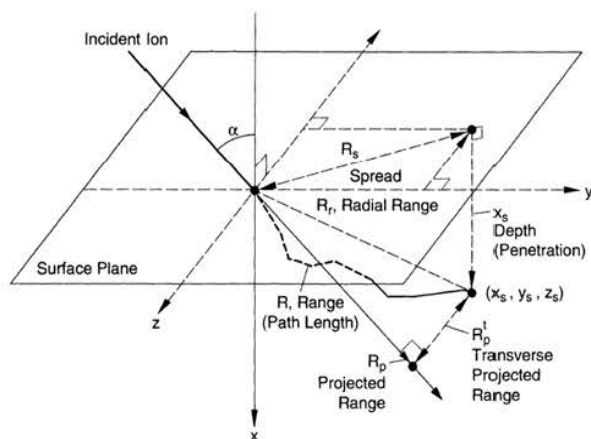


图 1.17 离子注入材料中的三维图示<sup>[130]</sup>

Figure 1.17 The 3D schematic drawing of ion implanted in material

由于每个离子在目标材料中碰撞次数以及能量转移都是变化的，即使离子种类能量都相同，在目标材料中停留的位置也会不同，因此将一束离子注入到材料中，在材料内部会形成宽类高斯分布，如图1.18所示<sup>[130]</sup>。其离子浓度随运动深度分布可表示为：

$$N(x) = N(R_p) \exp\left[-\frac{1}{2} \left(\frac{x - R_p}{\Delta R_p}\right)^2\right] \quad \dots (1.8)$$

其中， $N(R_p)$ 为  $R_p$  处的离子浓度，也是离子浓度分布最大处的离子浓度。

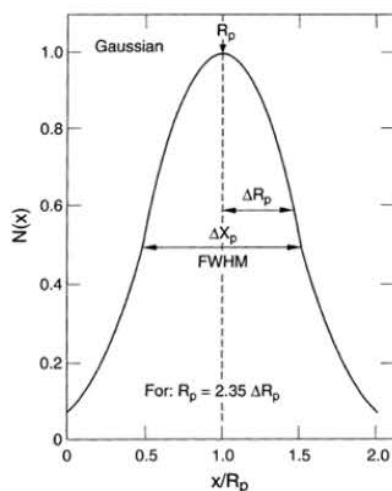


图 1.18 注入离子的高斯分布<sup>[130]</sup>

Figure 1.18 The Gaussian range distribution for implanted ions

随着注入离子在目标材料中发生碰撞至停下，在这些碰撞中，足够多的能量

被转移至目标材料原子，使得目标材料原子发生位移，偏离了平衡位置，这种被入射离子撞击产生位移的晶格原子被称为初级碰撞原子 (Primary knock-on atoms, PKAs)，这些 PKAs 又会与其他原子发生二次、三次等多次碰撞，即原子间级联碰撞，使其他原子发生位移，从而在目标材料中会引入空位、间隙原子、替位原子等缺陷，随着注入离子剂量的增加，产生的缺陷会发生重叠，甚至会在目标材料中引入缺陷层。离子注入产生的整个缺陷的数量以及随深度的分布与注入离子的种类、温度、能量、剂量、沟道效应和目标材料物理性质相关。通常采用每个原子的位移 (Displacement per atom, DPA) 来表征离子注入对目标材料产生的损伤，DPA 的分布可以通过 Norgett, Robinson, and Torrens (NRT) 模型、TRIM 以及 Molecular dynamics (MD) 模型进行计算<sup>[131]</sup>。其中 TRIM 是一个标准的基于 Monte Carlo 算法的软件，结合 TRIM 的仿真结果以及公式 (1.9) 和 (1.10)，可以进行离子注入分布以及注入损伤的仿真计算<sup>[132]</sup>：

$$N = \left[ \text{TRIM Output} \left( \frac{\frac{\text{atom}}{\text{cm}^3}}{\frac{\text{atom}}{\text{cm}^2}} \right) \right] \times \left[ \text{Fluence} \left( \frac{\text{atom}}{\text{cm}^2} \right) \right] \quad \dots (1.9)$$

$$\text{DPA} = \left[ \text{TRIM Output} \left( \frac{\frac{\text{Vavancies}}{\text{ions}}}{\text{\AA}} \right) \right] \times \frac{\left[ 10^8 \left( \frac{\text{\AA}}{\text{cm}} \right) \right] \times \left[ \text{Fluence} \left( \frac{\text{atom}}{\text{cm}^2} \right) \right]}{\left[ \text{Atom density} \left( \frac{\text{atom}}{\text{cm}^3} \right) \right]} \quad \dots (1.10)$$

注入的离子除了会产生一定的缺陷，还会与产生的缺陷发生相互作用，如注入 H 离子，缺陷的断键会吸附 H 离子，产生含 H 的复合缺陷 X-H，其中 X 表示产生的缺陷。H 离子会与缺陷成键，使得缺陷钝化或者过饱和，如图 1.19 所示<sup>[125]</sup>。钝化后的缺陷可以稳定存在，随着注入离子增加，这些缺陷会发生重叠，形成剥离所必须的板状缺陷，多余的 H 离子会在缺陷内部相互结合形成 H<sub>2</sub>。对于 (001) Si 衬底，形成的板状缺陷大部分平行于表面，少部分沿着 <111> 晶向，如图 1.20 所示<sup>[133]</sup>。

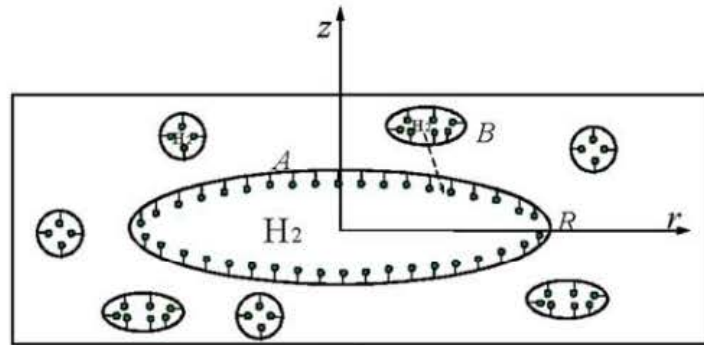


图 1.19 缺陷与 H 成键形成复合缺陷<sup>[125]</sup>

Figure 1.19 The defects bond with H ions to form complicated defects

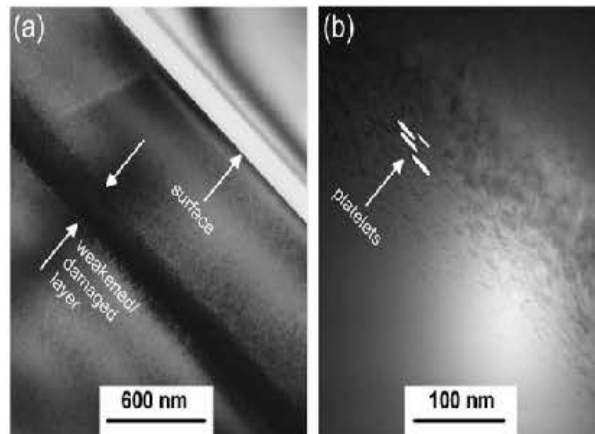


图 1.20 H 离子注入 Si 衬底后透射电子显微镜图 (TEM) <sup>[133]</sup>

Figure 1.20 Cross-sectional TEM micrographs of a H as-implanted Si-wafer

(a) 低倍 TEM 图; (b) 高倍 TEM 图

### 1.4.3 起泡和完整晶圆剥离机制

离子注入目标材料后,当达到一定的剂量时,在足够高的温度下退火,材料的表面会发生形变,如果形变以气泡的形式表现就称为起泡,如果形变区域完全脱落,就称为剥落,如图1.21所示<sup>[133,134]</sup>。

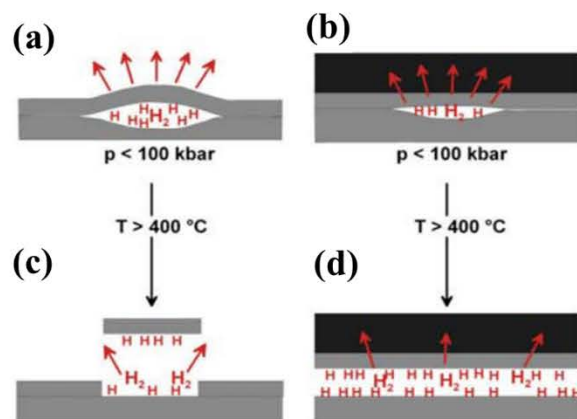


图 1.21 注入后和退火后有无支撑衬底的起泡和剥离过程<sup>[133]</sup>

**Figure 1.21 The process of blistering and exfoliation after implantation and annealing with and without stiffening substrate**

(a) 无支撑衬底，低压力下表面起泡；(b) 有支撑衬底，低压力下形成平行表面的微裂缝；(c) 无支撑衬底，高压力下表面发生剥落；(d) 有支撑衬底，高压力下发生薄膜整片剥离

如图1.22所示在退火过程中，离子注入的缺陷会发生聚集形成平行于表面的板状缺陷，随后板状缺陷继续生长，形成微米级裂缝或微腔，在裂缝或者微腔中，会吸附 H 离子，一方面 H 离子与裂缝或者微腔内表面成键使其钝化，另一方面，多余的 H 离子相互结合在其中形成  $H_2$ ，随着内部  $H_2$  分子的增加，裂缝和微腔中的压强逐渐增加，在压力的作用下裂缝或者微腔会继续生长，直至使材料表面发生形变，这种生长方式与 Griffith 裂纹生长相似<sup>[135-138]</sup>。缺陷除了在内部压力作用下迁移生长，随着退火进行，还会发生奥斯瓦尔德成熟效应，即超过临界尺寸的缺陷继续长大而小于临界尺寸的缺陷会逐渐消失，宏观上表现为表面产生的气泡在退火过程中小气泡消失，大气泡持续生长直至破裂<sup>[139]</sup>。Feng 和 Huang 通过理论描述了离子束剥离过程中缺陷成核、起泡等问题<sup>[125]</sup>。他们提出了估算注入剂量、缺陷密度的表达式。

无论是起泡还是剥落都是小面积的转移，无法实现整个晶圆的完整剥离，但是当表面与硬质且足够厚的异质支撑衬底键合后，退火后就可以实现完整的晶圆薄膜的剥离，对此 Bin Gu 等人通过引入应力强度因子来描述退火过程中有无支

撑衬底对缺陷的热学演变的影响<sup>[127]</sup>。所谓应力强度因子指的是用来描述裂纹尖端弹性应力场强弱的物理量，根据裂纹基本类型，可分为 I 型张开型和 II 型滑移型。建立有无支撑衬底两种模型如图1.23示，其中图层3为支撑衬底，2a 表示形成裂缝的尺寸，h 为裂纹距离表面的高度即薄膜厚度。通过积分变换和奇异积分方程，分别获得两种模型下的 I 型应力强度因子  $K_I$  和 II 型应力强度因子  $K_{II}$ ，与  $K_{I,0}$  归一化后得到应力强度因子随着裂缝尺寸的变化，如图1.24所示。在模型1中，当裂缝尺寸远小于薄膜厚度时， $K_{II}$  接近于0，此时为初始阶段，裂缝生长方向平行于表面，随着裂缝尺寸的增大， $K_{II}$  数值逐渐大到与  $K_I$  可比，此时，裂缝生长更容易，但是生长方向偏离表面方向，随后会引起表面气泡或者剥落。然而在有支撑衬底的模型2中，无论裂纹尺寸多大， $K_{II}$  始终为0，证明裂纹始终沿着平行于表面的方向以张开型生长，直到整个薄膜剥离。同时，发现  $K_{II}$  在有支撑衬底的模型2中，数值始终不变，对比模型1，说明在有支撑衬底时，裂纹的生长更为缓慢。有支撑衬底的剥离时间是没有支撑衬底的10倍多<sup>[140]</sup>。

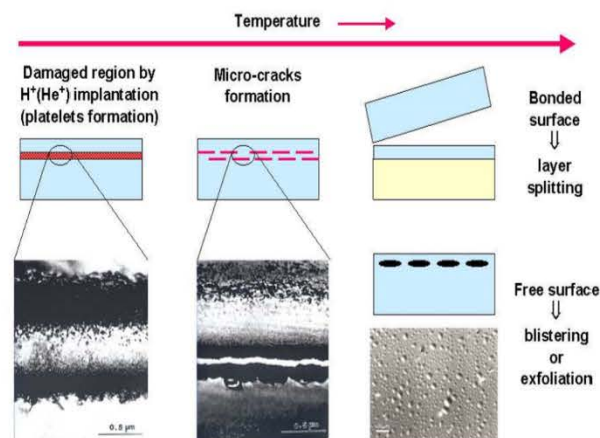


图 1.22 退火过程中注入缺陷的变化

Figure 1.22 The evolution of defects introduced by implantation during annealing

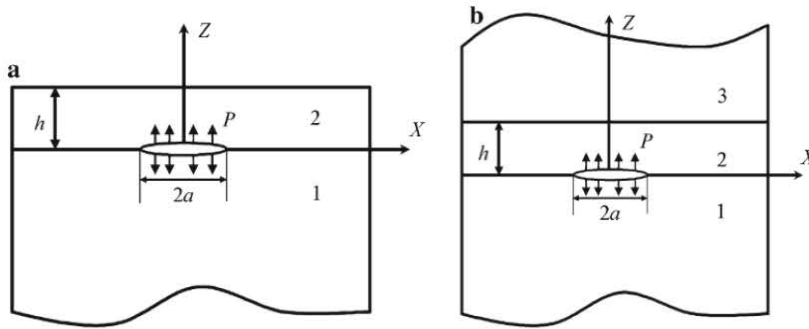


图 1.23 有无支撑衬底模型<sup>[127]</sup>

Figure 1.23 The cases with and without stiffening substrate

(a)无支撑衬底; (b)有支撑衬底

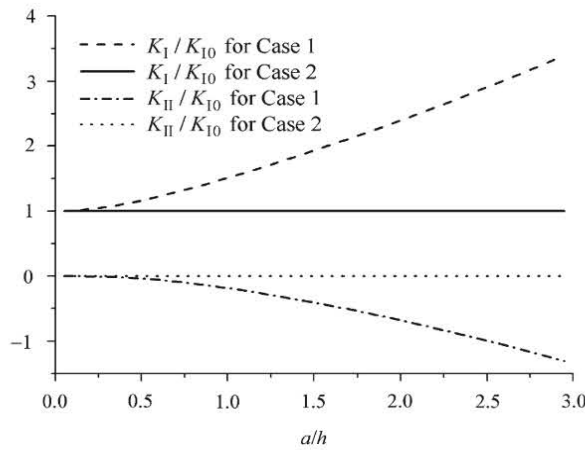


图 1.24 强度因子  $K_I$  和  $K_{II}$  随着裂缝长度的变化<sup>[127]</sup>

Figure 1.24  $K_I$  and  $K_{II}$  versus crack length

#### 1.4.4 直接晶圆键合和转移

在离子束剥离术中，常用的键合方式为直接晶圆键合。直接晶圆键合指的是将两片表面足够光滑、足够干净的晶圆在室温下无需任何的粘合剂的作用下结合在一起<sup>[133,142]</sup>。它是基于键合界面微米或纳米物理和化学效应，标准的 Si 晶圆直接键合归功于弱的分子间作用力，如范德瓦尔斯力、氢键等。基于键合的机制的不同，直接晶圆键合又分为亲水性键合和疏水性键合。

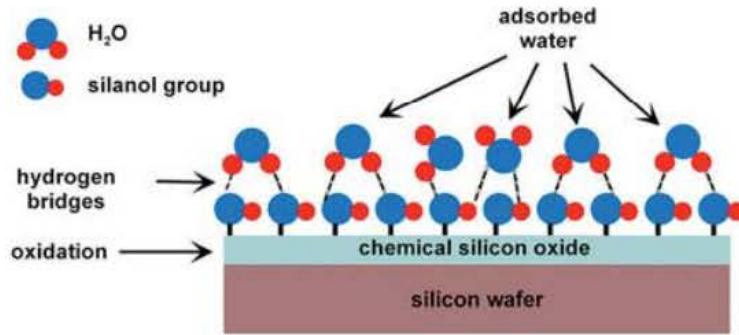
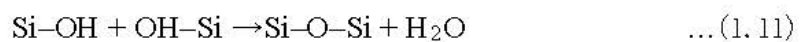


图 1.25 亲水性硅氧化物表面<sup>[133]</sup>

Figure 1.25 Schematic of a hydrophilic oxidized silicon wafer surface

亲水性键合是指在亲水性界面发生亲水性键合反应的键合过程。Si 衬底表面通常存在一层1-2 nm 的自然氧化层,当用强氧化剂处理其表面时,自然氧化层被移除,表面形成化学氧化层<sup>[143]</sup>。这种氧化物含有共价结合的 H,是非化学计量的,极易与 H<sub>2</sub>O 反生,形成硅醇基 (Si-OH),使表面具有很强的亲水性,在空气中或者清洗后, Si-OH 会被几个分子层厚的水覆盖,如图1.25所示<sup>[133]</sup>。当两个覆盖有水的表面相接触,会通过氢键桥接在一起,如图1.26所示<sup>[133]</sup>。此时,键合仍然具有可逆性,键能是很弱的,只有100 mJ/m<sup>2</sup>量级。为了加强键合强度,需对键合对进行后续退火处理,在退火过程中,两个 Si-OH 会脱水发生亲水性键合反应 (1.11) :



此反应在温度为425 °C以下时,为可逆反应,因此需要及时移除产生的 H<sub>2</sub>O 来抑制逆反应<sup>[144]</sup>。当 H<sub>2</sub>O 扩散到 Si 层时,在一定温度下会与 Si 发生 (1.12) 所示的化学反应:



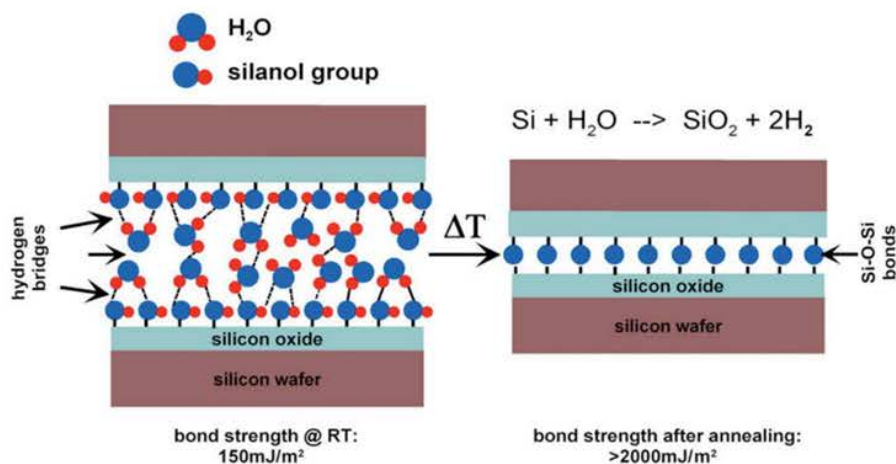


图 1.26 室温和退火后硅氧化物亲水性键合图示<sup>[133]</sup>

Figure 1.26 Schematic of hydrophilic bonding of silicon oxide at room temperature and after annealing

此时，键合反应产生的  $\text{H}_2$  只有在  $900\text{ }^\circ\text{C}$  以上才能被周围的 Si 吸收<sup>[133]</sup>。在低温下，仍然会在键合界面存在，使键合界面产生气泡。由于氧化硅对氢气具有有效的吸收，因此，在键合界面采用一定厚度的氧化硅层 ( $>100\text{ nm}$ ) 可以尽量减少氢气对键合的影响<sup>[145,146]</sup>。为了提高亲水性键合室温键合的键合强度，通常采用等离子体（如  $\text{Ar}$ 、 $\text{N}_2$ 、 $\text{O}_2$  等）激活键合表面，经过等离子体激活后，表面的部分有机物和颗粒会被去除，同时表面悬挂键密度增加，从而亲水性得到增强<sup>[147]</sup>。

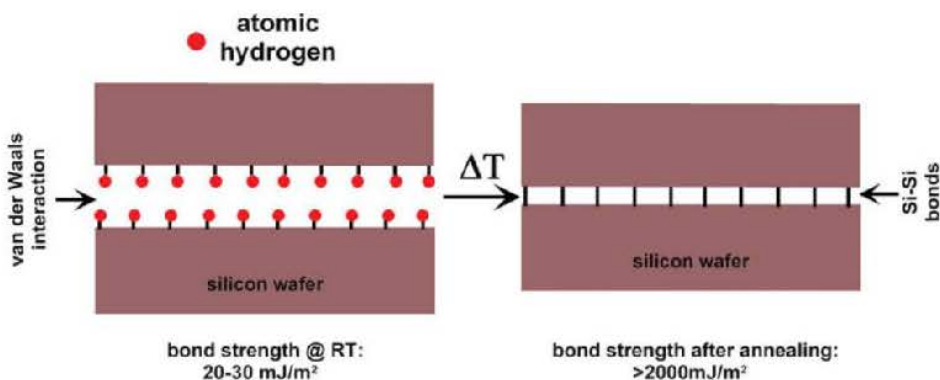
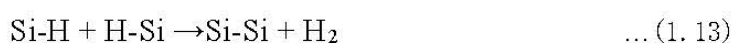


图 1.27 退火前后疏水性键合过程<sup>[133]</sup>

Figure 1.27 The process for hydrophobic bonding before and after annealing

疏水性键合指的是在疏水的晶圆表面发生的键合过程。由于氧化物本身具有很强的亲水性，要实现疏水性键合反应就要去除界面氧化物，因此疏水性键合更

适用于不需要绝缘层的电学应用。去除 Si 的氧化层一般采用稀释氢氟酸或者氟化铵<sup>[148,149]</sup>。去除氧化层后，表面暂时被共价 H 所覆盖<sup>[150,151]</sup>。此时表面不能被水浸润，呈现疏水性。不同 Si 的晶向和不同溶液的浓度会影响 Si 和 H 之间的成键形式，如形成 Si<sub>3</sub>-Si-H、Si<sub>2</sub>-Si-H<sub>2</sub>以及 Si-Si-H<sub>3</sub><sup>[151-153]</sup>。但是，由于疏水性表面比亲水性表面更易于烃类有机物结合，因此，经过疏水溶剂处理的 Si 需要立即进行键合。由于键合后极性键 Si-H 键间依靠范德瓦尔斯力粘合在一起，强度比 H 和 O 间的氢桥键更弱，键能只有20-30 mJ/m<sup>2</sup>。经过后续的退火后，Si-H 键间形成共价键，如图1.27所示<sup>[133]</sup>，键能强度增大，发生如下反应：



亲水性键合和疏水性键合虽然都可以通过高温退火来加强键合强度，但是键合能随温度的变化趋势却不相同，如图1.28所示，对于 Si 的亲水性键合，升温到 100 °C 时键能迅速增加，随后保持不变，直到温度升温到900 °C 时，键能继续迅速增加，而 Si 的疏水性键合在升温过程中，在300 °C 之前，键能基本保持不变，当温度在300 °C- 400 °C 时，氢化物不稳定，产生氢气，键能逐渐增大<sup>[133]</sup>。

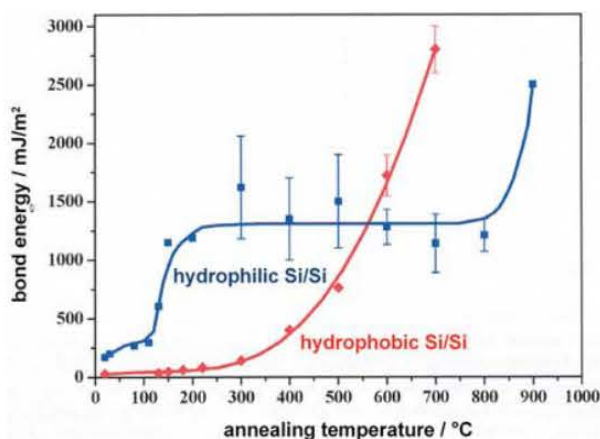


图 1.28 亲水性键合和疏水性键合键能随退火温度的变化<sup>[133]</sup>

**Figure 1.28 Bond energy depending on annealing temperature of hydrophilic and hydrophobic bonding**

为了增强室温下疏水性键合强度，一种新的疏水性键合方法被提出，称为表面激活键合（Surface-activated Bonding, SAB），虽然此方法仍然是采用等离子体处理表面，但作用不同于亲水性键合中的等离子体表面激活作用。如图1.29所示，

整个表面等离子体处理以及键合工艺都是在高真空条件下进行。在真空腔中先用等离子体刻蚀衬底表面，去除表面存在的氧化物，同时增加表面悬挂键密度，随后在真空腔内实施键合。采用这种方法，可以使得键合衬底间在室温下直接形成共价键，显著的提高了室温下的键合强度<sup>[154]</sup>。

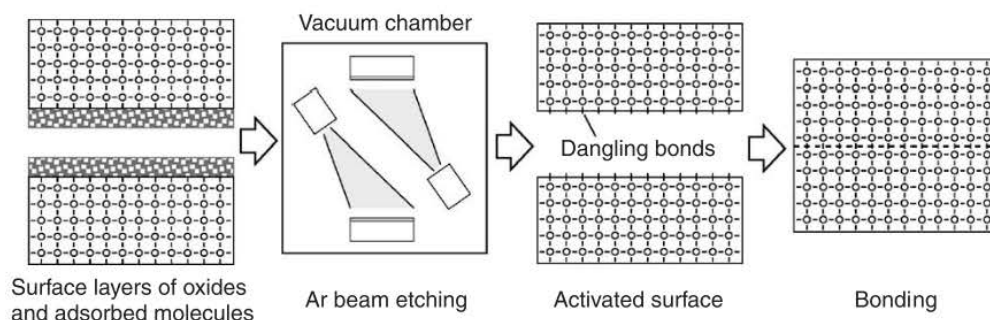


图 1.29 SAB 键合过程<sup>[154]</sup>

Figure 1.29 The process for surface-activated bonding (SAB)

#### 1.4.5 表面平坦化处理

通过离子束剥离方法得到的薄膜表面通常具有很高的粗糙度，因此在应用中通常需要对离子剥离得到的薄膜进行表面平坦化处理。在 Si 薄膜中，常用的平坦化工艺包括高温热处理以及化学机械抛光。

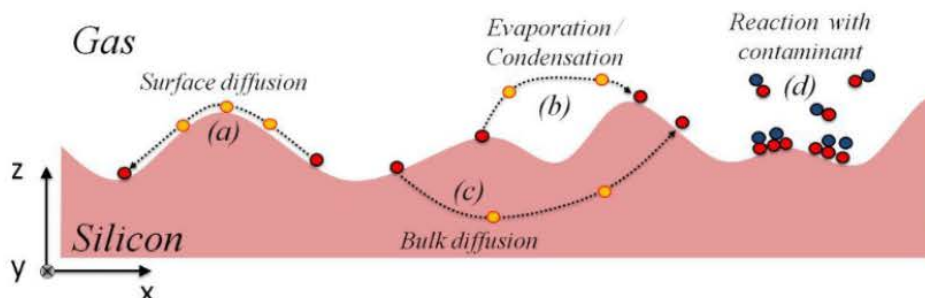


图 1.30 退火过程中表面的不同运输机制<sup>[155]</sup>

Figure 1.30 The different transport mechanisms on surface during annealing

高温热处理平滑表面是基于表面原子在高温下自扩散效应。当对一晶体衬底在合适的气氛下加热时，为了降低表面自由能，表面原子会发生重构<sup>[155]</sup>。表面修饰有不同的运输机制，分别为表面自扩散、蒸汽/冷凝、体扩散以及气氛与表面反应，如图1.30所示<sup>[155-157]</sup>。在这些机制的共同作用下，可以对表面平坦化起到

一定的作用。

化学机械抛光（CMP）是晶圆整体或者局部平坦化的重要技术，也是半导体工厂常用的处理晶圆形貌的主要技术之一。CMP 是一个复杂的过程，具有很多的影响因素，包括初始的晶圆形貌、材料、工艺参数（压力、转速、持续时间）以及工艺设备相关参数（抛光液的种类、抛光垫的粗糙度等）。在 CMP 过程中，同时发生机械和化学过程，可以被认为是化学辅助的机械抛光过程。化学过程主要是抛光液与晶圆衬底发生化学反应，使得衬底表面软化，在一定压力下，通过抛光垫的研磨颗粒研磨去除表面的软化层，两个过程相辅相成<sup>[158]</sup>。

### 1.5 本论文主要研究内容及结构

本论文面向后摩尔时代对异质集成衬底材料，尤其是硅基 III-V 异质集成衬底材料的重大需求，围绕离子束剥离技术，开展晶圆级硅基III-V 异质集成研究，选取 InP、GaAs 和 GaSb 三种典型III-V 化合物半导体材料作为研究对象，对每种材料的离子束剥离机制以及键合机制进行详细的研究，实现了 Si / InP、Si / GaAs、Si/GaSb 三种晶圆级异质集成衬底。通过对异质衬底的光学、电学结构以及典型器件的验证，证明所制备的硅基III-V 异质衬底具有和单晶III-V 衬底相比拟的性能，为硅基光电集成提供了理想的平台。本论文整体研究思路和框架如图 1.31 示。

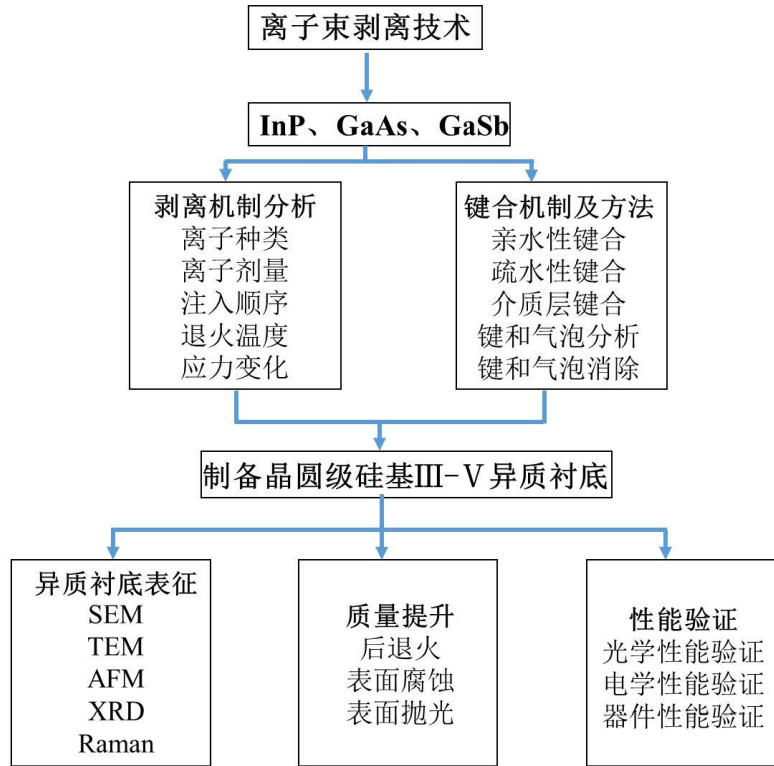


图 1.31 本论文研究整体思路与框架

Figure 1.31 The research approach and framework of the dissertation

本论文的主要结构如下：

第一章为绪论，介绍了III-V化合物半导体与硅衬底异质集成的背景及方法，着重介绍了离子束剥离法实现材料异质集成的相关原理。

第二章介绍了本论文中在离子束剥离转移III-V化合物半导体过程中所使用的相关设备以及不同的表征方法。

第三章介绍了 InP 离子束剥离的相关机制，并揭示了不同离子种类、不同注入剂量、以及不同离子注入顺序对 InP 剥离行为的影响，确定实现 InP 剥离的最佳注入条件。

第四章分析了在 InP 与 Si 衬底键合界面处气泡的产生原因，并提出气泡消除方法。制备晶圆级硅基 InP 异质衬底，并对衬底进行表面处理及表征。制备无氧化层硅基 InP 异质衬底。验证硅基 InP 异质衬底外延层的光学、电学性能，并在此异质衬底上制备硅基 InGaAs p-i-n 探测器。

第五章介绍了 GaAs 和 GaSb 的离子束剥离机制，揭示不同离子以及不同注

入剂量对剥离行为的影响。对 GaAs 与 Si 的键合方法进行分析。制备硅基 GaAs 和 GaSb 异质衬底并对其进行表征。

第六章对本论文进行总结，并提出下一步计划与展望。

## 第2章 样品制备设备及表征方法

### 2.1 样品制备设备

#### 2.1.1 中束流离子注入机

中束流离子注入机是半导体工艺中重要的工艺设备，主要用于掺杂等工艺。其原理是将相应的气体源离子化，通过选择要注入的离子并将其加速，达到所需的能量后注入材料中。其基本设备构造如图2.1所示。

在离子注入机中，最主要的部分为离子源。离子源包括电弧室和吸出电极。其中在电弧室中，灯丝加热释放电子，电子撞击通入的气体分子形成离子。形成的离子则依靠引出电极，将离子吸出。所谓引出电极则是将电弧室加一定的正电压，引出电极系统另一端接地，在电场的作用下，正离子被吸出。

束流的调控则依靠法拉第系统，即通过法拉第杯收集离子束，同时接地，这样收集的离子会被中和掉，通过测出电流，计算电子数，就可以获得离子数，得到束流大小。通过控制注入时间，就可以注入预期剂量的离子。

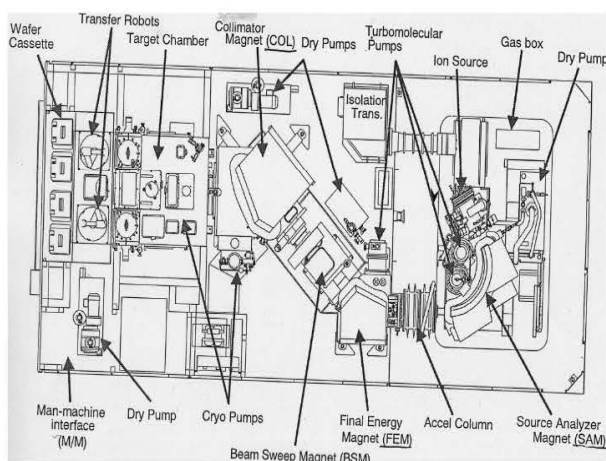


图 2.1 离子注入机构造图

Figure 2.1 The basic structural picture of ion implanter

在本论文中采用日本日新公司的 NISSIN Exceed 2300RD 中束流离子注入机进行离子注入。可注入 B、P、H、He、Ar、Ge、Si、As、C 等元素，注入能量范围为 5 KeV-200 KeV。

### 2.1.2 键合系统

在本论文工作中使用的键合系统由 EV Group 公司的 EVG301单晶圆清洗系统以及 EVG801低温等离子体激活系统构成，其中在 EVG301单晶圆清洗系统中配备键合系统和红外观察系统，可以实现室温键合以及实时的红外成像，如图2.2所示。



图 2.2 晶圆清洗系统和低温等离子体激活系统

Figure 2.2 Wafer cleaning system and low-temperature activation system

EVG301单晶圆清洗系统中，可以同时兼容2英寸和4英寸晶圆衬底，采用1 MHz 的兆声喷嘴对晶圆表面进行单面清洗，并采用旋转甩干的方式清除表面残留水渍。

在 EVG801低温等离子体激活系统中，可以在真空条件下对晶圆表面进行等离子体的激活处理，所使用的气体包括  $O_2$ 、 $N_2$ 、 $Ar$ 。

### 2.1.3 化学机械抛光

化学机械抛光是同时发生化学腐蚀与机械抛光两种过程。其中，抛光液中含有能与对应晶圆衬底发生化学反应的化学试剂，能够使得晶圆衬底发生软化，同时利用抛光垫以及片抛光液中的颗粒，通过机械研磨的方法将软化的晶圆衬底层去除，达到表面抛光的效果。在抛光过程中需控制机械抛光去除量与化学反应量相均衡，才能提升抛光质量。在本论文中采用 G&P POLI 400L 化学机械抛光机对转移后的薄膜表面进行平滑处理，如图2.3所示。



图 2.3 G&amp;P POLI 400L 照片

Figure 2.3 The photo of G&amp;P POLI 400L

## 2.2 样品表征方法

### 2.2.1 原子力显微镜

原子力显微镜 (AFM) 是表征表面形貌的有用的技术手段之一, 主要组成部分如图2.4所示<sup>[159]</sup>。当针尖在样品表面进行扫描时, 针尖与样品表面的力将会引起悬臂的弯曲, 当用设备记录悬臂的弯曲并转化为图像时, 就可以清晰地呈现样品表面的形貌。

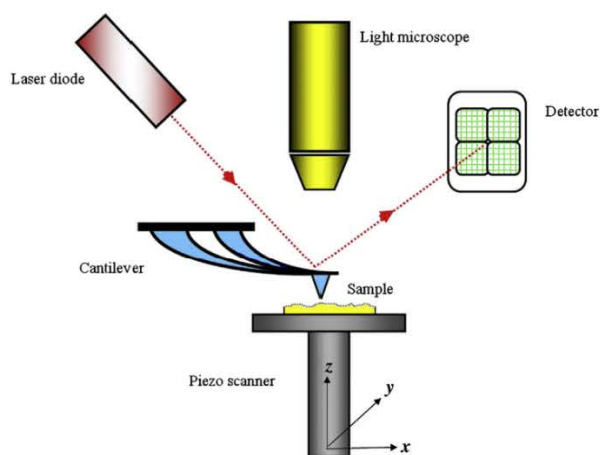
图 2.4 AFM 组成图<sup>[159]</sup>

Figure 2.4 The components of AFM

在 AFM 测试中，具有不同的测试模式，分别为接触模式、非接触模式以及间歇性接触模式，不同的接触模式对应着不同的针尖与表面的力-距离曲线，如图2.5所示<sup>[159]</sup>。在本论文工作中主要采用间歇性接触模式来对转移及抛光后的薄膜进行表面粗糙度的表征。在间歇性接触模式中，震动的悬臂保持针尖与样品表面的距离靠近接触模式中的区域，并且始终保持最低的震动幅度刚接触表面。在测试过程中监测悬臂的震动参数并对其进行调试，将反馈的数据处理可以产生表面形貌图。与直接接触模式相比，在间隙性接触模式测量中，能够降低与样品表面的摩擦，防止表面被针尖划伤。本论文采用的 AFM 为 bruker multyimode 8，主要对转移的薄膜进行表面粗糙度表征。

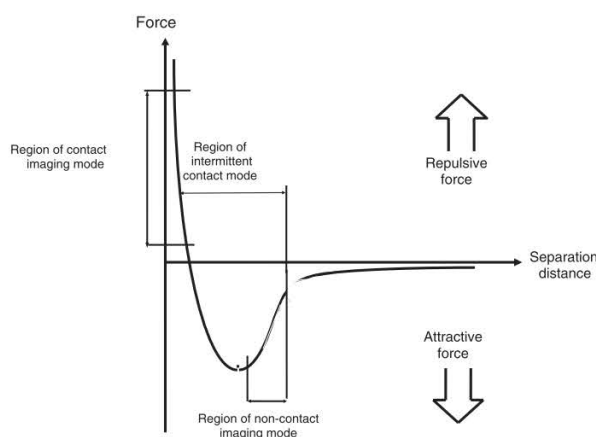


图 2.5 不同 AFM 模式下力-距离曲线<sup>[159]</sup>

Figure 2.5 The force-distance curve of different AFM operating modes

## 2.2.2 X 射线光电电子能谱

X 射线光电电子能谱 (XPS) 是一种表面敏感的定量分析技术，用来探测材料的表面化学，包括元素组成、实验式(不含氢)、元素的化学和电子态，其平均分析深度为1-10 nm，具体的实验测试操作如图2.6所示<sup>[160]</sup>。电磁波照射固体材料表面会产生激发电子，这就是所谓的光电效应。XPS 利用光电效应，当 X 射线照射材料表面时会产生具有特定动能的电子光谱，能谱中每个元素在特定的结合能（从原子中射出电子所需的能量，取决于元素、轨道和化学环境）上产生一系列峰值，峰值指的是原子内部的电子构型，探测到的电子的数量（强度）与电子的存在程度有关，XPS 软件包括每个元素和每个轨道的经验或计算的相对灵敏度因

子 (RSF) 库，并从 XPS 峰面积计算元素含量。

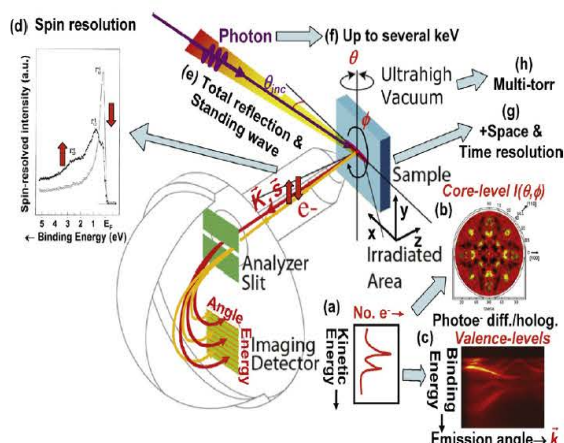


图 2.6 X 射线光电子能谱展示图<sup>[160]</sup>

Figure 2.6 Illustration of X-ray photoelectron spectroscopy

在本论文中，主要采用 XPS 来分析键合前后晶圆表面成分的转变。

### 2.2.3 X 射线衍射技术

X 射线衍射 (XRD) 技术是基于 X 射线在晶体材料中独特的衍射方式来对晶体结构进行精确表征，从衍射花样中可以表征出样品宏观和微观的结构。在具有周期性的晶体结构中，X 射线的衍射遵循布拉格方程：

$$n\lambda = 2d_{hkl} \sin\theta \quad \dots (2.1)$$

其中  $n$  是衍射指数， $\lambda$  为入射波长， $d_{hkl}$  为晶面间距， $\theta$  为衍射角,如图2.7所示。

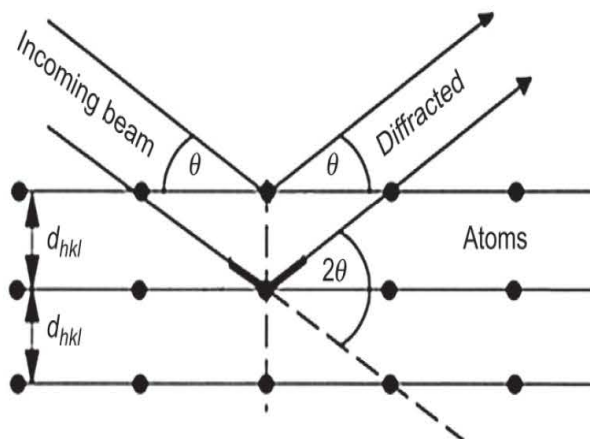


图 2.7 晶格平面衍射图示

Figure 2.7 The illumination for the diffraction from lattice planes

结合布拉格方程和获得的衍射峰的相关信息，如图2.8所示，可以研究晶格参数、空间群、化学成分、宏观应力或定性相分析。

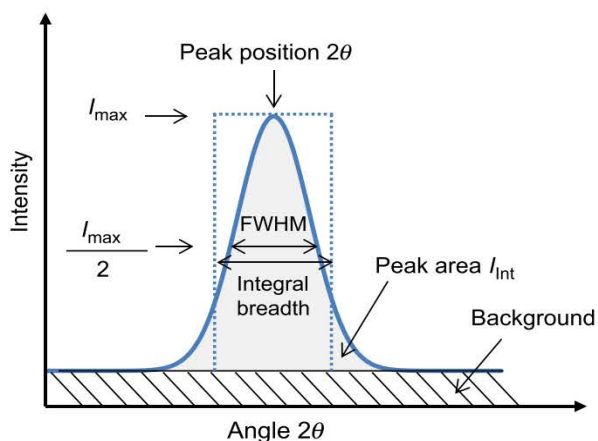
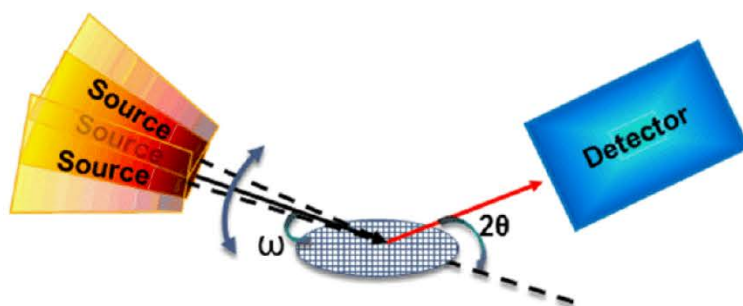
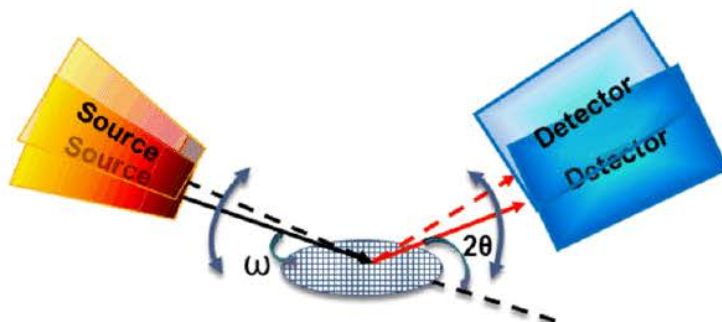


图 2.8 衍射峰的信息提取

Figure 2.8 The extracted information from diffraction peak

在 XRD 的测试过程中，主要有两种不同的测试模式。一种模式为  $\omega$  模式，如图2.9所示，在此模式下，探测器被固定在  $2\theta$  的位置，转动样品改变入射角，使其在半衍射角  $\theta$  范围内摆动，获得的衍射曲线又被称为摇摆曲线，此时摇摆曲线的半高宽（FWHM）可以用来表征单晶材料的质量，FWHM 越小，表明单晶材料的质量越好。另一种模式为  $\omega/2\theta$  扫描，如图2.10所示，此时样品和探测器同时联动扫描，并始终保持满足布拉格方程，从得到的衍射曲线中可以获取组分的晶格变化，常用来外延生长中组分失配确定以及应力测量。

图 2.9  $\omega$  扫描模式Figure 2.9 The mode of  $\omega$  scan

图 2.10  $\omega/2\theta$  扫描模式Figure 2.10 The mode of  $\omega/2\theta$  scan

在本论文中使用 Philips X'Pert XRD 的摇摆曲线来表征转移的单晶薄膜质量，同时使用  $\omega/2\theta$  扫描来表征离子注入后以及转移薄膜的应力变化。

#### 2.2.4 拉曼光谱

当光和分子相互作用时，会发生不同的相互作用，如图2.11所示，大部分光会发生瑞利散射而被弹性散射出去，此时入射光子和出射光子具有相同的能量和波长，但是少部分的入射光会发生拉曼散射，即入射光将会激发某些分子振动模式，使其处于高能状态，但会立即释放回到低能态，此时分子低能态不同于激发前的低能态，这将导致散射光子与入射光子具有不同的能量和波长。基于散射光子波长的改变可以用来表征分子的振动模式，通过拉曼光谱（Raman）可以分析材料的结构。

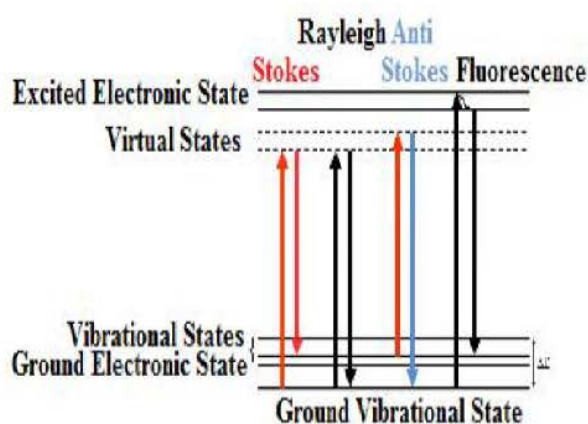


图 2.11 光和分子的相互作用

Figure 2.11 The interaction between light and molecules

本论文中采用 Raman 光谱来表征转移薄膜的组分和质量。

### 2.2.5 光致发光谱

当光与材料相互作用时，除了散射，还会发生一定的吸收，如图2.12所示，对于III-V化合物直接带隙半导体，当入射光的能量大于其禁带宽度时，处于价带的电子将会跃迁至导带，从而处于非平衡状态，导带电子会释放光子再次跃迁回价带，从而产生光致发光效应。光致发光谱（PL）通过收集释放的光子图谱，可以分析材料的能带以及质量。

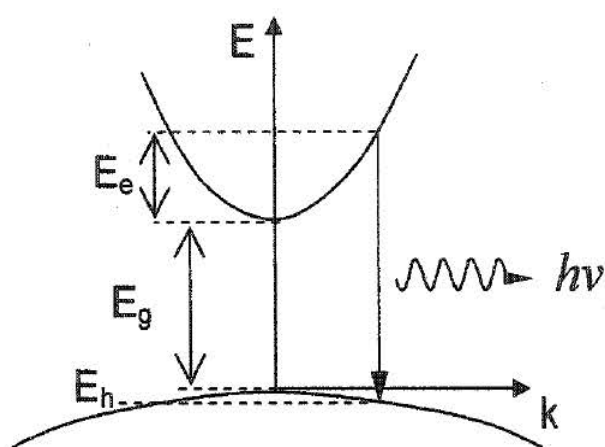


图 2.12 光致发光原理

Figure 2.12 The mechanism of photoluminescence

本论文采用 PL 谱图评估在转移薄膜上外延量子阱的质量。

### 2.2.6 扫描电子显微镜

当足够高的能量的电子注入材料中，会发生电子的碰撞与吸收。电子的碰撞会提供给被原子核束缚的电子足够大的能量，使其逃逸出去，产生二次电子。这些二次电子的能量很低，所以基本是靠近表面逃逸，并且包含了有价值的表面形貌信息。吸收的部分电子会产生特征 X 射线，包含了材料的组分信息。扫描电子显微镜（SEM）主要通过使用电子束扫描样品表面并收集产生的二次电子以及特征 X 射线来分析材料的形貌结构以及组成，其主要组成部分如图2.13所示。

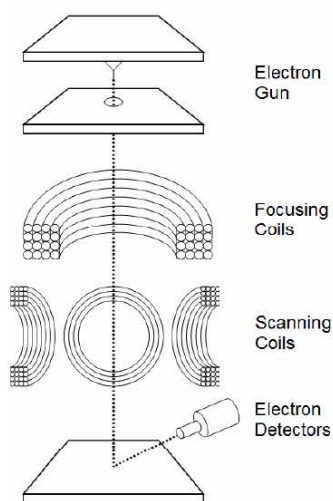


图 2.13 SEM 的主要组件

Figure 2.13 The main components of SEM

在本论文中采用 Zeiss Supra55 SEM 来表征转移后的薄膜层状结构。

### 2.2.7 透射电子显微镜

透射电子显微镜 (TEM) 利用入射电子在晶体材料传播过程中发生衍射干涉成像, 如图2.14所示。在透射电子显微镜中物镜是强磁电子透镜, 它控制着电子与材料的相互作用。TEM 主要有两种成像模式, 一种为高分辨透射电子显微镜 (HRTEM) 以及扫描透射电子显微镜 (STEM)。两种成像模式的不同在于物镜对电子的控制形式。在 HRTEM 中, 物镜控制着电子形成平面波, 一次就全部覆盖样品的观察区域, 而在 STEM 中, 物镜控制电子形成尺寸在  $\text{\AA}$  以下的电子探针, 通过电子探针扫描观察区。

在 TEM 中还可以表征选区电子衍射 (SAED), 通过衍射花样可以得到晶格间距以及材料的晶向, 同时根据衍射花样的亮点形状可以判断晶体材料的质量。

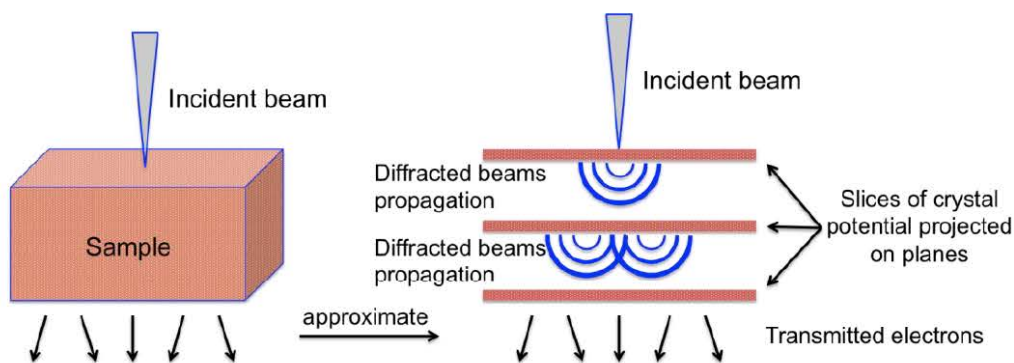


图 2.14 TEM 成像原理

Figure 2.14 The imaging mechanism of TEM

在本论文中采用 JEOL 2100F HRTEM、STEM 以及 SAED 来对离子注入后的材料以及转移的薄膜进行缺陷和质量表征。

### 2.2.8 二次离子质谱

如图2.15所示，当一定能量的离子轰击材料表面时，一次离子会穿透表面原子一定深度，在穿透过程中会发生弹性和非弹性碰撞，部分能量被传递给晶格原子，部分晶格原子会向表面运动，使得表面原子获得能量被溅射出去，成为二次粒子。二次粒子多为中性原子或分子，小部分为离子或分子碎片。将从新鲜表面实时收集的二次粒子按照核质比进行质谱分离获得二次离子。二次离子质谱（SIMS）基于对二次离子的收集和分析，用来分析材料表面和本体的元素组成及分布。

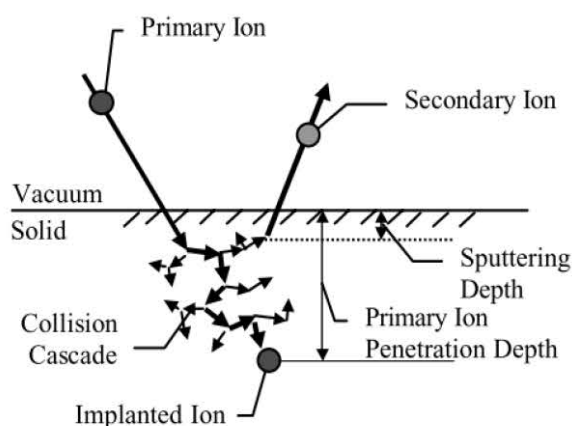


图 2.15 SIMS 中发生的级联碰撞

**Figure 2.15 The collision cascade in SIMS**

在本论文中，采用 SIMS 进行注入离子分布分析。

### 2.2.9 卢瑟福背散射

当带电粒子轰击材料时，可能会在材料原子核的库伦场的作用下背散射出去，散射出去的离子的总的能量和动量不变，散射的粒子的能量取决于发生碰撞的原子核的质量和入射能量。卢瑟福背散射（RBS）基于对背散射的粒子收集分析，可以对薄膜组分以及厚度也进行分析。

但是，当材料为单晶材料时，入射方向将会影响粒子的散射。如果一束粒子沿着主要的晶轴或者晶面入射，粒子和原子间的相互作用将会降低，粒子在晶体材料中的穿透深度更深，同时，在沟道中粒子的束流也将重新分布，沟道的中心束流最大，如果晶体中存在缺陷，将会使粒子产生散射，因此 RBS 的沟道谱图通常用来表征晶体中的缺陷。

在本论文中采用 RBS 沟道谱图对粒子注入材料后的缺陷进行表征分析。

## 2.3 本章小结

在本章中介绍了样品制备所使用的中束流离子注入机以表面激活、清洗和键合设备。同时也介绍了样品表征方法，包括样品表面形貌以及元素表征方法、样品质量及结构表征方法和注入损伤表征方法。

### 第3章 InP 离子束剥离机制

采用离子束剥离的方法转移 InP 薄膜从很早就开始, 1999年, Tong 等人利用离子束剥离技术实现了 InP 薄膜的转移, 在离子注入过程中控制离子注入温度在很窄的温度窗口为 $150\text{ }^{\circ}\text{C}$ - $250\text{ }^{\circ}\text{C}$ <sup>[161]</sup>。随后 Morral 等人采用注入 $80\text{ KeV } 2\times 10^{17}/\text{cm}^2$  的 H 离子来实现 InP 的剥离, 但是并没有提及离子的注入温度<sup>[162]</sup>。在2005年, Morral 等人运用光谱对 H 离子在 InP 中引起的剥离行为进行了研究, 认为在 H 离子注入后, H 离子主要以孤立的点状结构分布, 并且延展缺陷较少, 存在很多悬挂键, 在退火过程中, H 离子被点状缺陷释放, 被注入浓度分布峰值处的自由的内表面再次捕获, 在更高温度下形成气泡以及发生剥离<sup>[163]</sup>。Hayashi 等人采用在 $-20\text{ }^{\circ}\text{C}$ 下注入 $150\text{ KeV } 1\times 10^{17}/\text{cm}^2$  H 离子来研究在注入 H 离子后 InP 的剥离行为与温度的关系, 他们发现采用低高温结合的退火方式, 即先在低温 $150\text{ }^{\circ}\text{C}$ 退火再在 $300\text{ }^{\circ}\text{C}$ 高温退火, InP 更容易发生剥离<sup>[164]</sup>。2006年 Singh 等人第一次报道采用 He 离子注入来实现 InP 的剥离, 采用在 $20\text{ }^{\circ}\text{C}$ 或 $-15\text{ }^{\circ}\text{C}$ 条件下将 $100\text{ KeV } 5\times 10^{16}/\text{cm}^2$  He 离子注入 InP 衬底中, 在高温 $225\text{ }^{\circ}\text{C}$ - $400\text{ }^{\circ}\text{C}$ 退火下, InP 表面发生起泡<sup>[165]</sup>。

虽然关于 InP 的离子注入剥离机制有过较多的分析工作, 但是, 这些工作都是基于特定的注入温度下完成的, 在离子注入过程中, 由于离子穿过样品表面会产生自热效应, 因此很难精确地控制温度范围。尤其是低温离子注入, 需要有额外的制冷设备, 一般的离子注入机难以满足要求。

在本章中, 针对室温注入单离子 (H 离子或者 He 离子)、He、H 离子共注剂量以及顺序引起的 InP 不同剥离行为进行研究, 提出 He/H 离子室温顺序共注有效剥离 InP。

#### 3.1 单离子室温注入剥离分析

为了研究在 InP 衬底中室温单离子注入的剥离行为, 我们在 (100) InP 衬底中室温下注入不同剂量的 H 离子和 He 离子, 如表3.1所示。在注入过程中为了避免沟道效应, 注入角度偏离晶圆垂直方向 $7^{\circ}$ 。

表 3.1 InP 中注入 H 和 He 离子剂量

Table 3.1 The fluence of H and He ions implanted in InP

	剂量1 ( $\text{cm}^{-2}$ )	剂量2 ( $\text{cm}^{-2}$ )	剂量3 ( $\text{cm}^{-2}$ )
H 离子	$2 \times 10^{16}$	$5 \times 10^{16}$	$1 \times 10^{17}$
He 离子	$2 \times 10^{16}$	$5 \times 10^{16}$	$1 \times 10^{17}$

同时,为消除注入深度对剥离行为的影响,通过 SRIM 仿真,保证 H 离子和 He 离子的注入深度一致,确定 H 离子的注入能量为75 KeV, He 离子的注入能量为115 KeV,如图3.1所示,H 离子和 He 离子的分布浓度峰值  $R_p$  都约在620 nm。

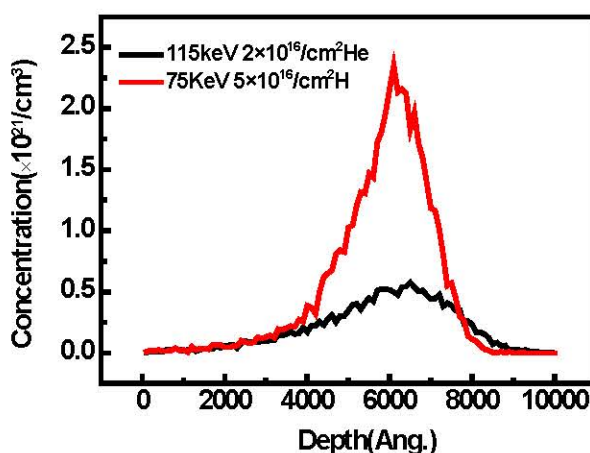


图 3.1 SRIM 仿真 InP 中 He 和 H 离子注入分布

Figure 3.1 The distribution of He and H ions in InP simulated by SRIM

### 3.1.1 H 离子室温注入

将注入不同离子和剂量的样品切成小片用于退火实验。首先将注入 H 离子的样品在冷热台中加热至150 °C并维持1小时,观察表面变化,光学显微镜(OM)图如图3.2所示。从图中可以看出,在150 °C退火1小时后,单独注入 H 离子的样品表面无变化,并无气泡或剥离现象出现,证明室温注入 H 离子在150 °C的退火中,即使注入剂量达到 $1 \times 10^{17} / \text{cm}^2$ ,仍然不会使 InP 发生起泡或者剥离。



图 3.2 注入不同 H 离子剂量的 InP 退火后 OM 图

Figure 3.2 The OM images of InP implanted with different fluence of H ions after annealing

为了分析是否是温度太低而导致室温单独注入 H 离子没有使 InP 发生剥离，我们又提高退火温度，由于 InP 在 300 °C 以上时表面组分会发生分解，因此将退火温度设为 300 °C，得到的样品表面 OM 图如图 3.3 所示。温度进一步升高后，单独注入 H 离子的样品表面仍然无变化，证明室温下单独注入 H 离子即使高剂量、高的退火温度也不会使得 InP 发生起泡或者剥离。

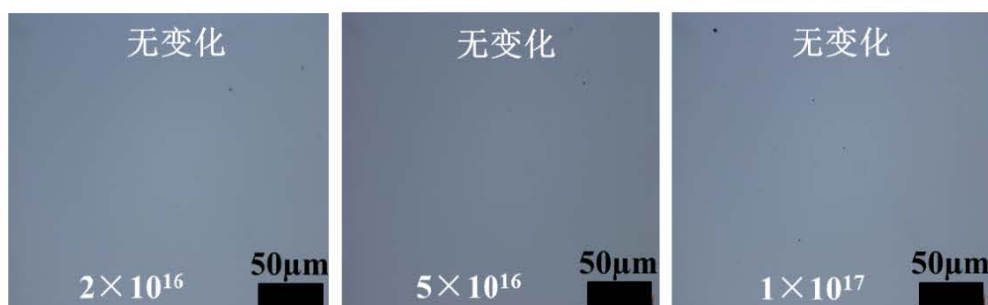


图 3.3 注入不同 H 离子剂量的 InP 高温退火后的 OM 图

Figure 3.3 The OM images of InP implanted with different fluence of H ions after annealing

为了观察 H 离子注入的 InP 在退火后微观缺陷的形成，对在 300 °C 退火 1h 注入  $5 \times 10^{16} / \text{cm}^2$  H 离子的 InP 样品进行 TEM 表征，如图 3.4 所示。从图中可以看出，在 300 °C 退火以后，H 离子在 InP 内部距离表面约 570 nm 处产生一层损伤层，这与 SRIM 仿真 H 离子浓度分布  $R_p$  相差 50 nm，猜测是由于在退火过程中，H 离子发生的移动重新分布的原因。损伤层的厚度约为 300 nm，在损伤中，可以看到有许多板状缺陷产生，但是板状缺陷并没有完全连在一起，而且其方向杂乱，

没有形成一致平行于表面方向，因此，我们认为，单独注入 H 离子虽然形成了剥离所必须的板状缺陷，但是由于板状缺陷方向杂乱，导致 InP 不能剥离。

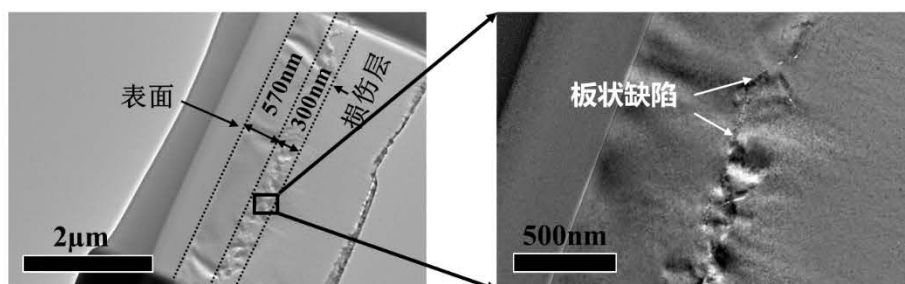


图 3.4 注入 H 离子 InP 退火后的 TEM 图

Figure 3.4 The TEM images of InP implanted with H ions after annealing

我们对在300 °C退火1h 高注入剂量为 $1 \times 10^{17} / \text{cm}^2$  H 离子的样品进行 SEM 测试，如图3.5所示。从 SEM 图中可以看出，注入高剂量 H 离子的 InP 经过300 °C 退火后，在距离 InP 表面570 nm 处，产生一层孔洞层，在该层的上下边界处分布着不连续的孔洞，孔洞直径在几纳米左右。由于孔洞太小以及不连续性，因此不会使得 InP 发生起泡或者剥离。

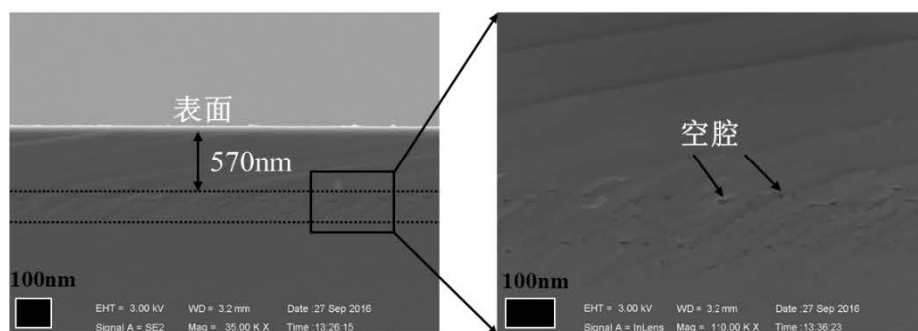


图 3.5 注入 H 离子的 InP 退火后的 SEM 图

Figure 3.5 The SEM images of InP implanted with H ions after annealing

因此，通过上面分析，认为 H 离子在室温注入 InP 中后，无论是经过高温退火还是增大注入剂量，InP 均不发生剥离。其中随着注入剂量的增大，缺陷由方向杂乱的板状缺陷变成不连续分布的纳米级孔洞缺陷。

### 3.1.2 He 离子室温注入

将注入不同 He 离子剂量的样品切成小片，首先在冷热台中在150 °C退火1小

时, 得到 InP 表面 OM 图如图3.6所示。从图中可以看出, 注入 $2 \times 10^{16} / \text{cm}^2$  He 离子以及 $5 \times 10^{16} / \text{cm}^2$  He 离子的 InP 样品, 在退火后表面无任何变化, 但是当注入剂量增加到 $1 \times 10^{17} / \text{cm}^2$  时, InP 样品表面出现气泡。

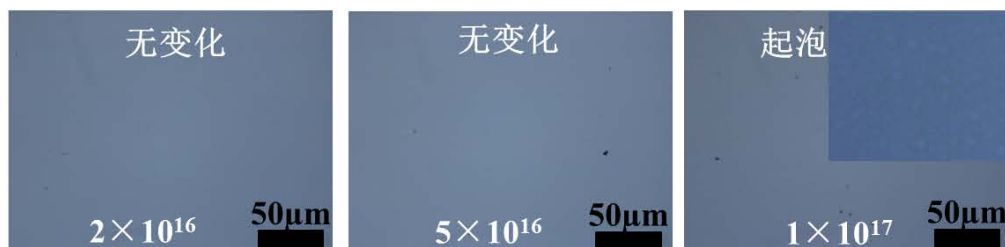


图 3.6 注入不同剂量 He 离子 InP 退火后 OM 图

**Figure 3.6 The OM images of InP samples implanted with different fluence of He ions after annealing**

随后继续升高退火温度到 $300\text{ }^{\circ}\text{C}$ , 得到此时 InP 表面 OM 图如图3.7所示, 从图中可以看出, 在 $300\text{ }^{\circ}\text{C}$ 高温退火条件下, 注入剂量为 $2 \times 10^{16} / \text{cm}^2$  He 离子以及 $5 \times 10^{16} / \text{cm}^2$  He 离子的 InP 样品表面仍然无变化, 而注入 $1 \times 10^{17} / \text{cm}^2$  He 离子的样品表面出现大量的气泡, 与 $150\text{ }^{\circ}\text{C}$ 退火相比, 气泡密度增加, 并且气泡出现破裂, 证明室温注入高剂量的 He 离子能够实现 InP 的剥离, 并且随着退火温度升高, 剥离现象越明显。

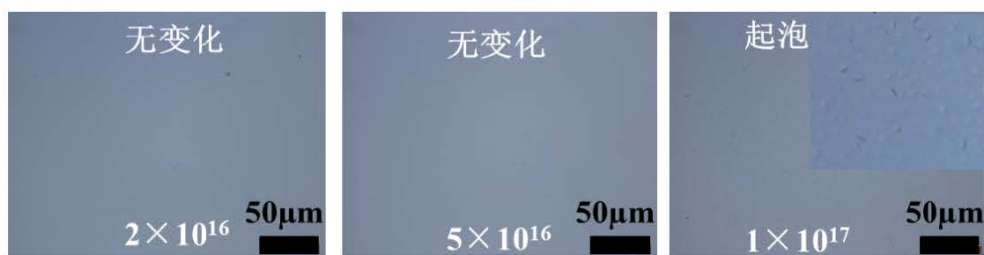


图 3.7 注入不同剂量 He 离子 InP 高温退火后 OM 图

**Figure 3.7 The OM images of InP samples implanted with different fluence of He ions after annealing**

### 3.1.3 H 离子和 He 离子室温单独注入引入应力对比

离子注入材料中, 除了在材料中会引入部分缺陷, 还会在材料中引入应力层, 应力层的存在会影响缺陷在退火过程中演变。为了对比 H 离子和 He 离子在室温

注入引入的应力的不同，我们对注入剂量均为 $5 \times 10^{16} / \text{cm}^2$ 的 H 离子和 He 离子的 InP 样品进行 (004) 晶面的 XRD  $\omega/2\theta$  模式扫描，如图3.8所示。

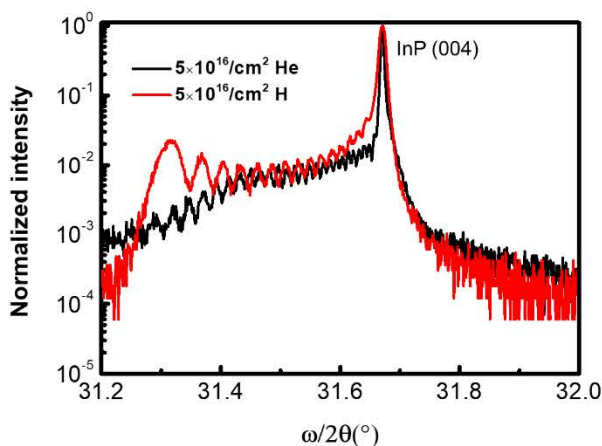


图 3.8 注入 H 和 He 离子的 InP XRD 的  $\omega/2\theta$  模式图

Figure 3.8 The XRD in  $\omega/2\theta$  mode for the InP samples implanted with H and He ions

此曲线可以分为两部分，一部分为 InP (004) 的衍射峰,另一部分为衍射角小于 InP (004) 布拉格衍射角的部分，从图中可以看出，此部分出现条纹图案，这表示在 InP 中形成了面外张应力层，并且应力分布呈现高斯分布，其中应变大小可以通过如下公式进行计算<sup>[166]</sup>：

$$\varepsilon = \frac{a_{\text{layer}} - a_{\text{sub}}}{a_{\text{sub}}} = \frac{\sin(\theta_{B,\text{sub}})}{\sin(\theta_{B,\text{sub}} + \Delta\theta)} - 1 \quad \dots (3.1)$$

其中  $a_{\text{layer}}$  为应力层的晶格常数， $a_{\text{sub}}$  为 InP 衬底标准的晶格常数， $\theta_B$  为 InP 衬底的布拉格衍射角， $\Delta\theta$  为与  $\theta_B$  的偏差。当与标准布拉格衍射角偏离越大时，产生的应变越大，因此图3.8最左侧的条纹图样对应着最大应变，通过计算，可以得到注入 H 离子的 InP 样品中最大应变为0.011，注入 He 离子的 InP 样品中最大应变为0.018。在注入相同剂量下，He 离子产生的最大应变要大于 H 离子产生的最大应变。

基于 X 射线衍射动力学，可以通过对实验得到的 XRD 数据进行拟合，从而提取出应变随深度的变化，如图3.9所示。图3.9 (a) 和 (b) 分别为注入 $5 \times 10^{16} / \text{cm}^2$  H 离子和 He 离子 InP 样品的 XRD 实验数据和计算拟合的数据。从图中可以看出计算拟合的曲线与实验曲线得到很好的吻合。通过拟合，我们提取了注入 $5 \times 10^{16} / \text{cm}^2$  H 离子和 $5 \times 10^{16} / \text{cm}^2$  He 离子的 InP 中应变随着注入深度的变化，如

图3.10所示。

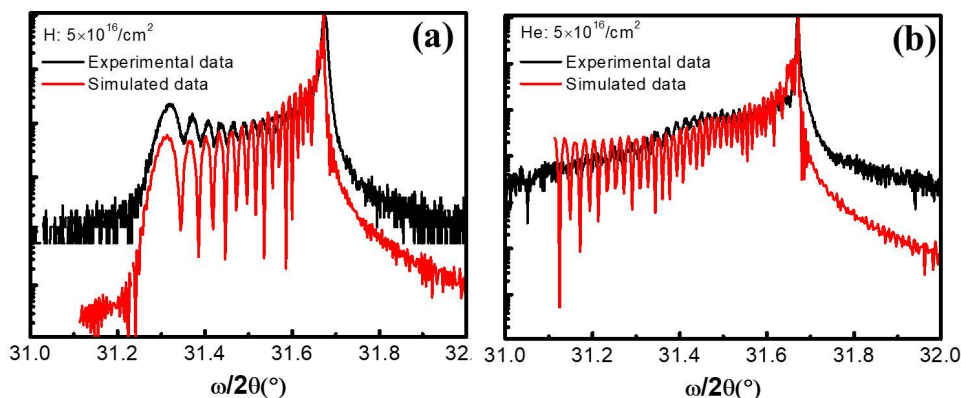


图 3.9 注入 H 离子和 He 离子的 InP XRD 实验与计算曲线

Figure 3.9 The XRD experimental and simulated profile for the InP implanted with H and He ions

(a)  $5 \times 10^{16} / \text{cm}^2$  H 离子; (b)  $5 \times 10^{16} / \text{cm}^2$  He 离子

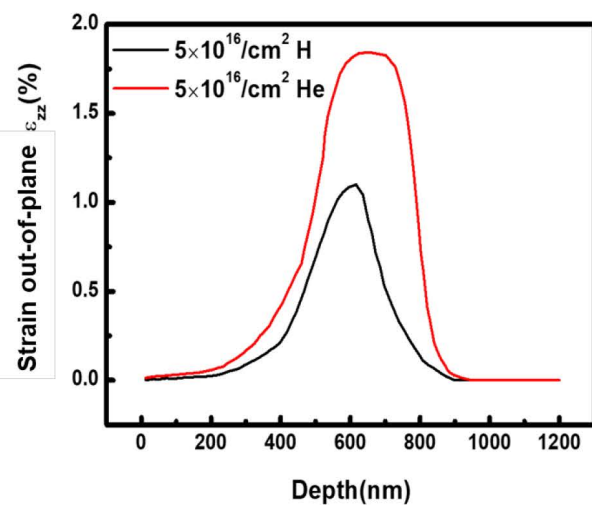


图 3.10 注入 H 和 He 离子 InP 中应变随深度的变化

Figure 3.10 The strain as a function of depth in the sample implanted with H and He ions.

从图3.10可以看出,He 离子和 H 离子注入引入的应变呈现一个类高斯分布,注入 He 离子引入的最大应变位于620 nm 深度左右,这与离子注入分布最大的深度一致,但是 H 离子注入引入的应变峰位于600 nm 左右深度,偏离离子注入峰的位置。H 离子和 He 离子引入的应变层厚度基本一致,约为800 nm,但是 He 引入的应变在相同深度处要大于 H 离子引入的应变,所以注入 He 离子产生的应变

梯度最大。而应变是影响注入缺陷在退火过程中演变至起泡或者剥离的重要动力之一,因此认为室温注入 He 离子产生大的应变梯度促进了起泡或者剥离的产生。

### 3.2 He/H 离子室温共注剥离分析

在运用离子束剥离转移 Si 薄膜过程中,研究学者发现采用 He/H 离子共注的方法,可以明显降低注入离子的剂量<sup>[167,168]</sup>。这归功于 He 和 H 离子在 Si 中不同的作用,其中 H 离子在共注过程中起到钝化裂缝界面作用,使其稳定存在,而 He 离子的作用是增加裂缝内部压强,使其扩展,两者相互结合,促进了 Si 薄膜的剥离与转移<sup>[167-169]</sup>。然而,针对 InP 的离子束剥离,还未见 He/H 离子共注的研究。在本节中将会研究 He/H 离子共注对 InP 剥离行为影响。

#### 3.2.1 He/H 离子室温共注顺序对 InP 剥离行为的影响

离子的注入顺序会对剥离行为产生较大影响<sup>[170]</sup>。为了研究 He/H 离子室温共注顺序对 InP 剥离行为的影响,我们将 115 KeV  $2 \times 10^{16} / \text{cm}^2$  He 离子以及 75 KeV  $5 \times 10^{16} / \text{cm}^2$  H 离子以不同的顺序室温注入 InP 样品中,即先注入 He 离子和先注入 H 离子。将注入好的样品切成小片,在冷热台中进行 150 °C 退火 1 小时,得到的表面光学显微镜图如图 3.11 所示。

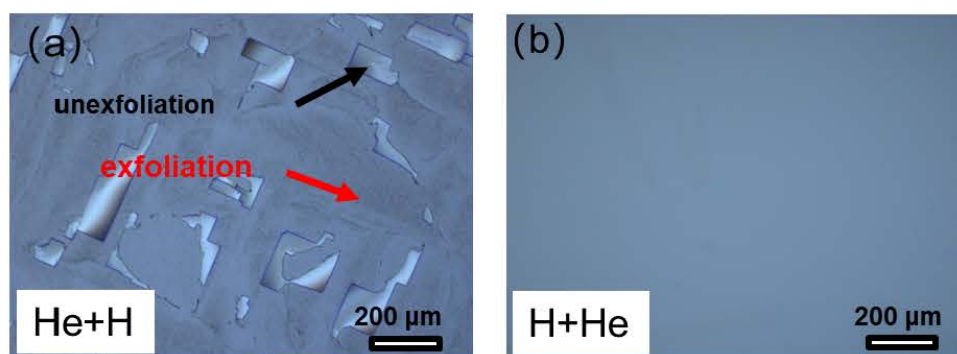


图 3.11 不同离子注入顺序的 InP 样品退火后 OM 图

**Figure 3.11 The OM images of InP sample implanted with ions in different sequences after annealing**

(a) 先注 He 离子再注 H 离子; (b) 先注 H 离子再注 He 离子

从图3.11中可以看出，先注入 He 离子的 InP 样品在退火后，表面出现大面积剥落现象，而先注入 H 离子的 InP 样品表面并没有出现任何变化，这说明 He/H 离子的注入顺序对 InP 的剥离行为产生决定性的作用，先注 He 离子再注 H 离子能够有效地使 InP 发生剥离。这种完全不同的剥离行为可能是由于两种不同注入顺序导致离子分布差异产生，也可能是由于不同的注入顺序在 InP 中引入了不同的缺陷类型造成的。

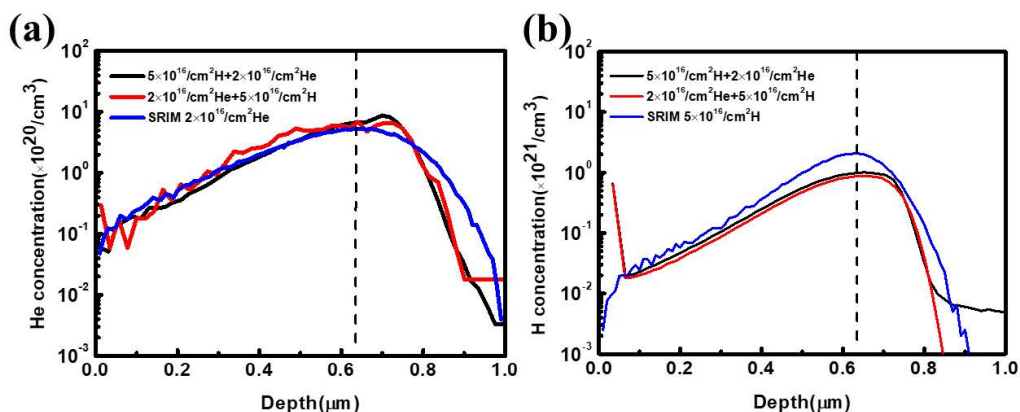


图 3.12 不同离子注入顺序 InP 样品 SIMS 和 TRIM 仿真离子分布

Figure 3.12 The SIMS and SRIM simulation of ion distribution for InP samples implanted with different ion implantation sequences.

(a) He 离子分布; (b) H 离子分布

为了研究是否是离子分布的差异引起两种不同的剥离行为，我们对不同 He/H 注入顺序的 InP 样品进行 SIMS 表征，分析不同注入顺序对离子实际注入剂量的影响，如图3.12所示。同时将 SRIM 仿真的离子注入分布作为对比。从图 3.12 (a) 可以看出，两种离子注入顺序的样品中，He 离子的分布基本相同，表明 He 离子不受注入顺序的影响。但是，对比 SRIM 仿真结果，会发现实际中 He 离子的分布与仿真结果有所差异，这可能是由于仿真的过程中没有考虑 H 离子注入对 He 离子分布的影响，但是对整个曲线进行积分后，发现注入浓度基本一致，说明 He 离子在注入过程中并没有或者很少发生逃逸，整个 He 离子浓度分布峰值一致，均在620 nm 左右。在图3.12 (b) 中，可以看出两种注入顺序并没有对 H 离子分布产生影响，H 离子分布基本相同，但是与 SRIM 仿真结果差异较大，在 InP 中 H 离子的浓度要小于 SRIM 结果，说明，在离子共注过程中，

会发生 H 离子的逃逸过程，导致实际注入的 H 离子的剂量要小于预期值。对比 He 离子浓度分布与 H 离子浓度分布，发现其浓度分布峰值基本一致，均在 620 nm 左右，也证明了 H 离子和 He 离子注入深度基本一致。此外，在 1  $\mu\text{m}$  附近，He、H 离子浓度基本接近于 0，说明整个离子注入过程，离子在 InP 中最大的影响深度在 1  $\mu\text{m}$ ，当去除这 1  $\mu\text{m}$  厚度时，剩余 InP 衬底还保留完美的商用衬底质量。通过分析 He/H 离子不同注入顺序对其浓度分布的影响，认为不同注入顺序引入的完全不同的剥离行为并不是由于离子分布差异造成。

为了表征不同注入顺序产生缺陷的差异，我们在 150  $^{\circ}\text{C}$  退火 6 min 前后的不同注入顺序的 InP 样品进行 RBS 沟道谱的测试，如图 3.13 所示。为了进行对比，同时做了未注入离子的 InP 衬底的自由谱和沟道谱。从图中可以看出，在沟道数为 618 处，所有的注入样品都产生一个损伤峰，但是和先注入 He 离子的样品相比，先注入 H 离子的样品产生的损伤峰更强，说明先注入 H 离子会在 InP 中产生更多的缺陷。但在 150  $^{\circ}\text{C}$  退火 6 min 后，先注入 He 离子的样品的损伤峰明显增加，意味着在退火过程中，缺陷发生了演变。然而，对于先注入 H 离子的样品，在退火后，损伤峰没有明显的变化，这意味着在退火过程中，缺陷并没有发生相应的演变过程。

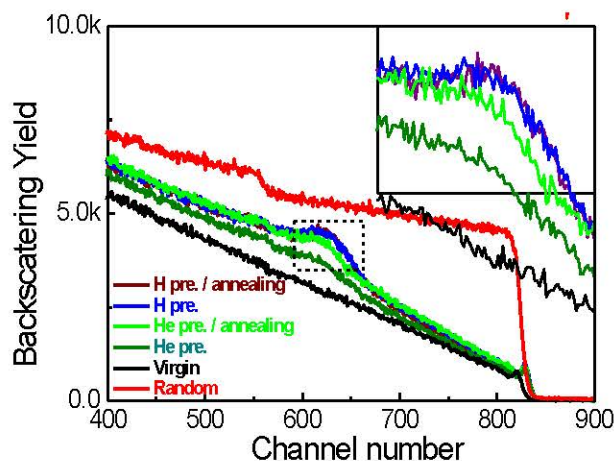


图 3.13 退火前后不同离子注入顺序的 InP RBS 沟道谱图

Figure 3.13 The RBS/channel for InP implanted with different implantation sequences of ions before and after annealing

为了表征退火过程中，不同 He/H 离子注入顺序微观缺陷的不同，对在 150  $^{\circ}\text{C}$

退火6 min 的不同 He/H 注入顺序的样品进行 TEM 表征, 如图3.14所示。从3.14

(a) 图中可以看出, 先注入 He 离子的 InP 样品中, 出现大量板状缺陷, 并且板状缺陷的方向平行于表面。对此, 我们提出 He/H 共注的缚 H 机制, 如图3.15所示, He 离子在相对低的剂量时, 将会产生空体积缺陷, 如孔洞或者气泡<sup>[168]</sup>, 此时再注入的 H 离子会被由 He 离子注入产生的开体积缺陷所捕获, 从而增加开体积缺陷内部的压强。在退火过程中, H 离子会在奥斯瓦尔德成熟效应作用下发生聚集, 开体积缺陷得到生长成为板状缺陷, 从而使得 InP 发生剥离。板状缺陷的成核和生长会增加 RBS 沟道谱的去沟道效应方法, 造成退火后损伤峰增加<sup>[171,172]</sup>。此外, 板状缺陷是微裂缝的前驱物, 因此板状缺陷对于剥离的发生至关重要<sup>[173]</sup>。然而从图3.14 (b) 可以看出, 对于先注入 H 离子的 InP 样品内部没有板状缺陷的产生。H 离子注入主要产生小的点状缺陷, 如空位或者空位的团簇。这些点状缺陷会阻止后续注入 He 离子引入的开体积缺陷的产生, 打断了板状缺陷的产生。因此先注入 He 离子的样品在退火后会呈现大面积剥离现象, 而先注 H 离子的样品退火后则无任何变化。因此对于采用 He/H 离子室温注入剥离 InP 时, 有效的注入顺序为先注 He 离子再注入 H 离子。

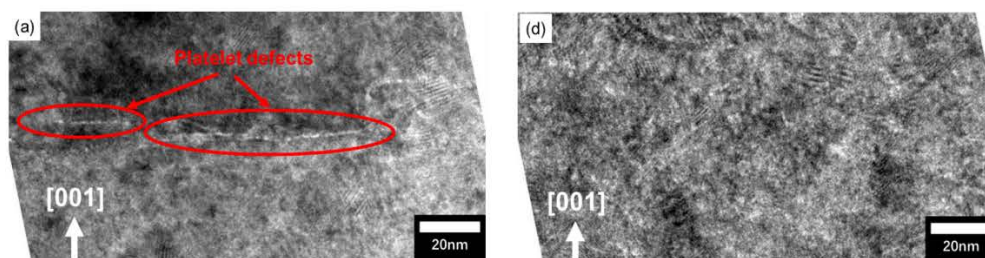


图 3.14 不同顺序离子共注 InP 样品退火后 TEM 图

**Figure 3.14 The TEM images for the InP samples co-implanted with ions in different sequences after annealing**

(a) 先注 He 离子再注 H 离子; (b) 先注 H 离子再注 He 离子

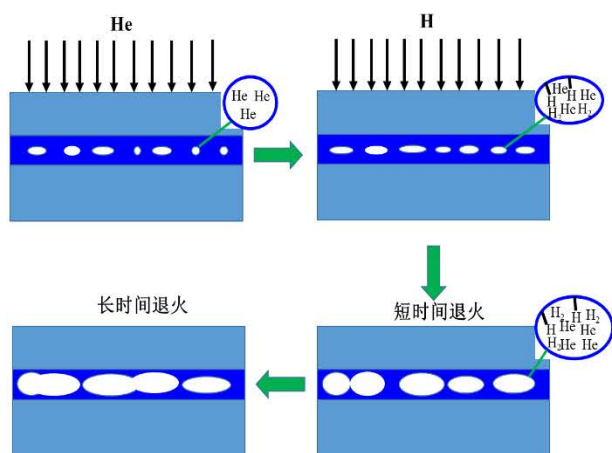


图 3.15 InP 中 He/H 共注的剥离机制

Figure 3.15 The exfoliation mechanism of He/H co-implantation in InP

### 3.2.2 He/H 离子室温顺序共注剂量对剥离行为的影响

除了离子注入顺序，离子注入剂量也会对剥离行为产生重要影响。为了研究 He/H 离子室温顺序共注剂量对剥离行为的影响，固定离子注入顺序为先注入 He 离子，再注入 H 离子，注入离子的剂量及能量如表3.2所示,同时单独注入相同 H 离子剂量作为对比。

表 3.2 He/H 离子顺序共注剂量及能量

Table 3.2 The fluence and energy of He/H sequential implantation

离子种类	He(115 KeV)	H(75 KeV)
		$3 \times 10^{16}$
		$4 \times 10^{16}$
注入剂量 ( $\text{cm}^{-2}$ )	$2 \times 10^{16}$	$5 \times 10^{16}$
		$6 \times 10^{16}$
		$7 \times 10^{16}$

将顺序共注的 InP 样品在冷热台中150 °C退火1小时，得到表面 OM 图如图 3.16所示。从图中可以看出，当固定 He 离子的注入剂量时，随着 H 离子注入剂量的增加，InP 的表面出现不同的剥离行为。在 H 离子注入剂量为 $3 \times 10^{16} / \text{cm}^2$ 时，退火后样品表面没有出任何起泡或者剥落现象，但是当 H 离子剂量增加至4

$\times 10^{16} / \text{cm}^2$ 时, 退火后样品表面出现很多起泡, 并且部分气泡破裂, 随着 H 离子注入剂量增加至 $5 \times 10^{16} / \text{cm}^2$ 和 $6 \times 10^{16} / \text{cm}^2$ 时, 退火后样品表面出现大面积的剥离现象, 但是, 注入 $5 \times 10^{16} / \text{cm}^2$  H 离子的表面剥离面积明显大于注入 $6 \times 10^{16} / \text{cm}^2$  H 离子的样品表面剥离面积, 继续增加 H 离子注入剂量至 $7 \times 10^{16} / \text{cm}^2$ , 退火后表面却没有任何起泡和剥离现象。

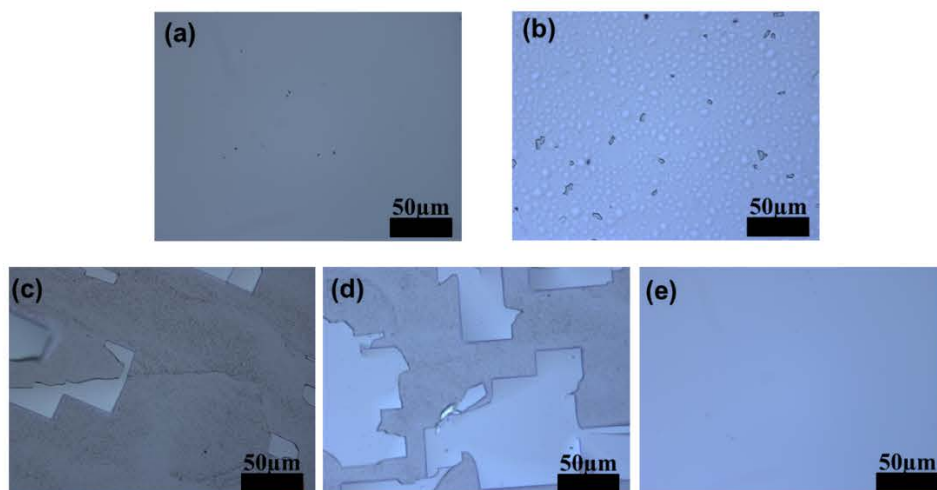


图 3.16 He/H 离子共注 InP 样品退火后的 OM 图

Figure 3.16 The OM images of InP sample co-implanted with He/H ions after annealing

(a)  $3 \times 10^{16} / \text{cm}^2$  H 离子; (b)  $4 \times 10^{16} / \text{cm}^2$  H 离子; (c)  $5 \times 10^{16} / \text{cm}^2$  H 离子; (d)  $6 \times 10^{16} / \text{cm}^2$  H 离子; (e)  $7 \times 10^{16} / \text{cm}^2$  H 离子

我们定义剥离效率为:

$$A_{\text{ex}} \% = \frac{A_{\text{ex}}^{\text{total}}}{A_{\text{sample}}^{\text{total}}} \cdot 100\% \quad \dots (3.2)$$

其中 $A_{\text{ex}}^{\text{total}}$ 为整个 OM 图中剥离面积的总和,  $A_{\text{sample}}^{\text{total}}$ 为整个光镜图的面积。从图3.16中提取不同共注 H 离子剂量的样品表面剥离效率, 如图3.17所示。随着 H 离子共注剂量的增加, 剥离效率呈现类高斯分布, 在 H 的共注剂量达到 $5 \times 10^{16} / \text{cm}^2$ 时, 剥离效率达到最大, 约为90.6%。剥离效率与注入离子引入的有效剥离孔洞相关<sup>[174]</sup>。当 H 离子共注剂量在 $3 \times 10^{16} / \text{cm}^2$ 以下时, 离子注入引入的有效剥离孔洞中的压强有限, 以至于退火后不会有起泡或者剥离现象出现。当共注 H 离子剂量增加到 $4 \times 10^{16} / \text{cm}^2$ 时, 有效剥离孔洞中压强大于表面起泡能的阈值, 退火后表面出现起泡。随着共注 H 离子剂量的继续提高, 由于 H 离子注入引入的应力逐渐增大, 使得

临近的有效剥离孔洞发生重叠，此时，有效剥离孔洞中的压强足够大，能够克服 InP 的断裂能，使得表面出现大面剥离现象。通常 H 离子剂量的增加，会促进有效剥离孔洞成核<sup>[175]</sup>。但是，随着注入剂量增加到  $6 \times 10^{16} / \text{cm}^2$  和  $7 \times 10^{16} / \text{cm}^2$  剥离效率开始下降直到 0。这种反常剥离现象也出现在 Si 的剥离中<sup>[176]</sup>。

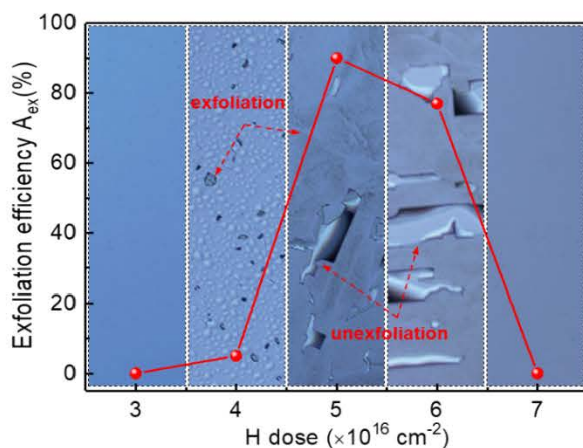


图 3.17 剥离效率随 H 离子共注剂量的关系

Figure 3.17 Exfoliation efficiency as a function of H ion implantation fluence

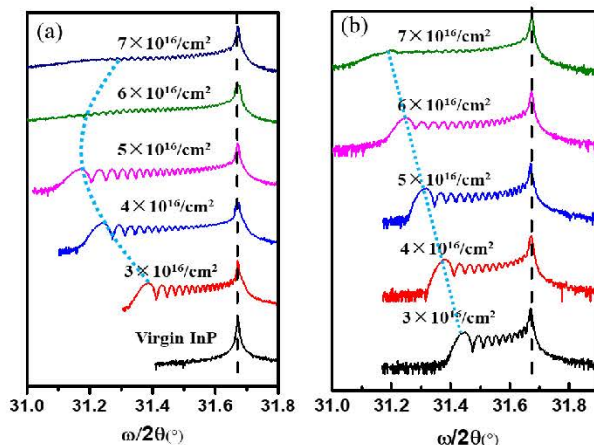


图 3.18 不同注入条件 InP 样品 (004) XRD  $\omega/2\theta$  图

Figure 3.18 The XRD  $\omega/2\theta$  for InP (004) implanted under different implantation conditions

(a) 共注  $2 \times 10^{16} / \text{cm}^2$  He 离子和不同剂量 H 离子； (b) 单独注入不同剂量 H 离子

为了分析这种反常剥离机制，我们对共注不同 H 离子剂量的 InP 样品以及单独注入不同 H 离子剂量的 InP 样品进行 (004) 晶面的 XRD  $\omega/2\theta$  测试，如图

3.18所示。图3.18 (a) 为共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和不同剂量 H 离子的 InP 样品 XRD  $\omega/2\theta$  图，其中未注入的 InP 样品作为参考，图3.18 (b) 为单独注入不同剂量 H 离子的 InP 样品 XRD  $\omega/2\theta$  图。从图3.18 (a) 中可以看出，不同共注剂量的 H 离子注入 InP 样品，在 (004) 主衍射峰的左边，均产生周期性衍射条纹，意味着都在 InP 样品中产生应力层，其中最左边的衍射峰表示最大应变（用虚线标出），可以初步看出最大应变随着 H 离子共注剂量的增加，在 H 离子共注剂量达到 $5 \times 10^{16} / \text{cm}^2$ 时，应变达到最大，随后应变逐渐降低。通过公式 (3.1)，我们提取图3.18 (a) 中最大应变随注入剂量的变化，如图3.19所示。从图中可以看出，随着 H 离子共注剂量的增加，最大应变呈现一个类高斯分布，整体的分布趋势与图3.18中剥离效率相近。而对比图3.18 (b)，可以看出单独注入 H 离子的样品产生的最大应变随着 H 离子注入剂量的增加而逐渐增大。这说明在 He/H 顺序共注中，随着注入 H 离子剂量的增加，会出现一个应力释放机制，导致应变在高的注入剂量时释放。通过分析，我们认为，在高的注入剂量时，会使得样品发生非晶化，从而导致应变得到释放<sup>[177]</sup>。相关研究工作表明，离子注入引入的面外应变，能够促进板状缺陷的成核和生长，同时也是板状缺陷的迁移的动力。因此，在 He/H 顺序共注高剂量时，应变的释放使得板状缺陷的生长及迁移受阻，从而导致剥离效率急剧降低直到不发生剥离。

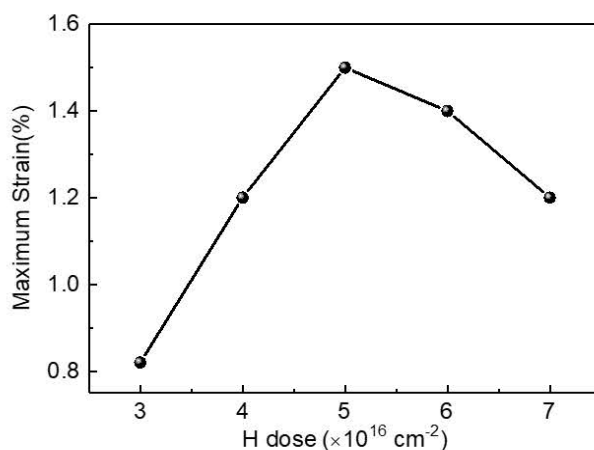


图 3.19 最大应力随 H 离子注入剂量的变化

Figure 3.19 The maximum as a function of fluence of H ions

为了研究高低剂量 H 离子注入对微观缺陷的影响，增大 H 离子的注入剂量

至 $1 \times 10^{17} / \text{cm}^2$ ，随后对共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $5 \times 10^{16} / \text{cm}^2$  H 离子以及 $1 \times 10^{17} / \text{cm}^2$  H 离子的两种 InP 样品在 $150 \text{ }^\circ\text{C}$ 退火6 min，并采用 TEM 对两种样品的内部微观缺陷进行表征，如图3.20所示。图3.20 (a) 为共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $5 \times 10^{16} / \text{cm}^2$  H 离子的样品退火后的 TEM 图，图3.20 (b) 为 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $1 \times 10^{17} / \text{cm}^2$  H 离子的样品退火后 TEM 图，而图3.20 (c) 和 (d) 图分别为 (a)、(b) 中缺陷层处的 SAED 图。从图3.20 (a) 中可以看出，共注 $5 \times 10^{16} / \text{cm}^2$  H 离子的样品，退火后在 InP 内部产生一层厚度约为80 nm 的缺陷层，在缺陷层中存在板状缺陷，板状缺陷的位置位于缺陷带的中间位置，并且分布比较集中。而在图3.20 (b) 中，发现共注 $1 \times 10^{17} / \text{cm}^2$  H 离子的样品退火后，在 InP 内部形成的缺陷层厚度增大，约为170 nm，虽然在缺陷层中同样存在板状缺陷，但是板状缺陷分布很分散，并没有相互聚集在一起，而是分布在缺陷层的两侧。在图3.20 (c) 中可以看出，共注 $5 \times 10^{16} / \text{cm}^2$  H 离子的样品中缺陷层处的 SAED 图呈现规则的点状排列，证明此时虽然离子注入在 InP 中引入了缺陷，但是，并没有使其出现非晶化，而从图3.20 (d) 中可以看出，共注 $1 \times 10^{17} / \text{cm}^2$  H 离子在 InP 中引入的缺陷层处 SAED 图虽然点阵排列规则，但是在亮点周围出现了非晶环，这说明此时缺陷层处为非晶状态。这与上面的猜测一致，在高的 H 共注剂量时，会在 InP 中引入非晶层，此时由于非晶层的存在，会使得面外应变得到释放，进而板状缺陷的成核以及生长受阻，不会出现剥离现象。因此，在采用 He/H 离子室温顺序共注剥离 InP 时，当注入的 He 离子剂量固定为 $2 \times 10^{16} / \text{cm}^2$ 时，注入的 H 离子浓度存在一个剂量窗口，其有效剥离的 H 离子注入剂量范围为 $4 \times 10^{16} / \text{cm}^2$ - $6 \times 10^{16} / \text{cm}^2$ ，其中剥离效率最高对应的 H 离子注入剂量为 $5 \times 10^{16} / \text{cm}^2$ 。

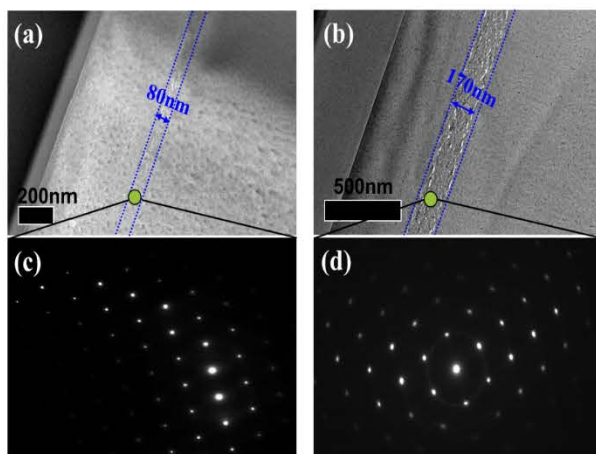


图 3.20 离子共注 InP 退火后 TEM 和 SAED 图

**Figure 3.20 The TEM and SAED images of the InP samples co-implanted with ions after annealing**

(a) 共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $5 \times 10^{16} / \text{cm}^2$  H 离子的 InP 样品 TEM 图; (b) 共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $1 \times 10^{17} / \text{cm}^2$  H 离子的 InP 样品的 TEM 图; (c) 为 (a) 中缺陷层处 SAED 图; (d) 为 (b) 中缺陷层处的 SAED 图

### 3.3 He/H 离子室温顺序共注的优势

通过以上分析,发现室温 He/H 离子顺序共注可以有效地实现 InP 的剥离。这种 He/H 离子共注剥离方法与单独注入 H 离子或者单独注入 He 离子实现 InP 的剥离相比,具有很多优势。

首先,可以在室温注入条件下,实现 InP 的剥离,而不用再局限于必须在很窄的温度窗口去单独注 H 离子 ( $150\text{ }^\circ\text{C}$ - $250\text{ }^\circ\text{C}$ 和 $-20\text{ }^\circ\text{C}$ - $20\text{ }^\circ\text{C}$ ) 或者 He 离子 ( $-15\text{ }^\circ\text{C}$ 和 $20\text{ }^\circ\text{C}$ ) 使得 InP 发生剥离<sup>[164,165,178]</sup>。这降低了离子注入复杂性和难度,更有利于量产化。

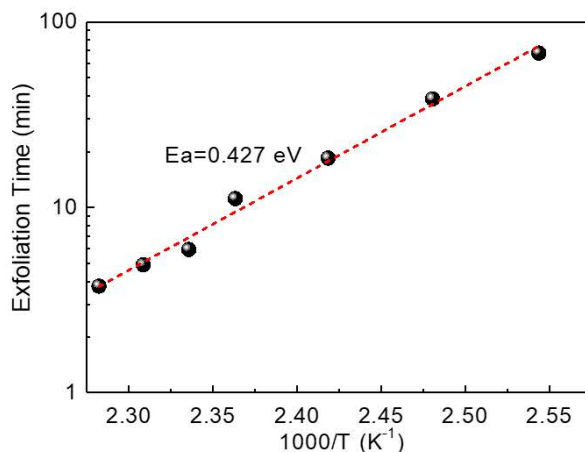


图 3.21 InP Arrhenius 曲线

Figure 3.21 The Arrhenius plot of InP

其次，采用室温 He/H 离子顺序共注能够有效降低剥离所需能量。我们对共注  $2 \times 10^{16} / \text{cm}^2$  He 离子和  $5 \times 10^{16} / \text{cm}^2$  H 离子的 InP 样品在冷热台进行不同温度的退火实验，记录在不同温度下 InP 起始剥离时间  $t_b$ ，绘制起始剥离时间随温度变化的 Arrhenius 曲线，如图3.21所示。图中为了方便计算激活能  $E_a$ ，将纵坐标取对数，横坐标变为1000倍的温度 T 的倒数。根据公式

$$1/t_b \propto \exp(-E_a/KT) \quad \dots (3.3)$$

其中 K 为玻尔兹曼常数，我们可以得到采用 He/H 离子共注剥离 InP 的激活能为 0.427 eV。从图3.21中可以看出，得到的 Arrhenius 曲线为一条直线，中间并没有出现转折点，而在 He 离子单独注入剥离 InP 实验中，得到的 Arrhenius 曲线为具有折点的两条直线<sup>[165]</sup>。从两条直线可以得到两个激活能，分别对应着高温区和低温区，其中高温区激活能低于低温区，这是由于高温区和低温区分别对应着不同离子扩散机制。在低温区，离子被注入缺陷束缚，激活能分别对应着脱离缺陷束缚所需能量以及离子自由扩散所需能量。而在高温区，离子没有被注入缺陷束缚，本身处于自由态，因此，激活能只对应离子自由扩散所需能量<sup>[179]</sup>。而在 He/H 离子共注剥离 InP 中，并没有出现两个激活能，这是由于在 He/H 离子共注中，He 离子和 H 离子在剥离中有不同的作用，其中 H 离子起到钝化缺陷的作用，而 He 离子起到增加缺陷内部压强的作用，因此不需要脱离缺陷束缚而自由移动。在 He 离子单独注入剥离 InP 中，低温区激活能约为 0.74 eV<sup>[165]</sup>，而 He/H

共注中激活能仅为0.427 eV，说明 He/H 离子注入剥离 InP 的能量阈值要低，更易实现 InP 的剥离。

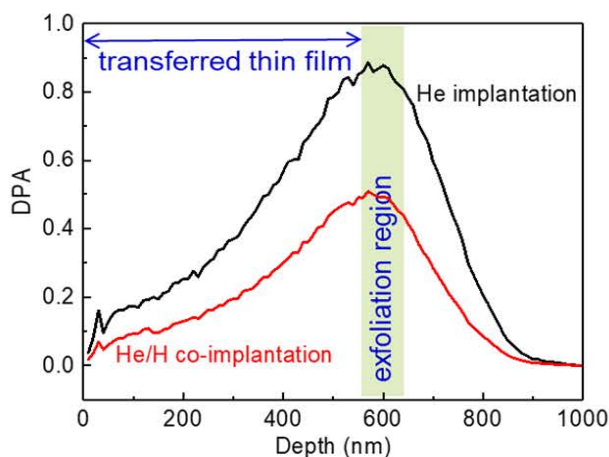


图 3.22 SRIM 仿真 InP 中 DPA 分布

Figure 3.22 The DPA profiles simulated by SRIM in InP

He/H 离子共注可以实现低损伤的 InP 剥离。离子注入引入的损伤会影响材料的单晶质量，在实现材料剥离的同时，还要尽可能的缩小注入离子引入的损伤。He 离子单独注入剥离 InP 时，采用的注入剂量为  $5 \times 10^{16} / \text{cm}^2$ <sup>[165]</sup>。对此，我们采用 SRIM 计算  $5 \times 10^{16} / \text{cm}^2$  He 离子单独注入以及  $2 \times 10^{16} / \text{cm}^2$  He 离子和  $5 \times 10^{16} / \text{cm}^2$  H 离子共同注入在 InP 中引入的 DPA 的分布，如图3.22所示。从图中可以看出，He/H 离子共注产生的 DPA 要远小于 He 离子单独注入产生的 DPA。这说明，虽然 He/H 离子共注的总剂量要大于 He 离子单独注入的剂量，但是离子入产生的损伤要远小于单独注入 He 离子。低的注入损伤可以有效的保持剥离的薄膜很好的单晶质量以及很薄的损伤层。

### 3.4 本章小结

综上所述，本章对 He/H 离子共注剥离 InP 的离子注入顺序、注入剂量以及剥离优势进行了分析。首先通过对 He/H 离子注入顺序对 InP 剥离行为影响的研究，发现 He/H 离子共注剥离 InP 的有效注入顺序为先注 He 离子再注 H 离子，这是由于先注 He 离子形成的开体积缺陷可以很好的捕获注入的 H 离子，更有利于板状缺陷的成核和生长。在研究 He/H 离子共注中 H 离子注入剂量对 InP 剥离

行为的影响时，发现有效 H 离子注入剂量存在一个剂量窗口为  $4 \times 10^{16} / \text{cm}^2$  -  $6 \times 10^{16} / \text{cm}^2$ ，超过这个剂量窗口后，多注入的 H 离子会使得 InP 内部形成非晶层，非晶层的存在，导致离子注入引入的面外应变得到释放，板状缺陷的成核和生长缺少驱动力，最终板状缺陷只能分散在缺陷层的两侧，无法集中分布，故高剂量的 H 离子注入反而不会使得 InP 发生有效剥离。通过与单独注入 H 离子或者 He 离子剥离对比，发现采用 He/H 离子具有不可替代的三个优点：首先是 He/H 离子共注会在室温注入的条件下实现 InP 的剥离，而不用在特定的注入温度窗口中。其次，He/H 离子共注剥离 InP 会降低剥离所需激活能，在较低温度下可以更容易实现 InP 的剥离。最后通过采取 He/H 离子共注可以降低离子注入在 InP 中引入的缺陷，提升剥离薄膜的质量以及减低损伤层的厚度。

## 第4章 高质量晶圆级硅基 InP 单晶薄膜制备及表征

InP 作为III-V化合物半导体的重要一员,具有直接带隙、高的电子迁移率、抗辐照等优点,在射频领域和光子集成领域有着重要的应用。尤其是在光子集成方面,它是现有唯一允许单片集成所有有源器件,包括激光器、放大器、调制器以及探测器,同时也允许单片集成无源器件,包括波导互联、滤波器以及耦合器的全光子集成平台。高性能的 InP 光子集成电路已经被广泛应用于相干发射器、接收器、波长转换器、以及分组交换应用<sup>[180-183]</sup>。因此,InP 是制备光电器件的重要材料之一。

在硅光领域,由于硅是间接带隙半导体材料,因此,无法实现光源的单片集成,而采用外部耦合的方法引入光源,这不但增加了光的损耗,同时也增加了集成系统的体积,而将 InP 与 Si 衬底结合不但可以解决硅基光源问题,还可以充分利用 InP 的全光子集成的能力,真正实现单片硅基全光子集成。目前主要通过硅衬底异质外延 InP 的方法制备硅基 InP 光学器件。在1988年,第一个硅基埋桥结构 GaInAsP-InP 室温连续波激光器通过采用两步低压金属有机物化学气相沉积(LP MOCVD)生长被制备出来<sup>[184]</sup>。但是由于 InP 与硅之间存在着大的晶格失配(8%)和大的热膨胀系数的差异(InP  $4.56 \times 10^{-6}/\text{K}$ , Si  $3.6 \times 10^{-6}/\text{K}$ )导致硅基 InP 外延层中存在大密度缺陷,制约着 InP 光学器件的性能,使得至今硅基 InP 光学外延器件的性能始终与 InP 基光学器件存在很大的差距,无法商用。因此,制备出高质量硅基 InP 异质衬底就显得尤为重要。

在本章中,采用离子束剥离技术制备高质量晶圆级硅基 InP 单晶薄膜。

### 4.1 晶圆级硅基 InP 单晶薄膜制备

#### 4.1.1 硅基 InP 单晶薄膜制备工艺

采用离子束剥离技术制备硅基 InP 薄膜的具体工艺流程如图4.1所示。基于第3章对 InP 离子束剥离机制的分析,采用 He/H 离子共注的方法剥离 InP。首先在2英寸(001) InP 衬底中室温顺序共注115 KeV  $2 \times 10^{16}/\text{cm}^2$  He 离子和75 KeV

$5 \times 10^{16} / \text{cm}^2$  H 离子，再将离子注入后的 InP 衬底和4英寸(001)含有热氧化  $\text{SiO}_2$  层的 Si 衬底在激活腔中采用  $\text{N}_2$  等离子体激活，经过清洗机清洗后，通过键合平台在大气环境中实现 InP 与 Si 衬底键合，键合方式为直接键合，随后将键合对在退火炉中在  $\text{N}_2$  保护下  $150^\circ\text{C}$  下退火1小时，完成 InP 薄膜剥离并转移至 Si 衬底，实现 InP/ $\text{SiO}_2$ /Si (InPOI) 异质衬底。

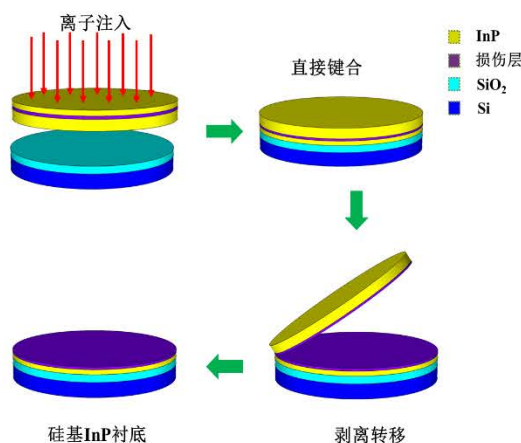


图 4.1 离子束剥离转移 InP 薄膜流程图

Figure 4.1 The process flow for the integration of InP film using ion-slicing technology

通过上述过程，成功实现将2英寸的 InP 薄膜转移到4英寸的 Si 衬底，如图 4.2 (a) 所示，其中转移的 InP 薄膜用蓝色虚线标出。转移的 InP 薄膜的面积接近两英寸，但是部分区域可能由于颗粒的存在而没有键合成功，使得转移面积不完整。图4.2 (b) 为转移的 InP 薄膜表面 OM 图，从图中可以看出，转移的薄膜表面不是光滑平坦的，而是存在很多无规律分布的气泡。我们对薄膜气泡区域和平坦区域进行微区 Raman 测试，采用的激光为  $514\text{ nm}$  波长，得到 Raman 谱图如图4.3所示。从图4.3可以看出，两个区域均出现 InP 的典型一级 LO 和 TO 模和二级 2LO、2TO 和 LO+TO 模。两个谱线的强度和峰宽基本一致，说明气泡区域与平坦区域的 InP 薄膜质量基本一致，但是气泡区域的谱线相对平坦区域发生了偏移，这是由于气泡的存在使得 InP 薄膜产生了应力。

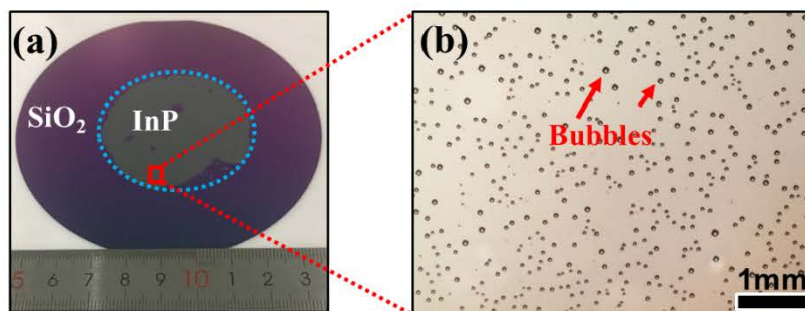


图 4.2 InPOI 衬底

Figure 4.2 InPOI substrate

(a) 硅基 InP 衬底照片; (b) InP 薄膜表面光镜图

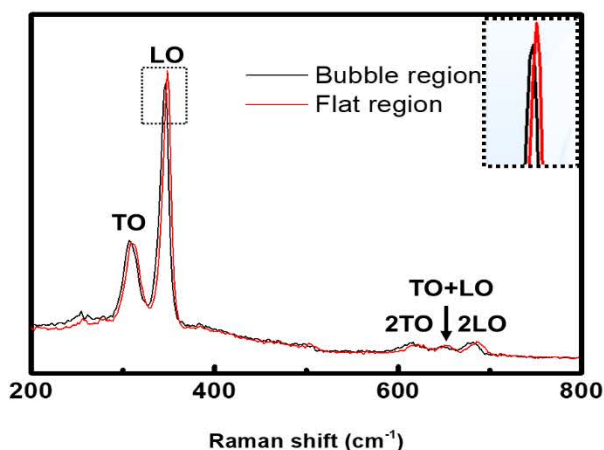


图 4.3 InP 薄膜不同区域的 Raman 谱

Figure 4.3 The Raman spectra of different regions of InP film

在 Si-Si 键合中，也存在键合界面气泡问题，经过分析认为气泡的来源是由于键合界面发生亲水性键合反应产生的水汽、 $H_2$ 、以及表面吸附的水汽和表面有机物的分解等多种原因产生<sup>[185]</sup>。

#### 4.1.2 气泡热力学演变

为了分析气泡的形成，我们对气泡进行了热力学演变分析。我们在  $400\text{ }^\circ\text{C}$  退火条件下，观察气泡的演变过程，如图4.4所示。从图中可以看出，升温到  $400\text{ }^\circ\text{C}$  时，气泡的直径在  $200\text{ }\mu\text{m}$ - $300\text{ }\mu\text{m}$  之间，以  $0\text{ min}$  时直径为  $225\text{ }\mu\text{m}$  和  $277\text{ }\mu\text{m}$  两个气泡为例，随着退火时间的增加，气泡的直径并没有发生变化，即气泡体积无变

化，根据理想气体状态方程  $PV=NRT$ ，其中  $P$  为压强， $V$  为体积， $N$  为气体物质的量， $R$  为理想气体常数， $T$  为温度，可以得出在  $400\text{ }^{\circ}\text{C}$  退火过程中，气泡内并无新的气体分子产生。

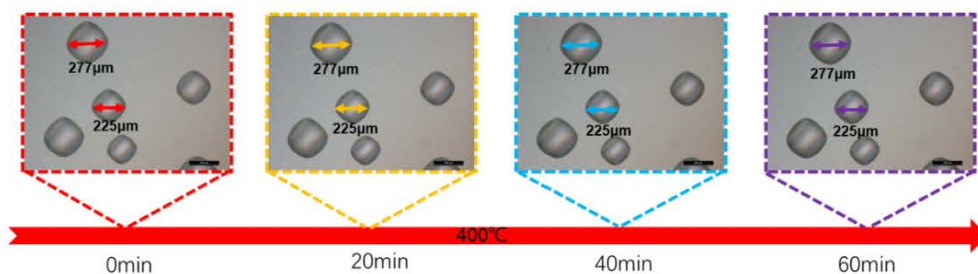


图 4.4 气泡随退火时间变化 OM 图

Figure 4.4 The OM images of the bubbles with annealing time at  $400\text{ }^{\circ}\text{C}$

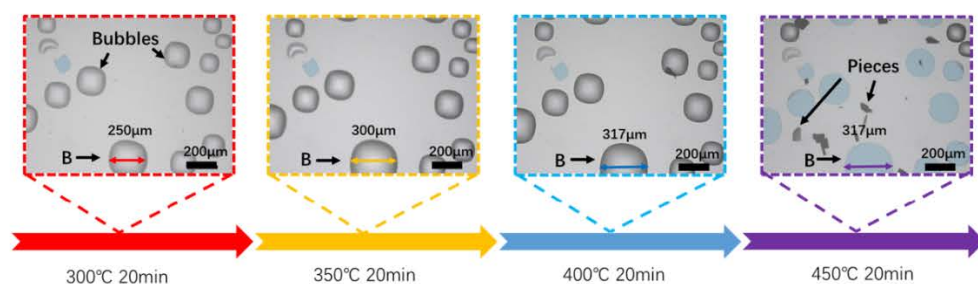


图 4.5 气泡随温度变化 OM 图

Figure 4.5 The OM images of bubbles with temperature

随后，我们又对气泡在不同温度下的热学演变进行了分析，退火温度从  $300\text{ }^{\circ}\text{C}$  增加到  $450\text{ }^{\circ}\text{C}$ ，如图4.5所示。选取在  $300\text{ }^{\circ}\text{C}$  退火  $20\text{ min}$  时直径为  $250\text{ }\mu\text{m}$  的气泡为研究对象，随着温度升高到  $350\text{ }^{\circ}\text{C}$  时，气泡直径增加到为  $300\text{ }\mu\text{m}$ ，而温度升高到  $400\text{ }^{\circ}\text{C}$  时，气泡直径增加到  $317\text{ }\mu\text{m}$ ，继续升高温度到  $450\text{ }^{\circ}\text{C}$  后，气泡发生破裂，直径依然是  $317\text{ }\mu\text{m}$ 。由于在升温过程伴随着热膨胀现象，所以无法直接判断出在升温过程中是否有新的分子产生。我们假设气泡的形状为圆锥体，其体积  $V_{\text{bubble}}$  可表示为<sup>[146]</sup>：

$$V_{\text{bubble}} = \pi \alpha r^2 h \quad \dots (4.1)$$

其中  $\alpha$  为几何因子，在  $1/2$ - $1/3$  之间， $r$  为气泡半径， $h$  为气泡的高度，可表示为

$$h = \frac{\Delta p r^4}{64D} \quad \dots (4.2)$$

其中  $\Delta P$  为气泡内外压强差,  $D$  为 InP 的硬度。此时气泡体积  $V_{\text{bubble}}$  可以表示为

$$V_{\text{bubble}} = \frac{\Delta P \pi r^6}{64D} \quad \dots (4.3)$$

理想气态方程可以表示为

$$p_i \frac{\Delta P \pi r^6}{64D} = NRT \quad \dots (4.4)$$

其中  $p_i$  为气泡内部压强。由此可得到半径  $r$  和温度  $T$  的关系为

$$r^6 = \frac{64DNR}{p_i \Delta P \pi \alpha} T \quad \dots (4.5)$$

$$D_b = 2r \quad \dots (4.6)$$

其中  $D_b$  为气泡直径, 因此

$$D_b^6 = \frac{4096DNR}{p_i \Delta P \pi \alpha} T \quad \dots (4.7)$$

在  $300\text{ }^\circ\text{C}$  时, 气泡直径为  $250\text{ }\mu\text{m}$ , 带入公式 (4.7), 可得

$$D_b^6 = 0.42596 \times 10^{-24} T \quad \dots (4.8)$$

假设在升温过程中, 无新的气体分子产生, 那么气泡将按照公式 (4.8) 持续变化, 将计算所得曲线与实验获得数据对比, 如图4.6所示。从图中可以看出, 在  $300\text{ }^\circ\text{C}$  以后, 在相同温度下实验所得  $D_b$  值都要大于计算值, 这证明我们的假设不成立, 说明在实际升温过程中, 又产生了新的气体分子。

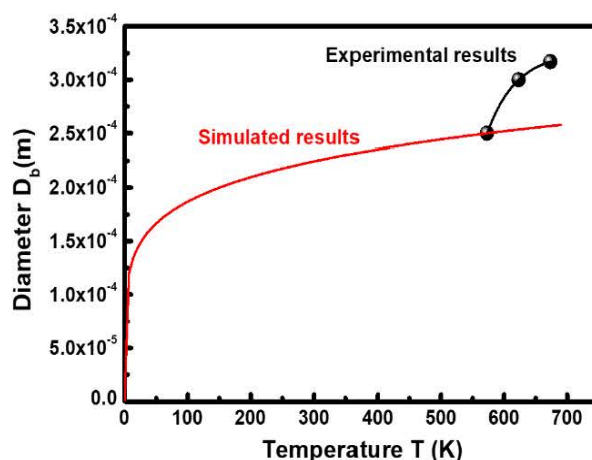


图 4.6 气泡直径随温度变化的理论计算和实验曲线

Figure 4.6 The simulated and experimental diameter of bubble as a function of

## temperature

## 4.1.3 气泡的产生原因

为了确认气泡是否是在键合界面产生，我们将注入离子的 InP 衬底与 Si 衬底键合后，采用红外 (IR) 照相以及扫描声波显微镜 (SAM) 测试来观察键合界面情况，如图4.7所示，其中图4.7 (a) 为界面 IR 图，(b) 为 SAM 图。从 IR 图中，只能看到键合界面处由于存在颗粒造成的两个大空洞以及边缘处存在部分解键合的现象，而无其他气泡存在，但是从 SAM 图中可以看出，键合界面还分布着许多小的气泡，这与转移的 InP 薄膜中形成的气泡一致，因此可以认为是在键合界面处产生气泡。

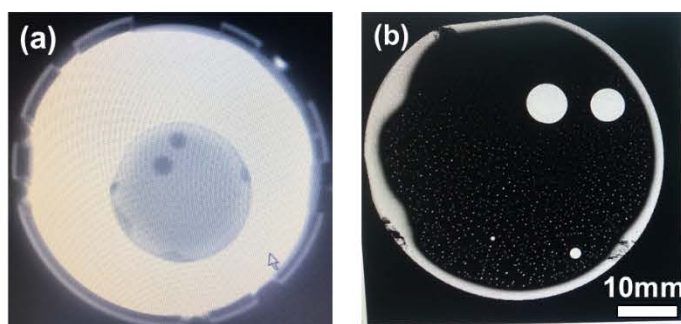


图 4.7 键合界面表征

Figure 4.7 The characterization of the bonding interface

(a) 键合界面 IR 图；(b) 键合界面 SAM 图

随后我们将未注入离子的 InP 衬底与 Si 衬底键合，并在300 °C下退火30 min，对退火前后的 InP/Si 键合对进行 SAM 测试来观察键合界面情况，如图4.8所示。其中图4.8 (a) 为退火前的 SAM 图，(b) 为退火后的 SAM 图。可以看出，室温下，许多小的气泡均匀地分布在 InP/Si 的键合界面，这暗示着气泡的形成和离子注入以及表面有机物的分解无关。在300 °C退火30 min 后，界面处小的气泡消失，而出现一个大的不规则的气泡 A，此外，在晶圆边缘处出现了解键合的现象。在退火过程中，气泡持续生长直至周围气泡重叠形成大的气泡。气泡内部压强定义为  $P_i$ ，键合强度定义为  $P_s$ ，当  $P_i < P_s$  时，气泡将会被限制在键合界面持续生长，当  $P_i > P_s$  时，将会引发解键合。

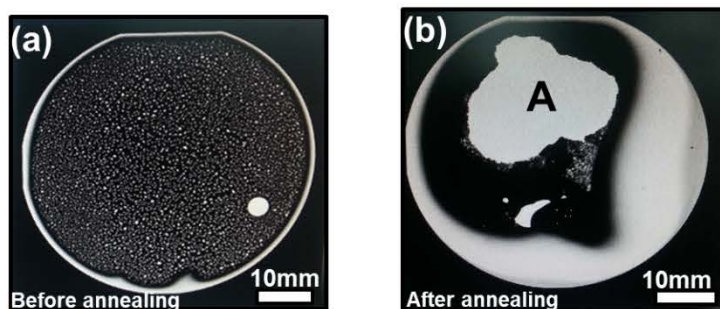


图 4.8 对退火前后键合界面表征

**Figure 4.8 The characterization of bonding interface before and after annealing**

(a) 退火前键合界面 SAM 图； (b) 退火后键合界面 SAM 图

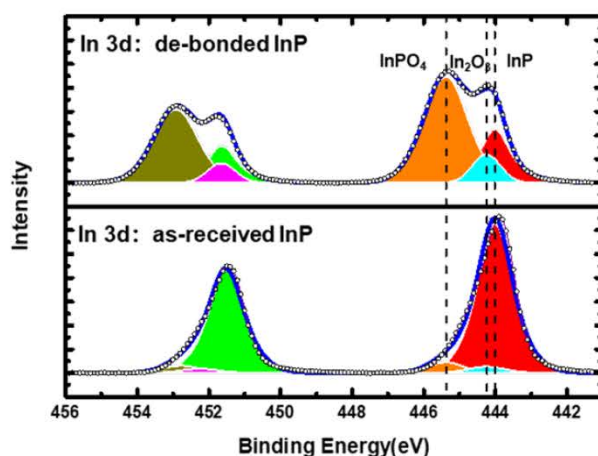


图 4.9 InP 键合前后表面 XPS 图

**Figure 4.9 The XPS of surface on InP before and after bonding**

为了找到气泡中气体的来源，我们采用 XPS 对键合前后的 InP 表面进行组分分析，如图4.9所示，其中键合采用等离子体表面激活后直接键合，键合后的样品采用外力将键合对分开后立即测量。XPS 采用偶然引入的 C1S 光子发射峰285 eV 校准。从图4.9可以看出，XPS 主要呈现出的组分有 InP（约在444 eV）、 $\text{In}_2\text{O}_3$ （约在444.3 eV）和  $\text{InPO}_4$ （约在445.3 eV）<sup>[186-188]</sup>。在键合前，InP 衬底表面的主要成分为 InP，只有少量的氧化物存在。而键合后分开的 InP 表面氧化物含量急剧增加，成为主要成分，而 InP 则急剧降低。键合后氧化物增加的现象与 Si-Si 键合一致<sup>[147]</sup>。等离子体激活 Si 衬底表面时，会产生需要的悬挂键，这些悬挂键会自发的与水分子发生反应，产生硅醇基（Si-OH），从而增加表面的亲水性<sup>[133]</sup>。

InP 与 Si 键合的过程中应该也发生类似的过程，如图4.10所示。在 N<sub>2</sub>等离子体激活 InP 和 Si 衬底表面后，亲水性增强，与水分子反应分别形成 InP-OH 和 Si-OH，同时水分子也会被吸附在表面。在室温下键合后，InP 与 Si 衬底间通过单分子层水分子和醇基-OH 形成的范德瓦尔斯型氢键粘合。在高温下，InP-OH 和 Si-OH 间的氢键转变为 InP-O-Si，发生如下反应：



此外多余的水分可能会扩散到 Si 层，发生 (1.12) 的反应。基于对 InP 与 Si 键合机制的分析，以及与 Si-Si 键合中气泡产生的对比，认为 InP 薄膜气泡中的气体来源于键合反应的产物以及键合界面水分子的解吸附产生的。

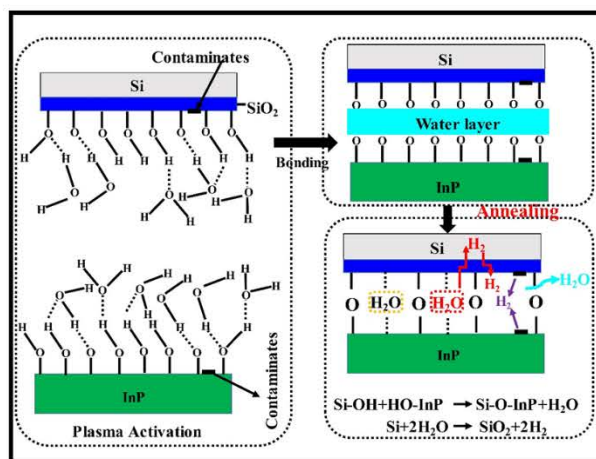


图 4.10 InP-Si 键合过程

Figure 4.10 The InP-Si bonding process

#### 4.1.4 气泡的消除

在键合界面产生的气泡，由于是由亲水性键合反应的产物引起，因此，很难从根源上将其抑制。在 Si-Si 键合中，通常是采用将键合对在高温 800 °C 以上进行退火处理，利用氧化层的疏松结构，使得键合界面处产生的气体能够扩散出体外<sup>[185]</sup>。但是，对于 InP 与 Si 衬底键合，由于 InP 和 Si 之间存在较大的热失配，高温工艺会使得 InP 与 Si 衬底间热应力增大，会导致发生解键合，甚至发生裂片。此外，当温度超过 300 °C 时，InP 组分会发生分解<sup>[189]</sup>。因此高温工艺不适用于 InP 与 Si 衬底键合后消除气泡。

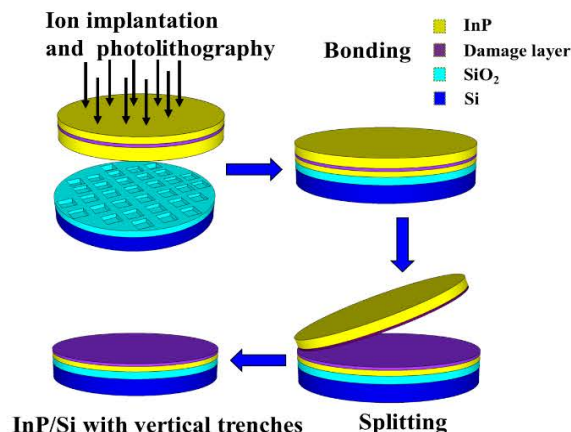


图 4.11 InP 薄膜转移至刻有纵向沟槽的 Si 衬底流程图

Figure 4.11 The schematic of InP thin film transferred to Si with vertical trenches

我们尝试采用物理的方法，将键合界面产生的水汽导出到外界。首先我们采用纵向沟槽的方法，尝试将界面产生的水汽导入 Si 衬底的氧化层中，再通过氧化层的疏松结构，将键合界面产生的气体导出。纵向的沟槽定义为垂直 Si(100) 晶面方向的沟槽，具体工艺流程如图4.11所示。与正常采用离子束剥离 InP 流程相比，只在第一步发生改变，在含有500 nm 热氧化层的 Si 衬底上，通过光刻的方法，刻蚀形成不同尺寸(2  $\mu\text{m}$ 、4  $\mu\text{m}$ 、6  $\mu\text{m}$ 、8  $\mu\text{m}$ )以及不同间距(25  $\mu\text{m}$ 、50  $\mu\text{m}$ 、100  $\mu\text{m}$ 、200  $\mu\text{m}$ )的纵向沟槽，刻蚀深度为250 nm,具体刻蚀尺寸分布如图4.12所示。将 InP 薄膜转移到此图案 Si 衬底，得到表面 OM 图如图4.13所示。其中4.13 (a) 图为间距为25  $\mu\text{m}$  的区域，(b) 图为间距200  $\mu\text{m}$  的区域，(c) 图为间距50  $\mu\text{m}$  区域，(d) 图为间距100  $\mu\text{m}$  区域。可以看出，间距为25  $\mu\text{m}$  的区域基本没有气泡产生，而其他间距区域均有气泡产生。在间距为50  $\mu\text{m}$  和100  $\mu\text{m}$  的区域，气泡规则排列，气泡的间距与沟槽的间距一致，并且每个气泡的尺寸大小基本一致。在间距为200  $\mu\text{m}$  区域，尺寸为2  $\mu\text{m}$  沟槽处没有气泡产生，而在4  $\mu\text{m}$ 、6  $\mu\text{m}$  和8  $\mu\text{m}$  处，均产生规则排列的气泡，并且气泡间距为200  $\mu\text{m}$ 。因此，利用纵向沟槽排气中，最有效的沟槽间距为25  $\mu\text{m}$ ，但是由于间距太小，可用的有效面积很小，因此，纵向沟槽排气并不是一个很好的避免气泡的方法。

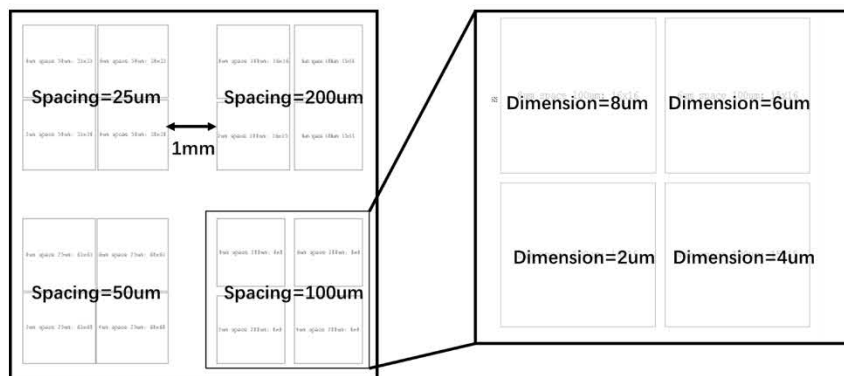


图 4.12 Si 衬底纵向沟槽间距及尺寸分布

Figure 4.12 The distribution of spacing and dimension of vertical trenches on Si substrate

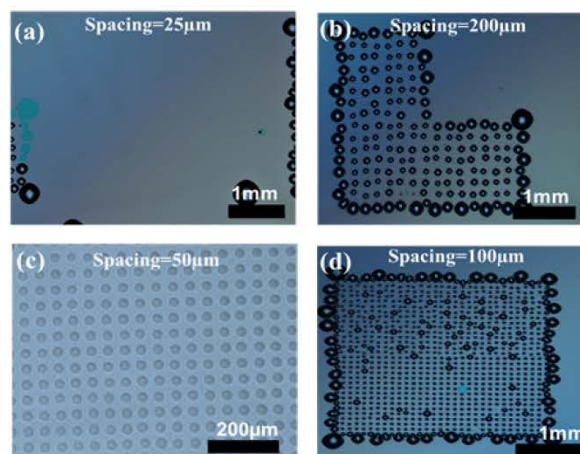


图 4.13 带有纵向沟槽的 InPOI OM 图

Figure 4.13 The OM images of InPOI with vertical trenches

(a) 纵向沟槽间距25  $\mu\text{m}$  区域； (b) 纵向沟槽间距200  $\mu\text{m}$  区域； (c) 纵向沟槽间距50  $\mu\text{m}$  区域； (d) 纵向沟槽间距100  $\mu\text{m}$  区域

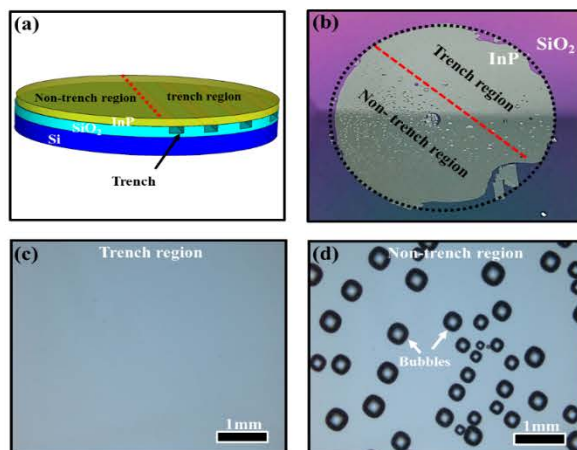


图 4.14 2英寸 InP 薄膜转移到一半面积刻有沟槽的 Si 衬底

Figure 4.14 2-inch InP film transferred onto the Si substrate with a half-area patterned

(a) InP 薄膜转移到图案化 Si 衬底图示； (b) 2英寸 InP 薄膜转移至一半面积图案化 Si 衬底照片； (c) 沟槽区域 OM 图； (d) 非沟槽区域的 OM 图

随后我们尝试采用刻蚀横向沟槽的方法将键合界面产生的气体直接导出体外。横向沟槽定义为平行或者垂直于 Si 衬底的定位边方向。为了验证横向沟槽的排气的有效性，我们将含有500 nm 热氧化层 Si 衬底的一半区域刻蚀有横向沟槽形状，另一半无沟槽结构，其中沟槽的间距 (S) 采用500  $\mu\text{m}$ ，尺寸 (D) 为2  $\mu\text{m}$ ，深度为250 nm，然后通过离子束剥离技术，将2英寸的 InP 薄膜转移至刻有沟槽结构的 Si 衬底，如图4.14 (a) 几何图形所示。图4.14 (b) 为 InP 转移后的照片，可以清晰的看出，在有沟槽的区域无气泡产生，而在无沟槽的区域产生大量的气泡。图4.14 (c) 和 (d) 分别为有沟槽和无沟槽区域表面形貌的 OM 图。从无沟槽区域到有沟槽区域，气泡密度逐渐降低，直到为0。这说明横向沟槽能够有效的排除气体。

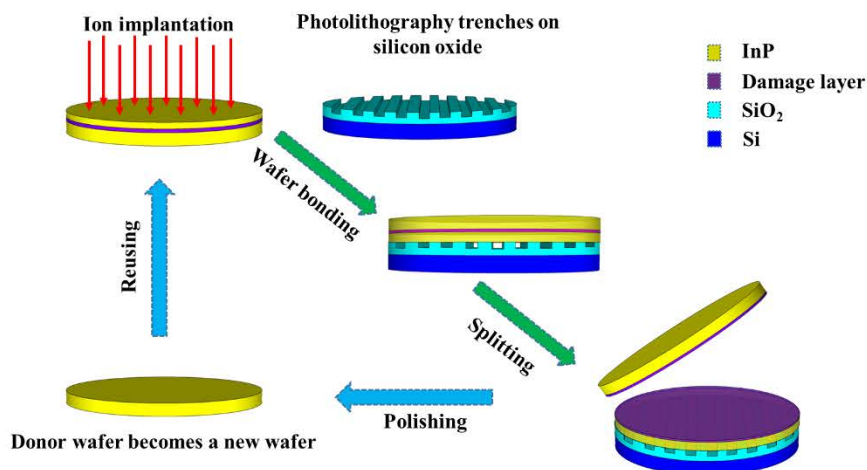


图 4.15 转移 InP 薄膜至刻有横向沟槽 Si 衬底流程图

Figure 4.15 The process flow for transferring InP thin film on Si substrate with lateral trenches

为了分析横向沟槽 S 和 D 对沟槽排气效果的影响，我们将2英寸 InP 薄膜转移至光刻有不同 S（200  $\mu\text{m}$ 、500  $\mu\text{m}$  和1 mm）和 D（2  $\mu\text{m}$  和8  $\mu\text{m}$ ）的 Si 衬底上，具体工艺流程如图4.15所示。转移后的 InP 薄膜的照片和表面 OM 图如图4.16所示，其中 InP 薄膜在照片中用虚线圆圈标出。随着沟槽间距从200  $\mu\text{m}$  增加到500  $\mu\text{m}$ ，无论沟槽尺寸为2  $\mu\text{m}$  还是5  $\mu\text{m}$ ，InP 薄膜表面均平坦光滑，无任何的气泡产生。然而，当沟槽间距增加到1 mm 时，在沟槽尺寸为2  $\mu\text{m}$  和8  $\mu\text{m}$  的 InP 薄膜均出现少量的气泡。随着沟槽间距的增加，沟槽密度逐渐减低，键合界面通过沟槽排除的可能性降低。在沟槽间距为1 mm 时，沟槽尺寸为2  $\mu\text{m}$  和8  $\mu\text{m}$  上 InP 产生的气泡密度基本一致，这说明沟槽的间距比沟槽的尺寸对排气效果影响更大。

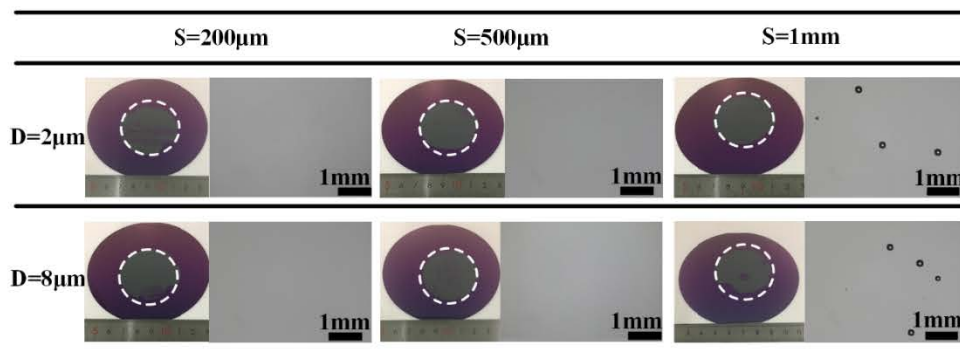


图 4.16 InP 薄膜转移至不同沟槽尺寸 Si 衬底的照片和 OM 图

Figure 4.16 The photos and OM images of InP thin film transferred on Si substrate with

## different S and D of trenches

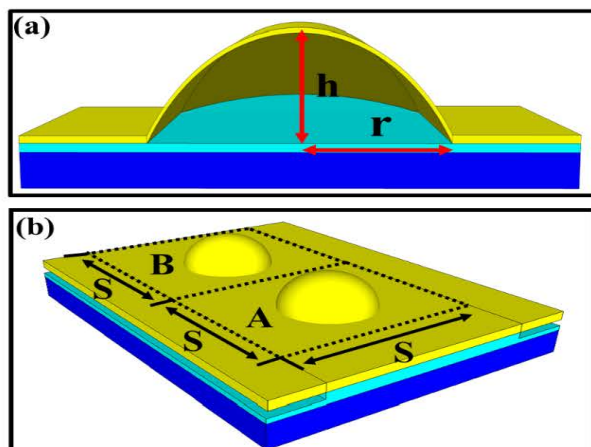


图 4.17 气泡的模型示意图

Figure 4.17 The schematic drawing of bubble's model

(a) 气泡的剖面图； (b) 某一确定面积 A 负责一个气泡的产生和生长而面积 B 负责另一个气泡的产生和生长

为了详细的研究横向沟槽与气泡的关系，参照 Si 键合界面气泡，基于热动力学建立模型。基于热动力学<sup>[146]</sup>，吉布斯自由  $\Delta G$  能可以表示为

$$\Delta G = W(r) + \Gamma(r) + E_{\text{elastic}}(r, \Delta p) \quad \dots (4.10)$$

其中  $W(r)$  为气泡体积增加产生的额外势能，可表达为

$$W(r) = -\Delta p V_{\text{bubble}} \quad \dots (4.11)$$

其中  $\Delta p = p_i - p_{\text{outside}}$  ( $p_i$  为气泡内部压强， $p_{\text{outside}}$  为气泡外部压强)， $V_{\text{bubble}}$  为气泡的体积。假设气泡的体积近似为圆锥体，并且高度为  $h$ ，如图 4.17 (a) 所示。则气泡的体积可表示为公式 (4.1) 和 (4.3) 所示。 $\Gamma(r)$  为界面能，可表示为

$$\Gamma(r) = \pi \gamma r^2 \quad \dots (4.12)$$

其中  $\gamma$  为单位面积的界面能。 $E_{\text{elastic}}(r, \Delta p)$  为弹性能，可表示为

$$E_{\text{elastic}}(r, \Delta p) = \frac{1}{2} \pi \alpha r^2 h \Delta p \quad \dots (4.13)$$

因此吉布斯自由能可以表示为

$$\Delta G = -\frac{1}{2} \Delta p \pi \alpha r^2 h + \pi \gamma r^2 = -\frac{\Delta p \pi \alpha r^6}{128D} + \pi \gamma r^2 \quad \dots (4.14)$$

其中 InP 的硬度可表示为

$$D = \frac{E^3}{12(1-\nu^2)} \quad \dots (4.15)$$

其中 E 为 InP 的杨氏模量为 84 GPa, t 为 InP 薄膜的厚度为 670 nm,  $\nu$  为 InP 的泊松比为 0.36。

在 InP 与 Si 衬底键合中, 键合能通常超过 InP 体的断裂能, 因此很难通过拉伸或者插入刀片法测出 InP 与 Si 间的界面能, 因此单位面积的界面能估算为 InP 的断裂能  $0.75 \text{ J/m}^2$ <sup>[190]</sup>。由于 InP 薄膜的厚度很薄, 因此起泡内外压强差不大, 假设  $\Delta p \approx 1 \text{ atm}$ 。当  $\alpha = 1/3$  时<sup>[146]</sup>, 吉布斯自由能可以表示为

$$\Delta G(\text{erg}) = -3.38 \times 10^4 r^6 + 23.56 r^2 \quad \dots (4.16)$$

吉布斯自由能  $\Delta G$  随气泡半径  $r$  的变化曲线如图 4.18 红色线所示。随着  $r$  的增加,  $\Delta G$  先是增加, 在临界半径  $r_c$  处达到最大值。当  $r < r_c$  时,  $\partial \Delta G / \partial r > 0$ , 此时气泡不能稳定存在, 将会逐渐消失。而  $r \geq r_c$  时,  $\partial \Delta G / \partial r \leq 0$ , 此时气泡可以继续生长。

假设存在一个确定的面积提供一个气泡的产生和生长, 为了覆盖整个表面, 这个确定的面积定义为正方形, 如图 4.17 (b) 中虚线区域 A 或者 B。其中 A 面积中产生的气体分子扩散聚集到一个气泡中, 而 B 面积中产生的气体分子扩散聚集在另一个气泡中。此时理想气态方程定义为

$$p_i V_{\text{bubble}} = N_{\text{bubble}} K T \quad \dots (4.17)$$

其中  $N_{\text{bubble}}$  为一个气泡中的气体分子数,  $K$  为玻尔兹曼常数 ( $1.38 \times 10^{-16} \text{ erg/K}$ ),  $T$  为绝对退火温度。通常, 气泡的尺寸要小于周围的有效面积, 因此, 在一个周期的沟槽中, 一个气泡的有效面积要小于沟槽的间距。定义面积  $A = S^2$ , 基于反应 (4.9), 假设只有键合反应产物  $\text{H}_2\text{O}$  分子进入气泡中, 单位面积的分子密度近似等于 InP (100) 面的原子面密度。因此  $N_{\text{bubble}}$  可以表示为

$$N_{\text{bubble}} = C S^2 \quad \dots (4.18)$$

理想气态方程可以表示为

$$p_i V_{\text{bubble}} = C S^2 K T \quad \dots (4.19)$$

因此，我们获得沟槽间距  $S$  与气泡半径  $r$  的关系为

$$S = \left( \frac{p_i \pi \alpha \Delta p}{64 D C K T} \right)^{\frac{1}{2}} r^3 \quad \dots (4.20)$$

当  $p_i = 2 \text{ atm}$ ， $\Delta p = 1 \text{ atm}$ ， $C = 5.8 \times 10^{12} / \text{mm}^2$  和  $T = 423.15 \text{ K}$  时，

$$S = 630.56 r^3 \quad \dots (4.21)$$

沟槽间距  $S$  与气泡半径  $r$  的关系在图4.18中用蓝色线表示。当  $r = r_c$  时，沟槽间距  $S$  达到临界值  $S_c = 1.2 \text{ mm}$ 。当  $S < S_c$  时，有效面积内产生的气体分子数不足支撑一个稳定气泡的产生和生长。这个结果与图4.16结果一致。但是在图4.16中，沟槽间距为  $1 \text{ mm}$  时，表面就已经出现气泡，这是由于在理论模型中，我们只假设气泡中气体分子只来源于键合反应的产物  $\text{H}_2\text{O}$  分子，在实际中，气泡中气体分子还可能由于表面吸附的水分子解吸附造成。因此理论计算所得沟槽间距的临界值要大于实际值。

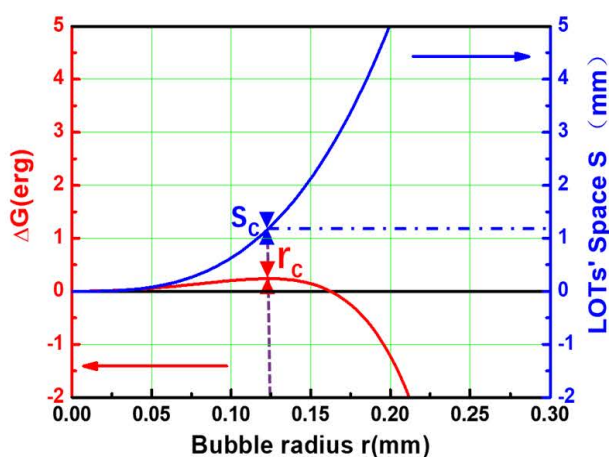


图 4.18 吉布斯自由能  $\Delta G$  和沟槽间距  $S$  随起泡半径  $r$  的变化

Figure 4.18 The plot of Gibbs free energy  $\Delta G$  and LOTs' space  $S$  as radius  $r$  of bubble

#### 4.1.5 无绝缘层硅晶圆级 InP 单晶薄膜制备

在应用中，有时候并不希望 InP 和 Si 衬底之间存在氧化层，如硅基太阳能电池。但是在亲水性键合过程中一定是存在氧化层的，因此，要实现 InP 与 Si 衬底间的无氧化层的结合，就要采用疏水性键合，其中最为代表的方式就是表面激活键合 (SAB) [154]。在 SAB 键合的整个过程中，均处于高真空环境，其中，晶圆表面存在的自然氧化层被等离子体轰击去除。

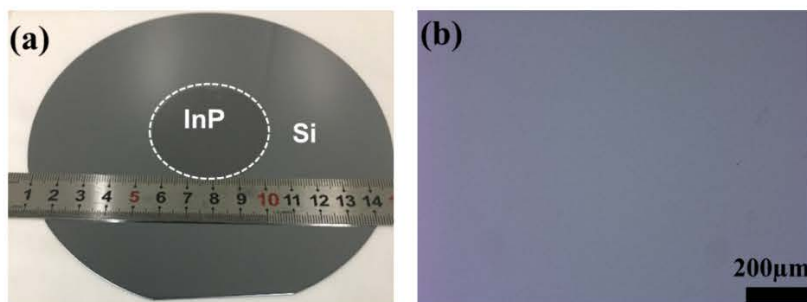


图 4.19 无氧化层硅基 InP 薄膜

Figure 4.19 Si-based InP film without oxide layer

(a) 无氧化层硅基 InP 薄膜照片；(b) InP 薄膜表面 OM 图

我们通过采用 SAB 键合的方法，采用离子束剥离技术将2英寸的 InP 晶圆转移到6英寸的 Si 衬底上，如图4.19 (a) 所示，其中 InP 薄膜用白色虚线圈出。可以看出转移的 InP 薄膜的面积完整。图4.19 (b) 图为转移的 InP 薄膜表面 OM 图，从图中可以看出，转移的 InP 薄膜表面光滑平坦，无任何的气泡产生。

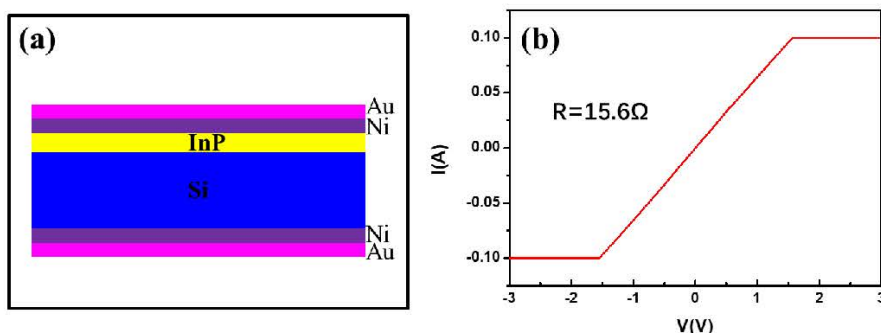


图 4.20 InP/Si 的电学表征

Figure 4.20 The electrical characterization of InP/Si

(a) InP/Si 衬底沉积 Ni/Au 电极示意图；(b) InP/Si 衬底的 I-V 曲线

为了确认 InP 与 Si 衬底间是否不存在氧化物绝缘层，我们分别在 InP/Si 异质衬底上、下面沉积20 nm Ni/20 nm Au 作为电极，如图4.20 (a) 所示。随后对该异质衬底进行电学测试，得到 I-V 曲线如图4.20 (b) 所示。从图中可以看出 InP 薄膜和 Si 衬底间具有很好的导电性，并没有出现绝缘现象，证明 InP 和 Si 衬底间并没有形成氧化绝缘层。

为了验证 InP/Si 衬底在高温下的稳定性，我们将 InP/Si 衬底在 As 气氛(由实

验室 MBE 腔中V族只有 As 源, 故选 As 作为保护气)的保护下, 以30 °C/min 升温到700 °C, 随后降温, 对表面进行 OM 和 SEM 测试分析, 如图4.21 (a)、(b) 所示, 从图中可以看, 退火后的 InP 表面没有出现任何的气泡或者脱落现象, 但是在表面出现许多黑色的点状物, 随后对黑色的点状物使用 X 光微区分析(EDS), 如图4.21 (c) 所示, 这是由于在高温退火过程中, 没有使用 P 进行保护, 造成 InP 中 P 的组分挥发, In 聚集形成 In 的液滴。因此, 证明 InP/Si 组分在高温下如果在相应保护气氛中可以稳定存在。

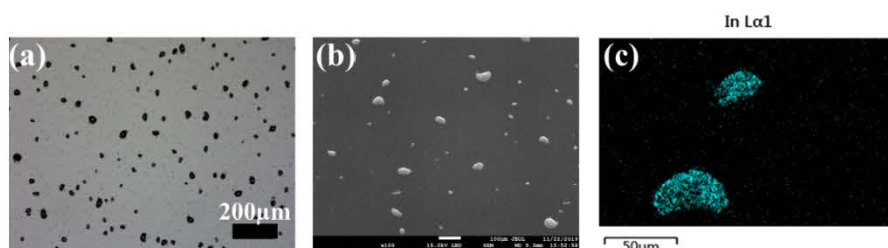


图 4.21 700 °C退火后 InP/Si 表面表征

Figure 4.21 The characterization of the surface on InP/Si after annealing at 700 °C

(a) InP 薄膜 OM 图; (b) InP 薄膜 SEM 图; (c) InP 薄膜 EDS 图。

## 4.2 硅基 InP 薄膜优化及表征

采用离子束剥离方法转移的 InP 薄膜存在表面损伤层以及离子注入引入的部分缺陷等, 会影响 InP 薄膜的单晶质量, 因此需要在转移后进行相关的质量优化过程。本节主要介绍 InP 薄膜优化工艺以及薄膜表征。

### 4.2.1 优化 InP 薄膜单晶质量

为了表征转移的 InP 薄膜的质量, 进行 (004) XRD 摇摆曲线的测量, 如图 4.22 所示, 其中 InP 单晶衬底的摇摆曲线作为对比。对比 InP 衬底的摇摆曲线, 发现在转移后的 InP 薄膜中, XRD 摇摆曲线出现双峰, 其中一个峰位于 InP 的 (004) 布拉格衍射峰处, 另一个峰位于小于布拉格衍射峰的  $0.084^\circ$  处, 这说明转移的 InP 薄膜中存在一层晶格畸变层。在两峰的相对强度上, 畸变峰的强度占衍射主峰的 79%, 这说明 InP 薄膜中畸变晶格层较多。

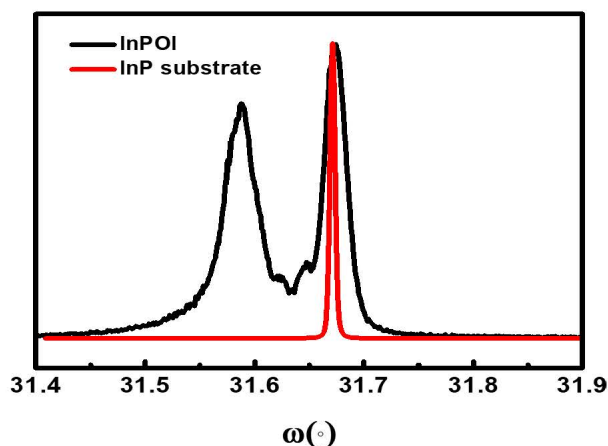


图 4.22 InPOI 和 InP 衬底的 (004) XRD 摇摆曲线

Figure 4.22 The (004) XRD rocking curves of InPOI and InP substrate

我们猜测这些畸变晶格是由于离子注入引入的缺陷造成。由于这些注入缺陷并不是处于稳定状态,我们尝试在高温下,给予缺陷一定的能量,使其发生复合,恢复其单晶质量。随后以1 °C/min 的升温速率升温到400 °C对 InPOI 高温退火1小时,再对退火后的 InPOI 进行 (004) XRD 摇摆曲线表征,如图4.23所示。从图中可以看出,经过400 °C高温退火后,畸变峰消失,这证明高温退火对转移 InP 质量的恢复是有效的。同时退火过程中 InP 薄膜并未发生剥落现象。由于 InP 组分在高温下容易分解,因此,退火温度不能太高,故本论文中采用的后退火温度为400 °C。

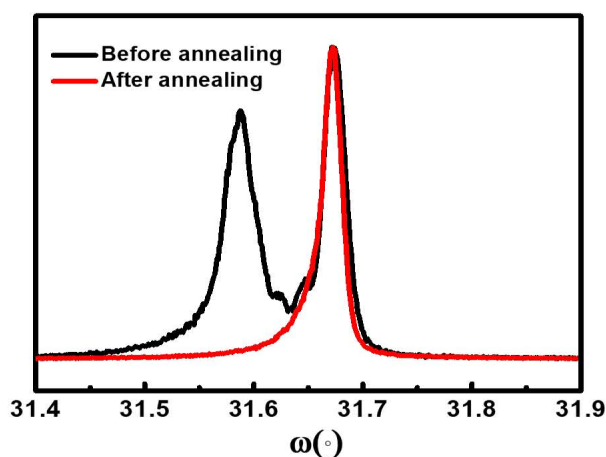


图 4.23 400 °C退火前后 InP 薄膜 (004) XRD 摇摆曲线

Figure 4.23 The (004) XRD rocking curves of InP film before and after annealing at 400 °C

#### 4.2.2 优化 InP 单晶薄膜表面

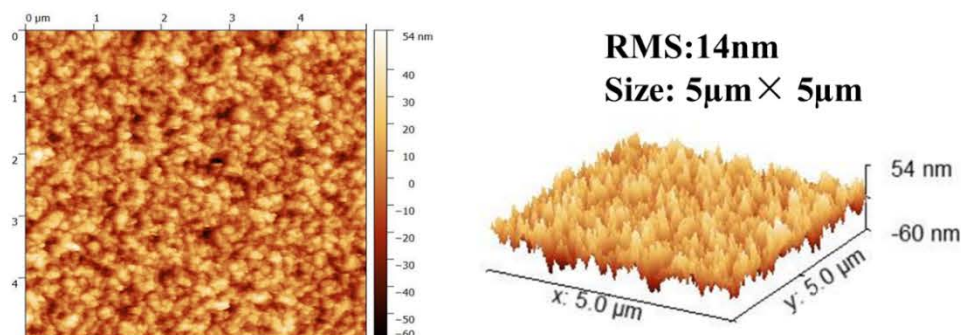


图 4.24 InP 薄膜表面 AFM 图

Figure 4.24 The AFM images of InP film

在离子束剥离技术剥离 InP 薄膜中，其表面粗糙度（RMS）与微裂缝的深度分布有关<sup>[155]</sup>。我们对转移的 InP 薄膜进行表面 AFM 测试，在 tapping 模式下，得到 InP 薄膜的表面 AFM 图如图4.24所示。转移得到的 InP 薄膜表面粗糙不平，在  $5\ \mu\text{m} \times 5\ \mu\text{m}$  的范围内，其表面粗糙度为 14 nm，而商用的 InP 衬底的表面粗糙度在 0.5 nm 以下，因此，为了使 InP 薄膜表面达到商用衬底的水平，需要对薄膜表面进行光滑处理。

此外，我们对转移的 InP 薄膜和离子注入后 InP 衬底进行 TEM 表征，如图 4.25 所示。其中 4.25 (a) 为 InP 衬底注入离子后 TEM 图，(b) 为转移的 InP 薄膜 TEM 图。离子注入会在 InP 衬底中引入 230 nm 的缺陷层，如图 4.25 (a) 所示。从图 4.25 (b) 可以看出，转移的 InP 薄膜厚度为 670 nm，表层具有 150 nm 厚的损伤层，并且表面起伏不平，这与图 4.24 的 AFM 图相吻合。对应图 4.25 (a) 图，670 nm 深度处位于缺陷层底部，距离缺陷层上边界为 150 nm，这与图 4.25 (b) 中 InP 薄膜表层 150 nm 缺陷层对应，说明转移的 InP 薄膜表面存在着由离子注入引入的 150 nm 的损伤层。因此，在使用 InP 薄膜前，必须去除 InP 薄膜表层 150 nm 的损伤层。

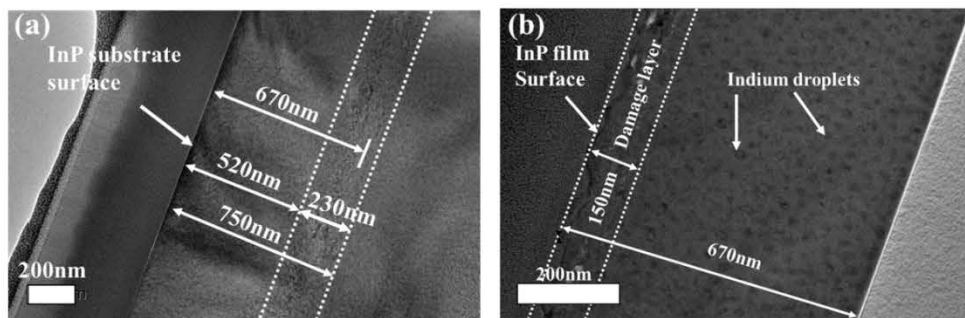


图 4.25 InP 衬底和 InP 薄膜 TEM 图

Figure 4.25 The TEM images of InP substrate and InP film

(a) 离子注入后的 InP 衬底 TEM 图；(b) 转移的 InP 薄膜的 TEM 图

为了同时去除 InP 薄膜表面损伤层以及降低 InP 薄膜的表面粗糙度，我们首先采用化学腐蚀的方法处理经过高温退火恢复的 InP 薄膜，用腐蚀的方法去除 InP 薄膜表面的损伤层，同时利用缺陷处与非缺陷处的腐蚀速率差，尝试将表面平滑化。化学试剂采用体积比为  $\text{HCl}:\text{H}_3\text{PO}_4:\text{C}_2\text{H}_4\text{O}_2=1:1:3$  的混合溶液，经过标定，该混合溶液对 InP 的腐蚀速率为  $300\text{ nm}/\text{min}$ 。我们对经过不同腐蚀时间的 InP 薄膜进行 AFM 测试，如图 4.26 所示。从图 4.26 可以看出，腐蚀 10s 时，InP 薄膜的表面 RMS 由原来的  $14\text{ nm}$  降低为  $4.19\text{ nm}$ ，腐蚀 20 s 时，表面 RMS 再次降低为  $4.13\text{ nm}$ ，但是随着腐蚀时间超过 20 s，表面 RMS 逐渐增加，35 s 时为  $4.44\text{ nm}$ ，45 s 时为  $4.46\text{ nm}$ 。因此对于 InP 表面 RMS 而言，腐蚀 20 s 为最佳腐蚀时间。

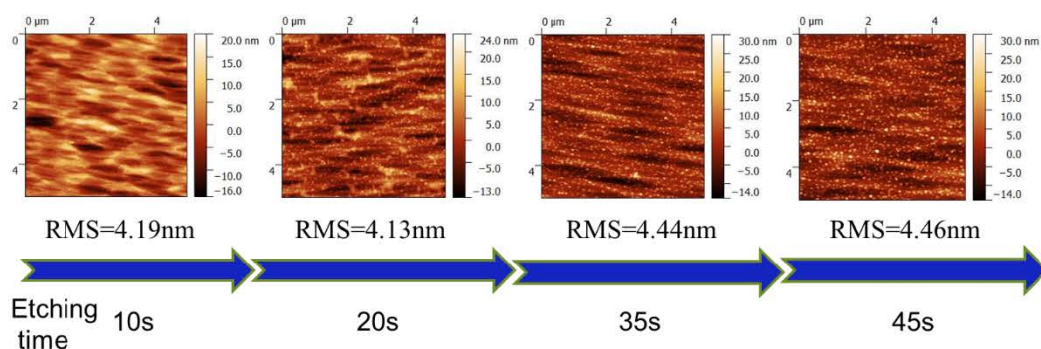


图 4.26 不同腐蚀时间下的 InP 薄膜 AFM 图

Figure 4.26 The AFM images of InP film after etching for different time

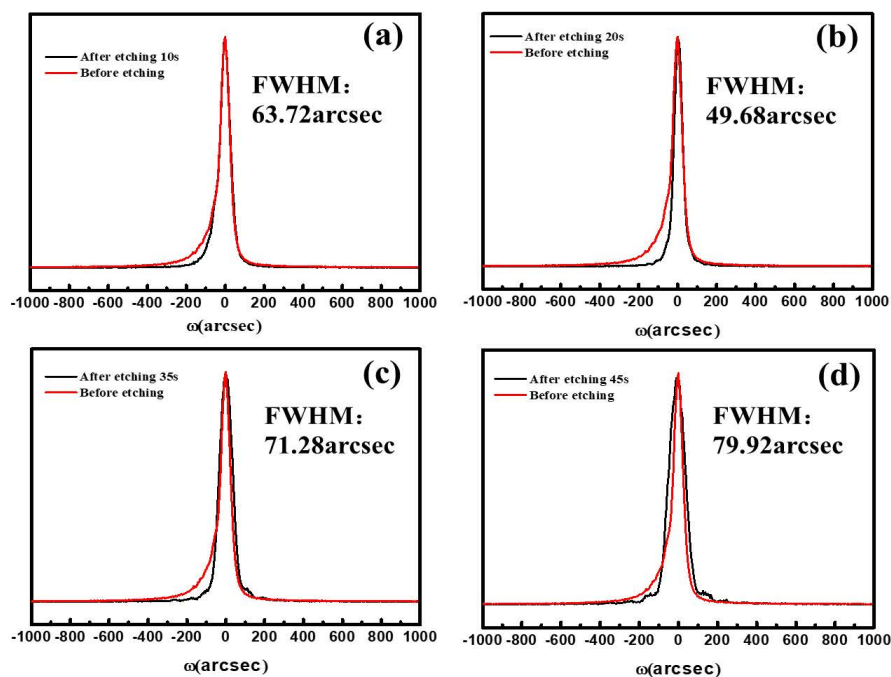


图 4.27 不同腐蚀时间后的 InP 薄膜 (004) XRD 摇摆曲线

Figure 4.27 The (004) XRD rocking curves of InP film after etching for different time

此外，我们也对经过不同腐蚀时间的 InP 薄膜进行 (004) XRD 摇摆曲线表征，并与腐蚀前进行对比，如图4.27所示。在腐蚀10 s 时，虽然 XRD 摇摆曲线半高宽 (FWHM) 基本与腐蚀前一致，为63.72 arcsec，但是摇摆曲线的对称性得到改善，证明 InP 薄膜的损伤减少。在腐蚀20 s 后，InP 薄膜的摇摆曲线 FWHM 得到显著降低，为49.68 arcsec，说明 InP 薄膜质量得到提高，并且摇摆曲线的对称性进一步提高。而在腐蚀35 s 后，发现 InP 薄膜的摇摆曲线的 FWHM 增大为71.28 arcsec，在腐蚀45 s 后，InP 薄膜的摇摆曲线 FWHM 进一步增大为79.92 arcsec。这与腐蚀后 InP 薄膜表面 RMS 的变化一致。此时，对于 InP 薄膜质量来说，腐蚀的最佳时间为20 s。

随着腐蚀时间的增加，腐蚀产生的损伤也逐渐增加，造成 InP 薄膜质量降低和表面 RMS 升高。通过上述实验，得到采用体积比为  $\text{HCl}:\text{H}_3\text{PO}_4:\text{C}_2\text{H}_4\text{O}_2=1:1:3$  的混合溶液处理 InP 薄膜时，最佳的腐蚀时间为20 s。

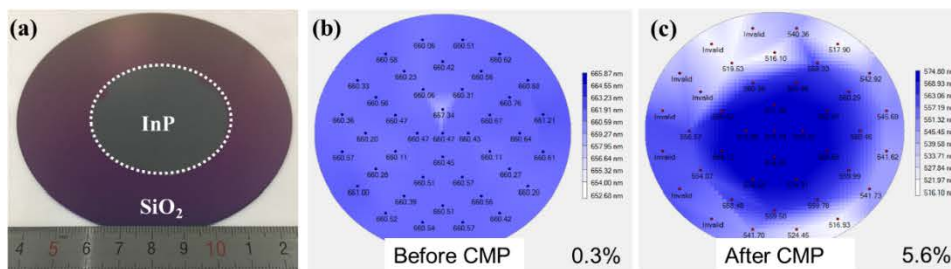


图 4.28 CMP 前后 InP 薄膜厚度分布

Figure 4.28 The thickness distribution of InP film before and after CMP

(a) 用于 CMP 的 InPOI 衬底照片； (b) CMP 前 InP 薄膜的厚度分布图； (c) CMP 后 InP 薄膜的厚度分布图

虽然通过化学腐蚀的方法，可以有效的提高 InP 薄膜的质量以及改善 InP 薄膜的表面 RMS，但是其表面 RMS 仍然不能达到商用衬底水平。对此，我们采用 CMP 进一步提高 InP 薄膜表面 RMS。我们对 CMP 前后的 InP 薄膜厚度进行光学测试，利用白光干涉仪，对整个晶圆进行面扫，如图4.28所示，其中图4.28 (a) 为用于 CMP 的 InPOI 衬底，(b) 和 (c) 图分别为 CMP 前后的 InP 薄膜厚度分布图。抛光前 InP 薄膜的厚度偏差仅为0.3%，但是，经过 CMP 去除约100 nm-150 nm 的厚度时，InP 薄膜的厚度偏差提高到5.6%。后续会尝试降低 CMP 过程中的去除速率，增加去除时间来改善 CMP 后的厚度偏差问题。同时我们也对 CMP 后的 InP 薄膜表面进行 AFM 表征，如图4.29所示。经过 CMP 抛光后的 InP 薄膜表面 RMS 降低到0.5 nm 以下，与商用 InP 衬底相同。因此，通过 CMP 处理的 InP 薄膜可以显著的降低其表面 RMS，达到商用程度，但是其厚度偏差会略微增大。

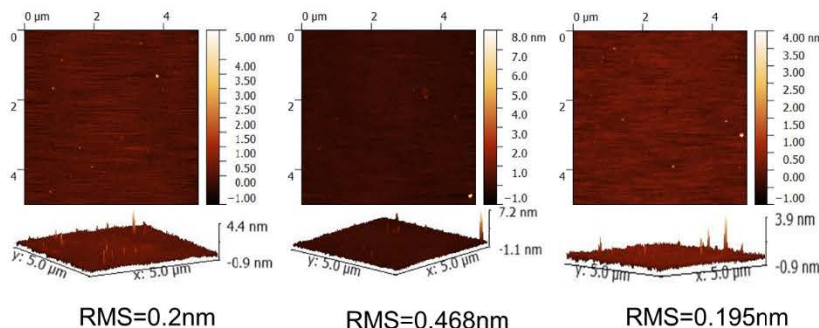


图 4.29 经过 CMP 后 InP 薄膜表面 AFM 图

Figure 4.29 The AFM images of the surface on InP film after CMP

### 4.2.3 硅基 InP 单晶薄膜质量表征

通过上述 InPOI 制备工艺、InP 薄膜的质量提高以及表面优化，我们成功的制备了带有横向沟槽结构的高质量2英寸 InPOI 结构。

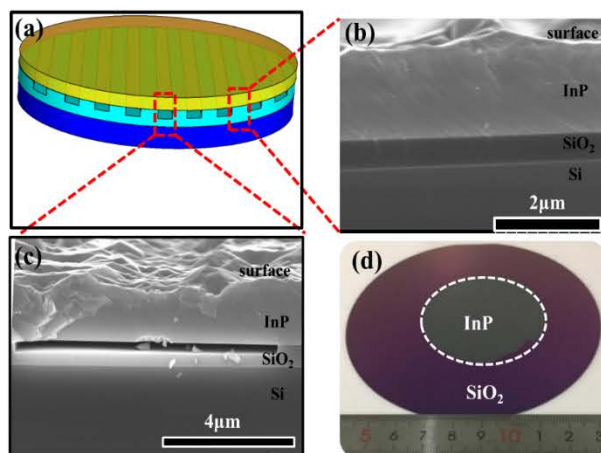


图 4.30 带有横向沟槽的 InPOI 的结构表征

Figure 4.30 The structural characterization of InPOI with lateral trenches

(a) InPOI 结构示意图。(b) InPOI 沟槽区域 SEM 图；(c) 非沟槽区域 SEM 图；  
(d) 为 InPOI 的照片。

我们对 InPOI 的沟槽区域与非沟槽区域进行 SEM 表征，如图4.30所示，其中 (a) 图为 InPOI 的结构示意图，(b) 和 (c) 分别为 InPOI 非沟槽区域和沟槽区域的 SEM 图，(d) 为 InPOI 的照片。从4.30 (b) 图中可以看出，InPOI 在非沟槽区域显示出明显的三层结构，分别为 InP 层、SiO<sub>2</sub>和 Si 层。在图4.30 (c) 图中，可以明显看出沟槽结构，整个 InP 薄膜悬空在沟槽上，并且 InP 薄膜并没有出现任何的裂痕。因此，转移的 InP 薄膜完整的与 SiO<sub>2</sub>/Si 衬底结合，如图 (d) 所示。

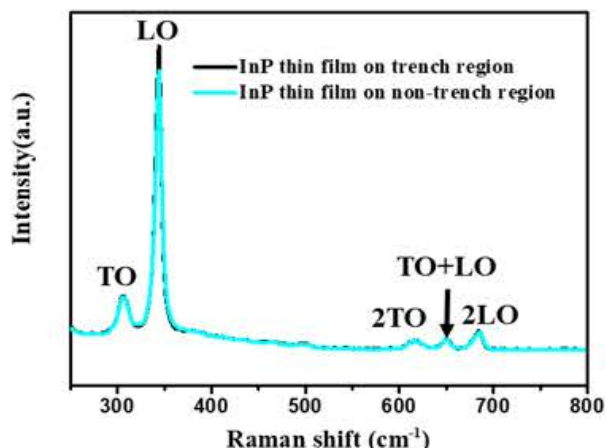


图 4.31 沟槽区域和非沟槽区域 InP 薄膜 Raman 谱图

Figure 4.31 The Raman spectra of InP film on trench and non-trench region

随后，我们又对 InPOI 的沟槽区域和非沟槽区域进行微区 Raman 表征，如图 4.31 所示。在沟槽区域和非沟槽区域 Raman 谱中，均在  $306.9$  和  $344.6\text{ cm}^{-1}$  处出现 InP 典型一级 LO 和 TO 模<sup>[191]</sup>。TO 模的强度要弱于 LO 模，这是由于在 (100) 面背散射中，它是被禁止的。在  $617$ 、 $650$  和  $682\text{ cm}^{-1}$  处出现二级 2LO、2TO 和 LO+TO 模<sup>[191]</sup>。沟槽区域和非沟槽区域的两条 Raman 谱线完全重合，说明 InP 薄膜在沟槽区域和非沟槽区域质量、应力完全一致。因此整个 InPOI 上的 InP 薄膜均为有效器件面积。

为了表征最终实现的 InPOI 的质量，我们采用 (004) XRD 摇摆曲线以及 TEM 进行质量表征，如图 4.32 所示，其中 (a) 图为 InP 薄膜的 (004) XRD 摇摆曲线，(b) 图为 InPOI 的 TEM 图。InPOI 衬底上的 InP 薄膜的 XRD FWHM 为  $60\text{ arcsec}$ ，相比 InP 单晶衬底的 XRD 半高宽  $16\text{ arcsec}$  略有增宽，部分原因是由于转移的 InP 薄膜中还存在部分的未复合的缺陷，此外，还由于随着薄膜厚度的降低，XRD FWHM 也会自然增宽，但相对于质量原因造成的增宽，此增宽影响较小。从图 4.32 (b) 中，可以看出 InP 薄膜与  $\text{SiO}_2$  层之间形成了明显的键合界面，并且在键合界面中没有任何的孔洞产生。同时，InP 薄膜中没有明显的缺陷形成，晶格规则排列，与 SAED 图中规则排列的点阵对应，说明转移的 InP 薄膜呈现高单晶质量。

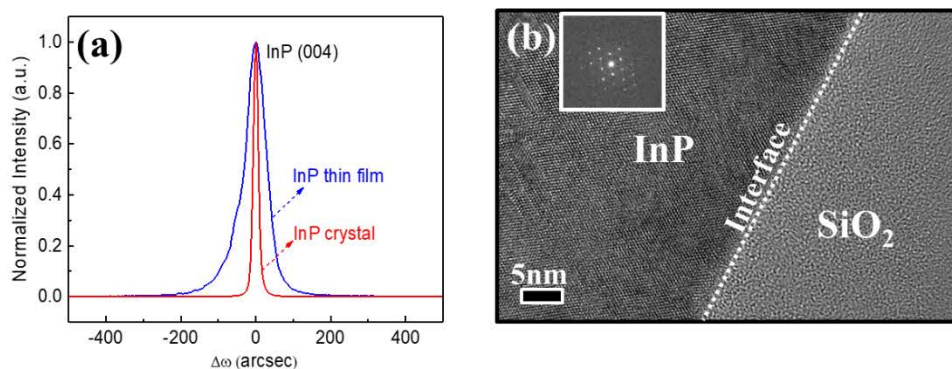


图 4.32 InPOI 质量表征

Figure 4.32 The qualitative characterization of InPOI

(a) InP 薄膜和 InP 衬底 (004) XRD 摇摆曲线; (b) InPOI TEM 图

#### 4.2.4 硅基 InP 衬底的外延层光学、电学性能表征

为了表征 InPOI 衬底的外延层的光学和电学性能,我们在 InPOI 衬底上使用分子束外延 (MBE) 法外延生长电学层和光学量子阱 (QW) 层,同时在 InP 单晶衬底生长同样的结构作为对比,具体生长结构如表4.1所示。其中从第2层-4层为光学结构,第4层为腐蚀截止层,第5层-9层为电学层。首先我们对电学层进行霍尔测试,得到电子迁移率如表4.2所示。在 InPOI 衬底上外延生长的电学结构的电子迁移率为 $2140 \text{ cm}^2/\text{v.s}$ ,在 InP 单晶衬底上外延同样的电学结构的电子迁移率为 $2300 \text{ cm}^2/\text{v.s}$ ,二者电子迁移率相近,证明在 InPOI 衬底上外延生长的电学结构质量与 InP 单晶衬底质量相近。

表 4.1 InPOI 衬底上 MBE 外延生长电学结构和光学结构

Table 4.1 The optical and electrical structures epitaxially grown on InPOI substrate

层顺序	材料	厚度 (nm)
1	InP buffer	200
2	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	200
3	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	15
4	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	200
5	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	100

6	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	10
7	Si-delta doping ( $2 \times 10^{12} \text{ cm}^{-2}$ )	
8	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	40
9	N- $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ( $4 \times 10^{18} \text{ cm}^{-3}$ )	50

表 4.2 电学结构霍尔测试

Table 4.2 The Hall measurement for electrical structure

结构	电子迁移率 $\text{cm}^2/\text{v.s}$
InP 衬底生长电学结构	2300
InPOI 衬底生长电学结构	2140

随后我们将电学层腐蚀掉，留下光学层，并对光学层进行 PL 测试，如4.33所示。从图中可以看出，在 InPOI 衬底上外延生长的 QW 的发光峰相对在 InP 衬底外延的 QW 峰有所偏移，这可能是由于 InPOI 衬底在高温下的热应力引起的。但是对比两者的发光强度，在 InPOI 衬底上的 QW 层的发光强度达到了在 InP 衬底的65%，这说明 InPOI 衬底可以用于外延生长光学器件结构。

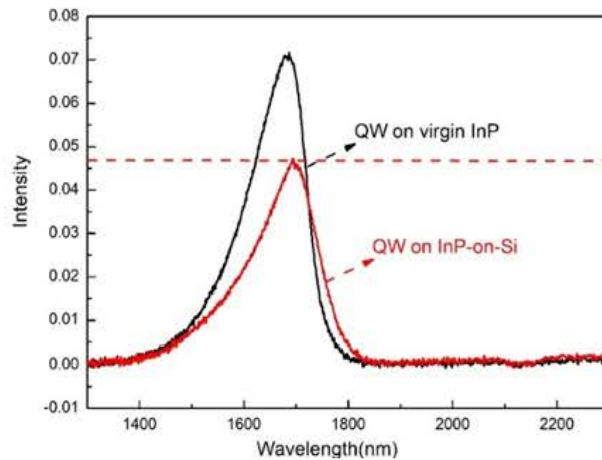


图 4.33 生长在 InPOI 衬底和 InP 衬底的 QW 的 PL 图

Figure 4.33 The PL spectra of the QW grown on InPOI and InP substrates

总之，制备出的 InPOI 衬底可以用于电学器件结构和光学器件结构外延的模板，其生长质量与 InP 衬底具有可比性。

### 4.3 基于 InPOI 衬底的硅基 InGaAs p-i-n 探测器

为了验证 InPOI 衬底外延生长光学器件的能力，我们在 InPOI 衬底上利用 MBE 外延生长 InGaAs p-i-n 探测器，具体结构如表4.3所示，同时在 InP 衬底上生长相同的探测器结构作为对比。

表 4.3 InGaAs p-i-n 探测器结构

Table 4.3 The structure of InGaAs p-i-n photodetector

层数	组分	掺杂浓度(/cm <sup>3</sup> )	厚度(μm)
1	InP (n <sup>+</sup> )	$\geq 2 \times 10^{18}$	1
2	In <sub>0.53</sub> Ga <sub>0.47</sub> As (n <sup>-</sup> )	$3 \times 10^{16}$	1.5
3	InP (p <sup>+</sup> )	$5 \times 10^{18}$	0.6
4	In <sub>0.53</sub> Ga <sub>0.47</sub> As (p <sup>+</sup> )	$5 \times 10^{18}$	0.05

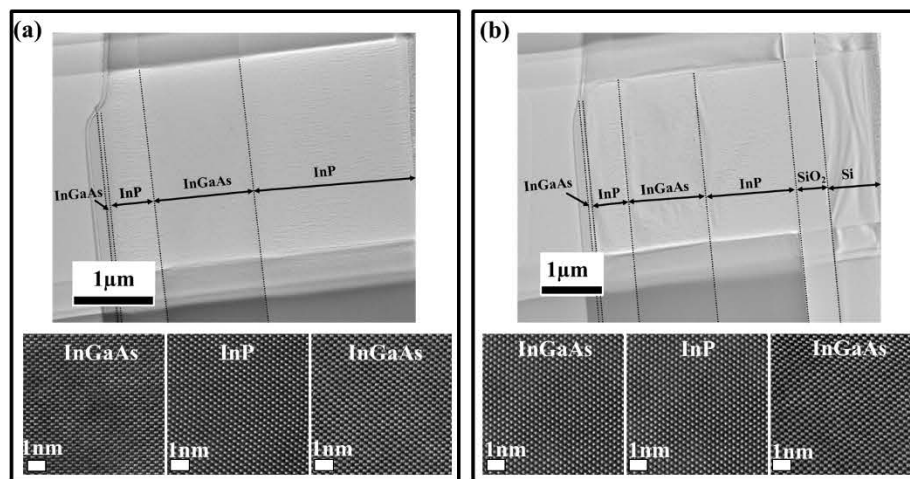


图 4.34 InP 和 InPOI 上探测器的 TEM 和 STEM 图

Figure 4.34 The TEM and STEM images of photodetectors on InP and InPOI substrates

(a) 在 InP 衬底外延探测器结构的 TEM 和 STEM 图； (b) 在 InPOI 衬底外延探测器结构的 TEM 和 STEM 图

对外延生长后的结构进行 TEM 表征，如图4.34所示，其中图 (a) 和 (b) 分别为在 InP 衬底和 InPOI 衬底外延探测器结构的 TEM 图和 STEM 图。从上方的 TEM 图可以看出，在两种衬底上外延相同的结构，每层结构具有明显的分界，

并且均无明显的缺陷出现。下方分别对应着 InGaAs、InP、InGaAs 三层的 STEM 图，从图中可以看出，在两种衬底外延层中，原子排列规则整齐，没有明显的缺陷产生，均呈现高的单晶质量，这说明在 InPOI 衬底上外延效果与在 InP 衬底相同，外延层均呈现高的单晶质量。

我们对制备成功的两种不同衬底的探测器进行 1550 nm 波段不同光功率下的 I-V 测量，如图 4.35 (a) 和 (b) 所示，其中 (a) 图对应在 InP 衬底制备的探测器，(b) 图对应在 InPOI 衬底制备的探测器。选取在  $U=-10$  mV 时的电流作为暗电流。在 InP 衬底的探测器的暗电流密度为  $6.7 \mu\text{A}/\text{cm}^2$ ，而在 InPOI 衬底中暗电流密度为  $6.2 \mu\text{A}/\text{cm}^2$ ，两者暗电流密度相接近，InPOI 衬底上的探测器暗电流密度更小，可能是由于中间存在  $\text{SiO}_2$  绝缘层的原因。我们从图 4.35 (a) 和 (b) 中提取  $U=0$  V 时的不同光功率下的光电流，如图 4.35 (c) 和 (d) 图所示。随着光功率的增大，光电流也直线增加，提取直线的斜率作为探测的响应度，则 InP 衬底探测的响应度为  $R=0.73 \text{ A}/\text{W}$ ，InPOI 衬底的响应度要弱一点，为  $R=0.72 \text{ A}/\text{W}$ 。由于此探测器并未进行相关结构优化以及生长条件优化，即使在 InP 衬底上的探测器性能与国际现有 InP 基探测器性能相比，仍具有很大差距，后期可以通过优化结构及生长条件，提升探测器性能。

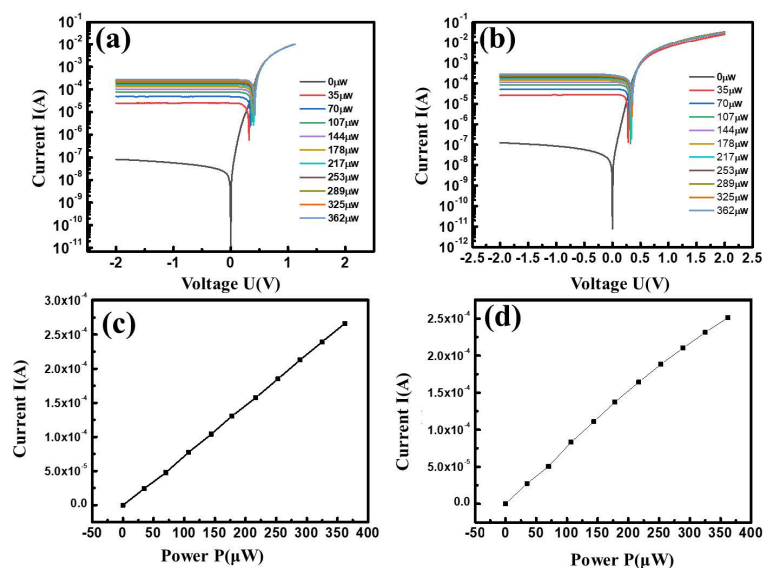


图 4.35 InP 和 InPOI 基探测器性能表征

Figure 4.35 The characterization of performance of photodetectors on InP and InPOI substrates

(a) InP 基探测器在不同光功率下的 I-V 曲线；(b) InPOI 基探测器在不同光功率下的 I-V 曲线；(c)  $U=0$  V 时 InP 基探测器光电流与光功率的关系；(d)  $U=0$  V 时 InPOI 基探测器光电流与光功率的关系

综上，可以发现 InPOI 衬底外延制备的探测器与 InP 衬底外延制备的探测器在外延质量和性能方面都相接近，说明制备的 InPOI 衬底可以与 InP 衬底一样，作为有效的器件外延平台，能够促进硅基光电集成的发展。

#### 4.4 本章小结

本章基于离子束剥离技术制备了硅基 InP 异质集成衬底，对硅基 InP 异质集成衬底的材料质量进行了优化，研究了硅基 InP 异质集成衬底的光学和电学特性，并基于硅基 InP 异质集成衬底制备了 InGaAs p-i-n 探测器。

1. 在采用离子束剥离技术转移 InP 薄膜过程中，发现转移的薄膜表面出现很多的气泡，并对气泡形成原因进行分析，认为气泡是由亲水性键合反应的产物引起的。

2. 采用纵向和横向沟槽消除键合界面气泡。纵向沟槽只有在沟槽间距为  $25\ \mu\text{m}$  时，才能有效消除气泡，但是有效器件面积较少，而横向沟槽在保证有效器件面积的同时也能很好的抑制气泡的产生，并建立热动力学模型对气泡和沟槽的关系进行了描述，发现沟槽间距为气泡消除能力的第一影响因素，当沟槽间距大于临界值时，气泡会再次出现。

3. 优化 InPOI 衬底。采用  $400\ ^\circ\text{C}$  高温后退火来优化 InPOI 的单晶质量，并采用湿法腐蚀以及 CMP 来去除 InP 薄膜的表面损伤层以及降低表面粗糙度，最终实现高质量 InPOI 衬底。

4. 对 InPOI 衬底的外延层进行电学和光学表征。发现在 InPOI 衬底上的外延层的电学性能与在 InP 衬底相近，而 QW 的发光强度也达到在 InP 衬底的 65%。

5. 在 InPOI 衬底外延制备 InGaAs p-i-n 探测器。与 InP 基 InGaAs p-i-n 探测器相对比，发现 InPOI 衬底上外延探测器结构的质量以及性能都与 InP 基探测器相接近，说明 InPOI 衬底可以作为有效的外延生长平台，能够有效促进硅基光电

集成的发展。

## 第5章 晶圆级硅基 GaAs 和 GaSb 薄膜制备

基于第3章和第4章对 InP 离子束剥离机制的分析以及制备晶圆级硅基 InP 薄膜的工艺研究,在本章中,采用离子束剥离技术实现 GaAs 和 GaSb 薄膜与硅衬底的异质集成。

### 5.1 晶圆级硅基 GaAs 薄膜制备

GaAs 作为第二代半导体材料,由于具有直接带隙、高的迁移率等优点,在光电器件方面具有广泛的应用。将 GaAs 与 Si 集成,可以充分利用 GaAs 优越光电性能,并且可以结合成熟的硅 CMOS 工艺平台,有助于形成高性能、低成本、小型化的系统。

传统的 GaAs 与 Si 异质集成的方法为异质外延法,但是由于 GaAs 和 Si 之间存在大的晶格失配(3.9%)、大的热失配(128.1%)以及晶型失配,导致外延的 GaAs 薄膜中存在很多缺陷,这些缺陷的存在会严重影响器件的性能和可靠性。离子束剥离的方法可以避免异质外延中的失配问题。对于 GaAs 的离子束剥离相关工作已经被报道。经过研究发现,采用 H 离子注入剥离 GaAs 薄膜时,存在一个注入温度窗口 160 °C-250 °C,在此温度窗口下注入 H 离子,才会使得 GaAs 薄膜发生剥离<sup>[178]</sup>。但是,在注入过程中很难控制温度。在本节中通过对 GaAs 离子束剥离机制的研究,最终确定最优的注入条件,实现室温注入剥离转移晶圆级高质量 GaAs 薄膜并对薄膜进行相关表征。

#### 5.1.1 GaAs 剥离行为分析

表 5.1 注入 GaAs 中 H 离子和 He 离子剂量

Table 5.1 The fluence of H and He ions implanted in GaAs

	剂量1 (cm <sup>-2</sup> )	剂量2 (cm <sup>-2</sup> )	剂量3 (cm <sup>-2</sup> )
H 离子	2 × 10 <sup>16</sup>	5 × 10 <sup>16</sup>	1 × 10 <sup>17</sup>
He 离子	2 × 10 <sup>16</sup>	5 × 10 <sup>16</sup>	1 × 10 <sup>17</sup>

每种材料的结构及物理性质的差异,导致离子注入后将产生不同的剥离行为,

基于对 InP 剥离行为的研究, 首先我们研究 GaAs 在不同的注入离子种类和剂量的条件下的单离子注入剥离行为。在室温条件下, 分别在 (100) GaAs 衬底上注入 H 离子和 He 离子, 其离子剂量如表 5.1 所示。其中为了保证 H 离子和 He 离子的注入最大浓度的深度  $R_p$  一致, 采用 SRIM 仿真, 如图 5.1 所示, 当 H 离子注入能量为 75 KeV, He 离子的注入能量为 115 KeV 时, H 离子和 He 离子的  $R_p$  基本一致, 约为 610 nm, 因此确定 H 离子的注入能量为 115 KeV, He 离子的注入能量为 75 KeV。

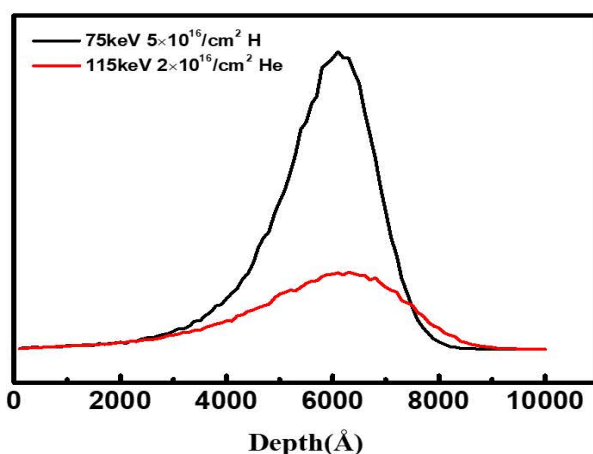


图 5.1 SRIM 仿真 He 和 H 离子分布

Figure 5.1 The simulated results of H and He ion distribution by SRIM

对注入 H 离子和 He 离子的 GaAs 样品在 150 °C 下退火 1 小时, 用 OM 对表面进行表征, 得到表面 OM 图如图 5.2 所示, 其中 (a) 图为单独注入不同剂量 H 离子的样品退火后的 OM 图, 在 (b) 图为单独注入不同剂量 He 离子的样品退火后的 OM 图。随着注入 H 离子剂量从  $2 \times 10^{16} / \text{cm}^2$  增加到  $1 \times 10^{17} / \text{cm}^2$ , 退火前后样品表面均无变化, 证明室温注 H 离子, 即使在高剂量下仍不能使得 GaAs 发生剥离。在单独注入 He 离子的样品中, 注入剂量为  $2 \times 10^{16} / \text{cm}^2$  时, 退火后表面无变化, 但当注入剂量增加到  $5 \times 10^{16} / \text{cm}^2$  时, 表面出现大面积剥离现象, 随着注入剂量增大到  $1 \times 10^{17} / \text{cm}^2$ , 整个 GaAs 薄膜均发生剥落, 说明室温注入 He 离子的剂量超过  $5 \times 10^{16} / \text{cm}^2$  时, 能够有效的剥离 GaAs 薄膜。

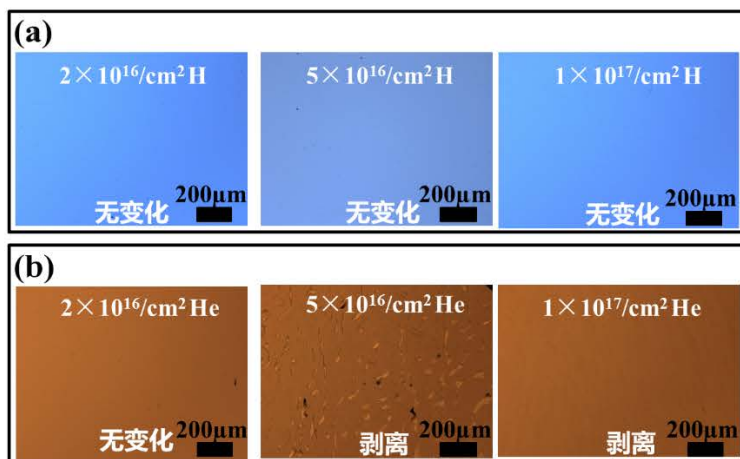


图 5.2 单独注入 H 和 He 离子 GaAs 退火后 OM 图

Figure 5.2 The OM images of GaAs implanted H ions and He ions after annealing

(a) 注入不同剂量 H 离子的 GaAs 样品在150 °C退火1小时后的表面 OM 图； (b) 注入不同剂量 He 离子的 GaAs 样品在150 °C退火1小时后的表面 OM 图。

随后我们研究了共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和不同剂量的 H 离子( $2 \times 10^{16} / \text{cm}^2$ 、 $5 \times 10^{16} / \text{cm}^2$ 、 $1 \times 10^{17} / \text{cm}^2$ ) 的 GaAs 样品的剥离行为。将共注不同 H 离子剂量的 GaAs 样品在150 °C下退火1小时后，采用 OM 进行表面形貌表征，如图5.3所示。当固定共注 He 离子剂量为 $2 \times 10^{16} / \text{cm}^2$ ，H 离子注入剂量为 $2 \times 10^{16} / \text{cm}^2$ ，退火后表面没有任何变化，随着 H 离子注入剂量增加到 $5 \times 10^{16} / \text{cm}^2$ ，退火后表面出现大面积的剥落现象，继续增加 H 离子剂量到 $1 \times 10^{17} / \text{cm}^2$ ，表面仍然会出现大面积的剥落现象，并没有出现第3章中描述的 InP 离子共注剥离中 H 离子的共注剂量窗口现象。因此采用 He/H 离子共注剥离 GaAs 薄膜时，当 He 离子剂量固定为 $2 \times 10^{16} / \text{cm}^2$ 时，H 离子的注入剂量要大于等于 $5 \times 10^{16} / \text{cm}^2$ 时，才能实现 GaAs 薄膜的剥离。

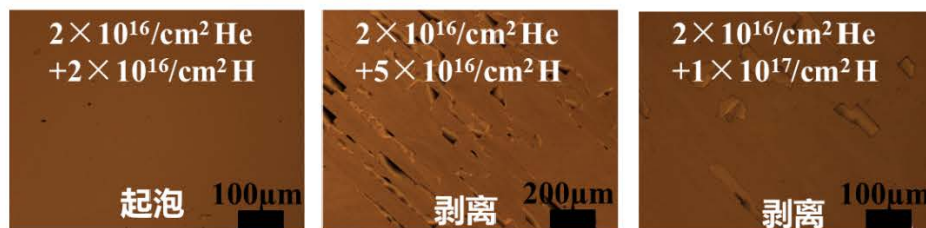


图 5.3 退火后共注 He 和 H 离子 GaAs OM 图

Figure 5.3 The OM images of GaAs samples co-implanted with He and H ions after

## annealing.

综上所述，单独室温注入 $5 \times 10^{16} / \text{cm}^2$  He 离子或者共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $5 \times 10^{16} / \text{cm}^2$  H 离子均可使得 GaAs 发生剥离。我们通过 SRIM 仿真计算两种注入条件下由离子注入引入的注入缺陷 (DPA)，如图 5.4 所示。从图中可以看出，共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $5 \times 10^{16} / \text{cm}^2$  H 离子产生的 DPA 要远小于 $5 \times 10^{16} / \text{cm}^2$  He 离子产生的 DPA，因此，为了减少离子注入引入的损伤，剥离 GaAs 薄膜的最佳注入条件为室温共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $5 \times 10^{16} / \text{cm}^2$  H 离子。

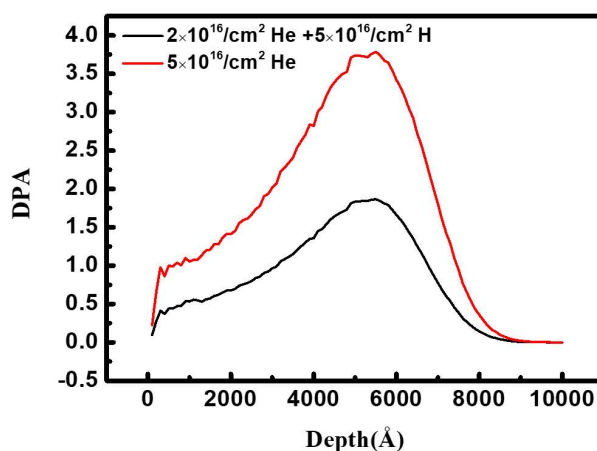


图 5.4 SRIM 仿真 GaAs 中 DPA 分布

Figure 5.4 The DPA distribution simulated by SRIM in GaAs

为了研究退火过程中微观缺陷的形成，我们对共注 $2 \times 10^{16} / \text{cm}^2$  He 离子和 $5 \times 10^{16} / \text{cm}^2$  H 离子的 GaAs 样品在 $150 \text{ }^\circ\text{C}$ 退火 6 min 后进行 TEM 表征，如图 5.5 所示，其中 DPA 以及 He/H 离子分布在图 (a) TEM 图中表示出来，图 (b) 为图 (a) 中缺陷层处的高倍 TEM 图，插图为缺陷层处的 SAED 图。在图 5.5 (a) 中可以看出，离子注入 GaAs 中产生厚度约为 150 nm 的缺陷层，缺陷层的上边界位于离子分布的  $R_p$  处，而不是 DPA 峰值处，这可能是由于 He/H 离子在注入过程中发生相互作用，导致缺陷层下移。在图 5.5 (b) 中可以看出，在缺陷层的下边界附近出现板状缺陷，这意味着薄膜将从靠近下边界的位置剥离，此外，从 SAED 图中，可以看出，亮点成规则排列，亮点周围并没有非晶环的出现，这说明虽然在缺陷层处存在较多缺陷，但是并没有改变此处的单晶状态。

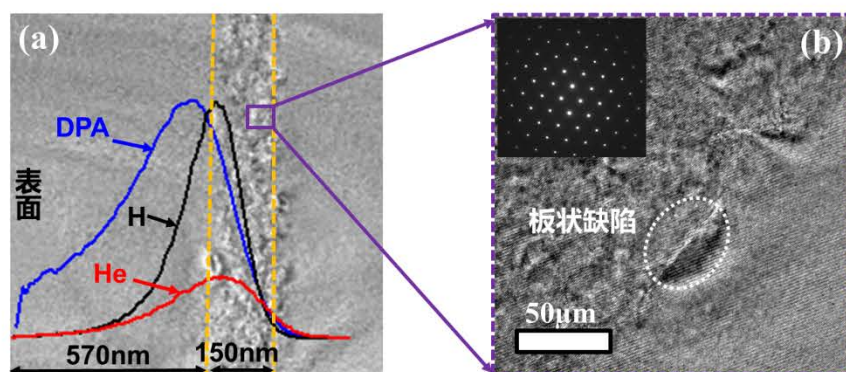


图 5.5 共注 He 和 H 离子 GaAs 退火后 TEM 图

Figure 5.5 The TEM image of GaAs sample co-implanted with He and H ions after annealing

(a) He/H 离子注入的 GaAs 样品在150 °C退火6 min 后的 TEM 图； (b) 缺陷层处的高倍 TEM 图，其中插图为缺陷层处的 SAED 图

### 5.1.2 晶圆级硅基 GaAs 薄膜制备

基于对 GaAs 剥离行为的分析，我们采用离子束剥离方法转移 GaAs 单晶薄膜到 SiO<sub>2</sub>/Si 衬底。选取最佳注入条件为在室温下 $2 \times 10^{16} / \text{cm}^2$  115 KeV He 离子和 $5 \times 10^{16} / \text{cm}^2$  75 KeV H 离子共注，为避免沟道效应，以偏离 (100) 2英寸 GaAs 晶圆垂直方向7° 进行离子注入。随后将离子注入后的 GaAs 晶圆与含有500 nm 氧化层的4英寸 (100) SiO<sub>2</sub>/Si 衬底通过 O<sub>2</sub>等离子进行表面激活，经过去离子水和超声水清洗后，在室温下实现 GaAs 晶圆与 SiO<sub>2</sub>/Si 衬底的键合,并对键合对采用 IR 照相表征键合界面情况，如图5.6 (a) 所示。最后在 N<sub>2</sub>保护下。在退火炉中经过150 °C退火1小时后降温取出，如图5.6 (b) 所示。移除剩余 GaAs 衬底实现 GaAs/SiO<sub>2</sub>/Si (GaAsOI) 异质集成衬底，如图5.6 (c) 所示。在图5.6 (a) 中。键合对的 IR 照片显示出两种衬度，其中中间区衬度偏深(用白色虚线圈标出)，边缘处颜色偏浅，这意味着中间的部分键合强度较弱，边缘处键合强度较强。在图5.6 (b) 中，可以看出剩余的 GaAs 衬底保存完整，为发生碎裂。在图5.6 (c) 中，可以看出转移的 GaAs 薄膜只有零碎的极小部分，并不是像 InP 那样完整的转移面积，其中边缘处较多，中心处较少，这与图5.6 (a) 中键合强度的分布相类似。GaAs 的热膨胀系数 ( $5.6 \times 10^{-6} / \text{K}$ ) 比 InP 的热膨胀系数 ( $4.6 \times 10^{-6} / \text{K}$ )

更大, 因此, 在高温下产生的热应力更大, 在加热时, 部分弱键合力小于热应力, 键合对发生解键合, 造成 GaAs 薄膜转移不完整。

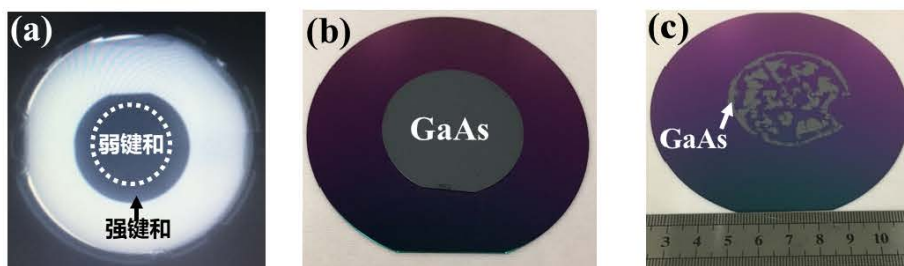


图 5.6 GaAs 剥离前后照片

Figure 5.6 The photos of GaAs before and after splitting

(a) GaAs/Si 键合对的 IR 照片; (b) 退火后未移除剩余 GaAs 衬底样品照片; (c) GaAsOI 衬底照片

要实现大面积的 GaAs 薄膜的转移, 必须要加强键合强度, 而直接键合强度已经不能满足要求, 因此我们决定采用介质层键合的方式, 选取  $\text{Al}_2\text{O}_3$  作为键合介质层。首先我们对比了有无  $\text{Al}_2\text{O}_3$  层对表面亲水性的影响, 采用原子层沉积 (ALD) 在 GaAs 表面沉积一层 10 nm 厚度  $\text{Al}_2\text{O}_3$  层, 在沉积  $\text{Al}_2\text{O}_3$  和未沉积  $\text{Al}_2\text{O}_3$  的 GaAs 表面分别滴一滴水滴, 如图 5.7 所示, 根据水滴与表面的夹角判断两种表面的亲水性, 夹角越小, 亲水性越好。量取沉积  $\text{Al}_2\text{O}_3$  的表面水滴与表面的夹角为  $36^\circ$ , 无  $\text{Al}_2\text{O}_3$  的 GaAs 表面水滴与表面的夹角为  $63^\circ$ , 因此,  $\text{Al}_2\text{O}_3$  的表面亲水性更强, 在室温下形成的键合强度更强。

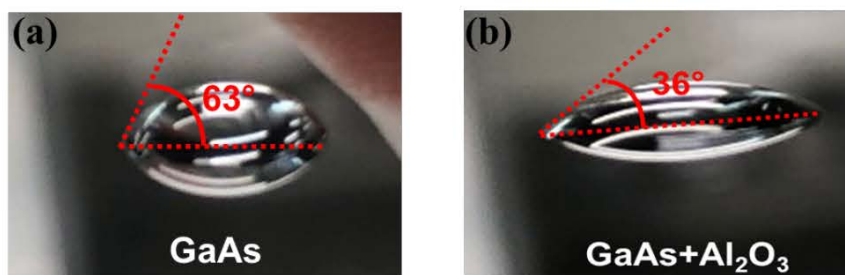


图 5.7 GaAs 和  $\text{Al}_2\text{O}_3$  表面水滴照片

Figure 5.7 The photo of water drops on surface of GaAs and  $\text{Al}_2\text{O}_3$

(a) GaAs 表面水滴照片; (b) GaAs 上沉积  $\text{Al}_2\text{O}_3$  表面水滴照片

因此，我们在离子注入前，分别在 GaAs 衬底和 SiO<sub>2</sub>/Si 衬底采用 ALD 在表面沉积10 nm 厚的 Al<sub>2</sub>O<sub>3</sub>层。在经过相同退火工艺后，将 GaAs 薄膜剥离转移到 SiO<sub>2</sub>/Si 衬底，如图5.8 (a) 和 (b) 所示，其中 (a) 图为刚从退火炉拿出的照片，(b) 图为移除剩余 GaAs 衬底后的照片。从图5.8 (a) 中可以看出，从退火炉取出的样品中剩余 GaAs 衬底发生碎裂，而在5.6 (b) 中剩余 GaAs 衬底并未碎裂，这是由于在退火过程中，未沉积 Al<sub>2</sub>O<sub>3</sub>层键合强度较弱，热应力以解键合的方式释放，故剩余 GaAs 不发生碎裂，而沉积 Al<sub>2</sub>O<sub>3</sub>层后键合强度增加，产生的热应力不能以解键合的方式释放，随着热应力的增加，当达到 GaAs 的断裂应能时，GaAs 衬底发生碎裂，热应力得以释放。图5.8 (b) 中显示转移的 GaAs 薄膜除了由于表面颗粒引入的孔洞外，其余面积较为完整。虽然在退火过程中 GaAs 衬底发生碎裂，但是并未影响 GaAs 薄膜的转移面积。

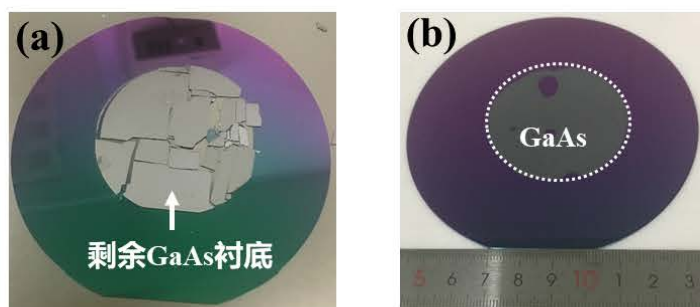


图 5.8 退火后 GaAs/Si 和 GaAsOI 照片

Figure 5.8 The photos of GaAs/Si and GaAsOI after annealing

(a) 退火后未移除 GaAs 衬底的样品照片； (b) GaAsOI 照片。

### 5.1.3 硅基 GaAs 薄膜表征

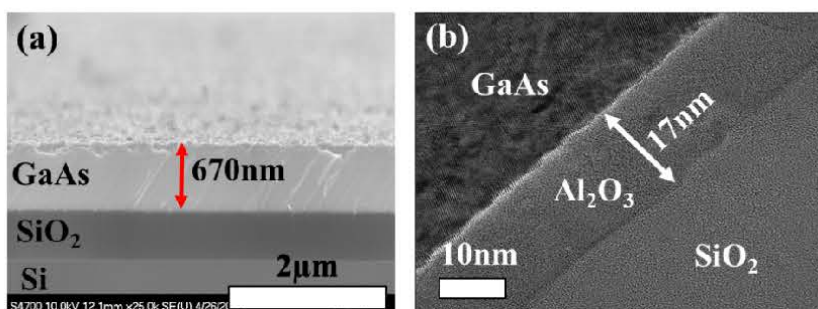


图 5.9 GaAsOI 结构表征

Figure 5.9 The structural characterization of GaAsOI

(a) GaAsOI SEM 图; (b) GaAsOI TEM 图

对制备出的 GaAsOI 衬底进行 SEM 和 TEM 结构表征, 如图5.9所示。从图5.9 (a) 中可以看出明显的 GaAs、SiO<sub>2</sub>、Si 三层结构, GaAs 薄膜厚度为670 nm 由于 GaAs 与 SiO<sub>2</sub>之间的 Al<sub>2</sub>O<sub>3</sub>层太薄, 从 SEM 图中无法分辨出来。而从图5.9 (b) 中可以明显的看到 Al<sub>2</sub>O<sub>3</sub>层, 厚度为17 nm, 由于沉积 Al<sub>2</sub>O<sub>3</sub>设备工艺的不稳定性, 造成 Al<sub>2</sub>O<sub>3</sub>厚度小于20 nm。在 Al<sub>2</sub>O<sub>3</sub>层中看不出任何键合界面的存在, 无任何的孔洞间隙产生, 说明键合质量很好。

随后我们对 GaAsOI 衬底的表面进行 OM 和 AFM 表征, 如图5.10所示。从图5.10 (a) 的 OM 图中, 可以看到 GaAsOI 表面很平坦, 并无任何气泡产生, 说明亲水性键合反应的产物已经完全扩散出界面。5.10 (b) 中可以得到 GaAsOI 表面很粗糙, RMS 高达15 nm, 因此, 后续需对 GaAsOI 衬底进行表面平滑处理。

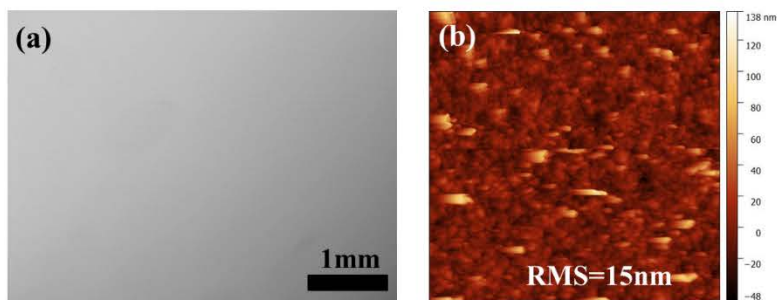


图 5.10 GaAsOI 表面表征

Figure 5.10 The characterization of the surface of GaAsOI

(a) GaAsOI 表面 OM 图; (b) GaAsOI 表面 AFM 图

为了表征 GaAsOI 衬底的 GaAs 薄膜的单晶质量, 对 GaAsOI 进行 TEM、STEM 和 SAED 表征, 如图5.11所示, 其中 (a) 图为 GaAsOI TEM 图, (b) 图为 GaAs 薄膜 STEM 图, (c) 图为 GaAs 薄膜 SAED 图。从图5.11 (a) 可以看出, 转移的 GaAs 薄膜表面起伏不平, 这与图5.10 (b) 的 AFM 相吻合。此外, 还可以看出转移的 GaAs 薄膜表面存在一层损伤层, 厚度约为150 nm, 后续应用中需去除该损伤层。从图5.11 (b) STEM 可以看出, GaAs 薄膜中原子规则排列, 图5.11 (c) SAED 图同样也呈现规则排列点阵, 这说明转移的 GaAs 薄膜具有很好的单晶质量。

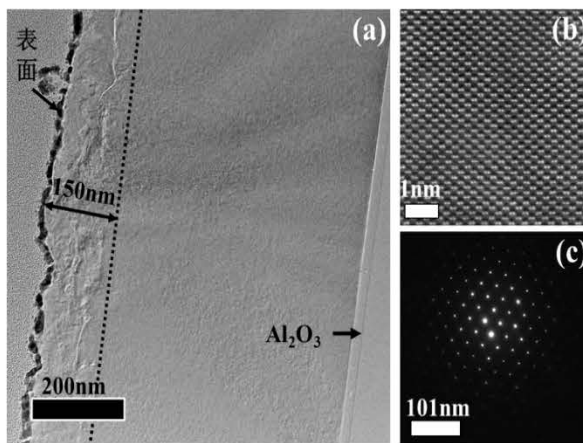


图 5.11 GaAs 薄膜的 TEM、STEM 和 SAED 图

Figure 5.11 TEM, STEM and SAED images of GaAs film

(a) GaAsOI TEM 图； (b) GaAs 薄膜 STEM 图； (c) GaAs 薄膜 SAED 图

为了去除 GaAs 薄膜表面损伤层以及降低表面 RMS，我们对 GaAsOI 表面进行 CMP 处理，选取晶圆照片为图5.12 (a) 所示，其中 GaAs 薄膜用白色虚线圈标出。CMP 前 GaAs 薄膜厚度分布如图5.12 (b) 所示，厚度在668 nm-681 nm，厚度偏差在0.4%。经过 CMP 处理后的表面经 AFM 表征，表面 RMS 降低为0.4 nm，与商用衬底相接近，如图5.12 (c) 所示。厚度分布如图5.12 (d) 所示，薄膜厚度在455 nm-504 nm，CMP 去除了约180 nm 厚度的 GaAs 薄膜，已经完全去除 GaAs 薄膜表面的损伤层，但是表面厚度偏差增加到5%。

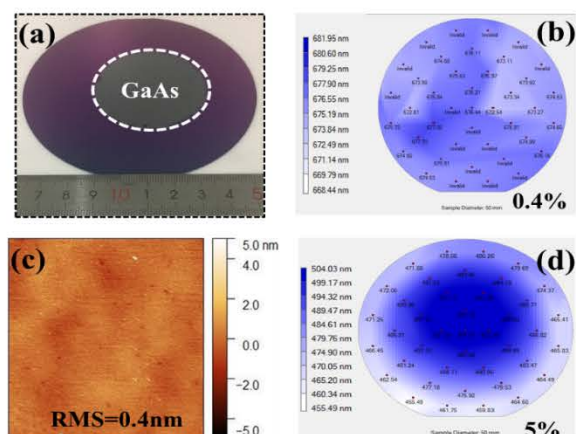


图 5.12 GaAs 薄膜 CMP 前后表征

Figure 5.12 The characterization of GaAs film before and after CMP

(a) 用于 CMP 的 GaAsOI 衬底照片；(b) CMP 前 GaAs 薄膜厚度分布；(c) CMP 后 GaAsOI 表面 AFM 图；(d) CMP 后的 GaAs 薄膜厚度分布图；

我们对 CMP 后的 GaAs 薄膜进行 (004) XRD 摇摆曲线表征, 如图5.13黑色曲线所示, 摇摆曲线的 FWHM 为103 arcsec。为了进一步恢复 GaAs 薄膜质量, 尝试像 InP 薄膜那样, 在  $N_2$  保护下400 °C退火0.5小时, 退火后进行 (004) XRD 摇摆曲线表征, 如图5.13红色曲线所示。对比退火前, 可以发现退火后的样品的摇摆曲线 FWHM 反而增宽了, 达到了155 arcsec, 经过分析认为, GaAs 薄膜之所以在高温后退火半高宽增加, 是由于 GaAs 的热膨胀系数相对较大, 在高温时由于与 Si 衬底间热失配太大, 产生很大的热应力, 造成内部缺陷无法复合, 反而发生增殖, 导致 GaAs 薄膜的质量变差, 因此 GaAs 薄膜不适合采用高温退火来提高其单晶质量。

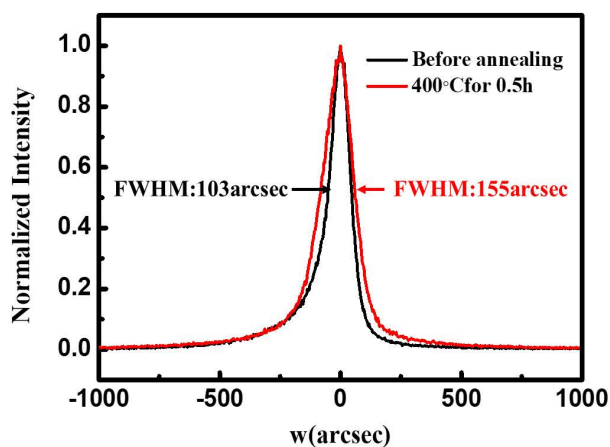


图 5.13 高温退火前后 GaAs 薄膜的 (004) XRD 摇摆曲线

Figure 5.13 The (004) XRD rocking curves of GaAs film before and after high-temperature annealing

## 5.2 硅基 GaSb 单晶薄膜制备

GaSb 作为 III-V 化合物半导体的一员, 其晶格常数可以匹配带隙从 0.3 eV-1.58 eV (即波长覆盖 0.8-4.3  $\mu\text{m}$ ) 的三元和四元 III-V 化合物半导体, 并且通过 GaSb 基超晶格可以将探测波长延伸至 8-14  $\mu\text{m}$ , 因此 GaSb 在长波长激光器和探测器方面具有重要应用<sup>[192]</sup>。

由于 GaSb 衬底价格昂贵,通常 GaSb 外延在 GaAs 衬底,但是 GaSb 与 GaAs 衬底存在7%的晶格失配,导致外延 GaSb 薄膜存在很多缺陷。此外, Si 衬底作为最便宜,兼容性最强的半导体衬底材料,如果将 GaSb 薄膜与 Si 衬底进行集成,不但会降低成本,还会增加与 CMOS 电路的兼容性,提升硅基激光器和探测器的波长范围。但是 GaSb 与 Si 衬底晶格失配高达12%,很难采用异质外延方法在 Si 衬底生长出高质量 GaSb 薄膜。采用离子剥离的方法是最有可能实现硅基 GaSb 异质衬底。对于 GaSb 离子束剥离的报道相对较少,主要研究了 GaSb 在 H 离子注入条件下剥离行为<sup>[193-195]</sup>。至今并没有报道展现出采用离子束剥离的方法实现高质量硅基 GaSb 单晶薄膜。

在本节中,通过对 GaSb 剥离行为的分析,选取最优剥离条件,实现高质量硅基 GaSb 薄膜的制备。

### 5.2.1 GaSb 剥离行为分析

首先,我们对 GaSb 衬底在不同 H 离子注入剂量下的剥离行为进行研究。在 GaSb 衬底中分别注入75 KeV  $2 \times 10^{16} / \text{cm}^2$  H 离子和75 KeV  $5 \times 10^{16} / \text{cm}^2$  H 离子。在200 °C退火1小时后,对表面进行 OM 表征,如图5.14所示。从图5.14 (a) 可以看出,注入 $2 \times 10^{16} / \text{cm}^2$  H 离子 GaSb 样品在退火后表面无任何气泡或者剥离现象发生。而注入 $5 \times 10^{16} / \text{cm}^2$  H 离子 GaSb 样品在退火后表面出现气泡和剥落现象,如图5.14 (b) 所示。因此 $5 \times 10^{16} / \text{cm}^2$  H 离子是有效剥离剂量。

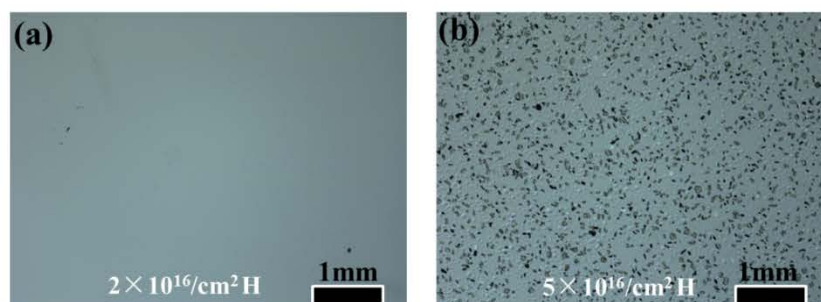


图 5.14 注入 H 离子的 GaSb 退火后 OM 图

Figure 5.14 The OM images of GaSb sample implanted with H ions after annealing

(a) 注入 $2 \times 10^{16} / \text{cm}^2$  H 离子; (b) 注入 $5 \times 10^{16} / \text{cm}^2$  H 离子

由于 GaSb 与 Si 衬底间具有较大的热膨胀系数差异 (GaSb  $6.35 \times 10^{-6}/\text{K}$ , Si  $3.6 \times 10^{-6}/\text{K}$ ), 低温剥离更为有利, 因此, 我们尝试对注入  $5 \times 10^{16}/\text{cm}^2$  H 离子的 GaSb 样品在  $150^\circ\text{C}$  退火不同时间 (3 min 和 1 小时) 通过 OM 观察其剥离行为, 如图 5.15 所示。退火 3 min 时, GaSb 样品表面出现许多均匀分布的小气泡, 如图 5.15 (a) 所示。随着退火时间增加到 1 小时, 气泡体积并无明显增大, 但可以发现部分气泡出现破裂, 如图 5.15 (b) 所示。这是由于随着退火时间的增加, 更多的  $\text{H}_2$  分子聚集进入气泡, 使得气泡内部压强增大, 当超过 GaSb 的断裂应能时, 气泡发生破裂。因此  $150^\circ\text{C}$  退火仍然可以使得注入  $5 \times 10^{16}/\text{cm}^2$  H 离子的 GaSb 发生剥离。

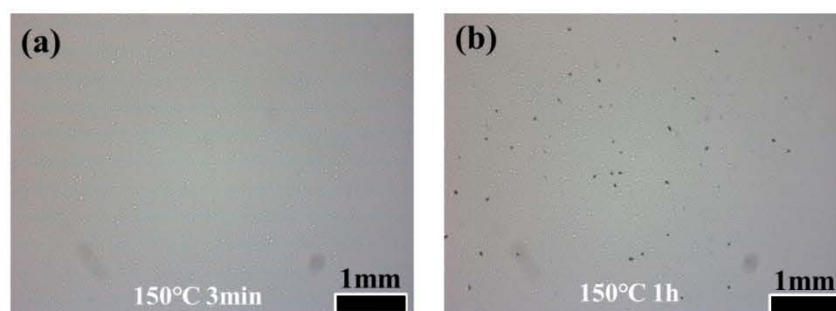


图 5.15 注入 H 离子 GaSb 样品在  $150^\circ\text{C}$  退火不同时间 OM 图

**Figure 5.15 The OM images of GaSb samples implanted with H ions after annealing at  $150^\circ\text{C}$  for different time.**

(a) 3 min; (b) 1h

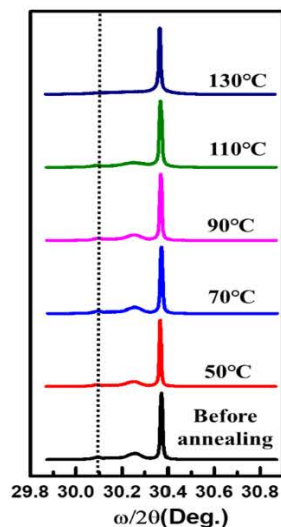


图 5.16 GaSb 样品在不同温度下退火后的 (004) XRD  $\omega/2\theta$  曲线

Figure 5.16 The (004) XRD  $\omega/2\theta$  curves of GaSb samples implanted with H ions after annealing at different temperature.

随后对注入 $5 \times 10^{16} / \text{cm}^2$  H 离子的 GaSb 样品在不同温度下退火 (50 °C、70 °C、90 °C、110 °C、130 °C)，并采用 (004) XRD  $\omega/2\theta$  扫描，表征其内部应力变化，如图5.16所示。从图中可以看出，在退火前，GaSb 衍射主峰左侧出现两个小峰，表示 H 离子注入在 GaSb 内部产生应力层，最左侧的小峰表示最大应变。随着退火温度的升高，在110 °C前，左侧两个峰都存在，证明在110 °C时，GaSb 内部应变仍然存在，但是当温度升高到130 °C时，左侧两个小峰均消失。猜测在升温到130 °C时，GaSb 内部出现板状缺陷，造成应变的释放，从而左侧两个小峰消失。

为了验证是否在130 °C时产生板状缺陷，我们对注入 $5 \times 10^{16} / \text{cm}^2$  H 离子的 GaSb 样品在130 °C退火，并采用 TEM 对内部微观缺陷进行表征，如图5.17所示。图5.17 (a) 为 GaSb 样品截面 TEM 图，其中在 TEM 图中对应的位置画出 TRIM 仿真 H 离子分布以及 DPA 分布曲线，从图中可以看出，H 离子注入在 GaSb 样品中产生厚度约为160 nm 的损伤层 (红色虚线标出)，损伤层的上边界位于 DPA 分布峰值处。在损伤层的内部产生了板状缺陷，板状缺陷位于 H 离子分布的  $R_p$  处，证明在 GaSb 内部，板状缺陷的形成与 H 离子分布密切相关，而与产生的 DPA 无关。图5.17 (b) 为板状缺陷的高倍 TEM 图，可以看出，板状缺陷的方向

一致，平行于表面方向。图5.17 (c) 为 (a) 图中对应1、2、3三个位置的 SAED 图，可以看出，无论在 GaSb 样品的近表面处、缺陷层或者底部，SAED 图均为规则排列的点阵，并且亮点周围并无非晶环的出现，证明 H 离子注入虽然在 GaSb 内部产生了缺陷，但是并没有对 GaSb 的单晶特性产生强烈影响，GaSb 样品还保留很高的单晶特性。

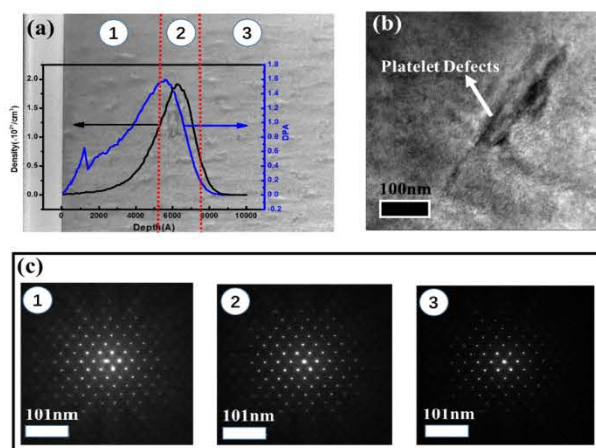


图 5.17 注入 H 离子 GaSb 退火后 TEM 和 SAED 图

Figure 5.17 The TEM and SAED images of GaSb implanted H ions after annealing

(a) 注入  $5 \times 10^{16} / \text{cm}^2$  H 离子的 GaSb 样品在  $130^\circ\text{C}$  退火后的截面 TEM 图；(b) 板状缺陷高倍 TEM 图；(c) 对应 (a) 图中 3 个位置的 SAED 图

为了计算出注入  $5 \times 10^{16} / \text{cm}^2$  H 离子的 GaSb 样品剥离的激活能，我们将注入样品在不同的温度下进行退火，并记录表面开始起泡的时间，绘制成 Arrhenius 曲线如图 5.18 所示。根据公式 (3.3)，计算得出 GaSb 的剥离激活为  $0.6 \text{ eV}$ ，相比报道中  $6 \times 10^{16} / \text{cm}^2$  H 离子剥离 GaSb 的激活  $0.3 \text{ eV}$  要大一倍，这是由于注入 H 离子剂量的降低，要使得相对较少的 H 离子达到相同的剥离效果，其所需能量越大，故其激活能较高。

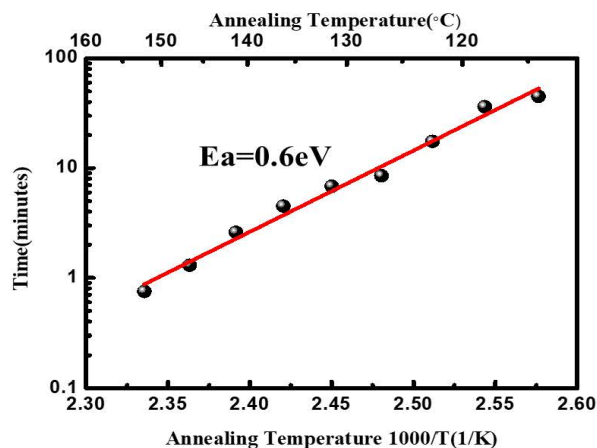


图 5.18 GaSb 的 Arrhenius 图

Figure 5.18 The Arrhenius plot of GaSb

### 5.2.2 硅基 GaSb 薄膜制备及表征

基于对 GaSb 剥离行为的分析，我们选取注入 75 KeV  $5 \times 10^{16} / \text{cm}^2$  H 离子来剥离转移 GaSb 薄膜至  $\text{SiO}_2/\text{Si}$  衬底。具体工艺流程如图 5.19 所示。将注入 H 离子的 2 英寸 (100) GaSb 衬底与含有 500 nm 热氧化层的 4 英寸 (100)  $\text{SiO}_2/\text{Si}$  衬底直接键合，经过退火后，将 GaSb 薄膜转移到  $\text{SiO}_2/\text{Si}$  衬底，形成 GaSb/ $\text{SiO}_2/\text{Si}$  衬底 (GaSbOI)。

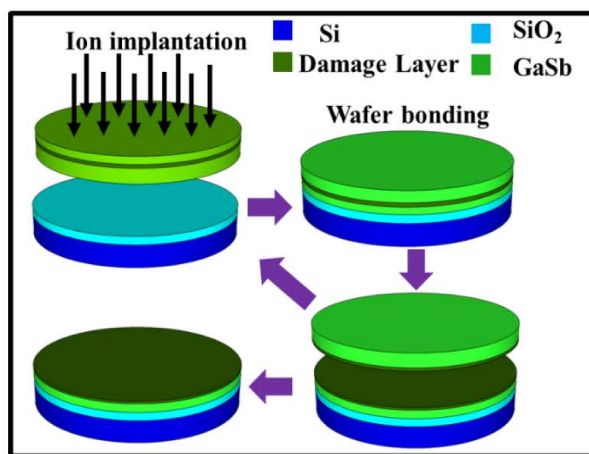


图 5.19 离子束剥离技术转移 GaSb 薄膜流程图

Figure 5.19 The schematic for transferring GaSb film by ion-slicing technology

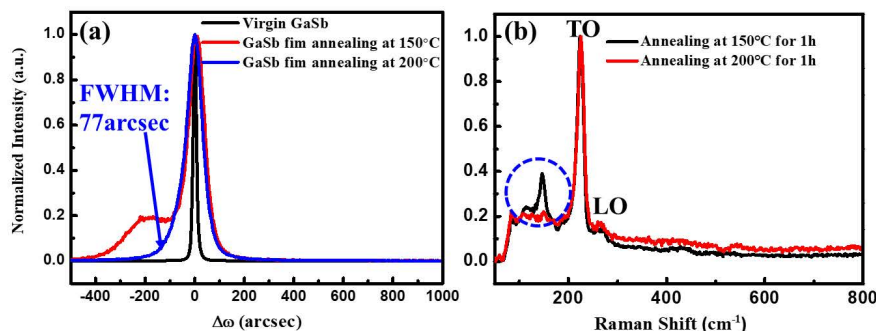


图 5.20 不同退火温度剥离得到的 GaSb 薄膜表征

Figure 5.20 The characterization of GaSb film obtained under different splitting temperature

(a) (004) XRD 摇摆曲线; (b) Raman 谱

为了研究在不同剥离温度下，剥离转移的 GaSb 薄膜的质量差异，我们采用 150 °C 和 200 °C 两种退火温度实现 GaSb 薄膜达到剥离。并对转移后的两种薄膜进行 (004) XRD 摇摆曲线和 Raman 表征，分别如图 5.20 (a) 和 (b) 所示。从图 5.20 (a) 可以看出，在 150 °C 退火得到的 GaSb 薄膜在衍射主峰的左侧出现一个小的衍射峰，证明薄膜中还存在缺陷。而在 200 °C 退火得到的 GaSb 薄膜除了主衍射峰外，无其他衍射峰出现，这说明在 200 °C 退火剥离过程中，部分缺陷发生了复合，薄膜质量得到了恢复，其 FWHM=77 arcsec，相比单晶 GaSb 衬底 FWHM=20 arcsec 还有差距，质量还需提升。在图 5.20 (b) 中，两种退火条件下得到的 GaSb 薄膜出现 GaSb 典型的一级 LO 和 TO 模，但在在 150 °C 退火得到的 GaSb 薄膜的 Raman 谱图中，在 TO 模的左侧又出现一个小峰（蓝色虚线圈标出），而 200 °C 退火得到的 GaSb 薄膜则没有此峰，此峰经证实为 Sb 的偏析峰<sup>[196]</sup>。因此，虽然低温剥离更有助于降低 GaSb 与 Si 衬底间热应力，但是薄膜质量较差而且会出现 Sb 的偏析，所以 200 °C 是 GaSb 最优剥离温度。

采用最优的退火温度 200 °C 退火后得到的样品如图 5.21 (a) 所示，从图中可以看出退火后，GaSb 衬底呈现碎裂状，这是由于 GaSb 与 Si 衬底间存在大的热膨胀系数差异，导致退火过程中热应力大于 GaSb 的断裂能，GaSb 发生碎裂，热应力得以释放。移除 GaSb 衬底后，得到 GaSbOI 衬底如图 5.21 (b) 所示，从图中可以看出，转移的 GaSb 薄膜（黑色虚线圈标出）不是很完整，转移面积约

为60%，这是由于在退火过程中，GaSb 与 Si 之间的部分热应力以解键合的方式释放，造成部分 GaSb 薄膜未转移至 SiO<sub>2</sub>/Si 衬底。

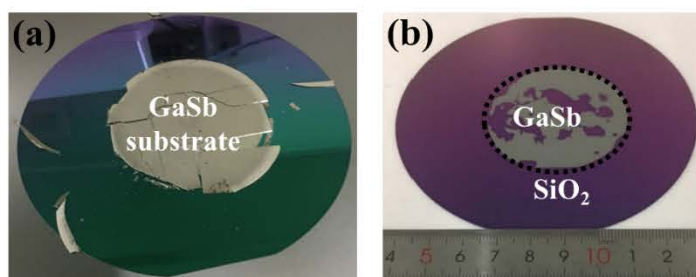


图 5.21 退火后的 GaSb/SiO<sub>2</sub>/Si 和 GaSbOI 照片

Figure 5.21 The photos of GaSb/SiO<sub>2</sub>/Si and GaSbOI after annealing

(a) 200 °C退火后的 GaSb/SiO<sub>2</sub>/Si 样品照片； (b) 移除 GaSb 衬底后的 GaSbOI 衬底照片

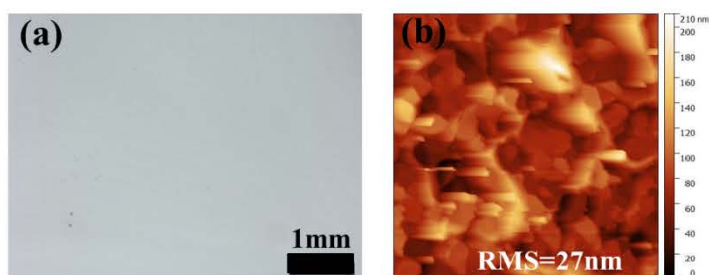


图 5.22 GaSb 薄膜表面表征

Figure 5.22 The characterization of surface of GaSb film

(a) GaSb 薄膜的 OM 图； (b) GaSb 薄膜的 AFM 图。

随后对转移的 GaSb 薄膜的表面进行 OM 和 AFM 表征，分别如图5.22 (a) 和 (b) 所示。从图5.22 (a) 可以看出，转移的 GaSb 薄膜表面并无气泡产生，表面平坦。但是 AFM 测试表明 GaSb 薄膜的表面 RMS 高达27 nm，如图5.22 (b) 所示，因此，后续需对 GaSb 薄膜表面进行光滑处理。

为了表征 GaSbOI 的结构，我们对 GaSbOI 进行截面 SEM 和截面 TEM 表征，如图5.23 (a) 和 (b) 所示。从图5.23 (a) 中可以看出 GaSbOI 明显的三层结构，并且转移的 GaSb 薄膜厚度较均匀，为630 nm。从图5.23 (b) 中可以看出 GaSb 与 SiO<sub>2</sub>之间存在明显的键合界面，并且键合界面无任何气泡孔洞产生，证明键合质量较好。

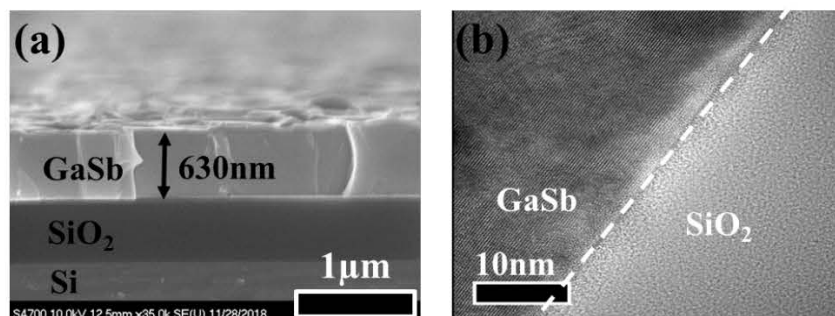


图 5.23 GaSbOI 结构表征

Figure 5.23 The structural characterization of GaSbOI

(a) GaSbOI 的截面 SEM 图； (b) GaSbOI 的截面 TEM 图

GaSb 薄膜的质量通过 TEM 和 STEM 表征，分别如图 5.24 (a) 和 (b) 所示。从图 5.24 (a) 中可以看出，转移的 GaSb 薄膜为 630 nm，与 SEM 结果相吻合，并且表面起伏不平，与 AFM 结果相对应。从图 5.24 (b) 中可以看出，GaSb 薄膜中原子规则排列，无明显缺陷形成，证明转移的 GaSb 薄膜质量较好。

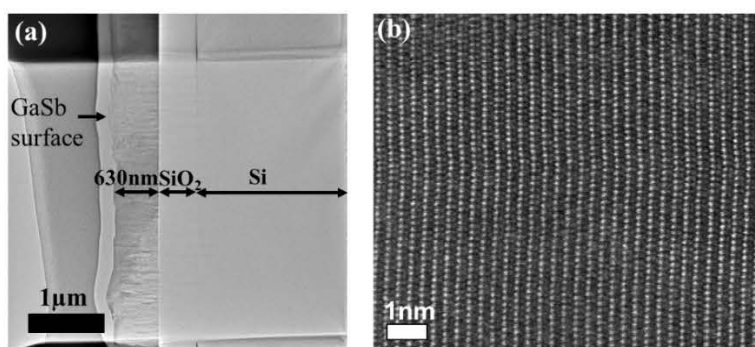


图 5.24 GaSb 薄膜的 TEM 和 STEM 图

Figure 5.24 The TEM and STEM images of GaSb film

(a) GaSb 薄膜 TEM 图； (b) GaSb 薄膜 STEM 图

### 5.3 本章小结

本章研究了离子束剥离转移 GaAs 薄膜和 GaSb 薄膜相关机制，并最终实现晶圆级高质量 GaAsOI 和 GaSbOI 异质衬底。

1. 通过对 GaAs 离子束剥离行为的分析，发现 GaAs 中并未出现与 InP 相似

的 H 离子共注剂量窗口，并最终确定 GaAs 剥离的最佳注入条件为  $2 \times 10^{16} / \text{cm}^2$  He 离子和  $5 \times 10^{16} / \text{cm}^2$  H 离子共同注入。

2. 为了避免 GaAs 与 Si 衬底间由于大的热膨胀系数的差异导致退火过程中解键合，采用  $\text{Al}_2\text{O}_3$  作为键合介质层，成功制备出晶圆级高质量的 GaAsOI 异质衬底。

3. 通过对 GaSb 离子束剥离行为的分析，确定 GaSb 的最优注入条件为  $5 \times 10^{16} / \text{cm}^2$  H 离子。

4. 通过对不同剥离温度下转移的 GaSb 薄膜的质量分析，确定 GaSb 的最佳剥离温度为  $200\text{ }^\circ\text{C}$ ，并在此温度下获得高质量大面积的 GaSbOI 异质衬底。

## 第6章 总结与展望

在过去的几十年中,摩尔定律已经成为推动微电子学技术快速发展的“燃料”。然而,进入后摩尔时代,单纯的 CMOS 的微缩越来越难以满足经济和技术的发展需求。同时,5G、AR/VR 等新兴应用对功能的多样化提出了新的挑战。III-V 化合物半导体相比硅衬底具有高的电子迁移率、饱和速率、直接带隙等优点。然而,目前III-V 化合物半导体工艺仅限于在其自身小尺寸晶圆衬底,其昂贵的价格和与硅基工艺的不兼容性,限制了其发展,因此将III-V 化合物半导体与硅衬底集成是必然趋势之一。但是由于III-V 化合物半导体与硅衬底间存在较大的晶格失配、晶型失配、热膨胀系数差异等,很难通过传统的异质外延法在硅衬底外延出高质量单晶薄膜。离子束剥离技术的出现,清除了不同材料间集成的障碍,可以通过离子注入来从单晶衬底直接转移单晶薄膜至异质衬底。在采用离子剥离技术实现III-V 化合物半导体与硅的集成时,需要解决3个技术问题,首先是离子束剥离III-V 化合物半导体的机制,其次是确定剥离不同III-V 化合物半导体的最优离子注入种类及剂量,最后是实现III-V 化合物半导体与硅衬底的强键合。

本论文选取 InP、GaAs 和 GaSb 三种典型III-V 化合物半导体作为研究对象,通过对每种材料的剥离机制以及键合工艺的研究,成功实现晶圆级高质量硅基 InP、硅基 GaAs 和硅基 GaSb 异质集成衬底材料。主要取得以下成果:

1. 采用 He/H 离子室温顺序共注实现 InP 的剥离。研究了注入不同离子及剂量对 InP 剥离行为的影响,发现 He/H 离子室温共注可以实现 InP 的剥离,但是存在一个 H 离子的注入剂量窗口。同时对 He/H 离子的注入顺序对剥离行为的影响进行分析,确认 He/H 离子共注剥离 InP 的有效离子注入顺序为先注 He 离子,再注 H 离子。解决了室温离子注入剥离 InP 的问题。

2. 消除键合界面气泡并制备出高质量晶圆级硅基 InP 异质衬底。通过对不同键合过程及表面元素的分析,确认硅基 InP 薄膜表面气泡来源于键合界面发生的亲水性键合反应的产物。通过将 InP 薄膜转移至刻蚀有横向或者纵向沟槽的硅衬底,使得键合产物通过沟槽排出体外,消除键合界面气泡。同时建立热动力学模型并与实验相结合,描述沟槽与气泡之间的关系。通过表面抛光及高温后退火

等相关工艺提升转移 InP 单晶薄膜质量, 经过光学和电学表征, 证明制备出的硅基 InP 薄膜具有与单晶 InP 衬底相比拟的性质。同时采用 SAB 键合工艺, 消除键合界面氧化层, 实现 InP 薄膜与 Si 直接键合, 通过电学表征, 证明 InP 薄膜与 Si 衬底间具有很好的导电性。

3. 在硅基 InP 异质衬底上成功制备出性能与 InP 衬底相比拟的 InGaAs p-i-n 探测器。在制备成功的硅基 InP 异质衬底上制备 InGaAs p-i-n 探测器, 其暗电流和响应度与 InP 基 InGaAs 探测器相接近, 证明硅基 InP 异质衬底可以作为硅基光子集成平台。

4. 实现高质量晶圆级硅基 GaAs 和 GaSb 异质衬底。通过对 GaAs 剥离行为的分析, 确定剥离 GaAs 的最优注入离子和剂量为  $2 \times 10^{16} / \text{cm}^2$  He 离子和  $5 \times 10^{16} / \text{cm}^2$  H 离子。采用  $\text{Al}_2\text{O}_3$  作为键合介质层, 实现晶圆级高质量 GaAs 薄膜转移至硅衬底。通过对 GaSb 剥离行为的分析, 确定最优注入条件为  $5 \times 10^{16} / \text{cm}^2$  H 离子, 采用直接键合法, 实现大面积高质量硅基 GaSb 异质衬底。

虽然 InP、GaAs 以及 GaSb 具有相同的闪锌矿机构, 同属 III-V 化合物半导体材料, 但是由于每种材料不同本质物理性质的差异, 如键能、断裂能等, 造成离子注入后缺陷的形成以及演变的不同, 从而导致呈现出不同的剥离行为。因此, 对于不同材料需要根据相应的剥离行为的分析后, 确定最佳剥离条件, 实现薄膜的转移。

对后续工作展望

1. 在制备成功的硅基 InP 衬底进行其他光学器件的制备, 如激光器、放大器等, 最终希望实现硅基全光子集成。

2. 在制备成功的硅基 GaAs 异质衬底上采用 MBE 外延制备量子点激光器。

3. 对硅基 GaSb 异质结构进行表面抛光、后退火等工艺提升其质量, 达到器件应用水平。

4. 对 GaSb 与 GaAs 转移过程进行优化, 避免转移后母体碎裂。

5. 在经过相关处理的硅基 GaSb 异质结构上通过 MBE 外延制备长波长探测器。

6. 开展其他高迁移率 III-V 化合物半导体剥离转移, 如 InAs、InSb 等。

## 参考文献

- [1] Moore G E. Cramming More Components onto Integrated Circuits[J]. PROCEEDINGS OF THE IEEE, 1998, 86(1): 82–85.
- [2] [Http://en.wikipedia.org/wiki/UNIVAC\\_I](http://en.wikipedia.org/wiki/UNIVAC_I).
- [3] Kim R, Avci U E, Young I A. CMOS performance benchmarking of Si, InAs, GaAs, and Ge nanowire n-and pMOSFETs with  $L_g=13$  nm based on atomistic quantum transport simulation including strain effects[C]//2015 IEEE International Electron Devices Meeting.
- [4] Pelka J, Baldi L. More-than-Moore Technologies and Applications[J]. 2017: 53–71.
- [5] Shalf J. The future of computing beyond Moore’s Law[J]. Philosophical Transactions of the Royal Society A: Mathematical, Physical and Engineering Sciences, 2020, 378(2166).
- [6] [https://www.sohu.com/a/313758228\\_132567](https://www.sohu.com/a/313758228_132567).
- [7] Heidel N D, Usechak N G, Dohrman C L, et al. A Review of Electronic-Photonic Heterogeneous Integration at DARPA[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2016, 22(6).
- [8] Rosker M J. The DARPA compound semiconductors on silicon (COSMOS) program[C]//2008 IEEE Compound Semiconductor Integrated Circuits Symposium.
- [9] Qun Gu, Zhiwei Xu, Jenwei Ko M-C F C. Two 10Gb/s/pin low-power interconnect methods for 3D IC[C]//2007 IEEE International Solid-State Circuits Conference.
- [10] Kazior T E. Beyond Cmos: Heterogeneous integration of III-V devices, RF MEMS and other dissimilar materials/devices with Si CMOS to create intelligent microsystems[J]. Philosophical Transactions of the Royal Society A:

- Mathematical, Physical and Engineering Sciences, 2014, 372(2012).
- [11] Green D S. Heterogeneous Integration at DARPA : Pathfinding and Progress in Assembly Approaches[C]//68th IEEE Electronic Components and Technology Conference.
- [12] Moutanabbir O, Gösele U. Heterogeneous Integration of Compound Semiconductors[J]. Annual Review of Materials Research, 2010, 40(1): 469–500.
- [13] H.Becke, R.Hall J W. Gallium arsenide MOS transistors[J]. Solid-State Electronics, 1965, 8(10): 813–818.
- [14] Becke HW W J. Gallium arsenide FETs outperform conventional silicon MOS devices[J]. Electronics, 1967, 40(82): 82–85.
- [15] Mimura T, Fukuta M. Status of the GaAs Metal-Oxide-Semiconductor Technology[J]. IEEE Transactions on Electron Devices, 1980, 27(6): 1147–1155.
- [16] Ye P D. Main determinants for III–V metal-oxide-semiconductor field-effect transistors[J]. Journal of Vacuum Science & Technology A, 2008, 26(4): 697–704.
- [17] Kobayashi T, Taira K, Nakamura F, et al. Band lineup for a GaInP/GaAs heterojunction measured by a high-gain Npn heterojunction bipolar transistor grown by metalorganic chemical vapor deposition[J]. Journal of Applied Physics, 1989, 65(12): 4898–4902.
- [18] Nguyen C, Liu T, Chen M, et al. AlInAs/GaInAs/InP double heterojunction bipolar transistor with a novel base-collector design for power applications[J]. International Electron Devices Meeting, 1995: 799–802.
- [19] Bhat R, Hong W P, Caneau C, et al. InP/GaAsSb/InP and InP/GaAsSb/InGaAsP double heterojunction bipolar transistors with a carbon-doped base grown by organometallic chemical vapor deposition[J]. Applied Physics Letters, 1996, 68(7): 985–987.

- 
- [20] Cho H, Jung K B, Abernathy C R, et al. Growth and fabrication of GaN / AlGaN heterojunction bipolar transistor[J]. 2011, 2702: 8–11.
- [21] Asif Khan M, Bhattarai A, Kuznia J N, et al. High electron mobility transistor based on a GaN-Al<sub>x</sub>Ga<sub>1-x</sub>N heterojunction[J]. Applied Physics Letters, 1993, 63(9): 1214–1215.
- [22] Kim D H, Del Alamo J A. Logic performance of 40 nm InAs HEMTs[J]. International Electron Devices Meeting, 2007.
- [23] Datta S, Ashley T, Brask J, et al. 85nm gate length enhancement and depletion mode InSb quantum well transistors for ultra high speed and very low power digital logic applications[C]//International Electron Devices Meeting, 2005.
- [24] T. Ashley, L. Buckle, S. Datta, M.T. Emeny, D.G. Hayes, K.P. Hilton, R. Jefferies, T. Martin, T.J. Phillips, D.J. Wallis P J W and R C. Heterogeneous InSb quantum well transistors on silicon for ultra-high speed, low power logic applications[J]. Electronics Letters, 2007, 43(14): 777–779.
- [25] Sze S M, Johnson E O. Physical Limitations on Frequency and Power Parameters of Transistors[C]// IRE International Convention Record, 1958.
- [26] Green D S, Dohrman C L, Chang T. The DARPA Diverse Accessible Heterogeneous Integration ( DAHI ) Program : Status and Future Directions[C]//Compound Semiconductor Mantech Conference.
- [27] Gutierrez-Aitken A, Chang-Chien P, Scott D, et al. Advanced heterogeneous integration of InP HBT and CMOS Si technologies[C]// IEEE MTT-S International Microwave Symposium Digest, 2009.
- [28] Kazior T E, LaRoche J R, Lubyshev D, et al. A high performance differential amplifier through the direct monolithic integration of InP HBTs and Si CMOS on silicon substrates[C]//2009 IEEE MTT-S International Microwave Symposium Digest, 2009.
- [29] Li J C, Royter Y, Patterson P R, et al. Heterogeneous wafer-scale integration of 250nm, 300GHz InP DHBTs with a 130nm RF-CMOS technology[C]// IEEE

- International Electron Devices Meeting, 2008.
- [30] Canham L T. Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers[J]. Applied Physics Letters, 1990, 57(10): 1046–1048.
- [31] Lehmann V, Gösele U. Porous silicon formation: A quantum wire effect[J]. Applied Physics Letters, 1991, 58(8): 856–858.
- [32] Pavesi L, Dal Negro L, Dalbosso N, et al. Will silicon be the photonics material of the third millennium?[J]. Journal of Physics: Condensed Matter, 2003, 15(26): R1169–R1196.
- [33] Boyraz O, Jalali B. Demonstration of a silicon Raman laser[J]. Optics Express, 2004, 12(21): 5269–5273.
- [34] Haisheng Rong, Ansheng Liu, Richard Jones, Oded Cohen, Dani Hak, Remus Nicolaescu A F & M P. An all-silicon Raman laser[J]. Nature, 2005, 433: 292–294.
- [35] Rong H, Kuo Y-H, Xu S, et al. Monolithic integrated Raman silicon laser[J]. Optics Express, 2006, 14(15): 6705–6712.
- [36] Fang A W, Park H, Cohen O, et al. Electrically pumped hybrid AlGaInAs-silicon evanescent laser[J]. Optics Express, 2006, 14(20): 9203.
- [37] Volet N, Hulme J C, Member S, et al. Heterogeneous Silicon / III – V Semiconductor Optical Amplifiers[J]. 2016, 22(6). .
- [38] Ashish Dhiman A D. Silicon Photonics: A Review[J]. IOSR Journal of Applied Physics, 2013, 3(5): 67–79.
- [39] Hiraki T, Aihara T, Hasebe K, et al. Heterogeneously integrated III-V/Si MOS capacitor Mach-Zehnder modulator[J]. Nature Photonics, 2017, 11(8): 482–485.
- [40] Soares F M, Baier M, Gaertner T, et al. High-Performance InP PIC Technology Development based on a Generic Photonic Integration Foundry[C]//Optical Fiber Communication Conference, 2018.
- [41] Wanlass M W, Ward J S, Emery K A, et al. GaIn<sub>1-x</sub>As thermophotovoltaic

- converters[J]. *Solar Energy Materials and Solar Cells*, 1996, 41–42: 405–417.
- [42] Kurtz S R, Allerman A A, Jones E D, et al. InGaAsN solar cells with 1.0 eV band gap, lattice matched to GaAs[J]. *Applied Physics Letters*, 1999, 74(5): 729–731.
- [43] Dahal R, Pantha B, Li J, et al. InGaN/GaN multiple quantum well solar cells with long operating wavelengths[J]. *Applied Physics Letters*, 2009, 94(6): 063505.
- [44] Tanabe K, Fontcuberta i Morral A, Atwater H A, et al. Direct-bonded GaAs/InGaAs tandem solar cell[J]. *Applied Physics Letters*, 2006, 89(10): 102106.
- [45] Zahler J M, Tanabe K, Ladous C, et al. High efficiency InGaAs solar cells on Si by InP layer transfer[J]. *Applied Physics Letters*, 2007, 91(1): 012108.
- [46] Kasai S, Tanabashi A, Kajiki K, et al. Micro strip line-based on-chip terahertz integrated devices for high sensitivity biosensors[J]. *Applied Physics Express*, 2009, 2(6): 062401.
- [47] Kang B S, Ren F, Wang L, et al. Electrical detection of immobilized proteins with ungated AlGaNGaN high-electron-mobility Transistors[J]. *Applied Physics Letters*, 2005, 87(2): 023508.
- [48] Kang B S, Pearson S J, Chen J J, et al. Electrical detection of deoxyribonucleic acid hybridization with AlGaN/GaN high electron mobility transistors[J]. *Applied Physics Letters*, 2006, 89(12): 122102.
- [49] Kang B S, Wang H T, Ren F, et al. Electrical detection of biomaterials using AlGaN/GaN high electron mobility transistors[J]. *Journal of Applied Physics*, 2008, 104(3): 031101.
- [50] Wolf S A, Awschalom D D, Buhrman R A, et al. Spintronics: A spin-based electronics vision for the future[J]. *Science*, 2001, 294(5546): 1488–1495.
- [51] De Boeck J, Van Roy W, Das J, et al. Technology and materials issues in semiconductor-based magnetoelectronics[J]. *Semiconductor Science and*

- Technology, 2002, 17(4): 342–354.
- [52] Li Q, May K. Progress in Crystal Growth and Characterization of Materials  
Epitaxial growth of highly mismatched III-V materials on ( 001 ) silicon for  
electronics and optoelectronics[J]. Progress in Crystal Growth and  
Characterization of Materials, 2017, 63(4): 105–120.
- [53] Glas F. Critical dimensions for the plastic relaxation of strained axial  
heterostructures in free-standing nanowires[J]. Physical Review B, 2006, 74(12):  
121302.
- [54] Guo W, Mols Y, Belz J, et al. Anisotropic relaxation behavior of InGaAs/GaAs  
selectively grown in narrow trenches on (001) Si substrates[J]. Journal of  
Applied Physics, 2017, 122(2): 025303.
- [55] HerbertKroemer. Polar-on-nonpolar epitaxy[J]. Journal of Crystal Growth, 1987,  
81(1–4): 193–204.
- [56] Fang S F, Adomi K, Iyer S, et al. Gallium arsenide and other compound  
semiconductors on silicon[J]. Journal of Applied Physics, 1990, 68(7): R31-58.
- [57] Volz K, Beyer A, Witte W, et al. GaP-nucleation on exact Si (0 0 1) substrates  
for III/V device integration[J]. Journal of Crystal Growth, 2011, 315(1): 37–47.
- [58] Takagi Y, Yonezu H, Samonji K, et al. Generation and suppression process of  
crystalline defects in GaP layers grown on misoriented Si(100) substrates[J].  
Journal of Crystal Growth, 1998, 187(1): 42–50.
- [59] Barrett C S C, Martin T P, Bao X Y, et al. Effect of bulk growth temperature on  
antiphase domain boundary annihilation rate in MOCVD-grown GaAs on  
Si(001)[J]. Journal of Crystal Growth, 2016, 450: 39–44.
- [60] Németh I, Kunert B, Stolz W, et al. Heteroepitaxy of GaP on Si: Correlation of  
morphology, anti-phase-domain structure and MOVPE growth conditions[J].  
Journal of Crystal Growth, 2008, 310(7–9): 1595–1601.
- [61] Beyer A, Németh I, Liebich S, et al. Influence of crystal polarity on crystal  
defects in GaP grown on exact Si (001)[J]. Journal of Applied Physics, 2011,

- 109(8): 083529.
- [62] Sprung K R, Wilke K, Heymann G, et al. GaAs single-domain growth on exact (100) Si substrate[J]. *Applied Physics Letters*, 1993, 62(21): 2711–2712.
- [63] Paladugu M, Merckling C, Loo R, et al. Site selective integration of III-V materials on Si for nanoscale logic and photonic devices[J]. *Crystal Growth and Design*, 2012, 12(10): 4696–4702.
- [64] Krost A, Schnabel R F, Heinrichsdorff F, et al. Defect reduction in GaAs and InP grown on planar Si(111) and on patterned Si(001) substrates[J]. *Journal of Crystal Growth*, 1994, 145(1–4): 314–320.
- [65] Krost A, Grundmann M, Bimberg D, et al. InP on patterned Si(001): defect reduction by application of the necking mechanism[J]. *Journal of Crystal Growth*, 1992, 124(1–4): 207–212.
- [66] Ismail K, Legoues F, Karam N H, et al. High-quality GaAs on sawtooth-patterned Si substrates[J]. *Applied Physics Letters*, 1991, 59(19): 2418–2420.
- [67] Kunert B, Mols Y, Baryshniskova M, et al. How to control defect formation in monolithic III / V hetero-epitaxy on ( 100 ) Si ? A critical review on current approaches[J]. *Semiconductor Science and Technology*, 2018, 33(9): 093002.
- [68] Niehle M, Trampert A, Rodriguez J B, et al. Electron tomography on III-Sb heterostructures on vicinal Si(001) substrates: Anti-phase boundaries as a sink for threading dislocations[J]. *Scripta Materialia*, 2017, 132: 5–8.
- [69] Chu S N G, Nakahara S, Pearton S J, et al. Antiphase domains in GaAs grown by metalorganic chemical vapor deposition on silicon-on-insulator[J]. *Journal of Applied Physics*, 1988, 64(6): 2981–2989.
- [70] Akiyama M, Kawarada Y, Kaminishi K. Growth of single domain gaas layer on (100)-oriented si substrate by mocvd[J]. *Japanese Journal of Applied Physics*, 1984, 23(11): 843–845.
- [71] Brammertz G, Mols Y, Degroote S, et al. Low-temperature photoluminescence study of thin epitaxial GaAs films on Ge substrates[J]. *Journal of Applied*

- Physics, 2006, 99(9): 093514.
- [72] Kunert B, Mols Y, Baryshniskova M, et al. How to control defect formation in monolithic III/V hetero-epitaxy on (100) Si? A critical review on current approaches[J]. Semiconductor Science and Technology, 2018, 33(9): 093002.
- [73] Groenert M E, Leitz C W, Pitera A J, et al. Monolithic integration of room-temperature cw GaAs/AlGaAs lasers on Si substrates via relaxed graded GeSi buffer layers[J]. Journal of Applied Physics, 2003, 93(1): 362–367.
- [74] Richardson C J K, Lee M L. Metamorphic epitaxial materials[J]. MRS Bulletin, 2016, 41(3): 193–198.
- [75] Masafumi Yamaguchi, Takashi Nishioka and M S. Analysis of strained-layer superlattice effects on dislocation density reduction in GaAs on Si substrates[J]. Appl. Phys. Lett., 1998, 54(1): 24–26.
- [76] Qian W, Skowronski M, Kaspi R. Dislocation density reduction in GaSb films grown on GaAs substrates by molecular beam epitaxy[J]. Journal of the Electrochemical Society, 1997, 144(4): 1430–1434.
- [77] Nozawa K, Horikoshi Y. Low threading dislocation density GaAs on Si(100) with InGaAs/GaAs strained-layer superlattice grown by migration-enhanced epitaxy[J]. Journal of Electronic Materials, 1992, 21(6): 641–645.
- [78] Sakai S, Soga T, Takeyasu M, et al. Room-temperature laser operation of AlGaAs/GaAs double heterostructures fabricated on Si substrates by metalorganic chemical vapor deposition[J]. Applied Physics Letters, 1986, 48(6): 413–414.
- [79] Tang M, Member S, Chen S, et al. Optimizations of Defect Filter Layers for 1.3- $\mu\text{m}$  InAs / GaAs Quantum-Dot Lasers Monolithically Grown on Si Substrates[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2016, 22(6): 50–56.
- [80] Jung D, Callahan P G, Shin B, et al. Low threading dislocation density GaAs growth on on-axis GaP/Si (001)[J]. Journal of Applied Physics, 2017, 122(22):

- 225703.
- [81] Chen S, Li W, Wu J, et al. Electrically pumped continuous-wave III-V quantum dot lasers on silicon[J]. *Nature Photonics*, 2016, 10(5): 307–311.
- [82] Wang J, Hu H, Yin H, et al. 13  $\mu\text{m}$  InAs/GaAs quantum dot lasers on silicon with GaInP upper cladding layers[J]. *Photonics Research*, 2018, 6(4): 321.
- [83] Murray R T, Kiely C J, Hopkinson M. General characteristics of crack arrays in epilayers grown under tensile strain[J]. *Semiconductor Science and Technology*, 2000, 15(4): 325–330.
- [84] Yang V K, Groenert M, Leitz C W, et al. Crack formation in GaAs heteroepitaxial films on Si and SiGe virtual substrates[J]. *Journal of Applied Physics*, 2003, 93(7): 3859–3865.
- [85] Bhattacharya P, Mi Z, Yang J, et al. Quantum dot lasers: From promise to high-performance devices[J]. *Journal of Crystal Growth*, 2009, 311(7): 1625–1631.
- [86] Yamada T, Tachikawa M, Sasaki T, et al. 7000 h continuous wave operation of multiple quantum well laser on Si at 50 °C[J]. *Applied Physics Letters*, 1997, 70(12): 1614–1615.
- [87] Xue Huang, Yuncheng Song, Taizo Masuda D J and M L. InGaAs/GaAs quantum well lasers grown on exact GaP/Si (001)[J]. *ELECTRONICS LETTERS* 14th, 2006, 50(17): 1226–1227.
- [88] Castellano A, Cerutti L, Rodriguez J B, et al. Room-temperature continuous-wave operation in the telecom wavelength range of GaSb-based lasers monolithically grown on Si[J]. *APL Photonics*, 2017, 2(6).
- [89] Reboul J R, Cerutti L, Rodriguez J B, et al. Continuous-wave operation above room temperature of GaSb-based laser diodes grown on Si[J]. *Applied Physics Letters*, 2011, 99(12): 2009–2012.
- [90] Alan Y. Liu, Jon Peters, Xue Huang, Daehwan Jung, Justin Norman, Minjoo L. Lee, Arthur C. Gossard and J E B. Electrically pumped continuous-wave 1.3  $\mu\text{m}$  quantum-dot lasers epitaxially grown on on-axis (001) GaP / Si[J]. *Optics*

- Letters, 2017, 42(2): 338–341.
- [91] Liao M, Chen S, Chen S, et al. Monolithically Integrated Electrically Pumped Continuous-Wave III-V Quantum Dot Light Sources on Silicon[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2017, 23(6): 1900910.
- [92] Grassman T J, Brenner M R, Gonzalez M, et al. Characterization of metamorphic GaAsP/Si materials and devices for photovoltaic applications[J]. IEEE Transactions on Electron Devices, 2010, 57(12): 3361–3369.
- [93] Soga T, Baskar K, Kato T, et al. MOCVD growth of high efficiency current-matched AlGaAs/Si tandem solar cell[J]. Journal of Crystal Growth, 1997, 174(1–4): 579–584.
- [94] Yaung K N, Vaisman M, Lang J, et al. GaAsP solar cells on GaP/Si with low threading dislocation density[J]. Applied Physics Letters, 2016, 109(3): 032107.
- [95] Grassman T J, Chmielewski D J, Carnevale S D, et al. GaAs<sub>0.75</sub>P<sub>0.25</sub>/Si dual-junction solar cells grown by MBE and MOCVD[J]. IEEE Journal of Photovoltaics, 2016, 6(1): 326–331.
- [96] Faucher J, Gerger A, Tomasulo S, et al. Single-junction GaAsP solar cells grown on SiGe graded buffers on Si[J]. Applied Physics Letters, 2013, 103(19): 191901.
- [97] Vaisman M, Fan S, Yaung K N, et al. 15.3%-Efficient GaAsP Solar Cells on GaP/Si Templates[J]. ACS Energy Letters, 2017, 2(8): 1911–1918.
- [98] Heidelberger C, Fitzgerald E A. GaAsP/InGaP HBTs grown epitaxially on Si substrates: Effect of dislocation density on DC current gain[J]. Journal of Applied Physics, 2018, 123(16): 161532.
- [99] Lee K E, Fitzgerald E A. Metamorphic transistors: Building blocks for hetero-integrated circuits[J]. MRS Bulletin, 2016, 41(3): 210–217.
- [100] Desplanque L, El Kazzi S, Coinon C, et al. Monolithic integration of high electron mobility InAs-based heterostructure on exact (001) Silicon using a GaSb/GaP accommodation layer[J]. Applied Physics Letters, 2012, 101(14): 1–

- 5.
- [101] Zhou X, Li Q, Tang C W, et al. 30-nm inverted in  $0.53\text{Ga}_{0.47}\text{As}$  MOSHEMTs on Si substrate grown by MOCVD with regrown source/drain[J]. IEEE Electron Device Letters, 2012, 33(10): 1384–1386.
- [102] Li Q, Zhou X, Tang C W, et al. Material and device characteristics of metamorphic  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  MOSHEMTs grown on GaAs and Si substrates by MOCVD[J]. IEEE Transactions on Electron Devices, 2013, 60(12): 4112–4118.
- [103] Huang M L, Chang S W, Chen M K, et al. High performance  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  FinFETs fabricated on 300 mm Si substrate[J]. 2016 IEEE Symposium on VLSI Technology, 2016: 16–17.
- [104] Higurashi E, Suga T. Review of Low-Temperature Bonding Technologies and Their Application in Optoelectronic Devices[J]. Electronics and Communications in Japan, 2016, 99(3): 159–165.
- [105] Lehmann V, Mitani K, Stengl R, et al. Bubble-free wafer bonding of GaAs and InP on silicon in a microcleanroom[J]. Japanese Journal of Applied Physics, 1989, 28(12 A): L2141–L2143.
- [106] Yu L S, Mages P, Qiao D, et al. Photocurrent method for characterizing the interface of hydrophobically bonded Si wafers[J]. Applied Physics Letters, 2003, 82(6): 916–918.
- [107] Kim M J, Carpenter R W. Heterogeneous silicon integration by ultra-high vacuum wafer bonding[J]. Journal of Electronic Materials, 2003, 32(8): 849–854.
- [108] Pasquariello D, Camacho M, Ericsson F, et al. Crystalline defects in InP-to-silicon direct wafer bonding[J]. Japanese Journal of Applied Physics, 2001, 40(8): 4837–4844.
- [109] Pasquariello D, Camacho M, Ericsson F, et al. Crystalline defects in InP-to-silicon direct wafer bonding[J]. Japanese Journal of Applied Physics, Part 1: Regular Papers and Short Notes and Review Papers, 2001, 40(8): 4837–4844.

- [110] Alexe M, Drugoi V, Reiche M, et al. Low temperature GaAs / Si direct wafer bonding[J]. *Electronics Letters*, 2000, 36(7): 667–678.
- [111] Katsnelson A, Tokranov V, Yakimov M, et al. Integration of III-V optoelectronic components on Si platform Using BCB[J]. *Materials Research Society Symposium - Proceedings*, 2003, 783: J5.15.1-J5.15.6.
- [112] Moutanabbir O, Senz S, Scholz R, et al. Stress adjustment and bonding of H-implanted 2 in. Freestanding GaN wafer: The concept of double-sided splitting[J]. *Electrochemical and Solid-State Letters*, 2009, 12(4): H105–H108.
- [113] Tan C S, Fan A, Chen K N, et al. Low-temperature thermal oxide to plasma-enhanced chemical vapor deposition oxide wafer bonding for thin-film transfer application[J]. *Applied Physics Letters*, 2003, 82(16): 2649–2651.
- [114] Bickford J, Lau S S, Yu P K L. GaAs/Si metal waferbonding for heterogeneous integrated circuits[J]. *2008 9th International Conference on Solid-State and Integrated-Circuit Technology*, 2008.
- [115] Tong Q-A H ; S-J L ; Q-Y T. Gallium arsenide on insulator by electrostatic bonding[C]//*IEEE SOS/SOI Technology Conference*.
- [116] Liang D, Bowers J E. Photonic integration: Si or InP substrates?[J]. *Electronics Letters*, 2009, 45(12): 10–12.
- [117] Kasai S, Katagiri T, Takayanagi J, et al. Reduction of phonon resonant terahertz wave absorption in photoconductive switches using epitaxial layer transfer[J]. *Applied Physics Letters*, 2009, 94(11): 113505.
- [118] Kasai S, Tanabashi A, Kajiki K, et al. Micro strip line-based on-chip terahertz integrated devices for high sensitivity biosensors[J]. *Applied Physics Express*, 2009, 2(6): 8–11.
- [119] Wang C A, Shiau D A, Murphy P G, et al. Wafer Bonding and Epitaxial Transfer of GaSb-Based Epitaxy to GaAs for Monolithic Interconnection of Thermophotovoltaic Devices[J]. *Journal of Electronic Materials*, 2004, 33(3): 213–217.

- 
- [120] Konagai M, Sugimoto M, Takahashi K. High efficiency GaAs thin film solar cells by peeled film technology[J]. *Journal of Crystal Growth*, 1978, 45(C): 277–280.
- [121] McClelland R W, Bozler C O, Fan J C C. A technique for producing epitaxial films on reuseable substrates[J]. *Applied Physics Letters*, 1980, 37(6): 560–562.
- [122] Bruel M. Silicon on insulator material technology[J]. *Electronics Letters*, 1995, 31(14): 1201–1202.
- [123] Bruel M, Aspar B, Auberton-Hervé A J. Smart-cut: A new silicon on insulator material technology based on hydrogen implantation and wafer bonding[J]. *Japanese Journal of Applied Physics*, 1997, 36(3B): 1636–1641.
- [124] Aspar B, Moriceau H, Jalaguier E, et al. The generic nature of the Smart-Cut?? process for thin film transfer[J]. *Journal of Electronic Materials*, 2001, 30(7): 834–840.
- [125] Feng X Q, Huang Y. Mechanics of Smart-Cut® technology[J]. *International Journal of Solids and Structures*, 2004, 41(16–17): 4299–4320.
- [126] Singh R, Christiansen S H, Moutanabbir O, et al. The phenomenology of ion implantation-induced blistering and thin-layer splitting in compound semiconductors[J]. *Journal of Electronic Materials*, 2010, 39(10): 2177–2189.
- [127] Gu B, Liu H, Mai Y W, et al. Fracture mechanics analysis on Smart-Cut® technology. Part 1: Effects of stiffening wafer and defect interaction[J]. *Acta Mechanica Sinica*, 2009, 25(1): 73–81.
- [128] Moriceau H, Mazen F, Braley C, et al. Smart Cut™: Review on an attractive process for innovative substrate elaboration[J]. *Nuclear Instruments and Methods in Physics Research, Section B: Beam Interactions with Materials and Atoms*, 2012, 277: 84–92.
- [129] Gibbons J F. Ion Implantation in Semiconductors—Part I Range Distribution Theory and Experiments[J]. *Proceedings of the IEEE*, 1968, 56(3): 295–319.
- [130] M N, J M J K H. Ion-solidinteractions: Fundamentalsandapplications[M].

Cambridge University Press, 1996.

- [131] Stoller R E, Toloczko M B, Was G S, et al. On the use of SRIM for computing radiation damage exposure[J]. *Nuclear Inst. and Methods in Physics Research, B*, 2013, 310: 75–80.
- [132] Egeland G W, Valdez J A, Maloy S A, et al. Heavy-ion irradiation defect accumulation in ZrN characterized by TEM, GIXRD, nanoindentation, and helium desorption[J]. *Journal of Nuclear Materials*, 2013, 435(1–3): 77–87.
- [133] Christiansen S H, Singh R, Gösele U. Wafer direct bonding: From advanced substrate engineering to future applications in micro/nanoelectronics[J]. *Proceedings of the IEEE*, 2006, 94(12): 2060–2105.
- [134] Dadwal U, Reiche M, Singh R. Ion Implantation-Induced Layer Splitting of Semiconductors[J]. *Ion Implantation*, 2012.
- [135] Varma C M. Hydrogen-implant induced exfoliation of silicon and other crystals[J]. *Applied Physics Letters*, 1997, 71(24): 3519.
- [136] Griffith A a a, Character P, Griffith B a a, et al. The Phenomena of Rupture and Flow in Solids[J]. *Philosophical Transactions of the Royal Society of London. Series A, Containing Papers of a Mathematical or Physical Character*, 1921, 221(1921): 163–198.
- [137] Freund L B. A lower bound on implant density to induce wafer splitting in forming compliant substrate structures[J]. *Applied Physics Letters*, 1997, 70(26): 3519–3521.
- [138] Yang F. Hydrogen-induced silicon wafer splitting[J]. *Journal of Applied Physics*, 2003, 94(3): 1454–1457.
- [139] Schroeder H, Fichtner P F P. On the coarsening mechanisms of helium bubbles - Ostwald ripening versus migration and coalescence[J]. *Journal of Nuclear Materials*, 1991, 179–181: 1007–1010.
- [140] Han W, Yu J. Thermodynamic model of hydrogen-induced silicon surface layer cleavage[J]. *Journal of Applied Physics*, 2001, 89(11): 6551–6553.

- 
- [141] Lo Y-H, Zhu Z, Qian Y, et al. Wafer bonding technology and its optoelectronic applications[J]. *Optoelectronic Integrated Circuits*, 1997, 3006: 26.
- [142] Shimbo M, Furukawa K, Fukuda K, et al. Silicon-to-silicon direct bonding method[J]. *Journal of Applied Physics*, 1986, 60(8): 2987–2989.
- [143] Hattori T, Takase K, Yamagishi H, et al. Chemical structures of native oxides formed during wet chemical treatments[J]. *Japanese Journal of Applied Physics*, 1989, 28(2): L296–L298.
- [144] Wang C, Liu Y, Suga T. A Comparative Study: Void Formation in Silicon Wafer Direct Bonding by Oxygen Plasma Activation with and without Fluorine[J]. *ECS Journal of Solid State Science and Technology*, 2017, 6(1): 7–13.
- [145] Tong Q, Gijsele U. Invited Review Semiconductor wafer bonding : recent developments[J]. *Materials Chemistry and Physics*, 1994, 37: 101–127.
- [146] Giisele K M and U M. Formation of interface bubbles in bonded silicon wafers: A thermodynamic model[J]. *Applied Physics A Solids and Surfaces*, 1992, 54: 543–552.
- [147] Amirfeiz P, Bengtsson S, Bergh M, et al. Formation of silicon structures by plasma-activated wafer bonding[J]. *Journal of the Electrochemical Society*, 2000, 147(7): 2693–2698.
- [148] Backlund Y, Hermansson K, Smith L. Bond-Strength Measurements Related to Silicon Surface Hydrophilicity[J]. *Journal of the Electrochemical Society*, 1992, 139(8): 2299–2301.
- [149] Bergh M, Andersson M O, Bengtsson S. The Effects of HF Cleaning Prior to Silicon Wafer Bonding[J]. *Journal of the Electrochemical Society*, 1995, 142(4): 1297–1303.
- [150] Chabal Y J, Higashi G S, Raghavachari K, et al. Infrared spectroscopy of Si(111) and Si(100) surfaces after HF treatment: Hydrogen termination and surface morphology[J]. *Journal of Vacuum Science & Technology A: Vacuum*,

- Surfaces, and Films, 1989, 7(3): 2104–2109.
- [151] Mack S, Baumann H, Gosele U. Gas development at the interface of directly bonded silicon wafers: investigation on silicon-based pressure sensors[J]. Sensors and Actuators A, 1996, 56: 273–277.
- [152] Ling L, Kuwabara S, Abe T, et al. Multiple internal reflection infrared spectroscopy of silicon surface structure and oxidation process at room temperature[J]. Journal of Applied Physics, 1993, 73(6): 3018–3022.
- [153] Niwano M, Kageyama J I, Kurita K, et al. Infrared spectroscopy study of initial stages of oxidation of hydrogen-terminated Si surfaces stored in air[J]. Journal of Applied Physics, 1994, 76(4): 2157–2163.
- [154] Takagi H, Maeda R. Direct bonding of two crystal substrates at room temperature by Ar-beam surface activation[J]. Journal of Crystal Growth, 2006, 292(2): 429–432.
- [155] Acosta Alba P E. Influence of Smart Cut™ technological steps on thickness uniformity of SOI wafers: Multi-Scale approach.[D]
- [156] Herring C. Effect of change of scale on sintering phenomena[J]. Journal of Applied Physics, 1950, 21(4): 301–303.
- [157] Mullins W W. Flattening of a nearly plane solid surface due to capillarity[J]. Journal of Applied Physics, 1959, 30(1): 77–83.
- [158] Luo J, Dornfeld D A. Material removal mechanism in chemical mechanical polishing: Theory and modeling[J]. IEEE Transactions on Semiconductor Manufacturing, 2001, 14(2): 112–133.
- [159] Wright C J, Powell L C, Johnson D J, et al. Microscopy: Atomic Force Microscopy[J]. Encyclopedia of Food Microbiology, 2014, 2: 666–675.
- [160] Fadley C S. X-ray photoelectron spectroscopy: Progress and perspectives[J/OL]. Journal of Electron Spectroscopy and Related Phenomena, 2010, 178–179(C): 2–32.
- [161] Tong Q Y, Chao Y L, Huang L J, et al. Low temperature InP layer transfer[J].

- Electronics Letters, 1999, 35(4): 341–342.
- [162] Fontcuberta i Morral A, Zahler J M, Atwater H A, et al. InGaAs/InP double heterostructures on InP/Si templates fabricated by wafer bonding and hydrogen-induced exfoliation[J]. Applied Physics Letters, 2003, 83(26): 5413–5415.
- [163] Fontcuberta I Morral A, Zahler J M, Griggs M J, et al. Spectroscopic studies of the mechanism for hydrogen-induced exfoliation of InP[J]. Physical Review B - Condensed Matter and Materials Physics, 2005, 72(8): 1–8.
- [164] Hayashi S, Bruno D, Goorsky M S. Temperature dependence of hydrogen-induced exfoliation of InP[J]. Applied Physics Letters, 2004, 85(2): 236–238.
- [165] Singh R, Radu I, Scholz R, et al. Investigation of helium implantation induced blistering in InP[J]. Journal of Luminescence, 2006, 121(2): 379–382.
- [166] Moulet C, Goorsky M S. Lattice Strain Measurements in Hydrogen Implanted Materials for Layer Transfer Processes[J]. Ion Implantation, 2012: 65–88.
- [167] Agarwal A, Haynes T E, Venezia V C, et al. Efficient production of silicon-on-insulator films by co-implantation of He<sup>+</sup> with H<sup>+</sup>[J]. Applied Physics Letters, 1998, 72(9): 1086–1088.
- [168] Weldon M K, Collot M, Chabal Y J, et al. Mechanism of silicon exfoliation induced by hydrogen/helium co-implantation[J]. Applied Physics Letters, 1998, 73(25): 3721–3723.
- [169] Reboh S, Barbot J F, Beaufort M F, et al. H-induced subcritical crack propagation and interaction phenomena in (001) Si using He-cracks templates[J]. Applied Physics Letters, 2010, 96(3): 13–16.
- [170] Nguyen P, Bourdelle K K, Maurice T, et al. The effect of order and dose of H and He sequential implantation on defect formation and evolution in silicon[J]. Journal of Applied Physics, 2007, 101(3): 033506.
- [171] Grisolia J, Cristiano F, De Mauduit B, et al. Kinetic aspects of the growth of hydrogen induced platelets in SiC[J]. Journal of Applied Physics, 2000, 87(12): 8415–8419.

- [172] Li B S, Zhang C H, Zhang H H, et al. Study of the damage produced in 6H-SiC by He irradiation[J]. *Vacuum*, 2011, 86(4): 452–456.
- [173] Li B S, Wang Z G, Jin J F. Implantation temperature and thermal annealing behavior in H<sub>2</sub><sup>+</sup>-implanted 6H-SiC[J/OL]. *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, 2013, 316: 239–244.
- [174] Zhang L, Li B S. Study of surface exfoliation on 6H-SiC induced by H<sub>2</sub><sup>+</sup> implantation[J]. *Physica B: Condensed Matter*, 2017, 508: 104–111.
- [175] Woo H J, Choi H W, Kim G D, et al. Blistering/exfoliation kinetics of GaAs by hydrogen and helium implantations[J]. *Surface and Coatings Technology*, 2009, 203(17–18): 2370–2374.
- [176] Reboh S, Schaurich F, Declémy A, et al. On the microstructure of Si coimplanted with H<sup>+</sup> and He<sup>+</sup> ions at moderate energies[J]. *Journal of Applied Physics*, 2010, 108(2): 023502.
- [177] Jia Q, Huang K, You T, et al. Freestanding ultrathin single-crystalline SiC substrate by MeV H ion-slicing[J]. *Applied Physics Letters*, 2018, 112(19): 192102.
- [178] Tong Q Y, Gösele U M. Wafer bonding and layer splitting for microsystems[J]. *Advanced Materials*, 1999, 11(17): 1409–1425.
- [179] Singh R, Radu I, Gösele U, et al. Investigation of hydrogen implantation induced blistering in GaN[J]. *Physica Status Solidi (C) Current Topics in Solid State Physics*, 2006, 3(6): 1754–1757.
- [180] Koch T L, Koren U. Semiconductor Lasers for Coherent Optical Fiber Communications[J]. *Journal of Lightwave Technology*, 1990, 8(3): 274–293.
- [181] Dummer M M, Klamkin J, Tauke-Pedretti A, et al. 40 Gb/s field-modulated wavelength converters for all-optical packet switching[J]. *IEEE Journal on Selected Topics in Quantum Electronics*, 2009, 15(3): 494–503.
- [182] Nicholes S C, Mašanovic M L, Jevremovic B, et al. The world's first InP 8x8

- monolithic tunable optical router (MOTOR) operating at 40 Gbps line rate per port[C]// Conference on Optical Fiber Communication, 2009.
- [183] Summers J, Vallaitis T, Evans P, et al. 40 Channels  $\times$  57 Gb/s monolithically integrated InP-based coherent photonic transmitter[C]// The European Conference on Optical Communication, 2014 .
- [184] Razeghi M, Defour M, Blondeau R, et al. First cw operation of a Ga<sub>0.25</sub>In<sub>0.75</sub>As<sub>0.5</sub>P<sub>0.5</sub>-InP laser on a silicon substrate[J]. Applied Physics Letters, 1988, 53(24): 2389–2390.
- [185] Liang D, Bowers J E. Highly efficient vertical outgassing channels for low-temperature InP-to-silicon direct wafer bonding on the silicon-on-insulator substrate[J]. Journal of Vacuum Science & Technology B, 2008, 26(4): 1560.
- [186] Kazmerski L L, Ireland P J, Sheldon P, et al. Comparison of lowtemperature oxides on polycrystalline InP by AES, SIMS, and XPS[J]. Journal of vacuum science & technology, 1980, 17(5): 1061–1066.
- [187] Fan J C C, Goodenough J B. X-ray photoemission spectroscopy studies of Sn-doped indium-oxide films[J]. Journal of Applied Physics, 1977, 48(8): 3524–3531.
- [188] Faur M, Faur M, Jayne D T, et al. XPS Investigation of Anodic Oxides Grown on p-Type InP[J]. Surface And Interfac Analysis, 1990, 15: 641–650.
- [189] Chu S N G, Jodlauk C M, Johnston W D. Morphological Study of Thermal Decomposition of InP Surfaces[J]. The Electrochemical Society, 1983, 130(12): 2398–2405.
- [190] Pasquariello D, Camacho M, Hjort K, et al. Evaluation of InP-to-silicon heterobonding[J]. Materials Science and Engineering B, 2001, 80: 134–137.
- [191] Artús L, Cuscó R, Martín J M, et al. Up to fifth-order Raman scattering of InP under nonresonant conditions[J]. Physical Review B, 1994, 50(16): 11552–11555.
- [192] Dutta P S, Bhat H L, Kumar V. The physics and technology of gallium

- antimonide: An emerging optoelectronic material[J]. *Journal of Applied Physics*, 1997, 81(9): 5821–5870.
- [193] Pathak R, Dadwal U, Singh R. Study of hydrogen implantation-induced blistering in GaSb for potential layer transfer applications[J]. *Journal of Physics D: Applied Physics*, 2017, 50(28).
- [194] Zheng Y, Moran P D, Guan Z F, et al. Transfer of n-type GaSb onto GaAs substrate by hydrogen implantation and wafer bonding[J]. *Journal of Electronic Materials*, 2000, 29(7): 916–920.
- [195] Kub K D H and F J. Transfer of GaSb thin film to insulating substrate via separation by hydrogen implantation[J]. *Electronics Letters*, 1999, 35(8): 675–676.
- [196] Campos C E M, Pizani P S. Strain effects on As and Sb segregates immersed in annealed GaAs and GaSb by Raman spectroscopy[J]. *Journal of Applied Physics*, 2001, 89(7): 3631–3633.

## 致 谢

值此论文完成之际，整个博士工作也将告一段落，人生也将开启新的篇章。在这里，我要对所有在学习、科研和生活中给予我帮助、鼓励和关心的各位老师、同学和朋友们致以最真挚的感谢。

本论文是在欧欣研究员的悉心指导下完成的。

感谢欧欣老师。还记得刚进课题组时，欧老师在电脑旁耐心的给我介绍离子束相关内容的场景，自此，将我带入到离子束技术这个奇妙的领域。在这5年博士研究中，欧老师亦师亦友。在科研中，欧老师细心严谨的态度时刻影响着我。每当实验中遇到障碍停滞不前，欧老师总是能够耐心的与我讨论，给我新的启发。同时，欧老师为我创造了很多合作的机会，推动我的研究进展。我取得的所有成果都有欧老师心血。在此，由衷的感谢欧老师在这5年的时间对我的指导和关怀。

感谢游天桂和张家祥老师。他们在学术上具有很强的逻辑性，对我的实验设计、论文安排提供了很多的帮助。在文章撰写和论文修改方面让我受益匪浅。在生活中平易近人，乐观努力的生活态度时刻感染着我。

感谢王庶民老师在分子束外延方面提供的指导和帮助，王老师知识渊博，在实验中对我提出了很多建议。感谢黄凯老师在实验中对我的指导和帮助，以及生活中关怀。感谢岳丽老师在分子束外延方面的帮助。感谢李文琴老师在键合方面提供的帮助。感谢周民工程师在离子注入以及生活的极大帮助。感谢贾棋师兄在我初入离子束领域对我的引导。感谢赵晓蒙博士在衬底片购买方面的帮助，感谢沈晨博士在刻蚀方面的帮助。

感谢课题组张润春同学与我一起度过了3年的研究生活，感谢他在生活中对我帮助。感谢张师斌同学与我一起度过了博士生涯，感谢他在科研和生活中对我的帮助。感谢课题组的师弟师妹鄢有泉、黄浩、伊艾伦、梁好、池超旦、张晓蕾、周鸿燕、徐文慧、李忠旭、金婷婷、李静、赵舒燕、欧炜文、王成立、陈阳、吴进波、沈正皓、张丽萍、周李平、石航宁、郑鹏程、孙嘉良等人和我一起度过美好的时光，有问题一起谈论，有喜事一起分享，感谢你们的陪伴使我的生活丰富多彩。

感谢韩昊轩同学和我从一个寝室度过了从大学一直到研究生阶段的时光，感谢在生活中对我的极大帮助。感谢姜成功同学、林典鹏同学、顾子悦同学在生活中对我的帮助。感谢朋友庞传坤、刘珉强虽不在一个地方，但时刻的关心。不是亲兄弟，胜似亲兄弟。

感谢课题组的汤玉琼秘书、樊琳秘书、庞海迪秘书和曹建楠在科研工作中对我的帮助与支持。

感谢研究生部罗琦老师、余翔波老师、邵天浩老师、沈玲燕老师在我学习和工作中给予的帮助和支持。

感谢信息功能材料国家重点实验室的所有老师、职工、以及同学在科研工作和生活中给予我的帮助与支持。

最后我要特别的感谢我的家人。感谢父母对我的养育之恩，感谢你们对我的教导。感谢姐姐、姐夫对我的关心、照顾和支持。还要感谢我的女朋友陆瑶，感谢你对我工作、生活的包容、照顾和支持。正是有了你们的爱，我才能顺利完成我的学业，你们是我最强大的后盾，感谢你们！

## 作者简历及攻读学位期间发表的学术论文与研究成果

### 作者简历:

2011年9月——2015年6月,在吉林大学电子科学与信息技术院获得学士学位。

2015年9月——2020年6月,在中国科学院上海微系统与信息技术研究所攻读博士学位。

获奖情况: 2018-2019年三好学生

2019-2020年三好学生

### 已发表(或正式接受)的学术论文:

- [1] J. Lin, T. You, M. Wang, K. Huang, S. Zhang, Q. Jia, M. Zhou, W. Yu, S. Zhou, X. Wang and X. Ou, Efficient ion-slicing of InP thin film for Si-based hetero-integration *Nanotechnology* 29 (2018) 504002
- [2] J. Lin, T. You, T. Jin, H. Liang, W. Wan, H. Huang, M. Zhou, F. Mu, Y. Yan, K. Huang, X. Zhao, J. Zhang, Shumin. Wang, P. Gao and X. Ou. “Wafer-scale heterogeneous integration InP on trenched Si with a bubble-free interface” *APL Materials* 8 (2020) 051110
- [3] Q. Huang, Q. Jia, J. Feng, H. Huang, X. Yang, J. Grenzer, K. Huang, S. Zhang, J. Lin, H. Zhou, T. You, W. Yu, S. Facsko, P. Jonnard, M. Wu, A. Giglia, Z. Zhang, Z. Liu, Z. Wang, X. Wang, X. Ou, Realization of wafer-scale nanogratings with sub-50 nm period through vacancy epitaxy, *Nat. Commun.* 10 (2019) 2437
- [4] N. Daghbouj, B. Li, M. Callistic, H. Sen, J. Lin, X. Ou, M. Karlike, T. Polcara, The structural evolution of light-ion implanted 6H-SiC single crystal: Comparison of the effect of helium and hydrogen. *Acta Materialia*, 2020, 188: 609–622
- [5] Q. Jia, K. Huang, T. You, A. Yi, J. Lin, S. Zhang, M. Zhou, B. Zhang, B. Zhang, W. Yu, X. Ou, X. Wang, Freestanding ultrathin single-crystalline SiC substrate by MeV H ion-slicing, *Appl. Phys. Lett.* 112 (2018) 192102
- [6] K. Huang, Q. Jia, T. You, R. Zhang, J. Lin, S. Zhang, M. Zhou, B. Zhang, W. Yu, X. Ou, X. Wang, Investigation on thermodynamics of ion-slicing of GaN and

- heterogeneously integrating high-quality GaN films on CMOS compatible Si(100) substrates, *Sci. Rep.* 7 (2017) 1–9
- [7] K. Huang, Z. Li, Y. Yan, X. Zhao, W. Li, T. You, S. Zhang, H. Zhou, J. Lin, W. Xu, A. Yi, H. Huang, M. Zhou, W. Yu, J. Xie, X. Zeng, R. Liu, X. Ou, Comparative study of the ion-slicing mechanism of Y-cut LiNbO<sub>3</sub>, *AIP Adv.* 9 (2019) 085001
- [8] K. Huang, T. You, Q. Jia, A. Yi, S. Zhang, R. Zhang, J. Lin, M. Zhou, W. Yu, B. Zhang, X. Ou, X. Wang, Defects induced by MeV H<sup>+</sup> implantation for exfoliating of free-standing GaN film, *Appl. Phys. A Mater. Sci. Process.* 124 (2018) 118
- [9] R. Zhang, B. Zhao, K. Huang, T. You, Q. Jia, J. Lin, S. Zhang, Y. Yan, A. Yi, M. Zhou, X. Ou, Silicon-on-insulator with hybrid orientations for heterogeneous integration of GaN on Si (100) substrate, *AIP Adv.* 8 (2018) 055323
- [10] Y. Yan, K. Huang, H. Zhou, X. Zhao, W. Li, Z. Li, A. Yi, H. Huang, J. Lin, S. Zhang, M. Zhou, J. Xie, X. Zeng, R. Liu, W. Yu, T. You, X. Ou, Wafer-Scale Fabrication of 42° Rotated Y-Cut LiTaO<sub>3</sub>-on-Insulator (LTOI) Substrate for a SAW Resonator, *ACS Appl. Electron. Mater.* 1 (2019) 1660–1666.
- [11] S. Zhao, Y. Song, H. Liang, T. Jin, J. Lin, L. Yue, T. You, C. Wang, X. Ou and S. Wan, Stress and strain analysis of Si-based III-V template fabricated by ion-slicing *Chinese Phys. B*

#### 申请或已获得的专利:

- [1] 欧欣; 林家杰; 游天桂; 黄凯 一种 InP 薄膜异质衬底制备方法 申请号 CN2017100713036
- [2] 欧欣; 林家杰; 黄凯; 游天桂; 王曦 异质薄膜复合结构及其制备方法 申请号 CN2018103681671
- [3] 欧欣; 林家杰; 张师斌; 伊艾伦; 周鸿燕; 王成; 王曦 柔性单晶薄膜结构及其制备方法 申请号 CN2018109417085
- [4] 欧欣; 林家杰; 金婷婷; 游天桂; 王曦 III-V 族化合物半导体异质键合结构的制备方法 申请号 CN2019104718521
- [5] 欧欣; 林家杰; 游天桂; 金婷婷; 沈正皓 一种硅基光子集成模块及其制备

申请号 CN202010062567.7

- [6] 欧欣; 林家杰; 游天桂; 金婷婷; 沈正皓 一种硅基激光器及其制备、解理方法 申请号 CN202010062554X
- [7] 欧欣; 林家杰; 沈正皓; 金婷婷; 游天桂 一种 SiC 基 InP 光子集成模块及其制备方法 申请号 CN2019113206202
- [8] 欧欣; 金婷婷; 林家杰; 游天桂; 王庶民 一种半导体纳米线及场效应晶体管的制备方法 申请号 CN202010064536.5
- [9] 欧欣; 赵舒燕; 王长; 林家杰; 游天桂 一种硅基 InGaAs 激光器衬底的制备方法、衬底和激光器 申请号 CN202010079728.3
- [10] 欧欣; 张师斌; 林家杰; 黄浩; 游天桂; 黄凯; 王曦 可控电磁波吸收的超材料晶体结构及其制备方法 申请号 CN2018106514346
- [11] 欧欣; 伊艾伦; 林家杰; 张师斌; 于庆凯; 谢晓明 一种 Si 基衬底异质集成石墨烯的制备方法 申请号 CN2018114034730
- [12] 欧欣; 龚谦; 游天桂; 黄凯; 林家杰; 张润春 一种大尺寸 III-V 异质衬底的制备方法 申请号 2016110052139

**参加的研究项目:**

- [1] 国家自然科学基金重点项目“晶圆级单晶薄膜智能剥离与转移硅基异质集成技术研究”(No. 61851406)
- [2] 科技委“智能光子处理器的光电异质异构集成技术研究”(No.18H86304ZT00100505)
- [3] 国家重点研发计划政府间国际科技创新合作重点专项“新型红外纳米结构材料”(No. SQ2017YFGH001191)