

**Design of a High-Speed Column-Level ADC for CMOS**  
**Image Sensor**

**By**

**Lian Zhou**

**A Dissertation Submitted to**

**University of Chinese Academy of Sciences**

**In partial fulfillment of the requirement**

**For the degree of**

**Master of Science**

**Shanghai Institute of Technical Physics,  
Chinese Academy of Sciences**

**April, 2015**



## 致 谢

光阴荏苒，时光飞逝，转眼之间，我的研究生学习生活即将结束。回首这三年难忘的经历，点点滴滴都充满着师长和朋友们的关心和帮助。

首先，我要感谢我的导师陈世军研究员，本论文是在她的辛勤培养和悉心指导下完成的。在这两年多的学习和研究过程中，陈老师以严谨和实事求是的治学态度督促我踏踏实实的开展每一项研究，以渊博的学识、一丝不苟的工作作风影响着我，同时也教会了我许多人生道理，让我端正了科研态度，树立了科研意识，培养了科研精神。正是在陈老师的严格要求下，才使得我顺利地完成了可以研究工作以及学位论文。在此，谨对陈老师表示我最衷心的感谢！

感谢室主任陈永平研究员的帮助与支持。感谢电路组的袁红辉、解宁、徐星、李梧莹、刘强，给了我许多电路和版图设计方面的帮助。

另外，我还要感谢研究生部的汪骏发、李淑薇、曾尚瑾、朱晓琳和黄曦等老师，他们在日常工作和生活中给予了我很大的帮助和照顾。

我要感谢在这美妙的三年生活中给我诸多帮助的小伙伴们，从他们身上我学习到许多优良的品质，留下了太多美好的记忆，结下纯洁深厚的友谊，必将铭刻于心。感谢宋伟清、白涛、计成、甘桃、张志浩、王俊、高磊、蒋大钊、梁清华、陈奕宇、崔玉容等同学，他们给予我的除了无私的帮助，更有支持和包容。

感谢我的父母、家人和朋友，感谢他们对我的关心和帮助，他们是我永远的最坚固的后盾，让我于困境之中不断鼓起勇气重新振作，我才得以顺利完成了研究生阶段的学习。

最后感谢各位专家对本论文的评阅，感谢你们在百忙之中对我的论文进行评审并提出宝贵意见！

作者

2015年4月

## 摘 要

近年来，随着 CMOS 工艺技术和集成设计水平的不断进步，CMOS 图像传感器凭借其低成本、低功耗、读取速度快、易于单片集成等优点，得到迅猛的发展，并在许多的固态成像领域取得广泛的应用。目前，如何提高 CMOS 图像传感器的各项性能，满足不同的用途成为了研究的热点。

本论文重点研究了 CMOS 图像传感器的模数转换技术，并在此基础上提出了模数转换的设计方案。在对方案精心设计和仿真后，得出了一些研究成果，为今后研制更高 ADC 性能的 CMOS 图像传感器奠定了基础。围绕这一主题，本文做了如下的研究工作：

在广泛阅读调研国内外相关文献的基础上，首先对 CMOS 图像传感器中 ADC 的基本工作原理、实现方式、种类、结构以及国内外发展现状进行了详细的介绍。接着分析并对比了各类 ADC 的优缺点，从 CMOS 图像传感器的系统要求出发，设计了一种适用于 CMOS 图像传感器列级的 10bit 多路斜坡单斜 ADC，详细介绍了电路整体结构、工作模式以及仿真结果。电路采用两级转换的方式，设计了电阻阵列式多路斜坡发生器、高速比较器。在 Cadence 设计平台下对模拟电路进行设计、仿真与版图设计。电路采用 0.5 $\mu$ m DPTM CMOS 工艺制造。仿真结果表明，基本符合设计要求。

关键词：CMOS 图像传感器，模数转换器，多路斜坡，电阻阵列，比较器

## Abstract

In recent years, with the development of CMOS process technology and IC design methodology, CMOS image sensor has been developing rapidly for its advantages of low cost, low power, high speed of read-out, easy to integrate etc., and it has been applied widely in many solid-state image fields. At present how to improve the performance of CMOS image sensor for various applications has become a hot spot for the research of CMOS image sensor.

The main objective of this paper is the research of digitalization of CMOS image sensor. Based on these analysis, this paper presents several analog-to-digital conversion plans. With the analysis of these test results, this paper gains some useful results, which set up the foundation of future design of CMOS image sensor of higher performance. Based on these subjects, this paper has carried out several researches as follows:

Based on extensive reading and studies of relevant literatures, firstly this paper describes the principle, implementation, types, structures and the domestic and foreign development of ADC in a CMOS image sensor in detail. Then the analysis and comparison of types of ADC is presented to show the advantages and disadvantages. Base on the requirements of CMOS image sensor system, this paper presents a 10-bit multiple-ramp single-slope ADC which could be used in column-level ADC for CMOS image sensor. The major structure, the working mode and the simulation results of the circuit are shown in this paper. The design of circuits adopts resistor-array two-stage conversion structure and high-speed comparators. The circuit design, simulation and layout design are achieved on the platform of Cadence. The proposed circuit is taped out by 0.5 $\mu\text{m}$  DPTM CMOS process. The simulation results show that the basic requirement is met.

**Key Words:** CMOS image sensor, ADC, multiple ramps, resistor-array, comparator

# 目录

致 谢.....	I
摘 要.....	III
Abstract.....	V
目 录.....	VII
第一章 绪论.....	1
1.1 CMOS 图像传感器概述.....	1
1.2 模数转换器概述.....	2
1.3 读出电路片上集成模数转换器的优劣.....	2
1.4 本课题的研究目的以及意义.....	3
1.5 本课题的主要创新点.....	3
1.6 论文研究内容及结构安排.....	3
第二章 模数转换器理论基础.....	5
2.1 模数转换器基本原理.....	5
2.2 CMOS 图像传感器中模数转换器的性能评价参数.....	6
2.2.1 DAC 的性能参数.....	6
2.2.2 ADC 的性能参数.....	11
2.3 本章小结.....	14
第三章 模数转换器设计方案分析.....	15
3.1 片上模数转换器的几种实现方法.....	15
3.1.1 芯片级 ADC.....	15
3.1.2 像素级 ADC.....	16
3.1.3 行列级 ADC.....	17
3.2 片上 ADC 电路的结构.....	18
3.2.1 flash ADC.....	19
3.2.2 电压-频率转换 ADC.....	20
3.3.3 单斜率 ADC.....	21
3.3.4 $\Sigma$ - $\Delta$ 过采样 ADC.....	23
3.3.5 逐次逼近 ADC.....	24
3.3.6 流水线型 ADC.....	25
3.3.7 循环 ADC.....	26

3.4 本课题所采用的电路形式 .....	27
3.5 本章小结 .....	28
<b>第四章 模数转换器的设计与仿真 .....</b>	<b>29</b>
4.1 电路结构与原理 .....	29
4.2 斜坡发生器的设计 .....	30
4.2.1 斜坡发生器的选型 .....	30
4.2.2 电阻型斜坡发生器设计考虑 .....	33
4.2.3 仿真结果 .....	37
4.3 比较器的设计 .....	38
4.3.1 比较器特性分析 .....	39
4.3.2 比较器设计 .....	40
4.3.3 比较器仿真分析 .....	44
4.4 本章小结 .....	46
<b>第五章 模数转换器版图设计 .....</b>	<b>47</b>
5.1 版图的设计步骤 .....	47
5.2 设计中的一些注意事项 .....	47
5.3 模数转换器单元版图设计 .....	49
5.3.1 比较器版图设计 .....	49
5.3.2 主斜坡发生器版图设计 .....	50
5.4 版图的验证 .....	50
5.5 本章小结 .....	51
<b>第六章 总结与展望 .....</b>	<b>53</b>
<b>参考文献 .....</b>	<b>55</b>
<b>作者简介及在学期间发表的学术论文与研究成果 .....</b>	<b>59</b>

## 第一章 绪论

### 1.1 CMOS 图像传感器概述

古谚有云“一张图片胜过千言万语”，从史前岩画自然而又丰富的线条中即可窥见图形图像之于人类社会发展的意义。日复一日，年复一年，人类诠释图像的方式在不断地继承发展与变化。图像采集系统在当今社会之中扮演着举足轻重的角色，而图像传感器正是这一系统的核心。上世纪 70 年代，随着 MOS 技术的成熟，三种典型的固态图像传感器——电荷耦合器件(Charge Coupled Device, CCD)、电荷注入器件(Charge-Injection Detector, CID)、光敏二极管阵列(Photodiode Array, PDA)得到了发展。在这三种固态图像传感器中，CCD 的发展尤为迅速<sup>[1]</sup>。当然，CCD 技术也并非善尽美，随着应用范围的扩大，其不足之处渐渐显露出来。因此技术人员又着重研发了数种新型固态图像传感器技术。其中，最引人注目的当属 CMOS 图像传感器，其成像质量足以媲美 CCD 产品，且在功耗、集成度方面更具优势。如今摄像头已经成为手机不可或缺的一部分，CMOS 图像传感器功不可没。

CCD 图像传感器因其量子效率、填充率、暗电流、电荷传输效率、读出速率、读出噪声与动态范围等性能参数俱佳，在许多领域均得到广泛应用；与此同时，CMOS 图像传感器却无人问津，仅有 Hitachi、Matsushita 等公司还在深入研究<sup>[2]-[3]</sup>。进入到 90 年代后，随着 CMOS 技术的发展和小型化、低功耗低成本成像系统的需求大增，CMOS 图像传感器迎来了春天。1992 年，NASA 的喷气推进实验室开始研制 CMOS 有源像素传感器(CMOS Active Pixel Sensor, CMOS APS)，并于次年成功研制出一块 128×128 的 CMOS 有源像素传感器。进入到 21 世纪，CMOS 图像传感器在提高综合性能、缩小单元尺寸、调整 CMOS 工艺参数、改进和完善器件性能方面不断提升，市场规模也不断增大。根据 HIS iSuppli 公司的消费平台市场追踪报告，由于广泛应用于各类新兴产品领域，比如智能手机，CMOS 图像传感器的出货量从 2006 年的 7.94 亿片，剧增至 2008 年的 11.68 亿片，2010 年达到 16 亿片，2011 年 21 亿片。CMOS 图像传感器在整个图像传感市场中占据的份额也越来越大，2010 年 90%，2011 年 92%，预计 2015 年将达到 97%。

总体上看，CMOS 图像传感器技术发展带动新的应用领域不断涌现，新的应用领域又促进了 CMOS 图像传感器技术的革新，相得益彰，维持着 CMOS 图像传感器的巨大市场。

## 1.2 模数转换器概述

模数转换器(Analog-to-Digital Converter, ADC)作为混合信号处理系统中最关键的部分之一, 决定了一个 CMOS 图像传感器的工作效率。模数转换器的主要功能就是将模拟信号转换成数字信号。近年来, 数字集成电路发展迅速, 数字信号处理系统(Digital Signal Processing, DSP)的功用也越来越强大, 与模拟信号处理系统相比, 其具有动态范围大、可靠性高、功耗低、轻便灵活以及可实现智能控制等优点, 适用于各类场合。数字电路比模拟电路在信号的传输和处理层面具有更大的优势。另一方面, 我们生活的这个世界, 充斥着各种各样的基本信号, 其中大多都是一些模拟信号, 如语音、图像等。系统在进行数字处理之后, 往往还要将这些数字信号再转换为模拟信号以实现系统对外界的控制<sup>[4]</sup>。模拟世界与数字处理系统之间需要进行频繁的信号交换, 可见模数转换器的作用巨大, 应用范围广阔。

## 1.3 读出电路片上集成模数转换器的优劣

新一代的 CMOS 图像传感器要求更高的分辨率、更小的尺寸、更轻的重量以及更低的功耗, 将原来后级信号处理电路中的模数转换集成到片上成为首要的任务。与传统的采用片外模数转换的结构相比, 在片上实现主要有以下优点:

首先, 片上集成模数转换器能大幅减少系统所需的芯片数目, 有利于降低系统的复杂度, 提高系统整体可靠性, 有利于降低系统的功耗、成本、体积等, 有利于缩短系统的开发周期; 其次, CMOS 图像传感器的性能受制于信号通道中串扰的引入、电源噪声、电磁干扰和其他一些机制。如果采用片上集成模数转换器的方式, 由于没有片外的模拟信号通路, 其读出电路将会有更好的噪声性能, 输出抖动也会减小, 同时数字输出信号也能够避免制冷系统产生的噪声影响; 再者, 片上集成模数转换器也是今后在片上集成后续模块, 如数字信号处理器, 实现积分时间控制、关键区域窗口读出的前提, 原则上, 片上图像压缩也可以实现, 从而减轻驱动输出的压力<sup>[5]</sup>。

但是, 由于读出电路芯片的大部分面积已经被前级单通道电路占用, 片上集成模数转换器所能使用的面积受到了很大的限制, 因此能够在读出电路片上集成的模数转换器结构必须相对较为简单一些, 且占用面积也要相对小一些, 如此一来大大限制了能在 CMOS 图像传感器片上集成的模数转换器的种类, 同时片上

ADC 必须与读出电路的工艺兼容、电压兼容且对前级单通道电路的干扰较小。

## 1.4 本课题的研究目的以及意义

模数转换器是连接现实世界与数字处理系统的桥梁，是 CMOS 图像传感器中的核心组成部分。现实世界之中，模拟信号需由模数转换器转换成数字信号，才能够被数字系统采集、分析以及处理，也必须由数模转换器将处理的数字信号转换成模拟信号，才能为大家所感知<sup>[4]</sup>。

由于 CMOS 图像传感器读出电路的系统化趋势，片上集成的信号处理能力也越来越强，本论文的目的在于从事片上集成模数转换器的研究，设计出一种适合 CMOS 图像传感器的模数转换器。

国外早在上世纪 90 年代初就已经开展了读出电路片上 ADC 的研究，各种性能优良的 ADC 相继出现，而国内这方面的研究起步较晚，还处于学习的阶段。本文通过大量调研国内外相关文献，比对分析各类 ADC 结构，综合功耗、面积、速度等方面的因素，寻求一种适用于我们现在读出电路的片上 ADC 的实现方案，设计电路芯片，参加芯片流片，完成电路测试，分析其性能。

## 1.5 本课题的主要创新点

出于提高模数转换器速度、减小版图面积等考虑，结合 CMOS 图像传感器的要求，在单斜率型模数转换器的基础上进行部分改进，吸收逐次逼近模数转换器和循环模数转换器的部分优点，将转换过程分成粗转换、精转换两部分，有效地提高模数转换器的性能。

## 1.6 论文研究内容及结构安排

本课题针对 CMOS 图像传感器设计一种多路斜坡单斜 ADC，具体的安排如下：

第一章为绪论部分，介绍了 CMOS 图像传感器的发展现状、片上集成模数转换器的利弊。

第二章为模数转换器的理论基础，介绍了模数转换器的基本原理、性能参数。

第三章具体介绍了各种模数转换器的工作原理，经过分析比较并敲定了最终的选型。

第四章围绕适用于 CMOS 图像传感器的 10bit 多路斜坡单斜 ADC 介绍了具体的设计方法和部分仿真结果。

第五章根据前端设计中的原理图完成版图的设计,将电路设计转化为针对具体工艺的掩膜版加工图形。

## 第二章 模数转换器理论基础

模数转换器作为沟通模拟与数字世界之间的桥梁,最重要的功能是完成模拟信号到数字信号的转换,是数字信号处理系统中非常重要的组成部分之一。

### 2.1 模数转换器基本原理

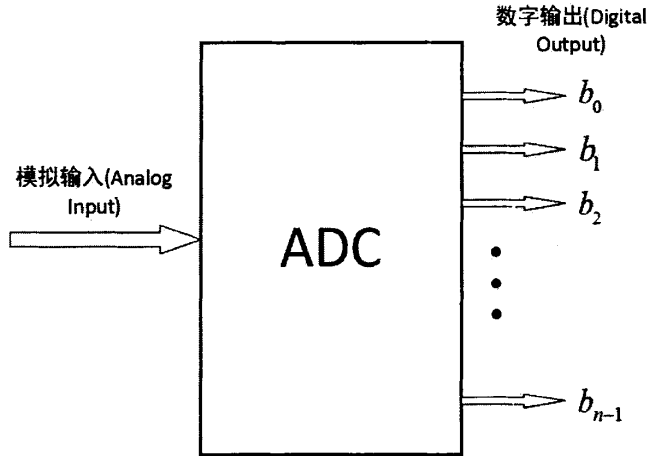


图 2-1 ADC 模块图

模数转换器大致上可以看做一个“黑盒子(Black Box)”<sup>[6]</sup>,如图 2-1 所示。输入信号通常是电压或者电流的模拟量,经过模数转换成为数字输出信号,数字输出信号通常是用  $n$  位的二进制码。设输出二进制码  $X_d$  为,则  $X_d$  可以表示为:

$$X_d = (b_{n-1}, b_{n-2}, \dots, b_2, b_1, b_0) \quad (2.1)$$

或者用另一种方式来表示:

$$D_{out} = \sum_{m=0}^{n-1} b_m \cdot 2^m \quad (2.2)$$

(2.1)式最左面  $b_{n-1}$  被称为最高有效位(Most Significant Bit, MSB),而最右面  $b_0$  则被叫做最低有效位(Least Significant Bit, LSB)。(2.2)式中  $D_{out}$  表示模拟输入信号  $V_a$  数字化之后的值。

## 2.2 CMOS 图像传感器中模数转换器的性能评价参数<sup>[7]-[8]</sup>

一个完整的 ADC 通常包括数模转换器(Digital-to-Analog Converter, DAC)、若干比较器、数字逻辑电路、采样保持电路、开关等,为了清晰地说明 ADC 的性能参数,首先介绍 DAC 的静态参数。

### 2.2.1 DAC 的性能参数

#### (1) 精度

数模转换器的精度为实际输入码字的位数,用  $n$  表示。图 2-2 是一个理想 3 位 DAC 的输入输出特性曲线。8 个码字中每一个都有其对应的特定模拟输出电压。码字每增加一位,理想 DAC 的输出将增加一个 LSB。

$$1LSB = \frac{V_{ref}}{2^n}$$

当然,其特性可以下降 0.5 个 LSB,如虚线所示。

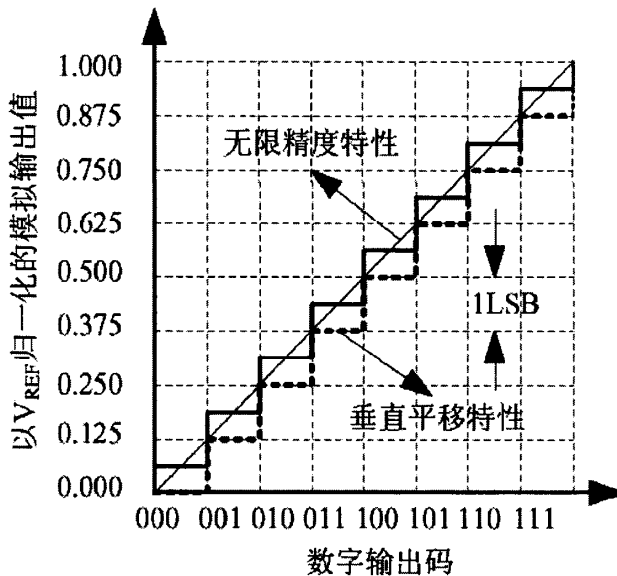


图 2-2 3 位 DAC 的理想输入输出特性曲线

因为 DAC 的精度有限,最大模拟输出电压要比  $V_{ref}$  小。这个特性可以用满刻度值(Full Scale, FS)来描述。满刻度值即最大码字(111...)和最小码字(000...)对

应的模拟输出量的差值，可以表示为：

$$FS = V_{ref} - LSB = V_{ref} \left( 1 - \frac{1}{2^n} \right) \quad (2.3)$$

满刻度值范围(Full Scale Range, FSR)定义为：

$$FSR = \lim_{n \rightarrow \infty} FS = V_{ref} \quad (2.4)$$

### (2) 量化噪声

量化噪声是模拟信号与数字信号之间进行转换的过程中存在的固有误差。图 2-2 给出了一个 DAC 的无限精度特性，该直线表示当 DAC 的位数  $n$  趋于无穷时的输出特性。量化噪声定义为  $n \rightarrow \infty$  时 DAC 的模拟电压与有限位 DAC 的模拟电压之间的差值。图 2-3 表示的是图 2-2 中 3 位 DAC 特性的量化噪声，其中的实线和虚线与 2-2 中的实线和虚线分别对应。

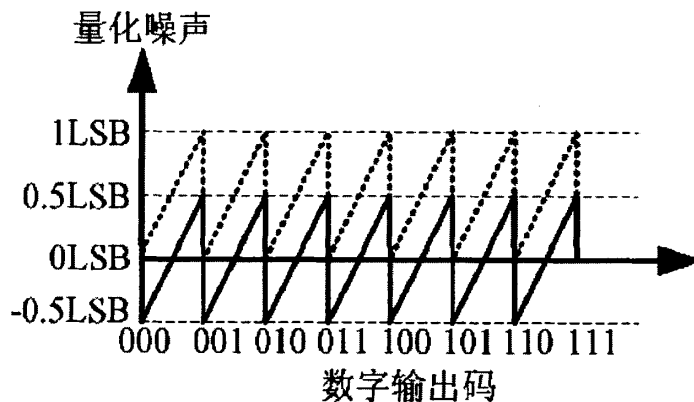


图 2-3 3 位 DAC 的量化噪声

从图 2-3 可知，量化噪声是一个峰峰值为 1LSB 的锯齿波。该噪声体现了 DAC 的精度限制，即 DAC 的固定偏差最小在  $\pm 0.5LSB$  内，降低量化噪声唯一方式就是增加 DAC 的精度。

### (3) 动态范围

DAC 的动态范围(DR)等于 FSR 和 1LSB 的比值，可以表示为：

$$DR = \frac{FSR}{LSB} = \frac{FSR}{(FSR/2^n)} = 2^n \quad (2.5)$$

改写成成分贝形式，式(2.5)可表示为：

$$DR(\text{dB}) = 20 \lg DR = 6.02n \text{ dB} \quad (2.6)$$

#### (4) 信噪比

DAC 的信噪比(SNR)指它的满刻度值与量化噪声均方根值两者之间的比值。

图 2-3 中实线表示的量化噪声为:

$$\text{rms(量化噪声)} = \sqrt{\frac{1}{T} \int_0^T \text{LSB}^2 \left( \frac{t}{T} - 0.5 \right)^2 dt} = \frac{\text{LSB}}{\sqrt{12}} = \frac{\text{FSR}}{2^n \sqrt{12}} \quad (2.7)$$

则信噪比可以表示成:

$$\text{SNR} = \frac{v_{\text{OUT,rms}}}{\left( \text{FSR} / 2^n \sqrt{12} \right)} \quad (2.8)$$

对于正弦波,  $v_{\text{OUT}}$  的均方根值最大为  $(\text{FSR} / 2\sqrt{2})$ , 因此

$$\text{SNR}_{\text{max}} = \frac{\text{FSR} / (2\sqrt{2})}{\text{FSR} / (2^n \sqrt{12})} = \frac{2^n \sqrt{6}}{2} \quad (2.9)$$

改用分贝来表示:

$$\text{SNR}_{\text{max}} (\text{dB}) = 20 \lg \frac{2^n \sqrt{6}}{2} = 6.02n \text{ dB} + 1.76 \text{ dB} \quad (2.10)$$

#### (5) 有效位数

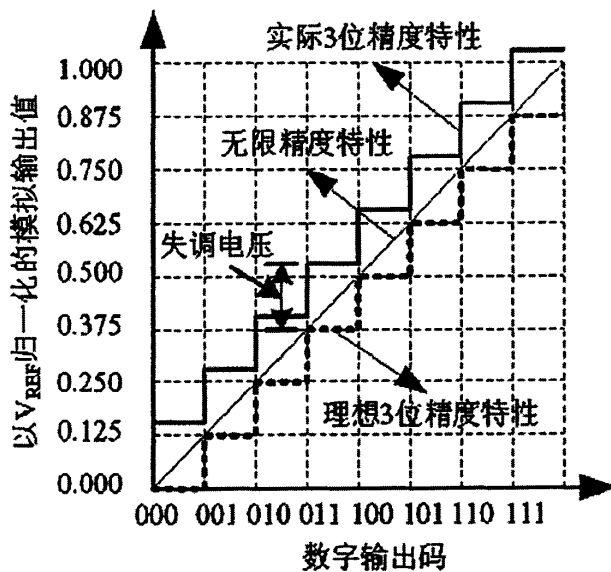
根据式(2.6)可以定义 DAC 的有效位数为:

$$\text{ENOB} = \frac{\text{SNR}_{\text{actual}} - 1.76}{6.02} \quad (2.11)$$

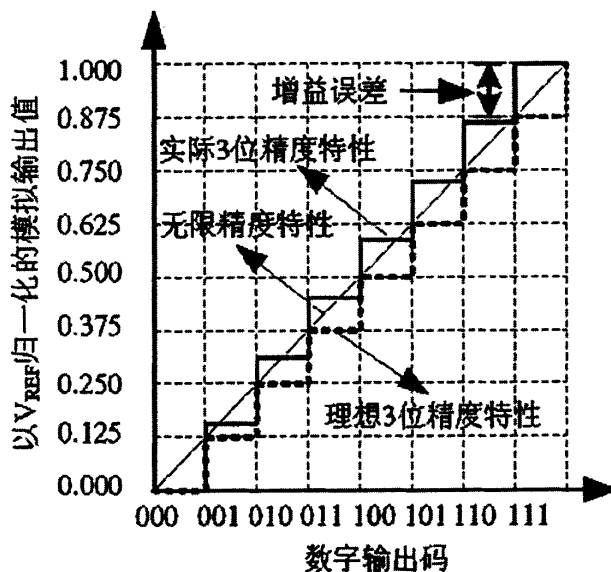
$\text{SNR}_{\text{actual}}$  是 DAC 的实际信噪比值。由此可以看出, 一个  $n$  位的 DAC 的动态范围是  $6n$  dB。

#### (6) 静态转换误差

每一个码字应该对应唯一的输出信号, 偏离图 2-2 的误差都称之为静态转换误差, 如失调误差、增益误差、积分非线性(INL)、微分非线性(DNL)和单调性误差<sup>[8]</sup>, 失调误差是测量的实际有限精度特性和理想有限精度特性之间的固定偏差, 如图 2-4(a)所示, 通过垂直平移可以消除。增益误差是在最右边的垂直测量的实际有限精度特性和无限精度特性之间的偏差, 如图 2-4(b)所示。增益误差与输出电压成正比。



(a)



(b)

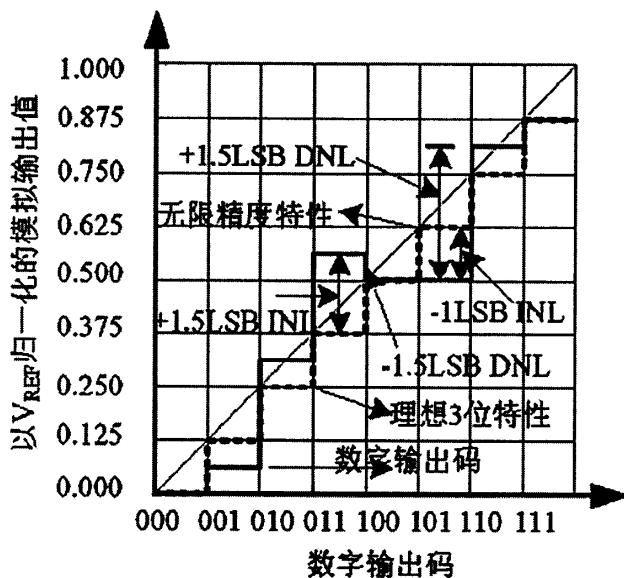
图 2-4 (a)3 位 DAC 的失调误差; (b)3 位 DAC 的增益误差

积分非线性定义为实际与理想的有限精度特性在垂直方向上的差值。积分非线性可以用 LSB 作为单位来表示,如图 2-5(a)所示。微分非线性是实际有限精度特性和理想有限精度特性在垂直方向上相邻电压变化之间的差值,即实际台阶相对于理想输出台阶的偏移量,如图 2-5(a)所示<sup>[7]</sup>。 $V_{cx}$  用来表示每位的实际电压变化,  $V_s$  为理想电压变化,则微分非线性可表示为:

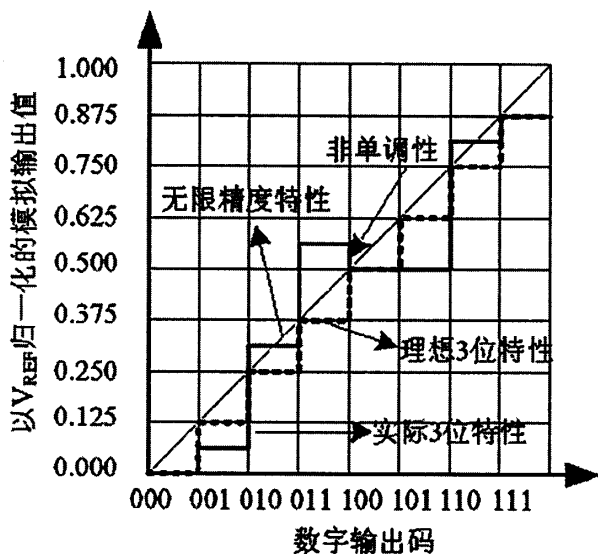
$$DNL = V_{\alpha} - V_s = \left( \frac{V_{\alpha} - V_s}{V_s} \right) V_s = \left( \frac{V_{\alpha}}{V_s} - 1 \right) LSB \quad (2.12)$$

$$V_s = \frac{V_{FSR}}{2^n}$$

DAC 的单调性是指转换特性曲线的斜率永远不会为负值,如图 2-5(b)所示,数字码从 011 变到 100 时出现了非单调性。



(a)



(b)

图 2-5 (a)3 位 DAC 的 INL 与 DNL 示意图; (b)DAC 非单调性示意图

### 2.2.2 ADC 的性能参数

ADC 与前文中分析的 DAC 相反,输入信号是模拟电压,输出是数字编码。图 2-6 给出了一个 3 位理想 ADC 输入输出特性。图 2-6 所示输入输出特性的下方是量化噪声与输入的关系曲线。量化噪声是无限精度特性与理想的 3 位特性之间的差值与输入电压的关系曲线。理想 ADC 和 DAC 一样,其量化噪声在  $\pm 0.5\text{LSB}$  的范围内。包括动态范围、信噪比和 ADC 的有效位数等定义也与上一节中 DAC 给出的类似,之前这些量和模拟变量有关,而在 ADC 中它们与数字输出码有关<sup>[7]</sup>。

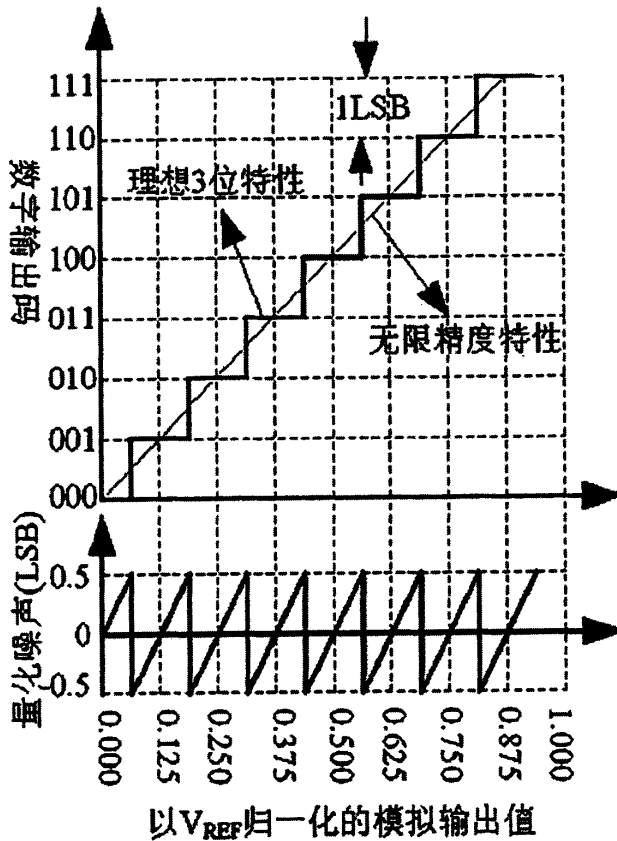
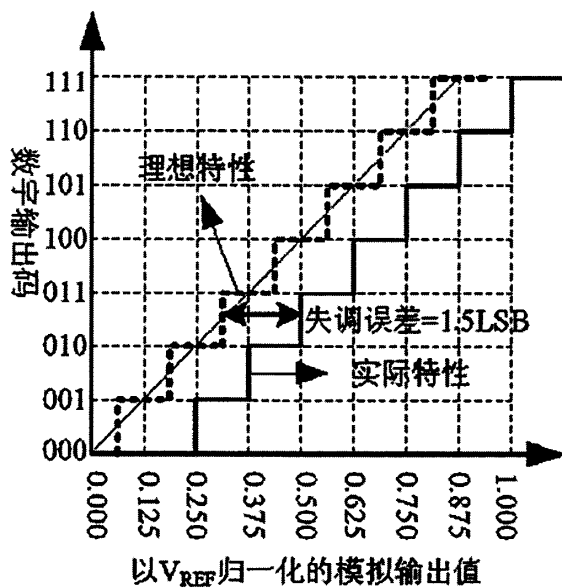
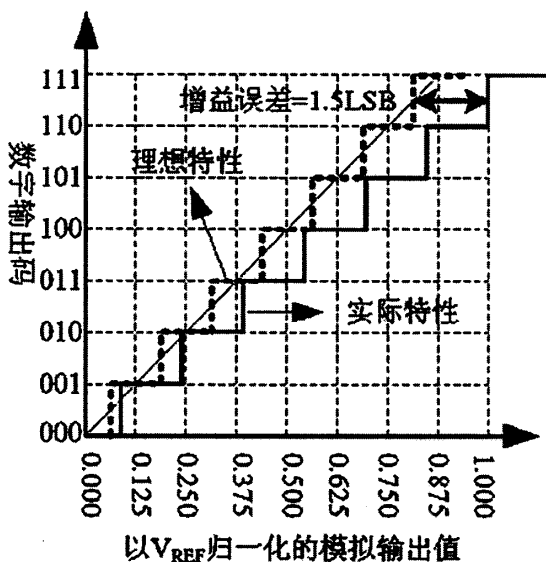


图 2-6 3 位 ADC 的理想输入输出特性

ADC 的分辨率是 ADC 可以识别的最小的模拟信号变化量,可用满刻度的百分比来表示,但通常直接用位数  $n$  表示。



(a)



(b)

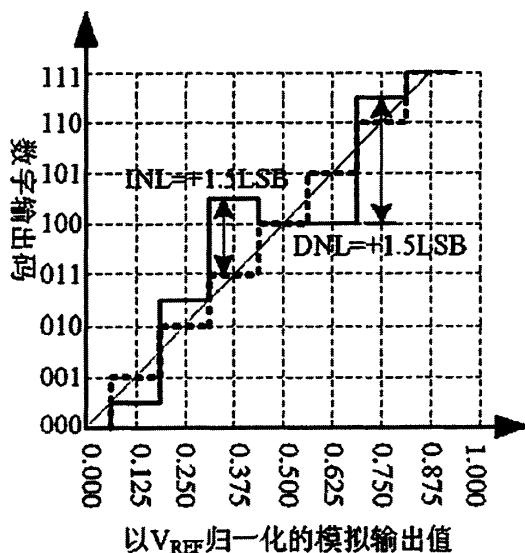
图 2-7 (a)3 位 ADC 的失调误差; (b)3 位 ADC 的增益误差

ADC 静态性能的主要特性是失调误差、增益误差、积分非线性、微分非线性。如果 ADC 中有失调误差, 可以通过移动无限精度特性曲线, 让量化噪声对称分布在这条线的两侧, 失调误差就定义为这条线所移动过的水平距离, 如图 2-7(a)所示。增益误差是实际特性曲线和无限精度特性曲线之间的差值, 可以用二者之间的水平差值来表示, 它与输入电压的幅度成比例, 如图 2-7(b)所示。

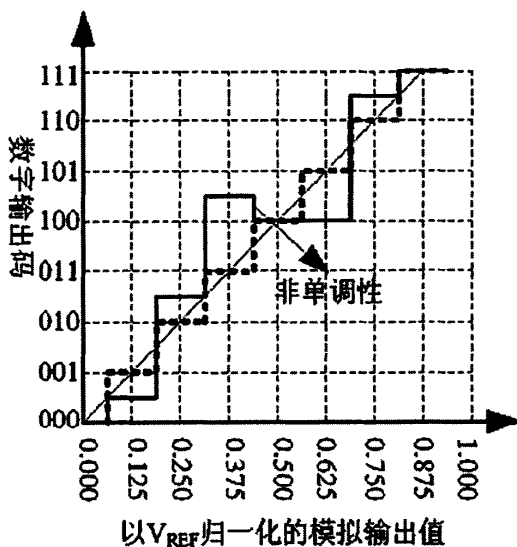
ADC 的积分非线性的定义是实际特性曲线和理想特性曲线在垂直方向的差

值，它可以用百分比或者最低有效位来表示。ADC 的微分非线性的定义是在每个垂直台阶上测量的相邻编码之间的距离，它可以用百分比或者最低有效位来表示。ADC 的微分非线性可以写为：

$$DNL = (D_{cx} - 1) LSB \quad (2.13)$$



(a)



(b)

图 2-8 (a)3 位 ADC 的 INL 和 DNL; (b)3 位 ADC 的非单调性

其中  $D_{cx}$  是以 LSB 为单位的实际垂直台阶的尺寸，图 2-8(a)为 3 位 ADC 的 INL 和 DNL 示意图。当垂直阶跃是负值时，ADC 会出现非单调性，如图 2-8(b)所

示。

## 2.3 本章小结

本章主要介绍了 ADC 的基本原理以及评价 ADC 工作性能的部分参数，因为 DAC 通常也是 ADC 的重要组成部分之一，也介绍了一些 DAC 的性能参数，这二者的性能评价参数较相似，通过 DAC 的性能参数能够更清晰地理解 ADC 的性能。

## 第三章 模数转换器设计方案分析

### 3.1 片上模数转换器的几种实现方法

根据模数转换单元与像素读出单元之间的位置关系,CMOS 图像传感器中的 ADC 实现方案主要有三种的结构:芯片级(Chip Level)、行列级(Column Level)、像素级(Pixel Level)<sup>[9]-[12]</sup>。

#### 3.1.1 芯片级 ADC

芯片级 ADC 结构是较早出现的一种结构,它是将成像核心器件与单个 ADC 模块集成在一块芯片上,即传统读出电路的输出级中加入一个串行高速单片 ADC,依次将每一像元的模拟信号转换为数字信号。如图 3-1 所示,其中 ADC 位于芯片信号串行传输通道的末端。

芯片级 ADC 的工作方式是:像素读出电路将像素单元电流信号转换成模拟信号电压信号,通过行选择译码电路和列选择译码电路选择输出,每个像素输出的模拟电压信号经模数转换电路转化为数字信号最终输出。

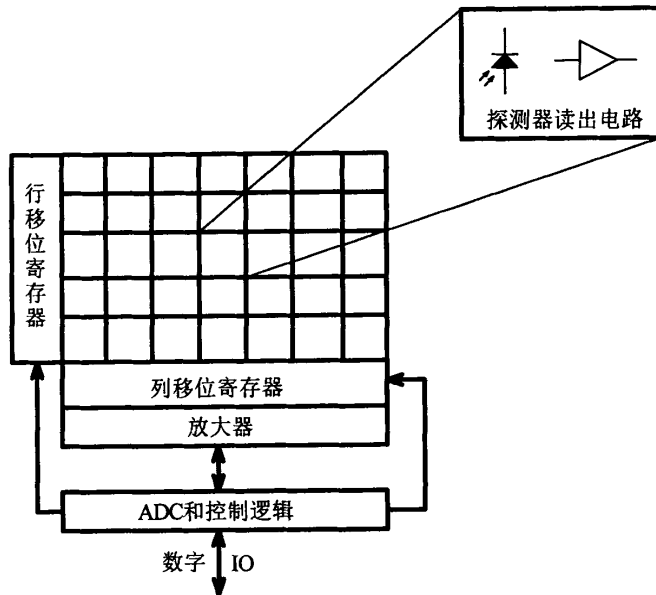


图 3-1 芯片级 ADC

此结构在面积上的限制较少,像素填充因子较高,且不需要像素阵列与 ADC 进行间距匹配,ADC 尺寸不受严格限制,可采用标准的 CMOS 设计和版图技术,设计上相对灵活。然而 ADC 的运行速度成为制约整个芯片处理速度的瓶颈,因此 ADC 必须具有高速转换性能,某种程度增加了设计的复杂程度和芯片的功耗。因此,许多方案都尽量避免采用这种结构。

### 3.1.2 像素级 ADC

像素级 ADC,顾名思义,就是图像传感器像素阵列中的每个像素或每几个像素共用一个 ADC,采用完全并行的工作方式,因此一个图像传感器中集成了一个 ADC 的二维阵列,像素读出信号直接进入 ADC 完成转换,结构示意图如图 3-2 所示。

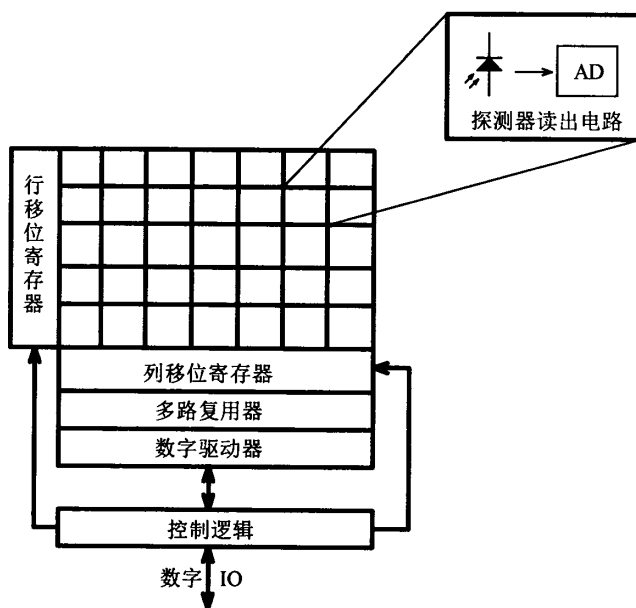


图 3-2 像素级 ADC

像素级 ADC 结构与前两种实现方式相比对 ADC 的速度要求最低,可以采用速度非常低、功耗非常小的 ADC;噪声性能也比前两种更为优化,像素输出的是数字信号,提高了整个芯片的信噪比;但由于像素级 ADC 实现方式收到单元电路面积的限制,需要在面积、功耗和精度间作出平衡,版图设计上难度也很高,尤其遇到特殊情况比如当像素间距很小或对 ADC 的分辨率要求很高的情况

下问题更加突出，与行列级实现类似，同样存在片上 ADC 的匹配问题，客观上这些因素阻碍了像素级 ADC 的广泛使用。当然，随着 CMOS 工艺不断发展提高，像素级 ADC 具有非常好的工艺适应性，是 CMOS 图像传感器模数转换未来的一种发展趋势。

### 3.1.3 行列级 ADC

行列级 ADC 指图像传感器像素阵列中每列像素或几列像素共用一个 ADC，多个 ADC 并行工作将模拟信号转换为数字信号，如图 3-3 所示。

像素阵列逐行读取，每行像素同时读出到信号处理电路，然后这一行像素内的信号再串行逐个传输到输出端。这种行列级 ADC 结构具有并行处理的诸多优点，比如它对 ADC 速度要求低，降低了芯片的功耗，有利于 ADC 的设计<sup>[6]</sup>。显然这种结构版图设计有些复杂，列宽上存在一定的限制，然而在芯片的垂直方向上的自由度依旧很大，设计也相对灵活。同芯片级 ADC 一样，由于存在片上的模拟传输通道，噪声性能不如像素级 ADC，如何保证各个列 ADC 参数的匹配是设计的关键之一，以免引起固定图形噪声 FPN。行列级 ADC 是芯片级与像素级实现方式间的一个折衷方案，也是目前为止实际应用较为广泛的一种实现方式。

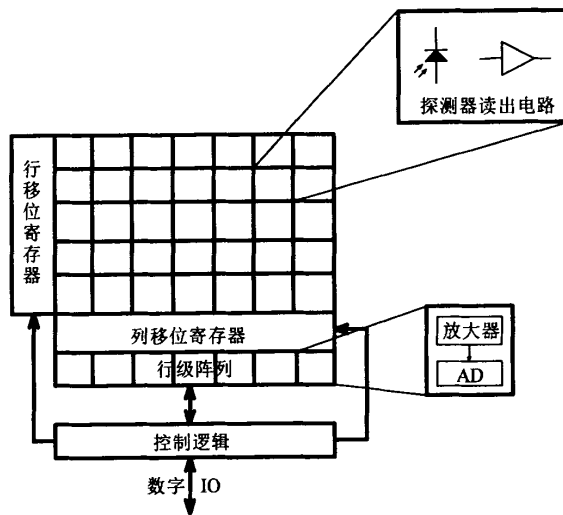


图 3-3 行列级 ADC

下表是关于 3 种类型 ADC 优缺点的简要总结<sup>[4]</sup>

表 3-1 CMOS 图像传感器中各种类型 ADC 的性能比较

ADC	优点	缺点
芯片级	芯片面积小 对 ADC 的面积无限制 填充因子高	ADC 速度要求高 功耗高 非并行处理
行列级	垂直方向自由度高 半并行处理 处理速度低从而降低功耗 高填充因子 信噪比较高	列宽受限制 失配比芯片级大 功耗比像素级高
像素级	并行处理 信噪比高 处理速度低, 因此功耗也较低 容易实现全局和本地版图上的调整 寄生效应的影响小	填充因子低 限制 ADC 尺寸 限制 ADC 中晶体管数目 可编程性和精度较差 暗电流和串扰影响大

通过三者间的对比不难解读出, 行列级 ADC 则是对像素级 ADC 与芯片级 ADC 的一个折衷。采用每列像素使用一个 ADC, 每次整行像素的信号同时读出到列 ADC 中, ADC 并行对其进行处理, 下一周期再读入下一行像素的信号。这种操作方式, 大大降低了 ADC 的速度要求和设计难度, 提高了数据读出速率。由于模拟信号传输通路较短, 因此信噪比也不错。在版图设计上只有一个方向上被列宽限制, 较容易设计。

本项目选用行列级 ADC, 以适应大像素阵列高数据吞吐量的需求。此外, CMOS 图像传感器未来的一个发展趋势是缩小像素面积和扩大像素阵列, 列并行 ADC 的扩展性很强, 利于 CMOS 图像传感器向大像素阵列扩展<sup>[7]</sup>。

### 3.2 片上 ADC 电路的结构

几种常用的 ADC 结构包括并行 (flash)、单斜率型、多斜率型、压频转换型、逐次逼近型、算法型、过采样  $\Sigma$ - $\Delta$  型、流水线 (pipeline) 型等。由于受到面积、速度和功耗等因素的限制, 并非每种 ADC 结构都适用于 CMOS 图像传感器。下面介绍几种常见的 ADC 结构并分析其优劣。

### 3.2.1 flash ADC

flash ADC<sup>[13]-[14]</sup>也称并行 ADC，工作时全并行操作，因而是最快的一类模数转换器。图 3-4 是一个 flash ADC 的结构图。

参考电压经电阻阵列分压得到，与模拟输入信号相比较产生  $2^n$  个比较结果，经数字逻辑电路处理产生  $n$  位的数字输出。这种结构 ADC 的优点是所有转换都能在一个时钟周期内完成，转换速度仅受比较器速度或采样速度的限制，速度很快。然而 flash ADC 中最为主要的结构就是比较器，其数量与模数转换器位数  $n$  呈指数增长等于  $2^n$ ，如果需要进行十位的模数转换则需要  $2^{10}=1024$  个比较器，对于实现 8 位以上的转换并行 ADC 的功耗和版图尺寸将会非常惊人。同时随着实现位数的增加，比较器的精度也需要增加，再加上不匹配、失调等若干其他因素，要想实现较高的转换位数将非常困难。再者，一般并行结构信号输入端都需要采样保持电路来驱动大量的比较器，这也要求采样保持电路具有强大的驱动能力，同样需要消耗大量的功耗。因此 flash ADC 具有速度快、功耗大、芯片面积大、成本高、输入电容大等特点<sup>[4]</sup>。

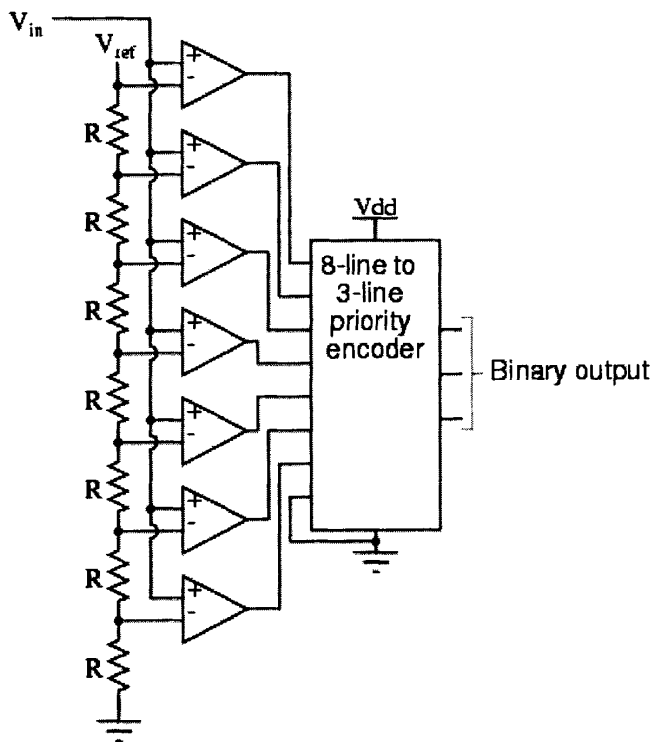


图 3-4 并行 ADC 结构框图

通常情况下, flash ADC 用在实现较少位数而需要较高转换速率的场合, 一般  $n$  小于 8, 速度大于 100M/s。因此, 除了在少数对数响应的 CMOS 图像传感器中有一些应用之外, 基本很少采用。

### 3.2.2 电压-频率转换 ADC

电压-频率转换 ADC 结构图如图 3-5 所示, 其主要功能是将输入的模拟信号转换成与之成正比的频率信号, 然后在一个固定的时间间隔内, 对得到的频率信号计数, 所得到的计数结果正比于模拟数字量。具体工作原理如下: 探测器产生的光电流经积分电容积分与参考电压相比较, 当比较器输出为高电平时复位探测器, 产生一个脉冲信号。在相同的时间间隔内, 脉冲信号的频率与光生电流大小成正比, 最后通过计数器得到相应的数字。主要组成部分为探测器、内部电容  $C_d$ 、比较器、复位 MOS 管、反馈电路和计数器<sup>[15]</sup>。

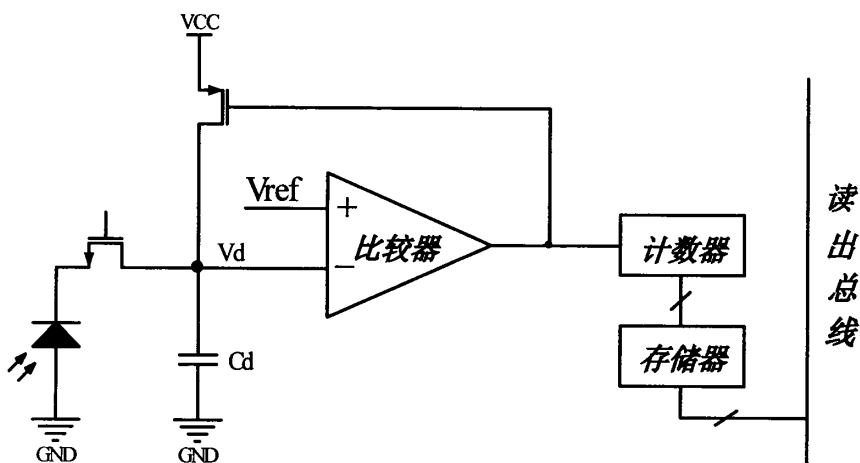


图 3-5 电压-频率转换 ADC 原理框图

其工作原理为: 当光照射到探测器时, 产生的光电流给探测器的电容放电, 导致了  $V_d$  电位的下降,  $V_d$  和  $V_{ref}$  通过比较器进行比较,  $V_{ref}$  由片上的 DAC 或者由分压电路产生。当  $V_d$  电位低于  $V_{ref}$  时, 比较器输出为高电平, 经反馈电路反馈到复位 PMOS 管, 使  $V_d$  的电位复位到  $V_{cc}$ , 并将探测器复位; 也就是说, 当  $V_d$  的电

位到达  $V_{ref}$  时，在比较器的输出端产生一个脉冲，脉冲的周期为：

$$T_d = \frac{C_d(V_{cc} - V_{ref})}{i_d}, f = \frac{1}{T_d} \quad (3.1)$$

$i_d$  和  $C_d$  分别为探测器的光电流和积分电容， $f$  为比较器输出的脉冲频率。

$i_d$  正比于脉冲的频率。在一定周期  $T_{en}$  内，产生了光电流到数码的转换。计数器由外部的使能信号来控制，仅在  $T_{en}$  周期内工作，所计脉冲的数量  $N$  如式(2-2)

$$N = \frac{T_{en}}{T_d} = \frac{2^n T_{clk}}{T_d} = \frac{2^n T_{clk}}{(V_{cc} - V_{ref}) C_d} i_d \quad (3.2)$$

其中， $n$  为 ADC 的分辨率， $T_{clk}$  为时钟信号 CLK 的周期。

这种电路的优点是结构简单，实现容易，动态范围大，适应于不同的应用场合。缺点是每个像元均需要计数器，且精度越高计数器部分面积较大，同时转换速度也不快。使能信号周期由最大光电流和积分电容  $C_d$  决定，难以精确确定。

文献[16]中的片上 ADC 采用了这种结构的像素级实现，由于无法将计数器集成到像素单元电路内部，通常一行或一列像素单元共享一个计数器，因此这种结构不能实现所有像素的同时转换，本质上属于行列级实现方式。

### 3.3.3 单斜率 ADC

单斜率 ADC，属于电压-时间型的间接 ADC，图 3-6 即为列并行单斜 ADC 结构模块图，一些电路模块，如斜坡发生器和数字计数器都是为各列所共用的，如之前所述，将每一列中模拟电路的规模减小到尽可能小，对于单斜 ADC 来说这是一个相当关键的优势。每一列仅仅需要一个比较器。

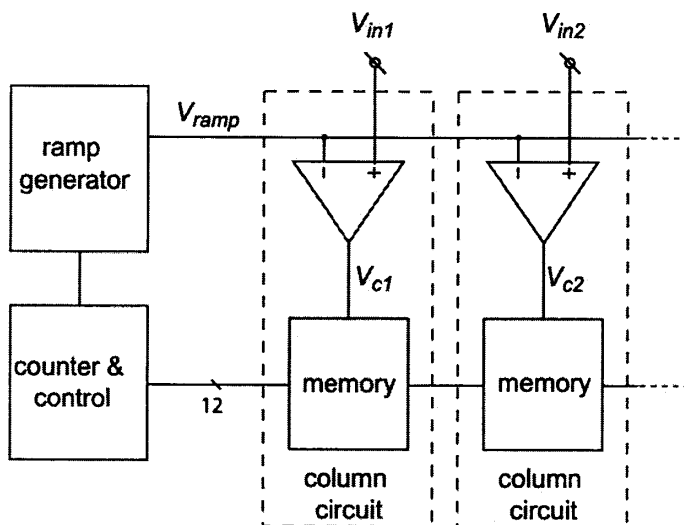


图 3-6 列并行单斜 ADC 模块图

单斜 ADC 的工作过程大致可以描述为：中心电路模块的斜坡发生器输出一路斜坡电压  $V_{ramp}$ ，跨度为 ADC 的总输入电压。一个  $n$  位的数字计数器与斜坡发生器同步工作。每一行中，列输入电压与斜坡电压进行比较，当比较器侦测到列输入电压等于斜坡电压  $V_{ramp}$  的时候，比较器的输出触发列中的数字存储器。

这种简单的列电路不仅能够减小芯片面积，与其他结构 ADC 相比较更容易保证列与列之间的一致性。任何由斜坡发生器产生的错误对每一列所造成的影响是等价的，因此不会造成任何非一致性。主要的列内误差源是失调和比较器产生的延迟。这些误差可通过一些技术予以消除，如动态失调消除技术等。

与此同时，列并行单斜 ADC 的缺点也是十分明显的，就是它的转化速度较慢，需要的 AD 转换时间  $T_{conv}$  可以表示成

$$T_{conv} = \frac{2^n - 1}{f_{ck}} \quad (3.3)$$

此处的  $n$  是 ADC 的预期精度， $f_{ck}$  是计数器的时钟频率。比如一个 10 位精度的 ADC 在 20MHz 的时钟频率下，完成一次转换通常需要  $51\mu s$ 。相对来说，逐次逼近 ADC 与循环 ADC 都是仅仅需要  $n$  个时钟周期就能够完成  $n$  位的模数转换，速度很占优势。

单斜率 ADC 的精度取决于斜坡发生器的精度，比较器的精度和时钟信号的稳定度，一般情况下精度不能做的很高，速度也比较慢，主要应用于行列级实现方式。文献[17]中的列级片上 ADC 即采用了单斜率结构。

3.3.4  $\Sigma$ - $\Delta$  过采样 ADC

过采样  $\Sigma$ - $\Delta$  模数转换器的原理是，每次对输入模拟信号采样后产生一位单个码元，这码元表征输入信号的幅值，这种单个码元的高速输出组成码元序列，再经过低通滤波和降频后使之成为按照模拟信号的奈奎斯特采样速率采样的数字字。

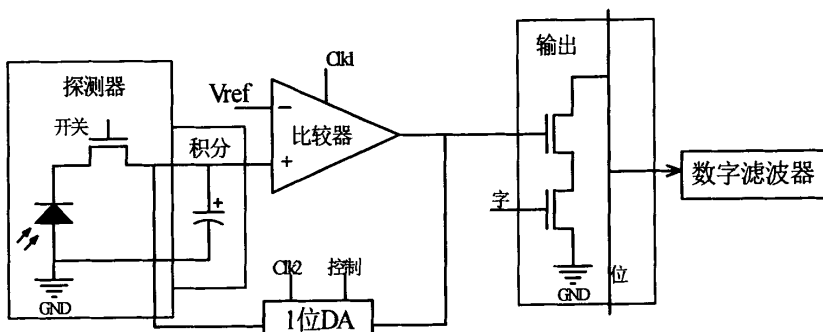
图 3-7  $\Sigma$ - $\Delta$  过采样 ADC 电路图

图 3-7 像素级  $\Sigma$ - $\Delta$  过采样模数转换的一个具体实例。该电路由一个钟控比较器(由 Clk1 控制)，一个 DI 注入级，一位 DAC，一个输出结构和像素外数字滤波器组成。其工作过程如下：

积分电容通过注入管对探测器上的光生电荷进行积分，该积分电容上的电压由钟控比较器(Clk1 控制)进行 1 位量化，控制时钟 Clk1 的频率即为过采样频率。该量化值经过 1 位数模转换器（由 Clk2 控制）转换为电压，反馈回积分器与积分电容上的信号电压相加，一个转换周期完成。每个周期完成后都会产生一位数字码，经过读出结构由位线（Bit line）读出，再经片外或者片内的数字滤波器降频输出。尽管像素单元中产生的每一位数字码是无法预测的，但是该数据流的统计值反映了光生电流的大小。

过采样  $\Sigma$ - $\Delta$  模数转换器是一种高精度 ADC。它的最大特点是通过对采样以时间换取精度、以数字电路的复杂性换取降低对模拟电路精度的要求，达到高精度、低功耗的目的。这种 ADC 的采样频率比奈奎斯特频率高几十倍甚至几百倍，其结构中的电路 95% 以上是数字电路。由于它有大的电荷处理能力，在输入范围的中间处量化能力好。

这种电路的优点是：由于 1 位 DAC 的反馈作用，电荷处理容量增大。噪声低。电路形式简单。精度高，信噪比高。由过采样理论可知，采样频率越高，噪声功率越低，能达到的精度越高。

由于只需将模拟调制器集成在前级单通道电路中， $\Sigma$ - $\Delta$  型模数转换器非常适合于像素级的片上 ADC 实现。但是因为需要过采样，转换速度会比较慢，且在片上集成时对芯片的输入输出能力要求较高。文献[18]中提及的片上 ADC 就是采用了这种结构。

### 3.3.5 逐次逼近 ADC

逐次逼近(Successive Approximation, SA)ADC 结构如图 3-8 所示，包含一个比较器、一个数模转换器、逐次逼近寄存器和逻辑控制单元等。其原理是通过逐次逼近算法，每次取最大电压值区间的一半值与采样电压进行比较，从而得出每个数字位的输出。其工作模式如下：

数字控制电路产生首位为“1”其余位为“0”的一串数字信号，通过数模转换器转换为电压信号并与输入的采样信号通过比较器比较大小。比较器的输出结果输入到数字控制电路，用于确定模数转换器的输出信号首位数字码，比较器输出为“1”则首位数字码为“1”，比较器输出为“0”则首位数字码为“0”。一次比较结束后，数字控制电路将次位数字码改为“1”，首位数字码为上一时钟比较器所确定的数字码，其余位为“0”，将产生的数字信号通过数模转换器转换成模拟信号并与输出采样信号通过比较器比较大小，从而确定数模转换器输出信号次位数字码。依此进行 N 个时钟周期，就能确定 N 位模数转换器的数字输出。整个过程结束，即完成了一次模拟量到数字量的转换，N 位转换结果存储在寄存器内，这就是最终输出所转化模拟量的数字码。

逐次逼近型的模数转换器是一种中速中分辨率的 ADC，其原理相对简单，精度主要受内部比较器和数模转换器精度的限制，可通过附加额外的片上校正电路提高精度。由于受到面积因素的限制，这种结构的 ADC 一般仅能够用于行列级和芯片级的实现方式之中。文献[19]-[20]中采用了这种结构的片上 ADC 实现。

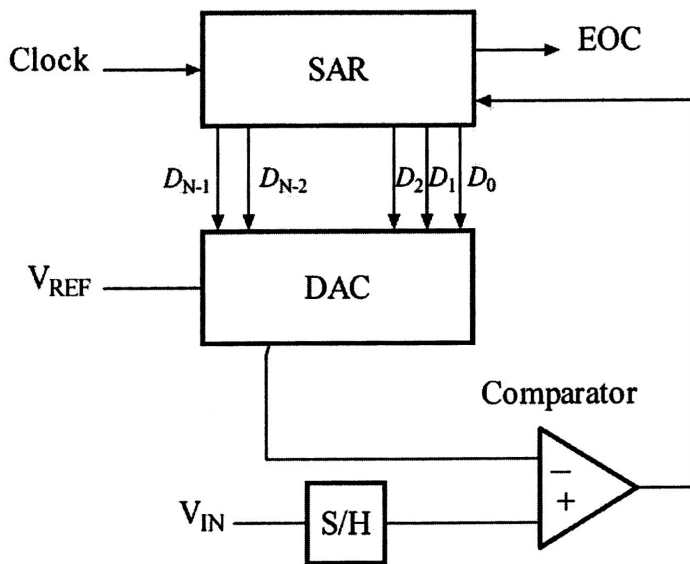


图 3-8 逐次逼近 ADC 模块图

### 3.3.6 流水线型 ADC

流水线(Pipeline)ADC 又名算法(Algorithm)ADC, 结构如图 所示, 它由  $n$  个相同的转换单元级联而成, 若每级转换单元的精度为  $m$  位, 则模数转换器的总分辨率为  $m \times n$ ,  $m$  越大则每级的转换时间越长, 模数转换器的整体转换速率也就越低。如果所有的转换单元都是一位, 即  $m=1$ , 则总的分辨率为  $n$ , 转换速率也就最高。

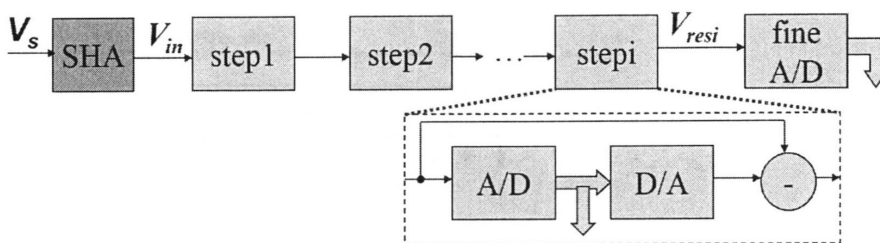


图 3-9 流水线型 ADC 模块图

流水线 ADC 的转换是逐级进行的, 其主要优点是转换速度快, 当第一级转换完成送第二级处理时, 第一级就可以取样下一个信号, 对比逐次逼近 ADC 必

须  $n$  位完成后才会处理下一个采样值，因此这种 ADC 每一个时钟周期可以完成一次转换。流水线 ADC 的缺点是在第一个数字输出之前有  $n$  个时钟周期的延迟，且对内部的倍乘电路要求很高，每级的失调误差和增益误差都会沿着流水线积累叠加，必须进行校正，否则精度会受很大的影响。由于这种 ADC 的结构比较复杂，占用面积也很大，比较适合芯片级的实现方式。文献[21]中描述的芯片级片上 ADC 就采用了这种结构。

### 3.3.7 循环 ADC

循环(Cyclic)ADC 的工作原理与流水线 ADC 的基本类似，区别在于循环 ADC 只需要一个单元电路，比较器的输出不是送入下一单元，而是作为该级新的输入进行下一轮的循环，流水线 ADC 每级完成一位的模数转换，循环 ADC 则是每次循环完成一位转换。循环 ADC 只有一个电路单元，结构简单，芯片面积小，同样也需要精确的倍乘电路，转换速率低于流水线 ADC，因此常用于行列级的实现方式。文献[22]描述的片上 ADC 采用了这种结构。

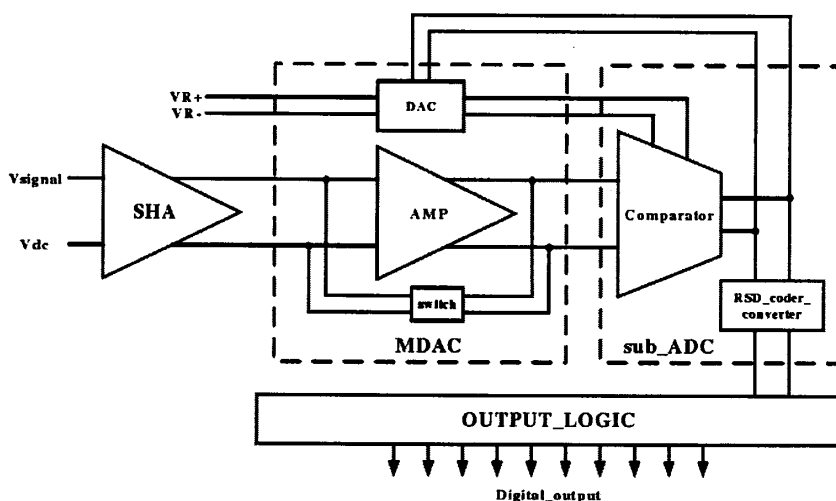


图 3-10 循环型 ADC 模块图

### 3.4 本课题所采用的电路形式

事实上，单斜 ADC 与逐次逼近 ADC 本身就有不少相似之处：它们的转换都是由动态参考电压信号与模拟输入电压经过多次比较之后根据比较的结果产生出一个与模拟输入电压成正比的数字输出。只不过对于单斜 ADC，动态参考电压信号是一路斜坡电压，需要进行  $2^n$  次比较；逐次逼近 ADC 只要进行  $n$  次比较，他的动态参考电压信号则是由之前比较的结果决定的。所以对于逐次逼近 ADC，存在一个比较器与动态参考信号之间的反馈，因此动态参考电压就变成与输入信号相关。在列并行结构中存在着数百个比较器，所以每一列中都必须置入参考信号发生器，与单斜 ADC 有着很大区别。

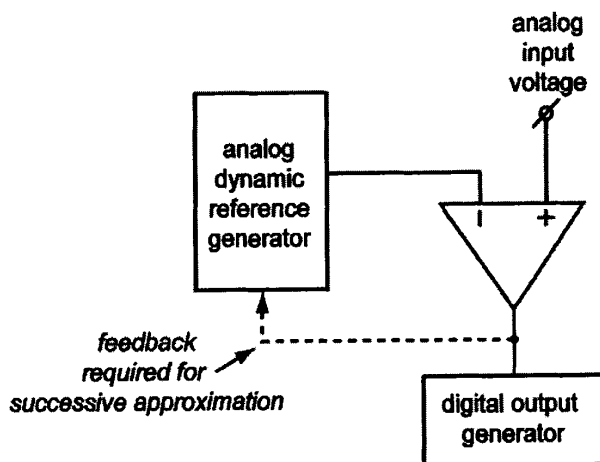


图 3-11 单斜 ADC 与逐次逼近 ADC 的相似之处

多路斜坡单斜 (the multiple-ramp single-slope, MRSS) 结构<sup>[23]-[24]</sup>综合了单斜 ADC、逐次逼近 ADC 以及循环 ADC 的优点。它在速度方面远优于单斜 ADC，同时也仅仅只需要一个核心参考信号发生器。此种结构的核心思想即是单斜结构中覆盖整个输入电压范围的斜坡电压  $V_{ramp}$  分成  $m$  个子斜坡，每一个子斜坡覆盖整个输入电压范围的  $1/m$ 。如果一个列比较器连接到了正确的子斜坡上（输入信号落在该子斜坡的范围内），然后  $m$  个子斜坡一同输出，如此一来大大缩短了转换时间。

### 3.5 本章小结

目前,随着工艺进步、超大规模集成电路技术的不断提高以及应用领域的五花八门,各种类型的模数转换器层出不穷。本章主要介绍了片上模数转换器的主流实现方式以及结构类型,然后在广泛调研、简要分析、综合比对的基础上,提出了设计一种适用于 CMOS 图像传感器的片上列级多路斜坡单斜结构 ADC,为本课题指明了设计目标。

## 第四章 模数转换器的设计与仿真

### 4.1 电路结构与原理

斜坡发生器作为核心模块，与比较器以及数字控制和寄存器等一起构成 ADC 电路的整体，结构框图如图 1 所示。

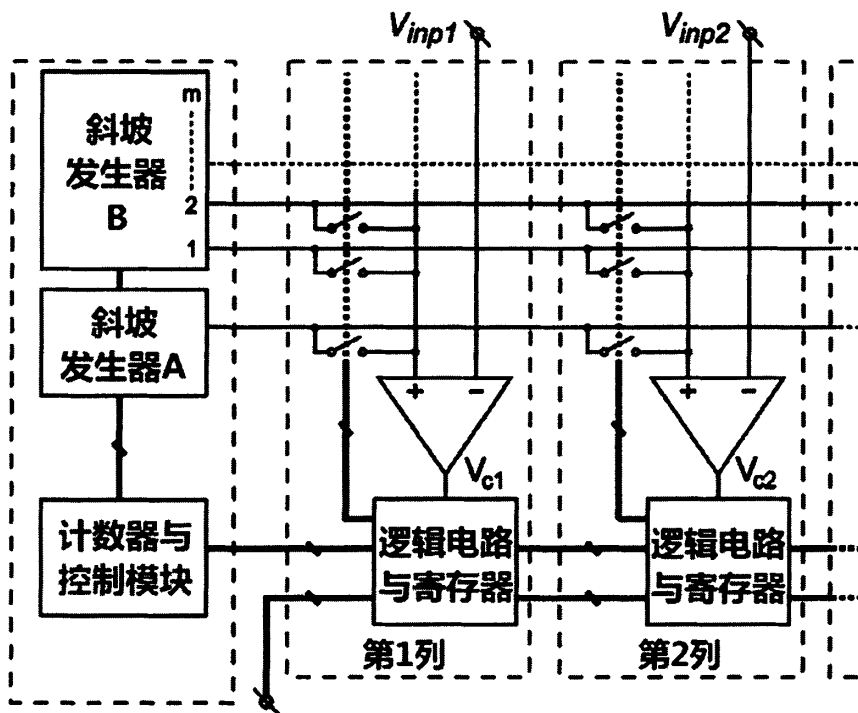


图 4-1 多路斜坡单斜 ADC 结构图

该结构模块图如图 4-1 所示。子斜坡发生器 B 输出  $m$  路不同的斜坡电压，列电路通过一系列的开关将一个子斜坡连接到比较器的输入端。与单斜结构相比，该结构只是在每一列多出了若干开关、额外的数字存储和逻辑部分。

图 4-2 则用时序图详细阐释了多路斜坡单斜结构的工作原理。AD 转换过程被细分为粗转换和精转换两部分。在粗转换部分进行高位( $p$  位,  $m=2^p$ )数据的转

换，所有的比较器都会接至“粗”斜坡发生器 A，输入信号与斜坡信号比较，两个信号相等时，比较器的输出发生变化，使触发器触发，控制寄存器对同步  $p$  位计数器的输出进行存储，得到转换结果中的高  $p$  位，此过程需要  $2^p$  个时钟周期；根据高  $p$  位的输出结果，每列通过译码器选择对应的一路“精”斜坡，将斜坡信号与输入信号进行比较，同理将低  $q(q=n-p)$  位转换的结果存储入寄存器，需要  $2^q$  个时钟周期。不难看出，粗转换和精转换本质上都是单斜结构的转换过程。

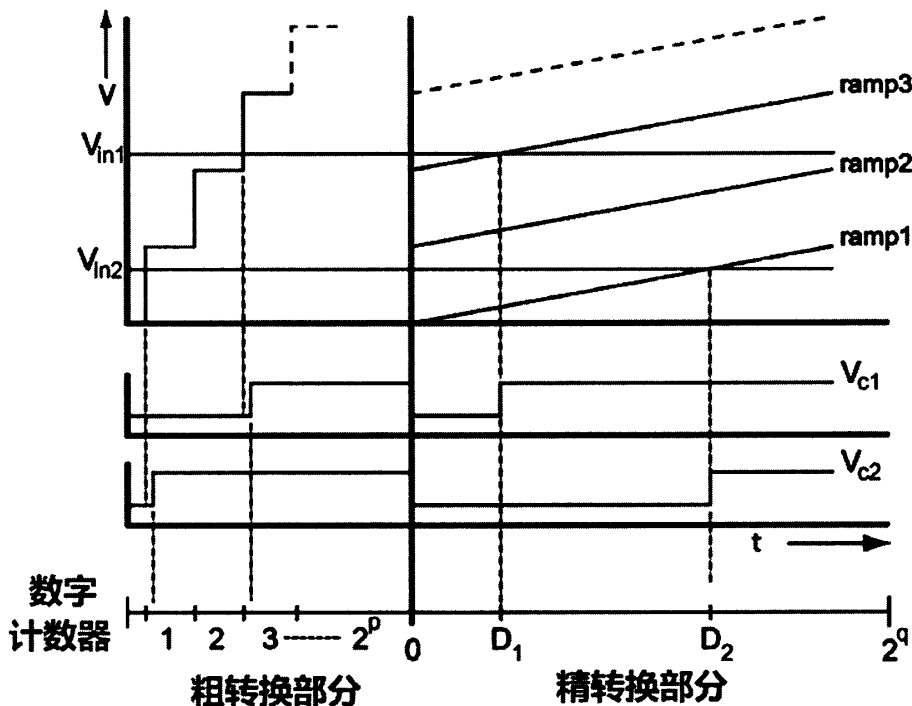


图 4-2 多路斜坡单斜 ADC 工作时序图

## 4.2 斜坡发生器的设计

### 4.2.1 斜坡发生器的选型<sup>[25]</sup>

关于斜坡发生器的设计，前人也做过不少探究。大体上来说，这些设计都是通过连续地增加或减少信号中的电压值、电流值或电荷量而产生一个斜坡波形，可以通过电压 DAC、电流 DAC 或电容 DAC，或带有连续或分离的时间响应的

积分器来实现。所有的这些设计都需要一个参考电压或电流来产生斜坡的台阶。

### (1) 电阻型 DAC<sup>[26]</sup>

如图 4-3 所示, 斜坡台阶高度可由尾电流源通过开关 G[0]~G[3]来控制。这种方法的优点是保证了单一性, 并且斜坡的斜率对负载和温度变化的敏感度较低。在 AD 转换期间, 来自于列比较器的反冲噪声可能会非常大, 所以在斜坡输出与列比较器之间增加一个缓冲器是有必要的。这种缺点也很明显, 当 ADC 的精度越来越高, 所需的电阻数量也会增高, 会占用更多的面积, 并且匹配也会出现问题。所以电阻型 DAC 适合于 10 位以下精度的 ADC。

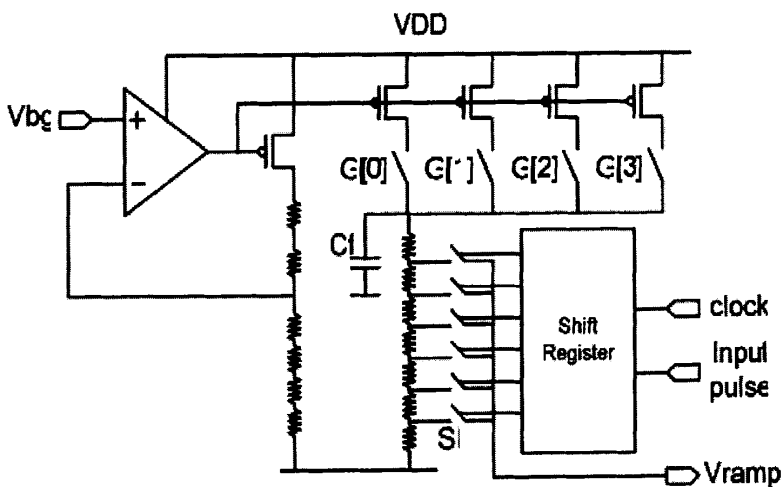


图 4-3 使用电阻型 DAC 的斜坡发生器

### (2) 电容型 DAC<sup>[27]</sup>

如图 4-4 所示, 电容器的上极板连接在一起作为斜坡输出端。当下极板连续从  $V_1$  变成  $V_h$  或是从  $V_h$  变为  $V_l$ , 可输出上升或下降的斜坡信号。该方法的优点是反冲噪声较小, 因为电容器阵列的总电容要远大于比较器负载, 所以不需要添加输出缓冲器。与电阻型 DAC 相比, 功耗会大很多, 并且也不适合精度较高的 ADC。

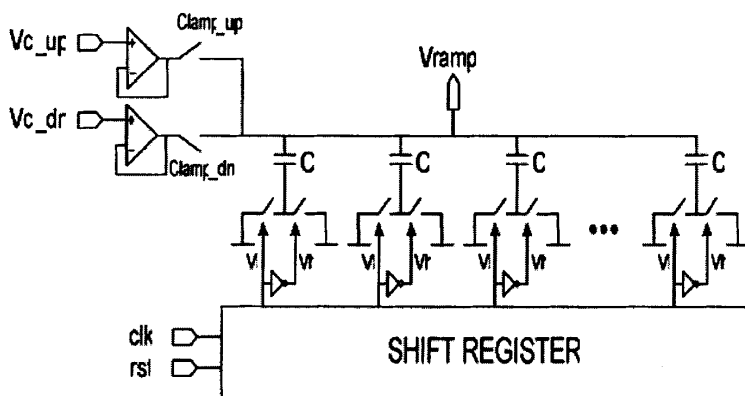


图 4-4 使用电容型 DAC 的斜坡发生器

(3) 开关电容积分器 (SC Integrator) [28]

如图 4-5 所示，积分器的采样电容  $C_s$  分别在不同的时钟相采样  $V_1$  和  $V_2$ ，斜坡的步长（阶高）可表示为  $C_s/C_f \cdot (V_1 - V_2)$ 。斜坡噪声主要来自于积分器本身以及缓冲器。这种方法的优点是与之前两种方法相比步长和斜坡的精度比较容易调整。存在的问题则是：因为斜坡的步长很小，并且采样电容的尺寸也不大，开关的沟道电荷会很大，有时候会达到采样电容传输到反馈电容电荷量的百分之几，因此，电荷注入对增益的影响会很大，容易造成错配。更进一步来说，电荷注入与电源和温度相关，可能会对斜坡输出造成更多的变化和非线性。

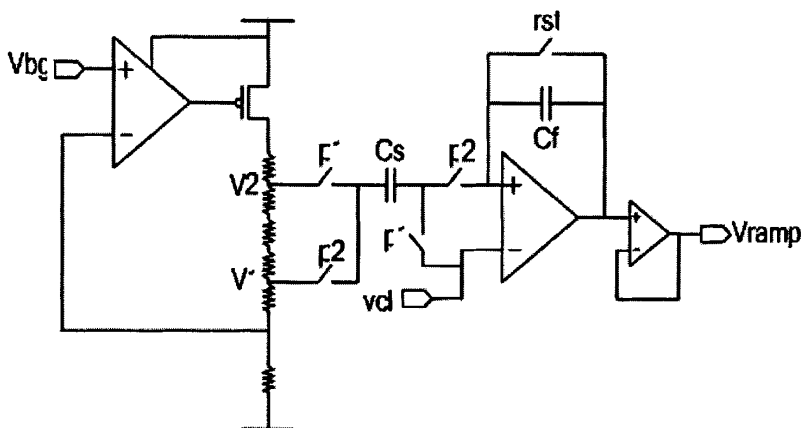


图 4-5 使用开关电容积分器的斜坡发生器

还有一些其他实现方法，如电容反馈跨阻抗放大器(Continuous CTIA)[29]产生

连续斜坡（图 4-6），此处不一一赘述。

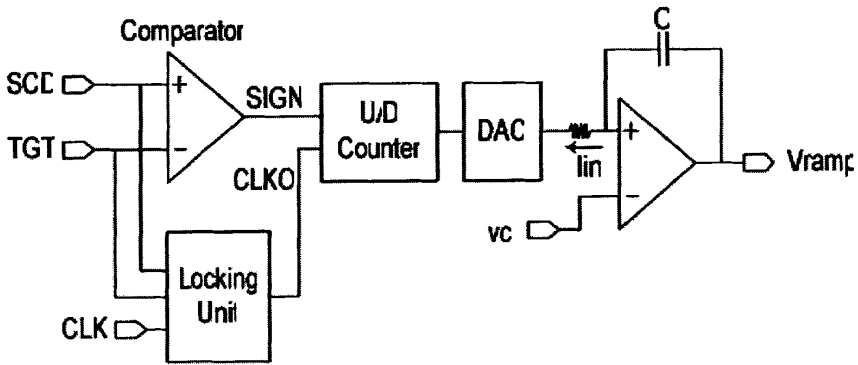


图 4-6 使用带有自校准技术的 CTIA 的连续斜坡发生器

表 4-1 不同斜坡发生器性能对比

	RDAC	CDAC	SC Integrator	Continuous CTIA
功耗	低	高	中	低
当 ADC 精度增加时面积改变	变高	变高	不变	不变
当帧速提高时面积改变	稍微变高	变高许多	变高	变低
电源抑制	中	低	中	低
线性	为电阻匹配所限制	为电容匹配所限制	与放大器线性范围相关	高
精度	低	低	高	高

总体看来，电阻型 DAC 较容易设计，并且对温度等外部因素敏感度低，只是不适用于精度较高的 ADC 结构，而本次设计的 ADC 精度为 10 位，在电阻型 DAC 的适用范围之内。

#### 4.2.2 电阻型斜坡发生器设计考虑

上一节中理清了 p、q、n 的含义以及相互之间的关系。显然，在  $n=10(p+q=n)$  这一固定条件下， $p=q=5$  时，转换的总时间最短，为 64 个时钟周期。如此一来

低位数据转换期间，需要  $2^5=32$  路斜坡信号。为实现高精度的数据转换，需要这 32 路斜坡匹配良好。但是当斜坡数目较多时，实现这种匹配的难度会增加。

另一方面，每路斜坡信号都需要透过一个缓冲器来驱动大量的列比较器，最糟糕的一种情况就是，某一路斜坡信号恰巧连接至所有的比较器上，缓冲器的驱动能力必须能够出色应付这种情况。如果斜坡数目较多，缓冲器数目也随之增加，电路功耗也会相应地提高许多。因此，必须兼顾转换速率与斜坡数目，采取一个折衷的方案。

因此，基于上述各因素，采用高 3 位、低 7 位（即  $p=3, q=7$ ）两级转换的方法。

为了达成节约系统面积和功耗，减少缓冲器数目、减小运放失调等目的，比较了各型 DAC 结构之后，采用了电阻阵列型斜坡发生器。该结构较容易设计，并且对温度等外部因素敏感度低。

ADC 在进行低 7 位数据转换时，需要 8 路斜坡信号，共需  $8 \times 2^7=1024$  个电阻，将占用较大的芯片面积，版图设计层面也是一件困难的事。借鉴 MRSS 结构的设计思路，子斜坡发生器也可以采用两级电阻梯阵列级联的电路结构。文献[30]首次提出了这种结构。图 4-7 是此电阻梯阵列结构的简化图。将 7 位数据再次拆分为高 3 位和低 4 位，如此需要  $8 \times (2^3+2^4)=192$  个电阻，芯片面积大大减小。

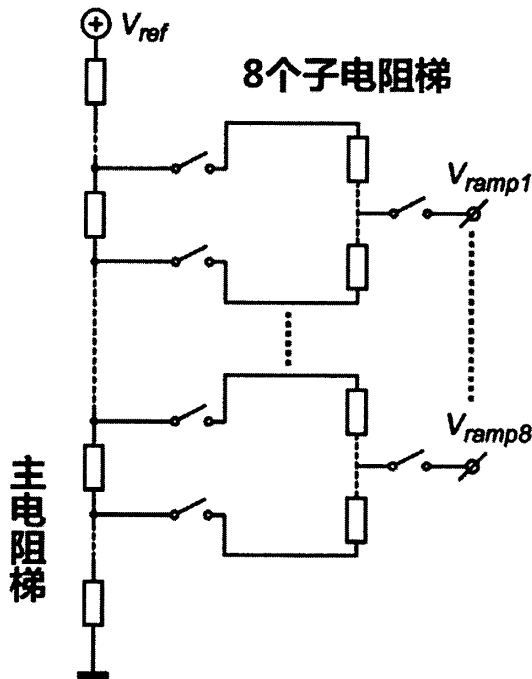


图 4-7 电阻阵列结构简图

图 4-7 的两级电阻阵列结构中，第二级电阻梯与主电阻梯中的电阻并联，使得该电阻的有效阻值降低，可能会影响斜坡信号的精度，另一个误差来源于连接两级电阻梯的开关的导通电阻。文献[30]中通过在两级电阻阵列间增加缓冲器减小第二级电阻梯对斜坡信号精度的影响，如此 8 路斜坡共需要增加 16 个缓冲器，大幅提升了电路功耗及版图面积，得不偿失，所以，缓冲器并不是很适用。合理设计第二级电阻的阻值和连接两级电阻梯的开关的导通电阻，使其对精度的影响小于 0.5 个最低有效位(Least Significant Bit, LSB)<sup>[24]</sup>，却不失为一个有效的解决方法。

在高速开关信号的作用下，开关管可能引入严重的沟道电荷注入。可将第二级电阻梯中的电阻以及开关用工作在线性区的 NMOS 管替代，NMOS 管既可以分压也可以用作开关，如图 4-8 所示，NMOS 管 T1 与 T16 是两级电阻梯间的开关，同时与 NMOS 管 T2~T15 组成了第二级电阻梯，NMOS 管 T1~T16 尺寸一致，导通电阻值较大，可以有效削弱第二级电阻梯阻值对斜坡信号精度的影响。S0~S16 为 NMOS 开关，它们处于电阻和缓冲器之间，缓冲器输入端无电流流过，这些 NMOS 管的尺寸也可以做得比较小<sup>[31]</sup>。

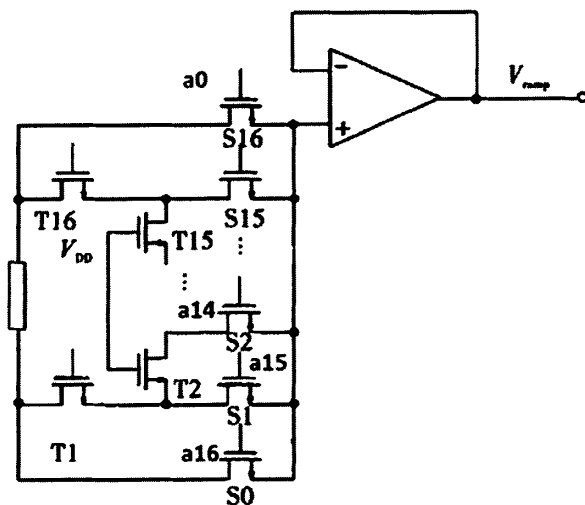


图 4-8 MOS 管替代电阻的结构

T1~T16 工作在深三极管区，尺寸虽然相同，但是因为栅源电压并不一致，此时 MOS 管的导通电阻

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

虽然不严格相等，但是差别微小，匹配程度依然较好。

斜坡发生器 B 中控制主电阻梯与子电阻梯间开关的逻辑电路，传统设计方法如图 4-9 (a) 所示，子电阻梯两端的开关需要同时改变位置连接在相邻的主电阻梯电阻上。然而，我们不妨考虑另一种方法如图 4-9 (b) 所示，将子电阻梯接在相邻的主电阻梯电阻上每次只需要改变一个开关的位置，将左侧的开关断开，连接至右侧节点处，类似一种折叠式的设计，能够减少开关开启以及断开的次数，减少了开关电荷注入所带来的不良影响。为实现这种折叠式设计，子电阻梯中开关闭合关断的次序也需要做一些相应调整，使得相邻时钟周期内开关的闭合次序相反，以保证斜坡正确地输出。

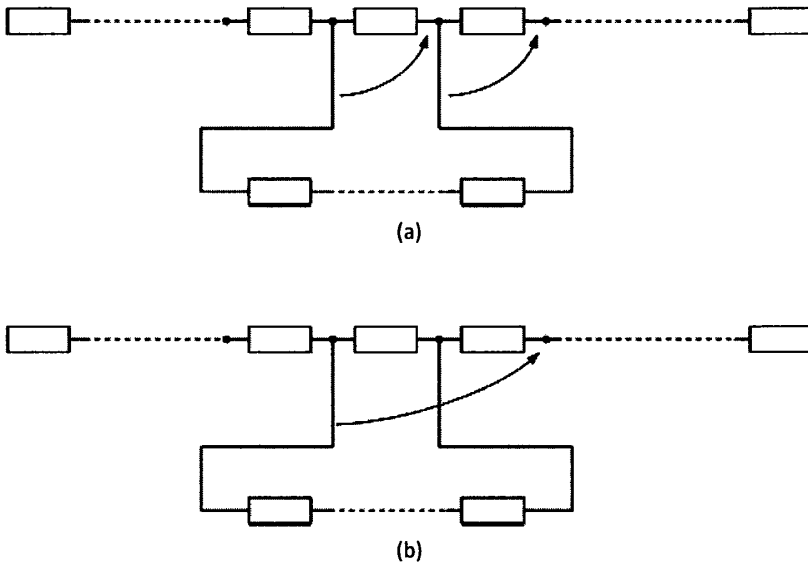


图 4-9 (a)传统的开关逻辑设计 (b)改进型的开关逻辑设计

## 4.2.3 仿真结果

主斜坡发生器的瞬态输出如图 4-10 所示

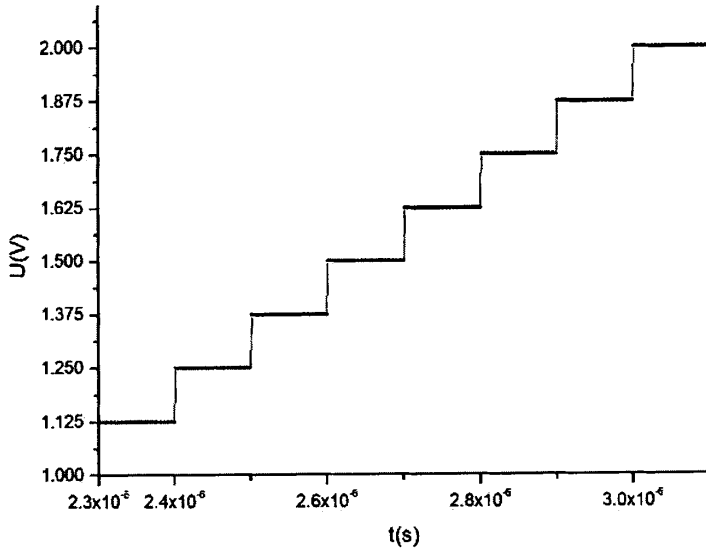


图 4-10 主斜坡发生器瞬态输出

转换时间  $T_1=0.8\mu s$ 。

子斜坡发生器的瞬态输出如图 4-11 所示，此处截取第二段子斜坡 (1.125V~1.250V)。

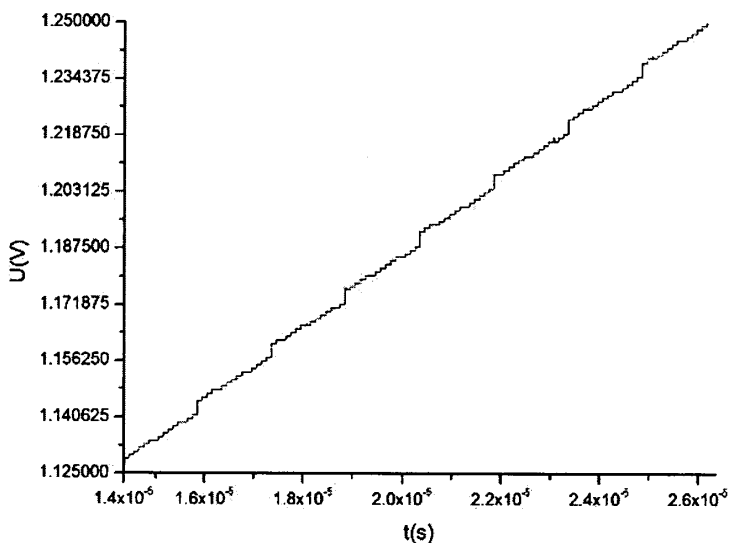


图 4-11 子斜坡发生器瞬态输出

转换时间  $T_2=12.0\mu\text{s}$ 。

斜坡发生器的满刻度值范围(Full Scale Range, FSR)为 1V，总体转换时间  $T=T_1+T_2=12.8\mu\text{s}$ ，采样率为 78.125ksps。

表 4-2 斜坡信号发生器参数设定

工艺 Process	DPTM 0.5 $\mu\text{m}$ CMOS
电源电压 Supply Voltage/V	5
精度 Resolution	10
斜坡数量 Number of ramps	9
电压摆幅 Swing Range/V	1~2

由图 4-10 和图 4-11 可知，斜坡发生器输出的是一个均匀台阶上升的斜坡信号，符合 10 位精度的要求。

### 4.3 比较器的设计

比较器广泛应用于模数转换的过程之中，首先须对输入采样，然后采样的信号通过比较器决定模拟信号的数字值，比较器可看做成一个 1 位的 ADC。实际应用中的比较器通常采用高增益差分运算放大器。图 4-12 给出了比较器的电路符号<sup>[20]</sup>，和运算放大器采用的符号相同，因为比较器和高增益放大器在性能上的

共同点很多。当  $V_P$  和  $V_N$  之差为正时，比较器输出为高电平  $V_{OH}$ ；差值为负时，输出为低电平  $V_{OL}$ 。

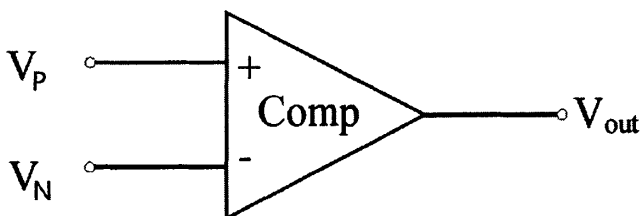


图 4-12 比较器的电路符号

一般情况下，对比较器有如下基本要求：较高的灵敏度，即比较的电平越低越好；有较高的响应速度；有良好的稳定性；工艺兼容性佳。

#### 4.3.1 比较器特性分析<sup>[8]</sup>

比较器是模数转换器电路的核心部分之一，在本设计采用的 MRSS 结构中，比较器用于对斜坡电压和基准电压的比较，它是模拟部分和数字部分的接口。比较器的性能直接关系到模数转换器的精度。

理想的比较器增益无穷大，对于同相比较器其理想的电压传输特性如图 4-13a 所示，当比较器的正端输入电压  $V_P$  大于负端的输入电压  $V_N$  时，比较器输出高电平； $V_P < V_N$  时输出低电平。但实际上比较器的增益不可能做到无穷大，不可能出现这样理想的状态，因此实际的比较器的电压传输特性如图 4-13b 所示，如果  $V_P$  与  $V_N$  的差落在  $V_{IL}$  和  $V_{IH}$  之间，比较器的功能不能完整的实现，因此要提高比较器的分辨率就要减小  $(V_{IH} - V_{IL})$  的值，即提高比较器的增益。

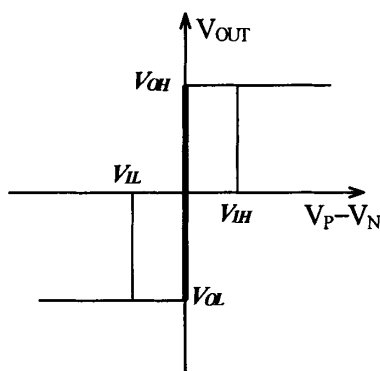


图 4-13a 比较器的理想传输特性<sup>[32]</sup>

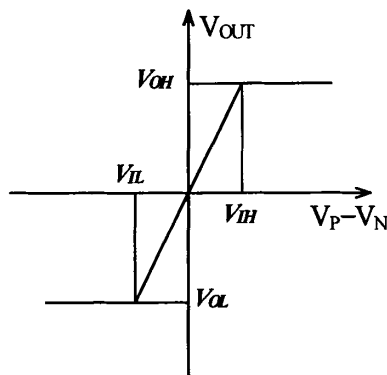


图 4-13b 有限增益比较器的传输特性<sup>[32]</sup>

比较器的另一个非理想特性体现在输入失调电压  $V_{os}$ 。由于生产工艺因素，器件不可能做到与设计完全一致，这样就会造成器件的失配，这就是失调电压产生的原因。失调电压的存在相当于在比较器的一个输入端叠加了一个电压  $V_{os}$ ，大大降低了比较器的测量精度。后续版图设计过程中可采取一些措施降低失调。

本设计采用时钟频率为 10MHz 的时钟，则每个时钟周期为 100ns。因此比较器的传输延迟要小于 100ns。设定比较器的共模输入范围为 1~2V，而在前置的单元读出电路的设计中可以按照此要求进行匹配。在此共模输入范围内，使模数转换器能够达到 10bit 的分辨率，计算可得出比较器的最小分辨电压不大于  $(2-1)/2^{10} \approx 977\mu\text{V}$ 。因为选择的是  $0.5\mu\text{m}$  标准 CMOS 工艺，比较器采用单 5V 供电，则其增益约  $A_v = 5\text{V}/977\mu\text{V} = 5120 \approx 74\text{dB}$ 。

### 4.3.2 比较器设计<sup>[15]</sup>

上一节计算出比较器要提供高达 74dB 的增益，如果采用一般的套筒式运放形式，较高的输出阻抗使得传输延时太长，为了保证 MOS 管工作在饱和区，通常其输入共模范围难以达到 1~2V。基于上述因素，本设计采用高性能多级比较器，结构示意图如图 4-14 所示，主要由前置放大级，正反馈判决级和输出缓冲级构成<sup>[33]</sup>。

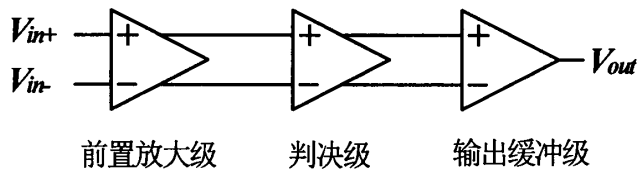


图 4-14 比较器的组成结构图

前置放大级对输入信号进行预放大，将比较器的最小输入提高到后级能够判决的水平，同时还可以隔离输入和噪声比较大的后级判决电路。正反馈判决级用来判决哪个输入更大，随后的输出缓冲级将最终结果输出为一个逻辑电平。

#### 4.3.2.1 前置放大级

设计采用如图 4-15 所示的电路做为比较器的前置放大级，即预放大级。该电路采用了差分放大器结构，其中二极管连接的 PMOS 管作为有源负载。M1 用

作电流源；M4 和 M5 采用二极管连接，它们总工作在饱和区。如果忽略 MOS 管的体效应和沟道长度调制效应，其增益可用公式 3-21 表示，可以看出该级增益主要取决于 M2、M3 的宽长比和 M4、M5 宽长比的比值。

$$A_v = -\frac{g_{mN}}{g_{mP}} = -\sqrt{\frac{\mu_n(W/L)_N}{\mu_p(W/L)_P}} \quad (4.1)$$

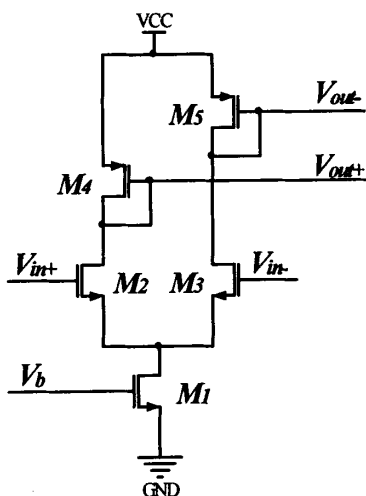


图 4-15 前置放大级原理图

M2、M3 的尺寸需考虑差分放大器的跨导和输入电容，跨导决定了该级的增益，同时 M2、M3 的长宽比也决定了输入电容。如果 M2、M3 的宽长比过大，则栅的面积也会很大，就会增加比较器的输入电容，从而造成模数转换结果的误差，因此要尽量减小模数转换器的输入电容。短沟道器件沟道长度太长会带来不希望的失调电压，因此采用 600nm 的沟道长度。而 M4、M5 的宽长比的选择则要在输入电压的共模范围、输出的摆幅和电压增益这三者之间进行折衷。减小 PMOS 管的宽长比可增大放大器的增益，同时也会增大它们的过驱动电压，从而降低输出的摆幅，然后影响到输入的共模范围。

本设计为了降低功耗选取差分放大器的尾电流为  $2\mu\text{A}$ ，取过 M1 的偏置电压为 1V，计算出 M1 的宽长比为  $1.25\mu\text{m}/1\mu\text{m}$ 。为了减小比较器的输入电容，取 M2、M3 的宽长比为  $3\mu\text{m}/600\text{nm}$ ，M4、M5 的宽长比为  $900\text{nm}/600\text{nm}$ 。本级的增益约为 3.7。

### 4.3.2.2 正反馈判决级

正反馈判决级是高速比较器的核心，本级要能分辨出毫伏级的信号。采用如图 4-16 所示的电路，其中 M8、M9 的栅交叉连接构成正反馈结构，增加了判决级的增益。

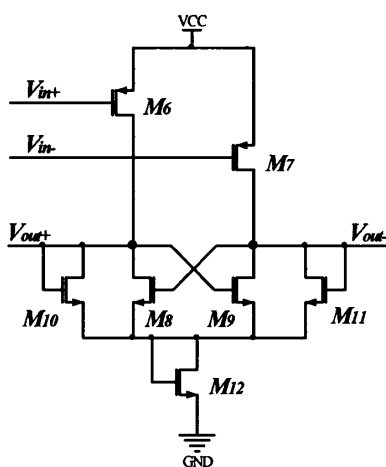


图 4-16 判决级原理图

M6、M7 连接前置放大级的输出，与 M4、M5 构成电流镜结构。如果忽略沟道长度调制效应，则 M6 和 M7 上面的电流为

$$I_{M6,M7} = \frac{(W/L)_{M6,M7}}{(W/L)_{M4,M5}} \quad (4.2)$$

在  $V_{in+}$  远小于  $V_{in-}$  的情况下  $I_{D6}$  远大于  $I_{D7}$ ，可认为 M9、M10 开启，M8、M11 关闭。我们假设  $\beta_{10}=\beta_{11}=\beta_A$ ， $\beta_8=\beta_9=\beta_B$ ，此时  $V_{out-}$  被 M9 拉低到接近 0V， $V_{out+}$  等于 M10 和 M12 两个以二极管形式连接的 NMOS 管的压降之和，即

$$V_{out+} = \sqrt{\frac{2I_{M6}}{\beta_A}} + V_{THN} \quad (4.3)$$

如果我们开始增大  $V_{in+}$  减小  $V_{in-}$ ，则  $I_{M6}$  减小  $I_{M7}$  增大，M9 的源漏压降逐渐提升直到  $V_{THN}$ ，此时 M8 开启并从 M10 分流，M10 的源漏电压（同时也是 M9 的栅极电压）下降，从而进一步增大了 M9 的源漏压降，直到 M9 关闭，输出结果发生翻转。如果我们假设  $V_{out+}$  与  $V_{out-}$  的最大值等于  $2V_{THN}$ ，则 M8、M9 能够稳定工作在饱和区。这种情况下，M9 的漏源电压达到  $V_{THN}$ ，M9 进入饱和区，通过 M9 的电流

$$I_{M9} = I_{M7} = \frac{\beta_B}{2} (V_{out+} - V_{THN})^2 = \frac{\beta_B}{\beta_A} I_{M6} \quad (4.4)$$

此时, M9 关闭 M8 导通。如果  $\beta_A = \beta_B$ , 这个转换点发生在当  $I_{M6} = I_{M7}$  时。由上述分析可知, 由于 M8 和 M9 引入的正反馈加速了比较器的翻转, 提高了比较器的速度和分辨能力。M12 用以提升输出的共模电平, 使得本级输出符合后续输出缓冲级的需要。

由式 (4.2) 可知, 为提高增益可加大 M6, M7 的宽长比, 但宽长比过大会导致电流增大从而功耗增加, 因此同样需要在增益和功耗之间进行折衷。

### 4.3.2.3 输出缓冲级

输出缓冲级采用如图 4-17 所示的自偏置放大器结构<sup>[34]</sup>, 这一级的主要功能是将正反馈判决级输出的结果转换为逻辑电平 (0 或 5V)。

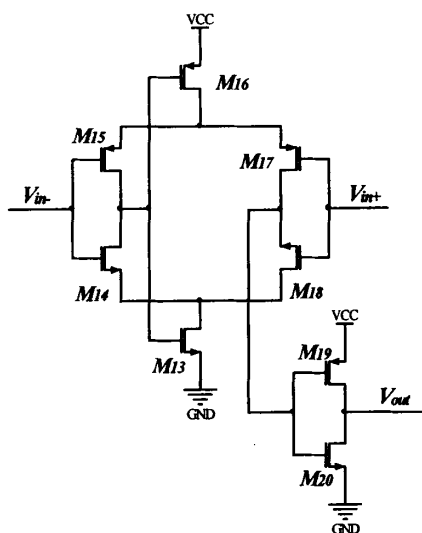


图 4-17 输出缓冲级原理图

M19 和 M20 组成一个反相器接在自偏置放大器之后再提供一级增益, 并且隔离输出负载和自偏置放大器。

自偏置结构与传统结构的区别在于, 它的尾电流偏置不由外界提供, 而是在放大器内部结点, 形成一个负反馈回路使得尾电流的偏置更为稳定。其中管子 M13 和 M16 被偏置在线性区, 因此具有比较小的源漏压降, 不会对本级的输出摆幅造成太大影响, 可以非常接近电源和地的电压。此外, M13 和 M16 偏置在

三极管区，可以提供较大的开关电流，与之相比静态偏置的放大器不能提供大于其静态偏置的电流值，使得自偏置结构非常适合高速比较器的应用。

### 4.3.3 比较器仿真分析

图 4-17 是比较器的幅频特性曲线，扫描范围是 1GHz，由图 4-18 可知，比较器的增益为 70dB，符合 ADC 的精度要求。放大器的带宽在 6.3MHz 左右。

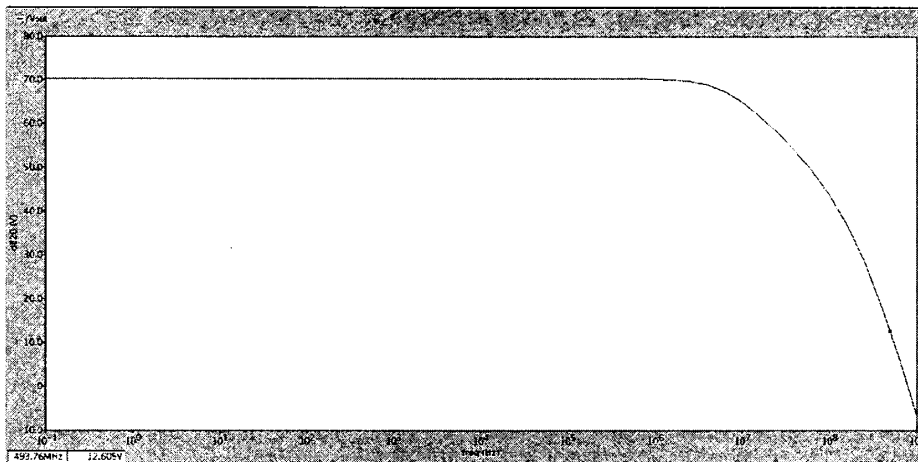


图 4-18 比较器的幅频特性曲线

图 4-19 给出了比较器的测试电路原理图和仿真结果，在比较器的  $V_{in-}$  输入端输入一个 1.52V 的直流电压模拟基准源，在比较器的  $V_{in+}$  输入端输入一个高电平为  $1.52V + 600\mu V$ ，低电平为  $1.52V - 600\mu V$  的方波，方波的上升和下降延迟设为 1ps，以便测量比较器的延时。其负载电容为 20fF，这是按照比较器之后大约会接上 20 个左右的管子所估算的。从图 4-19b 中可以看出比较器可以分辨  $600\mu V$  的电压差异，性能远高于  $977\mu V$  的预定指标，可以看出其延时约为 63ns，也达到了延时要小于 100ns 的指标。

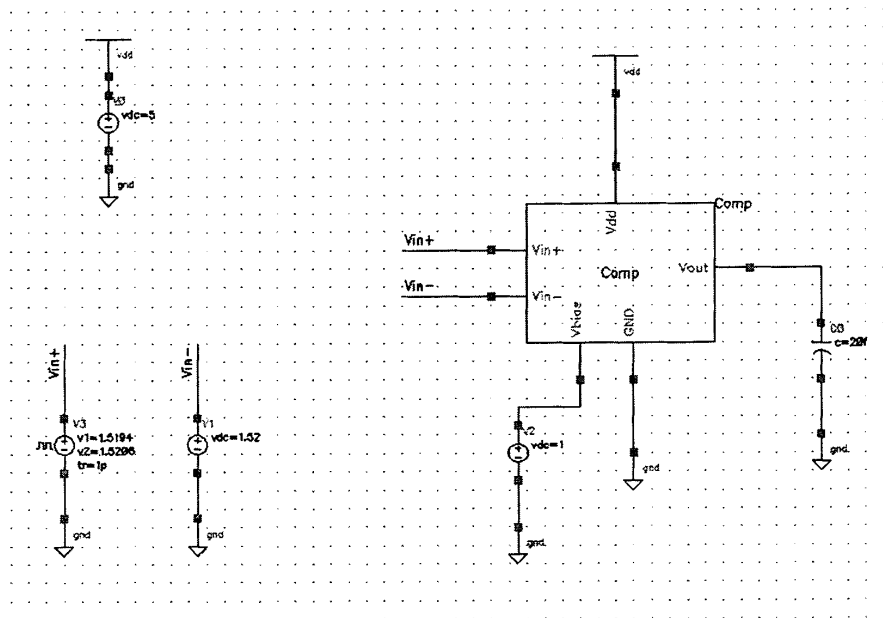


图 4-19a 比较器的分辨能力和传输延时仿真测试原理图

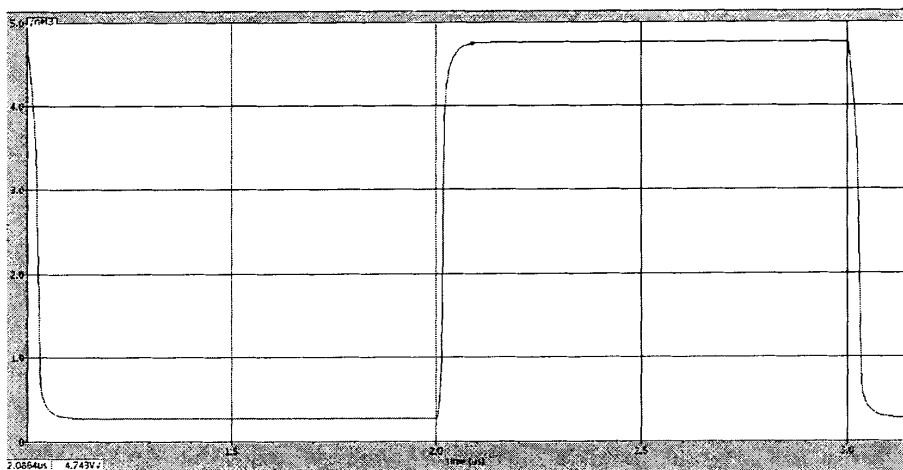


图 4-19b 比较器的分辨能力和传输延时仿真结果

采用如图 4-20 所示的电路模拟在模数转换的过程中比较器的瞬态性能，测试电路在比较器的  $V_{in-}$  施加一个 1.5V 的直流电平模拟基准电压，在比较器的  $V_{in+}$  施加一个 1~2V 的斜坡电压模拟电压的变化，负载电容仍使用 20fF。

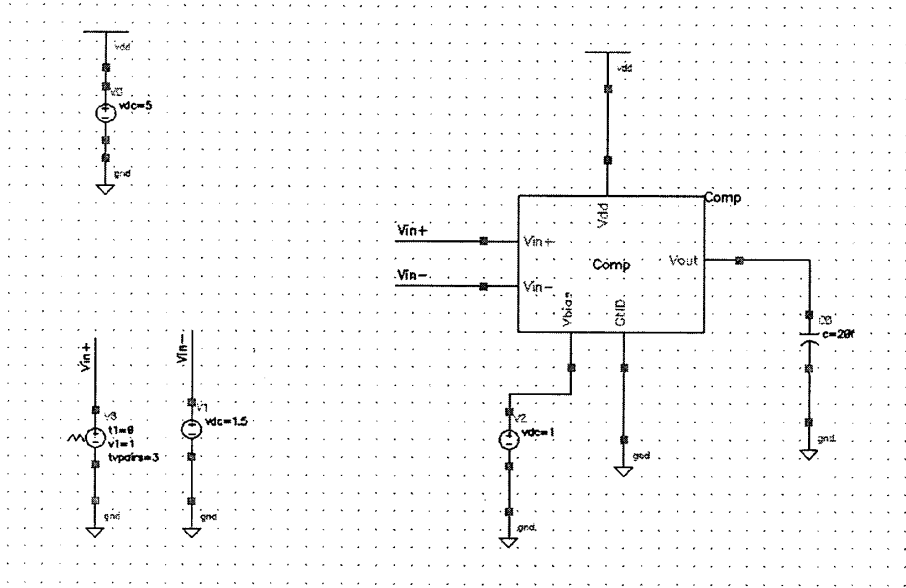


图 4-20a 比较器的瞬态仿真测试原理图

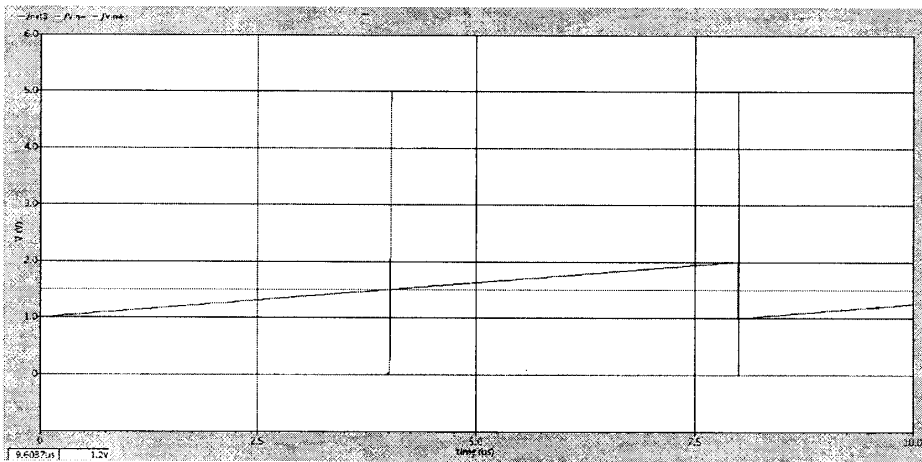


图 4-20b 比较器的瞬态仿真曲线

#### 4.4 本章小结

本章重点开展了片上多路斜坡单斜结构 ADC 的设计研究。通过深入分析，给出了 ADC 设计中关键模块的选取方案。斜坡发生器采用电阻阵列形式，比较器采用高速多级比较器形式。仿真结果表明模块设计合理，符合预期要求。

## 第五章 模数转换器版图设计

在完成前端的设计和仿真后,根据原理图完成版图的设计,将电路设计转化为针对具体工艺的掩膜版加工图形。

本设计基于上华 CMSC 0.5 $\mu\text{m}$  DPTM 工艺,该工艺为采用双层多晶三层金属的标准 CMOS 工艺。主要使用 Cadence Virtuoso 进行原理图版图的设计。采用 Mentor 公司的 Calibre 作为版图的验证工具。

### 5.1 版图的设计步骤

#### 1.版图的规划和布局

设计的电路是列 ADC 电路,需要与 CMOS 图像传感器配合使用,因此版图的布局规划要考虑 CMOS 图像传感器的特点,比如像素单元的宽度等,并且要保证 ADC 电路版图能够与其相匹配。数字和模拟部分应该尽量分开,减小数字噪声对模拟电路的串扰,同时尽量减短模拟路径的长度,合理布局 PAD 的位置以便于封装。

#### 2.模块的划分

采用了层次化设计方式,按照原理图设计中的模块划分。在本设计中版图分为:斜坡发生器、比较器、计数器、逻辑控制与存储单元等。本论文完成斜坡发生器和比较器的设计。

#### 3.模块的设计

根据先前设计的电路原理图完成模块内部的版图,一方面要考虑模块内部布局的合理性,同时也要兼顾整体的布局和连接,以便下一步模块拼接互连时减少连线的工作量。完成每个模块后都要先进行单独验证,可以缩短整个版图的验证时间,提高验证效率。

#### 4.总体布线

将所设计模块连接起来,并将输入输出接口信号通过 PAD 引出,注意估算能量网络电流密度,使线宽满足设计负载能力的要求。

### 5.2 设计中的一些注意事项

设计中加入部分数字电路,需要考虑数字信号对模拟信号的串扰,版图设计阶段需要注意下列事项<sup>[35]-[37]</sup>:

1. 模拟电源地和数字电源需要分离，模拟电源地接衬底。

2. 模拟电路和数字电路、模拟总线和数字总线尽量分开。根据各模拟单元的重要程度，决定其与数字部分的间距的大小次序。在数字电路和模拟电路之间加入由电源和地组成的保护环，形成一个缓冲隔离带。

3. 在电路的设计中要考虑元件的排列和连线的布局，对衬底和阱的偏置添加尽可能多的接触孔，减小接触电阻，以达到抑制电源线噪声和保证电路正常工作的目的。

4. 防门锁设计：门锁效应(Latch-up Effect)是 CMOS 工艺特有的寄生效应，严重的话会导致电路的失效，甚至烧毁芯片。由于 NMOS 的有源区、P 衬底和 N 阱以及 PMOS 的有源区组成了 n-p-n-p 的结构，形式上有两个寄生的三极管，当其中一个三极管正偏，就会构成了一个正反馈环路，形成门锁，将电源和地短接。为了防止该效应，需要减小衬底和 N 阱的寄生电阻，使寄生的三极管不会处于正偏状态。虽然现代的 CMOS 工艺上已经做了很多措施减小门锁效应产生的机率，但在电路设计中还应多加注意：

(1) 避免源和漏的正向偏压；

(2) NMOS 和 PMOS 保持足够的距离，并在 N 阱和 P 衬底上加接触；

(3) 在芯片内部和 I/O 之间加入保护环(Guard ring)；

(4) 尽量使衬底和 N 阱的接触靠近地和电源以降低其连接电阻。

5. 静电保护电路版图设计：当一个高电势的带电体接触到电路的外引脚时，静电放电现象就会发生。CMOS 集成电路在测试和应用的环节难免会和带静电的物体接触，一旦该电场强度超过栅极氧化层的击穿电压，则会使栅极击穿导致 MOS 器件损坏。MOS 管的源漏与衬底之间是依靠 PN 结来隔离的，静电放电也有可能击穿该结。为了提高电路的抗静电能力需要在芯片的 PAD 位置放置 ESD 保护器件。图 5-1 给出了本电路采用的 ESD 保护电路的原理图和版图，两个 MOS 管采用二极管连接方式将输入电压控制在电源电压和地之间，保护 MOS 器件免遭静电击穿，需要注意的是，这两个 MOS 管的面积不能太小，需保证它们的宽长比很大让大电流能够通过。

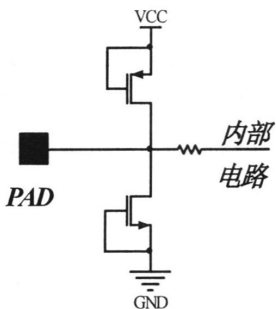


图 5-1a ESD 保护电路原理图

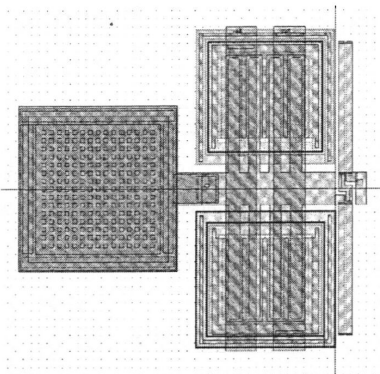


图 5-1b ESD 保护电路版图

## 5.3 模数转换器单元版图设计

### 5.3.1 比较器版图设计

比较器输入级各差分对管要对称分布，并且要保证它们有相同的尺寸，而不仅仅是相同的宽长比，这样可以有效减小比较器的失调电压。在许多集成电路的工艺制程中，沿不同轴向的特性并不完全一致，因此需要保证各个管子的朝向一致，以减小失配。宽长比较大的 MOS 管采用折叠式设计，以减小栅极的寄生电阻造成的压降。为了减小比较器与其他模块之间的串扰，在版图外围加一圈保护环。比较器版图如图 5-2 所示。

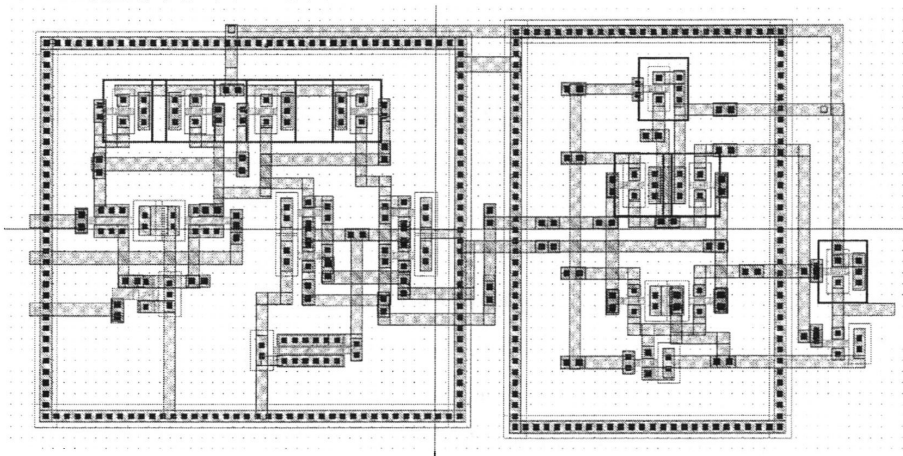


图 5-2 比较器的版图设计

### 5.3.2 主斜坡发生器版图设计

主斜坡发生器（即斜坡发生器 A）中电阻大小为 200 欧，采用多晶硅电阻。D 触发器组成的移位寄存器采用两行结构，信号线从中间穿过。另外，还要使版图布局尽可能的紧凑从而达到减小分布电容和传输路径长度的目的，可以降低传输延时。主斜坡发生器的版图如图 5-3 所示。

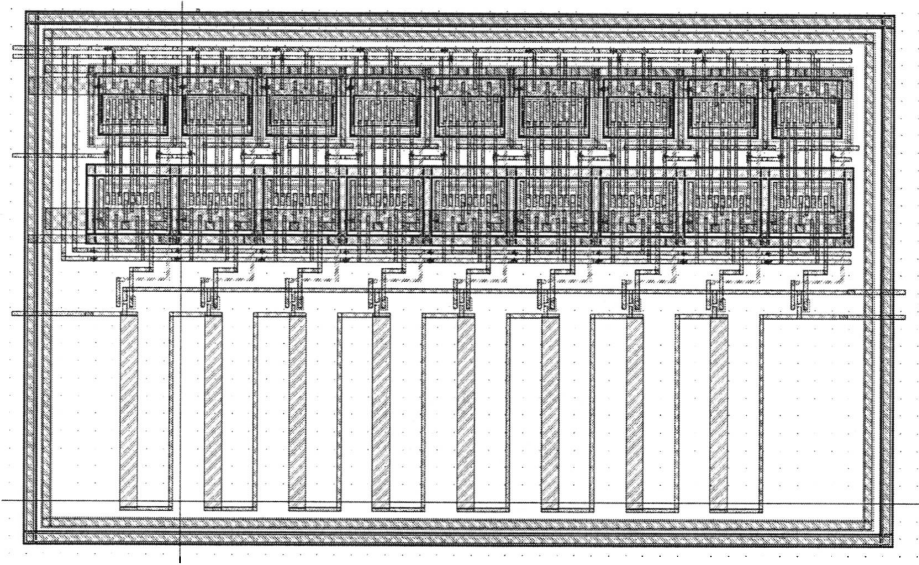


图 5-3 主斜坡发生器版图设计

### 5.4 版图的验证<sup>[38]</sup>

版图的验证是指用专门的软件检查版图是否符合设计规则、与原理图是否相一致性以及版图中是否存在多余器件等情况，是集成电路设计中必不可少的重要环节，是芯片厂商加工制作芯片之前必做的一道工序。本次设计中使用的验证工具是 Mentor 的 Calibre，它具有友好的图形界面和交互方式，并且提供了基于 Skill 语言的脚本，方便了在 Cadence 环境中的集成。

集成电路版图验证主要进行以下几个方面的检查：

1. 设计规则检查(Design Rule Check, DRC)。DRC 主要是检查集成电路版图的几何图形的尺寸规范，如最小线宽、最小间距、最小延伸以及金属密度等要求。

2. 电学规则检查(Electrical Rule Check, ERC)。ERC 主要检查版图中是否存在断路、短路、悬空节点以及阱电位的连接是否正确等情况。ERC 一般在进行 DRC 时同时完成。

3. 电路图与版图一致性检查(Layout Versus Schematic, LVS)。LVS 对比版图设计与原理图, 检验它们是否一致, 一般在 DRC 检查无误之后进行, 包括连接关系以及元器件属性。

4. 版图寄生参数提取(Layout Parasitic Extraction, LPE)。LPE 根据版图的具体尺寸计算和提取版图关键寄生电参数并转化为网表形式。LPE 不是版图验证必做项目, 但是可以用来更精确地分析版图的性能。

5. 寄生电阻提取(Parasitic Resistance Extraction, PRE)。PRE 用于提取版图中的寄生电阻, 与 LPE 相互配合, 更精确地反映版图的性能。

版图设计的时候在单元版图阶段就要开始进行上述验证, 因为规模尺寸变大将会给验证和修改带来许多不便之处。规则检查时先进行 DRC 检查, 在设置好规则文件等信息之后 Calibre 可以自动地导出 GDS 文件并对其验证, 对于验证结果可以使用 Calibre 的 Debug 环境 RVE 进行错误的定位, 修改完成后再次进行规则检查, 直到完全符合设计规则为止。

在完成 DRC 之后进行 LVS 的验证, 同理比照不符合之处修改版图直至与电路原理图一致, 修改后的版图还要再进行 DRC 检查, 如此多次反复叠代, 直到所有检查都能通过。

LPE、PRE 参数提取可以用来评估完成后的版图的性能, 但由于寄生参数众多, 会导致提取后的网表文件很大, 在进行后仿真时速度很慢。因时间等因素, 本设计未采取后仿真验证。

## 5.5 本章小结

本章主要介绍了第四章中所设计模块的版图设计和验证过程, 基于上华 CMSC 0.5 $\mu\text{m}$  DPTM 工艺, 使用 Cadence Virtuoso 进行原理图版图的设计, 采用 Calibre 作为版图的验证工具。明确了版图设计的步骤, 强调了一些设计规则和注意事项。

此页不缺内容

## 第六章 总结与展望

近年来,随着 CMOS 工艺技术和设计水平的不断进步,CMOS 图像传感器因其功耗低、读取速度快、易于单片集成等优点,发展迅速,在许多领域诸如汽车应用、手机成像、航天、医疗等领域得到了广泛的应用。而片上集成模数转换器是 CMOS 图像传感器小型化集成化发展的重要一步。本文从国内外发展现状出发,就这一技术展开了研究,在单斜 ADC 的基础上改进设计了一种多路斜坡单斜结构的 10 位 ADC。采用两级转换方式,此 ADC 转换速率较相同精度的单斜 ADC 提升 8 倍左右。

由于时间和精力有限,上述工作也暴露了一些问题,需要在今后的工作中进一步改进。

(1) 本论文关于 ADC 的研究只是刚刚起步而已,需要很多进一步的工作。在系统仿真方面,需要继续探索。电路方面,继续模拟电路相关理论的研究,精简 ADC 的设计。本论文主要探讨了斜坡发生器、比较器的设计,而对时钟产生电路等模块还缺乏深刻理解。

(2) 缓冲器位于斜坡发生器的末端,其中的运算放大器采用高增益的折叠共源共栅结构,它们的失调互不相关,可能会使子斜坡信号发生某些程度的偏移,影响 ADC 的精度,如何减少或者有效消除该影响,是今后改进的主要方向之一。

(3) 欠缺针对 CMOS 图像传感器中 ADC 的低噪声要求进行的有效分析,可结合后续版图设计研究降低噪声、串扰与减小失配的可行方法。

(4) 进一步优化版图的设计,比如对比较器模块采用插指式的布线方式提高对称性,减小应版图造成的失调误差和均匀性等问题。

(5) 完成所设计电路的测试工作,获取更多有价值的信息改进电路。

(6) 应用到其他成像系统中,适应不同的环境需求,拓宽应用领域。如红外读出电路,因其应用于低温环境,集成电路很多指标将与预期值有所偏差,从事这方面的研究需要投入更大的力量。

此页不缺内容

## 参考文献

- [1] 赵文伯,刘俊刚.CMOS 图像传感器发展现状[J].半导体光电, 1999, (1):11-14, 18. DOI:10.3969/j.issn. 1001-5868.1999.01.003.
- [2] Sunetra K. CMOS active pixel image sensor for highly integrated imaging [J]. IEEE J. Solid-State Circuits. 1997,32(2): 187-197
- [3] PETER J.W. NOBLE. Self-Scanned Silicon Image Detector Arrays. IEEE TRANSACTION ON ELECTRON DEVICES, 1968, VOLED-15, No.4: P202~209
- [4] 张娜. 用于 CMOS 图像传感器的高精度列并行 single-slope ADC[D].天津大学,2006.
- [5] 朱慧,李尧桥,陈新禹,方家熊. 一种红外焦平面的数字化输出设计方案[J]. 激光与红外,2007,S1:997-1000.
- [6] 李晓晨. CMOS 图像传感器系统中的列并行高速 ADC 的研究设计[D].天津大学,2007.
- [7] 杨志勋. 用于 TDI 型 CMOS 图像传感器中列级 ADC 及读出电路的设计[D].天津大学,2012.
- [8] 艾伦等著,冯军等著, CMOS 模拟集成电路设计(第二版),北京:电子工业出版社,2005,500-544.
- [9] Bedabrata Pain and Eric R.Fossum, "Approaches and analysis for on-focal-plane analog-to-digital conversion", SPIE Vol.2226, 1994, P208-218.
- [10] Boyd Fowler, Abbas El Gamal, et al, "Techniques for Pixel Level Analog to Digital Conversion", SPIE Vol.3360, 1998, P2-12.
- [11] 甘文祥,《红外焦平面片上像素级模数转换研究》,中国科学院上海技术物理研究所博士学位论文, 2006, P1-8.
- [12] Abbas El Gamal, David Yang, et al, "Pixel Level Processing-Why, What, and How?", SPIE Vol.3650, 1999, P2-12.
- [13] Bell J.A., Bruce J.W., CMOS current mode flash analog to digital converter, IEEE Circuits and Systems, 2001, 1:272-275
- [14] Cheng Chen, Yuhua Guo, A 6-bit 150 MHz competition encoding flash analog-to-digital converter, IEEE Circuits and Systems and West Sino Expositions, 2002, 2: 926-928.
- [15] 刘小阳,《用于红外焦平面读出电路的模数转换器的研究》,中国科学院上海技术物理研究所硕士学位论文, 2011.

- [16] Amine Bermak, Abdessellam Bouzerdoum, and Kamran Eshraghian, A vision sensor with on-pixel ADC and in-built light adaptation mechanism, *Microelectron. J.*, vol. 33, no.12, pp. 1091 - 1096, 2002.
- [17] Snoeij M.F., Theuwissen A.J.P., Huijsing J.H., A 1.8V 3.2/spl mu/W comparator for use in a CMOS imager column-level single-slope ADC, *Circuits and Systems*, 2005, 6:6162 - 6165.
- [18] F.Guellec, P.Villard, et al, "Sigma-delta column-wise A/D conversion for cooled ROIC", *SPIE Vol.6542*, 2007, P65423N-65423N9.
- [19] Yuichi Motohashi, Takashi Kubo, et al, "A 960-fps Sub-Sampling Object Extraction CMOS Image Sensor with 12-bit Column Parallel ADCs and ALUs", *SPIE Vol.6501*, 2007, P65010O1-65010O18.
- [20] El-Sayed Eid, "Investigation of the design Boundaries of a 3071×2048 Image Sensor Pixel Array", *SPIE Vol.4823*, 2002, P172-180.
- [21] Benoit Dupont, Patric Robert, et al, "Model based on-chip 13bits ADC design dedicated to uncooled infrared focal plane arrays", *SPIE Vol.6737*, 2007, P6737121-6737128.
- [22] Masanori Furuta, Shoji Kawahito, "A Cyclic A/D Converter with Pixel Noise and Column-wise Offset Canceling for CMOS Image Sensors", *Proceeding of ESSCIRC*, 2005, P411-414.
- [23] M. F. Snoeij , P. Donegan , A. J. P. Theuwissen , K. A. A. Makinwa and J. H. Huijsing, "A CMOS image sensor with a column-level multiple-ramp single-slope ADC", *IEEE ISSCC Dig. Tech. Papers*, pp.506 -507, 2007
- [24] M. F. Snoeij, A. J. P. Theuwissen, K. A. A. Makinwa, and J. H. Huijsing, "Multiple-ramp column-parallel ADC architectures for CMOS image sensors," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2968–2977, Dec. 2007.
- [25] Y. Wang, S. Lee and K. Oh-Kim, "Comparison of several ramp generator designs for column-parallel single slope ADCs," in *Int. Workshop on Image Sensor*, 2009.
- [26] A. Laflaquiere, "Ramp generator," US patent 6,842,135, Jan. 11, 2005.
- [27] A. Krymski, "Ramp generation with capacitors," US patent 6,885,331, Apr. 26, 2005.
- [28] K. Lee et al., "Image sensor with analog-to-digital converter that generates a variable slope ramp signal," US patent 6,545,624, Apr. 8, 2003.
- [29] S. Ham et al., "Image sensor using auto-calibrated ramp signal for improved image quality and driving method thereof," US patent application 11/508,653, Mar. 1, 2007.

- [30] P.Holloway "A trimless 16b digital potentiometer", IEEE ISSCC Dig. Tech. Papers, pp.66 -67 1984.
- [31] 高静,姚素英,徐江涛等.高速列并行 10 位模数转换电路的设计[J].天津大学学报, 2010,43(6):489-494.DOI:10.3969/j.issn.0493-2137.2010.06.004.
- [32] Velagaleti, Silpakesav A Novel High Speed Dynamic Comparator with Low Power Dissipation and Low Offset. Thesis (MTech) p6-p8 2009.
- [33] R. Jacob Baker, CMOS: Circuit Design, Layout, and Simulation, IEEE Press, p686-p691, 1998.
- [34] Bazes, M.. Two novel fully complementary self-biased CMOS differential amplifiers [J]. IEEE Journal of Solid-State Circuits, 1991, 26 (2) \_4 . DOI:10.1109/4.68134.
- [35] 金善子. 模拟电路版图设计中的匹配艺术 [J]. 中国集成电路, 2006, 15 (12) \_4 .
- [36] 曾庆贵, 集成电路版图设计, 机械工业出版社, p236-p241, 2007.
- [37] Alan Hastings, 模拟电路版图的艺术, 电子工业出版社, 2007.
- [38] 陆学斌, 集成电路版图设计, 北京大学出版社, 2012.

此页不缺内容

## 作者简介及在学期间发表的学术论文与研究成果

### 作者简介:

1990年04月05日出生于江苏高邮。

2008年09月——2012年06月,在南京大学匡亚明学院获得学士学位。

2012年09月——2015年06月,在中国科学院上海技术物理研究所攻读硕士学位。

### 获奖情况:

上海技术物理研究所2013年度所二等奖学金(2014.1)

上海技术物理研究所2013年度所三好学生(2014.1)

上海技术物理研究所2014年度所二等奖学金(2015.1)

上海技术物理研究所2014年度所三好学生(2015.1)

中国科学院上海技术物理研究所2015年度所优秀毕业生(2015.4)

中国科学院大学2015年度三好学生(2015.6)

### 已发表(或正式接受)的学术论文:

1.周廉,宋伟清,白涛,应用于列ADC电路的斜坡发生器设计[J],红外,2015,36(5):16-20;

2.宋伟清,周廉,白涛,袁红辉,基于逐元暗电流抑制的红外探测器读出电路研究[J],红外,2015,36(4):13-19;

3.白涛,程正喜,周廉,宋伟清,马斌,一种在电阻阵列像素单元实现过驱动技术的电路设计[J],红外,2015,36(4):6-12。


封二

## 学位论文版权使用授权书

本人完全了解中国科学院大学有关保留、使用学位论文的规定，即：学校有权保留学位论文的印刷本和电子版，并提供目录检索与阅览服务；学校可以公布论文的全部或部分内 容，可以采用影印、缩印、数字化或其它复制手段保存学位论文。

本人同意《中国优秀博硕士学位论文全文数据库》出版章程的内容，愿意将学位论文提交《中国学术期刊（光盘版）》电子杂志社，编入 CNKI 学位论文全文数据库并充实到“学位论文学术不端行为检测系统”比对资源库，同意按章程规定享受相关权益。

保密论文在解密后遵守此规定。

论文作者签名：周廉 指导教师签名：

日期：2015 年 6 月 1 日