



中国科学院大学
University of Chinese Academy of Sciences

硕士学位论文

三维混合型系统级封装设计中的信号完整性仿真分析

作者姓名： 王祺翔

指导教师： 曹立强 研究员 中国科学院微电子研究所

学位类别： 工程硕士

学科专业： 电子与通信工程

培养单位： 中国科学院大学微电子学院

2017年11月

**Signal Integrity Simulation Analysis of Three-dimensional
Hybrid System in Package Design**

thesis submitted to

University of Chinese Academy of Sciences

in partial fulfillment of the requirement

for the degree of

Master of Engineering

in Electronics and Communication Engineering

By

Qixiang Wang

Supervisor : Professor Liqiang Cao

**School of Microelectronics of University of Chinese Academy of
Sciences**

November 2017

中国科学院大学
研究生学位论文原创性声明

本人郑重声明：所呈交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明或致谢。

作者签名：

日 期：

中国科学院大学
学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定，即中国科学院有权保留送交学位论文的副本，允许该论文被查阅，可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分內容，可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名：

日 期：

导师签名：

日 期：

摘 要

支撑摩尔定律(Moore's Law)的光刻工艺不断进步,使得芯片的特征尺寸不断减小,但随着特征尺寸的缩小,摩尔定律将面临电子在量子效应下的不确定性和致命的短路电流缺陷。采用系统级芯片(System on Chip,SoC)结合系统级封装(System in Package,SiP)的方式提供了新的解决方向。同时,相对于传统电子产品集成度更高、速率及性能要求更高的系统将带来更多的信号完整性(Signal Integrity, SI)问题,对于各种实用新型 SiP 结构所涉及到的电学仿真分析具有十分重要的意义。三维混合型 SiP 封装形式采用了主流封装引线键合和倒装焊工艺堆叠的方式,在成本上相对转接板封装形式更低同时在集成度与性能上相对于 PoP(Package on Package)更有优势。

本论文针对高集成度三维混合型封装形式自身高密度走线及高堆叠键合线的特点所带来的信号完整性问题,首先提取该层叠工艺限制下的 SoC 基板关键高速信号结构,综合考虑介质频变特性与参考导体设计约束,采用 HFSS(High Frequency Structure Simulation)三维全波电磁场仿真软件直接分析各参数对于主传输通道传输性能的影响,建立目标方程并最终在实际约束下修改设计满足带宽需求。其次对于 DDR(Double Data Rate)键合线结构采用新型仿真模型对比前人的模型与优化结论,同时分析各参数对于单端及差分信号的影响并通过提参的方式分析串扰,建立键合线传输阻抗方程解释所得出的结论,预测电源完整性(Power Integrity, PI)可能出现的问题,最终结合分析结论制定系统互连策略并通过系统级 SI/PI 协同仿真的验证,并总结该封装形式的应用实现流程。所有的仿真分析过程充分发挥了不同算法、不同维数的电磁场软件与电路软件的优势与适用范围,从时域和频域的角度验证分析前后得出的假设与结论,给予设计与工艺优化电学性能的方向并检验最终结果。

关键词: 信号完整性, 三维混合型系统级封装, 三维全波电磁场仿真, 电源完整性, 协同仿真

Abstract

The continuous improvement of lithography process supporting Moore's law makes the feature size of the chip continue to decrease. But with the reduction of feature size, Moore's law will face the uncertainty of electrons in quantum effects and the fatal short circuit current defects. The use of SoC combined with SiP provides a new way to solve this problem. At the same time, compared with the traditional electronic products, higher integration, higher speed and performance requirements of the system will bring more signal integrity issues. It is of great significance for the analysis of the electrical simulation of the SiP structure. At the same time, compared with the traditional electronic products, higher integration, higher speed and performance requirements of the system will bring more signal integrity issues. It is of great significance for the analysis of the electrical simulation of new various SiP structures. Three-dimensional hybrid SiP adopts the mainstream packaging process, wire bonding and flip chip in a stackable manner. It is lower than the interposer and has more advantages in integration and performance than PoP.

This thesis is aimed at the highly integrated three-dimensional hybrid package signal integrity problems caused by high-density substrate wire routing and high stacked bonding wire characteristics. Firstly, the key high speed signal is extracted from the substrate structure under the restriction of the lamination process. Considering the dielectric frequency characteristics and the design constraints of reference conductor, the influence of each parameter on the transmission performance of the main transmission channel is analyzed by using the HFSS 3D full wave electromagnetic field simulation software. Establish the objective function and modify the design to meet the bandwidth requirement. A new simulation model is used to simulate the unique high stacked bonding wire structure in this product, and the optimization results are compared with those of previous models. At the same time, the influence of each parameter on the single ended and differential signal is analyzed. Establish the transmission impedance equation to explain the conclusions obtained. Predict the potential problems in power integrity and summarize system interconnection strategy. Finally, the whole design is verified by system level simulation. Finally, the system interconnection strategy is formulated according to the analysis results and verified by system level SI/PI collaborative simulation, and the

application process of the encapsulated form is summarized. All of the simulation analysis process give full play to the advantages and application scope of different algorithms, different dimensions of electromagnetic field software and circuit software. From the perspective of time domain and frequency domain to verify the assumptions and conclusions, give the direction of electrical performance optimization for design and process and test the final results.

Key words: Signal Integrity, Three-dimensional hybrid SiP, 3D full wave electromagnetic field simulation, Power Integrity, Collaborative simulation

目 录

摘 要.....	I
Abstract	III
第一章 绪论	1
1.1 研究的背景与意义	1
1.2 国内外研究现状.....	5
1.3 主要研究内容与章节安排.....	7
1.4 本章小结	9
第二章 SiP 中的信号完整性原理与分析	11
2.1 传输信号的性质.....	11
2.2 传输线	12
2.2.1 无损传输线模型	13
2.2.2 传输电磁波性质	14
2.2.3 有损传输线模型	15
2.3 反射	19
2.4 差分传输与串扰.....	21
2.5 端口网络分析.....	26
2.5.1 参数矩阵.....	26
2.5.2 S 散射参数的优势与用途	28
2.6 芯片 I/O 电路模型	29
2.7 仿真分析工具.....	30
2.8 本章小结	31
第三章 SiP 中的关键结构优化分析.....	33
3.1 SoC 高速差分结构优化分析.....	33
3.1.1 前期设计规划与优化	34
3.1.2 实际结构仿真分析与预估比较	35
3.1.3 主传输结构分析与简化模型建立	37
3.1.4 简化主传输结构模型仿真分析	39
3.1.5 优化方案及结果验证.....	42
3.2 SiP 高堆叠键合线优化分析	51

3.2.1	传统键合线仿真模型与新型仿真分析.....	51
3.2.2	键合线横向参数仿真分析.....	53
3.2.3	键合线纵向参数仿真分析.....	55
3.2.4	键合线紧密排列仿真分析.....	55
3.2.5	键合线提参验证分析.....	57
3.2.6	系统级互连验证与电源完整性预估.....	68
3.3	本章小结.....	72
第四章 SiP 中的电源完整性分析与系统后仿真验证.....		73
4.1	SiP 中的电源完整性分析.....	73
4.1.1	交流阻抗分析.....	75
4.1.2	IRdrop 直流压降考察.....	78
4.2	源同步时钟系统互连分析验证.....	81
4.2.1	系统互连布线方案与设计优化.....	82
4.2.2	系统互连分析.....	86
4.2.3	电镀线影响分析.....	90
4.2.4	同步开关噪声考察.....	94
4.3	本章小结.....	96
第五章 基于三维混合封装信号完整性研究的应用验证.....		97
5.1	设计仿真流程.....	97
5.2	应用实现流程.....	98
第六章 总结与展望.....		101
6.1	本文主要工作.....	101
6.2	未来工作展望.....	102
参考文献.....		103
致 谢.....		107
作者简历及攻读学位期间发表的学术论文与研究成果.....		109

第一章 绪论

1.1 研究的背景与意义

自 20 世纪 60 年代开始, 支撑摩尔定律的光刻工艺不断进步, 使得芯片的特征尺寸不断减小, 但随着特征尺寸的缩小, 摩尔定律将面临电子在量子效应下的不确定性和致命的短路电流缺陷^[1-2]。主流的看法是可以演进到 5nm 后停滞, FinFET 发明人胡正明教授在 2016 年 11 月认为可以演进到 1nm, 但是要用硫化钼的材料体系。为保持集成电路的发展, 结合 SoC 与 SiP 的高价值系统提供了超越摩尔定律的解决方向^[3]。

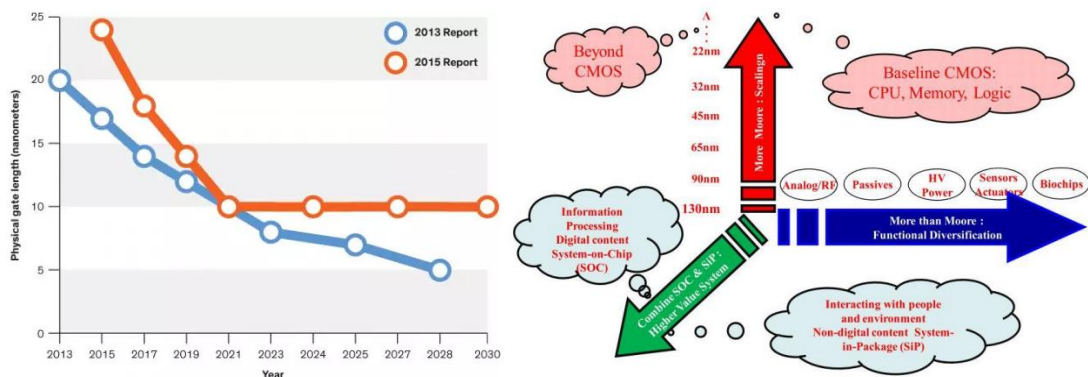


图 1.1 微处理器晶体管尺寸和后摩尔时代技术发展路线

Figure 1.1 Microprocessor transistor size and post Moore Technology Roadmap

相对于传统的印刷电路板 PCB(Printed Circuit Board)系统, 由于采用高密度基板工艺和高密度集成技术, SiP 的集成度更高可降低 30%至 50%的功耗。随着集成电路技术的发展, 系统时钟频率越来越高, 传输速率越来越快, 留给工程师的设计裕量越来越小, 相对于单芯片封装寄生参数对信号完整性及电磁兼容的影响, SiP 由于互连间距更短, 在电学性能上更优异^[4-5]。

APPLE iPhone 7

1. Apple A10 Fusion/DDR4 Memory FO-WLP PoP
2. Qualcomm Baseband Processor – FC/WB CSP
3. Skyworks PA Filter Module- SiP
4. Avago PA Filter Module - SiP
5. Avago PA Filter Module- SiP
6. USI Audio Filter Module- SiP

1为A10处理器与DDR4的扇外型晶圆级封装堆叠子系统模块

2为高通基带处理芯片倒装及引线键合芯片级尺寸封装

3至6为音频及视频滤波系统级封装模块

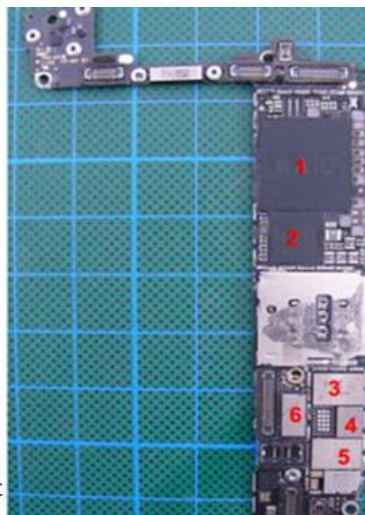


图 1.2 苹果 iPhone7 背面电路板各模块

Figure 1.2 Apple iPhone7 back circuit board each module

2016 年华天科技 16nm CPU 量产 2500 万颗,但是晶圆的 MASK 光罩费用非常昂贵,使得全志、瑞芯微等大部分领先的智能应用处理器 SoC 和智能模拟芯片设计厂商都还无法应用。摩尔定律走到 28nm 以后,实际上工艺节点向下走性价比上升的趋势不再。现在的 GPU,CPU 等将各种 IP 核(Intellectual Property Core)集成在一个 SoC 芯片内,本身的周期长,产量高可以降低成本,但如果失败则损失极大。更多的情况由于 SoC 无法实现,而 SiP 可以高速灵活地集成各种晶圆工艺的芯片研制产品,比如 5G 中把 CMOS、砷化镓、SOI 集成到一起做到很高的频带。SoC 随着系统复杂度增加与特征尺寸缩小,成本呈指数上升,需要整合不同晶圆厂及工艺验证的 IP 风险极高。而 SiP 的复杂度和成本是一个线性的关系,由于仅需集成现有器件成功概率高, SiP 一个产品设计和仿真的费用一般 30-40 万不到 100 万人民币,而 16nm 晶圆 mask 费用近一千万美元。图 1.2 是苹果 iPhone7 背面各电路模块,一半以上为完整的 SiP 模块,其中 A10 与 DDR4 集成的子系统采用 PoP 封装形式。现在电子产品竞争激烈,产品更早的上市和更低的成本会给企业带来更多的利润,因此 SiP 越来越流行。

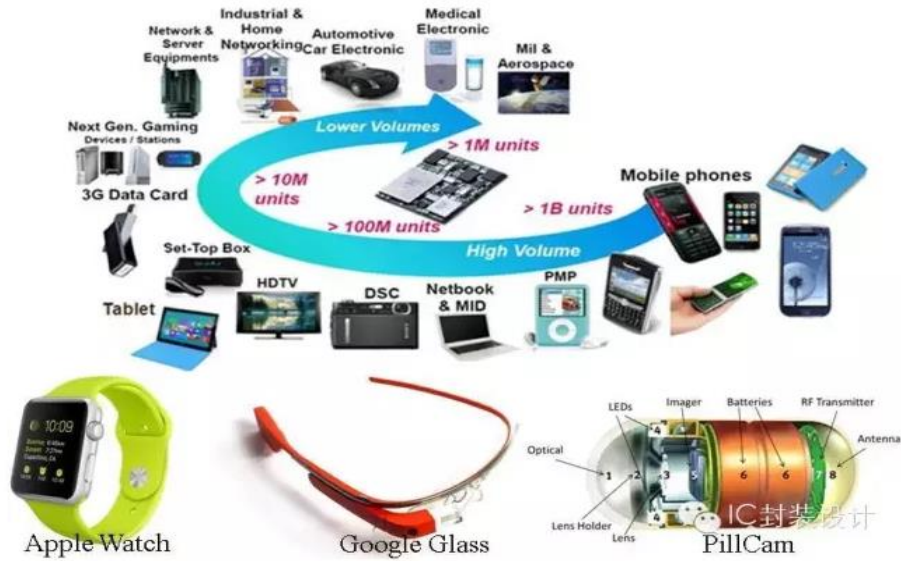


图 1.3 系统级封装的应用范围

Figure 1.3 Application range of system in package

如今 SiP 技术已经从 3C(Computer, Communication, Costumer Electronics)产品蔓延到医疗电子、汽车电子、军工以及航空航天领域。Apple Watch、Google Class 等产品都得益于 SiP 技术的发展。人们对于便携设备的需求与日俱增，也要求着未来的电子产品整体上向着更高性能、更低功耗、更少成本、更小体积的方向迈进。同时，也使得封装体中再分布层 RDL(Redistribution layer)互连密度越来越高，信号及电源完整性问题越来越严重^[6]，当今系统级信号完整性方面的研究主要以 PCB 系统为主，迫切需要针对不同高密度系统级封装的电学研究。

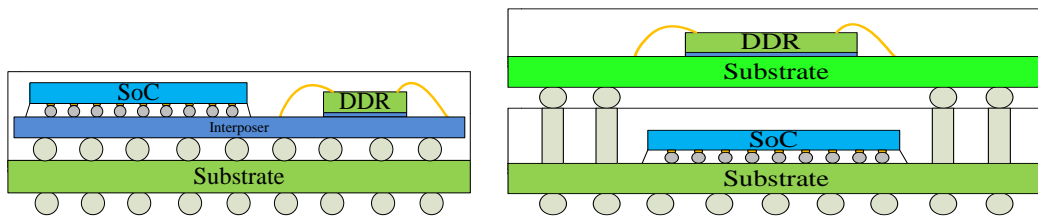


图 1.4 SiP 硅转接板 TSV 与 PoP 封装形式

Figure 1.4 Silicon interposer by TSV and PoP package structures of SiP

本文讨论通过 SiP 方式集成两种典型芯片（AP 基带处理 SoC 逻辑芯片与 DDR 存储芯片）的封装解决方案。如图 1.4 采用 TSV (Through Sillion Via) 2.5D 硅转接板 (Silicon Interposer) 的方式在前道工艺尺度上可以更为精细，互连间距可以更短，具有更简单的设计难度和较好的电学性能，在热源上也会更为分散

但是成本较高；采用最通用的与 iPhone7 相同的 PoP 封装方式，具有很好的可测试性和可靠性，但是集成度较差^[7-9]，这里希望采用单 package 实现更低的成本与更高的集成度。在芯片信息及要求的 BGA 引脚输出分布给定的同时，意味着该产品整体的原理图已经敲定，需要在此基础上完成满足信道需求的互连。如果把其当做三个多引脚器件则设计概况如图 1.5 所示（尺寸方面仅给出大致信息）：

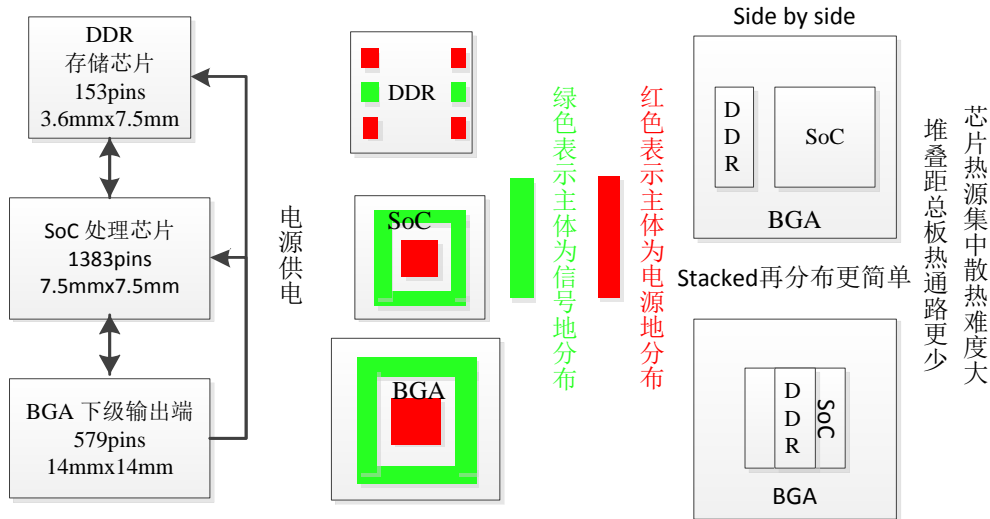


图 1.5 单基板系统级封装方案选择

Figure 1.5 Scheme selection of single substrate SiP

从设计的角度而言，堆叠形式更简单，更有可能实现最少的四层板设计，二维平面走线分布在四层板内极难实现，相对二维分布的散热情况更好，芯片热源更为分散。综合考虑各器件输入输出分布预设计，最终选择如图 1.6 的新型的三维 wirebond+flipchip 混合型 SiP 封装方式，从而实现更低的成本与更高的集成度。

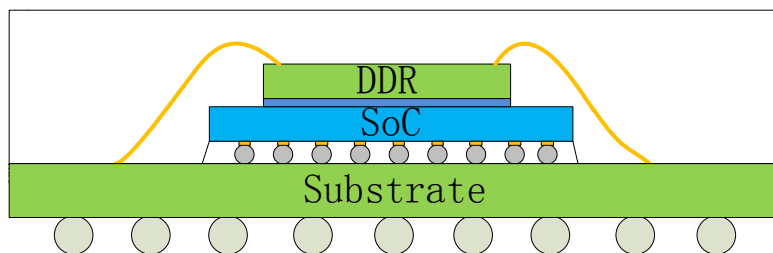


图 1.6 最终三维混合型系统级封装形式

Figure 1.6 Final three dimensional hybrid system in package structure

对 SiP 而言最为核心的能力是设计仿真互助的方法与流程, 整合的所有芯片器件能否在电热力上合格, 以使得良率达到量产的标准, 从而可以决定能否制作新的产品, 这将直接区分加工厂商与 SiP 解决方案提供商。本论文基于一款双芯片 SiP 的研发项目, 创新地采用囊括现在主流三维基板封装工艺的混合型封装方式, 分析讨论其共性问题。从该产品高密度关键结构设计仿真优化到其系统互连的方案直至整体的电学仿真验证, 根据实际涉及到的主要情况提供具体的仿真分析方式并总结该封装形式的应用实现流程。

1.2 国内外研究现状

鉴于系统级封装各个模块可以单独设计制造, 封装中对模块、材料和器件的兼容性好, 可以保持电子产品更小更快的发展趋势, 因此得到国内外业界广泛的关注, 发展迅速^[10]。从封装技术角度主要有芯片堆叠、2.5D 硅通孔 TSV 与 PoP 堆叠封装三个分支。芯片堆叠是将裸片进行三维堆叠, 扩展芯片功能, 然后进行封装, 可以达到最大的集成度但一般限于同属性同引脚位置的存储芯片。

2.5D 硅通孔技术是二维封装技术向三维封装技术的一个过渡, 如图 1.4 左图, 指将多个芯片并排放置, 然后通过硅转接板连接到封装基板上, 芯片通过微凸点 (Microbumps) 与转接板上的互连层 RDL 连接, 再通过硅通孔和背面的凸点连接到封装基板上。通过这种技术, 多个芯片可以在转接板上实现直接互连, 大大缩短了走线长度, 降低了信号延迟与损耗, 提高了芯片封装的性能。相较于 PCB, 硅基转接板采用不同的制作工艺, 互连线的线宽和线间距更小, 因此可以极大的提高布线密度。另外, 转接板和芯片都是使用硅作为基底材料, 二者间的热膨胀系数 (coefficient of thermal expansion, CTE) 失配较小, 芯片所承受的热应力大幅降低, 可靠性得以提高^[11]。但由于 TSV 本身的高成本使得实际市场上成熟的产品不多, 其中三星和镁光公司 TSV 存储芯片堆叠是目前面世的产品代表。

PoP 通过垂直互连减小信号传输长度, 增加芯片处理速度, 属于 3D 结构, 实现了芯片垂直方向的集成, 从而节省了印制电路板面积, 如图 1.4 右图。同时它很大程度上延续了二维封装技术, PoP 封装的上下结构体可以分别封装测试, 然后再进行组装, 这样封装工艺相对简单, 成品率高, 最终封装结果可靠性强。目前发展最为成熟的同样是逻辑芯片与存储芯片的封装堆叠, 它们之间需要直接的数据交换, 所以互连线长度减小后可以显著的提升信号处理速度。目前 PoP

的发展相对成熟，移动通讯设备等多种消费类电子产品中都有应用。

三维混合型系统级封装可以在单封装内实现异质芯片的裸片三维堆叠，对于堆叠复杂逻辑器件和存储器器件的问题是一种新兴的、成本较低而集成度很高的解决方案。市场对于电子产品的要求越来越高，人们需要更快数字信号处理、更大存储容量和更灵活的新型存储架构。其出现可以在一定程度上缓解这些需求的压力，同时更高集成度带来的更高密度的走线与更高弧度的键合线都会给 SiP 的信号完整性方面更多新的挑战。

从上世纪八十年代年代起，与 SiP 信号完整性密切相关的无源微波技术已经转移到平面电路系统，传统的电路板设计需要工程师采用研制样机及试错等方式在实践中不断调试，成本高且开发周期长。超大规模集成电路技术的发展导致沟道尺寸不断减小，器件的功耗和瞬态电流持续增加，要求电源有更快的动态响应速度，供电电压的下降导致噪声门限和设计裕量降低，更高的信号速率也使得电源噪声对寄生参数更为敏感。使得复杂系统的电学设计需要 SI/PI 多领域协同分析，原有分析方法与设计手段已经难以满足当今市场需求，必须需要借助相关仿真工具来高效地指导和验证产品设计。

在国外，SI PI 工程师早已成为一种专门的职业，Intel、Cadence、Mentor、Sigriety、Ansys 等公司已建立属于自己的高速设计研究实验室，配置了最先进的软件用来建立仿真环境以此进行时域和频域的分析^[12]。根据世界各大电子元件供应商所提供的元器件资料来设计并建立 IBIS (Input/Output Buffer Information Specification)、SPICE (Simulation program with integrated circuit emphasis) 模型、定义语法、建立数据库以此来保证高速电路的信号完整性仿真分析的准确性。论文中用来进行设计的软件为 Cadence Allegro SiP 模块，用来研究信号完整性问题的常用软件包括 Cadence 公司的 Speed2000、Power SI、System SI 软件，Ansys 公司的 HFSS、SIwave、Designer 等。

国内 SI 研究相对国外较晚，但是最近几年也取得了一定的成果。华为、中兴等国内电子行业的领军者已经建立了专属的 SI 研究部门，甚至也通过合资的方式出现苏州芯禾电子科技等专门从事高速电路设计与软件开发的企业，作为国内封装行业龙头的江苏长电科技股份有限公司为了获得更高端的客户和市场，通过收购世界排名前列的半导体封测公司星科金鹏的方式，于 2016 年下半年广纳信号完整性仿真方面的人才，大环境促使一般的中小硬件公司都需要具备应对

SI 方面的能力。随着技术的不断更迭，信号完整性仿真分析已经成为高速电路设计的重中之重。电子工程师必须要紧跟技术发展，掌握相关理论、技术，再利用仿真分析等方法进行设计，才能做出性能过关的产品，以此来在高速发展的电子行业中保持竞争力。

1.3 主要研究内容与章节安排

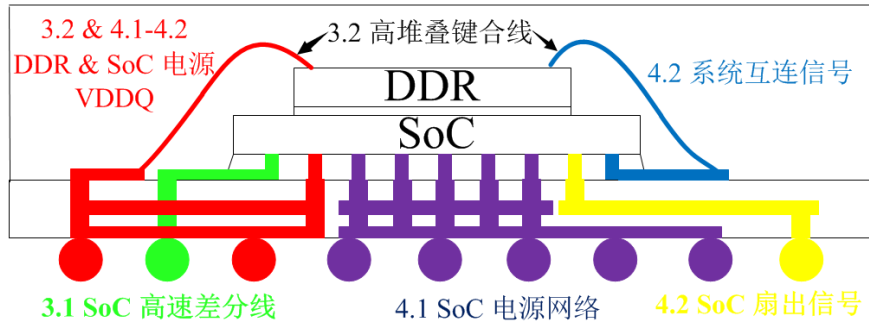


图 1.7 三维混合型 SiP 电学设计各模块示意图

Figure 1.7 Schematic diagram of each module of three dimensional hybrid SiP electrical design

图 1.7 是该三维混合型封装形式的电学设计仿真示意图，和图 1.8、1.9 一样标注了各部分所在论文章节的位置。

由于自身内部堆叠芯片并采用相同的基板层数实现更高的集成度与更低的成本，因此拥有相对传统 SiP 结构 DDR 单芯片更高更长的高堆叠键合线弧与设计裕量更小互连密度更高的基板，此特性将给这种新型封装结构的电学性能带来新的挑战。

对于信号完整性而言，需要处理好 SoC 芯片本身作为 FCBGA 扇出的信号以及与 DDR 之间系统级互连的部分。实际电源部分和信号部分是相互权衡分配布线面积的，核心在于对该工艺尺度下关键信号结构（图 1.7 中 SoC 高速信号结构与高堆叠键合线结构）的把握，由此引申至电源完整性的瓶颈部分与系统互连设计方案。这是由于该封装形式自身结构的特殊性所带来的共性设计难题，将在论文第三章详细讨论。

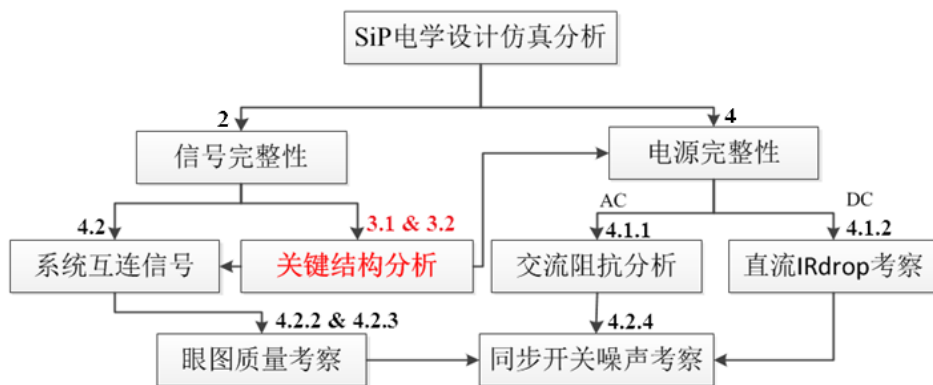


图 1.8 SiP 仿真分析流程

Figure 1.8 SiP simulation analysis process

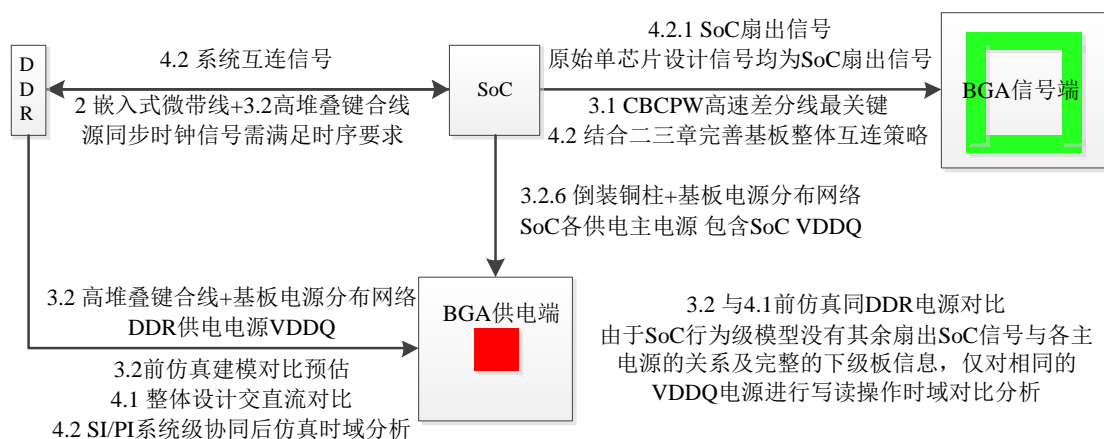


图 1.9 SiP 仿真分析结构说明

Figure 1.9 SiP simulation analysis structure instruction

图 1.8 是该 SiP 的仿真分析流程，图 1.9 拆分图 1.5 结合图 1.7 进一步解释说明了各个结构的意义与所在章节分布。

第二章阐述 SiP 中所涉及的信号完整性理论部分。第三章作为全文的核心主体分为两个部分，3.1 通过 HFSS 解决该高密度基板工艺尺度下的 SoC 高速信号线匹配优化设计问题，为 3.2 的键合线建模仿真与整体 SiP 基板布线提供分析结论；3.2 针对该 SiP 特殊封装形式建立了高堆叠键合线模型，仿真对比了纵横参数对传输性能的影响，并通过提取寄生参数矩阵处理全面分析了键合线传输特性，求解传输阻抗验证结论，并预估高频应用与 PI 可能出现的问题。4.1 在 PI 前仿真阶段采用目标阻抗法考察各主电源模块(图 1.7 中 DDR&SoC 电源 VDDQ 以及 SoC 电源网络)设计的交直流特性，验证设计前期基于键合线仿真结论并

推断 DDR 键合线供电电源可能产生的问题；4.2 基于前期对该 SiP 封装结构的研究结论在实际约束下制定基板整体的走线策略（图 1.7 中系统互连部分与 SoC 扇出信号），结合 SI/PI 协同仿真分析考察系统互连的传输质量，在后仿真检验通过的基础上分析电镀线影响并考察同步开关噪声特性。

本论文分为六章，具体内容如下：

第一章，讨论了 SiP 的背景与三维混合型 SiP 封装结构的研究意义，介绍了国内外各封装形式与信号完整性研究现状及当今电子产品所面临的严峻挑战，说明了采用仿真工具辅助设计研发的必要性，简述了该 SiP 封装形式 SI 特性研究的各章节安排。

第二章，围绕该 SiP 中应用最多的嵌入式微带线结构涉及的信号完整性方面的原理及工具进行了分析和论述，为后续章节的仿真分析铺垫。

第三章，对该封装形式涉及的关键结构信号完整性问题进行详细的分析与论述，为整体设计方案的制定及可能产生的电源完整性问题进行预估。

第四章，详细阐述该封装形式涉及的主要电源完整性问题前后的分析验证过程，对比 PoP 封装形式说明改封装形式电学性能上的优越性，为最终系统互连优化方案做后仿真验证，并对工艺提出性能改善的方向。

第五章，归纳三维混合型系统级封装整体的设计仿真与应用实现流程。

第六章，总结和展望。

1.4 本章小结

本章介绍了 SiP 的背景及新型 SiP 封装形式电学分析的意义，介绍了国内外封装及 SI 方面的研究发展现状与现代电子产品采用仿真分析的必要性，简述了本论文的主要研究内容。

第二章 SiP 中的信号完整性原理与分析

本章首先从传输信号的时频域特性开始，说明数据速率同带宽的关系，通过电磁场理论结合电路等效模型的方式介绍了有损及无损传输线模型，为第三章并行键合线传输阻抗的计算提供理论支持。2.3 及 2.4 通过电路软件仿真说明阻抗不连续效应、TDR 分辨率问题、差分耦合传输以及未饱和串扰效应，为第三章高速线的匹配优化及 SiP 中的各种低频短距优化策略打下基础。2.5 及 2.6 简述了无源矩阵模型的提取方式以及有源芯片的行为级模型框架，为信号、电源完整性分析与系统协同后仿真验证提供研究手段。2.7 讨论了各仿真分析工具的优势与适用范围，整章论述中结合该 SiP 所涉及的典型传输结构及尺寸阐述了论文中涵盖的所有重要 SI 原理。

2.1 传输信号的性质

现代高速数字设计需要进行大量的仿真工作，以便在原型机出产前能对系统的电学表现评估。设计的重点是时域波形的信号完整性，但影响互连线信号传播的若干因素在频域内分析更加快捷^[13-14]。在线性时不变（LTI, Linear Time-Invariant）系统中，任何时域波形都能转换为不同频率正弦波的叠加，都有等价的频谱。

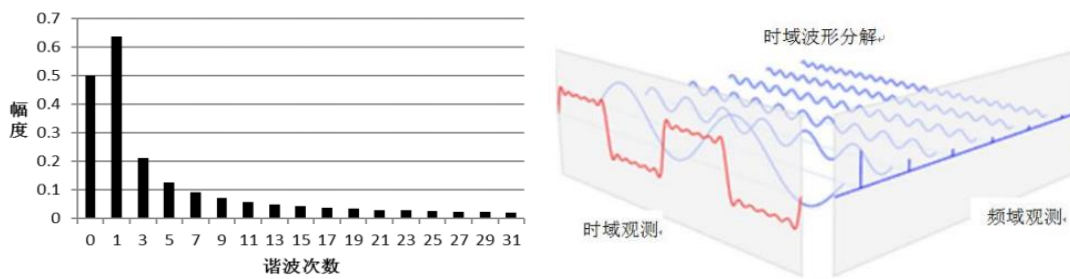


图 2.1 占空比二分之一的理想方波频谱，随着更多高次谐波的引入而越接近原波形

Figure 2.1 1/2 duty cycle ideal square wave spectrum. With the introduction of more high harmonics, the closer to the original waveform

理想方波的上升时间为 0，拥有无限的带宽。实际数字波形更好的近似为梯形波，相对于理想方波而言，加了一个低通滤波器，上升时间 $t_{10-90\%}$ 取最高电压的 10% 至 90%。当频率为 f_{3dB} 时，低通滤波器开始起作用，区别于 $1/T$ 一次谐波

起始的-20dB/10 倍频程速率下降。其后谐波的幅度相对理想方波幅度低于70%，对于信号本身的影响很小， f_{3dB} 为估算带宽。著名的边沿频谱分量与上升时间的关系为：

$$t_{10-90\%} = \frac{1}{\pi f_{3dB}} \approx \frac{0.35}{f_{3dB}} \quad [15] \quad \dots(2.1)$$

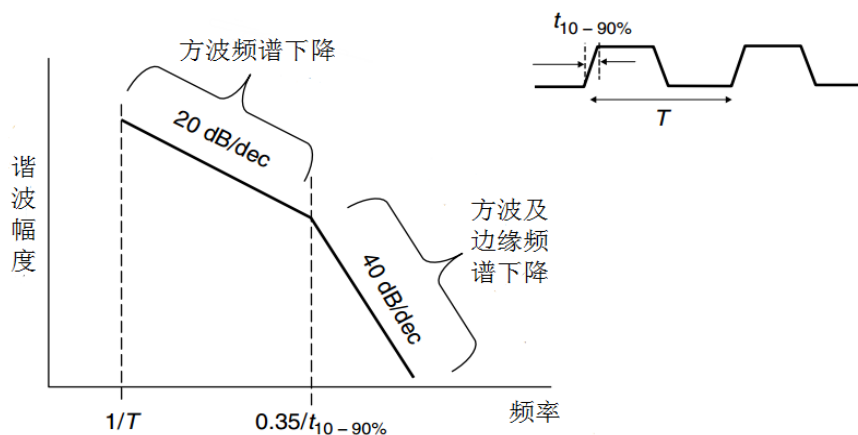


图 2.2 梯形数字脉冲近似频谱包络

Figure 2.2 Trapezoidal digital pulse approximation spectrum envelope

论文中很多情况依据此公式提取 IBIS 模型中上升或下降沿估算需要求解的 S 参数带宽，厂商提供的信号与芯片手册中提供的数据率 DR (Data Rate) 为系统每秒支持的最大位数，最大数据率由单个位宽度决定：

$$DR = \frac{1}{\Delta t_{bit}} \quad \dots(2.2)$$

其中 Δt_{bit} 为单个数据位的宽度，也称为单位时间间隔 UI (Unit Interval)。

数字脉冲的基频 $f_{fundamental}$ 为数据率 DR 的一半，因为数字脉冲在一种周期内可以传递两位数据：

$$f_{fundamental} = \frac{1}{2\Delta t_{bit}} \quad \dots(2.3)$$

对于梯形波而言，高于 5 次谐波分量的幅度只占理想电压方波很小的一部分，对上升或下降沿的影响微乎其微，当很难得知上升时间时可通过估算带宽为 5 倍的基频求解计算。

2.2 传输线

2.2.1 无损传输线模型

传输线由两个或以上的导体及电介质组成，当传输信号的波长可以同传播长度相比拟时，在任意时刻将会传播不止 1bit 的信息^[16]，因此要通过重视传输线的结构和设计从而保证其电气特性明确可控，使得驱动端的脉冲质量能被接收端高质量地捕获。信号完整性基本上是电磁场理论范畴的，但其中基本原理的应用都是用电路参数来描述以便于直观理解^[17]，图 2.3 是无损传输线双导体模型：

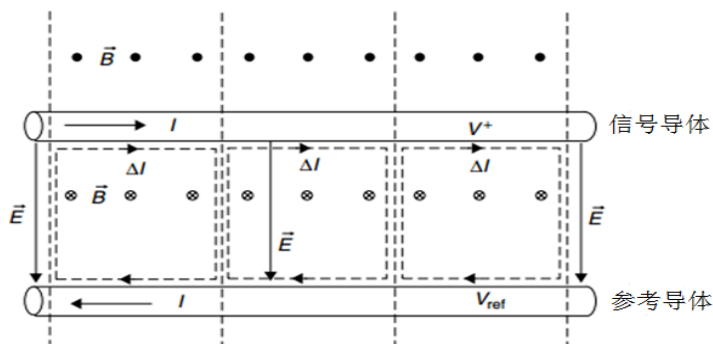


图 2.3 传输线微元双导体等效模型

Figure 2.3 Transmission line infinitesimal double conductor equivalent model

L 为信号导体电感，C 为信号导体与参考导体间的互容。传输线可表示为若干微分元件的串联，若用一系列小电流回路表示整体电流则相邻导体分量的垂直部分相互抵消，只剩下信号导体的 ΔI 和参考平面的 $\Delta(-I)$ 。回路电流变化会导致磁通量的变化引起自感，传输线磁场在电路模型中可以表示为串联电感。当在信号导体和参考导体间施加电压时将产生电场，表明导体上存在电荷进而证明了导体间电容的存在。

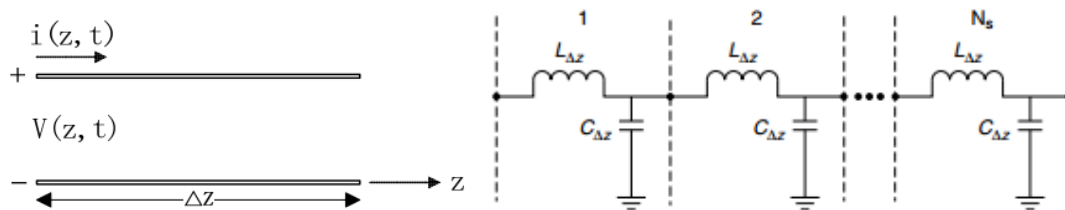


图 2.4 无损传输线分段模型

Figure 2.4 Piecewise model of lossless transmission line

当描述一个远长于 Δz 的传输线，所截取的 Δz 电容电感要足够的小使得 LC 电路的谐振频率远高于仿真求解频率，否则传输线将由于提前达到谐振频率而变

为带通滤波器:

$$\frac{1}{2\pi\sqrt{C_{\Delta z}L_{\Delta z}}} \gg f_{\text{simulation}} \quad \dots (2.4)$$

Δz 过小会使得等效电路模型元件过多浪费 SPICE 电路仿真时间, 较好的经验法则是使时域仿真每段延迟大约为时域状态下信号上升时间 t_r 的 1/10; 频域仿真最大相关频率对应波长 $\lambda_{f,\text{max}}$ 的 1/10, 这里的最大相关频率大于对应信号上升时间的倒数。 N_s 为分布 LC 模型的节数, 等于传输线总长 z 比分节 Δz 。分段电容电感与相应的无损传输线电报方程为:

$$\frac{\partial v(z,t)}{\partial z} = L \frac{\partial i(z,t)}{\partial t} \quad \dots (2.5)$$

$$\frac{\partial i(z,t)}{\partial z} = -C \frac{\partial v(z,t)}{\partial t} \quad \dots (2.6)$$

实际的传输线包含频变的导体损耗与介质损耗, 需要结合电磁场理论更好的说明。

2.2.2 传输电磁波性质

实际应用中传输电磁波的波长远大于传输导体宽度上的变化, 该论文中为保证最大的集成度采用量产可靠性线宽尺度最精细的供应商, 典型的信号线宽为 $20\mu\text{m}$, 应用介质全频段内相对介电常数 ϵ_r 假设为 4, 假设传输的波长 λ 为线宽, f_{plane} 为线宽等于波长时所对应的频率, c 为光速。

$$f_{\text{plane}} = \frac{c/\sqrt{\epsilon_r}}{\lambda} = \frac{3.0 \times 10^8 \text{ m/s}/\sqrt{4}}{2 \times 10^{-5} \text{ m}} = 7.5 \times 10^4 \text{ GHz} \quad \dots (2.7)$$

当频率达到 75000GHz 时线宽才可以同波长比拟, 因此假设传播信号为平面电磁波, 双导体以上波导传输的模式为横电磁模式 (Transverse electromagnetic mode, TEM)。传输线通过引导电磁能量传输来实现信息的传送, 但所传递的波并非一直限制在 TEM 模中。穿过电介质边界的电场切向分量连续, 而法线方向不连续, 即对于不均匀介电性质的材料而言, 场线会在边界时扭曲, 满足电磁场边界条件^[16]。由时谐形式的波动方程可以推导出电磁波传播的时谐平面波方程:

$$\nabla^2 \vec{E} - \gamma^2 \vec{E} = 0 \quad \dots (2.8)$$

$$\gamma = j\omega\sqrt{\mu\epsilon} = \alpha + j\beta \quad \dots (2.9)$$

γ 是传播常数， ω 是电磁波的角频率， α 是损耗常数描述信号通过介质传播与渗透有限电导率的衰减，虚部 β 为相移常数，结合角频率 ω 可计算相速度 v_p ：

$$v_p = \frac{dz}{dt} = \frac{\omega}{\beta} = \frac{1}{\sqrt{\mu_r \mu_0 \epsilon_r \epsilon_0}} = \frac{1}{\sqrt{\mu \epsilon}} = \frac{c}{\sqrt{\mu_r \epsilon_r}} \quad \dots (2.10)$$

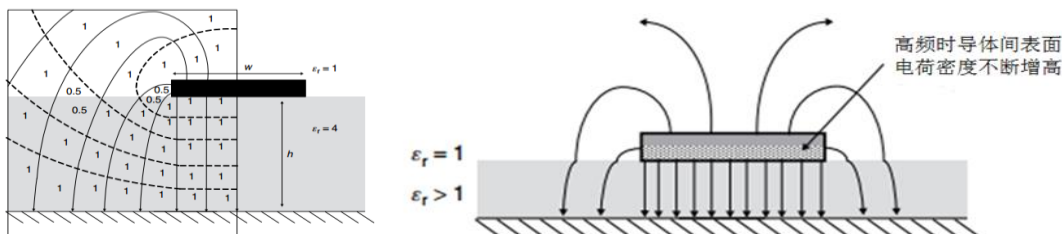


图 2.5 表层空气微带线有效介电常数场图与高频电场分布图

Figure 2.5 Field diagram of effective dielectric constant of surface air microstrip lines & High frequency electric field distribution diagram

其中 μ_0, ϵ_0 为真空磁导率及介电常数， μ_r, ϵ_r 为相对磁导率与介电常数。相速会随着介质相对介电常数的变化而变化，可以用有效介电常数进行表征，其取决于场力线穿过各介质的加权平均。当信号导体在微带线中传播时，电场在空气中的部分比基板部分传播的快，会在 z 方向上倾斜。随着频率的增加，电场将更多地受限于微带线与参考平面之间的区域，因为传播路径永远需求阻抗最小的路径，电荷更多的分布在两导体间。将减少电场在空气中的发散部分，减小有效介电常数，使得信号中不同的频谱分量产生不同的速度引起色散效应，使得信号波形失真。

2.2.3 有损传输线模型

对于有损介质和导体而言，修改安培定律带入欧姆定律与极化方程可以化简得到：

$$\nabla \times \vec{H} = j\omega(\epsilon - j\frac{\sigma}{\omega}) \quad \dots (2.11)$$

其中 σ 为电导率，代指所有的物质。对于金属很好，对于几近绝缘的电介质而言很低。物质的趋肤深度 δ 为入射电磁波衰减为原幅度的 e^{-1} 倍时的位置，等于衰减常数的倒数。

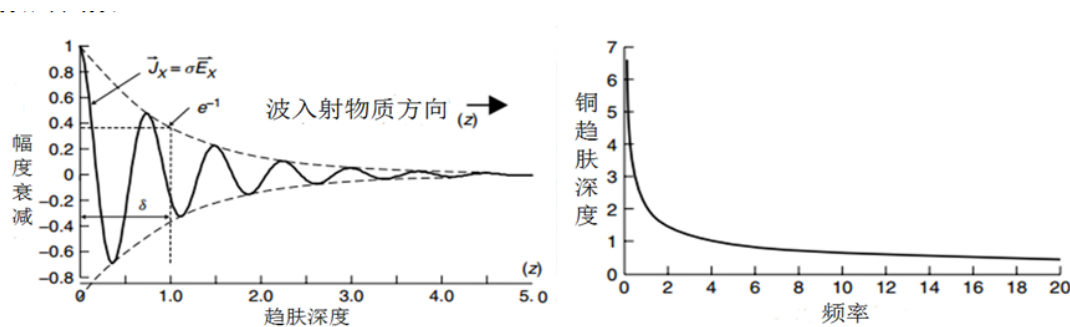


图 2.6 平面波入射物质区域伴随电流密度幅度衰减的渗透深度与铜的趋肤深度频率响应

Figure 2.6 Penetration depth of a plane wave in the material region accompanied by attenuation of current density amplitude & Skin depth frequency response of copper

这里的物质可为导体可为介质，x 方向指垂直于电磁波传播方向 z 的渗透能量。如果传输线导体具备无限的电导率，则表面电流密度有限，电场为 0，没有入射到导体内部的能量损耗，而实际的导体电导率有限，会有一定的能量损失。

$$R_{dc} = \frac{1}{\sigma \omega t} \quad \dots (2.12)$$

$$R_{ac} = \frac{1}{\sigma \omega \delta} = \frac{1}{\omega} \sqrt{\frac{\pi \mu f}{\sigma}} \quad \dots (2.13)$$

趋肤效应将高频电流集中在导体边缘的小区域流动，产生频变电阻 R_{ac} ，其另一个作用是产生频变电感。低频下，导体趋肤深度 δ 大于导体厚度 t ，大量电流流过导体内部使得导体内部存在回路电感 $L_{internal}$ ，随着频率升高，趋肤深度大于导体，导体电感使得导体外回路电感 $L_{external}$ 占主位，总电感 L_{total} 会不断的缩小，传输线串联部分忽略参考导体与信号导体产生的总阻抗 Z_{series} 为：

$$Z_{series} = R_{ac} + j\omega(L_{internal} + L_{external}) = R_{ac} + j\omega L_{total} \quad \dots (2.14)$$

数字系统速率随着摩尔定律增长，封装中介质的电气性能越来越重要，如不适当地考虑高速电介质现象则将无法正确地预测相位延迟与信号衰减，以仿真为基础的总线设计无法超过 3~5GHz^[18]。重新定义实际导电损耗电介质的复介电常数：

$$\epsilon = \epsilon' - j \frac{\sigma_{dielectric}}{\omega} = \epsilon' - j\epsilon'' \quad \dots (2.15)$$

$\sigma_{dielectric}$ 为电介质的有效电导率，对应极化电介质所需能量，实际电介质的

电导率很小，直流损耗可忽略不计。虚部代表电介质的损耗，实部为原有定义的介电常数，论文列出的材料介电常数用相对介电常数描述，损耗因子为损耗角正切，是虚部与实部的比值：

$$\epsilon_{orig} = \epsilon' - j\epsilon'' \quad \dots (2.16)$$

$$\epsilon_r = \frac{\epsilon'}{\epsilon_0} \quad \dots (2.17)$$

$$\tan|\delta| = \frac{\epsilon''}{\epsilon'} \quad \dots (2.18)$$

大多数高速数字设计平台的使用者没有奢侈的宽带复介电常数设备，需要一种方法能从半导体厂商提供的数据表中的单数据点计算出频率相关的复介电常数。厂商提供的数据表中一般包含 1GHz 和 10GHz 时的介电常数 ϵ_r 、损耗因子 $\tan|\delta|$ 列表，论文中是采用无穷极点 Debye 模型计算介电常数的频率相关性，在频率低于 20GHz 至更高的频率都同样适用。

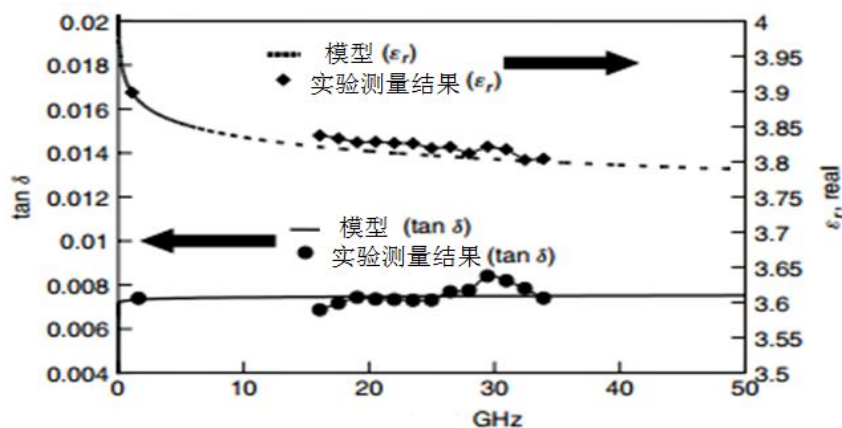


图 2.7 测量所得介电响应与 Debye 模型式 1GHz 处单数据点的介电响应比较^[20]

Figure 2.7 Comparison of dielectric response of measured dielectric response with single data point at Debye model 1GHz

实测损耗因子数据和模型计算所得只差的最大偏差在 30GHz 时只有 0.0009，而 20GHz 时介电常数的最大偏差小于 0.01， $\Delta\epsilon'$ 与 $\Delta\epsilon''$ 为无穷极点变量用以拟合介电常数与损耗因子的频率响应， ω_1 和 ω_2 分别是拟合曲线的下限和上限角频率，对于 Debye 模型，最简单的只需上下限两个频率的电气属性即可。Debye 模型的实部与虚部近似值为：

$$\varepsilon' \approx \Delta\varepsilon'_\infty + \frac{\Delta\varepsilon'}{\lg \omega_2 - \lg \omega_1} \frac{\ln(\omega_2 / \omega)}{\ln(10)} \quad \dots (2.19)$$

$$\varepsilon'' \approx + \frac{\Delta\varepsilon'}{\lg \omega_2 - \lg \omega_1} \frac{-\pi/2}{\ln(10)} \quad \dots (2.20)$$

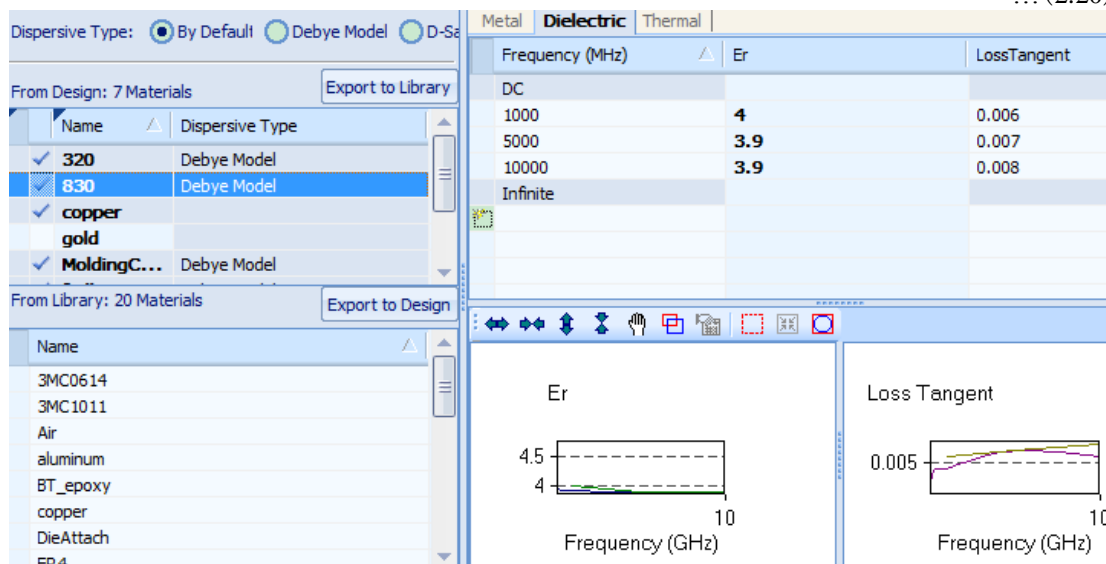


图 2.8 PowerSI 介质材料模型设置

Figure 2.8 PowerSI dielectric material model setting

在本论文中不论是研究部分还是工程部分所用的各种软件均考虑介质的频变效应，以求更接近实际值。数字设计中最常见的误差来源于使用频不变的电介质特性，实际的电介质模型具有因果性、解析性、实数性及无源性^[21]。在仿真研究中根据实际的基板材料进行了一定的简化假设：不考虑电介质纤维交织效应与湿气环境等的影响，因为本身使用的是精细尺度吸水性很小的板材，相对而言只有塑封材料的相对湿度较大，介电常数与损耗因子在各频段上各向同性均衡。由此计算总的传输线导体间并联导纳 Y_{shunt} ， G 为传输线导体间的漏电导，介电损耗与损耗因子和频率成正比，也与 G 成正比：

$$Y_{shunt} = G + j\omega C \quad \dots (2.21)$$

$$\frac{G}{C} = \frac{\sigma_{dielectric}}{\varepsilon} = \frac{\tan|\delta|\varepsilon'\omega}{\varepsilon} \Rightarrow G(\omega) = \tan|\delta|\omega C \quad \dots (2.22)$$

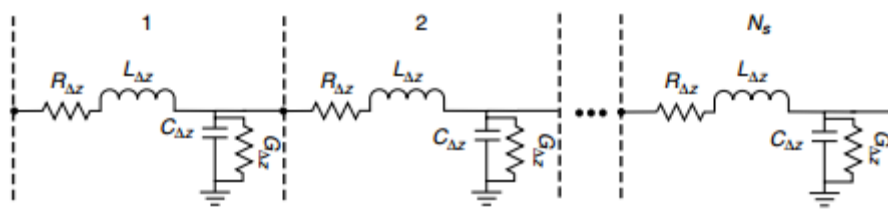


图 2.9 实际包含导体损耗与介质损耗的传输线分段模型

Figure 2.9 Piecewise model of transmission line that contains conductor loss and dielectric loss

包含有损电介质与实际导体的电报方程为：

$$\frac{\partial v(z,t)}{\partial z} = -(R_{ac} + L_{total} \frac{\partial}{\partial t}) i(z,t) \quad \dots (2.23)$$

$$\frac{\partial i(z,t)}{\partial z} = -(G + C \frac{\partial}{\partial t}) v(z,t) \quad \dots (2.24)$$

与式 (2.8) 时谐电场平面波方程互为等效解的电压波动方程 (2.25)，相位常数 (2.26)、相速 (2.27)、特征阻抗 (2.38)、表示为：

$$\frac{d^2 V(z)}{dz^2} - \gamma^2 V(z) = 0 \quad \dots (2.25)$$

$$\gamma = \sqrt{(R_{ac} + j\omega L_{total})(G + j\omega C)} \quad \dots (2.26)$$

$$v_p = \sqrt{\frac{1}{(R_{ac} + j\omega L_{total})(G + j\omega C)}} \quad \dots (2.27)$$

$$Z_0 = \sqrt{\frac{R_{ac} + j\omega L_{total}}{G + j\omega C}} \quad \dots (2.28)$$

2.3 反射

当平面电磁波从不同参数的传输线间过渡时，特征阻抗会发生变化。部分波由于阻抗不连续反射会源端，部分波继续传输。问题的根本源于电磁场的边界条件，若 Z_{01} 和 Z_{02} 代指入射两端的传输线特征阻抗及负载阻抗，则电压反射系数：

$$\Gamma = \frac{Z_{02} - Z_{01}}{Z_{02} + Z_{01}} \quad \dots (2.29)$$

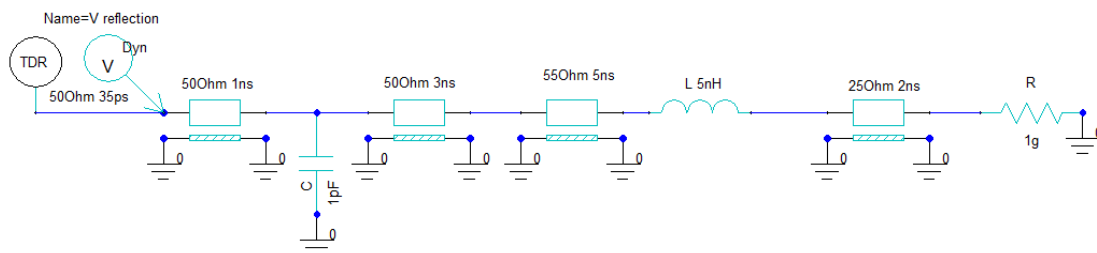


图 2.10 传输线遇阻抗不连续节点 TDR 电路

Figure 2.10 TDR circuit of transmission line meeting impedance discontinuity node

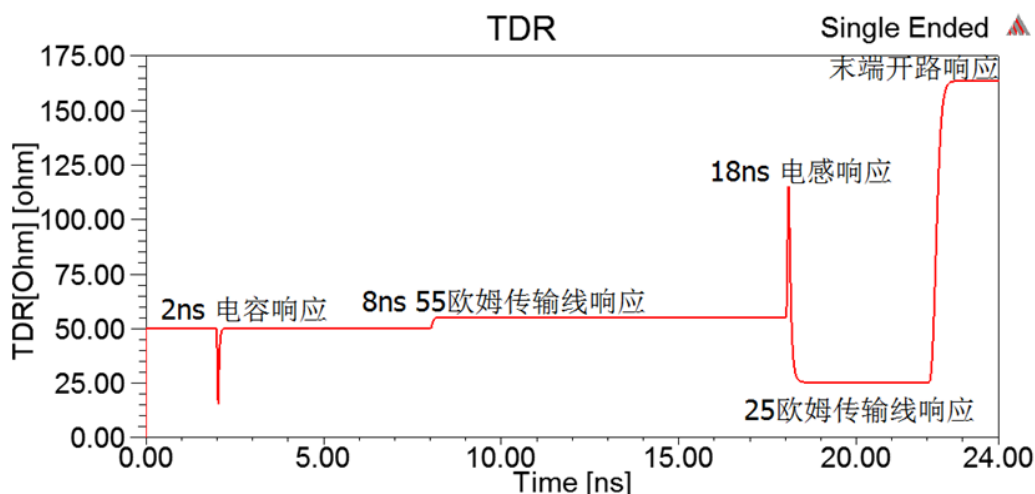


图 2.11 传输线遇阻抗不连续节点 TDR 仿真结果

Figure 2.11 TDR simulation results of transmission line encounter impedance discontinuous node

纯阻性反射：当 Z_{02} 阻抗为纯阻性时，开路时 Γ 为 1 全反射，短路时 Γ 为-1 没有入射波，当 Z_{02} 与 Z_{01} 相等时，信号将无损传输，此时称为匹配。对于一般的阻抗而言，两者达到共轭匹配可以实现最佳的功率传输。

容性反射：电容的阻抗具有时变效应，当传播信号刚到达时为短路，充满电为开路。容性阻抗对信号最重要的影响是使得上升时间退化，对高频分量进行了滤波。

感性反射：与容性变化相反，感性阻抗起始为开路，后期趋于短路。会削弱电源旁路电容的滤波作用，严重时会使高频信号在层间回射引起串扰及 EMI 问题。

时域反射计 TDR (Time Domain Refletometry) 基于传输线理论，通过测量

反射波电压和测量反射点到发射点的时间值来计算阻抗的变化和传输路径中阻抗变化点的位置。L 是从发出信号到待测点的位置，TDR 原理自雷达反射定位，是反射电压与时间的函数，待测位置相距源端的距离：

$$L = \frac{v_p t}{2} = \frac{ct}{2\sqrt{\epsilon_r}} \quad \dots (2.30)$$

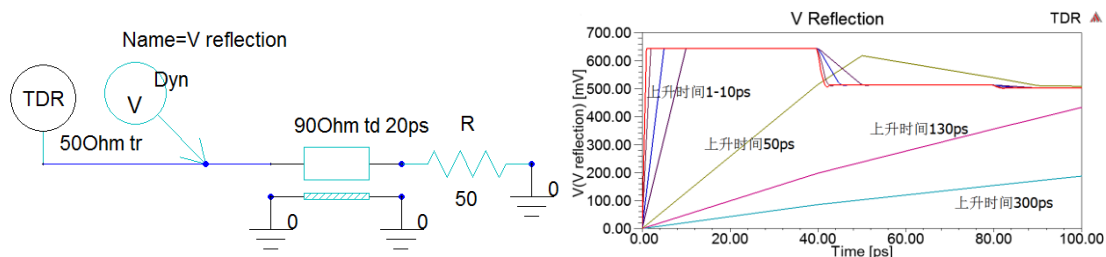


图 2.12 相对于传输延时增大的上升时间对于反射电压的屏蔽作用图

Figure 2.12 Shield action of the rising time relative to the propagation delay to the reflected voltage

在 TDR 测量和分析中，测量发出的激励阶跃脉冲的上升时间 t_r 的大小意味着测量的分辨率， t_r 越短分辨率越高对于阻抗的变化越敏感。对于场仿真而言不论使用频域拟合的时域 TDR 曲线还是直接使用时域求解器，越高的分辨率都将消耗更多的计算机时间与资源。根据式 (2.30) 40ps 的上升沿在相对介电常数为 4 时可最小可分辨 3mm 的物理间隔，实际只需站在实际传输信号的角度上感受待测结构的阻抗变化便足够。如果信号的上升时间高于待测传输结构延迟 t_d 的两倍，则由于不均衡所造成的回射会掩盖在上升时间中^[18]，使不均衡结构尽可能的短小是保持传输信号传输完整的简便途径。论文中会使用小于实际信号上升时间的 t_r 激励是为了对结构进行更好地分析印证，也由此说明 SiP 自身互连结构的精细尺寸所产生的相对于 PCB 电路板信号完整性问题中可以简化和忽略的部分，从而更好地进行分析和优化。

2.4 差分传输与串扰

相邻传输导体相互靠近，信号电磁波不仅在自身导体间传播，所产生的电磁场将引起各导体间的能量耦合。电路上看串扰由导体间互感互容引起，即串扰源自电磁能量变化信号上升或下降改变时刻。串扰会通过改变线路的传输特性

(特征阻抗与传输速度) 来影响信号完整性与特性; 并将噪声耦合入传输线, 从而损害信号完整减少噪声裕度, 差分线则是利用了导体间的耦合为传播信号提高自身的传输质量。

差分模态分析: 一个 n 条耦合线系统有 n 种不同的传播模式, 每种模式都能无失真地独立传播并具有不同的有效阻抗和传播速度, 所加的 n 个信号可模式分解为 n 种模式分量的组合, 串扰所导致输出的最终结果是由于各模态重构所导致的错位输出, 可以通过提取传输结构耦合电感电容分析。双耦合传输差分线为两条耦合线的传输系统, 所加任何信号可用奇模分量和偶模分量的线性组合表述。

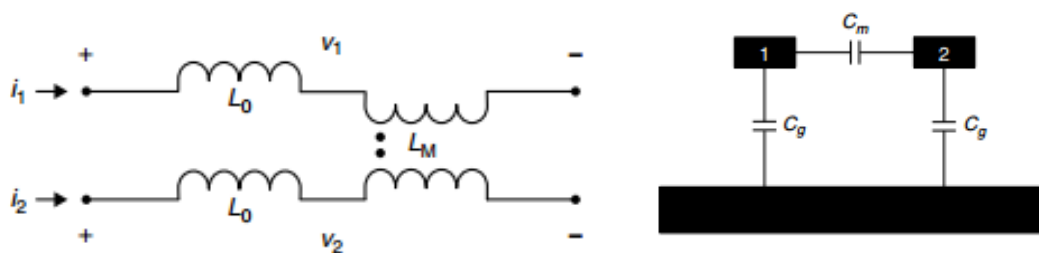


图 2.13 差分双传输线耦合串扰电感与电容回路

Figure 2.14 Differential double transmission line coupling crosstalk inductance and capacitance loop

L_0 为自感, L_M 为互感。电流输入同向为偶模 even, 异向为奇模 odd。电感矩阵对称, 始终为正, 互感与方向无关, 各输入模式单线电感及电感矩阵为:

$$L_{\text{even}} = L_0 + L_M \quad \dots (2.31)$$

$$L_{\text{odd}} = L_0 - L_M \quad \dots (2.32)$$

$$\begin{bmatrix} L_0 & L_M \\ L_M & L_0 \end{bmatrix} = \begin{bmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{bmatrix} \quad \dots (2.33)$$

对于互容而言, 除了双传输线两个信号导体, 同时存在与公共参考回路的电容。偶模式信号导体间电位相同, 奇模式导体电位反向, 麦克斯韦矩阵中 C_{ij} 为负。各模式单线电容及 Maxwell 及 SPICE 电容矩阵及关系为:

$$C_{\text{even}} = C_{11} - C_M \quad \dots (2.34)$$

$$C_{\text{odd}} = C_{11} + C_M = C_g + 2C_M \quad \dots (2.35)$$

$$\begin{bmatrix} C_g + C_M & -C_M \\ -C_M & C_g + C_M \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} (\text{Maxwell}) \quad \dots (2.36)$$

$$C_{ij}(\text{Maxwell}) = \sum_i C_{ij}(\text{SPICE}) \quad \dots (2.37)$$

$$C_{ij}(\text{SPICE}) = \sum_i C_{ij}(\text{Maxwell}) \quad \dots (2.38)$$

电容矩阵与电感矩阵结合在一起，包含了传输线耦合的全部信息。根据这些值，可以计算出两条或更多条导线之间各种情况下的串扰，据此就能建立 SPICE 等效电路模型，仿真一组耦合走线的行为。传输线存在明显耦合时，有效电容电感会随着传输模式的不同而改变，可以分别计算各模式的相速与特征阻抗。不同模式不同的场分布将改变各自的有效介电常数从而导致奇偶模式速度的差异；耦合作用下使得奇模阻抗减小，偶模阻抗增大，随着耦合作用的加强趋势越来越明显。奇模阻抗 $Z_{0,\text{odd}}$ 公式为：

$$Z_{0,\text{odd}} = \sqrt{\frac{L_{\text{odd}}}{C_{\text{odd}}}} = \sqrt{\frac{L_{11} - L_{12}}{C_0 + 2C_M}} \quad \dots (2.39)$$

差分耦合传输线特点：更高的数据速率导致噪声加剧，使得 SI 工作愈加困难，多提供一条传输线利用 180 度（奇模式）相差可以在强耦合时更好地滤除共模噪声，假定两端噪声近似相等。越强的耦合可以更好的减少串扰减小布线面积减弱对参考平面完整的要求，同时，差分线需要更好的控制对称与均衡，否则会极大的损害错位接收信号，对于求解频率 15GHz 相对介电常数为 4 的均衡介质中的波长为 10mm，差分线差半波长 5mm 则 15GHz 时差共模转换比（ACCM）为 1，当超过 180 度相位差时 ACCM 会减小但信号数据已经完全错位不可使用。论文中为保证最小的 ACCM，设计规则静态相位差为 100 μm ，对应相差 3.6 度内。

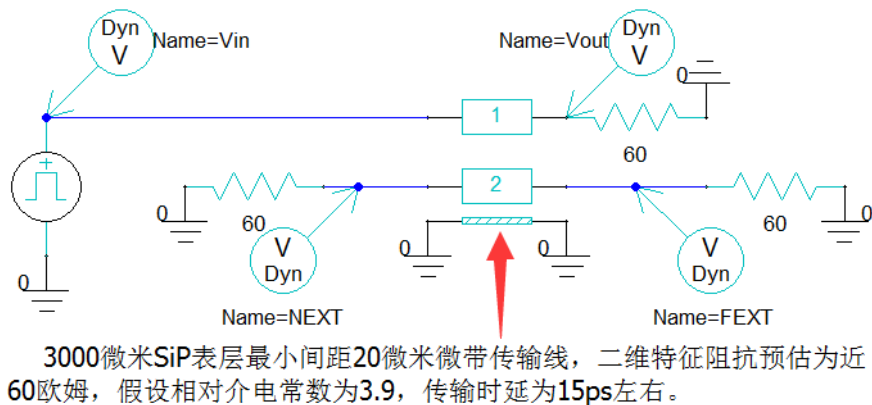


图 2.14 SiP 表层嵌入式最紧耦合微带线串扰分析电路

Figure 2.14 Crosstalk analysis circuit of SiP surface embedded most tightly coupled microstrip line

SiP 表层最紧耦合微带线串扰分析电路采用 60 欧姆端接是根据其所处层叠采用二维软件估算的结果，这是在讨论串扰问题时减少反射的影响，具体计算及仿真设置可见 2.7 中的图 2.20。

近端串扰：即反向串扰 V_b ，随攻击信号 V_a 改变时间增大而增大，将随攻击信号变化结束而饱和，当耦合距离延迟大于改变时间时，作用的时间为两倍的耦合延迟，四端口网络频域中用 S31 表示,对于饱和的二端口网络端接匹配的近端串扰系数 NEXT 为:

$$NEXT = \frac{V_b}{V_a} = \frac{1}{4} \left(\frac{C_M}{C_0} + \frac{L_{12}}{L_{11}} \right) \quad \dots (2.40)$$

远端串扰：即前向串扰 V_f ，随耦合时间的增大而增大，当耦合时间大于攻击信号变化时间时，作用时刻为耦合延迟结束时，作用时间为信号变化时间。饱和值为各模态电压分离最大值，对于双传输线串扰当奇偶模传输延迟差超过变化时间时饱和，是奇模式偶模式传输速度差的函数。当介质材料均匀即各模态速度相等时不存在，四端口网络频域中用 S41 表示，Len 是耦合长度。同样条件的远端串扰系数 FEXT 为:

$$FEXT = \frac{V_f}{V_a} = \frac{Len}{rt} \times \frac{1}{2v_p} \times \left(\frac{C_M}{C_0} - \frac{L_{12}}{L_{11}} \right) \quad \dots (2.41)$$

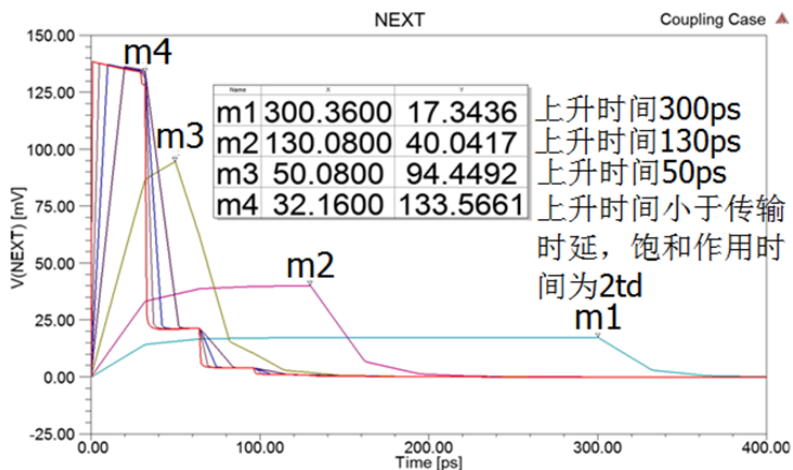


图 2.15 SiP 表层嵌入式最紧耦合微带线近端串扰结果

Figure 2.15 Near end crosstalk results of SiP surface embedded most tightly coupled microstrip lines

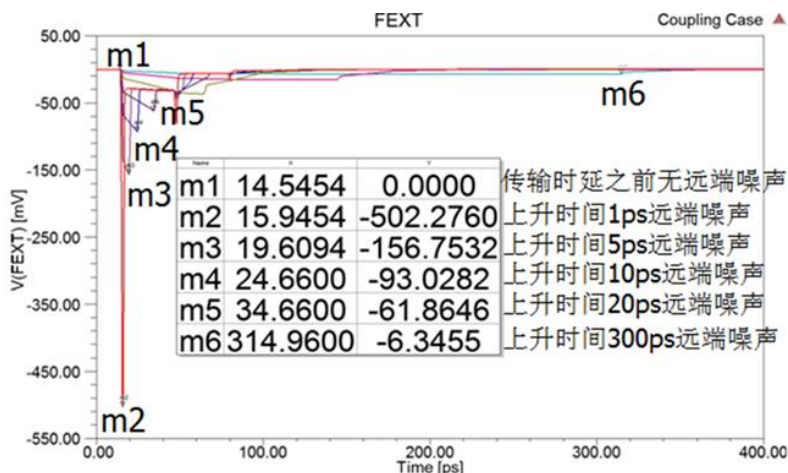


图 2.16 SiP 表层嵌入式最紧耦合微带线远端串扰结果

Figure 2.16 Far end crosstalk results of SiP surface embedded most tightly coupled microstrip lines

实际的 60 欧姆阻抗为估算值，末端并为完全匹配对串扰分析结果有一定的影响。图中揭示了和串扰理论一致的规律，值得注意的是由于本身 SiP 精密的尺寸使得相对 PCB 而言存在耦合距离传输时间小于信号上升时间的情况。这时近端串扰的作用时间取决于上升时间，越长的变化时间将使得整体的噪声越小，远端串扰作用时间始终取决于变化时间，同样随激励时间减小而减小，近端串扰方程需要根据是否饱和修正。

2.5 端口网络分析

2.5.1 参数矩阵

低频时，互连线波长远小于信号的波长，忽略信号的相位变化，分析数字设计信号完整性可用集总元件 **RLCG** 搭建的等效电路替代。随着系统速率增加，互连线的延迟变得不可忽略，用来描述和分析高频下的电路称为网络分析。对于一个二端口网络，测试输入、输出端口的电压、电流可以计算 **Z** 阻抗矩阵，可以通过电源 Z_{11} 交流自阻抗参数很好地评估电源性能，**Z** 阻抗矩阵与 **Y** 导纳矩阵互为逆矩阵：

$$Z_{ij} = \left. \frac{V_{i,open}}{I_j} \right|_{I_i=0} = \frac{\text{端口}i\text{所测开路电压}}{\text{其余端口断路时，端口}j\text{输入电流}} \quad \dots (2.42)$$

实际高频测量时并不存在绝对的短路断路，源于寄生电容电感的阻抗效应。**S** 散射矩阵是高频数字设计中最普遍的网络参数形式，通过端口功率波的比值形成矩阵，可通过网络分析仪 **VNA** 测量，通过代数的方法端口阻抗归一化可以转换为阻抗 **Z** 或导纳 **Y** 矩阵^[22]：

$$\mathbf{S} = (\mathbf{Z} + \mathbf{Z}_n \mathbf{U})^{-1} (\mathbf{Z} - \mathbf{Z}_n \mathbf{U}) \quad \dots (2.43)$$

U 为单位矩阵， Z_n 为终端阻抗，**S** 和 **Z** 为散射矩阵和阻抗矩阵。**S** 参数测量本身需要依赖 **VNA** 的参考阻抗，如果端口阻抗值变化，**S** 参数也将随之改变，一般结合各工艺级别的标准最通用的单端线端接阻抗为 50 欧姆，差分线阻抗为 100 欧姆。

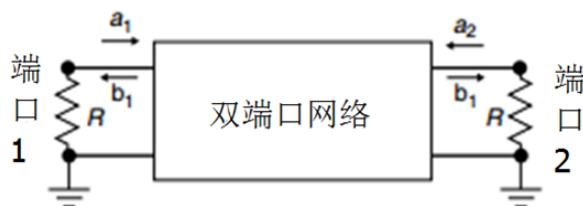


图 2.17 S 参数二端口网络模型

Figure 2.17 S parameter two ports network model

$$S_{ij} = \left. \frac{b_i}{a_j} \right|_{a_i=0} = \sqrt{\frac{\text{端口}i\text{输出功率}}{\text{其余端口匹配无输入时，端口}j\text{输入功率}}} \quad \dots (2.44)$$

$$S_{dB} = 20\lg \frac{b}{a} = 20\lg \frac{V_{output}}{V_{input}} = 10\lg \frac{P_{output}}{P_{input}} \quad \dots (2.45)$$

S11 和 S21 分别为回波损耗与插入损耗，多用 dB 表示，虚部包含相位信息。对于本论文而言，S 参数全为实部的计算式，散射网络表征无源封装模型，期望回波损耗尽可能小，尽可能匹配反射更小，期望插入损耗尽可能大，有更好的信号传输能力。若没有诸如辐射等因素，无损系统的插入损耗和回波损耗的关系为：

$$S_{11}S_{11}^* + S_{21}S_{21}^* = 1 \quad \dots (2.46)$$

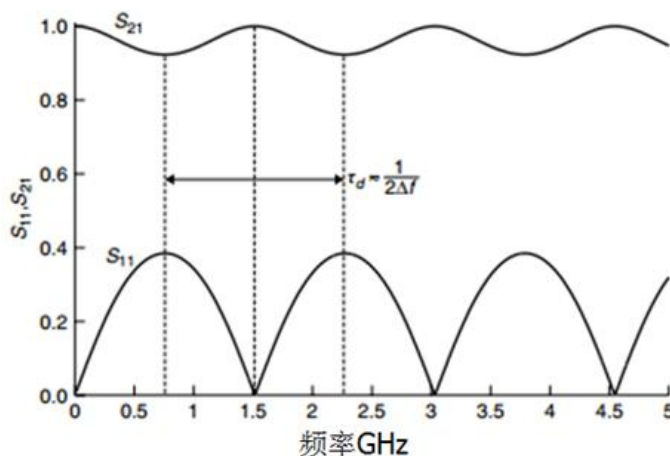


图 2.18 无损传输线端接 50 欧姆归一化阻抗 S11 与 S21

Figure 2.18 Lossless transmission line termination 50 Ohm normalized impedance S11 and S21

S 参数本身是相位的函数，随着频率和传输长度变化，实部表示幅度，虚部表征时延。这是由于看向有限电长度的网络反射系数 $\Gamma(z)$ 随传输长度和频率变化， $\Gamma(z)$ 不同于看向阻抗节点处式 (2.31) 的瞬时无相位延迟的反射系数 Γ ，相位分量会使其随传播长度和频率变化。结合有损传输线传播电压方程与式 (2.31) 可以得到看向特征阻抗 Z_0 传输线探测点 z 长度时的反射系数 $\Gamma(z)$ 与传输线输入阻抗 Z_{in} 为：

$$\Gamma(z) = \frac{Z_L - Z_0}{Z_L + Z_0} e^{2\gamma z} \quad \dots (2.47)$$

$$Z_{in} = Z_0 \frac{1 + \Gamma(z)}{1 - \Gamma(z)} \quad \dots (2.48)$$

Z_L 为端接负载，假定特征阻抗 Z_0 不随频率发生变化，传播常数 γ 随频率变

化，因此看向端口网络的输入阻抗 Z_{in} 与 $\Gamma(z)$ 都是距离与频率的函数，端口阻抗与特征阻抗的一点失配始终会造成 S 参数的谐振，绝对匹配并不存在。传统 PCB 大尺寸长距离信号完整性的研究会经常出现在短带宽内的 S 参数的谐振现象，本论文 SiP 集成度更高，工艺尺寸更精密，有更短的传输距离更小的传输延迟，只有高带宽仿真才会出现类似现象，S11 与 S21 曲线由于传输距离的减短在频带上会显得更加简单。SoC 的端接输出归一化标准是 50 欧姆，假定传输距离为 3000 μm ，有效介电常数均匀为 4，谐振间距为 25GHz，在 20GHz 以内会观察到一个谐振。期望设计优化的传输结构特征阻抗大部分频带内接近端接电阻以达到最小的反射，尽可能缩小传输距离以避免谐振作用保证信号完整性。

2.5.2 S 散射参数的优势与用途

一个系统的散射矩阵反映了对于任何输入响应描述，可用以分析反射、串扰、输出处理变换时域波形眼图等，也可直接通过频域参数 S11、S21、S31 等直接快速评估设计的微波互连结构。假设 SoC 处理芯片的输入 $x(t)$ 通过傅里叶变化为 $X(\omega)$ ，仿真提取的 S21 参数的传输函数 $S(\omega)$ ，则 DDR 接收芯片的频谱参数为 $Y(\omega)$ ，可通过频谱的相乘计算并傅里叶逆转换为时域波形：

$$y(t) = F^{-1}[Y(\omega)] = F^{-1}[S(\omega)X(\omega)] = \frac{1}{2\pi} \int_{-\infty}^{\infty} [S(\omega)X(\omega)]e^{i\omega t} d\omega \quad \dots (2.49)$$

网络分析最有用之处在于可以级联独立忽略相互耦合的结构，对于测试可以去嵌入、误差校准^[21]。对于仿真可以通过提取各个级别无源结构的 S 参数行为级模型，保护真实的设计进行整体的系统级仿真，本论文中所研究优化的高速差分线结构就需要将仿真的 S 参数交给芯片方继续进行总板仿真。S 参数可以通过转换为 T 或 ABCD 矩阵等将系统输入输出分离成各级间独立的列矩阵用于计算最终的输出结果，通过归一化阻抗，可以简单地通过 S_{ab} 加减估算和验证级联弱耦合仿真的正确性。S 参数同样可以用于分析近端串扰 S31、远端串扰 S41，以及表示模态电压之间的转换，双端口串扰或差分传输线可以转换为奇偶模的转换比，Sdc 参数通常用于检查奇模由于所有非对称情况导致的差共转换比。区别于单端线的 S11 和 S21，在分析高速差分线时需要直接评估矩阵模态转换的差分回波损耗 Sdd11 与插入损耗 Sdd21。

2.6 芯片 I/O 电路模型

为全面分析高速信号链路的性能必须将发送和接受数据的 I/O 电路包括在内,当代高速 I/O 电路模型,包括 Tx 发射机, Rx 接收机和 ODT (on die terminal) 片上终端匹配。若将输入输出电压电流、控制上升下降时间、输入输出器件寄生 RLC 等的非线性关系考虑在内,非线性行为级模型 IBIS (输入/输出缓冲器信息规范) 可以提供良好的精度而不透露芯片电路设计与制造工艺的细节,保护芯片供应商产品信息。相对于晶体管电路 SPICE 模型结构复杂需要更多的仿真时间, IBIS 模型更适合做系统级仿真^[23]。本论文使用的是两芯片的电气信息是 SPICE 模型转换的 IBIS 5.0 模型,考虑非理想电源地的同步开关噪声 SSN 效应。

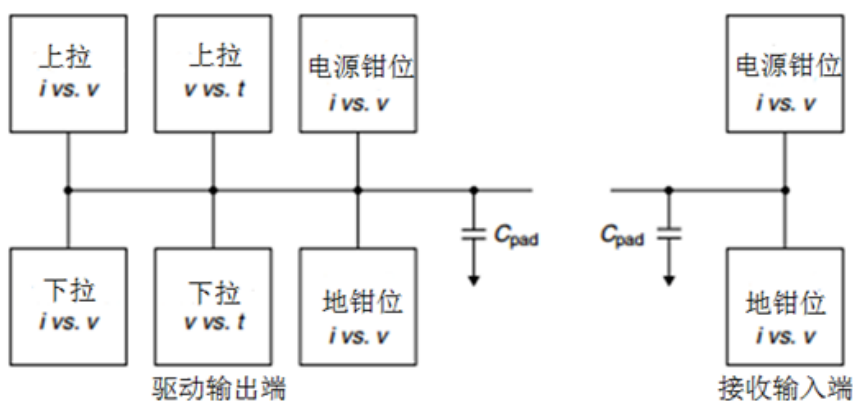


图 2.19 IBIS 模型基本结构

Figure 2.19 Basic structure of IBIS model

IBIS 模型中驱动发射输出缓冲端包括上拉电源及下拉地的至少四条 V-I、V-t 曲线数据信息,同接受输入缓冲端类似的电地钳位包含 ESD 静电保护电路部分和上下拉晶体管内部的寄生二极管行为。其中 C_{pad} 是焊盘寄生电容,电地钳位包括的片上终端阻抗等可以处于不同的工作状态,模型中用不同的电流电压数据表分别描述。片上终端匹配的基本模型是一个连接到适当终端匹配电源的简单电阻器,是一种阻抗控制技术。由于芯片的驱动及接收端阻抗具有极强的非线性效应,ODT 通过末端端接用以减少反射、改善接收波形,更匹配的端接电阻可以获得质量更好的眼图。

2.7 仿真分析工具

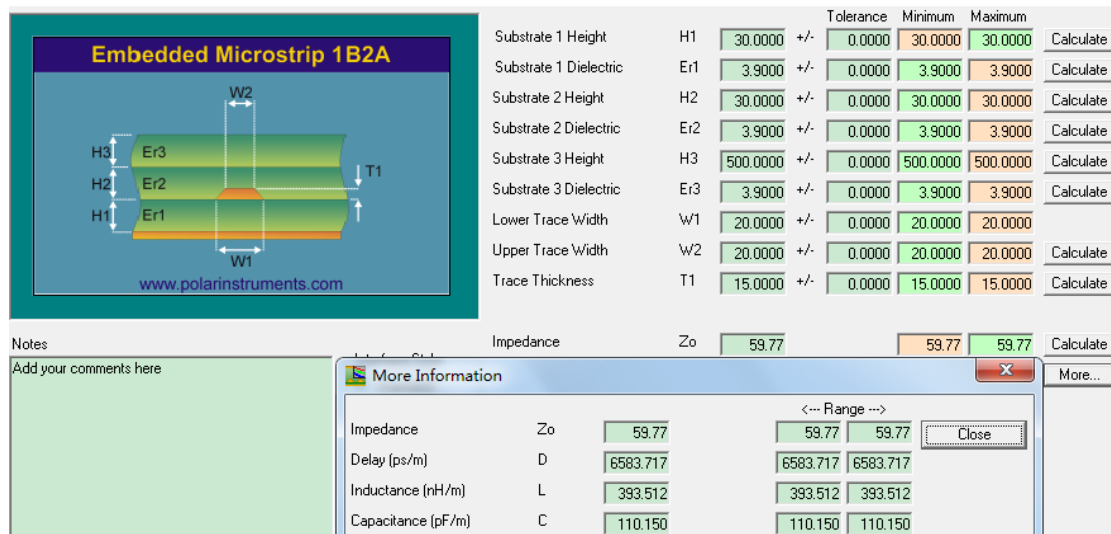


图 2.20 Polar Si9000 PCB Transmission Line Field Solver 二维求解器仿真结果

Figure 2.20 Polar SI9000 Transmission PCB Two dimensional solver simulation results

上图是采用二维求解器得出的 SiP 中应用最多的嵌入式微带线仿真估算结果，准静态仿真简化麦克斯韦方程，对于给定的边界条件求解 Laplace 计算电容值，通过相速推导电感。全波 3D 仿真器可以仿真复杂的物理结构，并且能够估算频率相关损耗、内部电感、散射以及大多数电磁现象，需要更多的专门知识而且仿真时间往往是几小时甚至几天，输出用 S 参数表示并以此计算其它参数。

近年来，随着计算电磁学等数值研究方法与计算机性能的发展，涌现了很多性能优越、预测精准的 SI 分析工具，采用的计算方法主要分为矩量法（Method of Moments, MOM）、有限元法（Finite Element Method, FEM）、时域有限差分法（Finite Integration Theory, FIT）^[24]。HFSS(High Frequency Simulator Structure)是采用 FEM 算法的全波三维电磁场仿真软件，是业界公认的电磁场设计与分析的工业标准^[25]。Sigrity 发挥各种算法不同的优势，弥补单一算法的不足^[26-27]。Ansoft Designer 是高性能电路与系统的仿真工具，自带齐全的数字、模拟和射频/微波电路元器件库以及丰富的数学函数库。支持 SPICE 模型、IBIS 模型和 S 参数模型等模型。支持与电磁场仿真工具 SIwave、HFSS、Q3D Extractor 进行自动双向数据连接，以此实现系统、电路、电磁场高效精确的仿真设计^[28]。

总的来说，没有一款求解器是适合所有实际应用的，永远是速度与精度的权衡，应针对不同的结构或电路特点选择最恰当的方法进行计算。论文设计前期结

合实际工艺尺寸用二维软件估算阻抗特性,提取关键高速传输结构采用全波三维电磁场优化分析;联合多种软件算法分析 SiP 中的高堆叠键合线模型,指出并验证对电源完整性的影响;最终联合全波电磁场软件提取封装无源模型进行后仿真评估,在所有的仿真分析中都应对于电介质频变效应建立了统一等效的 Debye 模型保持一致性。

2.8 本章小结

本章对该 SiP 涉及到的信号完整性原理进行了阐述,包括传输信号的性质、传输结构电磁场分析、传输线的串扰反射模态变换、端口网络分析的意义、S 参数的优势与用途以及芯片模型的架构。同时对论文中所使用的仿真分析软件进行了说明讨论,为后续章节铺垫。

第三章 SiP 中的关键结构优化分析

本章是论文的核心，通过对 SiP 中关键传输结构性质的分析以点到面地给出 SiP 整体的设计优化方向：3.1 讨论了 SiP 中 SoC 近 400 条扇出信号网络中最重要最复杂的高速差分结构的优化方式，由此可以对整个封装基板的各种布线形式效果建立良好的预见性，同时为 3.2 高堆叠键合线的研究提供仿真分析方法；通过对并行键合线的提参分析验证，提供了系统互连中的 SI 优化方案并预估 PI 可能产生的问题。

3.1 SoC 高速差分结构优化分析

SoC 控制芯片需要输出 6.25Gbps 拥有各自参考回路的高速差分线，芯片方设计规则期望 5 倍以上线宽包裹以防止串扰及 EMI 辐射^[29]，期望带宽内 S11 低于-15dB, S21 高于-1dB。

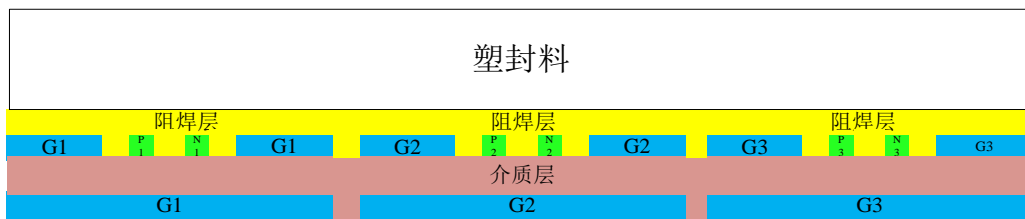


图 3.1 SoC 高速差分线表层主传输结构截面示意图

Figure 3.1 SoC high speed differential junction surface primary transmission structure section diagram

尽可能推挤其它信号预留空间，通过自身的参考回路包裹，避免侵害其它低频信号。根据输入输出引脚尽可能直线最短无 neck 减少拐角，接近输出端时直接打通孔尽可能保证通道均衡，主体传输结构见图 3.1，类似嵌入式微带线结构加共面波导（CBCPW，Conductor Backed Coplanar Waveguide）。

3.1.1 前期设计规划与优化

表 3.1 最终设计介质材料电气信息表

Table 3.1 Final design dielectric material electrical information sheet

频率	材料性质	塑封材料	层间介质	阻焊材料
1MHz	$\epsilon_r / \tan \delta $	-	-	4.2/0.02
100MHz	$\epsilon_r / \tan \delta $	3.9/0.02	-	4/0.023
1GHz	$\epsilon_r / \tan \delta $	-	4/0.006	3.9/0.03
5GHz	$\epsilon_r / \tan \delta $	-	3.9/0.007	3.4/0.027
10GHz	$\epsilon_r / \tan \delta $	-	3.9/0.008	3.2/0.027

表 3.1 是最终设计介质电气信息表。结合第二章分析，设计前期优化是期望损耗因子尽可能小，高频时介质损耗可以更低，相对介电常数尽可能一致减少不同传输模式的相速分离以造成信号传输失真及信号间串扰，选择最小的介质厚度使得传输链路更短同时电源性能更佳^[30]。

表 3.2 基于翘曲应力可靠性考虑最小介质厚度叠层信息表

Table 3.2 Minimum medium thickness information sheet based on the reliability of warping stress

叠层功能	厚度(μm)
塑封材料(MoldingCompound)	250-300
1 键合线 DDR 芯片	150
芯片间粘合材料(Die attach)	20
2 倒装 SoC 芯片	150
底填料(Underfill)	35
阻焊层(Soldermask)	15
3 信号层(Signal)	15
介质层(Prepreg)	30
4 地层(Ground)	12
芯介质层 Core	60
5 电源层(Power)	12
介质层(Prepreg)	30
6 信号层(Signal)	15

表 3.2 是基于可靠性考虑的最小介质厚度层叠信息表，考虑到后期双芯片堆叠塑封的情况，为保证基板强度防止翘曲，Core 材最小只能用到 60μm，对应的最小 pp 介质厚度为 30μm，由图 2.20 可知在最小线宽下单端微带线阻抗相对较大。

Differential Impedance	Zdiff	63.99	Goal Seeker: Coplanar Ground Separation cannot be found using the current constraints (110 3 200 0.00 0.00)
Delay (Odd Mode) [ps/m]	D	6587.360	
Odd Mode Impedance	Zodd	31.99	
Even Mode Impedance	Zeven	60.95	
Common Mode Impedance	Zcommon	30.48	

图 3.2 二维仿真器预估与模型算法限制

Figure 3.2 Prediction and model algorithmic restriction of two dimensional simulation tool

对于各种传输结构特征阻抗的计算，单纯共面波导的理论计算极为复杂^[31]，实际研发必须采用仿真软件求解。二维仿真工具假定参考回路理想传输结构均衡，探寻目标阻抗的各个参数模型及算法有限。64 欧姆是采用表层最小设计规则的估算结果，使用 HFSS 提取关键信号结构进行匹配分析可以很好地认清各参数在该工艺层叠下对传输性能的影响，可以同时考虑各层导体介质的频变效应与实际不均匀非理想地回路的因素并直接通过 S 参数检验并预估可能达到的优化结果。

3.1.2 实际结构仿真分析与预估比较

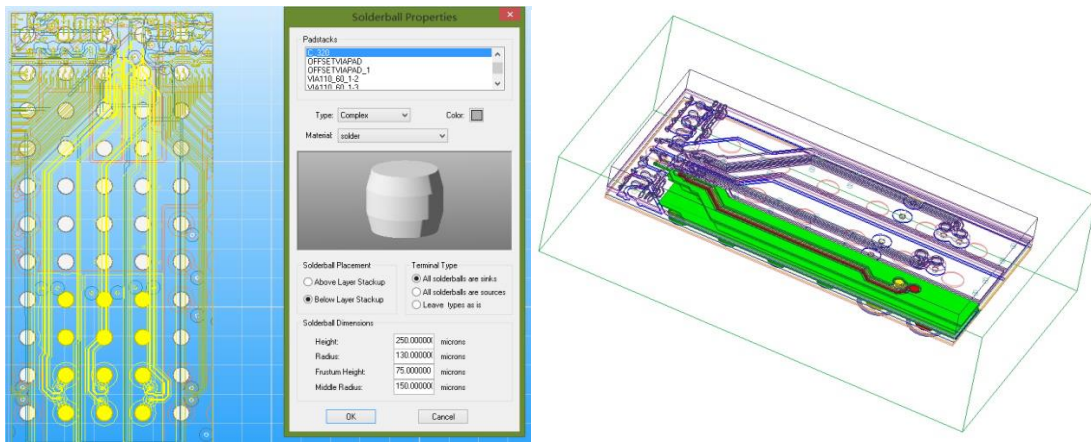


图 3.3 SIwave 编辑切割与 HFSS 导出提取模型

Figure 3.3 SIwave editing, cutting and HFSS export extraction model

采用 Ansoftlinks 将 Cadence 设计文件导入到 SIwave 中，对 Bump 铜柱、Solderball BGA 焊球等进行编辑，添加新材料并确认层叠导入 HFSS，仿真直接导入自生成的端口以及自建端口的单网络、多网络模型。在关键设置上，根据工艺尺度调整收敛误差 ΔS 为 0.01，由于近 20GHz 宽带仿真考虑低频处的扫频精度，设置求解频率为 15GHz，收敛两次以上以防止假收敛在曲线上有明显的错误，

为保证一定速率采用混合阶求解，介质模型采用结合基板工艺商材料表 3.1 与 2.2 理论分析的 Debye 模型。

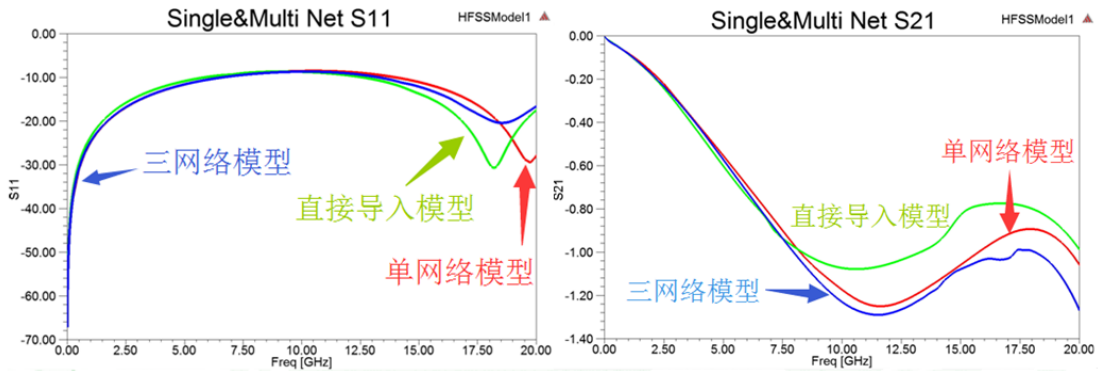


图 3.4 三种模型对比

Figure 3.4 Comparison of three models

图 3.4 绿色部分为 SIwave 导入端口模型，其会对所有的地网络通过理想电壁建立大集总端口，增加了回流路径，与实际分立参考回路不符。红色和蓝色分别代表一对差分线单独仿真与三对差分线仿真，从结果上看期望的带宽内差别很小。若采用单网络仿真时间在 2 个小时内而全部网络仿真时间在 10 个小时左右，忽略之间微量的串扰影响，为提高仿真速率进一步切割分别求解计算。

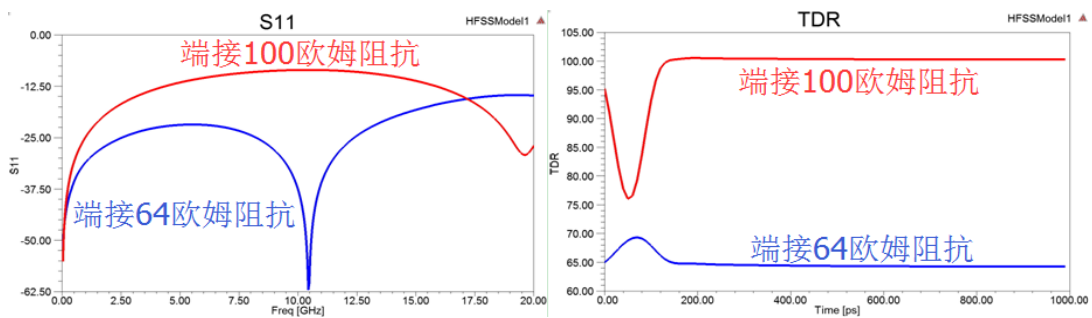


图 3.5 单网络 S11、TDR 不同端接对比

Figure 3.5 S11, TDR, different terminal comparison of single network

由频域求解器换算的时域 TDR 结果在该求解设置下可调节的最小上升时间为 50ps。结合 2.3 时域反射计的公式可计算大致分辨的距离为 4000 μm 超出了实际传输长度，可以大致地估算整体传输阻抗有由于介质的频变效应及地回路有限大于预估阻抗。对比端接 64 欧姆的情况可以预计在该材料结构下有可能满足期望的带宽需求。

3.1.3 主传输结构分析与简化模型建立

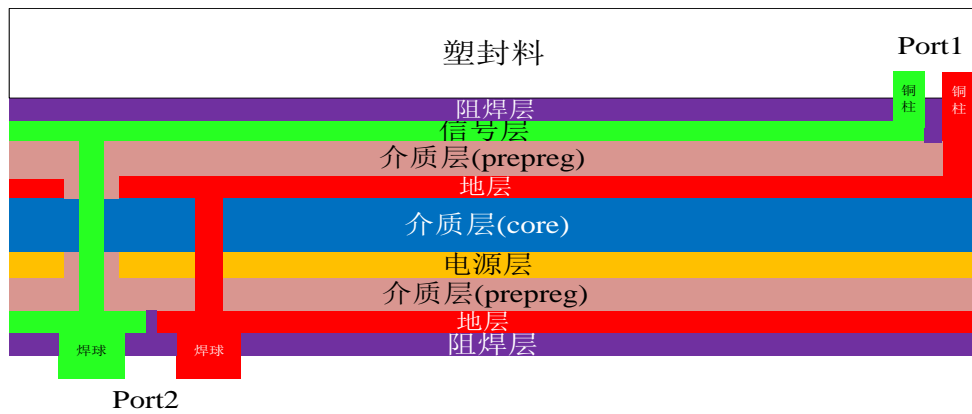


图 3.6 实际模型截面示意图

Figure 3.6 Actual model cross section diagram

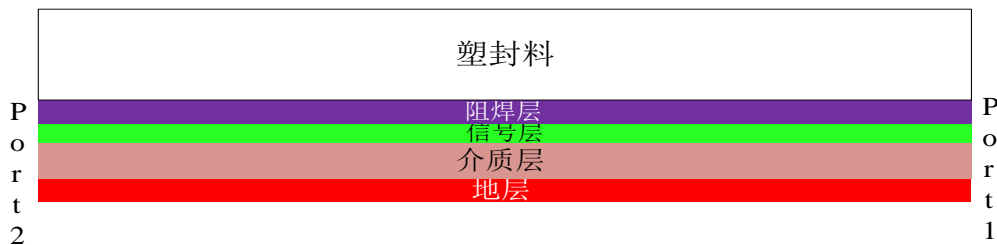


图 3.7 简化模型截面示意图

Figure 3.7 Simplified model cross section diagram

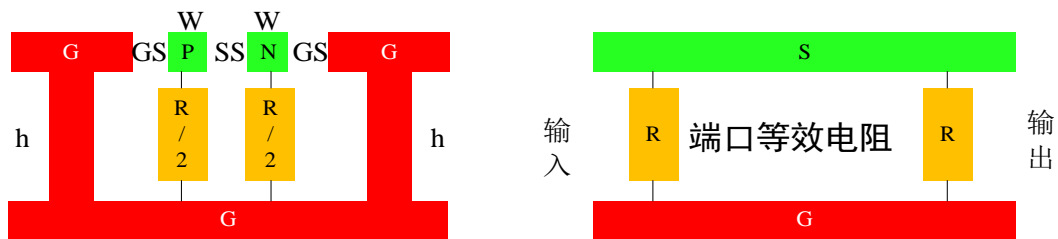


图 3.8 端接主传输结构等效模型示意图

Figure 3.8 Equivalent model of terminal main transmission structure diagram

为了更好地优化传输结构，对主传输结构建立参数化简化模型进行分析。之所以可以简化是建立在前期优化传输路径及材料选择的基础上，简化了不可变结构铜柱及通孔至 BGA 焊球端。在走线本身直接使用通孔而没有采用盲埋孔等更多的特殊结构增加寄生效应，将过多劣化信号的上升时间滤除高频分量降低信号

的速度^[32-33]。估算最大单端阻抗 Z_0 为 60 欧姆，对通孔寄生参数及上升时间变化量 Δt_r 的最坏估算为：

$$C = \frac{1.41\epsilon TD_{\text{pad}}}{D_{\text{antipad}} - D_{\text{pad}}} \approx 6.07 \times 10^{-2} \text{ pF} \quad \dots (3.1)$$

$$L = 5.08h \left[\ln\left(\frac{4h}{d}\right) \right] \approx 0.085 \text{ nH} \quad \dots (3.2)$$

$$\Delta t_r = \frac{2.2Z_0 C}{2} = 4.7 \text{ ps} \quad \dots (3.3)$$

作为该高频信号而言，尽可能减少传输距离的通孔寄生电感很小，寄生电容由于是最大量估计实际对于上升时间的增长略大于 10%，对基板设计本身而言输出和输入结构不可改变，已经尽可能使得纵向通道简单，优化的核心是平面主传输通道，其它铜柱等结构带来最大的问题就是由于不对称所引起的较大的差共转换比^[34]以及容性低阻效应。

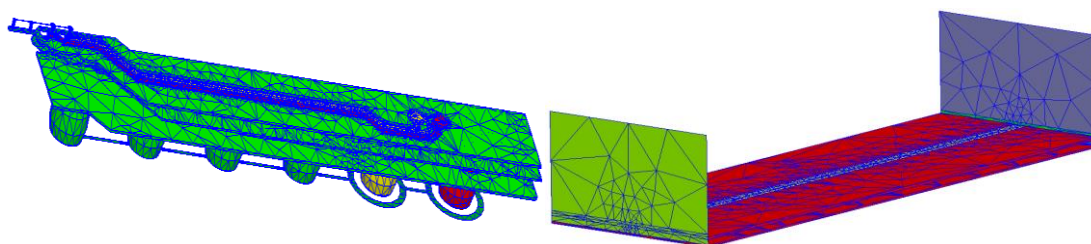


图 3.9 集总端口实际模型与波端口简化模型网格剖分情况

Figure 3.9 Mesh model of the lumped port and the simplified model of the wave port

Pass Number	Total Tetrahedra	Max Mag. Delta S	Pass Number	Total Tetrahedra	Max Mag. Delta S
1	102768	N/A	1	5110	N/A
2	119709	0.28358	2	6195	0.4946
3	124586	0.044506	3	6946	0.37049
4	129854	0.040803	4	7794	0.10949
5	135610	0.012154	5	8887	0.074429
6	152797	0.012115	6	10658	0.035324
7	176601	0.0090443	7	13147	0.024285
8	205425	0.0099005	8	15926	0.011359
9	231854	0.0092033	9	19151	0.0068947
			10	24287	0.0064787

图 3.10 收敛次数与网格剖分数目对比

Figure 3.10 Comparison of mesh number between convergence times and mesh generation

一对差分线实际模型仿真时间为 1 小时 13 分钟，主传输通道简化模型为 1

分钟 21 秒，达到相同的收敛精度、次数网格剖分数目相差十倍。

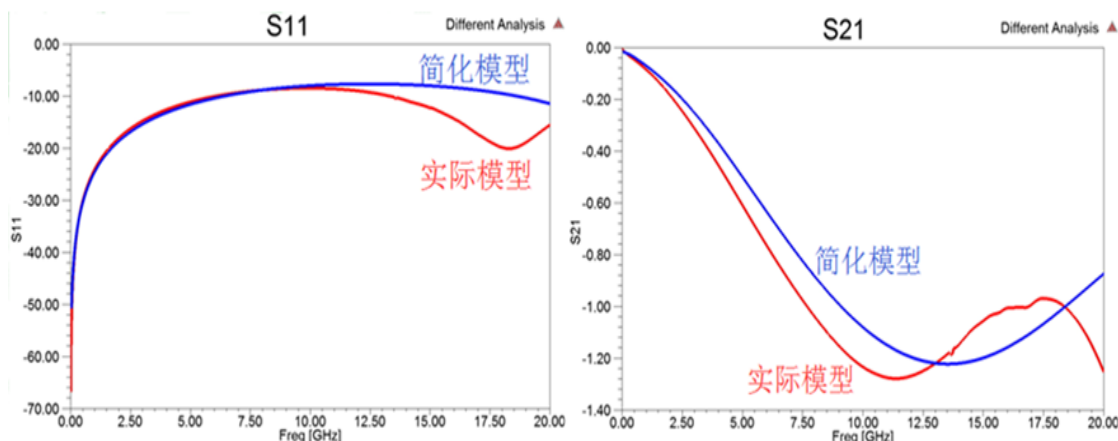


图 3.11 实际与简化模型 S11 参数与 TDR 对比

Figure 3.11 Comparison of actual and simplified model S11 parameters and TDR

简化主传输通道模型在结构与材料属性上都与实际模型保持一致，表层共面波导回路相对较大。模型间保持了较好的一致性，产生的差别源于忽略了过孔、拐角容性等的结构误差。

3.1.4 简化主传输结构模型仿真分析

导波系统可能存在多种模式，利用波端口激励求解问题每个模式在波端口处是完全匹配的，每个模式的 S 参数在波端口处会根据不同频率下的端口特征阻抗归一化处理，这种类型的 S 参数为广义 S 参数，可以单纯考察通道均衡性去除端口对传输性能影响。实际采用 VNA 测量及整体端接参考阻抗的 S 参数都是限定的，结合 2.5 分析 S 参数需要通过 Z 矩阵重新进行归一化处理以保持一致性。

$$\mathbf{S}_2 = \left[\frac{Z_{n1}}{Z_{n2}} (\mathbf{U} + \mathbf{S}_1) (\mathbf{U} - \mathbf{S}_1)^{-1} + \mathbf{U} \right]^{-1} \left[\frac{Z_{n1}}{Z_{n2}} (\mathbf{U} + \mathbf{S}_1) (\mathbf{U} - \mathbf{S}_1)^{-1} + \mathbf{U} \right] \dots (3.4)$$

上式中 \mathbf{S}_1 和 \mathbf{S}_2 分别为 $n \times n$ 维广义及归一化的 S 参数矩阵， \mathbf{U} 是 $n \times n$ 维单位矩阵， Z_{n1} 和 Z_{n2} 分别为端口特征阻抗与归一化参考阻抗。上述的仿真结果都是限定归一化端口阻抗 100 欧姆的实际情况，广义化 S 参数结果远好于归一化参数的结果。基于 HFSS 匹配优化的核心是仿真分析各参数对传输阻抗的影响调整端口阻抗等于归一化阻抗，以下考察归一化情况下各参数影响。

表 3.3 参数设置信息 (μm)

Table 3.3 Parameter setting information (μm)

参数	线宽 w	表层地信间距 GS	差分信号间距 SS	信地层间介质厚度 h
起始值	5	20	20	30
步长	5	10	10	10
终止值	40	100	100	50

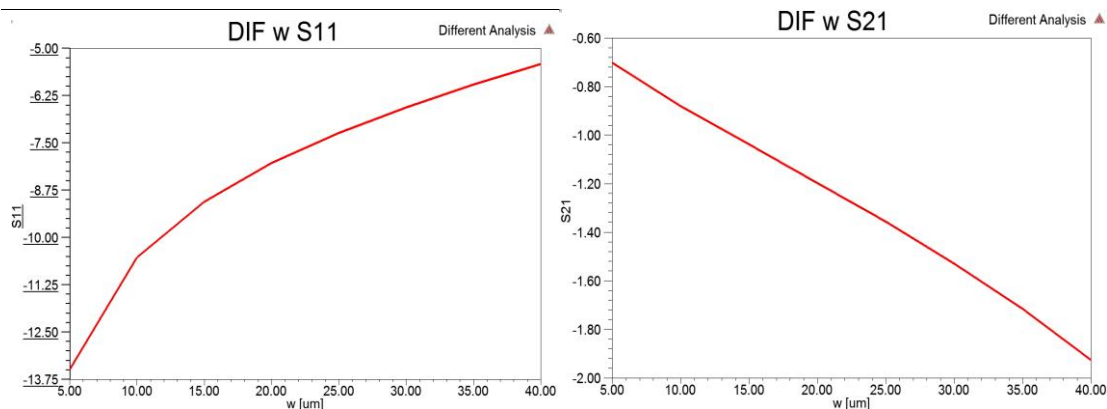


图 3.12 求解频率处 w 参数对 S 参数的影响

Figure 3.12 Influence of w parameter at frequency on S parameter

w 的增加使得传输结构特征阻抗减小，相对端口阻抗失配率增加，信号质量降低且趋势始终明显，所有的分析都是建立在 15GHz 求解频率的情况下，考虑到最小的线宽设计规则尺寸为 20μm，继续减小线宽优化无法实现。

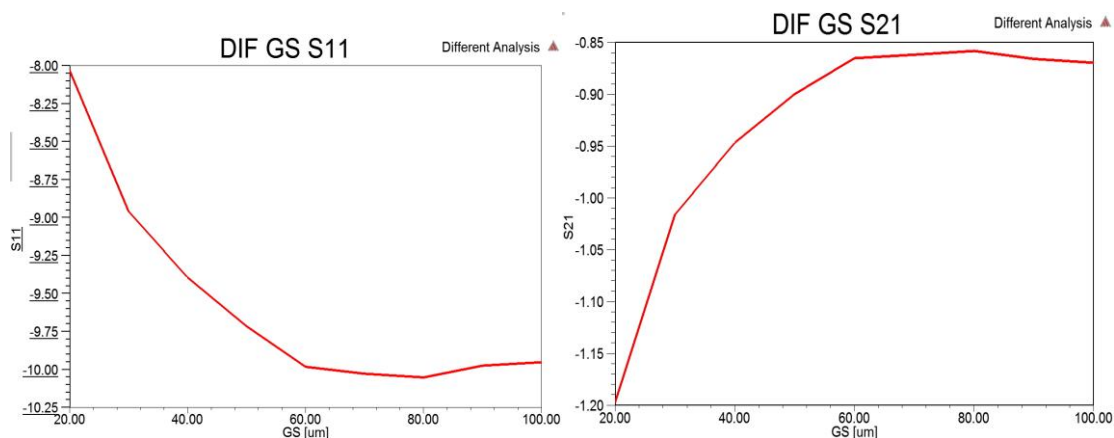


图 3.13 求解频率处 GS 参数对 S 参数的影响

Figure 3.13 Influence of GS parameter at frequency on S parameter

提升 GS 有助于增大上层微带线传输结构的阻抗，减少与端口之间的失配。当 GS 提升到 80 左右 μm 时，传输性能没有明显的改善。

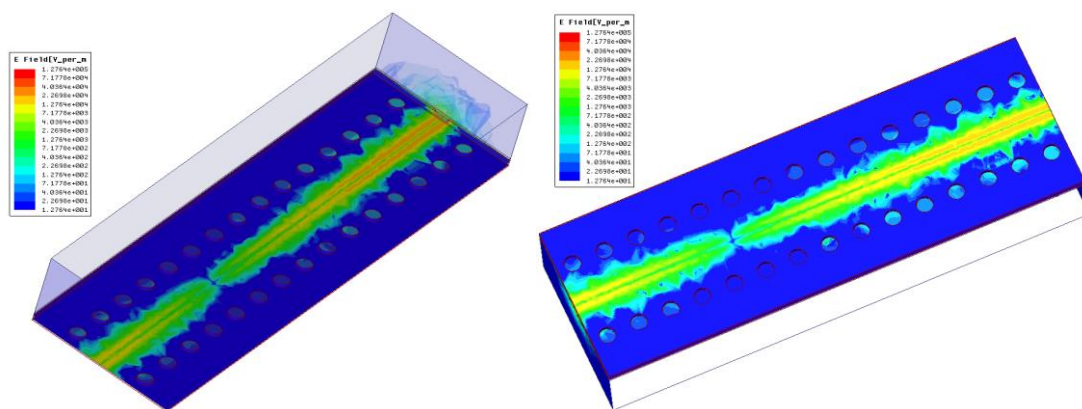


图 3.14 GS 20 μm 正面表层共面波导电场与背面底层微带参考面电场分布图

Figure 3.14 Field distribution diagram of coplanar waveguide field and back bottom microstrip reference surface in GS 20 μm

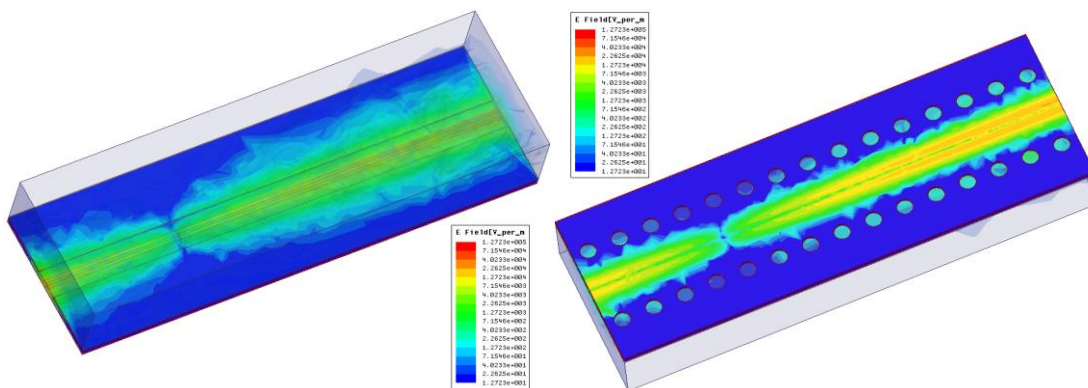


图 3.15 GS 70 μm 正面表层共面波导与背面底层微带参考面电场分布图

Figure 3.15 Field distribution diagram of coplanar waveguide field and back bottom microstrip reference surface in GS 70 μm

GS 20 μm 时，传输结构主要以更近的表层参考面为回路，电场波峰明显大于间距 h 30 μm 的底层微带线结构。当 GS 为 70 μm 时，表层回路电场波峰相比底层更低，电磁波主要通过底层回路传输。

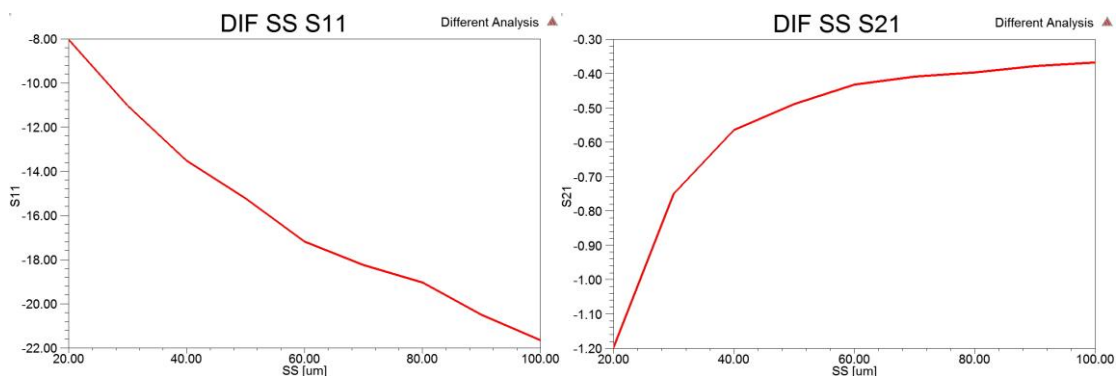


图 3.16 求解频率处 SS 参数的影响

Figure 3.16 Influence of SS parameter at frequency on S parameter

SS 差分信号间距的增加奇模阻抗不断增大共模阻抗减小，与端口阻抗的失配率逐渐减小从而不断提升信号性能。但是随着 SS 间距的增加，差分线本身的强耦合作用会逐渐减弱丧失差分线自身抗干扰等优秀的特性，退化为双弱耦合单端线。而且继续增加 SS 同样会使得差分线阻抗的增幅逐渐减小，最终传输结构的阻抗会退化为该单端微带加半共面波导结构传输阻抗的两倍。

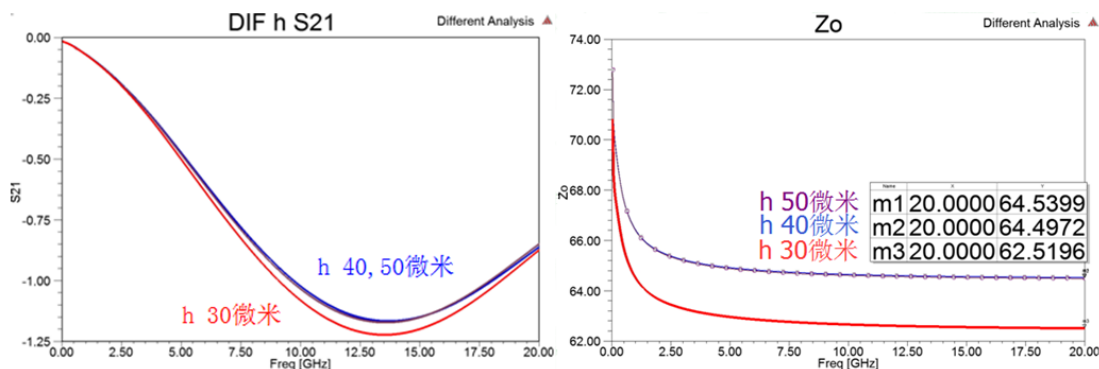


图 3.17 求解频率处 h 参数的影响

Figure 3.17 Influence of h parameter at frequency on S parameter

共面波导结构由于距离较近对传输结构的影响更大，增大 h 对于增大特征阻抗的影响过小且越来越微弱。而且增大 h 会降低产品的集成度以及可靠性，尤其是对其余网络串扰、电源完整性及 EMI 的影响更为严重，保持最小的 30 μ m 间距是最好的设计方案。

3.1.5 优化方案及结果验证

在初始条件不变时，传输结构特征阻抗随着线宽的减小而减小，PP 层厚度 h

在 GS 20 μm 间距时影响微弱，GS 在 70 μm 以后对传输结构的影响可以忽略，SS 间距的增大对差分阻抗的增大影响显著，趋势逐步放缓。为了保持产品的可靠性、集成度及基板的良率，最终限定 w 最小为 20 μm ，h 最小为 30 μm ，通过调节 GS 与 SS 双因子的方式进行的匹配优化设计方案。

3.1.5.1 单端线预估

优化前先根据上述研究结论进行优化方案实现可能性预估，看表层退化到单端线是否有可能达到 50 欧姆最终实现与端口差分阻抗 100 欧姆的匹配，采用国际电子工业联接协会 IPC 微带线阻抗计算公式：

$$Z_0 = \frac{87}{\sqrt{1.41 + \epsilon_r}} \ln\left(\frac{5.98h}{0.8w + t}\right) \approx 66\Omega \quad \dots (3.5)$$

该公式要求地回路理想，继续对单端线嵌入式微带线及 CBCPW 形式通过 HFSS 进行仿真预估，验证最终高速差分信号主传输结构匹配优化的可实现性。

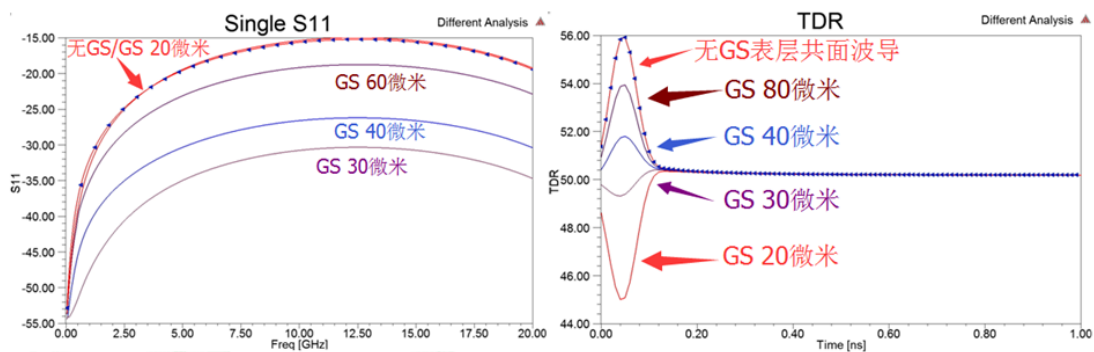


图 3.18 原单端线参数扫描与微带线结果

Figure 3.18 Single line scan parameters and microstrip line results

在频域 S 参数与时域 TDR 中引入了去除表层共面波导结构的标记线，可以近似理解此为 GS 无穷大的界限，此时阻抗会增加到 56 欧姆以上。其中以最接近 50 欧姆的实际 GS 设计间距 30 到 40 μm 左右为佳，从 TDR 时域结果可以看出当实际的距离处在 30 到 40 μm 之间时可以与参考的 50 欧姆端口形成较好的匹配。单端线的端口阻抗变化高于 50 欧姆，调整至 100 欧姆参考阻抗是可以实现的。

3.1.5.2 优化方程建立与结果验证

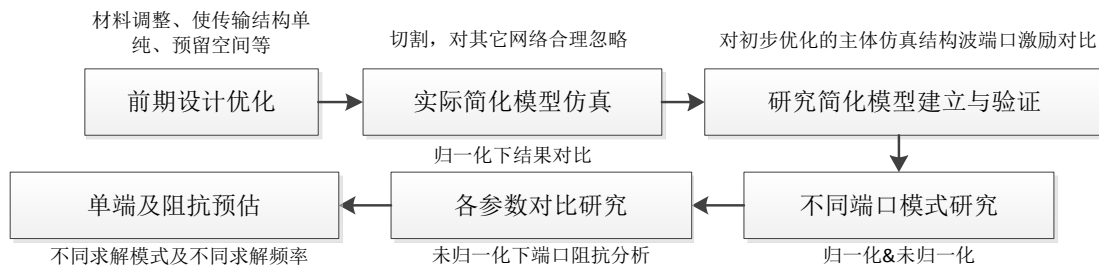


图 3.19 优化方案实现前期研究工作流程

Figure 3.19 Optimize the program to achieve the preliminary research process

图 3.19 是优化的前期工作总结，核心思路是利用波端口在未归一化时对端口 Z_0 阻抗的求解，使得 GS 与 SS 参数调整的求解频率的 Z_0 阻抗值匹配归一化阻抗值。

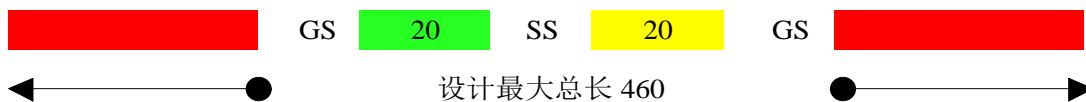


图 3.20 实际最大设计裕量 (μm)

Figure 3.20 Actual maximum design margin (μm)

传输结构需要的总面积除了信号与参考面所需，还需要两倍的 GS 与 SS 间距，为了使得最小的传输面积达到最佳的匹配，SS 相对 GS 影响更大：存在 $SS > 2GS$ 的最小总长解。为了尽量保持差分线的强耦合抗干扰性质，而且使用 Cadence SiP 设计软件尽可能小的 SS 间距走线更简单，每一步设计优化都要根据实际所处位置修改设计规则。因此约束 SS 的最大为 GS 的两倍： $SS = 2GS$ ，采用单因子仿真与优化，节省运算时间。参数扫描当 GS 为 $40\mu\text{m}$ ，SS 为 $80\mu\text{m}$ 时端口阻抗非常接近 100 欧姆 GS 优化范围为 38 到 $42\mu\text{m}$ ，设定的目标函数与拟牛顿非线性趋近算法迭代简化表达式如下：

Solution	Calculation	Calc. Range	Condition	Goal	Weight
Setup1 : LastAdaptive	$re(Z_0(\text{Diff1}, \text{Diff1}))$	Freq(15GHz)	=	100	1

图 3.21 优化求解收敛方程

Figure 3.21 Optimal solution of convergence equation

$$f(GS) = \text{reZo}(GS)_{15\text{GHz}} \quad \dots (3.6)$$

$$\nabla f(GS_{k+1}) - \nabla f(GS_k) \approx \nabla^2 f(GS_{k+1})(GS_k - GS_{k+1}) \quad \dots (3.7)$$

$$\text{Cost}_k = |f(GS_k) - \text{Goal}| \quad \dots (3.8)$$

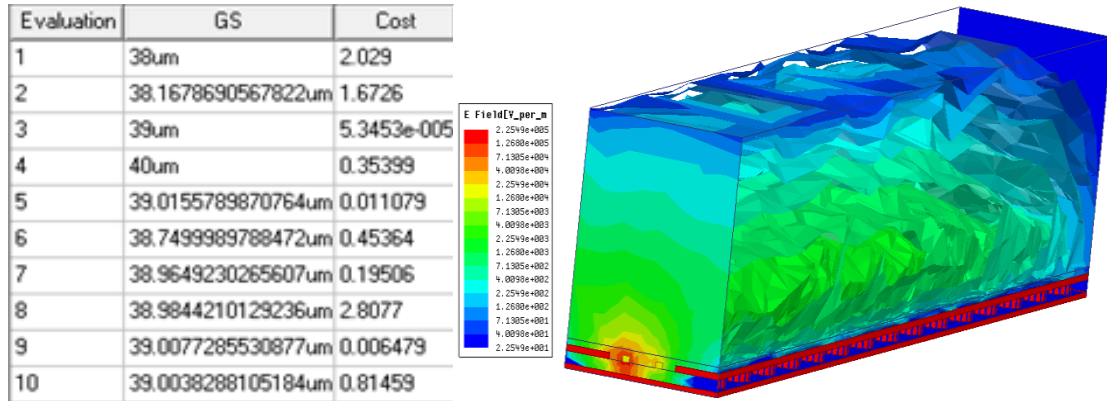


图 3.22 优化解与设计裕量约束下传播电场

Figure 3.22 Optimized solution and propagation field under constraint of design margin

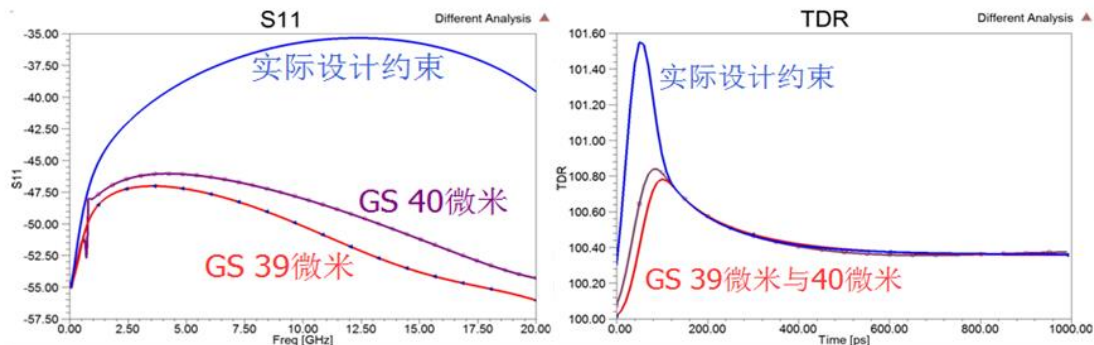


图 3.23 39um、40um GS 与设计约束结果对比

Figure 3.23 Comparison of design constraints results between GS 39 and 40 um

式(3.7)下标 k 为迭代次数，从结果中可以看出优化结果 GS 39um SS 78um 时更接近端口阻抗，实际验证通道结果也与端口阻抗的表现相符。由于实际设计区域的限制会增大传输阻抗，对二维分析软件的误差分析是合理的。在封装级别的标准上看，回损小于-35dB，插损在-0.4dB 之上，单纯主传输通道整体的传输性能非常优异。

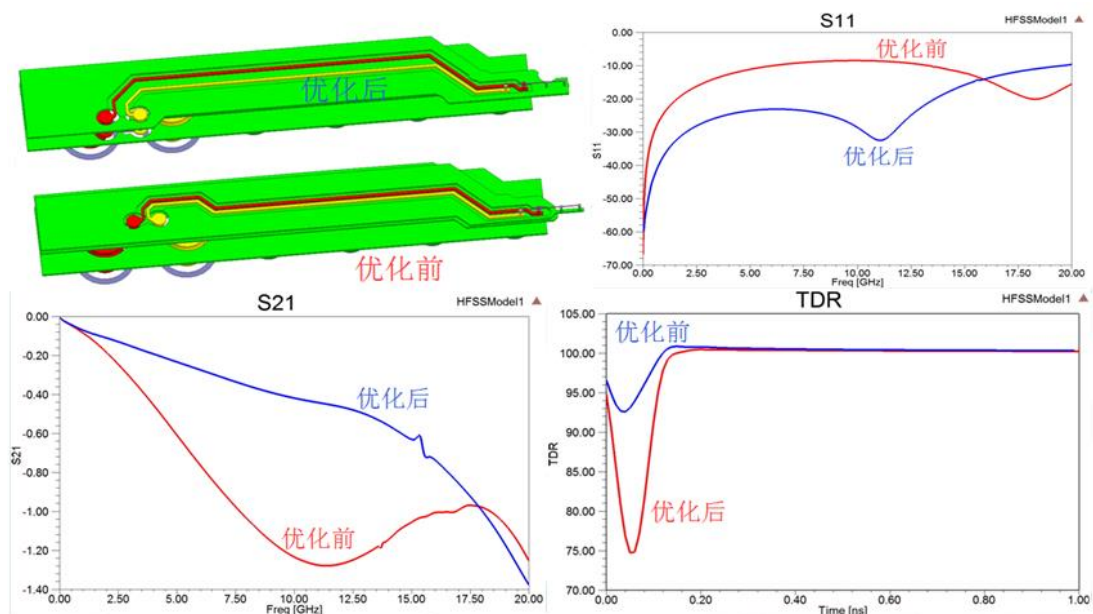


图 3.24 实际模型优化前后对比 (TDR 为 50ps)

Figure 3.24 Comparison of actual model optimization (TDR is 50ps)

根据上述约束下参数对实际模型进行调整，在扇出区域后对设计规则进行修改尽可能让更多的传输结构满足简化主传输结构并同时控制严格的线长约束，增大 GS 导体间距会使得损耗更重实际设计的主传输结构更少，通道不均衡性增加谐振增多。最终在所需带宽回损保持在-15dB 以下，插损可以保持在-1dB 以上，远高于初始设计，可以满足期望的传输要求。

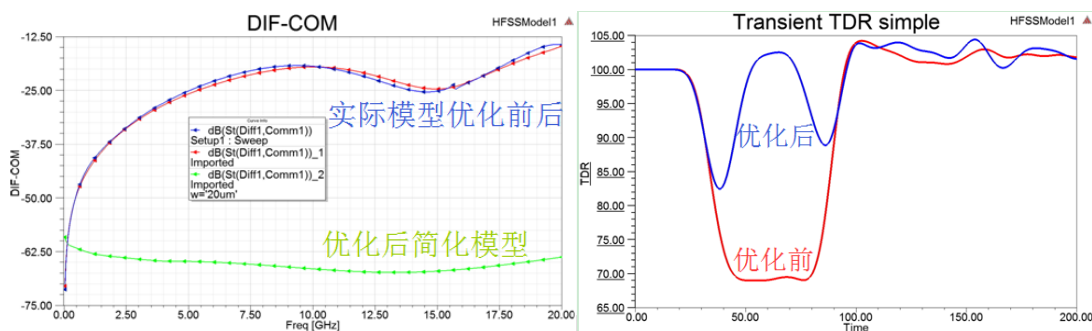


图 3.25 实际模型优化前后对比差共转换比与时域求解器 15ps TDR 分析

Figure 3.25 ACCM and 15 ps time domain solver TDR analysis of before and after the optimization

实际中不可控结构误差使得差共转换比极具增大。HFSS 时域求解采用时域离散伽辽金法(Discontinuous Galerkin Time Domain, DGTD)，同时具有时域有限

元算法(Finite Element Time Domain, FETD)非结构网格剖分和时域有限差分算法(Finite Difference Time Domain, FDTD)显式迭代的优点^[35],能和 HFSS 频域求解器一样的自适应网格剖分精度。这里用 20ps 的上升沿激励检验实际结构优化前后的传输阻抗分布,在中间段提升了传输阻抗减小了失配和预期一致,用另一种算法进一步验证了优化设计传输阻抗匹配结果的准确性。

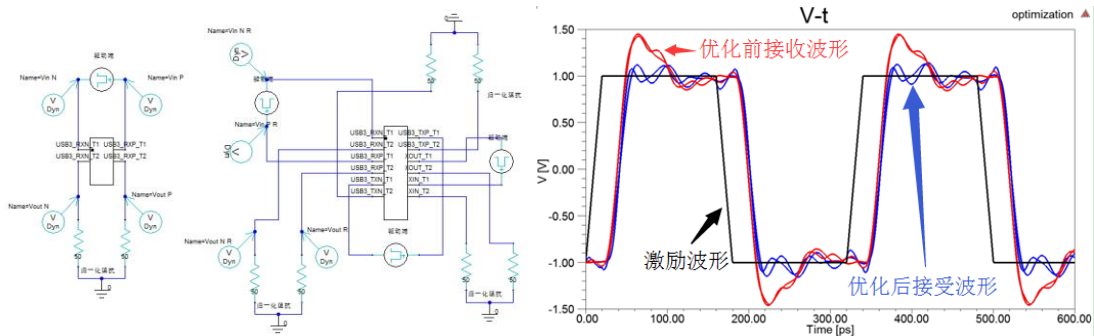


图 3.26 单网络及三网络激励源 20ps 上升沿波形优化前后对比

Figure 3.26 Comparison of single network and three networks by 20ps rising edge excitation source before and after optimization

联合 Ansys Designer 电路仿真模块验证时域特性,黑色是输入的理想 20ps 1V 梯形波激励,红色是优化前单网络及三网络波形,蓝色是优化后单网络及串扰波形。通过时域验证可以很好地发现优化后很好地降低了过冲,从中也可以看出设计的独立参考回路的 5 倍线宽大小在 20GHz 内很好地减小了串扰与单网络结果并没有明显的差异,前期简化分析讨论是合理的。增加传输阻抗的优化建立全部建立在控制场耗散与模式转换的基础上,具体可参照图 3.15 过孔密排布。

3.1.5.3 系统互连差分线分析与开槽优化

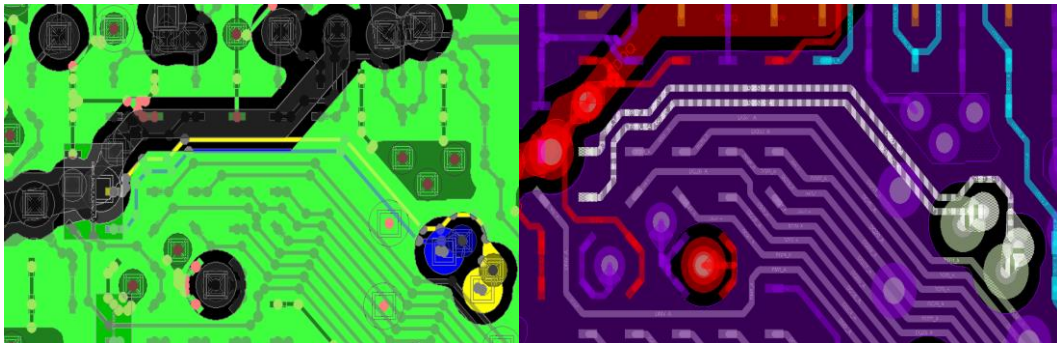


图 3.27 系统级互连 DQS3 差分线前后跨接优化版图

Figure 3.27 DQS3 difference line system level interconnection cross docking layout

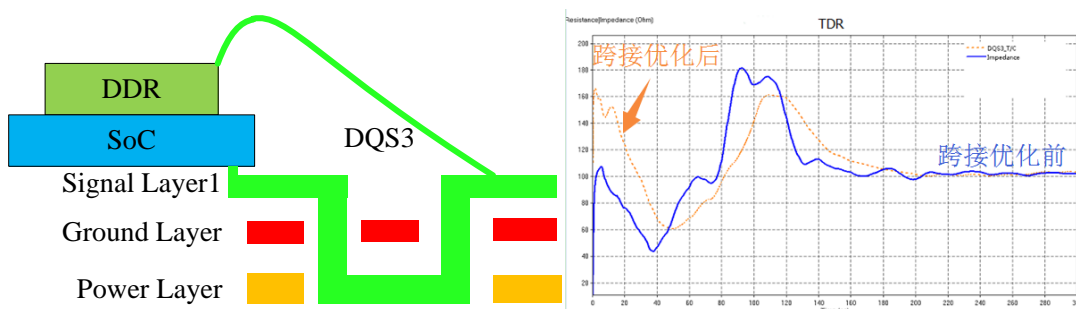


图 3.28 DQS3 系统级互连示意图与 SPEED2000 优化前后 TDR 结果

Figure 3.28 DQS3 difference line system level interconnection diagram and SPEED2000 TDR result before and after optimization

由于布线密度过高约束多，后期 DDR 中 DQS3 差分对设计经历键合线后需要通过电源层进行绕线解决交错问题，多次跨接传输阻抗很不均衡。但从 TDR 上可以看出由于跨接使得差分信号的参考回路缺失极大地增加了差分阻抗，因此利用开槽的思路对 SoC 高速差分结构进行分析，图 3.29 是开槽分析模型示意图。

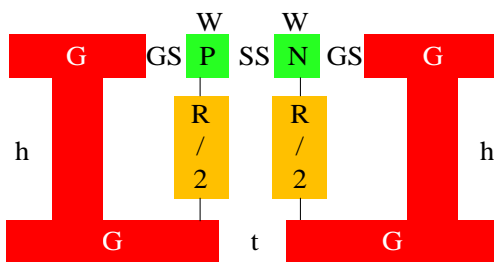


图 3.29 开槽 t 参数模型示意图

Figure 3.29 Slotted t parameter model diagram

为保证仿真准确，添加基板芯层介质包裹以免波端口求解时把背景全部当作理想地减弱开槽的影响。按照之前的仿真结论，在 GS 40 μ m、SS 80 μ m 时，差分阻抗接近 100 欧姆。因此这里最大范围设定 GS 为 20 到 40 μ m，步进值为 10 μ m。t 的最大范围根据最大 SS80 μ m 加上自身线宽 40 μ m 而定，假定设计规则的最小间距为 20 μ m，从 20 到 240 μ m，步进值为 20 μ m，这是根据所承载的上层信号的最大开口。

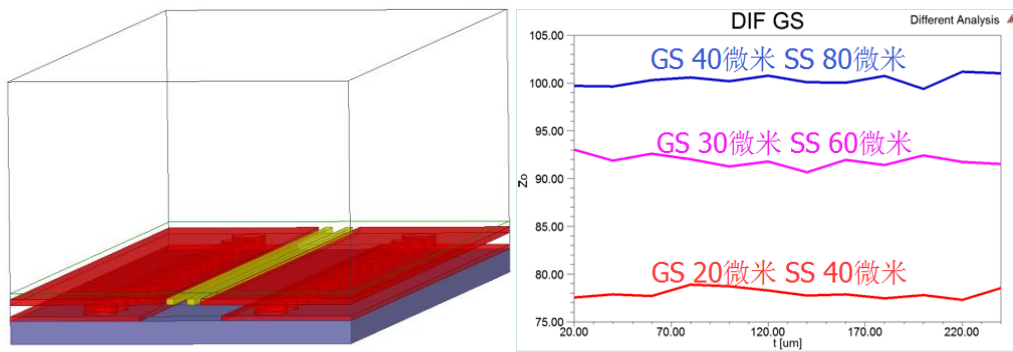


图 3.30 求解频率处 t 参数阻抗结果对比

Figure 3.30 Comparison of impedance results of t parameters at frequency

在现有最小介质厚度上，差分信号还是以共面波导为主参考导体，验证了优化分析中 GS 参数 $70\mu\text{m}$ 前大于 h 参数影响的准确性，即便同时扩大 SS 参数。可以预计高速差分结构的主传输结构建立在电源层也没有太大的影响。实际的开槽的区域是公用的地层，会对其它信号传播、抑制谐振、噪声、电源完整性及铺铜率表层可靠性等都会造成极大的消极影响，工艺中共面图形的误差小于不同层图形的对位误差也会减少预计优化的效果。系统互连差分线突变很大是因为本身参考回路过于不均匀，高速差分线的参考回路设计较完整且在可调整的范围內。

3.1.5.4 HFSS 终端驱动模式差分集总端口建立方式

对于 SI 实际项目中极少使用公认的高频性能优越的 HFSS 仿真软件的原因除了无法合理地简化模型节省运算时间与复杂的建模，还包括其对于端口激励的设置条件过于严格。未来信号频率越来越高，差分线的应用越来越多，现有 7 成以上差分线的数字芯片不在少数，之前研究人员仿真针对差分对端口的激励都是采用波端口的激励方式并去嵌入，这里采用一种适用于各种特殊结构更灵活的集总端口激励方法。



图 3.31 简化模型波端口与终端概况

Figure 3.31 Simplified model wave ports and terminal profile

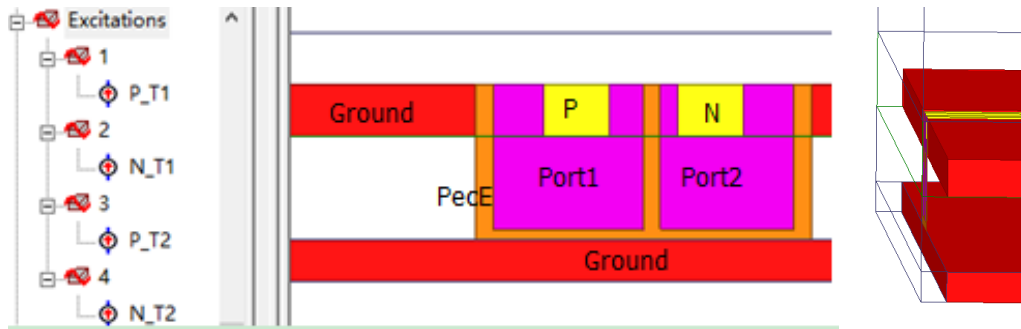


图 3.32 集总端口与终端概况

Figure 3.32 Lumped port and terminal profile

集总差分线端口数目是波端口的一倍，接触会造成幅值相位相反 S 参数负值计算错误，不同于波端口必须设置在背景属内端口，必须通过介质包裹。可以通过与导体边缘直接连接构成端口，对需要进行强耦合分析的共参考面差分线及串扰网络通过采用远小于波长的理想电壁边界条件面建立联系可以更好地添加激励，减少对传输通道的影响。

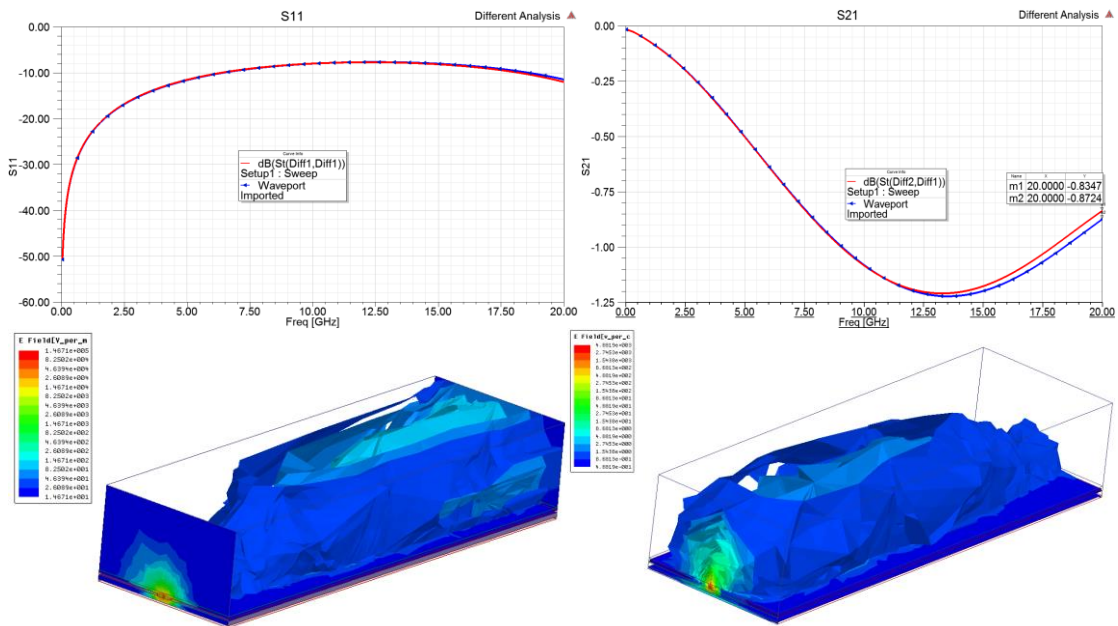


图 3.33 集总端口与波端口 S 参数结果与 15GHz 0 相位电场对比

Figure 3.33 Comparison of S parameter results between lumped port and wave port and the electric field in the 15GHz 0 phase

两端口激励 S 参数差异极小，波端口与集总端口差模电压激励为 2V，除端口外电场分布量级一致，可以适用于更复杂的实际结构。

3.2 SiP 高堆叠键合线优化分析

3.2.1 传统键合线仿真模型与新型仿真分析

在微波多芯片组件（Microwave Multichip Module, MCM）中，键合线互连是实现微波多芯片组件电气互连的关键技术^[36]。目前很多新技术可以代替键合线实现信号传输，如倒装焊、刻蚀通孔等，但键合线仍因工艺简单和价格低廉应用诸如多芯片陶瓷封装^[37]等实际生产中^[38]，随着频率的升高，键合线的长度、弧高、间距和根数对微波传输特性有很大的影响^[39-41]，不能被简单地认为是理想传输线^[42]。

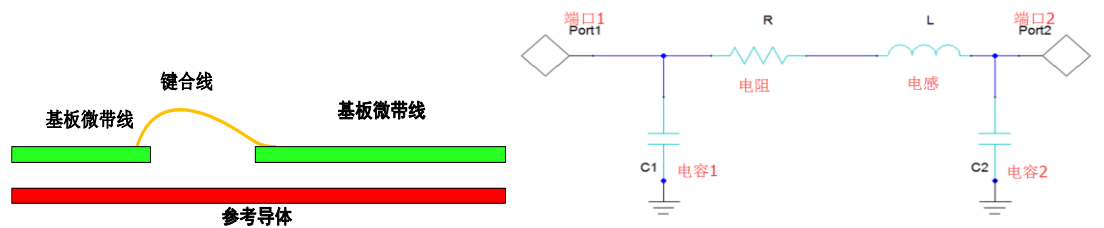


图 3.34 键合线传统互连模型与等效电路图

Figure 3.34 Traditional interconnect model and equivalent circuit diagram of bonding wire

图 3.34 模型是当参考的导体为以一均衡共面、类似低频共地短接的情况。实际的键合传输线传输中的参考导体并不理想，应根据实际的频率及波导结构建立等效的电路模型，当单纯采用上述模型对高堆叠差分信号进行仿真时在 2GHz 带宽时就无法满足需求^[45]。本文中研究的参考导体在芯片与基板互连前仅能依靠键合线传输，即参考导体与信号导体的性质相仿，SI 更差。如今对于键合线本身电学性能的研究基于的仿真和测试模型与实际高堆叠 SiP 面临的情况相差较大，这里采用集总端口设计方法对键合线在 HFSS 中进行仿真分析。

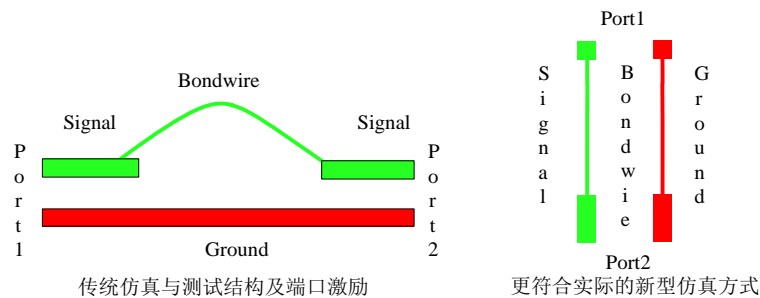


图 3.35 新旧端口激励方式对比

Figure 3.35 Comparison of new and old port excitation methods

先建立初期优化研究模型,设定键合线纵向跨距为 $3000\mu\text{m}$ 。最小高度 $50\mu\text{m}$ 使得传输距离更短,与表层参考面更近,信号质量尽可能做到最佳^[46]。finger 焊盘为最小设计规则的简化长方体模型,长 $180\mu\text{m}$,宽 $60\mu\text{m}$,最小扇出间距 $50\mu\text{m}$ 。线宽 0.8mil ,保证小尺寸 finger 焊面的可靠性与表层高密度布线。在本论文中假定电源线对信号线没有影响并与地线一样为其提供参考面,即地电之间阻抗极小可忽略不计,电源线均替换成地线与信号线两端建立端口,设计合理的同回路地电传输阻抗欧在姆量级。芯片本身的焊盘分布上每两条单端 DQ 数据线以及数据选通 DQS 差分信号线被一对地电线环绕,起始焊盘的位置、间距固定无法改变,为了保证工艺可靠性按照焊盘的顺序分布没有交错。

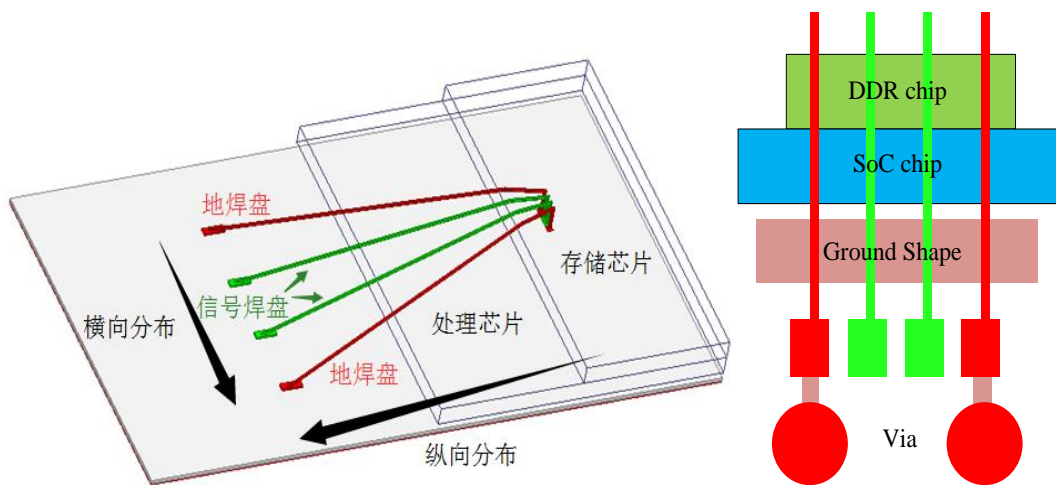


图 3.36 键合线 GSSG 高堆叠模型与传统优化示意图

Figure 3.36 GSSG bonding wire high stack model and traditional optimization diagram

通过芯片手册得知并行数据 DQ 信号上升时间数据速率为 1066Mbps ,根据 2.1 的理论分析,为了更快速地在设计前期仿真研究,设定求解带宽为 3GHz ,收敛 ΔS 为 0.001 ,采用 JEDEC 4Point 六棱柱模型,这是由于本身高堆叠结构会使得 JEDEC 5Point 模型在很大的角度范围内与芯片本身接触,实际线弧更趋于 JEDEC 4Point 模型。系统级互连 $\text{ODT}48$ 欧姆距离该工艺下的平面走线阻抗最近,以下键合线的 S 参数的仿真分析全部建立在归一化端口阻抗单端 50 欧姆与差分 100 欧姆的情况下。

表 3.4 0.01GHz S 参数仿真结果

Table 3.4 0.01GHz S parameter simulation result

模型类型	单端回损	单端插损	近端串扰	远端串扰	差分回损	差分插损
未接地	-50.28	-0.026	-58.61	-59.81	-54.06	-0.02
接地平面	-50.30	-0.026	-58.72	-59.72	-54.06	-0.02
铺地回路	-50.31	-0.026	-58.76	-59.75	-54.06	-0.02

表 3.5 3GHz S 参数仿真结果

Table 3.5 3GHz S parameter simulation result

模型类型	单端回损	单端插损	近端串扰	远端串扰	差分回损	差分插损
未接地	-13.54	-0.48	-15.50	-21.20	-27.21	-0.11
接地平面	-13.73	-0.48	-15.78	-20.40	-27.18	-0.11
铺地回路	-13.82	-0.47	-15.86	-20.50	-27.33	-0.11

从 S 参数仿真结果可以看出，当键合线末端 finger 接第二层地平面后，信号质量不论插入损耗还是回波损耗皆普遍优于未接地之前。从仿真结果上看，接地与否几乎没有差别，铺地回路也仅是略优于接地情况。从以上结论中可以看出，高堆叠 SiP 的键合线中不论差分信号以及单端信号，信号返回路径接地与表层铺地对于键合信号传播改善很小，与传统分析结果差异很大^[47-48]。实际的基板布线密度非常高，信号还有一定的时序要求，除了基本的线宽线距外还需要更多的布线面积，以下皆只采用了接地优化方案。

3.2.2 键合线横向参数仿真分析

下面讨论 GS (Ground & Signal) finger 焊盘间距 以及 SS finger 焊盘间距对单端及差分信号完整性的影响。当信号 finger 焊盘间距保持 50 μm 时，设置地焊盘间距由原来的 50 μm 到 300 μm 。

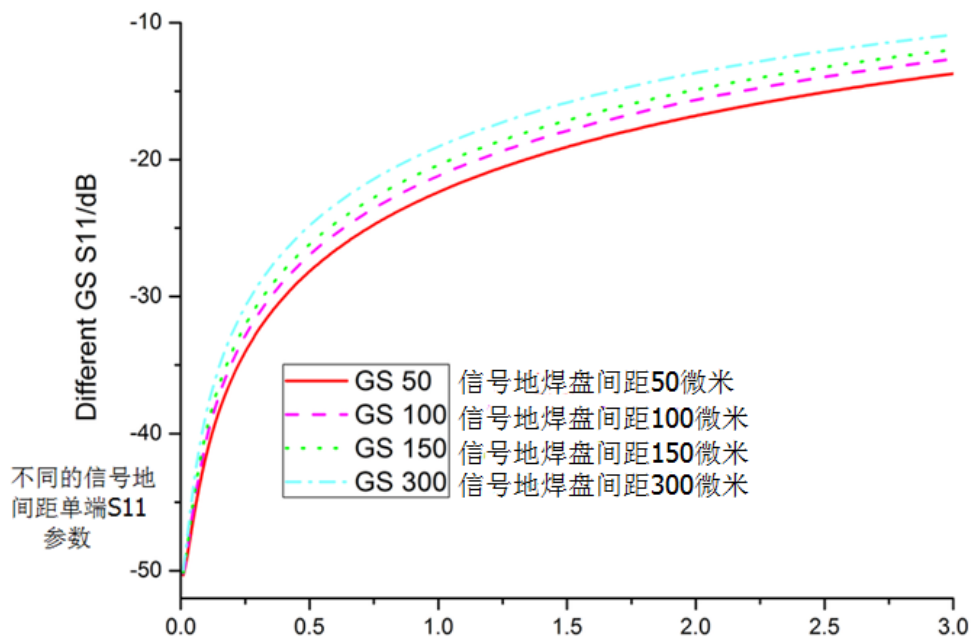


图 3.37 GS 间距 50 到 300 μm DQ 单端信号回波损耗

Figure 3.37 GS 50 to 300 μm DQ single ended signal return loss

单端线的回波损耗随着地焊盘的远离逐渐增大,参考线的远离导致导体间的信号传播质量变差。差分信号同单端信号呈一致规律,相对而言变化极小,GS 影响极为微弱不展示结果。

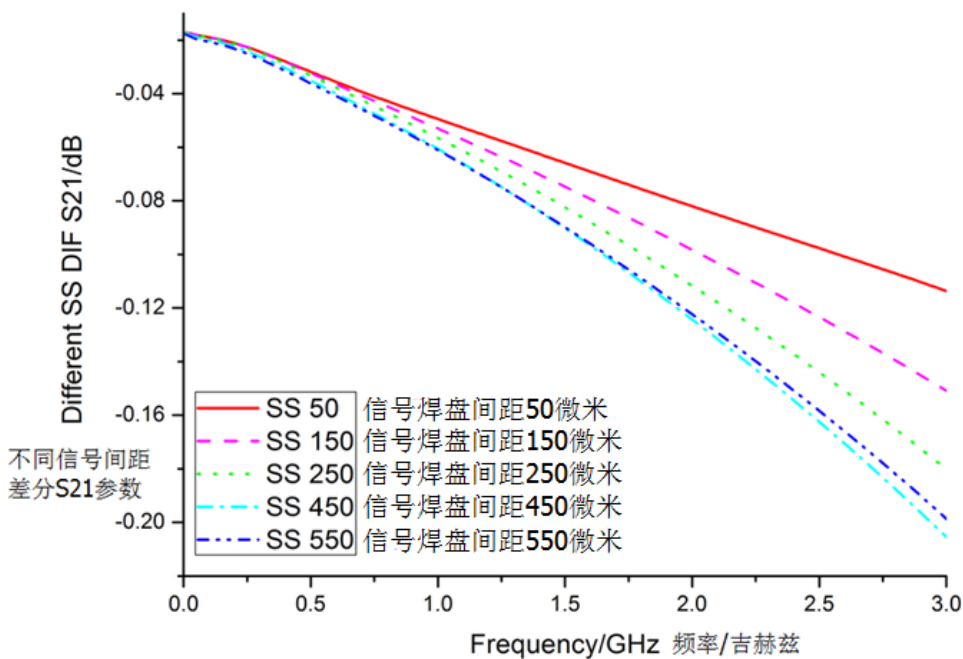


图 3.38 SS 间距 50 至 550 μm DQS 差分信号插入损耗

Figure 3.38 SS 50 to 550 μm DQS Differential signal insert loss

固定 GSSG 键合线波导传输结构的整体范围, 讨论当两端 GG 间距为 $770\mu\text{m}$ 时, SS 间距从 50 到 $550\mu\text{m}$ 时, 单端键合线和差分键合线的波导传输能力。SS 间距的提高增大了单端信号的传输距离同时减小耦合间距改善串扰, 由于变化较小这里不以图示。SS 对于差分线的影响最大, 最紧耦合的方式可以得到最好的传输性能。

3.2.3 键合线纵向参数仿真分析

在对上述不同方案 GSSG 波导传输键合线横向参数进行研究后, 这里对最紧密的 GSSG 结构做纵向距离调整进行讨论, 由于下层 SoC 芯片边缘为纵向 $2000\mu\text{m}$ 左右, 设定为纵向 2500 、 3500 、 $4000\mu\text{m}$ 加以讨论。实际 $2500\mu\text{m}$ 过于靠近芯片边缘以及布线调整面积紧张较难实现, 这里的设定主要为了研究和讨论。超过 $4000\mu\text{m}$, 同样工艺上良率会有影响, 也会干扰后排其它信号布线以及加大 DDR 芯片信号至 SoC 芯片整体的信号走线长度, 增大损耗降低信号质量以及占用更多的布线面积。

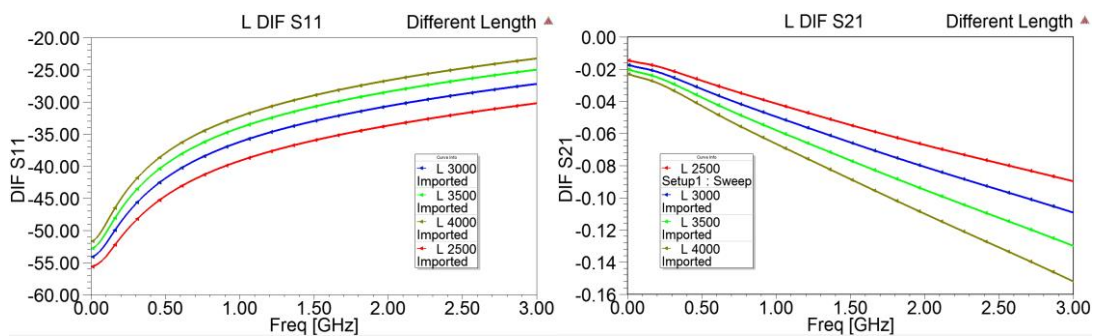


图 3.39 纵向 2500 至 $4000\mu\text{m}$ 最紧密 GSSG DQS 信号回波与插入损耗

Figure 3.39 Longitudinal 2500 to $4000\mu\text{m}$, DQS signal return and insertion loss of the most tightly GSSG model

不论单端信号线还是差分信号线, 键合线的长度越长信号的质量越差, 同时增大耦合长度加大串扰。随着键合线的缩短, 从 finger 焊盘到倒装控制芯片焊盘的系统互连走线越短。

3.2.4 键合线紧密排列仿真分析

上述的讨论都是建立在 GSSG 键合线波导传输没有外加影响的情况下, 实际的 DQ 单端信号焊盘和 DQS 差分信号焊盘都是分别排列在一起的, 这里对比实际中在外界串扰作用下对处于中间的单端以及差分信号传播情况的影响。

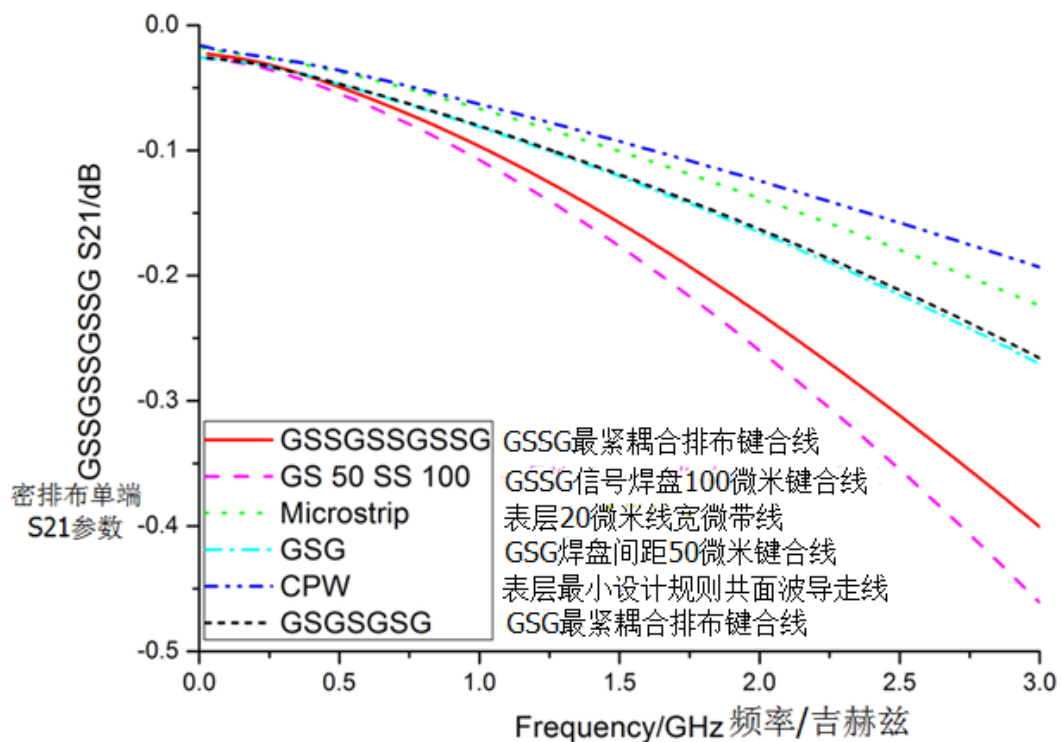


图 3.40 DQ 信号与 DQS 信号插入损耗对比

Figure 3.40 Comparison of DQ and DQS signal insert loss

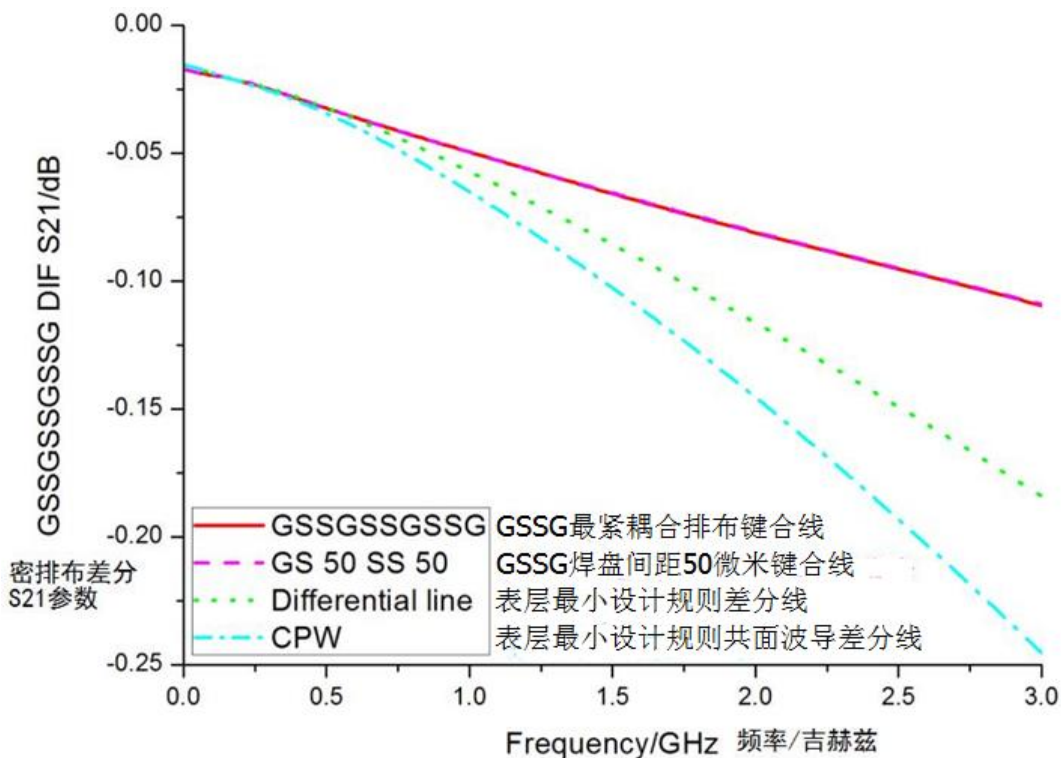


图 3.41 DQ 信号与 DQS 信号插入损耗对比

Figure 3.41 Comparison of DQ and DQS signal insert loss

这里仅展示单端及差分信号插损的情况，紧密排列最终使得所有的信号的质量优于没有外在影响的情况下。DQ 部分对比了 3.2.2 中得出的单端优化方案(GS 50 μm SS 100 μm ，减少串扰)，还是紧密排列的传输性能更好，采用紧密排列 GSG 模型与 GSGSGSG 差别不大优于 GSSGSSGSSG 模型。还对比了 3000 μm 传输距离的表面微带线和共面波导结构，这里采用设计最小的 20/20 μm 线宽线距，可以看出 CPW 单端传输能力优于普通微带线，远高于原键合线传输结构，结合 3.1 中对单端线的预估可知，在该工艺条件下表层 CPW 使得单端线阻抗更小距离归一化端口阻抗 50 欧姆更近。差分键合线同样对比了类似的情况，本身差别极小但优于 CPW 差分线的情况，预计所有结果本身源于传输阻抗与归一化阻抗的失配程度。

3.2.5 键合线提参验证分析

对上述得到的结论通过 Q3D 提参进一步分析验证，Q3D 是采用 MOM、FEM 算法的准静态电磁场仿真工具，在低于 5G 的场合，与 HFSS 的结果非常一致且更为高效。对于本论文研究而言，Q3D 可以与 HFSS 良好地共享仿真研究模型与材料频变参数信息，对 HFSS 的仿真结果与定性的结论分析具有良好的验证和指导意义。HFSS 本身通过 S 参数可以计算 RLCG 矩阵，这里为了更好的考察结论的准确性采用了不同的算法验证结果是否趋于一致。

3.2.5.1 键合线串扰分析

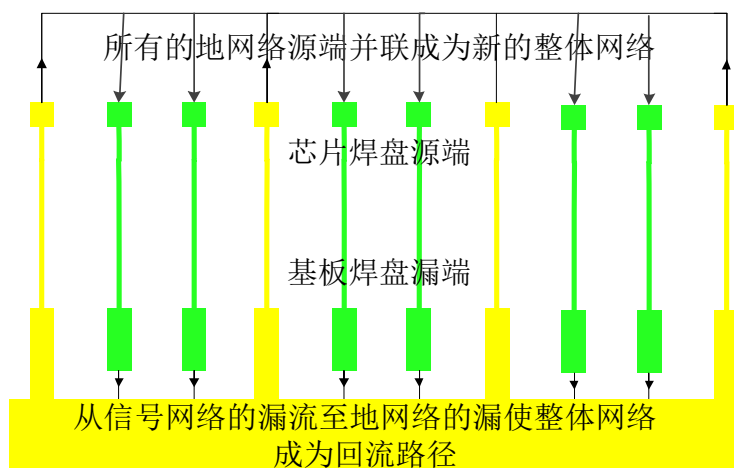


图 3.42 GSSGSSGSSG Q3D 导体 RLCG 参数矩阵处理原理示意图

Figure 3.42 GSSGSSGSSG conductor RLCG parameter matrix processing schematic diagram in Q3D

在 Q3D 中将地导体网络同信号导体同样设为拥有源和漏端的信号网络模型，区别于传统分析处理 RLCG 矩阵，全面考虑地导体网络的寄生参数效应。所有的地网络并联合并源端和漏端形成新的整体网络，并把信号导体的漏端串接形成整体回流。基于信号本身的上升时间超过传输时延对 GSGSGSG，GSSG,GSSGSSGSSG 模型建立新的近端串扰 $NEXT_{variable}$ 及远端串扰变量因子 $FEXT_{variable}$ 对比方程:

$$NEXT_{variable} = \frac{1}{4} \times \left(\frac{td}{rt/2} \right) \times \left(\frac{C_M}{C_0} + \frac{L_{12(loop)}}{L_{11(loop)}} \right) \quad \dots (3.9)$$

$$FEXT_{variable} = \frac{Len}{rt} \times \frac{1}{2v_p} \times \left(\frac{C_M}{C_0} - \frac{L_{12(loop)}}{L_{11(loop)}} \right) \quad \dots (3.10)$$

其中 $L_{11(loop)}$ 和 $L_{12(loop)}$ 分别代表中间信号网络的回路电感与临近信号网络的回路互感， C_0 和 C_M 分别为 SPICE 矩阵自容 C_{11} 与互容 C_{12} 。因为信号上升的时间大于传输时延，近端串扰未饱和，修正因子 $\left(\frac{td}{rt/2} \right)$ 为积分下耦合距离与二分之一饱和长度的近似比，这里输出电容比值与回路电感比值的和与差对比各模型串扰情况。

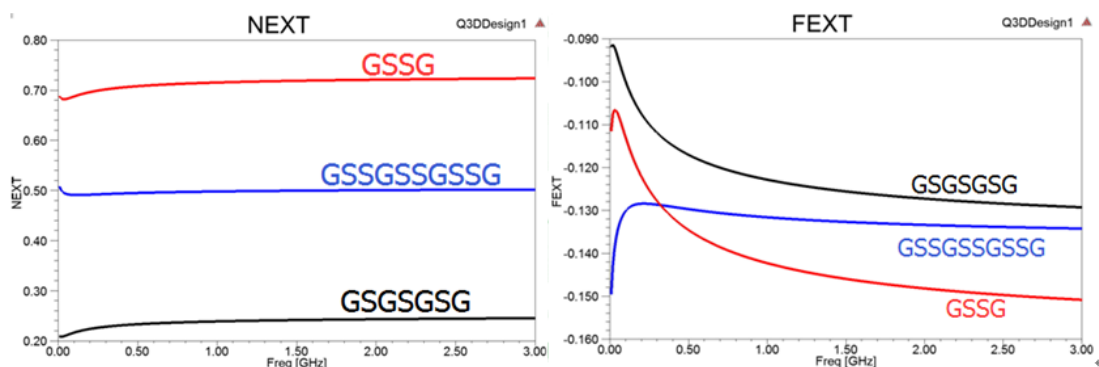


图 3.43 各模型近远端串扰因子对比

Figure 3.43 Comparison of near and far end crosstalk factors of each model

修改的近端串扰与远端串扰因子在全频带几乎呈现同样的规律，GSSG 模型的串扰最重，GSGSGSG 模型的串扰最小。相对 GSSGSSGSSG 模型，GSSG 模型地回路较少使得对地自容 C_0 及回路自感 $L_{11(loop)}$ 较小，同时与信号的耦合 C_M 及 $L_{12(loop)}$ 更大。GSGSGSG 模型由于间隔地键合线的屏蔽作用使得互容与回路互感

很小。由于键合线大部分处于均匀的塑封环境中，远端串扰因子相对较小，电感比值相对电容比值较大。

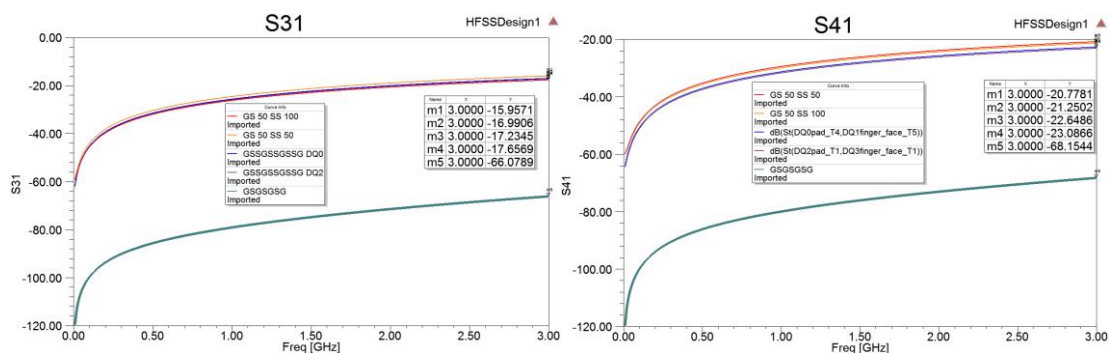


图 3.44 各模型近远端串扰 S 参数对比

Figure 3.44 Comparison of near and far end crosstalk S parameter of each model

HFSS 频域中得到的结果与提参分析结论一致，S 参数远端串扰较近端串扰相差 5dB 左右。GSSG 模型信号间距加大有利于改善近端串扰，在远端串扰方面紧耦合越中间的信号越小。如果采用 GSSGSSGSSG 模型则串扰可忽略，本身只能传递单端信号而且对参考回路需求更多。

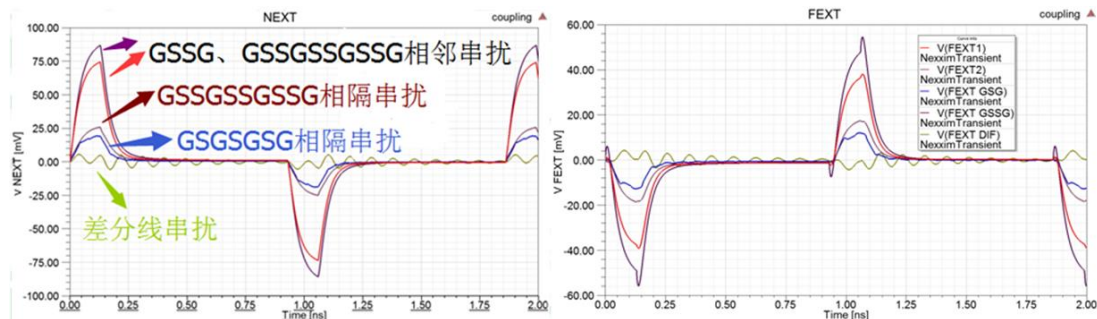
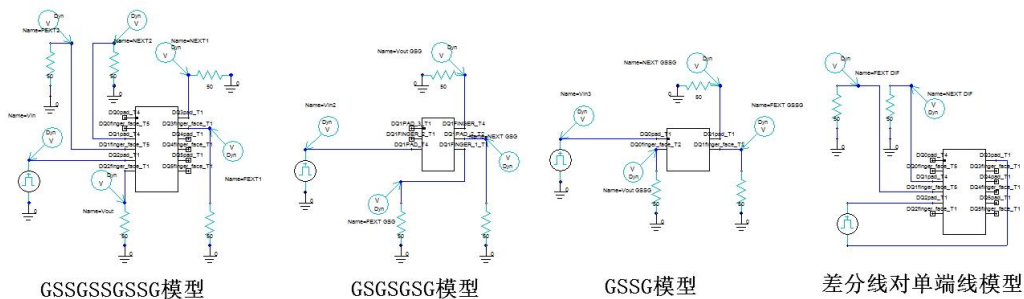


图 3.45 各模型上升时间 130ps 近远端串扰时域对比

Figure 3.45 Time domain comparison of near and far end crosstalk of each model in rising time

130ps

将上述模型导入电路中进行时域分析,为了明显反映差异这里上升时间激励采用 130ps 1.2V, 这里 GSSGSSGSSG 模型相隔地键合线的串扰还是高于 GSGSGSG 模型。远端串扰相对近端串扰较小,除了极性相反性质相似。实际系统输出排布 DQS 差分线紧靠同链路 DQ 单端线,差分线采用三导体传输能力更强,中间隔绝的地线更加减少了串扰的影响,与其它网络相互耦合作用最小。

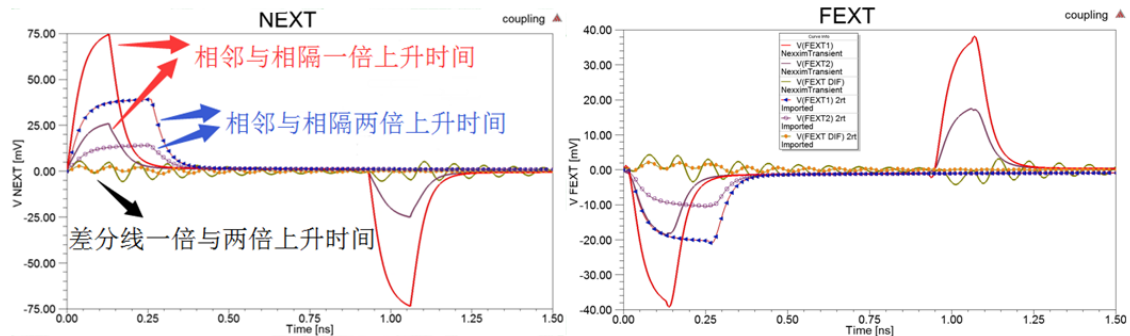


图 3.46 GSSGSSGSSG 模型上升时间增加一倍串扰对比

Figure 3.46 Comparison of crosstalk of GSSGSSGSSG model when the rise time is origin and doubled

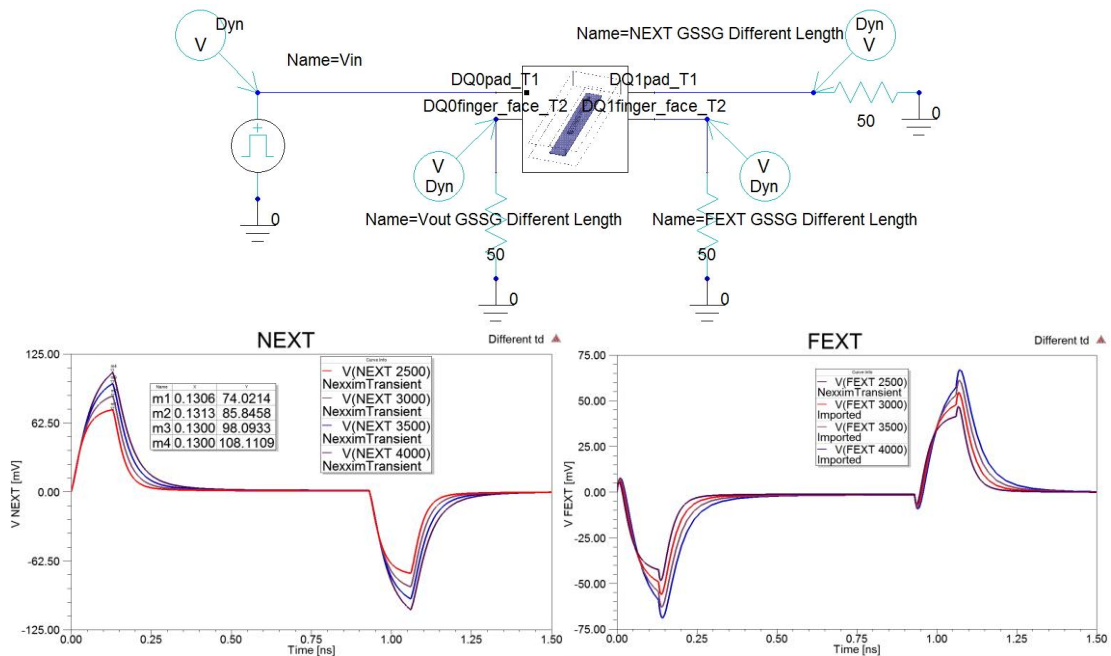


图 3.47 GSSG 模型纵向参数协同仿真模型及串扰对比

Figure 3.47 Vertical parameter collaborative simulation model of GSSG model and crosstalk comparison

实际上升时间大于 260ps, 由于本身耦合传输时间大于信号上升时间未饱和, 近远端串扰更加突显了相似的性质: 上升时间决定了串扰作用时间与幅度, 键合线打线位置的远离加剧了串扰幅度未改变串扰时间。对于该 SiP 而言, 并行信号上升时间相对传输距离较大, 尽可能减小纵向距离采用全网络紧耦合可以通过更多地地回路耦合作用同时控制近端及远端串扰。GSGSGSG 和 GSSGSSGSSG 模型分别是对单端线和差分线最好的保护, 这主要取决于芯片焊盘分布设计人员。

3.2.5.2 键合线传输阻抗分析

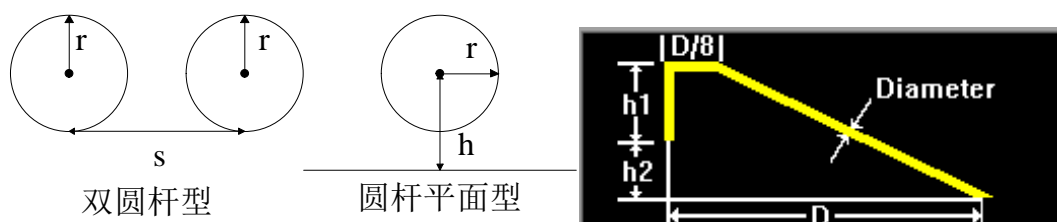


图 3.48 键合线二维圆杆传输结构模型与键合线 JEDEC 4Point 模型

Figure 3.48 Two dimensional circular transfer structure model and bonding wire JEDEC 4Point model

纯 TEM 波低损低色散准静态假设下, 平行双圆杆并行线表达式为:

$$C_L = \frac{\pi \epsilon_0 \epsilon_r}{\ln \left\{ \frac{s}{2r} \left[1 + \sqrt{1 - \left(\frac{2r}{s} \right)^2} \right] \right\}} \quad \dots (3.11)$$

自由空间 ϵ_0 为 $8.854 \times 10^{-12} \text{F/m}$, μ_0 为 $4\pi \times 10^{-7} \text{N/A}$ 。a、b 分别为内外导体半径, 其中 r 为半径, s 为圆杆中心距。当 r 为 0.4mil, s 为 $60\mu\text{m}$ 时。结合相速公式, 可计算单位长度电感 L_L 并推算特征阻抗 Z_0 :

$$L_L = \frac{\mu_0 \epsilon_0 \epsilon_r}{C_L} \quad \dots (3.12)$$

$$Z_0 = \frac{120}{\sqrt{\epsilon_r}} \ln \left(\frac{s}{2r} + \sqrt{\left(\frac{s}{2r} \right)^2 - 1} \right) \quad \dots (3.13)$$

假设传输结构为 GS 双圆杆键合线, s 为源端芯片焊盘中心距 $60\mu\text{m}$, 线宽 0.8mil 的 r 为 0.4mil, 源端特征阻抗为近 102 欧姆。圆杆平面模型的特征阻抗近似式为:

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{h}{r} + \sqrt{\left(\frac{h}{r}\right)^2 - 1} \right) \quad \dots (3.14)$$

圆杆平面的特征阻抗为近 129 欧姆，信号总会沿最低的阻抗路径流动，高堆叠键合线相对表层参考面较远，传输阻抗较大，主要以紧耦合地线回路为主，验证了之前的结论，实际单端键合线本身扇出，参考回路不止一侧，距离地平面的高度在不断变化，s 和 h 参数在不断变化，预计单端传输阻抗在 100 欧姆左右的范围内。对于差分阻抗，通过 Q3D 软件二维近似预估，对矩阵进行处理，设置回路与地参考平面，假设仅有塑封材料一种介质。

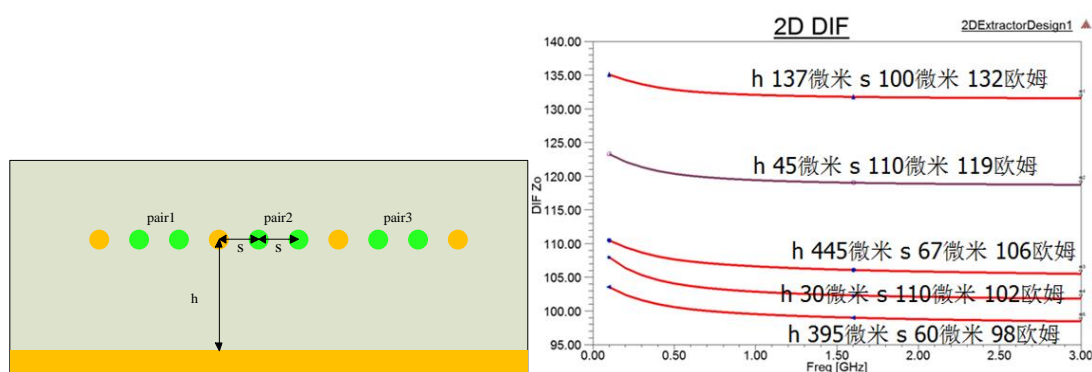


图 3.49 二维多圆杆平面模型及差分阻抗

Figure 3.49 Two dimensional multi circular bar plane model and its differential impedance

h 的初始高度是芯片高度与表层及介质高度为 395μm，s 的初始间距为 60μm，紧耦合最小 finger 焊盘设计规则大小为 110μm，取值是建立在 JEDEC 4point 扇出模型的基础上计算得出的，最终 s 110μm 扇出选用两组 h 值是因为最终会连接到表层地回路上与地层的间距仅为介质高度，s 参数是差分键合线最大的影响因素，差分阻抗分布在在 98 到 131 欧姆。

$$\Delta z_t \leq \frac{t_r c}{10\sqrt{\epsilon_r}} = 4.5\text{mm} \quad \dots (3.15)$$

$$\Delta z_f \leq \frac{\lambda_{f \max}}{10} = 5\text{mm} \quad \dots (3.16)$$

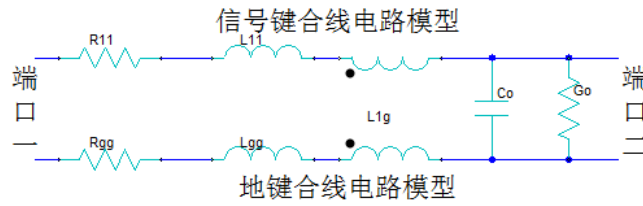


图 3.50 单端 DQ 信号等效电路模型

Figure 3.50 DQ single signal equivalent circuit model

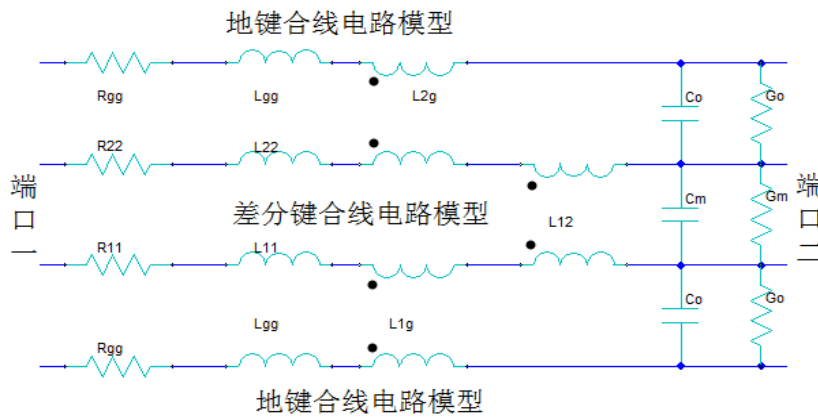


图 3.51 差分 DQS 信号等效电路模型

Figure 3.51 DQS differential signal equivalent circuit model

假设该 SiP 内部键合传输线结构为一段均匀集总 RLCG 模型，原始的传输线公式是建立在参考导体回路相对于信号导体在寄生电感和电阻可忽略的基础上，互感小于最小的地自感因此回路总电感 L_{total} 可近似为信号导体自感 L_{11} 。对于键合线传输结构地键合线回路非理想回路电阻电感不可忽略，修正 $L_{total(loop)}$ 为：

$$L_{total(loop)} = L_{11} + L_{gg} - 2L_{1g} \quad \dots (3.17)$$

其中 L_{gg} 为矩阵中表示的地自感， L_{1g} 为地信互感。单端理想 Z_{0ideal} 及有损传输阻抗 $Z_{0actual}$ 公式为：

$$Z_{0ideal} = \sqrt{\frac{L_{total(loop)}}{C_0}} = \sqrt{\frac{L_{total(loop)}}{C_{11}(SPICE)}} \approx \sqrt{\frac{L_{total(loop)}}{(C_{11} + C_{12})(Maxwell)}} \quad \dots (3.18)$$

$$Z_{0actual} = \sqrt{\frac{j\omega(L_{total(loop)}) + R_{total(loop)}}{(j\omega C_{11} + G_{11})(SPICE)}} = \sqrt{\frac{j\omega(L_{total(loop)}) + R_{total(loop)}}{[j\omega(C_{11} + C_{12}) + G_{11} + G_{12}](Maxwell)}} \quad (3.19)$$

其中 C_0 和 G_0 是信号键合线与地参考键合线的互容互导，是 SPICE 矩阵中的

C_{11} , G_{11} 。 $R_{total(loop)}$ 为信号键合线电阻 R_{11} 和地键合线电阻 R_{gg} 之和。奇模理想 $Z_{0idealodd}$ 及有损传输阻抗 $Z_{0actualodd}$ 为:

$$Z_{0idealodd} = \sqrt{\frac{L_{total(loop)} - L_{M(loop)}}{C_0 + 2C_M}} = \sqrt{\frac{L_{total(loop)} - L_{M(loop)}}{(C_{11} + 2C_{12})(SPICE)}} \dots (3.20)$$

$$Z_{0actualodd} \approx \sqrt{\frac{j\omega(L_{total(loop)} - L_{M(loop)}) + R_{totalodd(loop)}}{j\omega(C_{11} - C_{12})(Maxwell) + (G_{11} - G_{12})(Maxwell)}} \dots (3.21)$$

$$R_{totalodd(loop)} = R_{11} + R_{gg} \dots (3.22)$$

其中 $L_{M(loop)}$ 为奇模两信号导体间回路互感, $R_{totalodd(loop)}$ 为奇模的回路电阻, 本身采用 GSSG 结构, 除相邻信号导体外互容量级极小, 分母简化为麦克斯韦矩阵自容减去环路负互容, 差分阻抗由于对称近似为奇模阻抗的两倍, 计算时针对不同信号导体计算奇模阻抗相加合成差分阻抗。Q3D 输出结果可以进行矩阵处理但只能输出 Maxwell 矩阵, 近似式比较简单论文中用近似式表达, 以下计算采用等式解。

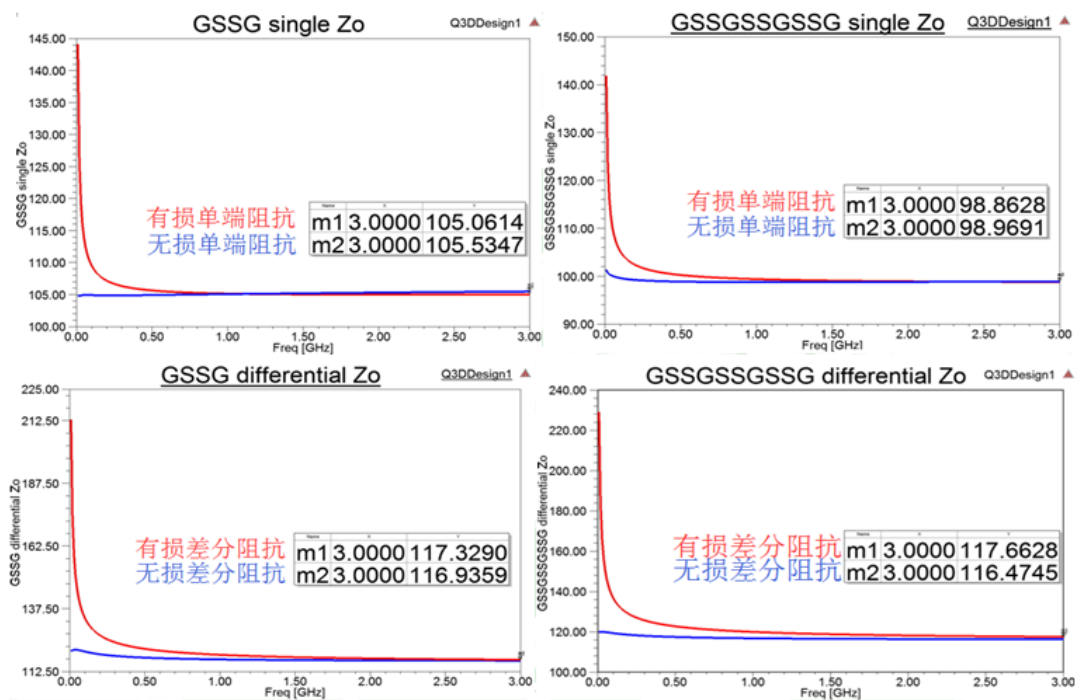


图 3.52 键合线集总传输阻抗计算结果

Figure 3.52 Bonding wire lumped transmission impedance of calculation results

单端线 GSSGSSGSSG 模型相对 GSSG 模型传输阻抗更小, 更接近归一化阻抗, 差分阻抗非常接近, 主要取决于 SS 参数。通过提参分析验证了横纵参数分

析所得到的结论。如果键合线高为 $50\mu\text{m}$ ，传输长度 l 大致为 $3080\mu\text{m}$ 。结合 2.3 的理论可知，可勉强分辨该传输结构的上升时间 t 约为 40ps 不到：

$$t = \frac{2\sqrt{\epsilon_r}}{c}l \approx 40\text{ps} \quad \dots (3.23)$$

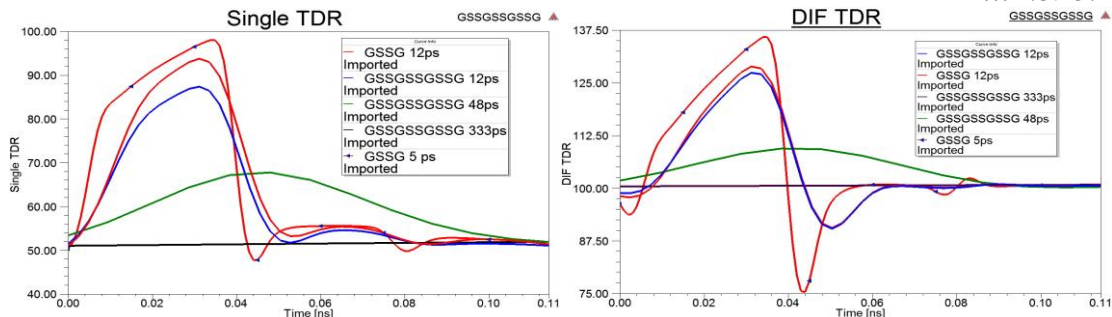


图 3.53 不同上升沿激励 TDR 结果

Figure 3.53 TDR results excited by different rising edges

不断地提升键合传输线的带宽从而减小信号 TDR 激励的上升时间，随着上升时间的缩短，信号感受阻抗越来越敏感，进一步验证 Q3D 集总传输阻抗的计算结果。随着键合线的扇出 GS、SS 距离的增大，传输阻抗在不断增大。对于 SiP 本身精密尺寸的和相对窄带宽要求而言，无法完全感受键合线传输阻抗。

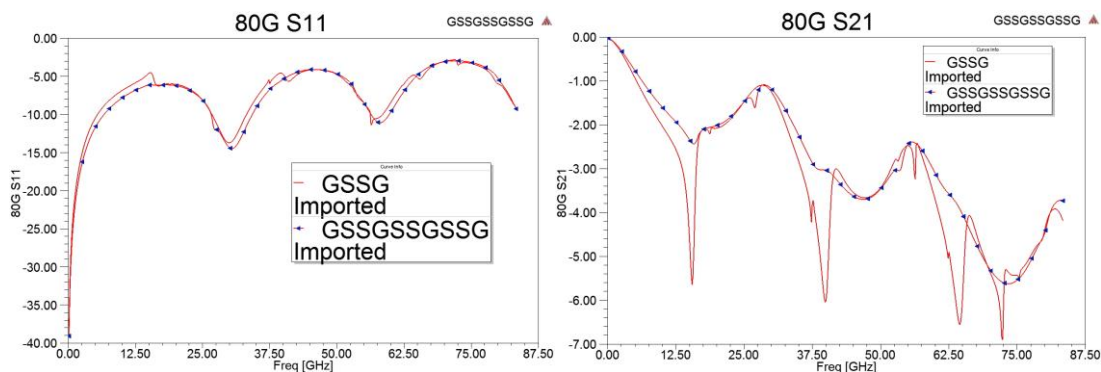


图 3.54 80GHz 单端键合线 S 参数结果

Figure 3.54 80GHz single bonding wire S parameter result

尽管在带宽内没有感受到完全的传输阻抗，相对匹配回路完整的结构会有更好的传输性能，不论键合线平面走线差分单端等任意类型，GSSGSSGSSG 模型更多的地回路可以更好地减少谐振带来的模式转换及能量泄露的影响：

$$\tau_d = \frac{1}{v_p} \approx \frac{1}{2\Delta f} \Rightarrow \Delta f \approx 25\text{GHz} \quad \dots (3.24)$$

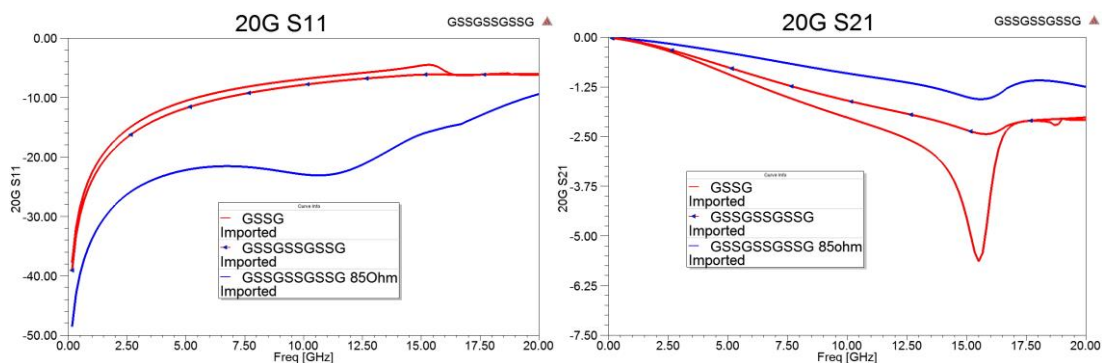


图 3.55 20GHz 单端键合线归一化阻抗 85 欧姆 S 参数对比结果

Figure 3.55 Comparison results of normalized impedance 85 ohm S parameter of 20GHz single end bonding wire

针对计算的集总传输阻抗提高端口归一化阻抗,可以较明显地看出在 20GHz 内调高端接阻抗信号质量得到了很好的改善。由于很难有成本较高速率较快相对介电常数较小的材质,对于键合线之后的走线阻抗较难做得很高。

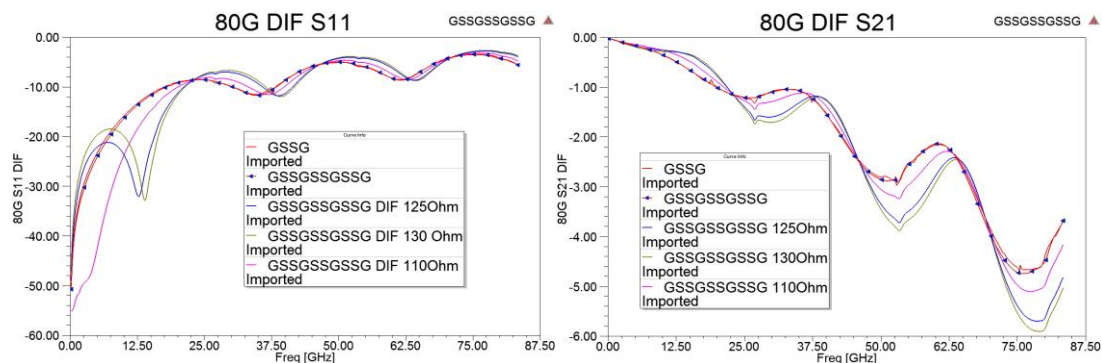


图 3.56 80GHz 差分键合线不同端接阻抗 S 参数对比结果

Figure 3.56 Comparison results of S parameters of different terminal impedance of 80GHz differential bonding wire

50 欧姆端接阻抗是可设计和可制造的权衡,但从中可以知道通过适当调整键合线端接阻抗可以最简单地提供键合线较高频信号的传输可能性,随着键合线长度和带宽的提高,对于本身传输路径均衡性的要求将越来越高,调整端接阻抗对于 SI 也失去了改善作用,若有足够的空间可以在表层采用短截线补偿所需频段等方式改善。

表 3.6 GSSGSSGSSG 模型 3GHz 传输阻抗（欧姆）随线宽及高度变化

Table 3.6 3GHz transmission impedance (ohms) varying with line width and height of GSSGSSGSSG model

	0.8mil	50μm	100μm	150μm	200μm
单端有损阻抗		98.9	99.1	104.6	108.6
单端理想阻抗		99.0	99.1	104.7	108.6
差分有损阻抗		117.6	117.6	124.5	129.2
差分理想阻抗		116.5	116.5	123.2	127.9
	50μm	0.9mil	1.0mil	1.1mil	1.2mil
单端有损阻抗		95.0	91.3	87.8	84.7
单端理想阻抗		95.1	91.5	88.0	84.9
差分有损阻抗		110.7	104.3	98.5	93.1
差分理想阻抗		109.8	103.4	97.7	92.5

表 3.7 GSGSGSG 模型 3GHz 传输阻抗（欧姆）随线宽及高度变化

Table 3.7 3GHz transmission impedance (ohms) varying with line width and height of GSGSGSG model

	0.8mil	50μm	100μm	150μm	200μm
单端有损阻抗		82.9	83.0	87.6	90.3
单端理想阻抗		82.8	82.9	87.4	90.7
	50μm	0.9mil	1.0mil	1.1mil	1.2mil
单端有损阻抗		78.6	74.6	71.0	67.7
单端理想阻抗		78.5	74.6	71.0	67.7

通过以上表 3.6 及 3.7 可知传输阻抗将随着线弧高度的增加而增加，随线宽增大而减小，分别是由于增大了与表层地回路的间距提高传输阻抗，以及缩小 GS 间距从而增大了互容互感。通过该传输阻抗与归一化阻抗的失配程度可以预计各种线弧情况信号传输质量的对比。

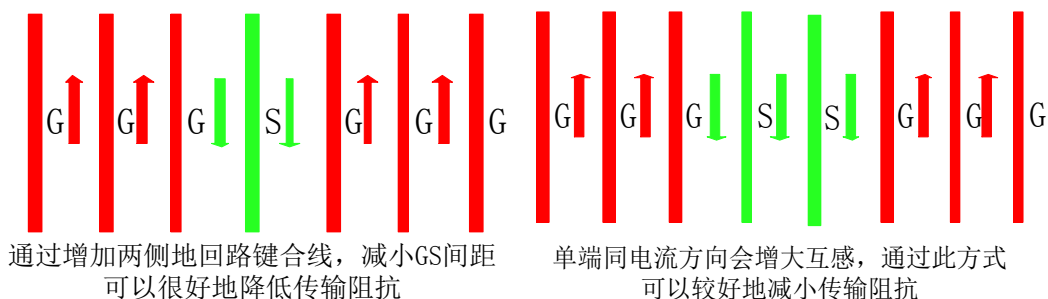


图 3.57 源端键合线优化设计结论

Figure 3.57 Source end bonding wire optimization design conclusion

实际设计不涉及此类情况这里直接阐述仿真分析的延伸结论,通过上图左侧的方式可以较为高效的减小传输阻抗,对于单端信号传输阻抗最重要的因子是GS间距与回路完整性,影响差分传输阻抗最重要的因子是SS间距,采用右侧是最好的方式。

3.2.6 系统级互连验证与电源完整性预估

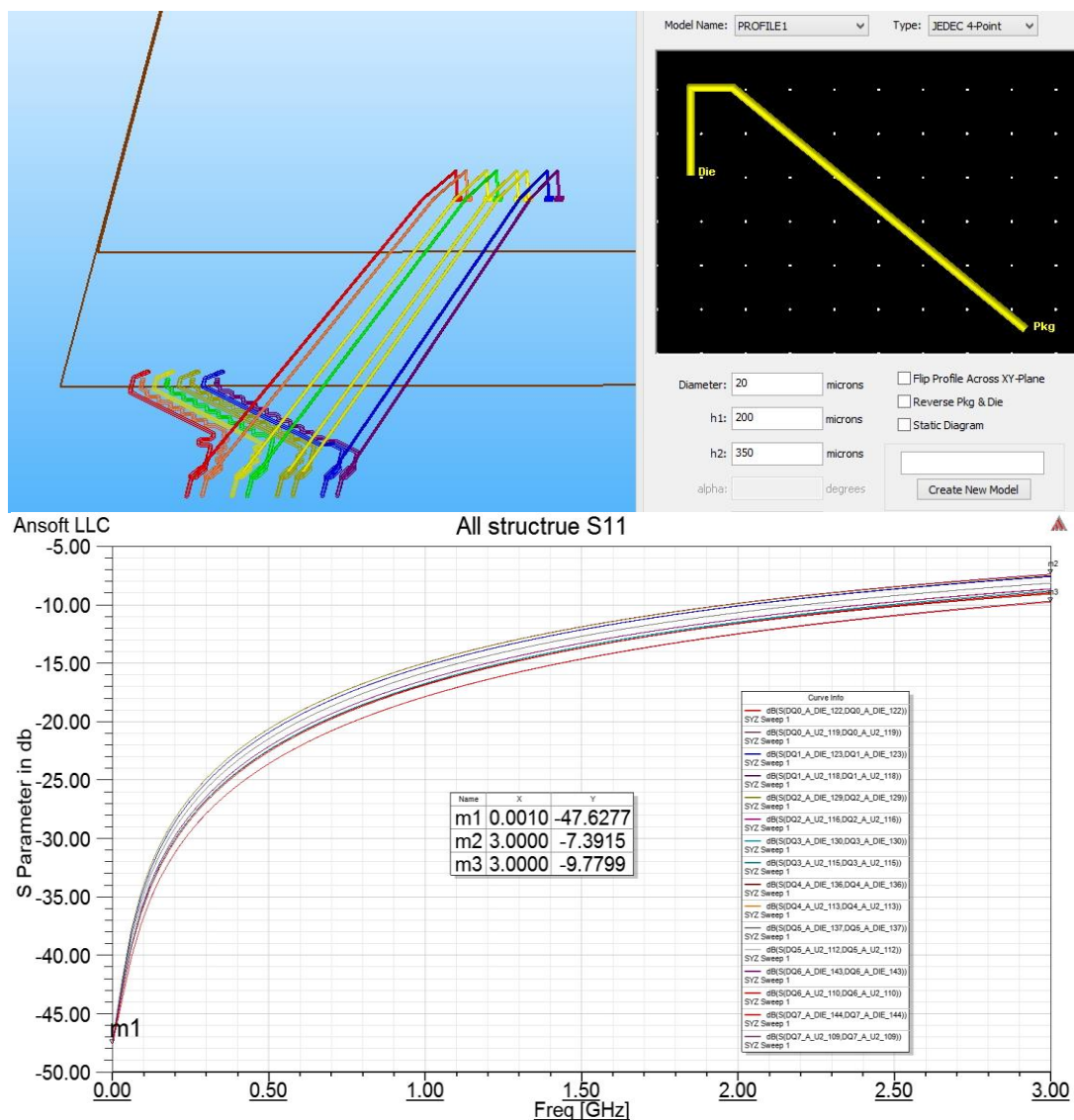


图 3.58 数据链路 1 系统级互连全结构 DQ 信号模型与 S11 仿真结果

Figure 3.58 Data group 1 system level interconnection, full structure DQ signal model and S11 simulation results

基于上述结论尽可能采用最小设计间距长度对全系统互连数据链路进行设计,这里查看数据链路 1 结果,采用板级 SIwave 工具与 HFSS 共享相同的介质

模型与键合线模型，由以上分析差分键合线质量甚至相对表层走线更好，这里只考察单端系统互连信号质量。

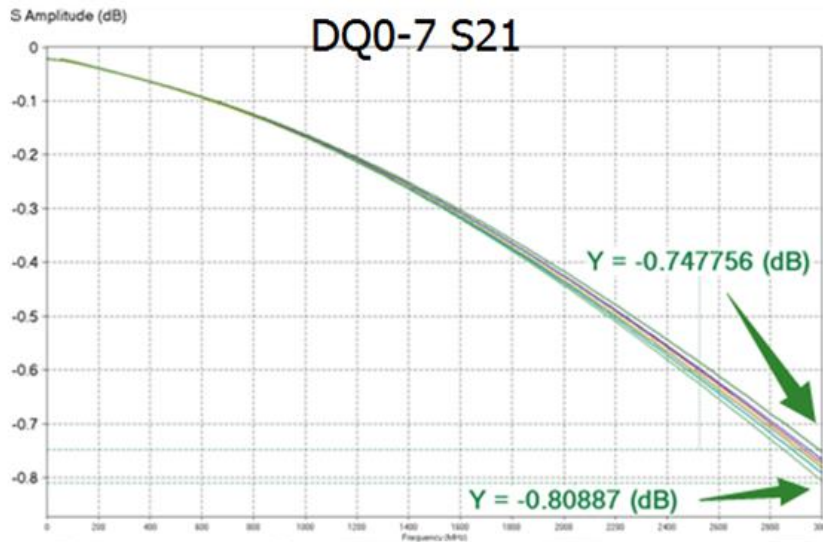


图 3.59 数据链路 1 DQ 纯表层走线 S21 仿真结果

Figure 3.59 Data group 1 DQ only surface routing line S21 simulation results

级联性相同归一化参考阻抗的 S 参数插入损耗和串扰可以通过简单的相加 S_{dB} 值计算，全结构键合线和表面走线存在微弱的耦合，实际键合线的传输结构根据扇出互连情况没有 HFSS 中的 GSSGSSGSSG 模型那么理想，采用 $200\mu\text{m}$ 高度预计最大后期工艺调整情况。

表 3.8 各传输结构单端插入损耗与反射损耗

Table 3.8 Single end insertion and reflection loss of each transmission structures

传输结构类型	S11 (0.01GHz)	S11 (3GHz)	S21 (0.01GHz)	S21 (3GHz)
GSSGSSGSSG 理想键合 线结构弧高 $50\text{-}200\mu\text{m}$	-51.7	-15.2~-13.39	-0.025	-0.4~-0.48
纯表层走线结构 (DQ0-DQ7)	-52.0	-11.0~-9.0	-0.02	-0.75~-0.81
系统互连全结构 (DQ0-DQ7)	-47.5	-7.5~-9.8	-0.05	-0.85~-1.49

在该 SiP 中，最终高堆叠键合线设计对损耗低于最短的表层蛇形走线（相对键合线匹配，传输时延高于键合线）。因为信号已完成全部互连，不需要像 SoC 输出的高速差分线满足同样的要求。反射损耗低于 -10dB ，插入损耗高于 -3dB 即

可，实际设计系统级互连部分的信号质量全部在此范围左右，采用上述的键合线优化策略进行设计是可行的。

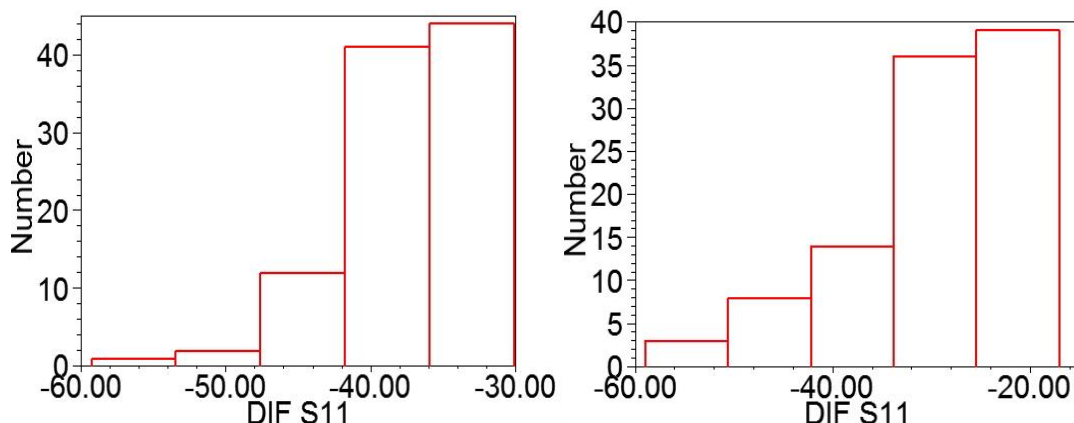


图 3.60 差分回波损耗 3GHz 线高线宽 10%工艺容差高斯分布统计结果

Figure 3.60 3GHz differential signal return loss Gauss distribution statistical results in 10% process tolerance of bonding wire height and width

以上的键合线信号完整性分析全部是建立在标准成型的基础上，实际工艺误差对键合线电气性能有较大的影响。传统仿真测试模型本身的尺寸较大，键合传输线所处的环境也是空气中。随着工艺的进步，保证键合线塑封后的成型与电气环境，更精密的尺度、更完整的参考回路、更合理的芯片焊盘分布设计、使用高介电常数低损耗的材料或调整端接较高的归一化阻抗可以在较高带宽处更自由地使用高密度低成本键合线技术进行设计。

表 3.9 铜键合线纵向距离 3000μm 直流电阻 (mOhm)

Table 3.9 Copper bonding wire longitudinal distance 3000 μm DC resistance (mOhm)

线宽 (mil) \ 高度(μm)	0.8	0.9	1.0	1.1	1.2
50	194.5	153.3	124.0	102.2	85.8
100	198.6	156.6	126.7	104.4	87.6
150	202.7	160.0	129.3	106.7	89.5
200	206.7	163.1	132.0	108.9	91.3

通过对高堆叠键合线过高传输阻抗的分析可以预计对于该 SiP 设计而言，最关键的影响在于对电源完整性的破坏。如果采用金键合线，可以通过乘以铜电导率与金电导率的比值估算。金 σ_{gold} 的电导率为 $4.1 \times 10^7 \text{ S/m}$ ，铜的电导率 σ_{copper} 为 $5.8 \times 10^7 \text{ S/m}$ 。需要通过键合线的最大供电直流电流为 800mA，DDR 线上总共有

28 个 VDDQ 焊盘，若 N 为 28，则估算金键合线在最高线高最窄线宽情况下的直流压降为：

$$V_{\text{IRdrop}} = I_{\text{DC}} \times \frac{R_{\text{DC}}}{N} \times \frac{\sigma_{\text{copper}}}{\sigma_{\text{gold}}} \approx 8.25\text{mV} \quad \dots (3.25)$$

表 3.10 铜键合线纵向距离 3000μm GSSPSSG 100MHz 回路电感 (nH)

Table 3.10 100MHz copper bonding wire longitudinal distance 3000μm loop inductance of GSSPSSG model(nH)

线宽 (mil) \ 高度(μm)	0.8	0.9	1.0	1.1	1.2
50	3.16	3.08	3.00	2.93	2.87
100	3.23	3.14	3.06	2.99	2.92
150	3.30	3.20	3.13	3.05	2.98
200	3.36	3.27	3.19	3.11	3.04

估算 100MHz 时单根线弧高度 200μm 线宽 0.8mil 的键合线回路感抗 Z_L ：

$$Z_L = 2\pi f L_{\text{wirebond}} \approx 2.11\Omega \quad \dots (3.26)$$

DDR 线上总共有 28 个 VDDQ 焊盘，N 为 28：

$$Z_{\text{total}} = \frac{Z_{f=100\text{MHz}}}{N} = 75.4\text{m}\Omega \quad \dots (3.27)$$

实际 DDR 供电电压 V_{supply} 为 1.2V，最大供电电流 I_{supply} 为 800mA，如果最恶劣情况下作用在 100MHz 时为一半。则 100MHz 时可能产生的压降为：

$$Z_{\text{total}} \times I_{\text{supply}} \times 50\% \approx 30.1\text{mV} > V_{\text{supply}} \times 2.5\% \quad \dots (3.28)$$

实际采用紧耦合的仿真排布键合线最重要的是增强与参考回路间的互感以减少回路电感。在高精度仿真器中金相对磁导率在小数点后 6 位比铜的略高，在寄生电感上略大可以忽略，主要是在直流上电阻相对较大。金和铜在信号传输能力上几乎没有差异，金线甚至更好^[47-50]，为了以后可能的工艺调整，后仿真验证均考虑了最恶劣的情况，金键合线相对铜键合线在工艺上更成熟成本更高，更细的线宽可以让更小尺寸的焊面可靠性更高。

由上述设计前期的建模仿真估算与验证可知，高堆叠键合线中采用紧耦合短纵向设计在最大的可能上减少传输阻抗不仅是为了提高信号质量，更多的是为了改善电源特性。

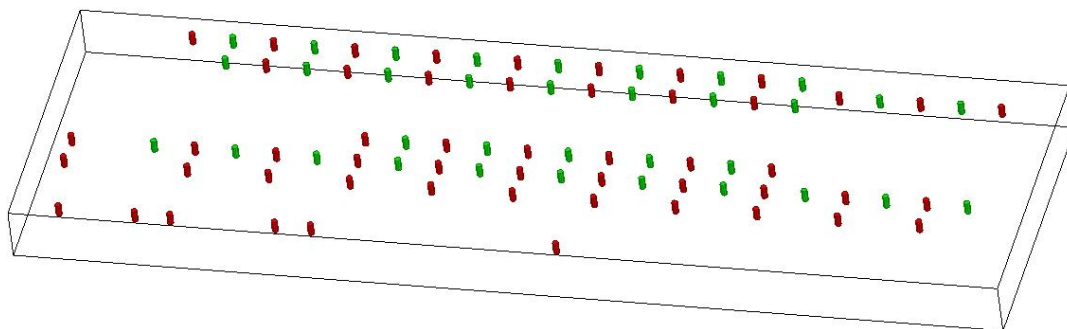


图 3.61 倒装 SoC 芯片 VDDQ 及相邻地铜柱模型

Figure 3.61 Flip chip SoC chip VDDQ and adjacent ground bump model

以上采用键合线供电的是上层堆叠 DDR 芯片，前仿真阶段对比下层采用相同电源 VDDQ 供电的焊盘固定的 SoC 芯片，模型参数 h_{bump} 等采用表 3.1 与 3.2，铜柱 bump 简化圆柱半径尺寸 r 为 $11.5\mu\text{m}$ ，包含 N_{power} 34 个电源 bump 与 N_{ground} 52 个相邻的地 bump，仿真所得回路直流电阻为 $0.117\text{m}\Omega$ ，回路电感为 0.76pH ，均远小于键合线寄生参数。

$$R_{\text{DCSoC}} = \frac{h_{\text{bump}}}{\pi r^2 \sigma_{\text{copper}}} \times \left(\frac{1}{N_{\text{power}}} + \frac{1}{N_{\text{ground}}} \right) \approx 0.11\text{m}\Omega \quad \dots (3.29)$$

式 (3.29) 为 SoC 铜柱直流电阻估算，结合式 (3.25) 与 (3.26) 推算单纯倒装 bump 所产生的直流压降与 100MHz 时的交流回路阻抗分别为 0.09mV 与 $0.477\text{m}\Omega$ ，相对于高堆叠键合线结构其对信号及电源方面的影响完全可以忽略。

3.3 本章小结

本章在设计初期通过前仿真设计建模对该 SiP 涉及的关键结构的 SI 优化分析、PI 预估等进行了详细的阐述：主要包括利用 HFSS 全波仿真器解决的 SoC 高速差分线匹配优化问题以及高堆叠键合线模型传输性能分析。这里通过对该 SiP 工艺结构限定下各因子的影响能力及提参分析结论引出后续章节中 PI 的分析、SiP 整体的设计互连方案的规划以及系统后仿真验证。

第四章 SiP 中的电源完整性分析与系统后仿真验证

本章结合第三章对 SiP 中关键信号结构的前仿真分析优化结论对 SiP 整体结合前人研究结论进行设计, 在 4.1 前仿真阶段采用目标阻抗法分析各个主电源模块的交直流特性, 对比 SoC 单芯片封装结果说明 SiP 电源网络设计的可行性, 同时对比采用键合线供电的 DDR 芯片电源及倒装供电的 SoC 电源 VDDQ, 验证 3.2 中对高堆叠键合线的提参估算结果; 4.2 中总结两芯片的系统互连优化方案, 联合各行为级模型系统后仿真验证并行总线眼图质量, 讨论电镀线工艺残桩对信号质量的影响, 结合 SI/PI 协同仿真进一步对比考察键合线供电电源驱动全链路的时域特性验证前后仿真的一致性, 在检验通过的基础上给出工艺调整上的再优化方向。

4.1 SiP 中的电源完整性分析

广义上讲, 电源完整性是信号完整性的分支, 信号网络设计在于使传输阻抗均衡匹配, 电源网络设计在于使其在各个所需频段传输阻抗尽可能小^[53], 均期望减小全网络间不必要的耦合作用与各种损耗。所构成的电源分配网络 (Power Distribution Network, PDN) 是系统中最复杂的互连结构, 所有器件都直接或间接地连接到电源网络上, 这使得 PI 设计成为影响系统性能的重要因素^[56]。由于电源地走线、去耦电容等构成的 PDN 存在各种寄生参数阻抗不为 0, 使得实际电源地电压相对理想恒定直流供电呈波动特性, 提供的工作电流途径 PDN 会造成一定的直流压降 (IR-Drop) 和瞬态噪声 (AC Noise)。AC 噪声幅度由瞬态电流变化率及回路阻抗决定, 当芯片 CMOS I/O 开关同时作用时会产生同步开关噪声 (Simultaneous Swith Noise, SSN), I/O 数目 N 越多开关速度越快, 即上升时间越短, 电流变化越剧烈会造成更大的 SSN。若供电回路电感为 L_{loop} , SSN 同步开关噪声与总的电源噪声为:

$$V_{noise} = V_{DC} + V_{AC} = I_{f=0} R_{DCloop} + N \cdot L_{loop} \frac{di}{dt} = I(f)Z(f) \quad \dots (4.1)$$

电源噪声本质是个时域事件只能在时域中观察, 负载端能观察到的最大噪声幅度包括直流部分的 IR-drop (V_{DC}) 和交流部分的 di 上升时间产生的变化噪声

V_{AC} 。由于难以提取时域中电流的特征，初始 PDN 分析和设计采用频域的方法。通过观测频域中的阻抗 $Z(f)$ 有效地考察噪声电压，最常用的预估方法为比较目标阻抗 Z_{target} ：

$$Z_{target} = \frac{V_{supply} \times ripple\%}{I_{transient}} = \frac{V_{supply} \times 5\%}{I_{max} \times (30\% \text{ or } 50\%)} \geq Z(f) = Z_{11} \quad \dots (4.2)$$

表 4.1 主要电源网络目标阻抗

Table 4.1 Main power network target impedance

VRM 供电电源	VDDCPU	VDDGPU	VDDMAIN	VDDQ
工作电压 V_{supply}	1.1V	1.1V	0.9V	1.2V
最大工作电流 I_{max}	2.3A	1.5A	1.5A	800mA
典型目标阻抗	79.7mohm	122.2mohm	100mohm	250mohm
保守目标阻抗	47.8mohm	73.3mohm	60mohm	150mohm

Z_{11} 为自阻抗，期望所需频带内低于目标阻抗。产品的供电电压调节模块（Voltage Regulator Module, VRM）为直流-直流（DC-DC）转换电路，对负载电压的检测和调整需要时间，仅能对千赫兹级别提供低阻通路。至 100kHz 前需要板级大电容提供去耦，高频时取决于芯片上具有最低的回路电感和容值小结电容，在最高频率 GHz 以上时提供最低阻抗。论文中讨论的 SiP PDN 阻抗设计需要解决的频带范围为封装级别的 100kHz~100MHz，原 SoC 单芯片和 SiP 高密度设计都没有空间添加电容，交流阻抗分析假定 100kHz 前已经为电源提供了良好的低阻通路。

表 4.2 SiP 电源完整性分析流程

Table 4.2 SiP power integrity analysis process

分析方法	分析重点	说明
频域分析	交流阻抗	检查各电源地面集总及分布自阻抗
直流分析	直流压降	检查各电源网络器件压降
时域分析	电源噪声电压	系统级仿真考察伪随机码下 SSN 情况

表 4.2 是该 SiP 电源完整性分析流程。开关数目和上升时间由芯片设计人员而定，PDN 设计核心在于控制回路电感造成的回路阻抗。电源部分分别考察两芯片各个电源交流阻抗与直流压降，最终结合系统级后仿真，考察两芯片时域 SSN 结果。

4.1.1 交流阻抗分析

交流电阻提取 Z_{11} 参数分析，对于电磁场仿真器来说都可以通过 S 参数转化。研究封装物理结构本身随频率变化的特性与激励无关，同 SI 的分析方法类似，采用网络分析法。

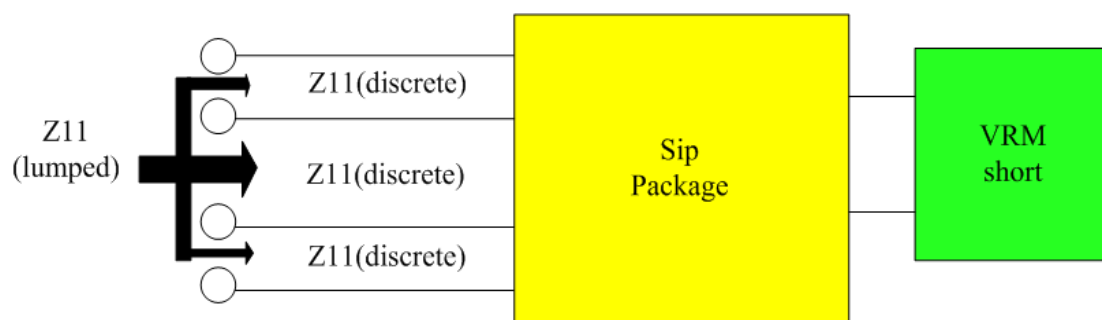


图 4.1 Z 参数仿真端口示意图

Figure 4.1 Z parameter simulation port diagram

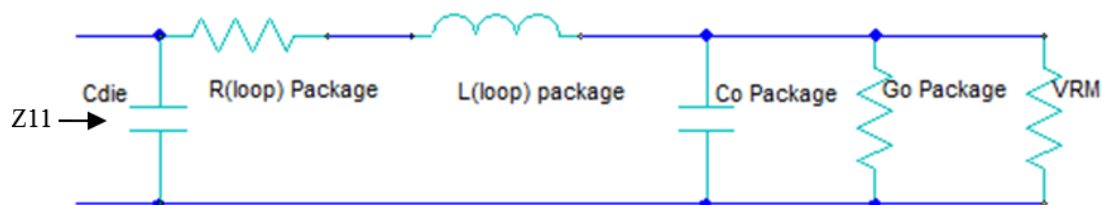


图 4.2 Z 参数仿真 SiP 电路示意图

Figure 4.2 Z parameter simulation SiP circuit diagram

图 4.1 是 Z 参数仿真端口示意图，实际的 VRM 供电模块存在图 4.2 所示的 0.1mohm 串联寄生电阻， C_{die} 为各芯片器件内部的小容量去耦电容用以减小高频 Z_{11} 。其中 VDDCPU、VDDGPU、VDDMAIN 单纯为 SoC 供电，VDDQ 即为键合 DDR 芯片供电同时为 SoC 芯片供电。对以上 4 个主电源模块进行集总端口仿真，VDDQ 电源区分 SoC 集总端口与 DDR 集总端口端，仿真均采用最高线弧、最小线宽的金键合线是为了可能工艺调整做最坏预估。尽可能合理地控制分配各

电源网络模块整体的回路电感 $L_{(loop)package}$ ，增大地电面积提高 $C_{0Package}$ 减少整体通路长度使得所需频段低于目标阻抗。

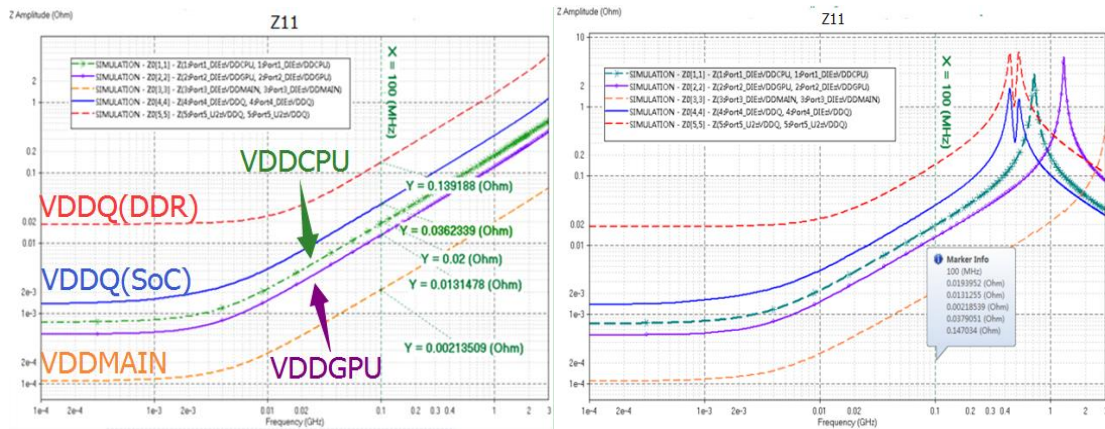


图 4.3 不含 Cdie 与包含 Cdie 的集总端口 Z11 结果

Figure 4.3 lumped port Z11 results with and without Cdie

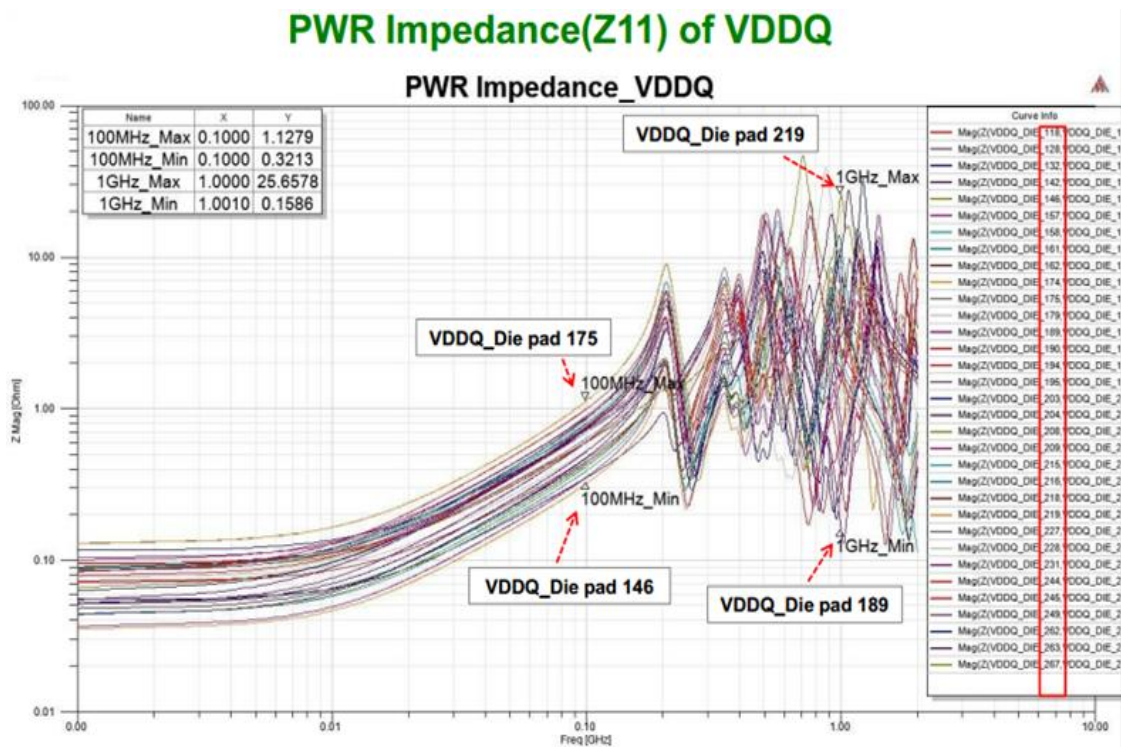


图 4.4 单芯片 SoC FCBGA 设计包含 Cdie 的 VDDQ 分立端口 Z11 结果

Figure 4.4 Single chip SoC FCBGA design with Cdie VDDQ discrete port Z11 results

表 4.3 100MHz 电源集总交流阻抗

Table 4.3 100MHz power lumped AC impedance

电源情况	VDDCPU	VDDGPU	VDDMAIN	VDDQ (SoC)	VDDQ (DDR)
Cdie 容值(pF)	1740pF	766pF	783pF	2046pF	500pF
Z_{11} 含 Cdie(毫欧)	19	13	2	38	147
Z_{11} 不含 Cdie (毫欧)	20	13	2	36	139
集总端口谐振点频率(GHz)	0.7	1.4	3+	0.5	0.5
FCBGA(SoC) 含 Cdie 分立 端口多谐振点频率 (GHz)	0.4	0.8	0.8		0.2

集总端口电源交流阻抗在 100MHz 时满足最保守的目标阻抗, 在芯片端设置 Cdie 后, 在 100MHz 以内对阻抗几乎没有影响, 但是可以大大降低高频电流分量的电源阻抗。VDDQ 的交流阻抗偏大, 尤其从 DDR 端看过去, 除了本身 VDDQ 相对于其它主电源在输入输出及布线区域上较少, 最主要的原因来自键合线的寄生电感。同时对比了芯片方提供的采用单芯片封装设计分立端口考虑 Cdie 的多谐振 Z_{11} , 同采用 SiP 自阻抗谐振初始频率顺序一致, 更加提前符合并联低阻通路规律。

为防止个别 I/O 信号端口的供电不良眼图出现问题, 检查每一个 I/O 电源端口实际供电的回路阻抗路径以避免个别端口 Z_{11} 过大, 设计关键在于使得每一个独立端口地电回路尽可能小并尽快完成整体互连与回路完整。对于分立端口而言, 合并管脚数越少、回路面积越大都会造成阻抗的增大。

表 4.4 100MHz 分立端口自阻抗分布范围

Table 4.4 100MHz discrete port self impedance distribution range

SiP	VDDCPU	VDDGPU	VDDMAIN	VDDQ(SoC)	VDDQ(DDR)
Z_{11min}	0.05	0.05	0.05	0.13	2.24
Z_{11max}	0.44	0.33	2.08	0.71	4.27
FCBGA (SoC)	VDDCPU	VDDGPU	VDDMAIN		VDDQ
Z_{11min}	0.12	0.09	0.09		0.32
Z_{11max}	0.54	0.67	2.33		1.13

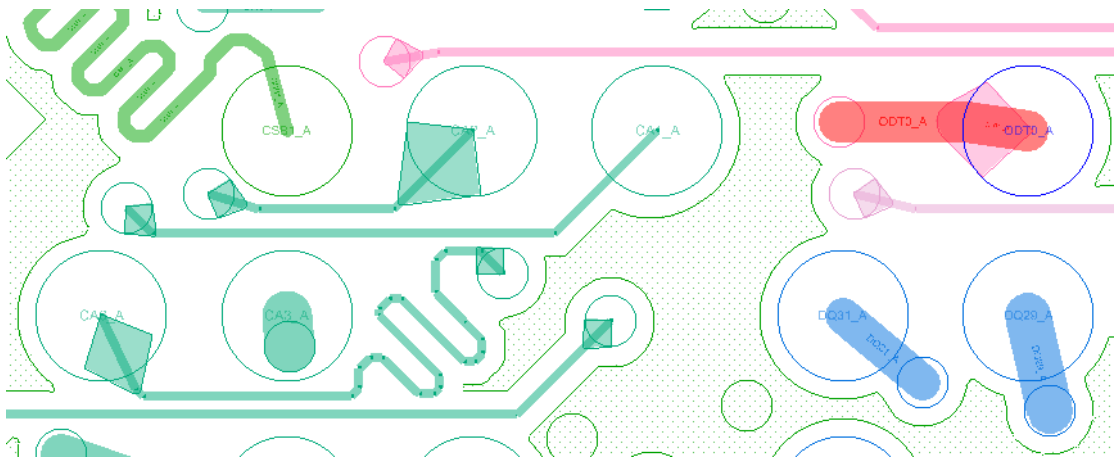


图 4.5 SoC 单芯片 DDR 互连信号 BGA 焊盘

Figure 4.5 SoC single chip DDR interconnect single BGA pad

表 4.4 列出了各个分立端口 Z_{11} 参数的范围，并给出同样基板大小已经合格投入生产的四层板 SoC 单芯片 FCBGA 封装仿真结果。SoC 单芯片封装引出的 DDR 芯片时序约束走线及 BGA 管脚占用了较多的面积，更多地电空间及引脚使得 SiP 电源性能更优异。结合表 4.1、4.2 和第三章键合线预估的计算结果查看 VDDQ (DDR) 的 Z_{11} 分布，对比验证了阻抗结果范围的可行性与键合线相对倒装可能造成的供电问题。

4.1.2 IRdrop 直流压降考察

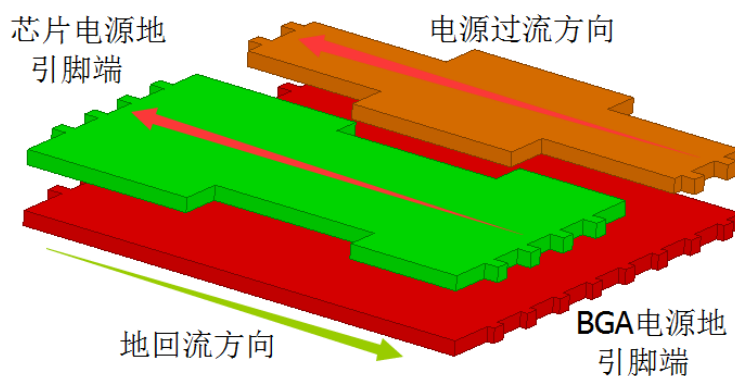


图 4.6 直流 IRdrop 原理图

Figure 4.6 DC IRdrop schematic diagram

图 4.8 是直流压降仿真原理，合理的直流设计是根据过流大小分配电源供电

的引脚并和器件电源引脚的比例保持一致，在封装设计时应保持导体电流路径在传播上均衡以避免过小的电阻，在可能地基础上尽量不绕线保持电源及地回流网络完整。若电源 1 的 VRM 在 BGA 端口 BGA 端口的供电电压为 V_{supply} ，供电电流为 I_{supply} ，供电电流需要经历电源部分电阻 R_{DCpower} 和地回流电阻 R_{DCground} ，直流回路电阻 R_{DCloop} 为：

$$IR_{\text{drop}} = R_{\text{DCloop}} = \frac{V_{\text{supply}}}{I_{\text{supply}}} = R_{\text{DCpower}} + R_{\text{DCground}} \quad \dots (4.3)$$

封装基板的互连线、平面都是均匀的导体平面层，为了计算其电阻可采用方块电阻的方式将平面和走线划分为很多方块电阻来表征，通过计算其中相同尺寸方块结构的电阻将数目相乘即可得到结构电阻值，对于同厚度宽的小微分正方块具有相等的阻值。实际产品设计中存在许多不规则挖空区域通过方块电阻计算会有精度的问题，论文在仿真 IR_{drop} 时使用 PowerDC，其可以对平面进行自适应网格划分来计算平面电阻以得到直流压降。PowerDC 是一款业界领先的直流压降仿真工具，可以针对低压大电流封装产品提供全面的直流分析。

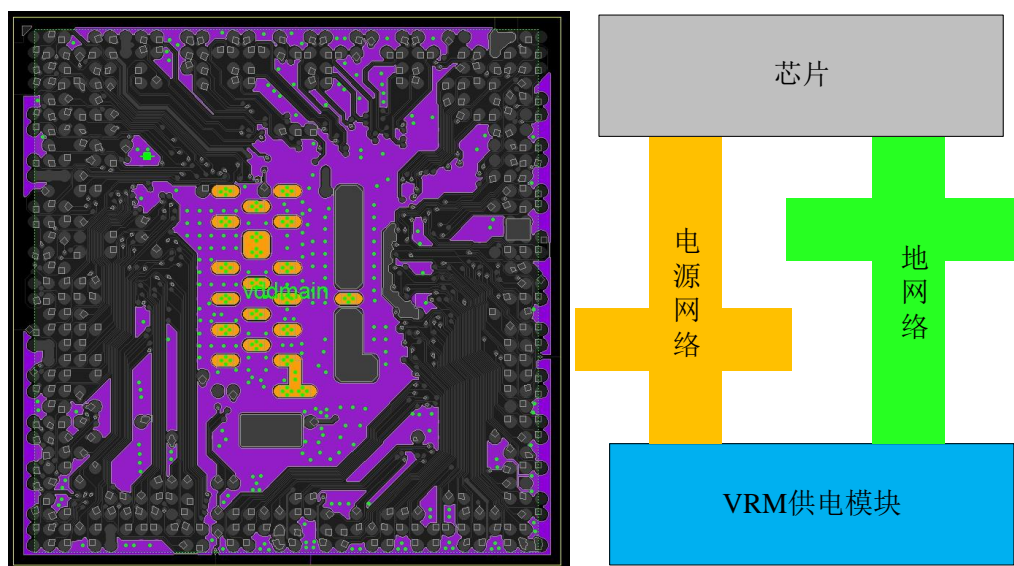


图 4.7 底层自添加 VRM 供电器件版图及原理示意图

Figure 4.7 Layout and principle diagram of bottom layer with VRM power device

图 4.7 为 IR_{drop} 仿真的原理示意图，因为没有总板信息较实际情况理想，直接对每一个电源 BGA 端口引脚施加 VRM 供电器件。

表 4.5 电源直流分析结果

Table 4.5 Power DC analysis result

电源	V_{supply} (V)	$I_{\text{supply max}}$ (A)	IRdrop(mV)	R_{DCloop} (mOhm)
VDDCPU	1.1	2.3	0.8	0.348
VDDMAIN	0.9	1.5	0.3	0.2
VDDGPU	1.1	1.5	0.5	0.333
VDDQ(SoC)	1.2	0.8	1.0	1.25
VDDQ(DDR)	1.2	0.8	14.7	18.375

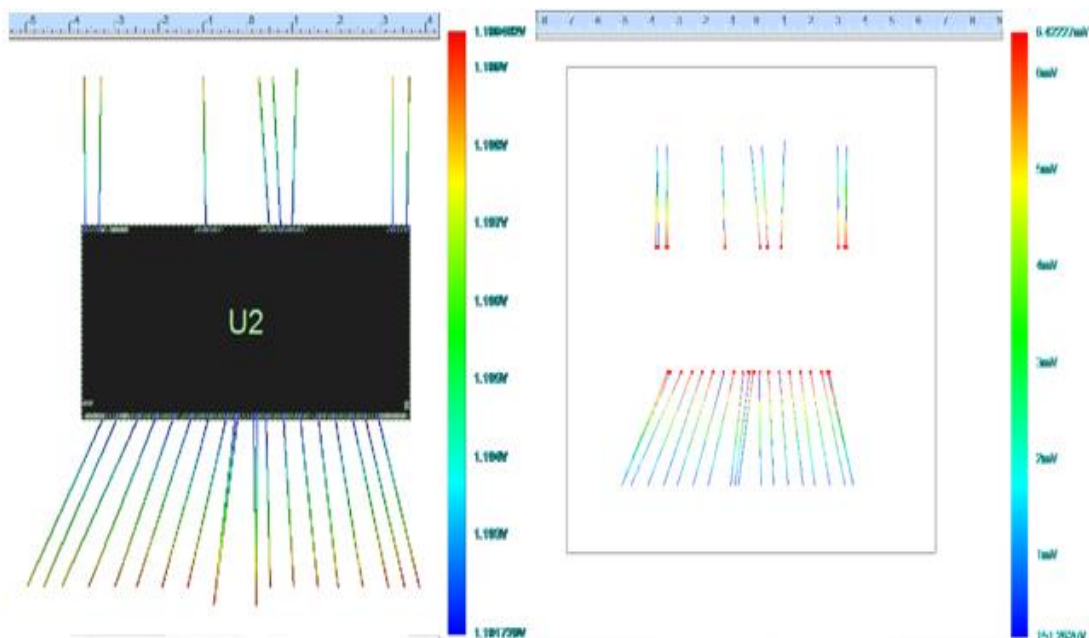


图 4.8 DDR 电源与地键合线分压

Figure 4.8 DDR power and ground bonding wire pressure

从图 4.8 中可看到键合线回路 IRdrop 压降 14.7mV，电源金键合线的压降有 8.3mv 左右，地键合线的压降有 6.4mV，与第三章的预估相仿。限定电压降阈值为 1% 时只有 DDR 端口的供电略微超过。如果按目标阻抗 Z_{target} 的标准考察四个主电源，集总端口 Z11 上只有 VDDQ(DDR) 接近保守预估目标阻抗。

4.2 源同步时钟系统互连分析验证

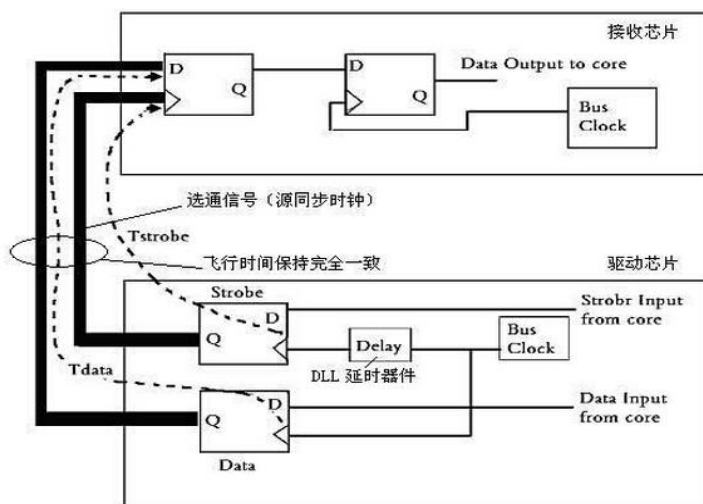


图 4.9 源同步时钟系统示意图

Figure 4.9 Source synchronous clock system diagram

针对共同时钟系统仅存在一个时钟的弊端，人们设计了一种新的源同步时序系统。可以大大提升总线速度，在理论上信号的传送可以不受限于总时钟传输延迟。源同步时钟系统中保证同链路信号与其参考时钟信号飞行时间一致，就能保证其同步传输特性系统时序的正确性，并行信号系统在最高时钟频率处减少了限制。

表 4.6 源同步系统并行链路时序长度约束关系及最终设计最大差值

Table 4.6 Source synchronous clock system Parallel link timing, length constraint relation and final design maximum difference

总线类型	时序参考	判断边沿类型	并行信号	表层最大长度差值/ 链路传输时间范围
数据链路 1	DQS0N/P	上升及下降双边	DQ0-7 DM0	100μm/15-16ps
数据链路 2	DQS1N/P	上升及下降双边	DQ8-15 DM1	176μm/18-19ps
总线类型	时序参考	判断边沿类型	并行信号	表层最大长度差值/ 链路传输时间范围
数据链路 3	DQS2N/P	上升及下降双边	DQ16-23 DM2	100μm/26-27ps
数据链路 4	DQS3N/P	上升及下降双边	DQ24-31 DM3	100μm/34ps
地址链路	CKN/P	上升沿单边	CA0-9, CKE 等	1823μm/182-195ps

数据链路 DDR finger 焊盘位置整体距离 SoC 整体距离焊盘位置相对地址链路较近，这是考虑到数据速率较地址速率高一倍设计 DDR 焊盘优先排在更近接收端一侧的结果。地址线最大差值 l_{\max} 在 $1823\mu\text{m}$ ，结合表 3.1 假设封装基板在所需带宽的最大有效介电常数 $\epsilon_{r\max}$ 为 4。通过相速计算最大的传播延迟差值 τ_{\max} 为：

$$\tau_{\max} = \frac{l_{\max}}{v_{p\min}} = \frac{l_{\max}}{\frac{c}{\sqrt{\epsilon_{r\max}}}} < 12.2\text{ps} \quad \dots (4.4)$$

地址线的上升时间大于 300ps ，大于最大传播延迟差值的 24 倍，结合键合线及 TDR 等的理论分析，相对于传统 PCB 系统传播距离短，延迟差值可以保持在很好的范围内，在眼图分析上地址线因此有一定的影响但集成度和质量上高于 PCB 系统。DDR 供应商建议群组线内部差值小于 $3000\mu\text{m}$ ，其它产品设计在采用该 DDR 的走线差距甚至在 $14000\mu\text{m}$ ，Intel 等一些大芯片厂家对 DDR 数据链路组最严格的要求在 $\pm 25\text{mil}$ ，地址链路相对宽松可以几百 mil 内。越小的差值会实现更好的时序容限 (timing margin)，该设计走线差值在延迟上完全满足基本条件。

4.2.1 系统互连布线方案与设计优化

SiP 采用的封装基板选择和原有单芯片 SoC FCBGA 相同的 4 层封装基板上，相对于原设计布线压力更重，在全部网络互连完成的基础上尽可能满足并行总线的时序长度以及匹配要求，同时在信号层及电源层为电源预留一定过流面积。除 3.1 高速差分信号其余的 SoC 扇出信号均是尽可能满足阻抗匹配，其中单端线采用最小设计规则，尽量减小耦合长度；主要通过电源层解决交错问题，尽可能采用最小的传输路径以保持信号完整性。

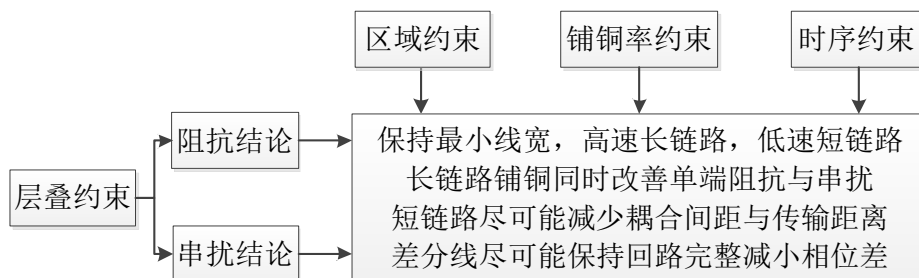


图 4.10 系统互连方案概述

Figure 4.10 System interconnection scheme summary

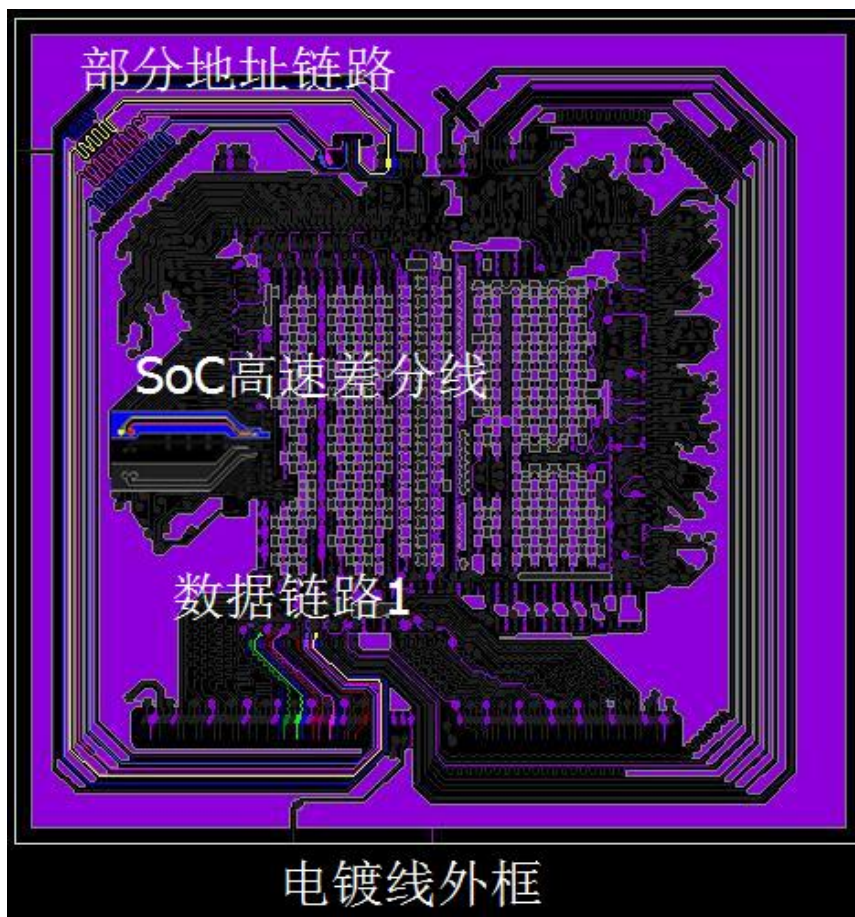


图 4.11 最终部分链路表层设计版图

Figure 4.11 Final partial groups surface design layout

结合第三章结论与约束蛇形线尽可能减少最小间距下的耦合长度减少串扰^[54]。单端线相对差分线更易收到干扰，全部先以单端线在表层完成系统级互连为准，最终只有 DQS3 差分线没有空间通过电源层绕线，其余系统级互连线全部在表层完成，过孔产生的实际长度要更加严格地控制时序^[55]。其余 SoC 信号及电源包括 DDR 电源在表层都尽可能直接打孔在电源层与底层信号层走线。低速长链路通过线间铺铜以改善串扰与阻抗特性，铺铜末端不接地同样可以达到良好的效果^[56-58]。尽可能在所加地回路上多加过孔高效地引导和隔离，减少高密度布线模式转换引起的潜在 S 参数谐振能量泄露、串扰辐射等问题，同时改善 SI 和 PI 特性。

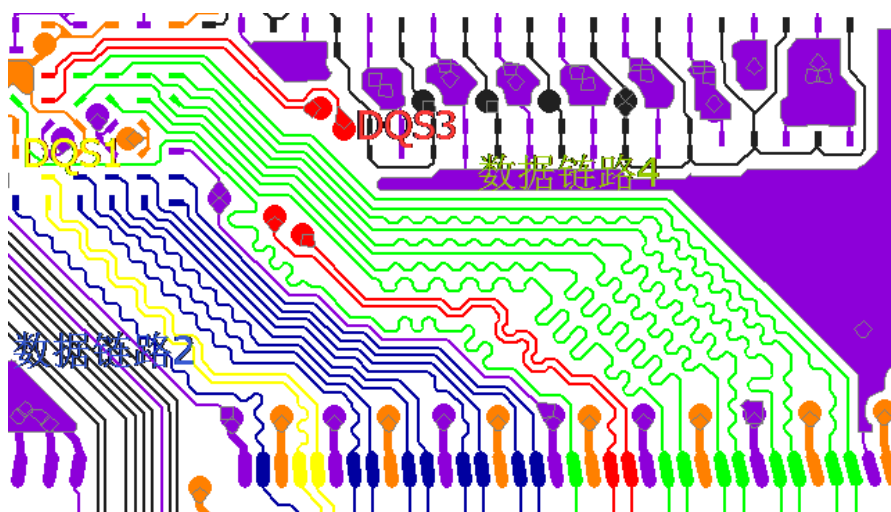


图 4.12 数据链路 2 与 4 布线版图，紫色为地网络，橙色为 VDDQ

Figure 4.12 Data group 2 and 4 layout, purple is ground network, orange is VDDQ power

图 4.12 是采用 3.2 优化结论的紧耦合短距系统数据链路 2 和 4，结合 3.1 分析为解决高密度互连交错问题优先提高抗干扰能力更强的差分线传输阻抗。其中 DQS3 差分线采用电源层打孔绕线的方式，尽可能保持短小与回路完整，同时控制时序。

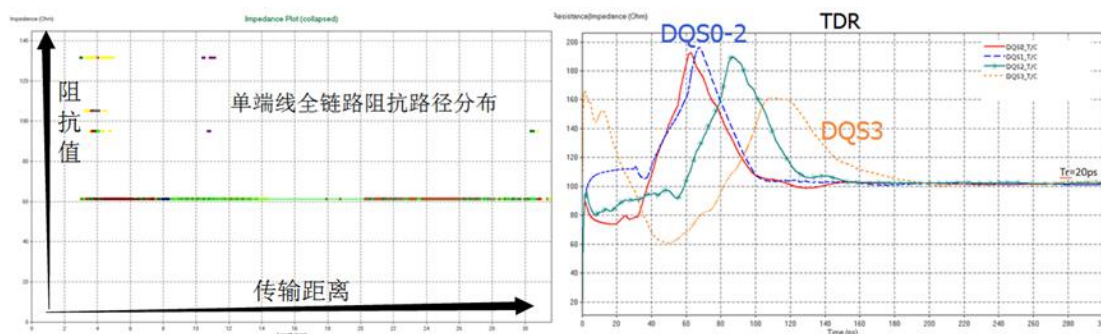


图 4.13 基板低频单端阻抗与 DQS0-3 20ps TDR 结果

Figure 4.13 Low frequency substrate single ended impedance and DQS0-3 20ps TDR results

图 4.13 是全链路单端线低频统计估算结果，分布基本均匀，部分阻抗突变部分控制的很短几乎没有影响，尽可能保证了地平面的完整。差分线除了保持短小相位时序无法进行更多设计优化，相对 DQS0-DQS2，DQS3 为了回避交错绕线波动更频繁。

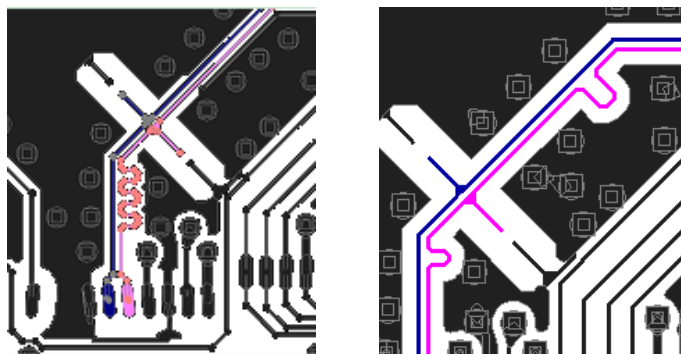


图 4.14 时钟长程差分线分布等长控制设计优化

Figure 4.14 Clock long differential signal equal length control design optimization



图 4.15 差分线&单端线 GS 间距控制优化

Figure 4.15 Difference & single signal GS spacing control optimization

采用图 4.14 从左至右的方式可以很好地减少差分蛇形线耦合间距可以控制共模噪声、辐射与传输时延误差^[59-62]，同时采用图 4.15 的方式尽可能调整导体间距使得相对失配率更小传输性能更佳。

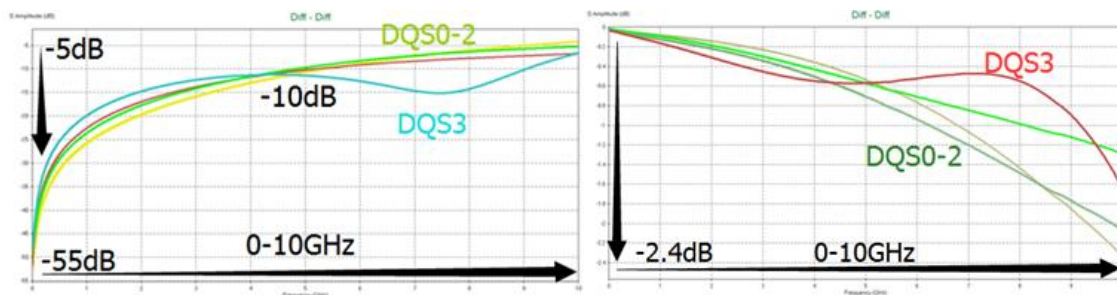


图 4.16 DQS0-3 最终 10GHz 带宽 S11 与 S21

Figure 4.16 Final DQS0-3 10GHz bandwidth S11 and S21

图 4.16 是 DQS0-3 最终优化的插损与回损，5GHz 之前都比较一致，利用

SiP 带来的传输距离短的优势进一步调整回路。为了更加准确地联合仿真，所有信号及电源地均采用 10GHz 带宽的行为信息。

4.2.2 系统互连分析

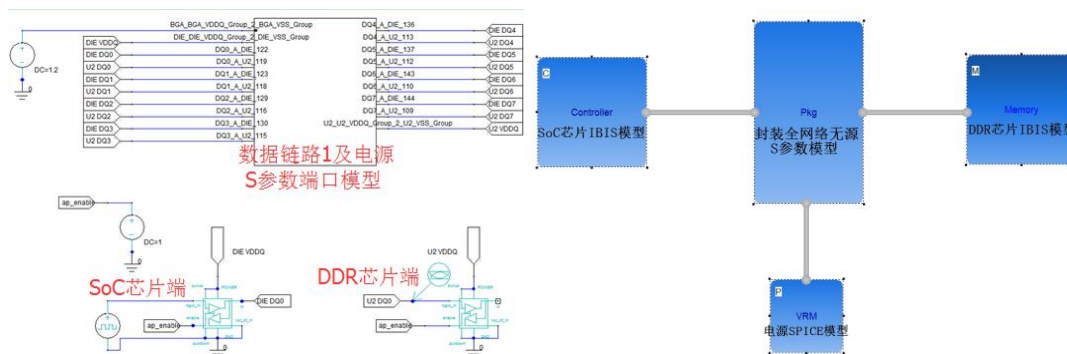


图 4.17 系统级仿真电路与模块示意图

Figure 4.17 System level simulation circuit and module diagram

图 4.17 电路部分只显示一对 I/O 收发及系统模块部分以作示意，SystemSI 是 Cadence Allegro 的一款系统级信号完整性仿真工具，集成了 Sigrity 强大的电路板、封装等互连模型及电源分布网络模型的提取功能。SystemSI 并行总线分析 (Parallel Bus Analysis) 支持 IBIS、传输线模型、S 参数模型以及非理想电源地的仿真分析，拥有强大的眼图、信号质量、信号延时测量功能和详尽的时序分析能力。将之前优化的系统互连网络 S 参数模型导入到 SystemSI 系统级电路仿真中进行眼图仿真分析验证。实际 S 参数最小为 60×60 矩阵，包含所有网络耦合及非理想电源地行为信息。

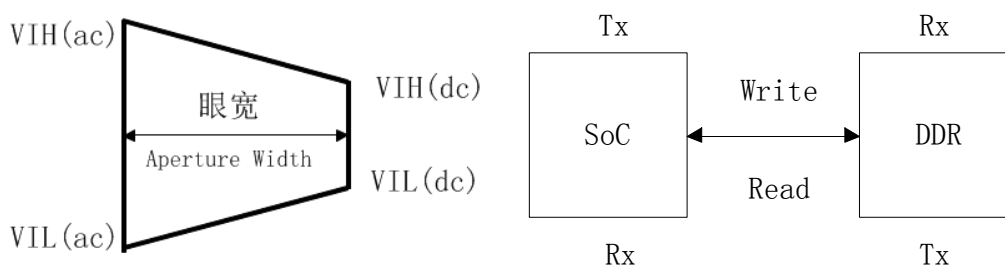


图 4.18 DDR 阈值电平及眼宽及写读工作模式驱动接收示意图

Figure 4.18 DDR threshold level and eye width & write/read mode drive/receive diagram

高速设计可以通过眼图直接评价系统性能，其通过将时域波形分割并叠加

而成。横轴代表时间，纵轴代表信号幅度，越大意味着有更多的裕度满足电压与时序条件。从定量分析角度看，在接收端数据的最小眼高（eye height）眼宽与（eye width）是评价线路性能的关键指标。眼图必须足够的宽以提供充裕的时间来满足接收器建立和保持的条件，并且足够高以确保最终系统中电平能达到 V_{IL} 和 V_{IH} 的要求，使接收器能够正确识别数字值，眼图的好坏可以直接评价数字信号质量。

表 4.7 SSTL 电平阈值标准

Table 4.7 SSTL Level threshold standard

电平类型	$V_{IH}(ac)$	$V_{IL}(ac)$	$V_{IH}(dc)$	$V_{IL}(dc)$
单端线	0.82	0.38	0.73	0.47
差分线	0.44	-0.44	0.26	-0.26

SSTL(sub Series Terminated Logic)接口电平是 JEDEC 发布的一个标准，只有电压穿过 ac 电平而高于 dc 电路状态才改变并保持，允许不低于 $V_{IH}(dc)$ 和不高于 $V_{IL}(dc)$ 的振铃，眼宽定为最小的波形覆盖的电平阈值等腰梯形的高。

表 4.8 DDR 芯片关键时序参数

Table 4.8 DDR chip critical sequence parameters

T_{setup}	T_{hold}	tDSQ	tDQH	tIS	tIH
0.21ns	0.21ns	0.2ns	0.7129ns	0.22ns	0.22ns
write	write	read	read	address	address
接收端数据 信号正确锁 存最小建立 时间	接收端锁存 数据信号最 小保持时间	发送端数据信 号落后于选通 信号发出的最 大偏移时间	发送端提前 于选通信号 的最大偏移 时间	接收地址 信号正确 锁存最小 建立时间	接收地址 信号正确 锁存最小 保持时间

表 4.8 是 DDR 芯片关键时序参数，同电源的仿真一样，SoC 端 C_{die} 为 2.046nf，DDR 端 C_{die} 为 0.5nf，没有 PCB 信息 VRM 直接加在 BGA pad 端口，核心是考察 SiP 封装结构的电气性能。适当修改 IBIS 模型建立总线关系，基于模型内容于各芯片端口添加寄生 RLC，数据速率 1.066Gbps，时钟周期 533MHz，周期约 1.88ns。采用 64 位 32 个周期的伪随机码（Pseudo-Random

Binary Sequence, PRBS) 仿真激励。

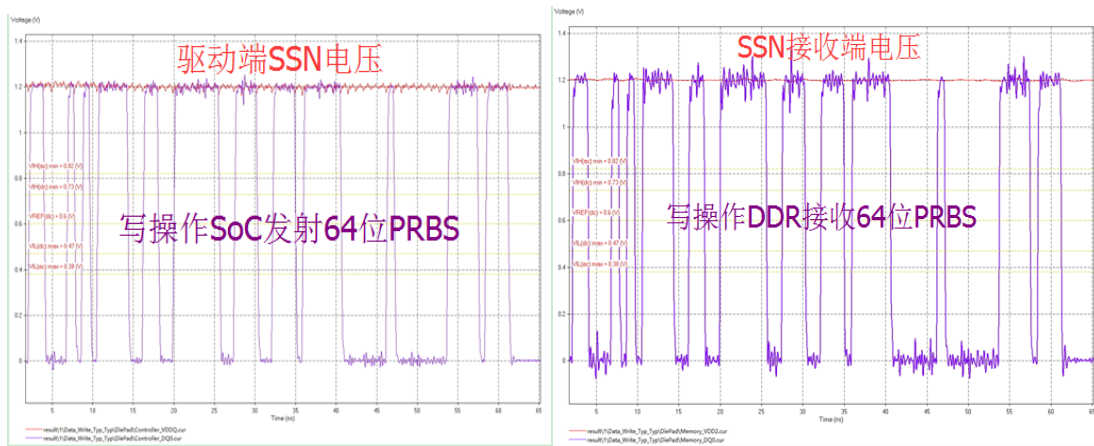


图 4.19 DQ0 全耦合及非理想电源地发射端与接收端波形

Figure 4.19 DQ0 transmitter and receiver waveforms of full coupling and non ideal power supply

图 4.19 红色线为 SSN，驱动端电源噪声更大且随工作状态抽取电流变化而变化。从加密的 SPICE 模型导出的 IBIS 行为级模型包含两种 ODT：34 欧姆驱动和 48 欧姆驱动，选取数据链路 1 写工作状态在不同 I/O 模型下进行仿真对比。

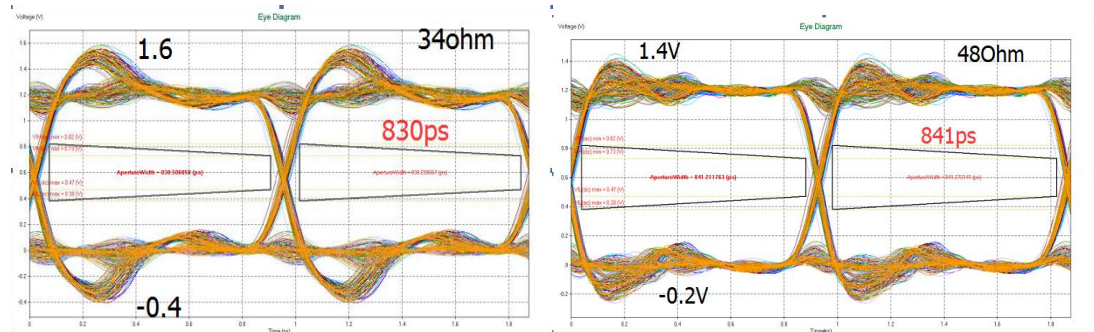


图 4.20 不同端接阻抗下的数据链路 1 写操作眼图

Figure 4.20 Different terminal impedance data group 1 write operation eye diagram

34 欧姆整体信号幅值在 -0.4-1.6V 之内，可以看出，48 欧姆驱动的眼图幅值在 -0.2-1.4V，抖动比 34 欧姆小很多，眼图干净且睁开较大，时序裕量充足，整体满足设计要求，同之前分析一致后续分析均采用此端接形式。

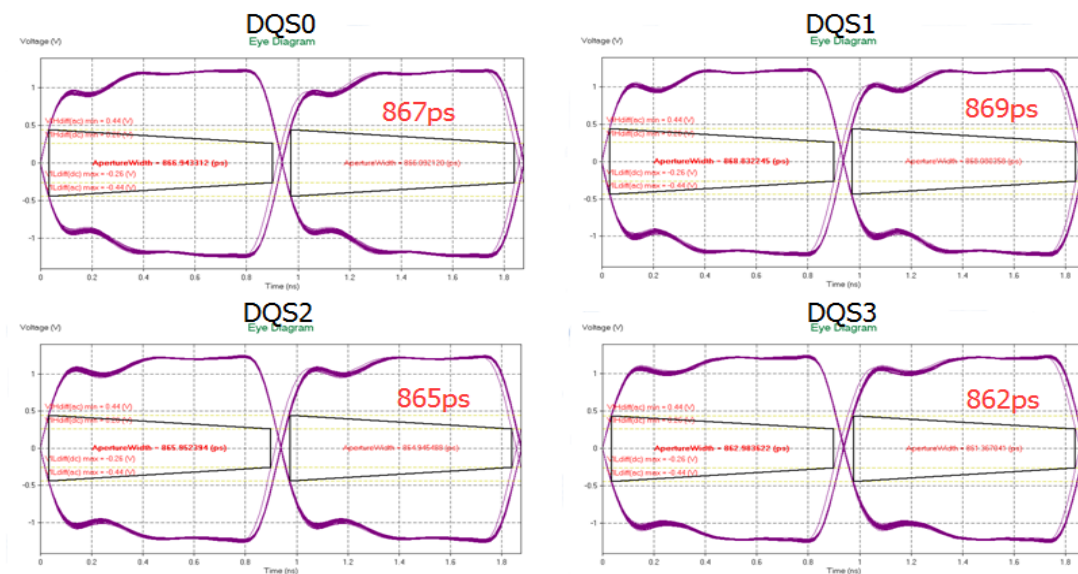


图 4.21 读操作 DQS0-3 数据选通眼图

Figure 4.21 Read operation DQS0-3 data strobe eye diagram

伪随机码位数的增多会使得眼图的裕量减小，64 位以后增加激励码数对眼宽等时序裕量影响不大，群组内设计相对其余信号误差较大的叠加是对眼图质量最大的破坏。所有差分线自身低阻抗失配，读写 DQS3 眼宽均相对较小。

最小建立时间裕量 t_{DS_margin} 和保持时间裕量 t_{DH_margin} 代表着参考时序差分线与数据线最重要的关系裕度。对应写入工作模式能够，DDR 接收端数据接收数据有效建立时间 T_{setup_valid} 和接收端数据有效保持数据 T_{hold_valid} 为：

$$T_{setup_valid} = T_{strobe} - T_{data} = t_{DS} - t_{DS_delta} \quad \dots (4.5)$$

$$T_{hold_valid} = (T_{trigger_cycle} + T_{data}) - T_{strobe} = t_{DH} - t_{DH_delta} \quad \dots (4.6)$$

T_{strobe} 和 T_{data} 为数据选通信号到达时间与数据到达时间， $T_{trigger_cycle}$ 是参考时钟触发的时间间隔。 t_{DS} 、 t_{DH} 、 t_{DS_delta} 、 t_{DH_delta} 是可通过仿真测量的该转换速率下的最小建立保持时间和间隔值。对于数据写操作而言最核心的时序参量最小建立时间裕量 t_{DS_margin} 和保持时间裕量 t_{DH_margin} 为：

$$t_{DS_margin} = T_{setup_valid} - T_{setup} \quad \dots (4.7)$$

$$t_{DH_margin} = T_{hold_valid} - T_{hold} \quad \dots (4.8)$$

读取偏斜裕量 $ReadSkew_margin$ 是最大读取偏斜与实际读取偏斜的差值，是

读取工作模式 SoC 接收端最重要的时序指标。

表 4.9 系统互连仿真时序结果 (ps)

Table 4.9 System interconnection simulation timing results(ps)

链路	建立时间裕量	保持时间裕量	读取偏移裕量	写操作眼宽	读操作眼宽
数据链路 1	87.2374	153.753	435.783	841	851
数据链路 2	90.8857	151.298	438.226	833	836
数据链路 3	79.0894	154.774	426.441	825	828
数据链路 4	88.1067	152.091	436.866	827	832
地址链路	559.706	572.133	仅工作在写操作	1749	857

关键的时序指标在各种工作模式下都保持着足够的裕量,眼宽取的是全信号合成下的最小值。相对而言, DQS 及时钟差分线由于失配较大形成了一定的电压降低,长链路低速地址信号眼宽较宽,形成的过冲更大。

4.2.3 电镀线影响分析

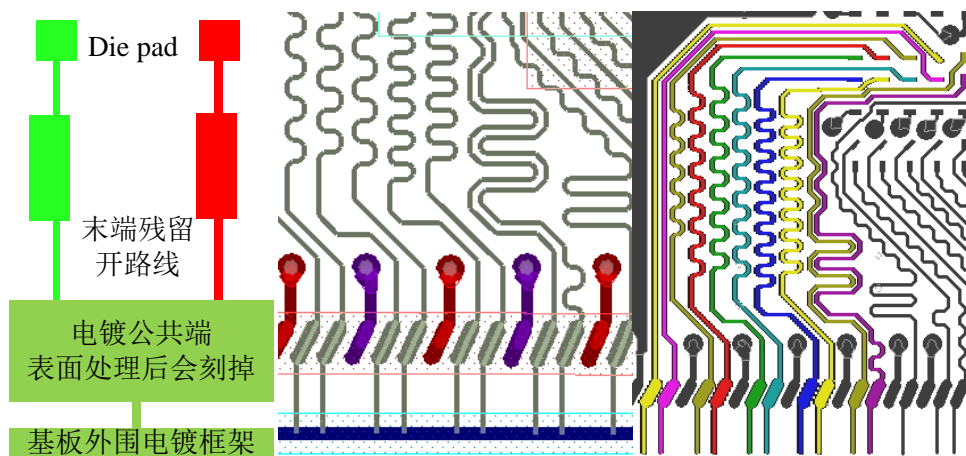


图 4.22 键合表面处理电镀线示意图及数据链路 3 电镀刻蚀前后版图

Figure 4.22 Bonding surface treatment electroplating line diagram and data group 3 layout before and after etching

图 4.22 是数据链路 3 的布线版图,电镀工艺是为了处理 DDR 键合线在基板上将要键合的表面以增加之后打线工艺的键合强度及可靠性,在基板设计时会把所有的 finger 焊盘端接至基板外框并对 finger 焊盘和公共短路端开口。制作好基板送至封装厂对开口部位电镀处理后会刻蚀掉短接公共端,最后会在末端形成开路的残桩,给信号带来可能的过冲、下冲、抖动等问题。

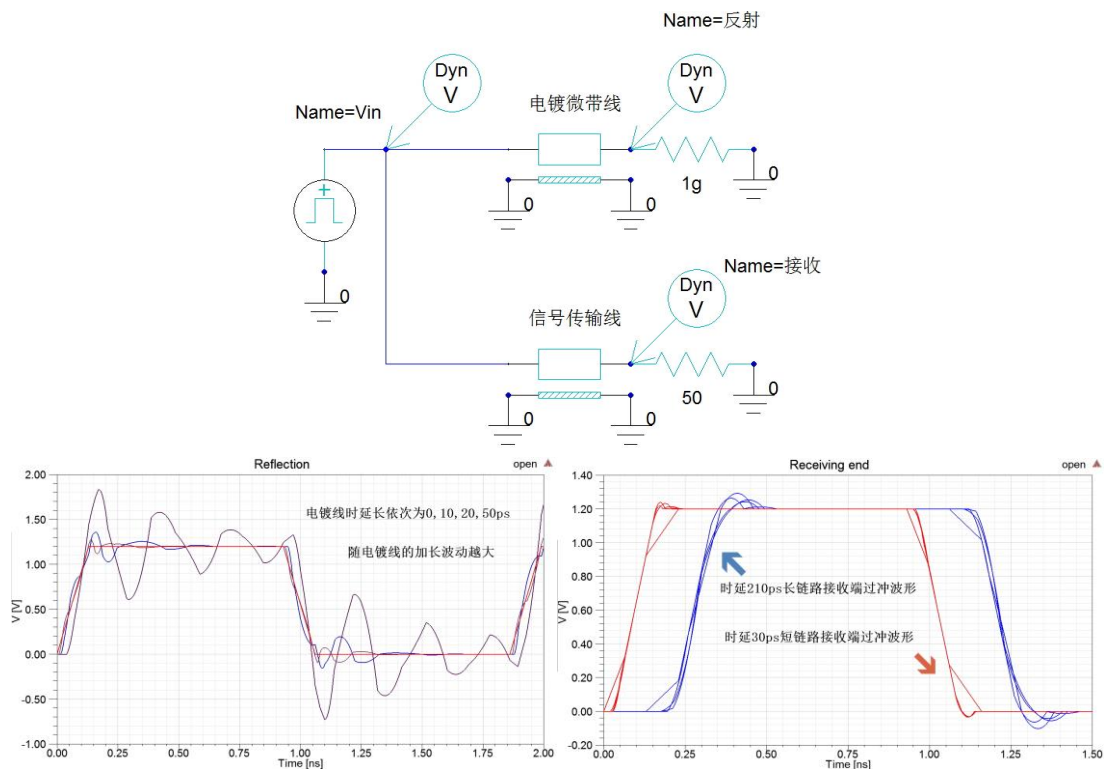


图 4.23 电镀线残桩电路与波形结果

Figure 4.23 Electroplating line stub circuit and waveform result

电镀线残桩部分及系统互连链路用特征阻抗 50 欧姆的理想无损微带线模拟，激励采用 533MHz 频率 130ps 上升沿的梯形波，随着电镀线的加长波形相位差的加大所引起的开路回射波动越大，对于同样电镀线长度不同传输距离的信号而言，越长的传输长度所形成的过冲越大。

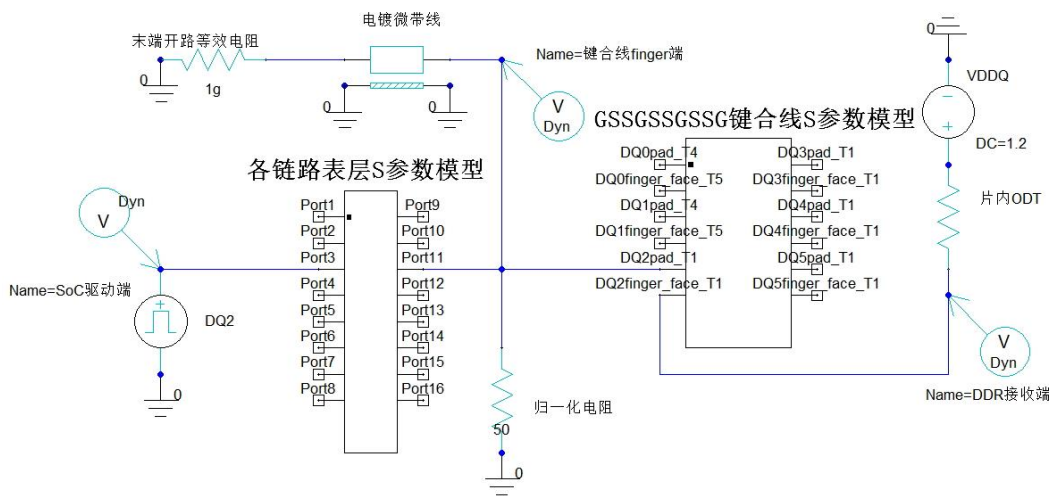


图 4.24 电镀线残桩单网络电路图

Figure 4.24 Electroplating line stub single network circuit diagram

进一步结合实际的 S 参数模型代替理想微带线模型仿真分析，分离 SoC 焊盘到芯片焊盘到键合线 finger 焊盘的表层无源网络模型，键合线部分采用相同的 GSSGSSGSSG 模型替代。相对实际模型忽略了非理想电源地及表层传输结构与键合线传输结构耦合的影响，这里加大电镀线开路回冲长度定性验证结论。

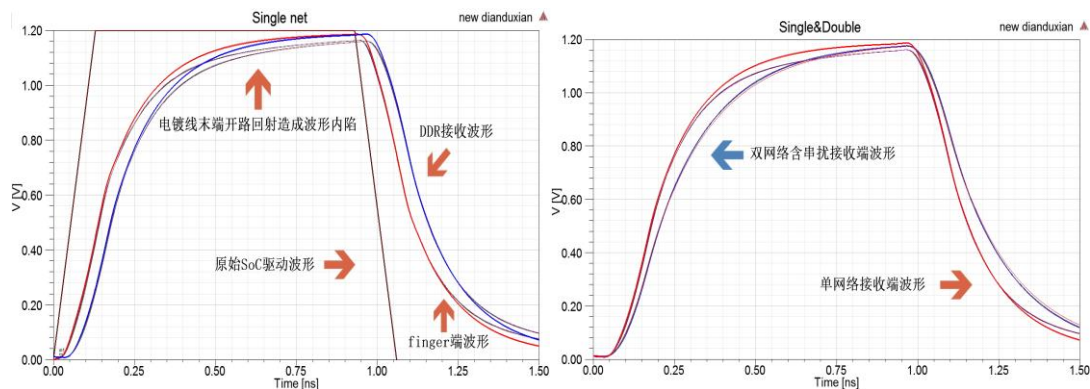


图 4.25 理想电源地激励情况下数据信号电镀线影响

Figure 4.25 Influence of data signal electroplating line under the excitation of ideal power supply

图 4.25 是 DQ 信号单网络及双网络有无电镀线开路残桩延迟 1 至 10ps 的对比，随着信号在不同传输结构的过渡传播质量逐渐下降，串扰的引入同样降低了接收波形，随着残桩延迟的增加波型逐渐内陷，与没有残桩的波形有明显的分离。

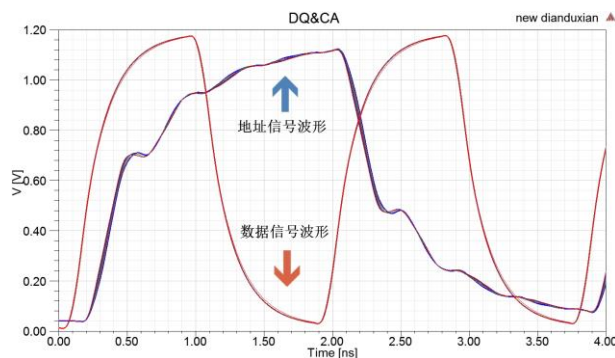


图 4.26 理想电源地情况下数据信号及地址信号电镀线影响对比

Figure 4.26 Comparison of influence of data and address signal electroplating line under the excitation of ideal power supply

$$L_{\text{stub}} \ll \frac{1}{4} \lambda = \frac{v_p}{4f_{\text{res}}} \Rightarrow f_{\text{res}} = \frac{1}{4} \frac{v_p}{L_{\text{stub}}} = \frac{1}{4td} \gg f_{3\text{dB}} \quad \dots (4.9)$$

当同样包含串扰及相同电镀线残桩延迟时，越长相对复杂的传输结构引起的

波动越大。更多网络耦合、非理想电源地及实际芯片行为级驱动波形的引入，预计电镀线对于越长链路的眼图质量影响越大。以上讨论都建立在残桩小于最大频率四分之一波长的基础上，实际 SiP 尺度下谐振频率 f_{res} 远大于带宽 f_{3dB} 故全部直接以时域定性分析展示。

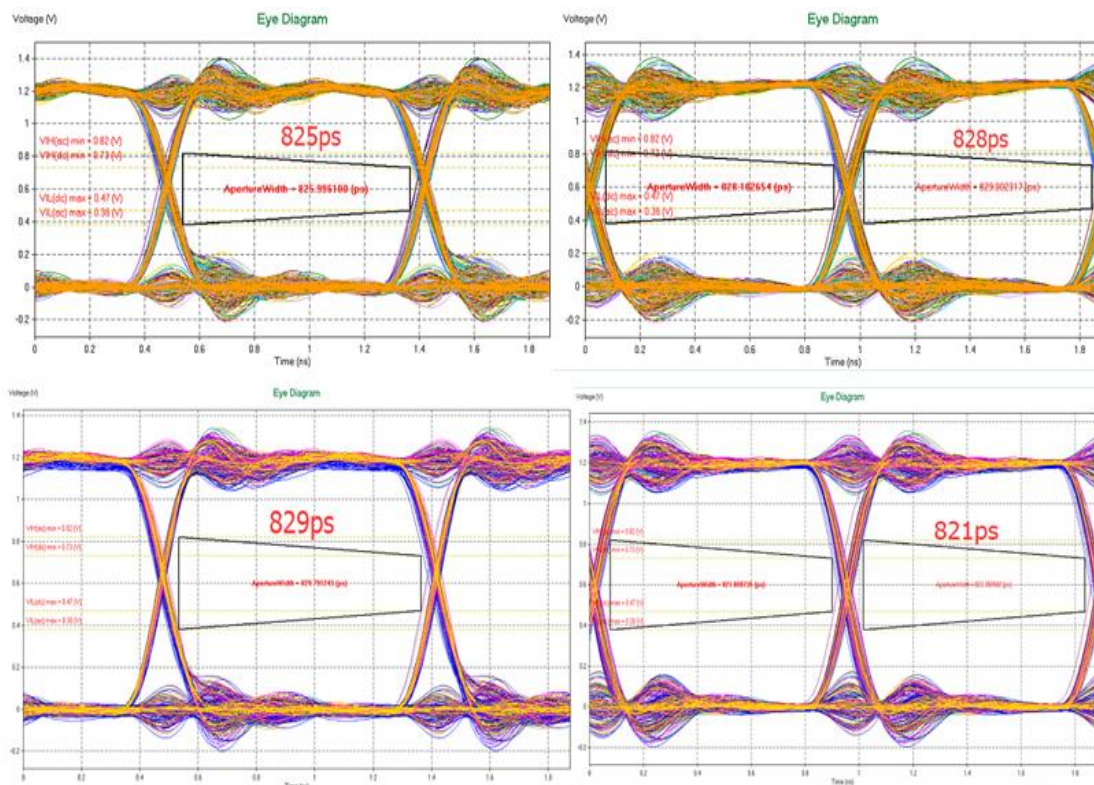


图 4.27 数据链路 3 去掉电镀线前后写读工作模式对比眼图

Figure 4.27 Comparison of data group 3 with and without electroplating line write and read mode eye diagram

相比有电镀线的情况，去掉电镀线后，写入工作模式下 margin 明显增加， t_{DS_margin} 增加到 190.834ps， t_{DH_margin} 增加到 233.269ps。读取操作时序裕量没有任何改善。两种工作模式下，上冲下冲幅度均有一定的降低。电镀线对短数据链路眼图和时序并无非常大的影响，同之前分析一致。

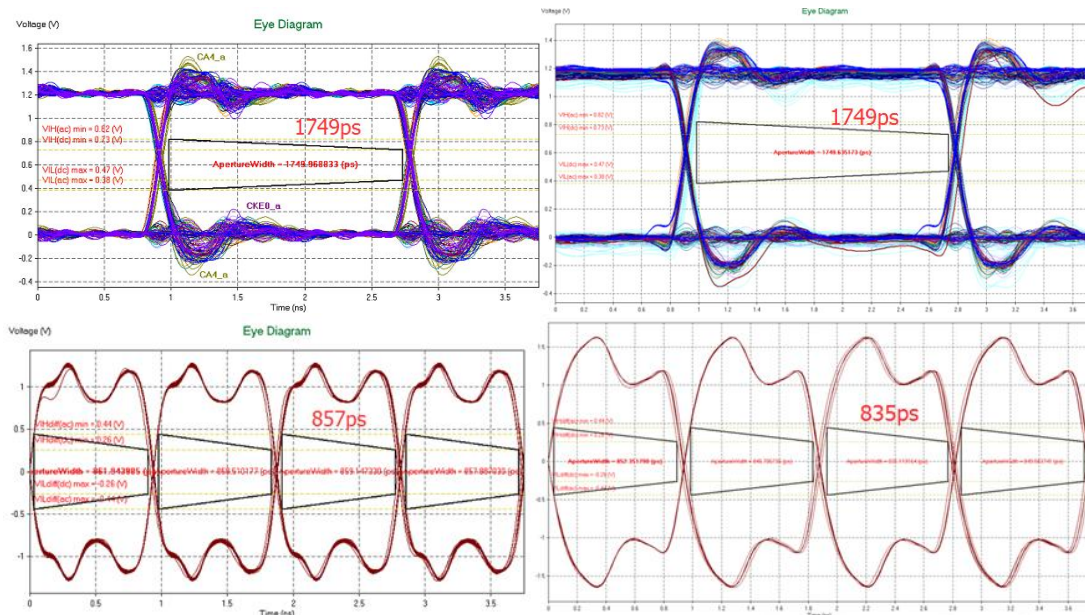


图 4.28 地址链路去掉电镀线前后地址及时钟眼图对比

Figure 4.28 Comparison of address group with and without electroplating line write and read mode eye diagram

去电镀线前，地址线眼图整体幅值在-0.4-1.6V 内，时间裕量很大，满足设计要求。去掉电镀线后，整体的抖动有一定程度的降低，且整组地址线的 margin 增大， t_{DS_margin} 增加到 676.384ps， t_{DH_margin} 增加到 638.961ps。时钟差分线无电镀线时上下冲明显减小。以上通过实际去电镀线的设计验证了分析结论，对此在刻蚀电镀线公共端时应尽可能使得多余的走线短小，可根据实际情况适当地设计增加独立开口端对长链路群组更好地去除残桩进一步优化系统信号质量。

4.2.4 同步开关噪声考察

之前已经对电源部分的交直流阻抗进行了预估和分析，结合系统电路后仿真验证，采用上述 PRBS 激励码型模拟正常工作状态，考察全信号翻转的 SSN 情况。

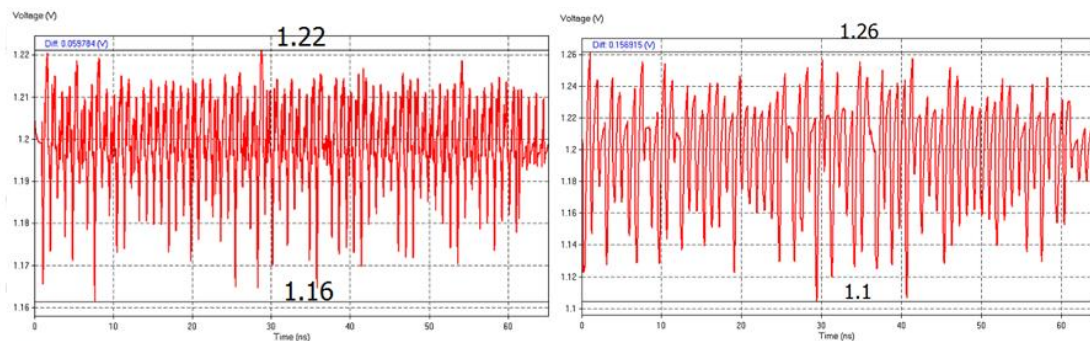


图 4.29 读写操作驱动端电源仿真结果

Figure 4.29 Write and read operation simulation results under drive side power supply

由图 4.29 结果可知，最大的 SSN 写入工作模式时在驱动端 SoC 的电压波动范围从 1.161 至 1.221V，不到约 60mV。假设写操作的同步开关噪声 V_{SSN_write} 为：

$$V_{SSN_write} = V_{DC_write} + V_{AC_write} \quad \dots (4.10)$$

$$V_{supply} - V_{DC_write} - V_{AC_write} = 1.161V \quad \dots (4.11)$$

$$V_{supply} - V_{DC_write} + V_{AC_write} = 1.221V \quad \dots (4.12)$$

这里取最大的波动范围近似求解验证前后仿真的一致性，其中 V_{DC_write} 为 SoC 直流压降解得为 8mV， V_{AC_write} 为交流噪声波动幅度解得为 31mV。最终的电压波动不到基准的 $\pm 3.5\%$ ，倒装 SoC 达到了保守的估计 5%。这里的仿真结果是结合 IBIS 模型对驱动工作状态的需求提取的上拉下拉电流 $I(f)$ 与包含信号耦合的电源网络 $Z(f)$ 乘积傅里叶拟变换的时域结果，是最贴近实际的验证指标。

读取时在驱动端 DDR 的电压为 1.104 至 1.261V，约 157mV。同样假设读操作同步开关噪声 V_{SSN_read} 为：

$$V_{SSN_read} = V_{DC_read} + V_{AC_read} \quad \dots (4.13)$$

$$V_{supply} - V_{DC_read} - V_{AC_read} = 1.104V \quad \dots (4.14)$$

$$V_{supply} - V_{DC_read} + V_{AC_read} = 1.261V \quad \dots (4.15)$$

其中 V_{DC_read} 为 SoC 直流压降解得为 17.5mV， V_{AC_read} 为交流噪声波动幅度解得为 78.5mV，DDR 直流分析为 14.7mV，最终的电压波动大于 $\pm 7\%$ 。和前期预估和电源完整性分析一致。高堆叠键合线使得 DDR 相对 SoC 倒装供电较差，

供电地劣化会从根本上影响驱动端输出的信号波形，实际的工作状态通过上述眼图考察在此最大线弧供电情况下均没有问题。前期 PI 的分析设计就是为了尽可能减小 $Z(f)$ 以使得后仿真验证尽快尽可能的成功，对于键合线减小 GS、GP (Ground & Power) 间距以及纵向距离，增大线宽、改变弧高与材质都可以更好地优化供电质量，如果可以从焊盘源端调整设计可以最大程度地改善键合线传输特性。

4.3 本章小结

本章对该 SiP 涉及的电源完整性分析、系统互连设计及后仿真验证部分进行了详细地论述，以上仿真分析有针对后续工艺调整键合线保守最坏预估的部分，也有针对该 SiP 封装级别总板信息有限直接添加电源自制 SPICE 模型的理想化部分。总的来说，通过前后仿真分析验证了实际约束性能权衡下结论的一致性，通过眼图及 SSN 验证了电学性能，使得下一步的研发工作得以进行。最重要的是通过仿真分析给出了设计优化的方向及键合线、电镀工艺等方面的指导性意见，并最终验证设计。

第五章 基于三维混合封装信号完整性研究的应用验证

本章结合前四章的讨论总结该 SiP 设计起始到最终三维混合型 SiP 样品制成的设计仿真及应用实现流程，在一定程度上为今后的 SiP 产品研发建立统一的规范。

5.1 设计仿真流程

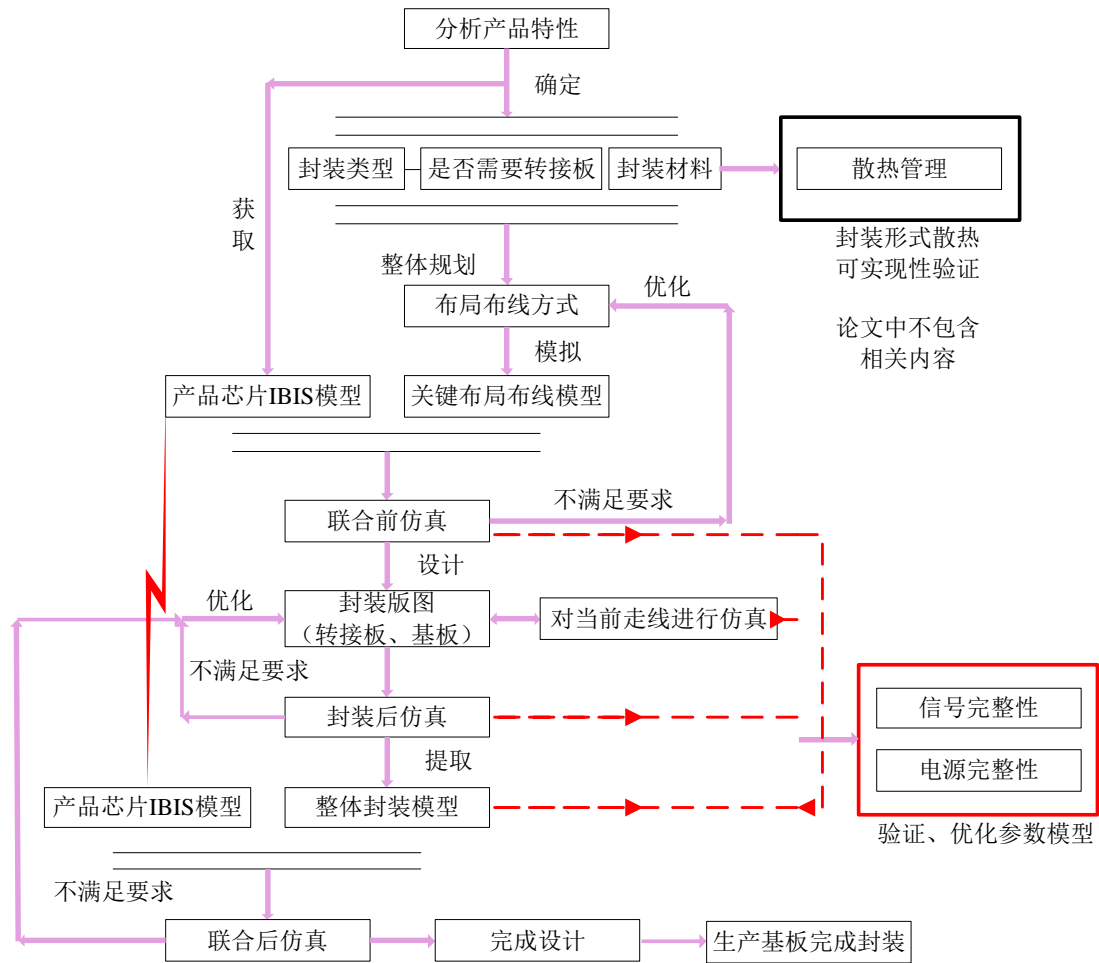


图 5.1 设计仿真研发流程

Figure 5.1 Design and Simulation R & D process

图 5.1 是总结的适用于现阶段各种 SiP 产品的设计仿真流程。首先分析研发产品特性：结合第一章讨论 AP SoC 处理芯片与 DDR 存储芯片的集成是现代 SiP 的典型应用，相对于 TSV 与 PoP 封装形式三维混合型封装有更多成本和集成度方面的优势，根据所需要的材料属性建立简化模型热仿真验证三维混合型封装在

JEDEC 标准下的可实现性, 参照图 1.5 进一步验证工艺的可实现性同时规划与考察整体的布局布线方式。

其次是论文第三章的主要工作, 即针对三维混合型系统级封装设计本身所带来的特殊关键结构的前仿真特性分析: 提取由于自身的高密度走线及高堆叠键合线的关键结构模型进行仿真优化分析工作, 结合芯片 IBIS 模型信息在设计初期预计最终设计结果能否满足需求。后期是结合前期的仿真分析结论合理设计调整整体的基板设计过程, 前仿真阶段不仅包括 4.1 对主电源模块交直流特性的考察同样包含 SoC 所有扇出信号 S 参数的考察, 由于特性与 3.1 SoC 高速扇出信号性质相同, 各个需求不一重要性较低且调试过程过于复杂不具备论述价值, 论文中仅结合分析结论对基板走线整体的分析提供设计优化的方向。

最后是结合芯片行为级模型的 SI/PI 系统级协同仿真分析, 同样是不断优化调试的过程, 当起始对于该工艺限定下关键结构的优化分析足够透彻的情况下, 可以在整体设计规划时结合优化结论制定合理的方向减少后期的修改时间从而加快整体的研发流程。当联合后的仿真结果满足需求时可以根据设计版图制造基板完成封装。

5.2 应用实现流程

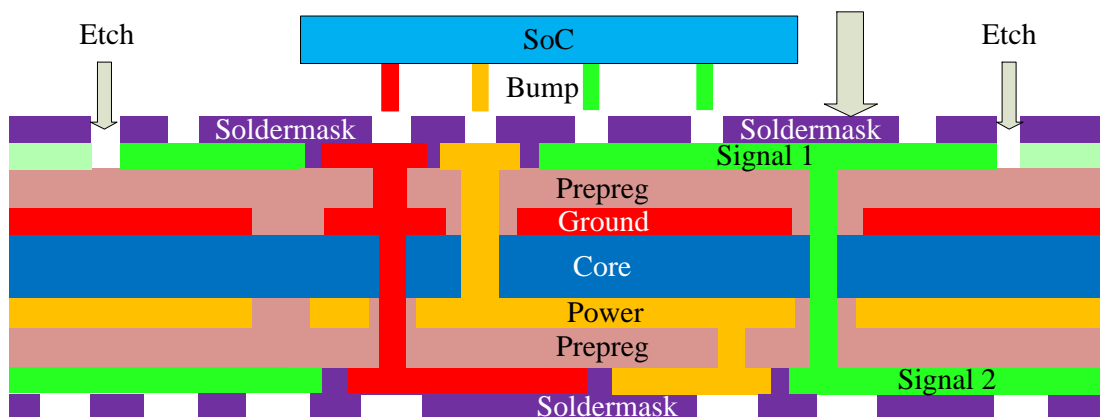


图 5.2 SoC 芯片倒装焊工艺示意图

Figure 5.2 SoC chip flip chip process diagram

图 5.2 是设计的基板与 SoC 芯片的倒装焊工艺过程。设计的基板条已经经过切割分离了外部整体的电镀总线, 并开口进行了键合线 finger 焊盘的表面处理, 开口刻蚀去除了内部的电镀总线连接, 同时开口露出了倒装焊焊盘以及底层的

BGA 焊盘。将已经进行进行过 Bump 铜柱工艺处理过的 SoC 晶圆通过减薄及切割提取吸附单个裸芯片与基板进行倒装焊回流处理并底部填充。

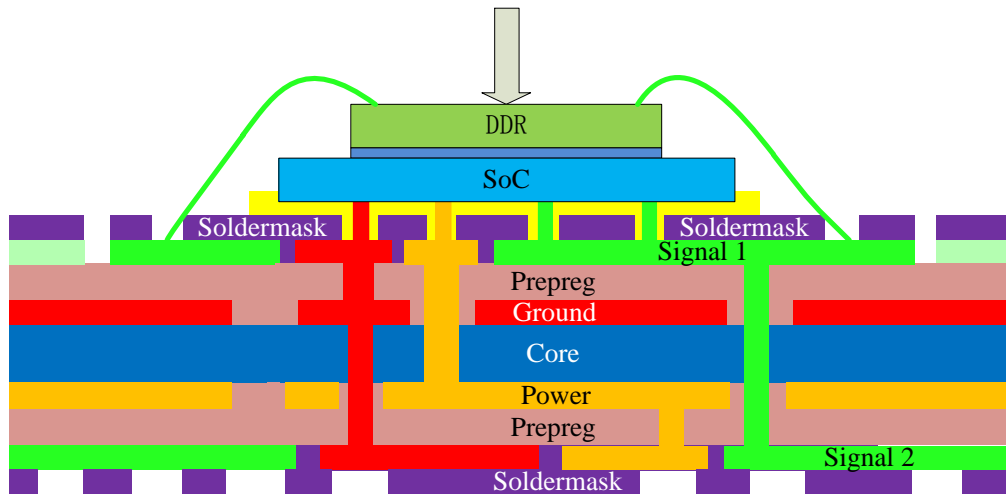


图 5.3 DDR 芯片贴装及引线键合工艺示意图

Figure 5.3 DDR chip attach and wire bonding process diagram

图 5.3 是 DDR 芯片通过 DAF (Die attach film) 与 SoC 芯片贴合及引线键合工艺的过程。虽然两芯片进行了常规的减薄处理，但是键合线相对单芯片打线位置较高，同时 DDR 芯片相对 SoC 芯片较小，焊盘边缘边相对更小，最终使得三维混合型封装形式的键合线弧较大。实际线弧封装过程中要通过工艺可靠性测试调整，因此在 3.2 仿真分析过程中通过提参的方式验证了高线弧的影响，在第四章中确保了最恶劣情况下信号及电源完整性各方面均满足需求。

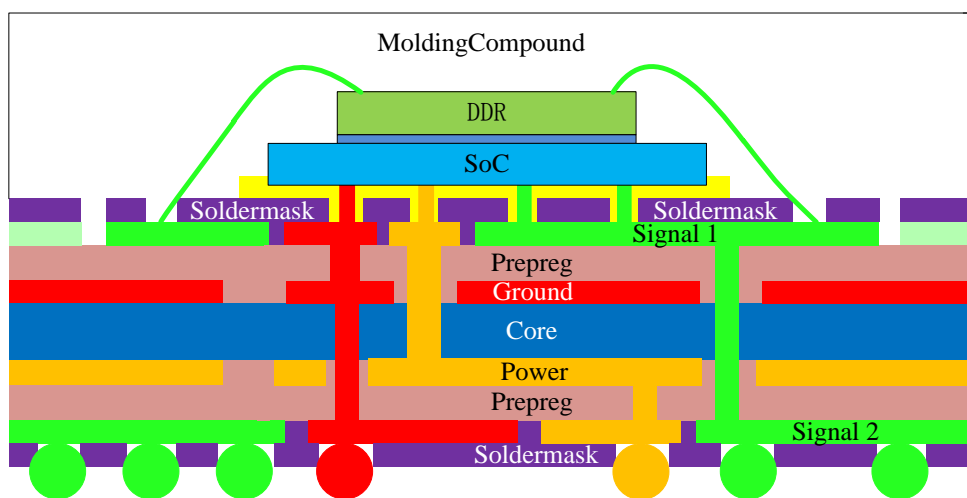


图 5.4 塑封及植球工艺示意图

Figure 5.4 Molding and BGA planting process diagram



图 5.5 印字切割后样品（去除了关键产品代号信息）

Figure 5.5 Samples after printing and cutting(key product code information removed)

图 5.4 是该三维混合型 SiP 的最后的塑封及植球后示意图。塑封的环氧树脂材料在高温下发生交联反应，模封后烘烤可以达到完全的硬化，下一步可以进行印字及植球并切割成初封好的样品，如图 5.5。从而使得基板通过锡球与下级测试板或 PCB 系统实现互连，也可以直接通过其它方式进行测试。

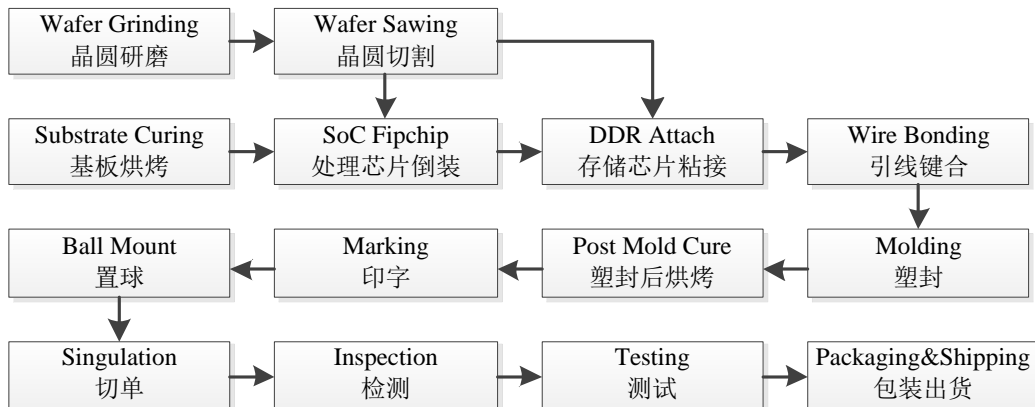


图 5.6 三维混合型系统级封装生产流程

Figure 5.6 3D Hybrid SiP production process

图 5.6 是三维混合型系统级封装的生产全流程简化示意图，其中对于基板的烘烤是为了去除其中的内应力与吸收水汽，检测包含目视检测、光学检测以及 X-ray 检测，由于产品保密等原因论文不涉及测试以后的流程。

第六章 总结与展望

6.1 本文主要工作

1、分析阐述了现代高集成度电子产品面临的电学问题与仿真的必要性，区别于传统的 PCB 大板级系统，介绍了针对该 SiP 所要面临和需要解决的主要 SI 问题、基本原理及所用仿真工具的适用范围与局限性，目前针对这种 3D hybrid SiP 封装形式的研究尚无。

2、针对该 SiP 层叠工艺约束下的高速线设计问题提供了采用 HFSS 三维全波电磁场仿真工具的优化解决方案，为后期系统互连信号的优化提供结论，并结合集总端口建立方式分析并解决面临的高堆叠键合线设计问题。

3、基于对并行键合线传输性能的研究，提取相关寄生参数，分析串扰、集总传输阻抗并结合不同软件、维度、时频域相互印证结论，分析键合线未来可能的高频应用方式，验证最终系统级互连中键合线对 SI 的影响并推断 PI 可能产生的问题。

4、对后期工艺调整将产生的供电问题做最坏的预期，估算并通过仿真软件考察各主电源模块设计的交直流特性，通过对比单芯片 SoC 交流仿真结果检验 SiP 各端口回路自阻抗范围说明设计的可行性，结合预估的结果从前后仿真不同的角度验证结论的一致性。

5、结合之前的分析与前人结论在实际约束下合理制定最终系统互连链路设计与 SoC 信号及总电源分配方案，通过系统级仿真工具验证数字信号的眼图与 SSN 质量，在仿真检验通过的基础上给出工艺再优化方案，最终实际样品制成的设计仿真及应用实现流程，在一定程度上为今后的 SiP 产品研发建立统一的规范。

论文中最难的是提供给芯片方一个可行的设计，实际的设计实现和一些局部优化调整极为复杂较难讨论，本身始终会有不断权衡提高的空间，期限内最终的设计通过了仿真验证查收完成了项目，论文中仅列出了该封装形式下部分极具代表性和应用价值的 SI 问题。细心的读者应该可以感受到系统级封装相对 PCB 板级在信号完整性方面需要解决和所面临问题的差异，虽然电子产品不断缩小的尺

寸给予研发产品的各方各面越来越大的挑战，但更短的间距会减小信号的损耗、对传输通道的感受以及串扰的耦合距离等从而在很大程度上提高电学性能，这也是绪论中 SiP 相对传统电子产品最具吸引力的一点，可以应对 SI 要求更苛刻的元器件，一定程度上降低使用电容、均衡器等器件成本，同时对此级别也有更高的要求和设计难度。实际研发中包含 PoP 设计，如果不考虑散热、可靠性及设计难度，第四章已经说明了该 SiP 中 SoC 电源性能更佳，如果不投入成本在 DDR 晶圆初始添加一层 RDL 将 wirebond 工艺改为 flipchip，同样的 DDR 键合线封装与 SoC 封装在自身内部需要足够区域满足时序与焊盘分布，还要经历通孔等失配部分，采用本文的 SiP 设计系统互连信号质量更为优异。

实际该产品中还涉及到热管理仿真、谐振检查及 EMI 等问题，该 SiP 的散热分析是起始于电学设计前贯穿于设计修改前后的，这种由于热源最集中在热学上最有可能出现问题的封装形式最终通过了热仿真分析的检验。值得说明的是 DDR 时钟信号三倍频恰好落在北斗中心频率附近，更大的键合线弧会产生更坏的影响，实际芯片方测试 20 余种工作模式时还是以该时钟信号的近场辐射影响最重，而最高频率的时钟并非 DDR 时钟，该 SiP 中高堆叠键合线对于 PI 及 EMI 都是最大的影响。最终根据仿真分析的指导意见下虽然没有改善键合线的材质与线宽，但极大地降低了键合线高用以带来更好的电学性能。

6.2 未来工作展望

本论文项目为芯片方负责，同大多数封装设计项目类似，对于已经通过测试基板验证了的功能芯片，直接设计 SiP 模块交给芯片方自主终测检验封装好的各芯片及系统功能是否完好无误，实际的测试已经由芯片方完成，由于保密原因我方无法获取。论文的仿真模型及结论通过了各方检验更新，并已经投入基板生产组装测试，验证了系统功能的可实现性。定性结论结合大量理论及多种分析工具、角度印证极难出现偏差，但始终无法直接结合测试验证结论的精确程度，尤其是对于可应用于实际项目中考虑多种效应的全波电磁场简化与优化的分析方式，以及今后极大可能更加灵活、泛用的高堆叠键合线模型与其工艺相结合的高频信号完整性及电源完整性的研究。希望本人在以后的学习工作实践中可以尝试、摸索、检验今日得到的结论并结合实际进一步探索新型设计、仿真、测试领域的可协调、可互助性，为未来先进电子产品的高速生产制造尽一份心力。

参考文献

- [1] 周峥. 未来集成电路封装技术趋势和中国封装业发展[J]. 电子与封装, 2015, 15(1):1-5.
- [2] 童志义. 后摩尔时代的封装技术[J]. 电子工业专用设备, 2008, 37(9):18-25.
- [3] 王晓明. 后摩尔时代的 3D 封装技术--高端通信网络芯片对 3D 封装技术的应用驱动[J]. 中兴通讯技术, 2016, 22(4).
- [4] 邹京, 夏建峰, 黎铁军, 等. 电子封装信号完整性设计技术研究[C]// 微处理器技术论坛. 2012.
- [5] Jing J, Kong L. Study of signal integrity for PCB level[C]// International Conference on Electronic Packaging Technology & High Density Packaging. IEEE, 2010:828-833.
- [6] H. C. Kuo, P. Chen, C. T. Chiu, et al. High efficiency power electronic module with embedded die[C]. 2016 IEEE CPMT Symposium Japan (ICSJ).IEEE,2016:235-238
- [7] 秦征. 高速芯片 PoP 封装信号完整性研究与协同设计[D]. 中国科学院大学, 2015.
- [8] 王彦桥, 刘晓阳, 朱敏. 叠层式 3D 封装技术发展现状[J]. 电子元件与材料, 2013, 32(10):67-70.
- [9] Y. Lin, C. Kang, L. Chua, et al. 3D integrated eWLB /FO-WLP technology for PoP & SiP[C] 2016 17th International Conference on Electronic Packaging Technology (ICEPT).IEEE,2016:571-575
- [10] 牛帅, 章珺. 集成电路封装技术的现状与发展趋势[J]. 工业, 2017(2):00160-00160.
- [11] 赵正平. 微系统三维集成技术的新发展[J]. 微纳电子技术, 2017, 54(1):1-10.
- [12] 王海东. 10Gbps QSFP 设计中信号完整性的分析[D]. 中国科学院研究生院, 2012.
- [13] 阎照文. 信号完整性仿真分析方法[M]. 中国水利水电出版社, 2011.
- [14] 于争. 信号完整性揭秘:于博士 SI 设计手记[J]. 中国科技信息, 2013(24).
- [15] 黄菁, 杜田. 基于信号完整性分析的高速电路设计[J]. 仪表技术, 2012(6):20-23.
- [16] 郝慈环, 颜学龙. 高速互连中信号完整性测试单元分析[J]. 国外电子测量技术, 2010, 29(5):38-42.
- [17] 覃婕, 阎波, 林水生. 基于 Cadence_Allegro 的高速 PCB 设计信号完整性分析与仿真[J]. 现代电子技术, 2011, 34(10):169-171.
- [18] Stephen H. Hall, Howard L. Heck. 高级信号完整性技术[M]. 电子工业出版社, 2011.
- [19] Hall S, Pytel S G, Huray P G, et al. Multigigahertz Causal Transmission Line Modeling Methodology Using a 3-D Hemispherical Surface Roughness Approach[J]. IEEE Transactions on Microwave Theory & Techniques, 2007, 55(12):2614-2624.
- [20] 周路, 贾宝富. 信号上升或下降时间对高速电路信号完整性影响的研究[J]. 现代电子技术, 2011, 34(6):69-73.
- [21] Kim D, Eo Y. S -Parameter-Measurement-Based Time-Domain Signal Transient and Crosstalk Noise Characterizations of Coupled Transmission Lines[J]. IEEE Transactions on Advanced Packaging, 2009, 32(1):152-163.
- [22] 张家田, 侯永春. 信号完整性测试技术研究[J]. 电子世界, 2013(3):119-120.
- [23] 周博远, 于立新, 褚军舰. IBIS 建模和 PCB 信号完整性分析[J]. 微电子学与计算机, 2010, 27(10):111-113.
- [24] 张月. 时域快速偶极子算法的研究与应用[D]. 南京邮电大学, 2016.

- [25] 樊京, 张丹. 有限元软件 HFSS 在电磁场教学改革中的应用[J]. 教育教学论坛, 2014(35):43-44.
- [26] 贾雯. SFP+串行通道的信号和电源完整性联合分析[D]. 内蒙古大学, 2015.
- [27] 陈兰兵, 钟章民, 肖定如, 等. Cadence 高速电路设计: Allegro Sigrity SI/PI/EMI 设计指南[M]. 电子工业出版社, 2014.
- [28] 徐兴福. ADS2011 射频电路设计与仿真实例[M]. 电子工业出版社, 2014.
- [29] Zmuda M, Szczepański S, Kozieł S. Analysis of positioning error and its impact on high frequency properties of differential signal coupler[J]. Bulletin of the Polish Academy of Sciences Technical Sciences, 2015, 63(2):549-553.
- [30] Nayak B P, Vedicherla S R, Gope D. Nonorthogonal 2.5-D PEEC for Power Integrity Analysis of Package-Board Geometries[J]. 2017, PP(99):1-12.
- [31] 邹焕. 片上共面波导关键技术及其应用研究[D]. 电子科技大学, 2011.
- [32] 尚文亚, 刘丰满, 王海东, 等. PCB 布线中的过孔和电容效应分析和结构优化[J]. 现代电子技术, 2015, 38(16):110-114.
- [33] 麻勤勤, 石和荣, 孟宏峰. 基于 SIwave 和 Designer 的差分过孔仿真分析[J]. 电子测量技术, 2016(1):40-44.
- [34] Yating L I. A Novel Compensation Method for Differential Transmission Line Bend to Suppress Common-mode Noise[J]. Electronic Science & Technology, 2016.
- [35] 杨谦, 魏兵, 李林茜, 等. DGTD 用于 RCS 计算的初步研究[J]. 雷达学报, 2015, 4(3):361-366.
- [36] Liang Y, Huang C Y, Wang W. Modeling and Characterization of the Bonding-Wire Interconnection for Microwave MCM[M]// Schaum's outline of theory and problems of reinforced concrete design /. McGraw-Hill, 2010:810-814.
- [37] Liao X, Gao L. Application of Wire Bonding of Multi-Stack Die in the Ceramic Package[J]. Electronics & Packaging, 2016.
- [38] Gao J, Dai G, Jiang Y, et al. Fuzzy PID control for impact force of high speed wire bonding process[C]// International Conference on Electronic Packaging Technology. 2016:47-52.
- [39] Koo T W, Kang H D, Ha J, et al. Signal integrity enhancement of high-speed digital interconnect with discontinuous and asymmetric structures for mobile applications[C]// IEEE International Symposium on Electromagnetic Compatibility. IEEE, 2013:713-717.
- [40] Kung H K, Huang B W, Hsu H C. The effect of cross-section geometry of bonding wire on wire sweep for semiconductor packages[C]// Microsystems Packaging Assembly and Circuits Technology Conference. IEEE, 2010:1-4.
- [41] Casper T, Gersem H D, Gillon R, et al. Electrothermal simulation of bonding wire degradation under uncertain geometries[C]// Design, Automation & Test in Europe Conference & Exhibition. 2016:1297-1302.
- [42] Tian W, Ji H. Recent Research of Electromagnetic Characteristics in Wire Bonding[J]. Recent Patents on Mechanical Engineering, 2016, 09(99):1-1.
- [43] Lu F, Cao Y, Lian B. Study on the electrical performance of one differential pair bonding fingers on different layers in wire bonding package[C]// International Conference on Electronic Packaging Technology. 2016:1327-1329.
- [44] Shang Y L, Li C Q, Xiong H Q, et al. A Structure Optimization Approach to Improve the Transmission Performance of Bonding Wire[J]. Applied Mechanics & Materials, 2011,

- 58-60(11):404-409.
- [45] Yang L, Sun L, Sun H, et al. Analysis of the Performance of Bonding Wire Transmission Structure in IC Package[J]. *Electronics & Packaging*, 2014.
- [46] Yang K, Wei G, Li Z, et al. The impact of wire bonding on the transmission performance of high-speed links in SiP[C]// *International Conference on Electronic Packaging Technology and High Density Packaging*. 2011:1-4.
- [47] Tseng H K, Wu M L. Dynamic simulation for microelectronic packaging of Al pad/underlying pad structure during copper wire bonding[C]// *Microsystems, Packaging, Assembly and Circuits Technology Conference*. IEEE, 2014:250-254.
- [48] Qin I, Xu H, Milton B, et al. Process optimization and reliability study for Cu wire bonding advanced nodes[J]. 2014:1523-1528.
- [49] Wang D, Zhao Y, Yao Q, et al. Electrical simulation of gold bonding wire with different parameters[C]// *International Conference on Electronic Packaging Technology*. 2015:1329-1333.
- [50] Jitesh Shah, San Jose. 金线键合与铜线键合的性能比较 [N]. *半导体国际*, 2010.
- [51] 博加廷. 信号完整性与电源完整性分析[M]. 电子工业出版社, 2015.
- [52] 周润景, 王洪艳. Cadence 高速电路板设计与仿真:信号与电源完整性分析[M]. 电子工业出版社, 2015.
- [53] Ha M, Kim J H, Oh D, et al. A study of reduced-terminal models for system-level SSO noise analysis[C]// *Electrical PERFORMANCE of Electronic Packaging and Systems*. IEEE, 2010:49-52.
- [54] Shiue G H, Shiu J H, Chiu P W, et al. Improvements of Time-Domain Transmission Waveform and Eye Diagram of Serpentine Delay Line Using Open-Stub Type Guard Traces in Embedded Microstrip Line[J]. *IEEE Transactions on Components Packaging & Manufacturing Technology*, 2011, 1(11):1706-1717.
- [55] Ko B, Kim J, Oh K, et al. Simulation of serpentine trace of DQ PCB layout for DDR3 applications[C]// *IEEE International Conference on Consumer Electronics*. IEEE, 2016:27-28.
- [56] Lee K, Jung H K, Chi H J, et al. Serpentine Microstrip Lines With Zero Far-End Crosstalk for Parallel High-Speed DRAM Interfaces[J]. *IEEE Transactions on Advanced Packaging*, 2010, 33(2):552-558.
- [57] Packianathan R, Srinivasan R. Comparative Study of Crosstalk Reduction Techniques in RF Printed Circuit Board Using FDTD Method[J]. *International Journal of Antennas & Propagation*, 2015, 2015.
- [58] Lee K, Lee H B, Jung H K, et al. A Serpentine Guard Trace to Reduce the Far-End Crosstalk Voltage and the Crosstalk Induced Timing Jitter of Parallel Microstrip Lines[J]. *IEEE Transactions on Advanced Packaging*, 2008, 31(4):809-817.
- [59] Shiue G H, Shiu J H, Tsai Y C, et al. Analysis of Common-Mode Noise for Weakly Coupled Differential Serpentine Delay Microstrip Line in High-Speed Digital Circuits[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2012, 54(3):655-666.
- [60] Shiue G H, Kao Y H, Hsu C M, et al. Common-Mode Noise Reduction Schemes for Weakly Coupled Differential Serpentine Delay Microstrip Lines[J]. *IEEE Transactions on Components Packaging & Manufacturing Technology*, 2013, 3(6):1016-1027.

- [61] Yeh C L, Liao H Y, Hong H C, et al. A new common-mode noise reduction scheme for weakly coupled differential serpentine delay microstrip lines[C]// Signal and Power Integrity. IEEE, 2014:1-4.
- [62] Yeh C, Chen K, Wang C. Common-Mode Noise Suppression of Differential Serpentine Delay Line Using Timing-Offset Differential Signal[J]. IEEE Transactions on Electromagnetic Compatibility, 2015, 57(6):1457-1465.

致 谢

应当感激的人、想表达的谢意太多，一时不知从何提起，只能依时间顺序简单道来。

首先非常感谢刘丰满老师让我有机会融入系统级封装九室这个大家庭，如果没有您给予的学习机会也就不会有近三年来的一切收获，最后所里答辩时能够偶遇刘老师并受到鼓舞，是学生求学期间所获的最大荣誉。

万里兮老师和我的导师曹立强老师是我封装方向的启蒙老师，为我打开了这扇综合知识极为广阔、在当代极具价值、值得刻苦钻研的学科大门。犹记得在北京怀柔上课对封装一无所知之时，万老师允许我拿着他的教学棒对 ppt 展示的基础知识一一进行请教，万老师推荐的《微系统封装基础》等经典书籍始终常伴我身、为我解困。这门课的最后一节是我的导师曹立强研究员所授，也就是那个时候让我透过不同视野在行业领域内对封装有了一定的了解与兴趣。和同期的其他同学不同，我是唯一一个来无锡导师公司研究学习的硕士生，真心地感激导师给予的优越学习平台与生活环境，让我相比其它在所学生可以更好、更提前领略公司的氛围，有机会从不同角度、多位前辈身上汲取知识与经验。导师身兼数职，还要培养多位硕士、博士生，但始终能够指导我解决问题和克服困难，重视并督促我完成各个阶段的任务。导师为人、治学、敬业的方方面面都令我受益终身，在此真诚地向您表达最大的感激与敬意，谢谢您！

感谢华进半导体封装先导技术研发中心有限公司给予过我帮助的前辈，抱歉无法一一提起你们的名字。非常庆幸可以在技术导入部设计组里学习、工作，真诚感谢组里的大家。特别感谢孙鹏部长、徐健经理以及远走华为工作的王海东师哥，师哥给予我很多具体的教导，是我唯一的小导师。还有研发部的张文奇老师，陆原老师，战略部多次关怀我的林挺宇老师以及同样在华为工作的何洪文老师。虽然近两年多不见，但一直帮助我的北京小伙伴们、师哥师姐们。还有始终未曾谋面但却悉心指导我的李君老师，周云燕老师，刘晓芳老师。在我后期最艰难的时候帮助过我的导师，陈枫老师以及崔京老师，真心希望你们能知道我心中对你们的感激以及一直以来想回报你们的心愿！

感谢我的父母，我的亲朋好友们，你们的关爱是我求知上进的不竭动力！

最后，由衷感谢评审的专家老师在百忙中抽出时间，你们和我所感谢的老师一样，不知不觉间留下诸多让我们感恩铭记的言行，值得我们新一代不成熟的学子怀抱着最大的敬意并尽最大的努力学习、发扬与传承。

作者简介及攻读学位期间发表的学术论文与研究成果

作者简介:

2010年9月——2014年7月,在吉林大学电子科学与工程学院院(系)获得学士学位。

2014年8月——2018年1月,在中国科学院大学微电子学院院系攻读硕士学位。

获奖情况: 2010.10 获得吉林大学电子科学与工程学院十佳歌手奖; 2013.12 获得大学生创新计划三等奖; 2015.4 获得中科院大学怀柔校区十佳歌手奖; 2015.6 获得中科院大学工信学院羽毛球单打及混双第一名; 2015.11 获得华进半导体封装先导研发中心羽毛球比赛单打与混双第一名、双打第三名; 2016.6 获得中科院物联网研究发展中心羽毛球比赛单打与混双第一名; 2016-2017 中国科学院大学三好学生。

实习经历: 研二阶段开始实习于微电子所九室在无锡成立的华进半导体封装先导技术研发中心有限公司,主要负责包括封装设计及信号与电源完整性优化分析; 集成无源器件(IPD)的设计、仿真、测试; 封装的热设计与散热分析,相关热阻测试及器件热测试; 所分配国家专项相关课题的工艺调研及仿真分析。

已发表(或正式接受)的学术论文:

[1] 王祺翔,曹立强,周云燕. 三维封装中的并行键合线信号仿真分析[J]. 电子与封装,2017,(03):13-18.

申请或已获得的专利:

[2] 王祺翔 一种高堆叠扇外型系统级封装结构及其制作方法(发明专利)
201611095553.5

[3] 王祺翔 一种扇外型晶圆级封装结构及其制作方法(发明专利)
201611238137.6

参加的研究项目及获奖情况:

参与国家重大02专项13课题中子课题: 2.5D TSV技术关键技术仿真及验证(国家科技重大专项编号2013ZX02501-004),公司自主研发IPD项目以及多项企业横向项目与工作。

