

Design and Simulation of New Packaging Structure for SiC
Power Module and Exploration of Packaging Process

A thesis submitted to
University of Chinese Academy of Sciences
in partial fulfillment of the requirement
for the degree of
Master of Science in Engineering
in New Materials and Devices for Energy and Electrical Engineering

By

Lou Shuxun

Supervisor: Professor Xu Ju

Institute of Electrical Engineering, Chinese Academy of Sciences

June 2019

中国科学院大学

研究生学位论文原创性声明

本人郑重声明:所提交的学位论文是本人在导师的指导下独立进行研究工作所取得的成果。尽我所知,除文中已经注明引用的内容外,本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对论文所涉及的研究工作做出贡献的其他个人和集体,均已在文中以明确方式标明或致谢。

作者签名:

娄书勋

日期:

2019.5.24

中国科学院大学

学位论文授权使用声明

本人完全了解并同意遵守中国科学院有关保存和使用学位论文的规定,即中国科学院有权保留送交学位论文的副本,允许该论文被查阅,可以按照学术研究公开原则和保护知识产权的原则公布该论文的全部或部分內容,可以采用影印、缩印或其他复制手段保存、汇编本学位论文。

涉密及延迟公开的学位论文在解密或延迟期后适用本声明。

作者签名:

娄书勋

导师签名:

徐菊

日期:

2019.5.24

日期:

2017.5.24

摘 要

随着电力电子技术朝着更高温、高功率、高压、高频率的方向快速发展，以碳化硅 (Silicon Carbide, SiC) 为代表的宽禁带功率半导体器件成为硅基功率器件替代者的趋势越来越明显。近几十年来，SiC 作为下一代功率器件得到了广泛关注和研究，并且商用步伐发展迅速。如今，除了价格因素外，影响 SiC 功率器件应用发展的一个主要问题是缺乏与之匹配的耐高温封装材料、高功率密度封装技术以及高频驱动系统，导致 SiC 功率器件优势的发挥大打折扣。

SiC 功率器件最佳的工作温度在 200°C-300°C，但目前市售的大多数 SiC 功率器件一般套用 Si 器件的传统引线键合封装形式，导致封装结构仅能支持的工作结温一般不超过 175°C。采用引线键合封装形式，芯片所产生的热量只能沿下基板进行单方向散热，大大影响了其高温和高功率密度应用的发展，采用无引线键合封装技术是耐高温和高功率密度封装结构的发展趋势。在高电压应用方面，相同的击穿电压，SiC 器件的管芯比 Si 器件的更薄，从而带来了封装机械匹配性的挑战。选择合适的与 SiC 器件热膨胀系数匹配的衬底、芯片粘接材料、封装材料等是 SiC 器件封装成功的关键因素。在高频应用方面，SiC 高开关频率可以实现低开关损耗，从而可以提高功率密度和效率，但同时也带来电磁干扰的严峻挑战。在相同数量的寄生电感下，较高的 di/dt 会在器件上产生较高的电压过冲和振荡，会显著增加器件的开关损耗、器件的电压应力以及 EMI 噪声。同时，多芯片并联是调整模块级功率的有效方法，高的开关速度会对器件并联均流特性带来挑战，导致寄生对动态电流平衡的敏锐度增加，因而更难以保持电流平衡。在器件并联设计中，稳态和动态的电流平衡是需要考虑的关键设计因素之一，通常通过对称布局结构实现。

本文针对高功率 SiC 器件封装方面存在的问题，做了以下几部分的前沿探索研究工作：

1. 提出了一款新型通孔陶瓷转接板 (TCV) 的新型封装结构，进行了寄生参数、热、力有限元的仿真分析，表明该 TCV 封装结构具有低寄生电感以及优越的散热性能，并对该结构的热应力以及可靠性问题进行了仿真分析；

- 2、设计了双面散热双直流端的 SiC 多芯片并联的功率模块封装布局，并进

行了寄生参数提取和开关器件的动态性能仿真分析，验证了其优越的均流特性。

3、通过对芯片表面处理工艺以及有机介质的填充工艺的实验研究，对新型 TCV 封装结构 SiC 功率模块的封装工艺进行了初步探索。

关键词：碳化硅，有限元仿真，寄生参数，均流，封装工艺

Abstract

With the rapid development of power electronics technology to the direction of high temperature, high power, high voltage and high frequency, Silicon carbide (SiC) as one of most popular wide band gap semiconductor devices was gradually considered to be an substitute for silicon-based power devices. In the past ten years, SiC as the next generation of power devices has been widely concerned and studied, and its commercialization progress is rapidly developed. Nowadays, besides high cost problem, one of the main problems affecting the large scale of application of SiC power devices is the lack of matching high temperature heat resistant packaging materials, high power density packaging technology and high frequency drive system, resulting in the advanced properties of SiC power devices can't be fully shown.

The optimum operating temperature of SiC power devices is 200C-300°C, but most of commercially SiC power devices generally apply the traditional wire bonding packaging structures which were for silicon power devices, resulting in the working junction temperature of this SiC power devices can't exceed 175°C. This is because the heat generated by the chip can only be dissipated in one direction along the bottom substrate when the module uses wire bonding structure for packaging, thus greatly limiting the SiC module for the application of high temperature and high power density occasions. Therefore, wire free bonding packaging with double sided heat dissipation packaging structure will be an obvious tendency for SiC power device packaging. In high voltage device applications, the bare die of SiC device is thinner than that of Si device at the same breakdown voltage, which brings the challenge of packaging mechanical stability. The selection of suitable substrate, die attach and chip interconnection materials and encapsulants matching with the thermal expansion coefficient of SiC bare die is one of the key factors for the reliable SiC device packaging. In the occasion of high frequency application, SiC devices can work under higher switching frequency than Si with lower switching loss, which can improve

power density and efficiency. However, working under high frequency also brings the severe challenge of electromagnetic interference. Under of the similar stray parasitic inductances, higher di/dt will produce higher voltage spikes and oscillation on the system, which will significantly increase the switching loss, voltage stress and EMI noise of the device. In addition, It is well known that multi-chip parallel connection is an effective way to adjust the power level of power module. High switching speed will bring the current stability problem for parallel connection devices, and resulting in more difficult to balance dynamic current due to the higher stray parasitic sensitivity. This can usually be overcome by using symmetric layout structure design. In view of the above problems existing in packaging of SiC power devices, the following frontier exploration and research work have been done in this thesis:

1. A new type of packaging structure by using through ceramic via (TCV) as transfer board is proposed, and the finite element simulation analysis of the packaging's parasitic parameters, heat distribution and thermal stress is carried out. The results show that the TCV package has low parasitic inductance and superior heat dissipation, and the thermal stress and reliability of the structure are simulated and analyzed.

2. A new type of chip routing layout with dual DC terminals for double-sided packaging structure of SiC multi-chip parallel connection module is designed. The parasitic parameter extraction and the simulation analysis of the dynamic performance of the switching device are carried out, and its superior current sharing characteristics are verified.

3. The experimental process exploration for chip surface finish and the underfill infuse are also studied. It was proved that the TCV packaging structure can be done by the mature packaging process.

Key Words: Silicon carbide, finite element simulation, parasitic parameters, current sharing, packaging process

目 录

第 1 章 绪论.....	1
1.1 研究背景及意义.....	1
1.2 SiC 功率器件及其传统封装概述.....	2
1.3 SiC 功率器件封装的材料系统.....	4
1.4 SiC 功率器件封装的挑战.....	6
1.5 SiC 功率器件新型封装技术的研究现状.....	7
第 2 章 理论基础和研究方法.....	11
2.1 传热学经典理论.....	11
2.2 热-结构耦合分析理论.....	14
2.2.1 热应力概述.....	14
2.2.2 热应力理论基础.....	14
2.3 本文研究方法.....	18
2.3.1 有限元方法基本思想.....	18
2.3.2 ANSYS Workbench 软件介绍.....	18
2.3.3 Ansoft Q3D Extractor 寄生电感仿真介绍.....	20
第 3 章 新型 SiC 封装结构设计及其热、结构有限元仿真.....	21
3.1 引言.....	21
3.2 新型 SiC 功率器件封装.....	21
3.3 TCV 结构和引线键合结构杂散电感提取对比.....	23
3.4 热、结构有限元仿真.....	24
3.4.1 稳态散热仿真.....	24
3.4.2 不同焊料对 TCV 封装结构的散热及热应力的影响.....	27
3.4.3 有机填充介质 (Underfill) 有无对结构散热及热应力的影响.....	30
3.4.4 Underfill 不同的 CTE 对焊料层热应力的影响.....	32
3.4.5 不同温度下焊料层和 Underfill 热应力.....	33
3.5 温度循环仿真.....	35
3.6 功率循环仿真.....	39

3.7 本章小结	41
第 4 章 双面散热双直流端 SiC 功率模块布局	43
4.1 引言	43
4.2 开关单元的概念	43
4.3 传统双面单直流端功率模块布局	45
4.4 新型双面双直流端功率模块布局	46
4.5 动态性能仿真	48
4.5.1 双脉冲测试介绍	48
4.5.2 开关测试仿真	49
4.6 本章小结	52
第 5 章 化学镀镍钯金芯片表面处理及有机介质填充工艺	53
5.1 化学镀镍钯金芯片表面处理工艺	53
5.2 有机介质填充工艺	57
第 6 章 总结和展望	63
6.1 全文总结	63
6.2 研究展望	63
参考文献	65
致 谢	69
作者简历及攻读学位期间发表的学术论文与研究成果	71

第1章 绪论

1.1 研究背景及意义

电力电子技术是利用电力电子器件变换和控制电能,对电能进行二次变换的技术^[1]。它能将低质量的“粗电”高效率地转化成高质量的“精电”。电力电子技术是国民经济最重要的支撑技术,标志着一个国家电气自动化的水平,是保障人民生活质量、实现节能环保的重要手段。在当前节能减排和发展绿色经济的国际大环境下,电力电子技术的作用显得更加突出。电力电子器件也被称为功率器件,是电力技术的核心组成部分,发挥着极其重要的作用。不同功率等级的功率器件广泛应用在各个领域,如图 1.1 所示,在这些领域的电力电子装置中发挥着关键作用。

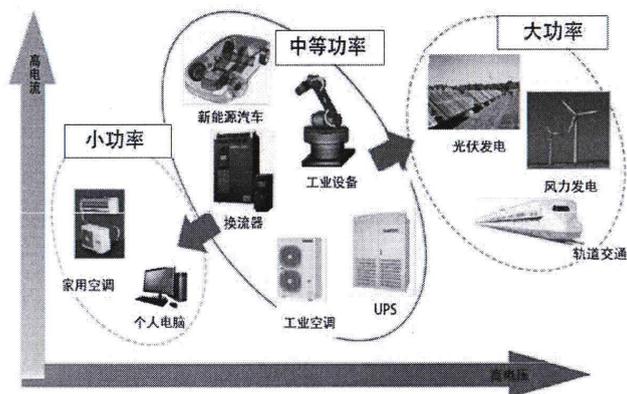


图 1.1 功率器件的应用领域

Figure 1.1 Applications of Power Devices

在功率器件发展的几十年中,硅材料是使用最为广泛的半导体材料。然而,随着电力电子技术朝着更高温、高功率、高压、高频率的方向快速发展,对功率半导体器件也提出了更高要求。硅材料固有物理性质的局限性,在某些领域中将阻止硅材料成为功率器件未来的候选者。随着硅基功率器件接近其材料极限,工程师和研究人员开始寻找替代硅基功率器件以获得更好的性能^[2]。寻找新材料的功率器件来满足新一代电力电子装置的新要求是不可避免的。

碳化硅(SiC)是一种新型半导体材料,其被称为继硅(Si)和砷化镓(GaAs)

为代表的第一代和第二代半导体材料之后迅速发展的第三代半导体。它具有带隙宽、导热系数高、击穿场强高、饱和漂移速率高等优点，非常适合制作高频、高功率、耐高温、高压的功率半导体器件^[3]。在过去的十几年间，SiC 作为 Si 必然替代者的下一代高功率半导体器件已经引起广泛关注。美国、日本、欧盟等国近几年纷纷制定政策、投入资金，加紧发展 SiC 功率器件，抢占第三代功率半导体的战略高地。我国也不甘落后，在国家政策的支持下，SiC 器件研制虽起步较晚，但进展迅速，同国际领先水平的差距在逐渐缩小^[4]。

功率器件的快速发展也导致了封装技术的不断更新。器件封装是功率器件必要的工艺之一，它的最大作用是隔离外界环境以保护器件。封装的质量不仅直接影响着功率器件本身的电气、机械和热性能，影响其成本和可靠性，还很大程度上决定了系统的小型化和多功能化。因此，功率器件封装受到人们的普遍重视。

SiC 功率器件的优异性能使其可以应用于极端高温、高功率或高辐射条件下，因此对封装的要求也高于传统的 Si 功率器件。SiC 功率器件的工作频率、工作温度和功率密度较高，要求封装材料的物理化学特性和电学特性在高温环境中保持稳定，如今影响 SiC 功率器件应用发展的一个主要问题是缺乏与之匹配的高密度封装技术、耐高温封装材料以及高频驱动系统。针对碳化硅功率器件的新型封装结构设计、高温封装材料以及相关封装工艺技术成为了国内外科研人员和工程师重要的研究方向。

1.2 SiC 功率器件及其传统封装概述

SiC 功率器件是采用第三代半导体材料碳化硅制造的宽带隙半导体器件，具有高效率、高频率、高温特性。目前已经商业化的 SiC 功率器件主要包括肖特基势垒二极管 SBD、金属氧化物场效应晶体管 MOSFET、绝缘栅双极型晶体管 IGBT 和门极可关断晶闸管 GTO 等^[5]。SiC 功率器件是在 SiC 晶圆材料上采用微电子工艺加工制造而成，SiC 单晶材料有超过上百种不同的晶体结构，其中 4H-SiC 由于可以制作出用于器件生产的大晶圆而在研究中最受关注，是目前最常用的单晶衬底材料^[6]。4H-SiC 与 Si 的材料参数对比^[7]如表 1.1 所示。SiC 的带隙宽度约是 Si 的 3 倍，因此带隙能量更高，使用 SiC 半导体制造的器件可以承受更多的热量和辐射，而不会失去其电气特性。此外，SiC 材料的导热系数也远高于 Si 材料的导热系数，这也有利于 SiC 器件的高温工作能力。SiC 的击穿电场约是 Si 的 10

倍,这意味着 SiC 功率器件的击穿电压更高。半导体材料的高频开关能力与其饱和漂移速度成正比, SiC 的饱和漂移速度是 Si 的两倍以上,这意味着 SiC 功率器件可以在比相应的 Si 器件更高的频率下进行切换^[8]。高开关频率可大大降低开关损耗,提高系统效率。综上所述, SiC 功率器件是高温、高频、高压应用的最佳选择,它们可应用于硅器件不能使用的极端条件下。目前,碳化硅功率器件在中等电压领域已经能够实现产业化,并逐步开始替代硅器件,高压碳化硅功率器件也在大力研发当中。

表 1.1 4H-SiC 和 Si 材料参数对比

Table 1.1 Comparison of 4H-SiC and Si Material Parameters

参数	单位	Si	4H-SiC
带隙	ev	1.12	3.26
电子迁移率	Cm ² /VS	1400	950
击穿电场	Mv/cm	0.23	2.2
饱和漂移速度	Cm/S	1e7	2.7e7
介电常数	-	11.8	9.7
热导率	W/m·K-1	157	380

功率器件优异性能的发挥离不开封装的支撑,但从目前市场上的碳化硅产品来看,大部分 SiC 器件仍沿用与 Si 器件相同的结构进行封装,根据功率等级的不同,低功率器件通常采用分立式单管封装形式,而高功率器件通常采用模块式多芯片封装形式。分立封装最重要的形式是 TO (Transistor Outline) 封装,如最常见的 TO-220 封装和 TO-247 封装。分立封装的结构示意图如图 1.2 所示,芯片通过粘接材料焊接到铜基板上,铜基板起支撑作用,同时,铜基板和引线脚组成引线框架,芯片上的接触区通过铝线与引线框架完成电极连接,外部塑封外壳。这种封装形式广泛适用于 SiC SBD 以及 SiC MOSFET。

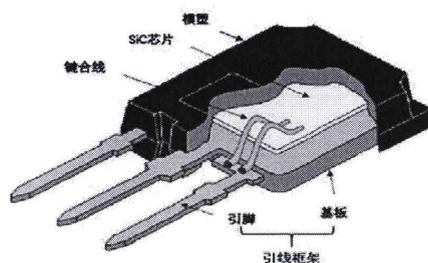


图 1.2 TO 封装结构布局

Figure 1.2 TO Packaging Structure Layout

功率等级在 10kW 以上的应用，通常采用模块式多芯片封装。对于采用传统硅基功率模块封装形式的 SiC 封装结构，其典型的封装形式如图 1.3 所示：主要包括芯片、覆铜陶瓷衬板（DBC 衬板）、基板、散热器以及这些层间起互连作用的焊料等结构。芯片的顶部通常通过引线键合连接到外部的引线框架，而芯片的底部则连接到 DBC 衬板的上铜层走线上。DBC 衬板采用直接覆铜技术（Direct Bonded Copper，简称 DBC），直接将铜覆在陶瓷的上下两侧，并可利用上铜层的布局集成多个芯片，完成电路拓扑。电流从芯片的底部垂直穿过，通过键合线到达端子。模块内部通常填充有硅凝胶等封装材料，外加坚硬的塑料外壳保护，以此提供电绝缘并防止内部芯片和键合线等受到振动、湿气和环境污染等。由于发热量大，功率模块铜基板外一般安装有散热器。基板和散热器之间涂有导热硅脂，以避免两者之间的空隙。

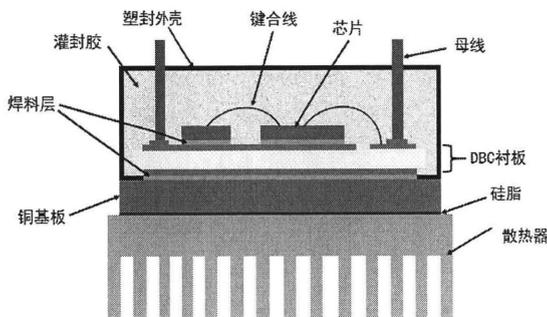


图 1.3 典型的功率模块封装结构布局

Figure1.3 Typical Power Module Packaging Structure Layout

1.3 SiC 功率器件封装的材料系统

SiC 功率器件的封装材料组合主要包括：衬板、芯片粘接材料、芯片互联材料、包封材料等。

衬板通常由两片金属层和中间的陶瓷绝缘层组成，是功率芯片最直接的载体，能够为芯片提供机械支撑并且是将芯片产生的热量传导至散热器的主要部件，同时衬板上层的带有图形的金属层还应用于实现芯片间的电路拓扑，起电气互连的作用。DBC 衬板是使用最为广泛的衬板，它采用直接覆铜技术，利用铜的含氧共晶液直接将铜敷设在陶瓷上。目前最常用的四种陶瓷材料及参数比较如表所示：

表 1.2 陶瓷材料及参数比较

Table 1.2 Comparison of ceramic materials and parameters

	氧化铝 (Al ₂ O ₃)	氮化铝 (AlN)	氮化硅 (Si ₃ N ₄)	氧化铍 (BeO)
密度 (kg/m ³)	3970	3280	2400	3000
热导率 (W/m · K)	33	170	70	270
CTE (ppm/°C)	7.2	4.3	3.0	7.0
杨氏模量 (GPa)	340	350	250	360
挠曲强度 (MPa)	350	300	750	250

在上述的陶瓷材料选择中,氧化铍具有最高的导热率,但是在其加工过程中会形成对人体有害的尘埃颗粒;氧化铝成本最低,是最经济的选择,但材料性能一般;氮化硅具有高的挠曲强度,因此其热循环可靠性更高,但是其导热系数较低,且材料成本较高;相比之下,氮化铝是一种安全材料,导热率比较高,且CTE值与碳化硅材料匹配更接近,挠曲强度高,拥有相对高的热循环可靠性^[9],在高压应用场合较多。

粘接材料,也称焊料,起着芯片与衬板之间、衬板与基板之间的电气连接和机械固定作用,粘接材料必须能够承受器件工作产生损耗而带来的高温,粘接材料耐温性不足会直接影响器件的性能。SiC器件能够在200°C以上工作,根据芯片粘接材料融化温度不低于管芯结温80%的要求,同时符合有害物质限制指令(RoHS)禁止使用含铅焊料的国际标准,研发高温无铅粘接材料刻不容缓。目前应用较多的无铅粘接材料有锡-银-铜、金-锡、金-硅、银基环氧树脂等^[10]。此外,一种替代常规芯片粘接的方法即瞬态液相粘合(TLP)工艺,它将传统的液相焊接与扩散工艺相结合,以产生高于其加工温度的芯片粘接合金^[11]。另外一种高温芯片粘接方法是低温纳米银烧结技术。它基于纳米或微米级银颗粒在220°C加压下的自发烧结能力,纳米银烧结的接头熔点可达到962°C,拥有更好的导热率、导电性及机械特性^[12]。

封装材料可以保护功率模块组件免受机械振动、湿气、溶剂和气体的损害,同时还能起到缓解焊点热应力、提高封装循环寿命的作用。封装材料在高压模块内能够提高封装的额定电压,并防止不同电极之间产生电弧。然而目前针对硅器

件传统模块封装的包封材料一般用于 200℃ 以下，因此必须寻找更高温度应用的包封材料。在考虑高杨氏模量易引起高应力的问题上，目前最适合的包封材料是聚合物。聚合物封装又分为两类，软封装和硬封装。软封装聚合物如有机硅凝胶，表现出非常低的杨氏模量，只有几十到几百 kPa，且 CTE 高，因其柔软性而具有非常高的应力缓冲能力，被广泛用于封装高压多芯片功率模块中，然而商用有机硅凝胶的最高温度限制在 250℃ 以下^[13]。另外一种硬封装聚合物如环氧树脂填充介质，通常由掺有大量二氧化硅(SiO₂)颗粒的环氧树脂所组成。经烘烤固化后，填充介质变硬且具有高模量和低 CTE，与焊点热膨胀系数 (CTE) 失配程度低，具有低吸湿性和良好的与芯片及基板的粘粘接性能等^[14]。

1.4 SiC 功率器件封装的挑战

SiC 功率器件封装的挑战是由 SiC 器件独特的性能带来的，具体可归纳为以下几个方面：

(1) SiC 器件的高温特性。SiC 半导体材料作为功率器件的理论极限操作温度可达 700℃，实际最佳的工作温度在 200℃-300℃ 之间^[15]。但目前市售的大多数 SiC 功率器件一般套用 Si 器件的传统引线键合封装形式，导致封装结构仅能支持的工作结温一般不超过 175℃。Si 器件传统的封装布局和封装材料已不适用于 SiC 器件，寻找能维持高温操作的可靠封装结构和封装材料十分重要。

(2) SiC 器件的高压特性。相同的击穿电压，SiC 器件的管芯比 Si 器件的更薄，从而带来了封装机械匹配性的挑战。选择合适的与 SiC 芯片热膨胀系数匹配的衬底、芯片粘接材料及互联材料是 SiC 器件封装成功的关键因素。同时，为了处理相同的电压，SiC 器件封装需要维持比 Si 器件封装更高的电场，这一特性需要新的绝缘包封材料来支持。

(3) SiC 器件的高频特性。SiC 高开关频率可以实现低开关损耗，从而提高效率和功率密度，但同时也对寄生参数的控制带来了严峻的挑战。在相同的寄生电感下，较高的 di/dt 会在开关管上产生较高的电压过冲，触发误导通，产生振荡，会显著增加器件的开关损耗、器件的电压应力以及电磁干扰问题^[16]。同时，多芯片并联是调整模块级功率的有效方法，高的开关速度增加了寄生对动态电流平衡的敏锐度，使得在高开关速度下难以保持电流平衡，带来了器件并联均流设计的挑战。在器件并联设计中，稳态和动态的电流平衡是要考虑的关键设计

因素之一，通常通过对称布局结构实现器件并联。

1.5 SiC 功率器件新型封装技术的研究现状

近年来，针对碳化硅功率器件高温、高压和高频特性在封装技术上的挑战，各国科研人员和工程师做了大量研究工作。例如一些典型的研究如 SEMIKRON 公司^[17]使用的 SkiN 技术设计了用于 1200V/40A 改进的 SiC 功率模块，如图 1.4 所示，该模块可以获得 1nH 的寄生功率电感。SkiN 技术采用柔性印制电路板集成元件，并使用纳米银焊膏完成元件、芯片以及散热器与 DBC 板之间的粘接。SkiN 结构可以使寄生电感大幅降低，提高功率循环寿命，但是热性能没有改善。宁圃奇^[18]等人设计了一种高温碳化硅新型平面封装技术，针对碳化硅 SBD 和碳化硅 JFET 的封装如图 1.5 所示。该设计的核心思想在于电极焊盘通过纳米银焊膏浆料连接至不同的导电铜层，铜层作为半导体管芯与外部的电气互连。基于此技术制作的功率模块原型的电气和热机械测试证明了其功能性和热机械稳定性，同时也证明了平面封装比引线键合封装具有更小的体积和更低的功率损耗。CPEST^[19]提出的嵌入式封装 SiC 模块具有改善的功率密度、降低的寄生电感以及低机械应力。嵌入式结构使用单独衬底封装，功率半导体器件安装在陶瓷框架的开口中，器件边缘填充聚合物粘合剂，将刻蚀铜作为芯片焊盘连接的互连层，如图 1.6 所示。

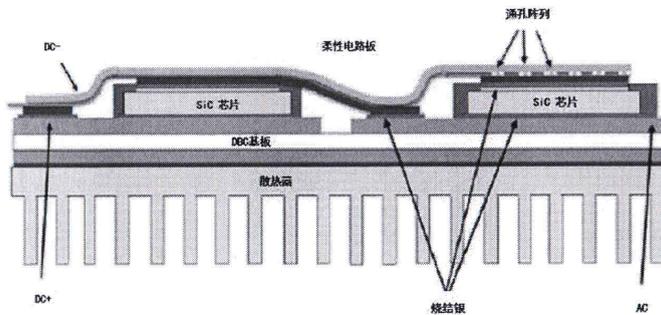


图 1.4 使用 SkiN 技术的 SiC 功率模块

Figure 1.4 SiC power module using SkiN technology

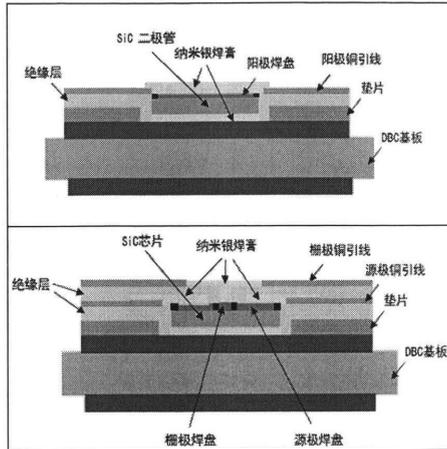


图 1.5 高温 SiC 新型平面封装

Figure1.5 High temperature SiC new planar package

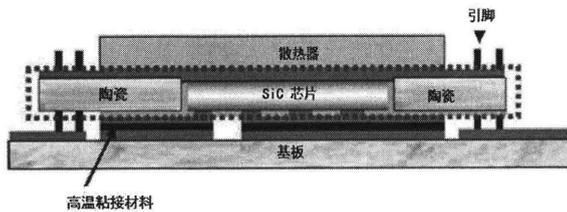


图 1.6 嵌入式封装结构

Figure1.6 Embedded package structure

另外一项重要的研究是在 SiC 封装中引入了低温共烧陶瓷 (low temperature co-fired ceramic, LTCC)。H. Zhang^[20]等人研制了一种高温 SiC 功率模块的双面冷却封装形式,如图 1.7 所示。在这种封装模块中,低温共烧陶瓷层作为上下 DBC 衬板之间介电层和芯片载体。这种双面 DBC 结构可实现双面冷却能力,由于未使用基板以及消除了大面积的铜焊层,同时使用纳米银焊膏作为芯片粘接材料,大大减小了封装整体热阻的同时增加了疲劳寿命。有限元仿真和实际电气测量均验证了这种封装结构在电气性能和散热方面的优越性。Zhu^[21]等人使用 LTCC 转接板作为“fuzz button”互连的夹具,“fuzz button”互连的好处已经在研究中被证实^[22],同时上下两侧使用 LTCC 微通道散热器,在微通道的水槽上印制导电迹线以承载电流。这使得 SiC MOSFET 得以充分散热,而又不过分增加模块体积。这种封装方式也被称作 2.5D 封装,将功率芯片连接在同一衬底上,而另一个衬底

用于两个功率芯片之间的布线和互连，功率芯片上的电极焊盘通过中间加持的转接板连接到布线层，如图 1.8 所示。

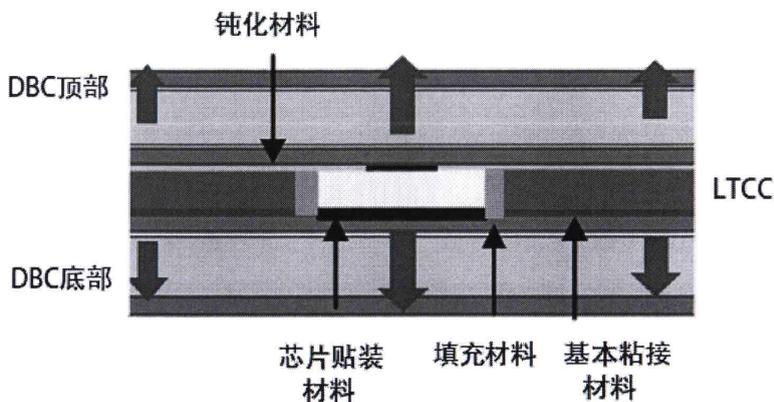


图 1.7 基于 LTCC 的双面冷却模块结构示意图

Figure 1.7 Schematic diagram of double-sided cooling module based on LTCC

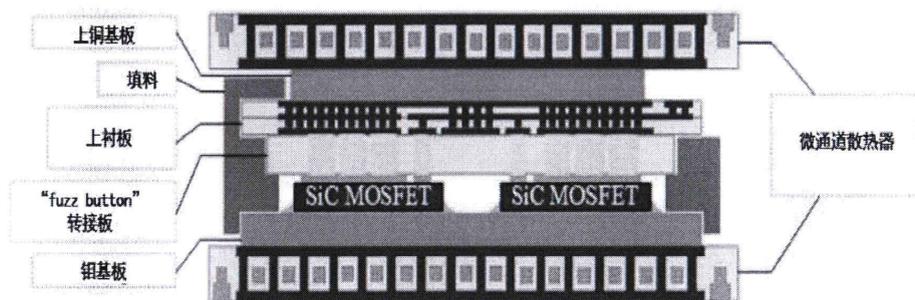


图 1.8 LTCC 转接板压力互连结构

Figure 1.8 Pressure contact interposer connection

最近两年，SiC 封装技术借鉴了微电子封装技术开始向三维集成方向发展，美国的电-热系统工程研究中心（POETS ERC）提出了 SiC 功率模块封装的研究发展方向，即实现集成功率模块的无引线互连技术^[23]。阿肯色大学的 Sayan Seal^[24]等人提出了一种芯片级的倒装芯片封装技术，能用于将商业功率裸芯片转换为倒装芯片封装，以便于 SiC 模块 3D 集成。其设计示意图如图 1.9 所示。芯片底部的漏极侧连接铜端子，并将漏极端子的电连接重新布线到与栅极和源极相同的平面。这种布局方式将 MOSFET 重新配置为单侧器件，使其可以倒装互连

至下衬底上，同时漏极铜端子可以粘合至散热器以直接散热。这种方式提供了比传统的 DBC 衬板-基板-散热器更低热阻的散热路径，与传统的引线键合方法相比，互连的寄生阻抗大幅减小。Atanu Dutta^[25]等人提出了一种高电压大电流的 SiC 功率模块的 3D 堆叠封装。两个无引线键合的功率模块在一个内嵌弹簧负载针阵列的低温共烧陶瓷转接板的帮助下完成 3D 堆叠半桥配置，如图 1.10 所示。此种堆叠封装的功率模块的寄生电感明显低于传统的引线互连的模块。

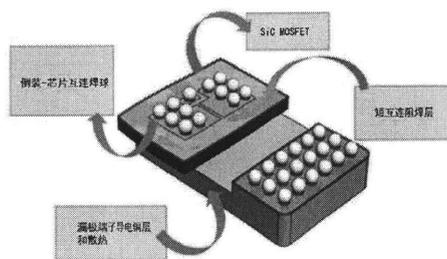


图 1.9 SiC MOSFET 芯片级倒装互连

Figure1.9 SiC MOSFET chip-scale flip-chip interconnect

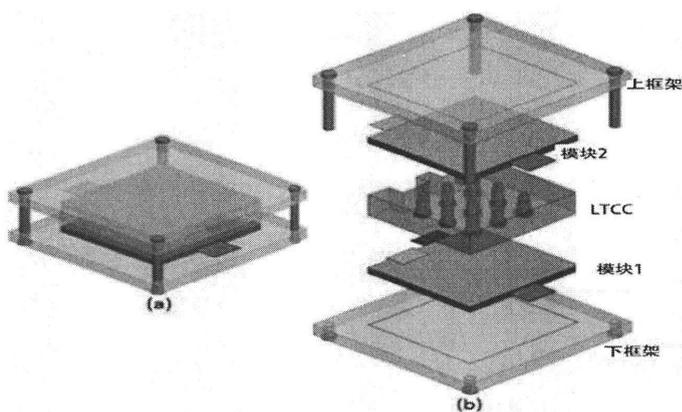


图 1.10 SiC 功率模块 3D 堆叠封装

Figure1.10 SiC power module 3D stacked package

第 2 章 理论基础和研究方法

2.1 传热学经典理论

分析一切能量传递和热传递的最基本理论是热力学第一定律, 也被称作能量守恒定律, 其可以用以下方程式表示:

$$E_{in} - E_{out} = \Delta E_{system} \quad (2.1)$$

其中, E_{in} 表示进入系统的总能量, E_{out} 表示离开系统的总能量, ΔE_{system} 表示系统最终的能量与初始总能量之间的差值。

功率器件封装的热量通常是由于功率器件损耗所产生的焦耳热引起的, 焦耳热的产生会引起整个封装结构不同梯度的温度升高, 热量会从相对高温区域不断流向相对低温区域, 直到形成相对稳定的温度分布平衡状态, 且低温区域流入的热量与高温区域流出的热量相等。

在传热学中, 存在温度差的两个物体之间发生的能量传递被定义为传热。根据这两个物体之间是否有媒介存在以及媒介运动或是静止的状态, 传热又被分为三种基本的方式或机理, 包括热传导、对流换热和辐射换热。

(1) 热传导

热量从一个物体的高温一侧传递至低温一侧, 或者通过媒介从一个物体传递至另一个物体的现象被称作热传导或导热。就电子封装结构体来说, 芯片由于损耗产生的焦耳热传递至基板、热量通过电路版传递、以及热量传递至封装外壳或散热器等都是热传导的例子。

热传导用傅里叶定律描述, 可以用以下公式表示:

$$Q = -k \frac{dT}{dx} \quad (2.2)$$

式中的 Q 表示热流密度, 单位是 W/m^2 , k 被称为材料的导热系数或热导率, 单位是 $W/m \cdot K^{-1}$, dT/dx 表示温度方向的温度梯度, 负号表示热流密度与温度梯度方向相反。热传导示意图如图 2.1 所示,

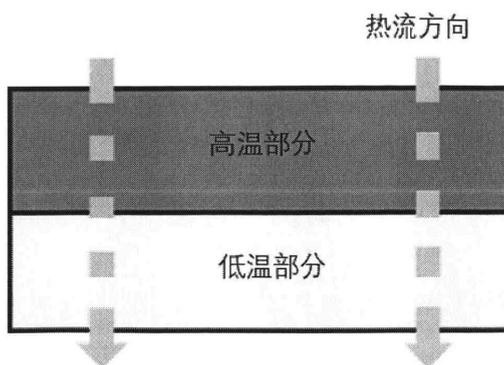


图 2.1 热传导示意图

Figure 2.1 Schematic diagram of heat conduction

(2) 对流换热

对流换热是指一个物体表面与其周围接触的运动流体（气体或液体）之间因存在温度差而产生的热量传递。对流换热又可分为两种形式，一种是自然对流换热，另外一种强制对流换热。自然对流换热是由冷、热流体的密度差所造成的，高温物体表面的空气体积膨胀使得热空气上升而冷空气下降，从而完成热量交换。强制对流换热是一种主动散热方式，是由风机或者动力泵产生流动的流体，例如现代功率电子器件由于功率过大而导致芯片结温过高而产生不利影响，自然对流无法满足散热要求，故常加装强制对流散热装置。

对流换热通常用牛顿冷却方程式来描述，一般公式表示为：

$$Q = hA(T_A - T_S) \quad (2.3)$$

式中 h 被称作对流换热系数，可以表示对流换热能力的大小，单位为 $W/(m^2 \cdot K)$ ， A 是与流体接触的物体的表面积， T_A 是物体表面的温度， T_S 是周围流体的温度，对流换热的示意图如图 2.2 所示。

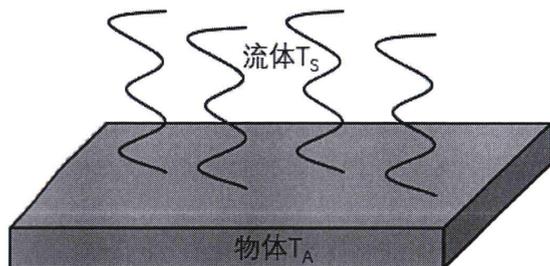


图 2.2 热对流示意图

Figure 2.2 Schematic diagram of heat convection

(3) 辐射换热

辐射换热是存在温差的两个物体之间不存在介质而通过光子或者电磁波进行热量传递的过程。辐射换热发生于任何两个存在温差的物体之间并伴随着其他传热形式。辐射换热的计算非常繁琐复杂，最简单的情况可以用玻尔兹曼方程来计算辐射体之间的净辐射传热量：

$$Q = \varepsilon \sigma A_1 F_{12} (T_1^4 - T_2^4) \quad (2.4)$$

式中 ε 表示物体表面的发射率，又被称为黑度，是表征物体表面辐射性能好坏的物理量， σ 被称作玻尔兹曼常数， A_1 表示辐射面 1 的面积， F_{12} 为形状系数，其值大小跟两辐射面的形状有关， T_1 、 T_2 代表两辐射表面的温度。图 2.3 为辐射换热示意图。

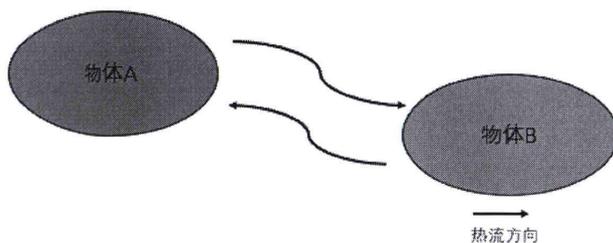


图 2.3 热辐射示意图

Figure 2.3 Schematic diagram of heat radiation

2.2 热-结构耦合分析理论

2.2.1 热应力概述

热应力又叫热机械应力,是指物体因温度变化产生的尺度变化受到约束时所产生的结构应力。热应力的产生主要有三种情况。第一种是单一材料的物体在整体受到均匀的温度变化产生的热形变受到外界的约束而产生热应力;第二种是同一物体内部,如果温度分布不均,则会在物体各个部分产生不同程度的伸缩而相互影响相邻部分,从而在内部产生热应力;第三种是不同材料组成的体系,即使受到相同的温度变化,由于各种材料的热膨胀系数不相同,不同材料之间会相互制约,从而产生各自不同的热应力。功率器件封装体的热应力情况包括了第二种和第三种情况。封装是由多层热膨胀系数不同的材料构成,温度的变化一方面可以来自于外界的高温环境所导致的近似于整个封装体均温的情形,另一方面可以是芯片正常工作时产生的功率损耗引起所的焦耳热而引起的封装体存在温度梯度的情形。

2.2.2 热应力理论基础

就功率器件封装结构热应力来说,分为两种情况,第一种情况是整个封装结构位于同一高温环境中,可以认为各个材料层温度相同,热应力的产生是由热膨胀系数失配的两种材料界面约束引起的。第二种情况是器件正常工作时的发热量会传递至各个材料层,因发热位置和各材料的距离以及各材料的导热系数不同,同样会引起因温度分布不同到产生的热应力。

为了描述热平衡,通常在物体内部任一点割取一个微小的平行六面体(微元),它的六个面与坐标轴垂直,各边长度分别为 d_x 、 d_y 、 d_z ,如图 2.4 所示。

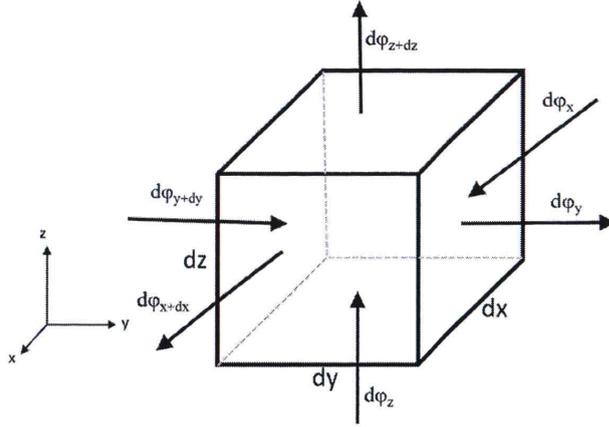


图 2.4 微元体热平衡分析

Figure 2.4 Thermal balance analysis of micro-element

由能量守恒原理可得^[26]:

$$d\phi_m + dQ = d\phi_{out} + dU \quad (2.5)$$

$d\phi_m$ 和 $d\phi_{out}$ 分别是导入微元和导出微元的总热流量； dQ 是微元内部产生的热量， dU 是微元热力学的增量。

其中， $d\phi_m$ 可表示为：

$$d\phi_m = d\phi_x + d\phi_y + d\phi_z \quad (2.6)$$

$d\phi_{out}$ 可表示为：

$$d\phi_{out} = d\phi_{x+dx} + d\phi_{y+dy} + d\phi_{z+dz} \quad (2.7)$$

由傅里叶定律知，导入微元的热流量：

$$\begin{aligned} d\phi_x &= q_x dydz = -\lambda \frac{\partial t}{\partial x} dydz \\ d\phi_y &= q_y dx dz = -\lambda \frac{\partial t}{\partial y} dx dz \\ d\phi_z &= q_z dx dy = -\lambda \frac{\partial t}{\partial z} dx dy \end{aligned} \quad (2.8)$$

q_{x+dx} 的泰勒级数展开式为：

$$q_{x+dx} = q_x + \frac{\partial q_x}{\partial x} dx + \frac{\partial^2 q_x}{\partial x^2} \frac{dx^2}{2!} + \dots \quad (2.9)$$

近似可以取前两项可得：

$$q_{x+\Delta x} = q_x + \frac{\partial q_x}{\partial x} \Delta x \quad (2.10)$$

可得：

$$d\phi_{x+\Delta x} = q_{x+\Delta x} dydz = q_x dydz + \frac{\partial q_x}{\partial x} \Delta x dydz = d\phi_x + \frac{\partial}{\partial x} \left(-\lambda \frac{\partial t}{\partial x} \right) dydz \Delta x \quad (2.11)$$

即可得到微元的热流量为：

$$\begin{aligned} d\phi_{x+\Delta x} &= d\phi_x + \frac{\partial}{\partial x} \left(-\lambda \frac{\partial t}{\partial x} \right) dydz \Delta x \\ d\phi_{y+\Delta y} &= d\phi_y + \frac{\partial}{\partial y} \left(-\lambda \frac{\partial t}{\partial y} \right) dx \Delta y \\ d\phi_{z+\Delta z} &= d\phi_z + \frac{\partial}{\partial z} \left(-\lambda \frac{\partial t}{\partial z} \right) dx dy \Delta z \end{aligned} \quad (2.12)$$

微元的热力学增量表示为：

$$dU = \rho c \frac{\partial t}{\partial \tau} dx dy dz \quad (2.13)$$

微元热源生成热可表示为：

$$dQ = \phi dx dy dz \quad (2.14)$$

将以上各式带入能量守恒方程即得到导热微分方程：

$$\rho c \frac{\partial t}{\partial \tau} = \frac{\partial}{\partial x} \left(\lambda \frac{\partial t}{\partial x} \right) + \frac{\partial}{\partial y} \left(\lambda \frac{\partial t}{\partial y} \right) + \frac{\partial}{\partial z} \left(\lambda \frac{\partial t}{\partial z} \right) + \phi \quad (2.15)$$

上式中的 ρ 表示材料的密度， c 表示材料的比热， t 表示温度， ϕ 表示热源的热生产率。

求解热传导微分方程的有三种类型的边界条件^[27]：第一类边界条件规定了边界上的温度值，最简单的情况是温度值是一个常数；第二类边界条件规定了边界上的热通量密度是一个常数；第三类边界条件规定了周围流体的温度以及物体与周围流体边界的对流换热系数。

在弹性力学分析中^[28]，也可使用微元思想，每个表面上的应力分解为与坐标轴平行的三个力，包括一个正应力（ σ ）和两个剪应力（ τ ），微元受力分析如图所示。由剪切力的互等关系可得 $\tau_{yz} = \tau_{zy}$ ， $\tau_{xy} = \tau_{yx}$ ， $\tau_{zx} = \tau_{xz}$ 。弹性体在受到外力

时会有两类变形状态：线应变 ε 和角应变 γ 。弹性体内部的点受力产生的位移分别用 u 、 v 、 w 分别表示在 x 、 y 、 z 方向的位移。

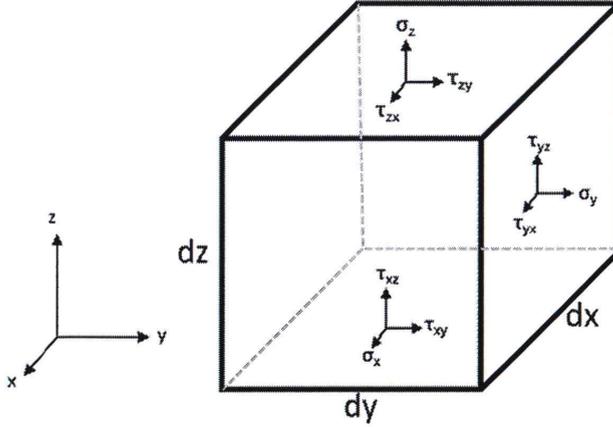


图 2.5 微元体应力应变分析

Figure 2.5 Stress-strain analysis of micro-element

表明应变分量与位移分量之间关系的几何方程表示为：

$$\begin{aligned} \varepsilon_x &= \frac{\partial u}{\partial x}, \quad \gamma_{xy} = \frac{\partial v}{\partial x} + \frac{\partial u}{\partial y} \\ \varepsilon_y &= \frac{\partial v}{\partial y}, \quad \gamma_{yz} = \frac{\partial w}{\partial y} + \frac{\partial v}{\partial z} \\ \varepsilon_z &= \frac{\partial w}{\partial z}, \quad \gamma_{zx} = \frac{\partial u}{\partial z} + \frac{\partial w}{\partial x} \end{aligned} \quad (2.16)$$

应力应变关系又称为广义胡克定律，用物理方程表示为：

$$\begin{aligned} \sigma_x &= \frac{E(1-\mu)}{(1+\mu)(1-2\mu)} \left[\varepsilon_x + \frac{\mu}{1-\mu} \varepsilon_y + \frac{\mu}{1-\mu} \varepsilon_z \right] \\ \sigma_y &= \frac{E(1-\mu)}{(1+\mu)(1-2\mu)} \left[\varepsilon_y + \frac{\mu}{1-\mu} \varepsilon_x + \frac{\mu}{1-\mu} \varepsilon_z \right] \\ \sigma_z &= \frac{E(1-\mu)}{(1+\mu)(1-2\mu)} \left[\varepsilon_z + \frac{\mu}{1-\mu} \varepsilon_y + \frac{\mu}{1-\mu} \varepsilon_x \right] \end{aligned} \quad (2.17)$$

$$E = 2(1+\mu) \tau_{xy} \gamma_{xy}$$

$$E = 2(1+\mu) \tau_{yz} \gamma_{yz}$$

$$E = 2(1+\mu)\tau_{zx}\gamma_{zx} \quad (2.18)$$

式中 E 为弹性模量， μ 为泊松比。

2.3 本文研究方法

2.3.1 有限元方法基本思想

在基础科学研究和工业产品研发过程中，经常运用数值计算法、实验分析法以及有限元分析法等进行研究分析和设计。采用数值计算法需要提取出问题背后可求解的数学模型和物理模型，通常模型及其复杂，需要研发设计人员有深厚的理论基础，且所需的数据计算量极大，难度极高，耗费了大量的人力及其计算机资源。采用实验法则往往需要进行反复试验和修改设计，具有成本高、实验周期长、破坏性大等缺点。对于复杂的物理问题尤其模型非常复杂或者涉及非线性问题的研究，直接求解得到精确的解析解是十分困难的。有限元分析法（Finite Element Method, FEM）基于离散化的基本思想，将连续介质看做由有限个节点连接起来的有限个单元组成，然后通过插值函数将每一个节点的位移用单元节点的位移表示，用全求解域的未知函数表示每个单元的特性分析，并且利用边界条件和平衡条件将有限个单元连接，最终通过解方程求得结果^[29]。有限元方法很早就提出但是由于手工计算量十分巨大所以实际应用意义并不大，但随着计算机技术的飞速发展，有限元分析的使用越来越普遍，已经成为数值分析方法研究领域的重要手段。

2.3.2 ANSYS Workbench 软件介绍

ANSYS 有限元仿真软件是目前使用最为广泛的计算机辅助软件之一，它包括使用命令流编辑的经典版本 ANSYS 和新一代产品研发集成平台 ANSYS Workbench 版本，两者使用相同的内置求解器求解，但后者的界面更为简洁，操作也更为简单，平台集成了包含结构、传热、电磁、流体等众多分析模块，可以进行单一物理场仿真分析并能方便快捷地进行多物理场耦合仿真分析。

使用 ANSYS Workbench 软件进行有限元仿真的主要分为五步，如图 2.6 所示：

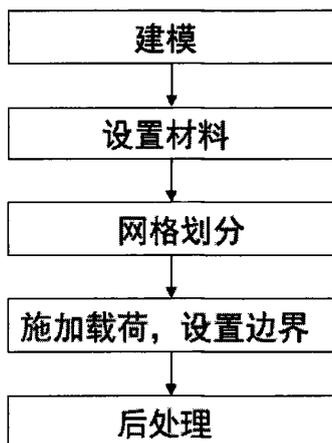


图 2.6 ANSYS Workbench 仿真步骤

Figure 2.6 Simulation steps of ANSYS Workbench

(1) 建立有限元分析模型。软件本身自带建模功能模块 (Design Modeler, DM), 并且能和市场主流的建模软件进行无缝连接, 如 SolidWorks、UG、Pro/E 等, 只需在建模软件中建好模型, 然后保存相应的文件格式, 即可导入 ANSYS 完成建模。ANSYS 既可以进行二维模型仿真也可以进行三维模型仿真, 二维模型通常来说建模和网格划分比较简单, 且求解速度较快, 很多情况下为了仿真效率可以将三维模型等效为二维模型, 但前提是要在误差允许范围之内建立合适的模型。

(2) 定义模型材料参数。不同的问题的分析需要设置不同的材料参数。如热仿真只需设置材料的导热系数, 而结构仿真需要密度、弹性模量、泊松比等材料参数。ANSYS 拥有强大的材料库, 内含常见材料的各种参数, 可以根据分析需要直接选择载入, 同时支持自编辑材料参数, 自己输入所需参数并进行载入。ANSYS 还自带各种用于非线性分析的各种材料本构模型并支持实验数据的曲线拟合。

(3) 划分网格。网格划分质量直接影响仿真精度, 是仿真中的关键环节。ANSYS 拥有非常智能的自主网格划分能力, 但是其准确性不好掌握, 采用自动网格划分功能可能会导致重要部分结果不收敛或不准确或者不重要的部分划分网格过细导致计算时间的浪费。ANSYS 还提供了映射网格划分、扫掠网格划分、多域网格划分、混合网格等网格划分^[30], 应根据几何模型的实际情况进行网格划

分，特别是对分析关注的重点部位进行详细划分。网格划分的好坏可以参考软件提供的网格质量评估，但更多的需要实践经验的积累。

(4) 施加载荷与约束条件。要根据仿真问题的具体实际情况施加载荷和设置约束条件。

(5) 后处理。选择整个结构或关注的部分结构添加需要考察的温度、应力、应变等参量即可进行计算并得出参量分布云图和曲线。

2.3.3 Ansoft Q3D Extractor 寄生电感仿真介绍

在进行功率模块布局设计时，要计算不同的布局设计带来的功率模块的寄生电感，并根据结果改进设计调整布局从而指导寄生电感最优化的布局设计^[31]。当前计算寄生电感采用的最普遍的方法是使用有限元仿真软件如 Ansoft Q3D Extractor 对功率模块设计结构的寄生电感进行仿真提取。

使用 Ansoft Q3D Extractor 软件进行寄生电感仿真的一般步骤如下：

(1) 建立用于寄生参数提取的几何模型。

(2) 设置模型的材料特性。几何模型建立之后，要对模型各结构的材料进行设置，如图所示，若材料为铜，则需设置铜材料的相对介电常数 (Relative Permittivity)、相对磁导率 (Relative Permeability)、体电导率 (Bulk Conductivity) 和介电损耗 (Dielectric Loss)。

在仿真提取回路的寄生参数时，通常可以将提取回路中的开关器件设置为铜材料，将其他开关器件设置为绝缘材料。设置完材料特性以后，可以使用软件自动识别节点的功能，将结构中所有电气互连的部件组合成各个节点 (net)。

(3) 施加激励源。分别在每个节点设置激励源输入端 (source) 和激励源输出端 (sink)。

(4) 设置求解类型。根据自己所需求解寄生参数的需要选择求解类型。可以求解直流或交流激励下的寄生电感参数和寄生电阻参数等。

(5) 剖分网格，求解计算。以上设置完成以后可以自动检查设置步骤是否有误，检查完毕后进行网格剖分、求解计算。

(6) 计算结果。计算完成后会输出寄生参数的矩阵结果。

第3章 新型 SiC 封装结构设计及其热、结构有限元仿真

3.1 引言

在电子封装研究领域，特别对于三维封装结构来说，由于结构复杂且几何尺寸较小，直接测量法只能提供平均的或某一表面的测量结果，无法得到与可靠性密切相关的温度和应力应变的数值和分布情况。有限元仿真提供了有效、准确、快捷的分析研究方法，逐渐成为成熟完善的研究手段。

本章基于使用最为广泛的有限元仿真软件 ANSYS Workbench 进行针对本课题组提出的一款新型 SiC 功率器件封装结构型式进行热分布仿真和热-结构仿真。

3.2 新型 SiC 功率器件封装

常规的功率器件封装一般采用引线键合形式，引线键合的互连方式存在两个比较突出的问题。一是采用引线键合封装的功率模块由于正面引线的散热面积小以及涂覆的灌封胶导热率非常低，而使得正面散热可以忽略。因而芯片正常工作时由于功率损耗产生的热量只存在沿基板向下的单一散热路径。这种散热技术对于高功率密度 SiC 功率模块这种要求高散热能力及高可靠性的封装要求有很大局限性，越来越难以满足其封装要求。二是引线键合存在较高的固有寄生电感，对于高频应用的 SiC 功率模块，引线键合封装引起的高额外寄生电感可能会产生较高的电压、电流过冲、触发误导通、电磁干扰等诸多可靠性问题^[32]。因此研究适用于高功率密度 SiC 模块封装的高散热能力、低寄生参数的封装技术是一项重要的课题。

本论文提出了一种新型的 SiC 功率器件封装形式，其特点为在覆铜陶瓷衬板（DBC 衬板）结构中引入了 TCV（Through Ceramic Via）技术，封装结构示意图如图 3.1 所示。该结构的最大优势是彻底避免了常规的引线连接封装结构，有望大大减小引线封装带来的额外寄生电感。此外，在散热方面，不仅克服了常规引线连接封装结构由于引线连接接触面积小散热困难带来的器件高温运行的不可靠性问题，而且通过增加 TCV 铜柱的方法，在利于芯片正表面电极布线的同时，增加了更高导热系数的铜金属散热通道，有利于封装结构可靠性的提高。

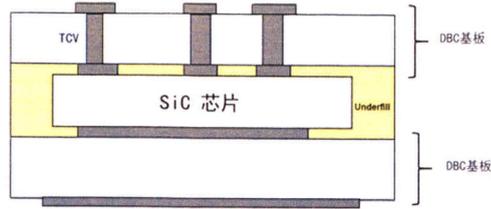


图 3.1 TCVC 陶瓷转接板封装结构

Figure3.1 Packaging structure of TCVC ceramic interposer

此种封装结构可针对 SiC 器件高温、高频的特性进行单管封装和模块封装。图 3.2、图 3.3 分别展示了电力电子模块中常见的半桥模块电路拓扑结构和运用此 TCVC 陶瓷转接板进行的半桥模块封装结构。同样的，此项封装技术预计也可用于 SiC 全桥模块、三相桥模块或提高功率等级的串联模块、并联模块等复杂功率模块的封装中。

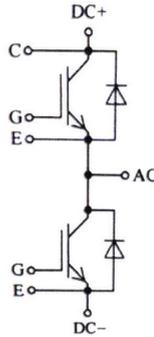


图 3.2 半桥电路拓扑结构

Figure3.2 Topological structure of half-bridge circuit

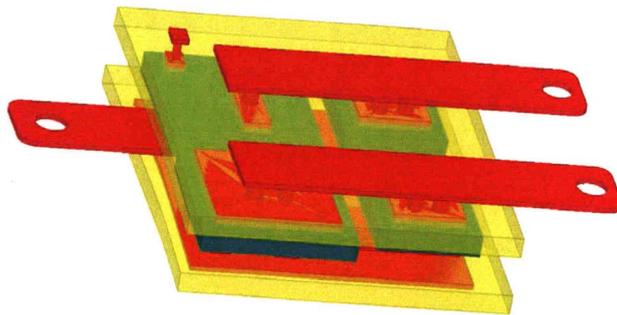


图 3.3 TCVC 陶瓷转接板半桥模块封装结构

Figure3.3 Packaging structure of TCVC ceramic interposer half-bridge module

3.3 TCV 结构和引线键合结构杂散电感提取对比

为了证明 TCV 封装结构在减小杂散电感方面的优越性，同时考虑到仿真效率和准确性，分别建立功率模块中功率芯片与续流二极管互连的最基本单元模型，利用 Ansoft Q3D Extractor 软件提取了在相同情况下，分别使用引线键合结构和 TCV 结构所带来的杂散电感。仿真时选取了功率芯片电极与续流二极管电极相连的节点 (net)，分别将功率芯片电极和续流二极管电极设置为“Source”和“Sink”，进行提取。所建立的引线键合结构单元结构和 TCV 结构单元的杂散电感提取和结果分别如图 3.4 和图 3.5 所示。从仿真结果来看，采用引线键合单元结构的杂散电感值为 1.501nH，而在相同互连情况下，采用 TCV 封装结构的杂散电感值约为 0.97nH，减小了约 35.4%。

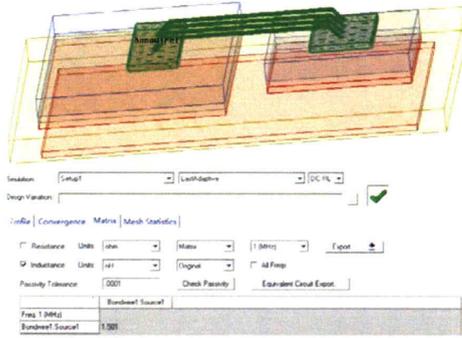


图 3.4 引线键合单元结构杂散电感提取及结果

Figure3.4 Extraction and result of stray inductance in wire bonding unit structure

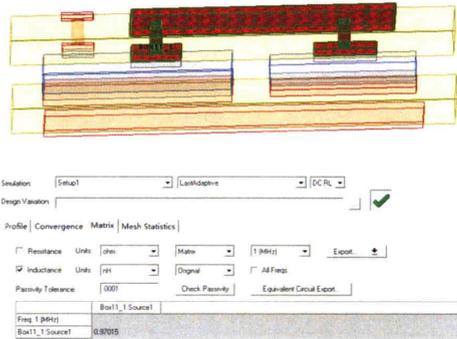


图 3.5 TCV 结构杂散电感提取及结果

Figure3.5 Extraction and result of stray inductance in TCV structure

3.4 热、结构有限元仿真

3.4.1 稳态散热仿真

此小节研究的是功率模块在芯片正常工作情况下,由于芯片发热功率引起的结构内部的稳态传热过程。在稳态热分析中,结构中任一点的温度不随温度的变化而改变,始终处于恒定状态。稳态热分析的能量平衡方程为:

$$[K]\{T\} = \{Q\}$$

上式中 $[K]$ 是热传导矩阵,包含导热系数、对流换热系数、热辐射率和形状系数, $\{T\}$ 表示节点的温度向量, $\{Q\}$ 是节点的热流率向量和热生成向量。

用 ANSYS 软件的稳态-热模块进行热稳态仿真,如图 3.6 所示。仿真时选取的单元类型是六面体结构的三维实体单元 Solid70,该单元有 8 个节点,且只有温度自由度,可以描述三个方向的热传导,适合用来进行稳态或瞬态的三维热传导分析^[33]。ANSYS 软件的求解器利用几何模型参数、材料参数和施加的边界载荷条件求得计算所需的 $[K]$ 矩阵和 $\{Q\}$ 矩阵,然后根据上式可以计算出矩阵 $\{T\}$,从而可以得到热分布。

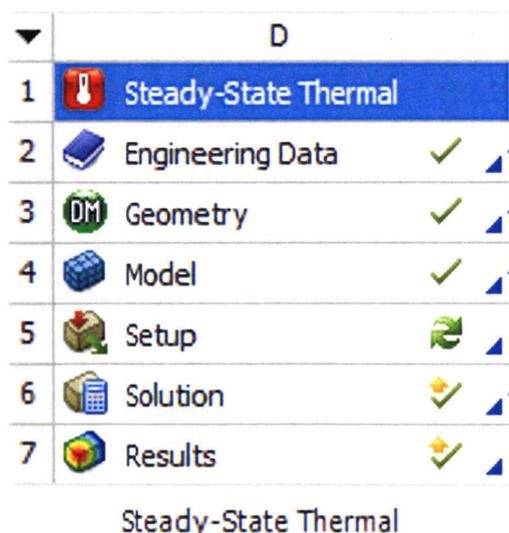


图 3.6 ANSYS 稳态-热仿真模块

Figure 3.6 Steady-state thermal simulation module of ANSYS

仿真的第一步是建立合适的有限元仿真模型。完整建立功率模块的有限元实体模型是十分复杂的,且为了仿真结果的准确,必须对网格进行精细划分,否则

容易导致不收敛，得不出结果，同时对计算机性能的要求很高，需要耗费大量的计算资源。为了能有效地说明问题并且兼顾仿真的效率，建立了开关管与续流二极管组成单元结构的简化模型，并且忽略栅极引线，在建模过程中，认为各层结构分布均匀，无空洞等缺陷，且结构之间理想接触。模型的几何尺寸及材料参数如表 3.1 所示。

表 3.1 模型的几何尺寸和材料

Table 3.1 The geometry size and material property of model

材料	L (mm)	W (mm)	H (mm)	热导率(W/m·°C)
碳化硅芯片(SiC)	3	3	0.4	420
二极管芯片(SiC)	2	2	0.4	420
碳化硅芯片焊层 (Nanosilver)	3	3	0.1	240
二极管芯片焊层 (Nanosilver)	2	2	0.1	240
陶瓷基板(AlN)	7	4	0.3	170
金属层(Copper)	6	3	0.3	380

根据模块工作时的稳态散热实际情况，将芯片功耗的平均值作为热载荷输入，在 ANSYS 仿真中，功率损耗以热生成率 H_g 的形式加载到芯片上，模拟芯片的发热效应。

$$H_g = P/V$$

上式中， P 为施加在器件上的功率损耗， V 为热源体积。

经计算，将 SiC 开关管的热生成率设为 $3.0e9W/m^3$ ，未将续流二极管作为发热源。在边界条件的设置中，为模拟器件的在实际工作中的散热情况，并兼顾建模仿真的效率，可以对上下基板施加 $5000w/m^2 \cdot ^\circ C$ 的热对流，模拟散热情况并省去实际热沉的建模，其他结构表面设置 $5w/m^2 \cdot ^\circ C$ 的热对流以模拟空气冷却情况。

对功率模块单元结构三种封装形式的稳态散热进行有限元仿真，得到的温度场分布如图 3.7 所示。从图中可以看出，模块在稳态工作过程中，由于开关管的损耗产热会在结构内部产生温度梯度分布，模块的最高温度出现在开关管芯片上

稍微偏离芯片中心的位置，其余材料层的最高温度均出现在芯片上最高温度的垂直方向，表明芯片热量在垂直地方传递。对于引线键合封装结构来说，由于引线键合的热传递基本可以忽略，因此热量主要进行垂直向下的单方向传递，最高温度高达 154.51°C ；双面封装结构和 TCV 封装结构均可进行上下两个方向的热量传递，因此最高温度大大降低，双面封装的最高温度为 88.695°C ，TCV 封装结构由于在氮化铝陶瓷上进行了铜柱通孔，铜的导热率大于氮化铝的热导率，散热效果更优，所用仿真模型由于通孔铜柱数量较少，因此散热效果并不显著，最高温度为 88.69°C ，在实际应用中通孔铜柱数量的增加必然会带来更佳的散热效果。

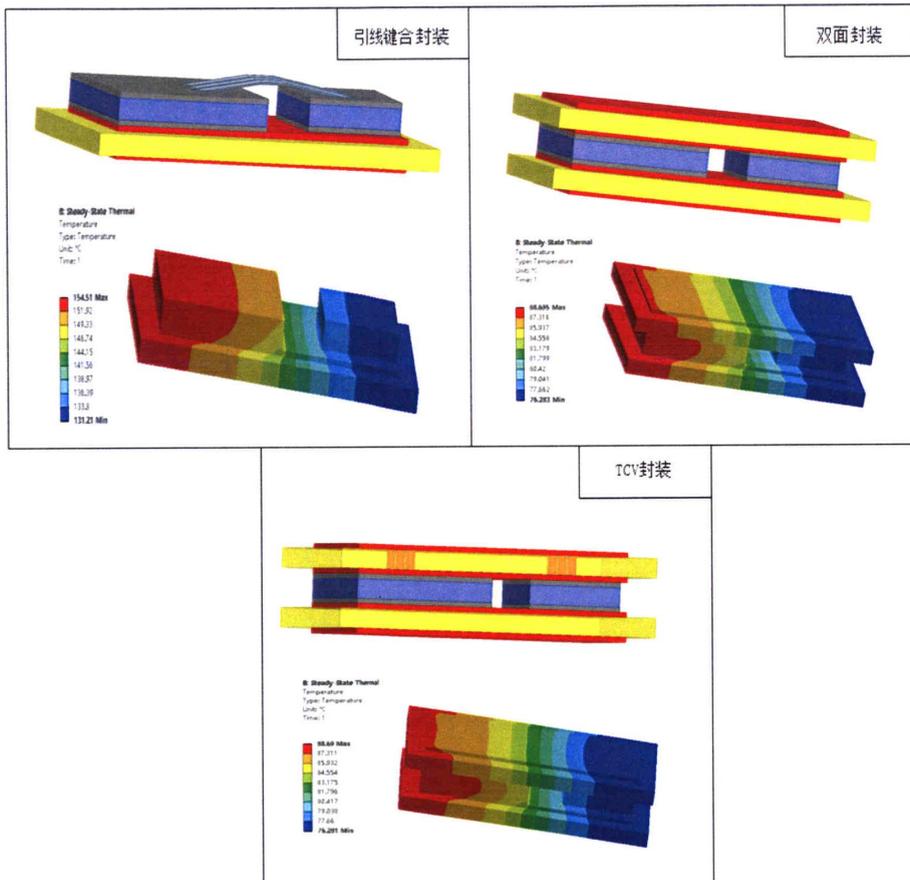


图 3.7 三种封装结构的稳态散热

Figure 3.7 Steady-state heat dissipation of three packaging structures

3.4.2 不同焊料对 TCV 封装结构的散热及热应力的影响

本小节主要考察了在 TCV 封装结构中使用不同焊料对结构散热及热应力的影响。首先使用 ANSYS 软件的稳态热模块，分别设置两种备选焊料 SAC305 和 Nanosilver 的导热系数，如表 3.2 所示，对整个结构的散热进行有限元仿真，热分布情况如图 3.8 所示。由于焊料层面积不大，因此就热分布温度来看，使用 Nanosilver 的最大温度为 88.69°C，比使用 SAC305 焊料的最大温度 89.725°C 降低了约 1°C，但从散热效果来看，使用 SAC305 焊料的最大温度只出现在开关管芯，而使用 Nanosilver 的最大温度出现在了开关管芯、焊料层和 DBC 衬板上，可见使用 Nanosilver 对整个结构的散热来说效果比较明显。

表 3.2 焊料材料参数

Table 3.2 Solder material property

材料	导热系数/(W/m·°C)
SAC305	57
Nanosilver	240

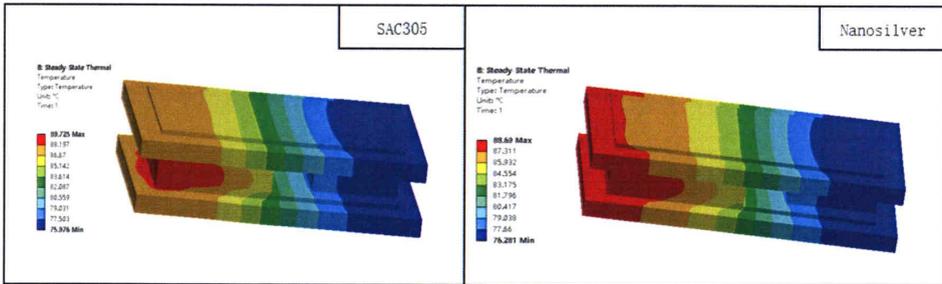


图 3.8 使用不同焊料时结构的散热分布

Figure 3.8 Heat dissipation distribution of structures with different solders

在已进行的稳态热仿真的基础上，将热分布结果载入稳态结构模块中，进行热-结构的耦合仿真分析，如图 3.9 所示，以考察封装结构使用上述两种不同焊料时所产生的焊料层和芯片的热应力情况。在热-结构耦合仿真时，除了需要设置材料的导热系数外，还需设置各材料与结构分析有关的材料参数如杨氏模量、泊松比、热膨胀系数（CTE）等，如表 3.3 所示。同时为了仿真准确，焊料的材料参数设置选取了 Anand 粘塑性本构模型。Anand 模型广泛用于电子封装中无

铅焊料热机械分析中的各项同性粘塑性变形的非线性行为。该本构模型有两个基本特征，第一不需要加载/卸载的标准，也无需明确的屈服条件；第二该模型使用变形阻力这一单一标量作为内部变量，以表示对塑性流动的平均各项同性阻力。Anand 模型可以分解为以下流动方程和三个演化方程：

$$\dot{\varepsilon}_p = A \left[\sinh \left(\frac{\xi \sigma}{s} \right) \right]^{1/m} \exp \left(\frac{-Q}{kT} \right)$$

$$\dot{s} = \left\{ h_0 \left(|B|^n \right) \frac{B}{|B|} \right\} \dot{\varepsilon}_p$$

$$B = 1 - \frac{s}{s^*}$$

$$s^* = s^{\wedge} \left[\frac{\dot{\varepsilon}_p}{A} \right] \exp \left(\frac{Q}{kT} \right)^n$$

在上列公式中， $\dot{\varepsilon}_p$ 是有效塑性应变率， A 是前指数因子， ξ 是材料常数， σ 是真实应力， s 是形变阻力， Q 是热激活能， B 是玻尔兹曼常数， h_0 是硬化常数， s^{\wedge} 是形变电阻饱和系数。在仿真中需要输入与 Anand 本构模型相关的九个常数，其值由实验数据确定。在本节仿真中用到的焊料参数值如表 3.4 所示^[34-35]。

表 3.3 结构仿真参数

Table 3.3 Solder material property

	杨氏模量(GPa)	泊松比	CTE (ppm/K)
Copper	110	0.34	17
AlN	350	0.22	4.3
SiC	420	0.14	4
SAC305	40	0.3	23
Nanosilver	4.9	0.37	19.6

表 3.4 焊料材料参数

Table 3.4 Solder material property				
定义	符号	单位	SAC305 参数	Nanosilver 参数
变形阻抗初值	S_0	MPa	45.9	2.768
激活能	Q/R	°C	7460	47442
指数前系数因子	A	s ⁻¹	5.87e6	9.81
材料常数	ξ	-	2	11
应力的应变率敏感指数	m	-	0.0942	0.6572
应变硬化常数	h_0	MPa	58.3	15800
变形阻抗饱和值系数	S	MPa	9.35	67.389
变形阻抗饱和值的应变率敏感指数	n	-	0.015	0.00326
应变硬化指数	a	-	1.5	1

焊料层和芯片的热应力仿真结果分别如图 3.10、图 3.11 所示。从焊料层的等效应力分布情况来看,使用两种焊料所造成的焊料层的热应力分布均集中在焊料层的中间位置,SAC305 焊料层热应力最大值(19.647Mpa)远大于纳米银焊膏层的热应力最大值(5.265Mpa),同时最大值的分布范围均远大于使用纳米银焊膏层。同样,对芯片所造成的热应力最大值也是如此,与焊料层不同的是,两种焊料情况下,芯片上的热应力最大值均出现在边缘位置。且使用纳米银焊膏时其最大应力值减小了一半以上,只有 36.232Mpa。

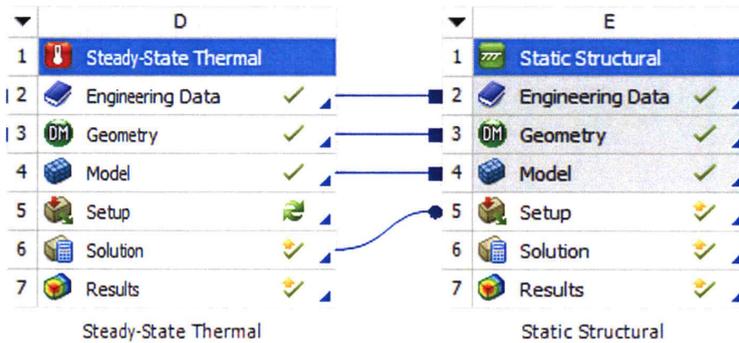


图 3.9 ANSYS 热-结构耦合

Figure 3.9 ANSYS Thermal-Structural Module Coupling

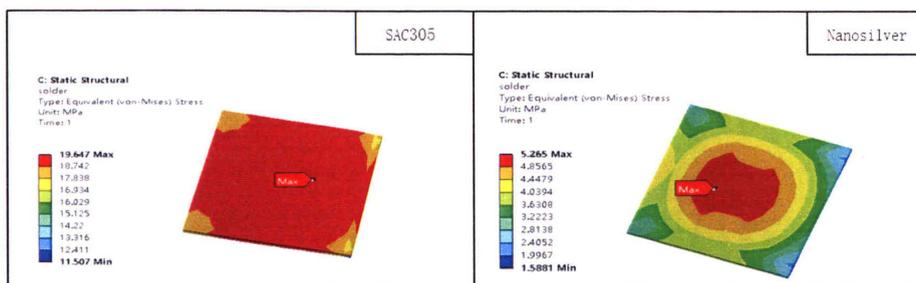


图 3.10 使用不同焊料时焊料层的等效热应力对比

Figure3.10 Equivalent stress comparison of solder layer with different solders

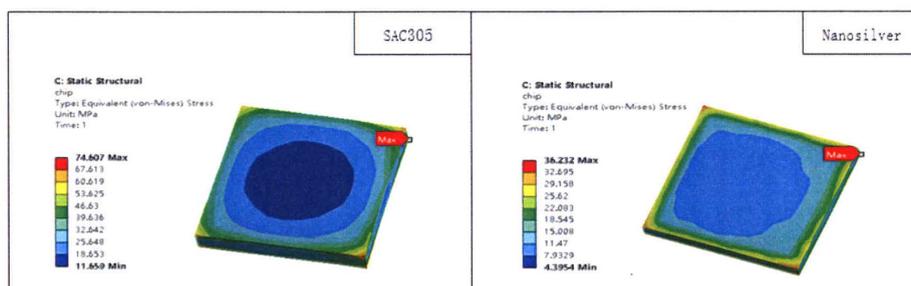


图 3.11 使用不同焊料时芯片的等效热应力对比

Figure3.11 Equivalent stress comparison of chips with different solders

从以上对两种焊料所做的散热仿真以及焊料层和芯片等效热应力的仿真分析可以得到使用纳米银焊膏的效果不管从散热还是热应力的角度上都是较为理想的。

3.4.3 有机填充介质(Underfill)有无对结构散热及热应力的影响

在本小节中,采用的仿真方法与之前相同,即先进行散热仿真,再进行热-结构的耦合仿真。分别建立了有无填充介质两种有限元模型进行仿真,以考察有机填充介质对TCV封装结构的散热及热应力的影响。Underfill材料的参数设置如表3.5所示。

表 3.5 Underfill 材料参数

Table 3.5 Underfill material property

	杨氏模量 (GPa)	泊松比	CTE (ppm/K)	导热系数(W/m·K)
Underfill	6	0.35	35	0.3

仿真的散热结果、焊料层和芯片的热应力结果分别如图 3.12、图 3.13 所示。从散热结果来看，由于填充介质的导热系数略大于空气，填充部分会带走稍多的热量，因此填充之后的结构散热稍强于未填充结构。从焊料层的热应力来看，填充之后的最大应力值 (4.9054MPa) 小于未填充的最大应力值 (5.265MPa)，从芯片的热应力来看，填充之后的最大应力值 (21.994MPa) 小于未填充的最大应力值 (36.232MPa)，且最大应力值得位置会从边缘位置略微向里移动。可见，有机填充介质的填充可以起到缓解热应力的作用。

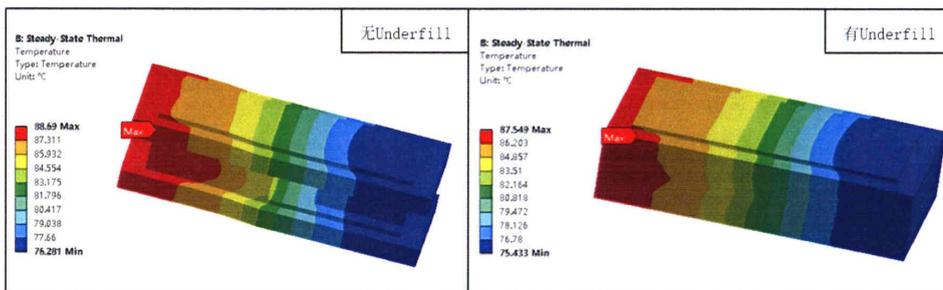


图 3.12 TCV 封装结构的热分布(有无 Underfill)

Figure3.12 Thermal distribution of TCV packaging structure with or without Underfill

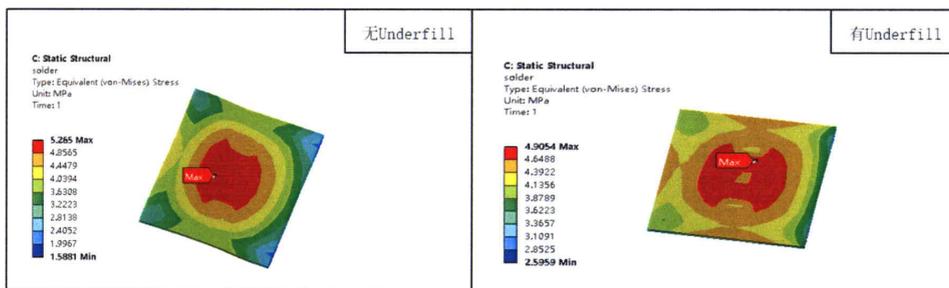


图 3.13 TCV 封装结构焊料层的热应力分布(有无 Underfill)

Figure3.13 Thermal stress of TCV packaging structural solder with or without Underfill



图 3.14 TCV 封装结构芯片的热应力分布(有无 Underfill)

Figure 3.14 Thermal stress of TCV packaging structural chip with or without Underfill

3.4.4 Underfill 不同的 CTE 对焊料层热应力的影响

本小节主要考察在同一温度环境下，不同 CTE 值的填充介质对焊料层热应力的影响。由于结构整体处于同一温度环境，可认为整个结构处于均一温度，不存在温度梯度，仿真时直接选用结构仿真模块，对整体结构施加同一温度载荷（100°C），然后变换 Underfill 的 CTE 值。仿真的应力云图和 Underfill 的 CTE 值对焊料热应力的影响曲线如图 3.15、图 3.16 所示。可知当 Underfill 的值约为 20 时，此时焊料的热应力最小，这是因为此时 CTE 值与铜层的 CTE 值（17.5ppm/k）和焊料层的 CTE 值（19.6ppm/k）最为匹配，CTE 失配导致的热应力最小，因此在选择有机填充介质时要注意 CTE 值匹配。

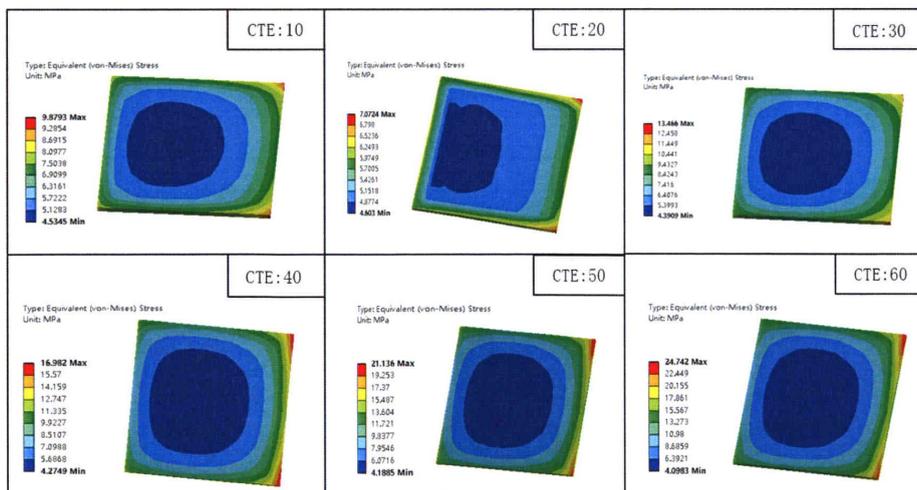


图 3.15 Underfill 的 CTE 不同时焊料层的应力分布云图

Figure 3.15 Equivalent stress distribution of solder at different CTE values of Underfill

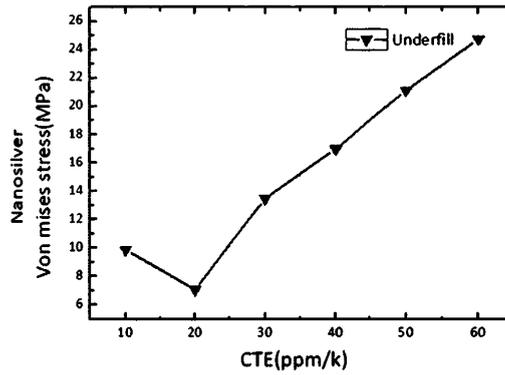


图 3.16 Underfill 的 CTE 不同时对焊料层热应力的影响曲线

Figure 3.16 The curve of the effect of Underfill's CTE value on the equivalent stress of solder

3.4.5 不同温度下焊料层和 Underfill 热应力

本小节主要考察焊料层和 Underfill 的热应力随温度变化（50°C—300°C）的情况。仿真时仍选用结构模块，分别对整体结构施加均一温度载荷。由于 Underfill 的 CTE 值超过玻璃转化温度 T_g 时为发生变化，为了仿真的准确性，仿真时在 150°C 以下设置 Underfill 的 CTE 值为 35ppm/k，150°C 以上设置为 110ppm/k。仿真的结果云图以及数据曲线分别如图 3.17、图 3.18 所示。从仿真结果来看，温度变化对 Underfill 应力的影响远大于对焊料层应力的影响。在 150°C 以上，由于 Underfill 的 CTE 值会突然变大，因此应力的增加幅度也会变大。

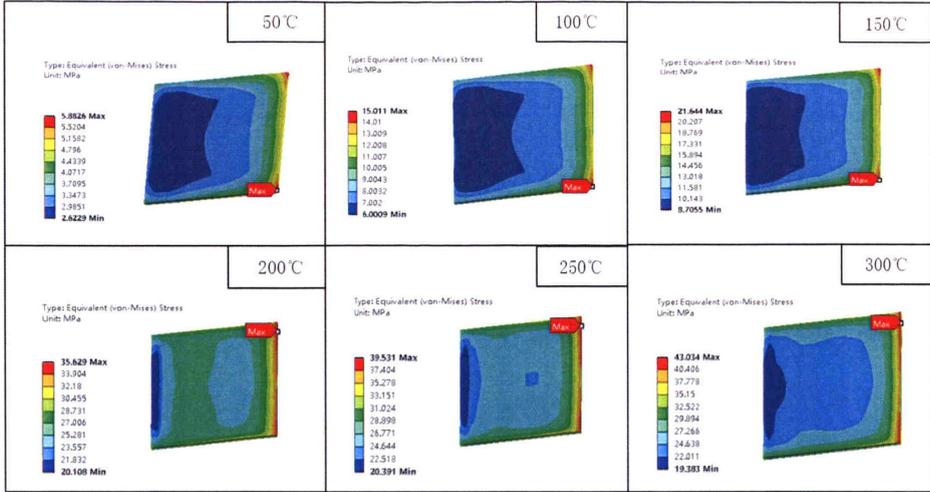


图 3.17 焊料层的等效热应力随温度的变化分布

Figure 3.17 Distribution of equivalent stress of solder layer with temperature

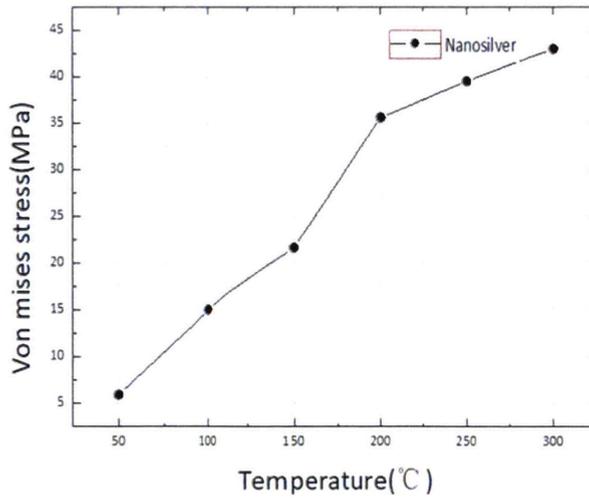


图 3.18 焊料层的等效热应力随温度的变化曲线

Figure 3.18 Curve of equivalent stress of solder layer with temperature

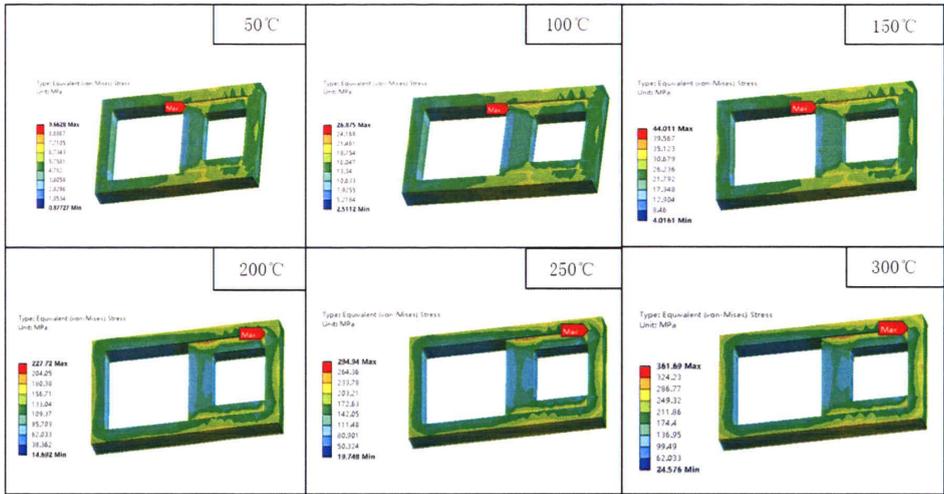


图 3.19 Underfill 的等效热应力随温度的变化分布

Figure3.19 Distribution of equivalent stress of Underfill with temperature

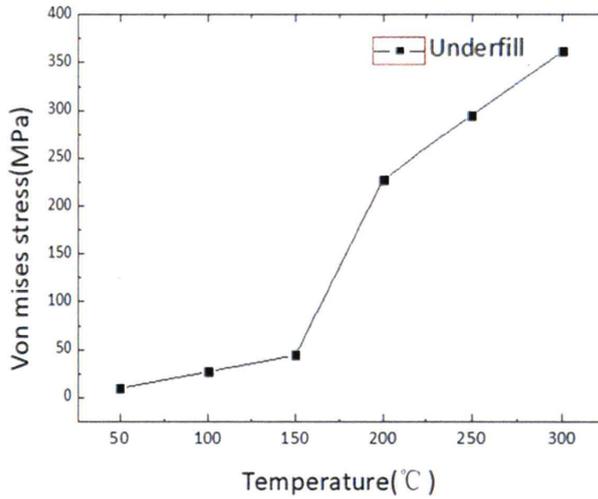


图 3.20 Underfill 的等效热应力随温度的变化曲线

Figure3.20 Curve of equivalent stress of Underfill with temperature

3.5 温度循环仿真

本节对温度循环试验条件下有无 Underfill 模型的应力应变情况进行仿真。基于温度循环试验的条件，整个模型置于同一温度下且高低温转换的时间足够长，因此模拟热循环过程时，整个模型温度均匀，不存在温度梯度。温度循环仿真采用了基于 JEDEC 标准的 JESD22-A104D 的温度加载曲线，假设温度在 -40°C — 125°C 以 $10^{\circ}\text{C}/\text{min}$ 的斜率循环 10 分钟，参考温度为 22°C 。仿真采用瞬态结构模块，赋予整个模型同一温度载荷，选择四个循环周期，因为等效塑性应变范围在 3—4 个周期后趋于稳定，仿真温度曲线设置如图 3.19 所示。焊料依旧采用 Anand 的粘塑性本构模型，其余材料设置为线弹性。

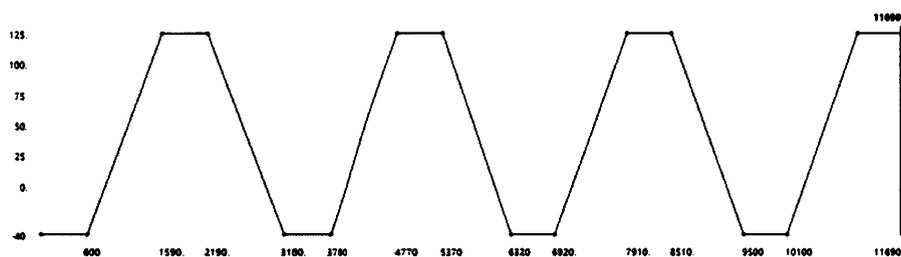


图 3.21 仿真温度曲线设置

Figure 3.21 Simulation temperature curve setting

首先针对无 Underfill 模型进行了温度循环仿真。在仿真结果中，重点考察了碳化硅开关管芯片上侧焊料层两个面的等效塑性应变情况，等效塑性应变被用于表征焊料层的剥离失效现象。DBC 焊料层（焊料与 DBC 衬板连接面）和芯片焊料层（焊料与芯片连接面）的塑性应变分布如图 3.22 所示。可以看到，最大塑性应变集中在边缘位置，焊料层的上下两侧的应变值相差不大。随着温度循环次数的增加，焊料层的等效塑性应变值会累积增大，DBC 焊料层和芯片焊料层的等效塑性应变随时间的变化如图 3.23 所示。从仿真结果来看，在整个温度循环的过程中，DBC 焊料层的等效塑性应变大于芯片焊料层，因此更易发生失效，且焊料层的失效往往发生在边缘位置，随着循环的进行，会慢慢向焊料层内部延伸。

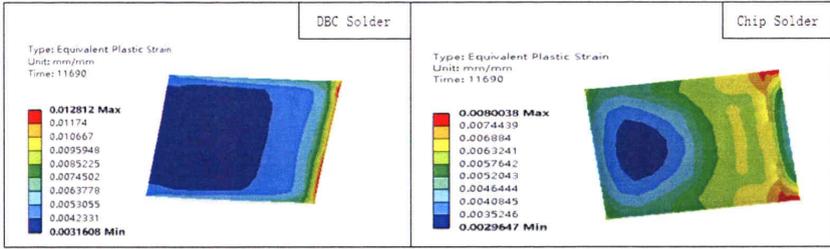


图 3.22 温度循环焊料层的等效塑性应变分布图（无 Underfill）

Figure3.22 Equivalent Plastic Strain distribution of temperature cyclic solder layer (Without Underfill)

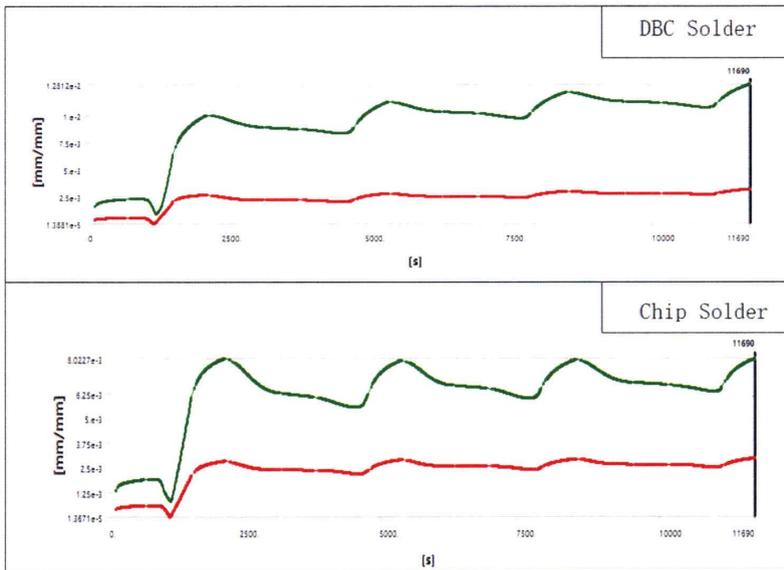


图 3.23 温度循环中焊料层累积塑性应变随时间变化图（无 Underfill）

Figure3.23 Chart of cumulative plastic strain of solder layer with time in temperature cycle (Without Underfill)

接下来针对填充 Underfill 的模型进行相同的仿真。图 3.24 和图 3.25 分别为有 Underfill 模型焊料层的等效塑性应变分布图和温度循环中焊料层累积塑性应变随时间变化图。从仿真结果来看，有 Underfill 模型焊料层在温度循环中较无 Underfill 的模型焊料层积累了较少的塑性变形。可见底部填充限制了焊料层的自由膨胀，底部填充有利于提高焊料层的热循环寿命。

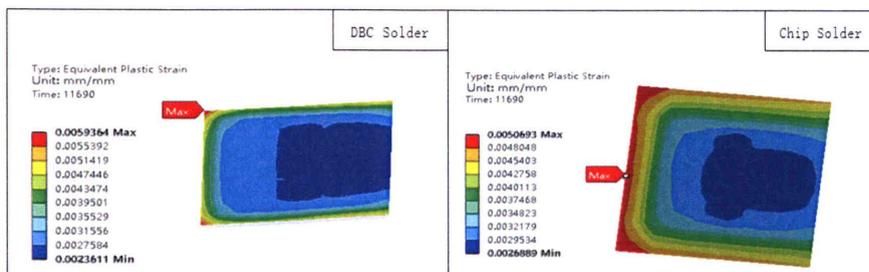


图 3.24 温度循环焊料层的等效塑性应变分布图（有 Underfill）

Figure3.24 Equivalent Plastic Strain distribution of temperature cyclic solder layer (With Underfill)

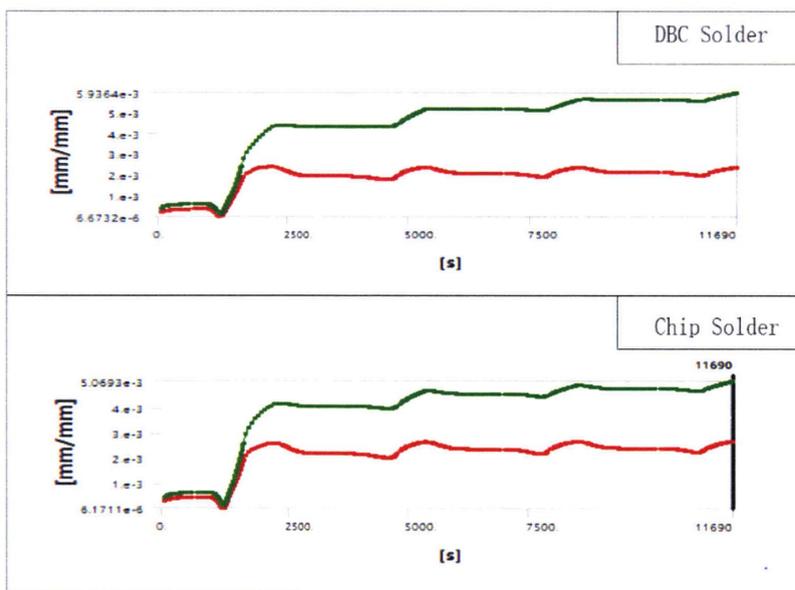


图 3.25 温度循环中焊料层累积塑性应变随时间变化图（有 Underfill）

Figure3.25 Chart of cumulative plastic strain of solder layer with time in temperature cycle (With Underfill)

3.6 功率循环仿真

功率循环仿真与温度循环仿真的最大不同在于载荷的施加，功率循环仿真是作为热源的芯片按功率循环进行加载。通过给发热芯片施加或不施加热生成率来模拟功率的“开”和“关”，实际上功率的开和关是在瞬间完成的，但在具体仿真分析时必须作近似处理。比如本仿真施加的功率载荷曲线如图 3.26 所示，分别对发热芯片施加 540s 的“ $3e9W/m^3$ ”和“0”的热生成率，转换时间为 0.1s。仿真使用 ANSYS 软件的瞬态热和瞬态结构模块耦合的方法进行。将瞬态热仿真之后的温度载荷载入到瞬态结构模块进行应力应变的仿真分析。



图 3.26 功率循环载荷曲线

Figure3.26 Curve of power cyclic load

首先针对无 Underfill 模型进行了功率循环仿真。在仿真结果中，DBC 焊料层和芯片焊料层的塑性应变分布如图所示。可以看到，最大塑性应变集中在边缘位置，焊料层的上下两侧的应变值相差不大。随着功率循环次数的增加，焊料层的等效塑性应变值会累积增大，DBC 焊料层和芯片焊料层的等效塑性应变随着时间的变化如图 3.27、图 3.28 所示。从仿真结果来看，在整个功率循环的过程中，DBC 焊料层的等效塑性应变大于芯片焊料层，因此更易发生失效，且焊料层的失效往往发生在边缘位置，随着循环的进行，会慢慢向焊料层内部延伸。

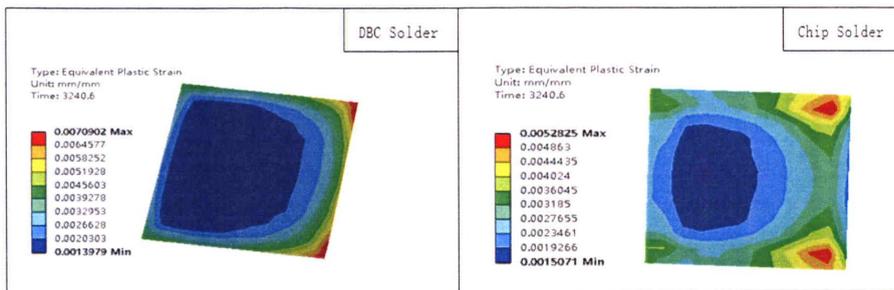


图 3.27 功率循环焊料层的等效塑性应变分布图（无 Underfill）

Figure 3.27 Equivalent Plastic Strain distribution of power cyclic solder layer (Without Underfill)

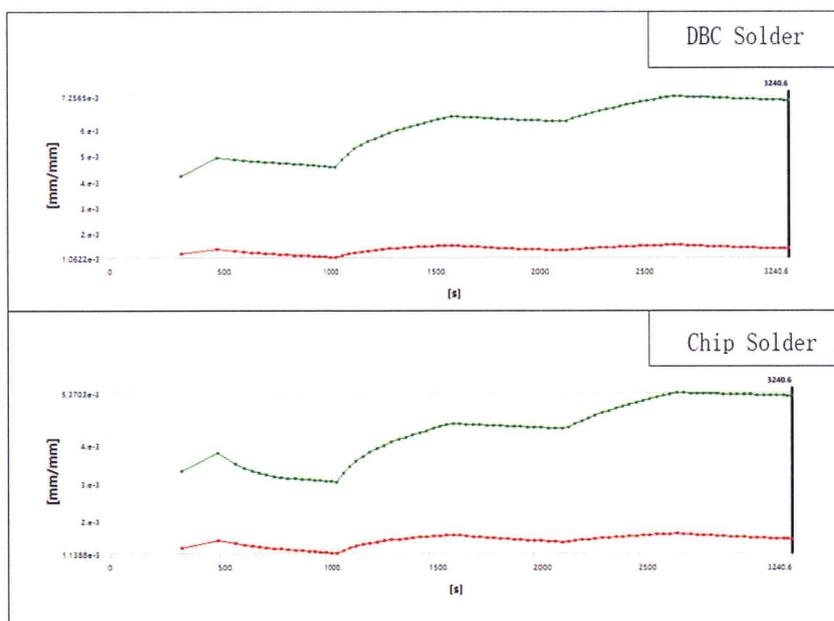


图 3.28 功率循环中焊料层累积塑性应变随时间变化图（无 Underfill）

Figure 3.28 Chart of cumulative plastic strain of solder layer with time in power cycle (Without Underfill)

同样地，对填充 Underfill 的模型进行功率循环仿真。图 3.29 和图 3.30 分别为有 Underfill 模型焊料层的等效塑性应变分布图和功率循环中焊料层累积塑性应变随时间变化图。从仿真结果来看，有 Underfill 模型焊料层在功率循环中较无 Underfill 的模型焊料层积累了较少的塑性变形。底部填充有利于提高焊料层的功

率循环寿命。

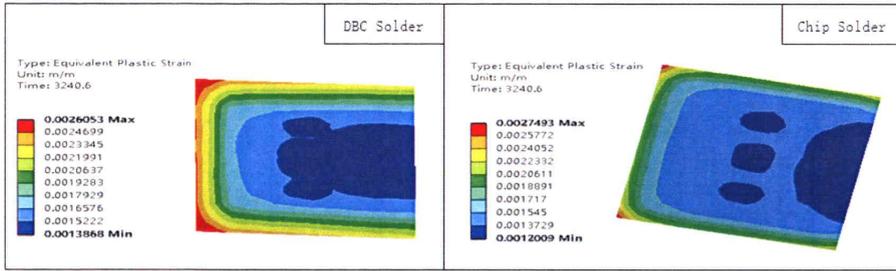


图 3.29 功率循环焊料层的等效塑性应变分布图（有 Underfill）

Figure3.29 Equivalent Plastic Strain distribution of power cyclic solder layer (With Underfill)

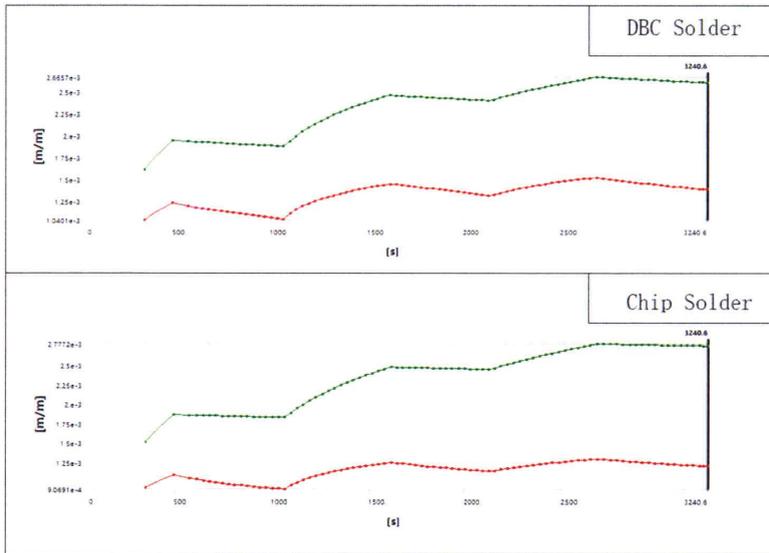


图 3.25 功率循环中焊料层累积塑性应变随时间变化图（有 Underfill）

Figure3.25 Chart of cumulative plastic strain of solder layer with time in power cycle (With Underfill)

3.7 本章小结

本章提出了有一种新型的 SiC 功率器件的封装形式，即基于 TCV 陶瓷转接板的无引线键合封装结构，通过杂散电感提取和散热仿真分析说明了该结构的优

越性,然后通过热-结构耦合仿真方法分析说明了 TCV 封装结构的焊料层热应力、芯片热应力、Underfill 热应力的影响因素,并且通过温度循环仿真、功率循环仿真分析说明了 TCV 封装结构在温度循环条件和功率循环条件下焊料层的可靠性问题。

第4章 双面散热双直流端 SiC 功率模块布局

4.1 引言

本章针对碳化硅多芯片并联的半桥功率模块设计了一种双面散热双直流端的封装布局结构，将功率芯片与其对应的续流二极管直接连接作为基本单元，采用上、下 DBC 衬板进行双面散热，在单组直流功率端的基础上，额外增加了一组直流端从两端对称地为功率模块供电，从而大大减小布局设计带来的杂散电感。本结构使得功率模块具有良好散热，并为模块提供良好的开关动态性能和均流性能，有望大大提高其稳定性和可靠性。

4.2 开关单元的概念

功率模块通常有单相（半桥）模块和三相（六组）模块，它们通常由上桥臂开关管和上桥臂二极管以及下桥臂开关管和下桥臂二极管组成。长期以来，上桥臂开关管和上桥臂二极管（或下桥臂开关管和下桥臂二极管）的组合被当作是功率模块的基本单元。在进行模块封装时，这些基本单元会根据布局设计重复地放置在相应的位置。如图 4.1 所示的传统的半桥逆变器的电路原理图，该逆变器由蓝色覆盖的反并联的开关管和二极管的基本单元组成。该图还显示了不同位置的杂散电感图，在这些杂散电感中， L_{ex} 和 L_{ex} ($x=1,2,3,4$) 是反并联基本元件中存在的杂散电感，它们与芯片和键合线有关。另外， L_{xU} 和 L_{xL} ($x=1,2,3,4$) 表示开关管和二极管以外的杂散电感，它们存在于直流总线端子和电气互连的走线中。由于这种基本单元的设计，在上桥和下桥反并联之间引入了大的杂散电感，如图 4.1 标红部分所示，这就增加了功率回路的电感，在电路中容易引起高的电压应力和谐振。

为了降低功率模块的功率回路电感，文献^[31]提出了开关单元 (Switch Cell) 的概念，包括 P 单元和 N 单元的概念，提出的开关单元不是将开关与其反并联二极管分组，而是通过将开关器件与其续流二极管紧密靠近来构建新的基本元件。图 4.2 显示了采用开关单元结构的相同的全桥逆变器结构，粉红色覆盖的为 P 单元，蓝色覆盖的为 N 单元。由于电流的换向是在开关和续流二极管之间进行的，因此开关单元消除了这两个器件之间的布线，从而消除了传统功率模块封装采用

基本单元引入的杂散电感。

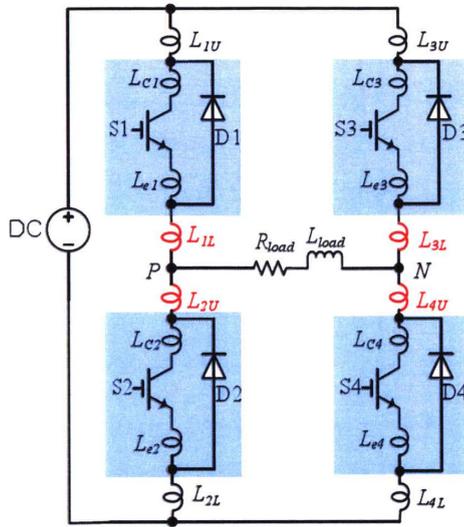


图 4.1 传统全桥逆变电路拓扑结构

Figure4.1 Traditional Full Bridge Inverter Circuit Topology

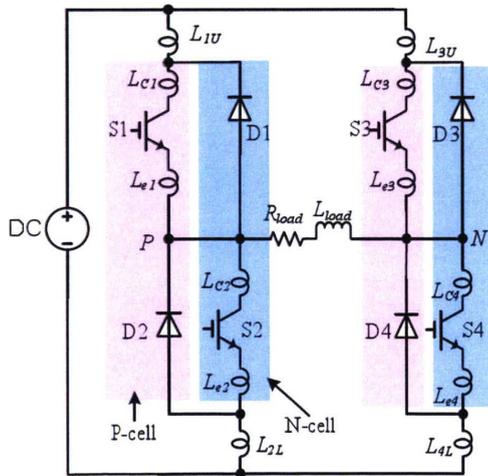


图 4.2 开关单元组成的全桥逆变电路拓扑结构

Figure4.2 Topological structure of full bridge inverter circuit composed of switching cells

4.3 传统双面单直流端功率模块布局

首先设计和研究了多芯片 SiC MOSFET 功率模块的双面单直流端布局。图 4.3 显示了双面单直流端功率模块的电路拓扑图和结构布局设计示意图。如图 4.3 所示，六个开关单元 (SC1-SC6) 形成半桥功率模块，其中三个是上桥臂为开关管的 P 型开关单元，其余三个是下桥臂为开关管的 N 型开关单元，直流输入端和交流输出端分别位于模块的两端。

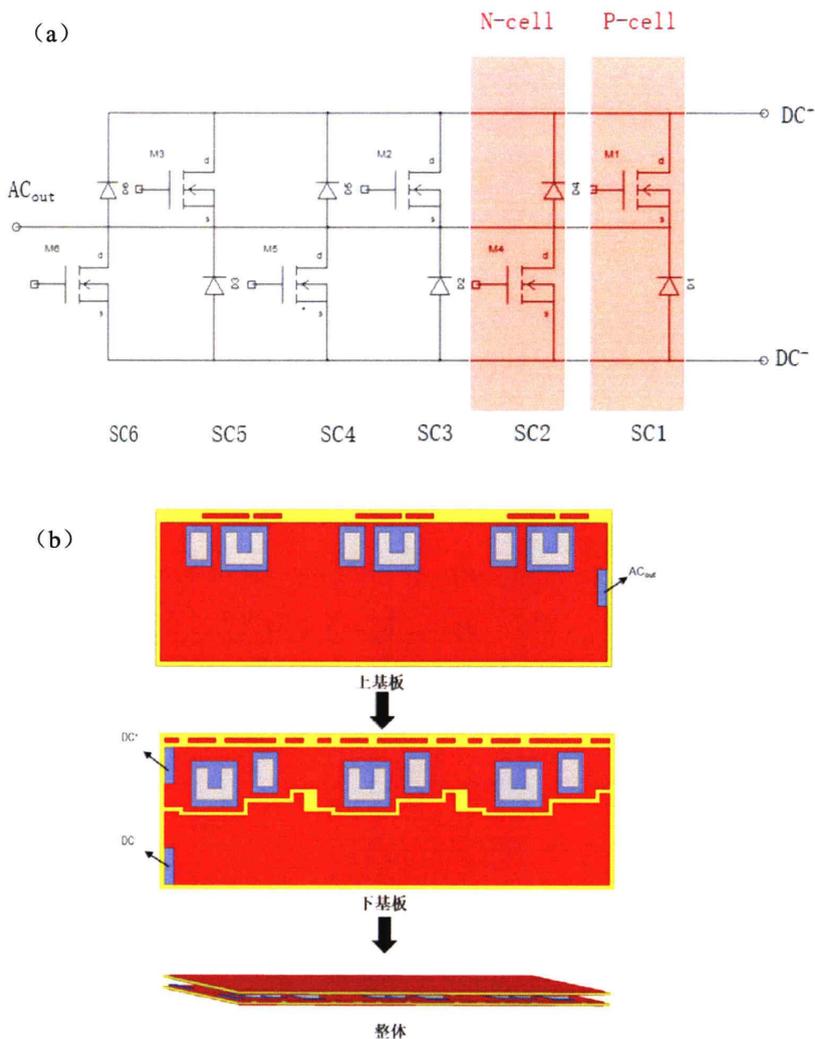


图 4.3 双面单直流端布局功率模块 (a) 电路拓扑 (b) 结构布局

Figure 4.3 Double-sided single-DC-terminal layout power module: (a) Circuit topology (b) Structure layout

在有限元分析软件 Ansoft Q3D Extractor 中提取了双面单直流端布局的杂散电感参数，其结果如图 4.4 所示。开关单元 SC1 由于靠近直流端子放置，其杂散电感最小，为 7.99nH。随着开关单元与直流端子之间距离的增加，功率回路的电感逐渐升高，位于模块最远端的 SC6 的最大功率回路电感为 27.57nH。在 SiC 高频应用中，每个纳亨的杂散电感都很重要，并且会在极短的开关瞬态下对电路性能产生很大的影响。因此，单直流端布局的大功率回路电感不仅不产生电压过冲，而且功率回路电感的巨大差异将导致并联的 SiC MOSFET 之间性能的不一致。

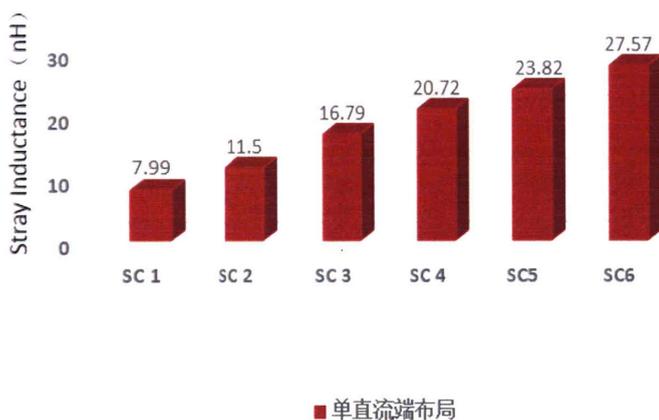


图 4.4 单直流端布局每个功率回路杂散电感提取结果

Figure 4.4 Extraction of stray inductance for each power loop with single DC terminal layout

4.4 新型双面双直流端功率模块布局

为了降低功率回路的杂散电感并且最小化并联功率回路之间的不平衡，本节针对高频 SiC 功率模块提出了新的双直流端布局。图 4.5 显示了所提出布局的电路拓扑和结构布局，其中除了右侧的一组直流端子外，模块左端额外增加了一组直流端子。这个新增的直流端子为每个开关单元提供了额外的开关路径，使每个开关单元具有两个并联的开关回路，有效地降低了等效的功率回路电感。例如，对于开关单元 SC6 的长功率回路在单直流端布局中存在很大的杂散电感，然而，额外的一组直流端提供了更短的功率回路路径，并且当并联时，与单环路相比，等效功率电感将大大减小。

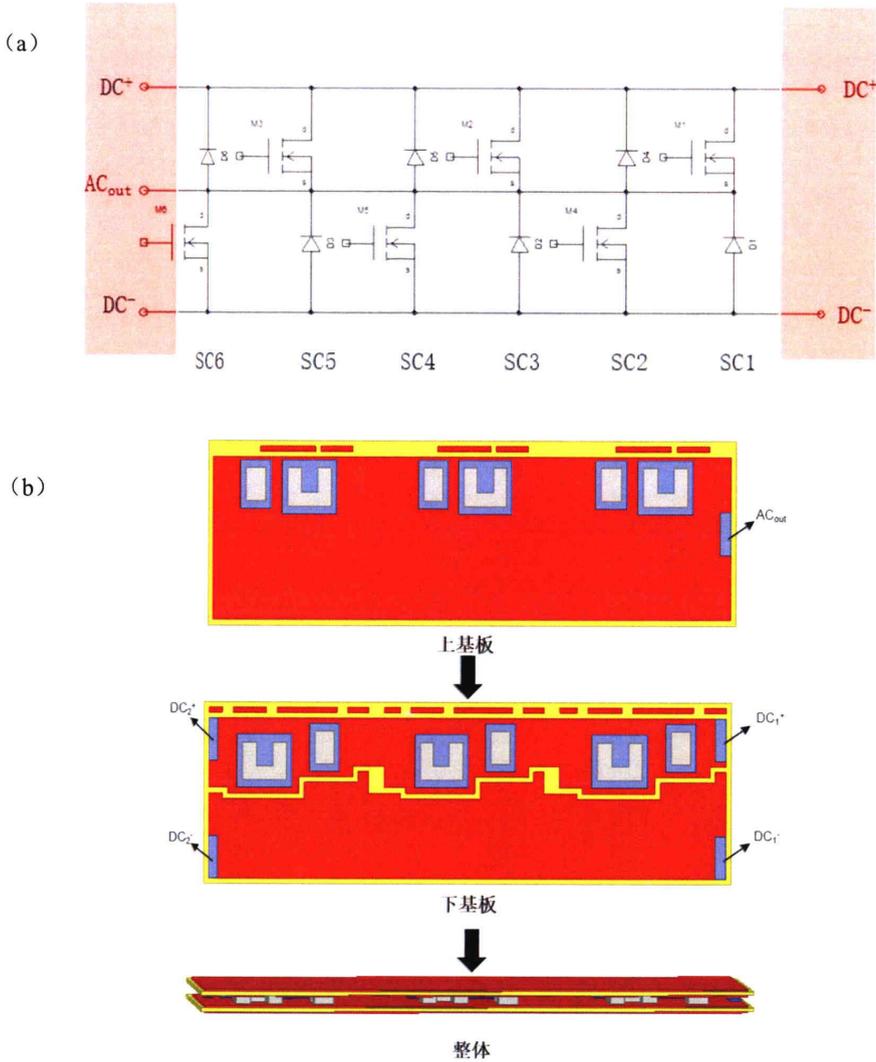


图 4.5 双面双直流端布局功率模块 (a) 电路拓扑 (b) 结构布局

Figure 4.5 Double-sided and Double-DC-terminal Layout Power Module (a) Circuit Topology (b) Structure Layout

图 4.6 显示了两种布局之间各功率回路的杂散电感值对比。双直流端布局明显改善了功率回路电感，其中所有的开关单元的最高杂散电感从 27.57nH 降至了 11.34nH。其次，除了杂散电感显著减少以外，双直流端的布局最小化了并联开关单元之间的功率回路电感的变化，并且将单直流端布局由最大 27.57nH 与最小 7.99nH（相差 19.58nH）的差异限制到了由最大 11.34nH 与最小 7.12nH（相差 4.22nH）。因此，随着杂散电感的减少和更平衡的功率回路，双直流端布局有望

在开关器件上看到更小的电压应力，并且在并联的 MOSFET 之间具有更一致的均流性能。

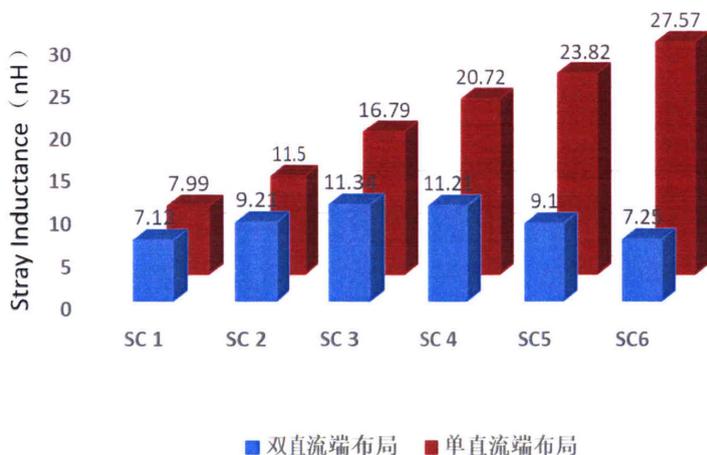


图 4.6 两种布局各功率回路的杂散电感对比

Figure 4.6 Comparison of Stray Inductance in Two Layouts

4.5 动态性能仿真

4.5.1 双脉冲测试介绍

双脉冲测试 (Double Pulse Test, DPT) 是广泛用于评估开关器件动态性能的测试方法^[36]。它通过在开关器件的栅极端子施加两个脉冲信号获得导通和关断瞬态通过器件的电流和电压变化，以此来表征电路的动态性能。

图 4.7 显示了双脉冲设置的示意图。直流电源提供将负载电流提升到一定水平的功率，直流电容器负责在开关瞬态提供脉冲能量，续流二极管与被测开关器件串联，并且与负载电感一起提供开关器件关断器件负载电流的路径。图 4.7(b) 给出了开关器件的门控信号以及通过器件的电流和端子间的电压降。从 t_1 开始，将高门控信号施加到器件，将负载电感连接到 DC 源。在这个恒定电压下，电流通过电感器，器件开始以恒定速率上升，如 I_{DS} 所示。在一定量的时间之后，当负载电流达到目标值时，在 t_2 处移除门控信号并关闭设备。负载电感中的电流不会突然改变，它将电流推向续流二极管并迫使二极管导通。该电流将在该电感二极管环路中短时间续流，并且由于该环路的电阻可以忽略不计，因此该时间间隔

内的电流将几乎保持恒定。在 t_3 处利用第二脉冲信号再次接通开关装置，并且通过续流二极管的电流被传送回开关装置。并且 t_3 处的电流与 t_2 的电流几乎相同，因为电感二极管环路中的损耗可以忽略不计。最后，在 t_4 关闭设备并完成 DPT。

如图 4.7 所示，在时间点 t_2 和 t_3 ，DPT 在期望的操作 DC 电压和负载电流下分别完美地表示了关断和导通瞬变中的开关性能。因此，DPT 提供了简单而详细的分析，用于评估开关设备的动态性能。

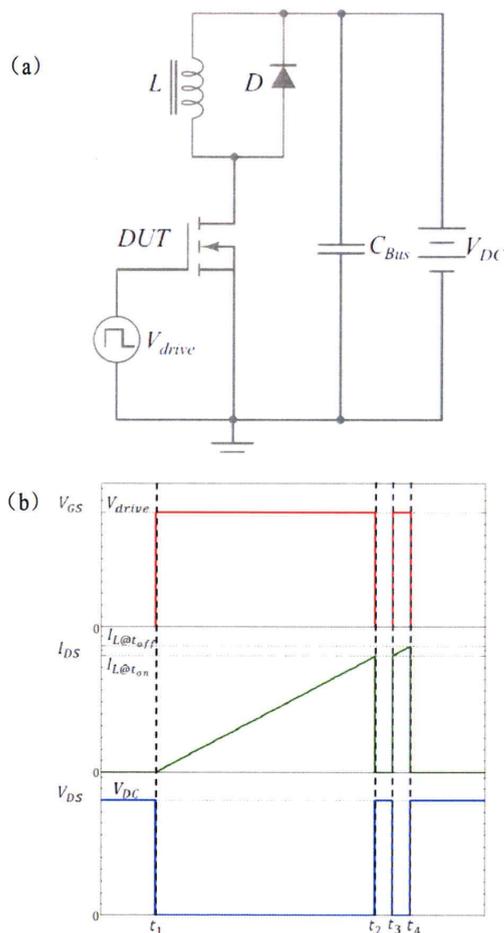


图 4.7 双脉冲测试电路：a) 测试原理 b) 开关波形

Figure 4.7 Dual pulse test circuit: a) Test principle b) Switch waveform

4.5.2 开关测试仿真

基于之前获得的功率回路杂散电感，单直流端布局 and 双直流端布局的电路模型在 Saber 中构建，如图 4.8 所示。开关测试仿真在下桥臂 MOSFET M4、M5 和

M6 上以 400 V / 40 A 进行。图 4.9 显示了模块关断瞬态期间并联 MOSFET 两端电压的仿真结果。在此开关周期中，杂散电感将在其自身产生与其电感成比例的感应电压，该电感将被添加到 MOSFET 上并导致电压过冲。在单直流端布局中，三个 MOSFET 由于其较大的功率回路电感而经历较高的电压应力，最高达到 64V。另一方面，双直流端布局的杂散电感降低，成功地将电压应力降低到 25 V。此外，在单直流端布局中观察到三个 MOSFET 之间的 1.5V 电压差。这是由单直流端布局的不平衡功率回路引起的，它将杂散电感从 20.72nH (M4) 迅速提高到 27.57nH (M6)。对称的双直流端布局使这种不一致性最小化到 0.7V。

图 4.10 说明了导通期间三个 MOSFET 之间的电流均衡性。由于单直流端布局的不平衡功率回路电感，具有较小杂散电感 (M4) 的 MOSFET 倾向于更快地切换，从而通过其自身吸收更多电流，而由于其大杂散电感而减速的 M6 在此期间传导更低的电流。另一方面，在双直流端布局中，三个 MOSFET 共用的相同功率回路电感使得动态电流在器件之间更均匀地分布，从而最小化从 6A 到 1.5A 的差异。

从以上结果来看，由双直流端布局带来的降低和平衡的功率回路电感将有助于降低并联 MOSFET 的过冲、提高性能一致性，这不仅可以减少过多的开关损耗，还可以扩展模块的工作范围而不会损坏器件。

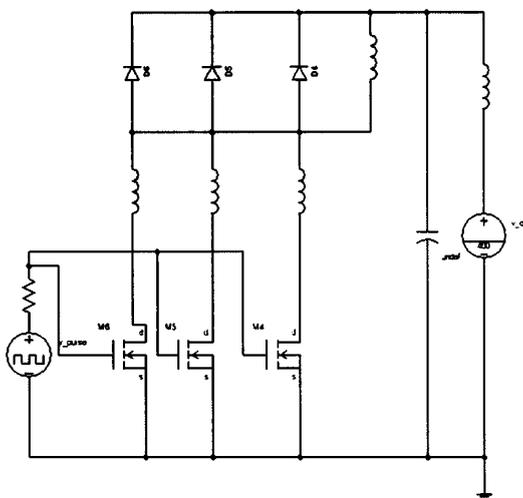


图 4.8 开关测试仿真电路模型

Figure 4.8 Simulation circuit model of switch test

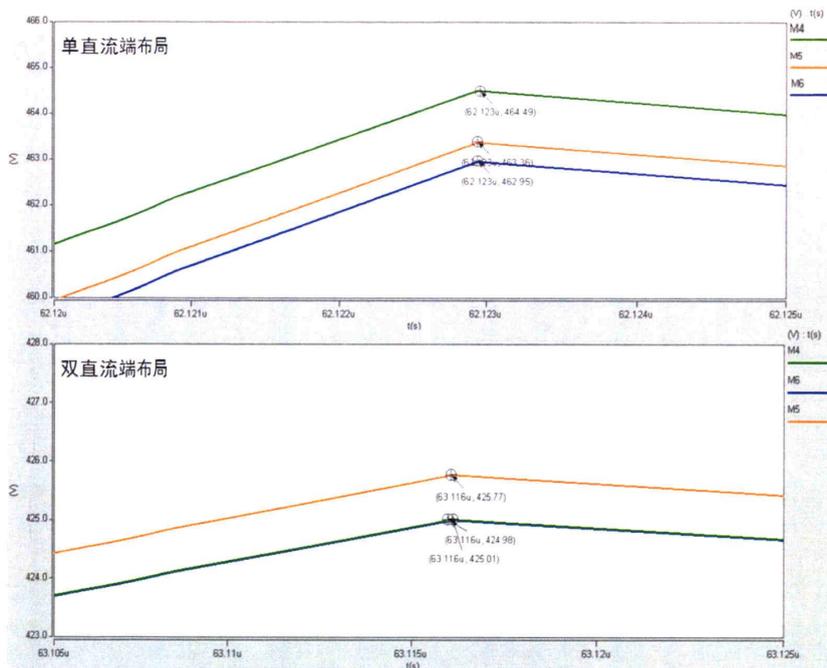


图 4.9 MOSFET 关断电压

Figure 4.9 Turn-off voltage of MOSFET

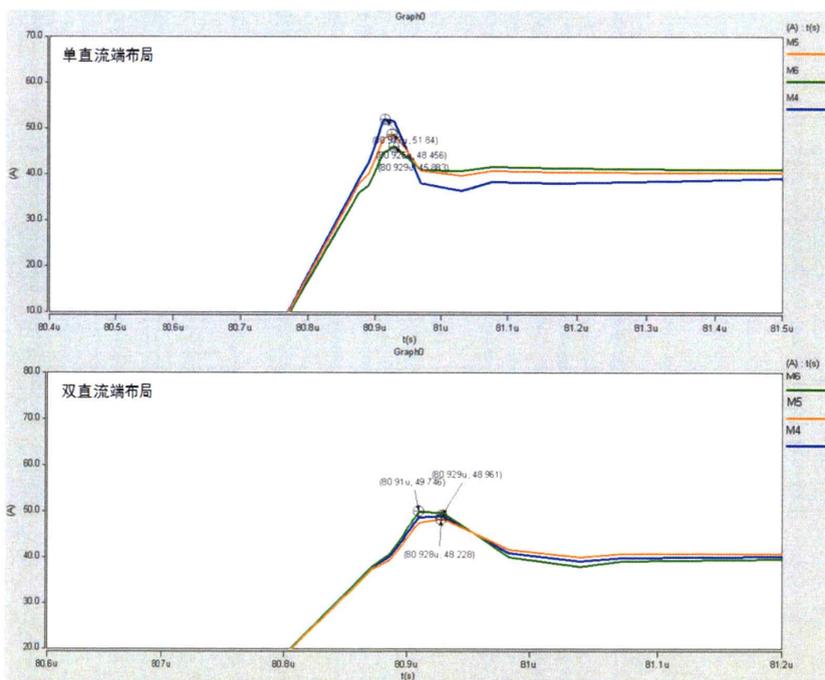


图 4.10 MOSFET 导通电流

Figure 4.10 Turn-on current of MOSFET

4.6 本章小结

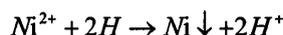
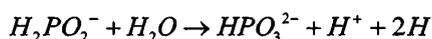
本章主要针对碳化硅多芯片并联的半桥功率模块设计了一种双面散热双直流端封装结构，并通过功率回路杂散电感提取和开关特性仿真分析说明了该封装结构能大大减小传统单直流端封装结构设计带来的杂散电感，并能为模块提供良好的开关动态特性和均流性能。

第5章 化学镀镍钯金芯片表面处理及有机介质填充工艺

5.1 化学镀镍钯金芯片表面处理工艺

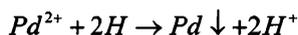
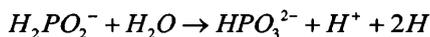
功率器件裸芯片的表面金属化处理是 SiC 封装的问题之一。如今很多制造商以裸芯片的形式提供 SiC 功率器件，由于铝线键合是目前使用最为广泛的互连方式，所有市售的芯片正面侧用于键合的焊盘表面金属层均为铝。因 TCV 封装结构是以焊料焊接作为芯片互联形式，所选的焊料一般为 SAC305 或者烧结银焊膏等，不论采用何种焊接材料，一般都必须对芯片正面侧进行非铝表面的可焊性金属化处理。化学镀镍沉钯浸金工艺^[37] (Electroless Ni Electroless Pd Immersion Au, ENEPIG) 是一种电子封装中常见的焊盘表面处理工艺，其一般用于改变芯片或 PCB 电路板表面的 Al 或 Cu 焊盘为容易焊接的 Au 表面焊盘。该工艺由于成本低，并且不受氧化镍引起的黑色焊盘影响，在焊接应用中提供了高可靠性焊接而在电子封装行业中得到普及。在 ENEPIG 的系统中，Au 层提供了焊料和焊盘之间的抗氧化性和更好的润湿性；Pd 层改善了润湿性并且也起到了扩散阻挡层的作用，可以防止 Au 原子取代 Ni 原子引起的“黑垫”失效；Ni 层被用作扩散阻挡材料，以防止芯片电极金属和焊料金属元素之间的相互扩散。

ENEPIG 表面处理工艺主要可以分为三个步骤：化学镀镍、化学镀钯和化学浸金^[38]。其中，化学镀镍的反应方程式如下：



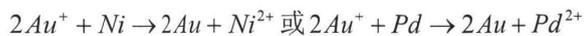
它实际上是以次磷酸盐作为还原剂的自催化氧化还原反应，经过化学镀镍，在表面沉积了一层均匀致密的镍-磷层。

化学镀钯的反应机理同样进行自催化氧化还原反应，在镍-磷层上直接沉积一层更为致密的镍-钯层，可以有效防止镍腐蚀的出现，反应方程式如下：





化学浸金的反应属于置换反应，反应方程式如下：



为了进行化学镀，在实验室搭建了一个 ENEPIG 工艺平台，如图 5.1 所示。实验采用了安美特公司的 ENEPIG 工艺，该 ENEPIG 工艺主要包含除油、微蚀、预浸、活化、后浸、化学镀镍、化学镀钯、化学浸金等八个基本步骤。各步骤所采用的化学药品名称以及最佳的工艺参数设置如表 5.1 所示。



图 5.1 ENEPIG 工艺平台

Figure5.1 ENEPIG process platform

表 5.1 ENEPIG 基本步骤

Table 5.1 Active steps of ENEPIG

步骤	工艺名称	化学试剂	温度 (°C)	时间 (s)
1	除油	Xenolyte Conditioner ACA	25	30
2	微蚀	Xenolyte Al Etch MA	50	90
3	预浸	Xenolyte Zincate CFA	25	60
4	活化	HNO ₃	25	30
5	后浸	Xenolyte Zincate CFA	25	180
6	化学镀镍	Xenolyte Ni C	85	720
7	化学镀钯	Xenolyte Pd LL	55	480
8	化学浸金	Xenolyte Au CF	50	720

使用样品芯片 (dummy wafer) 进行了化学镀的表面处理, 所使用的样品芯片与实际芯片有着相同的铝金属化层焊盘, 经过化学镀处理的样品芯片表面呈金色, 其照片前后对比如图 5.2 所示。金层是 ENEPIG 涂层中最为重要的表面薄膜, 其目的是改善涂层的可焊性和润湿性。金镀层的形貌和致密性决定了表面处理的质量和焊接的可靠性。使用扫描电子显微镜 (SEM) 对金层的表面形貌进行了观察分析, SEM 图如图 5.3 所示, 结果显示, 金层呈光滑、均匀致密的多边形细胞状阵列结构, 没有发现微裂纹。

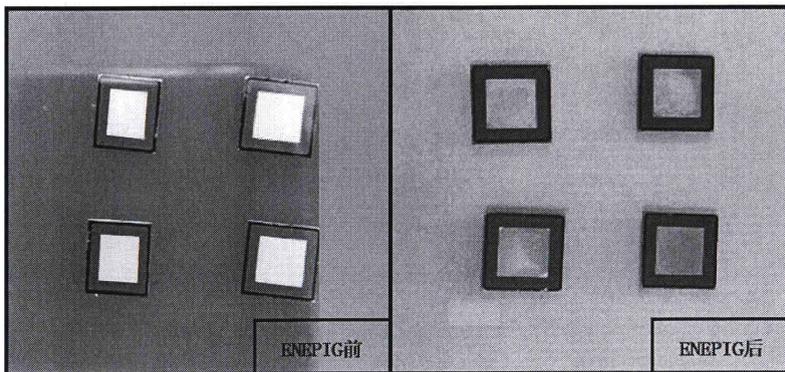


图 5.2 ENEPIG 工艺前后芯片样貌对比

Figure 5.2 Comparison of chip appearance before and after ENEPIG process

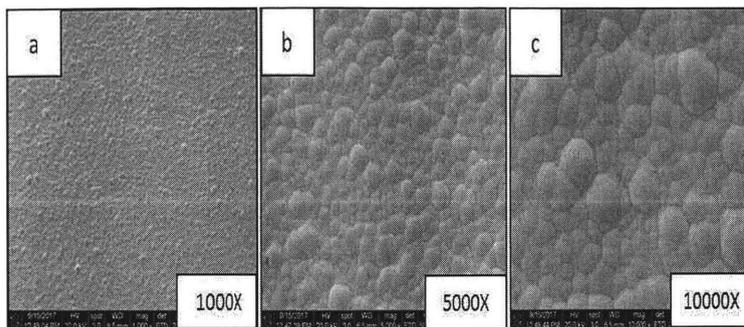


图 5.3 金层表面形貌电镜图

Figure 5.3 SEM images of gold surface microscopic

为了评估焊接质量，分别使用 SnAg3Cu0.5, Au80Sn20 和纳米银焊膏三种焊料将经过化学镀处理的样品芯片焊接于直接覆铜 (DBC) 衬板。对于 SnAg3Cu0.5 和 Au80Sn20 焊接工艺, 使用 FINETECH 微组装设备进行共晶焊接。分别在 265°C 和 325°C 下保持 20 分钟, 温度升高和降低的速率均为 60°C/min, 而芯片上的压力保持在 0.5N。对于纳米银焊膏烧结工艺, 我们使用程序控制加热台在空气中进行无压烧结, 以 300°C/h 的速率加热至 280°C 并保持 30 分钟, 然后在空气中自然冷却。

焊接试验超声扫描结果如图 5.4 所示。从结果中发现 Au80Sn20 焊点的整体焊接效果良好, 但在接合层中间有一些孔。SnAg3Cu0.5 焊料层的焊接效果稍差, 焊料层周围有很多孔。纳米银焊膏烧结接头具有最好的焊接层, 呈密实的海绵状, 没有空隙。

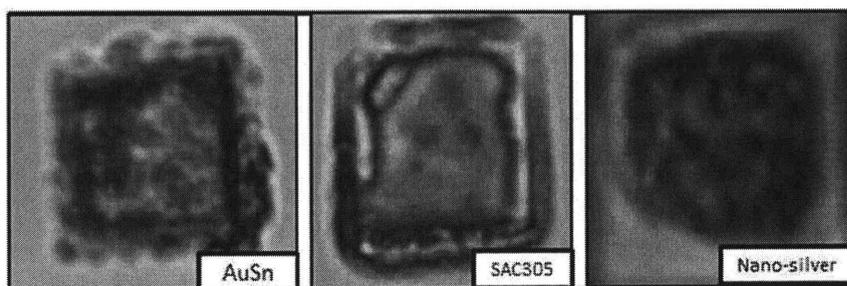


图 5.4 焊接层的超声扫描图

Figure 5.4 C-SAM images of solder layers

之后重点研究了纳米银浆的烧结接头, 并通过光学显微镜观察接头的横截面。

结果如图 5.5 所示。纳米银烧结层高度致密，与 ENEPIG 芯片表面处理层和基板上的 Cu 层有良好的结合。

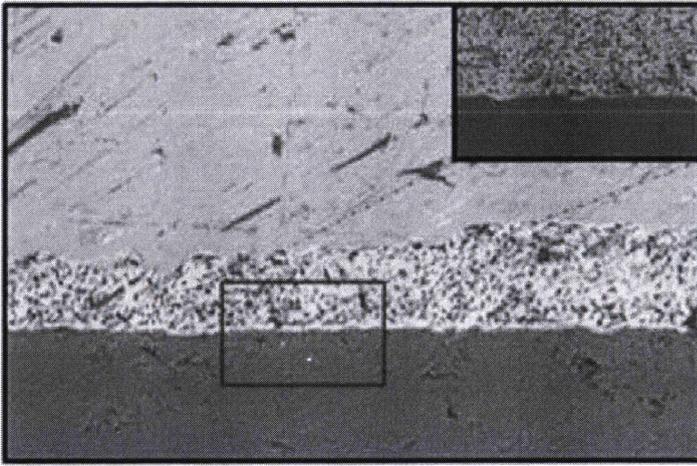


图 5.5 纳米银焊膏烧结层截面图

Figure 5.5 Cross-section picture of Nanosilver paste sintering layer

剪切强度测试使用荷兰 XYZ TEC 制造的 Condor 150 多功能推拉测试仪来测试基板和焊接层的结合强度。剪切强度等于试样上的最大剪切力除以焊接面积 ($2\text{mm}\times 2\text{mm}$)。经测试计算, SnAg3Cu0.5 焊点的平均剪切强度达到 14.324MPa, Au80Sn20 粘接层的平均剪切强度达到 20.226MPa, 纳米银焊膏烧结层的平均剪切强度达到 32.117MPa。综上, 具有纳米银焊膏的烧结接头显示出最佳的粘接质量。

以上研究工作结果表明, 纳米银焊膏粘接工艺在 Cu 键合衬底 (DBC) 和 ENEPIG 表面成品芯片之间具有最佳的粘接质量。该工作为功率芯片正面铝电极表面处理加工和接头焊接工艺选择提供了良好的参考。

5.2 有机介质填充工艺

针对合作方提供的窄缝隙封装结构, 有机介质填充采用底部填充工艺。功率器件工作时, 热损耗会产生温度变化, 由于增加的热能会导致原子或分子距离的变化, 封装结构中所有材料均会发生不同程度的尺寸变化, 用于量化尺寸和温度关系的参数即为热膨胀系数 CTE, CTE 的差异会在温度循环期间引起显著的热应力, 并可能导致疲劳开裂和电气故障。底部填充的主要作用是重新分布芯片、

焊料、衬底之间由于热膨胀系数不匹配产生的热应力，将热机械应力从脆弱的区域转移至更耐劳损的区域^[39]。因此底部填充对器件可靠性有很大的影响，底部填充工艺是封装技术中非常重要的一步。

底部填充工艺可以分为传统的毛细管型底部填充、无流动型底部填充和注入型底部填充。传统的底部填充工艺主要是运用在倒装芯片封装结构中的，其原理是有机填充介质在毛细管作用下自然流入芯片和基板之间的间隙，其工艺步骤如图 5.6 所示，由于之前的焊接工序中，倒装芯片及焊接基板上涂覆有助焊剂，因此首先要进行溶剂喷射进行清洗，然后有机填充介质通过针孔注入并在毛细管作用下被吸入芯片和基板之间的间隙中。最后，通过加热来固化有机填充介质。

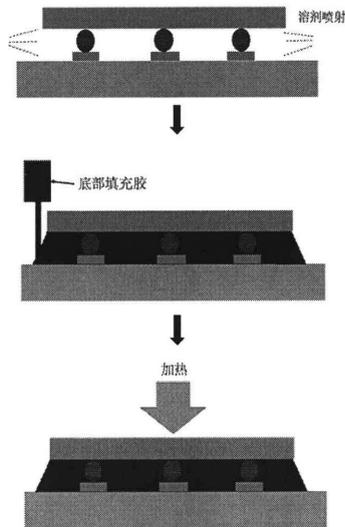


图 5.6 毛细管流动型底部填充工艺流程图

Figure 5.6 Flow chart of capillary underfill process

毛细管流动型底部填充由于毛细管流动速度较慢且不充分，容易在填充时候产生空洞或气泡，这会直接影响到封装的可靠性，因此，被认为是窄缝底部填充技术的障碍^[40]。

目前，虽然毛细管流动型底部填充仍然是主要的底部填充技术，但它面临着许多挑战。例如，随着芯片尺寸的增加和连接的焊球的高度减小，填充材料的流通的长度变得越来越长，并且芯片和基板之间的间隙变得越来越窄。因此，在毛细作用自然流动下，有机填充介质很难完全填满整个狭窄的间隙，导致填充缺

陷。这些对有机填充介质材料的粘性和流动性等特性以及填充工艺都提出了新的要求。此外，高温无铅焊料的应用导致固化后的底部填充介质需要耐受更高的焊料回流温度，高回流温度会导致更大的机械膨胀并加速介质材料的老化，这也对有机填充介质的高温强度、耐热老化等性能提出了更高要求。

为了解决与传统的毛细管流动型底部填充的相关问题，已经有了各种工艺上的改进，加压型的底部填充工艺^[41]如图 5.7 所示，有机填充介质通过特制模具的入口在加压和加温的条件下注入模腔中。研究表明，与传统的点胶工艺相比，加压型的底部填充工艺在填充时间上有了很大改进。图 5.8 显示了真空辅助型底部填充工艺^[42]的示意图，该工艺使用了真空室的护罩装置以对底部填充的流动施加真空辅助，真空的应用有助于产生无空隙的底部填充层，以实现高可靠性。除了压力和真空辅助之外，有机填充介质本身的重力也可用于辅助底部填充的流动。如图 5.9 所示的倾斜型底部填充工艺^[43]，提升基板的一端以将组件定位于倾斜平面，在高位端进行填充，在低位端可以使用屏障来防止有机填充介质的溢出。

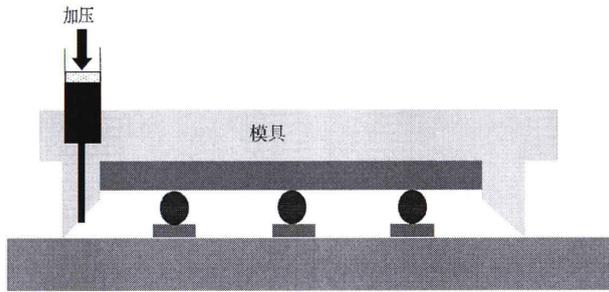


图 5.7 加压型底部填充工艺示意图

Figure 5.7 Schematic of pressurized underfill process

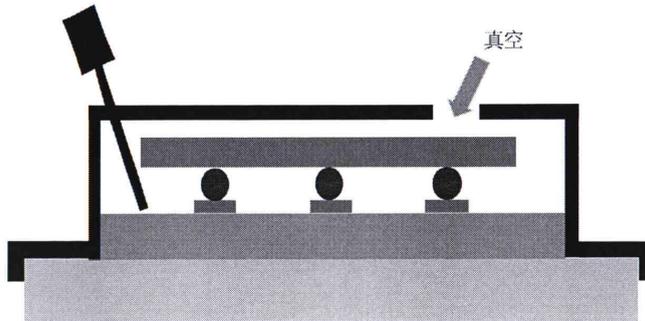


图 5.8 真空辅助型底部填充工艺示意图

Figure 5.8 Schematic of vacuum-assisted underfill process

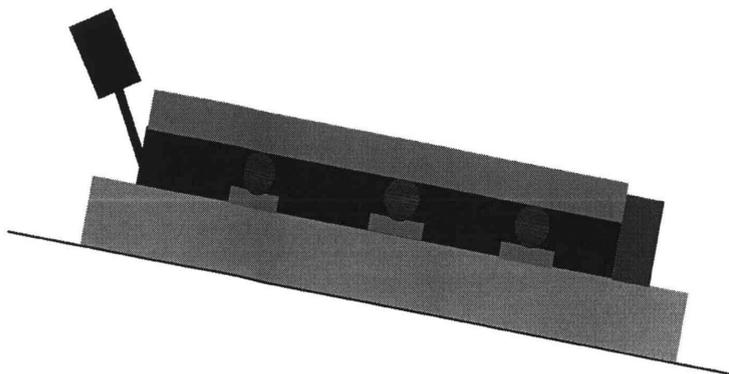


图 5.9 倾斜型底部填充工艺示意图

Figure 5.9 Schematic of raised-die underfill process

近年来,有许多关于底部填充技术的研究文献。Colgan^[44]等人采用在基板上多个点同时进行底部填充的方法,得到了较为致密、空洞较少的填充层,从而很好地保护了芯片和基板之间的焊料层互连。Miller^[45]等人在基板上设计了运用 3D 打印技术的坝形阻挡结构,从而可以避免底部填充时底填料的外溢。Cheney^[46]等人在半导体芯片边缘设计由触变填角材料组成的填角,减少或消除了在底部填充时不必要地方的多余填充。Hwang^[47]等人在进行堆叠芯片底填料填充时设计了堆叠芯片和基板之间多重凸起填角结构,树脂被平坦地填充,这降低了半导体封装的工艺成本并提高了封装的可靠性。

此部分研究由于样品数量限制,难以获得完整的有规律性的数据,只是对已提供的样品,进行了底部填充工艺的简单探索性实验。初步使用半自动点胶机进行了填充工艺探索,采用抽真空、加热固化、自然冷却的工艺条件,对样品进行填充固化并对固化后的样品进行了超声扫描测试。测试结果如图 5.10 所示。实验结果表明,所用的两款国产有机填充介质填充后存在部分空洞,填充不完全,可能是由于粘度较高、流动性和润湿性不完善所致。

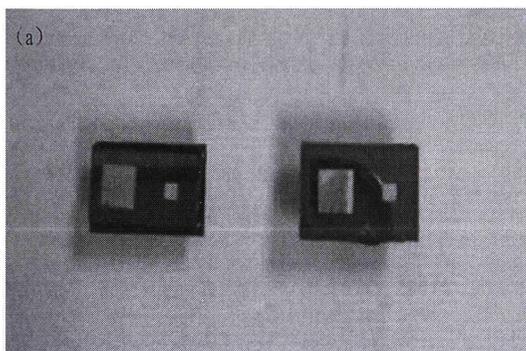


图 5.10 初步底部填充样品 a) 填充实物图 b) 超声扫描测试图

Figure 5.10 Preliminary underfill sample a) Filled object b) SAM test

第 6 章 总结和展望

6.1 全文总结

近年来, SiC 功率器件由于具有高功率密度、高温、高频、高效等优异性能引起了广泛关注和研究并取得了快速发展。在芯片技术快速发展的同时存在着封装技术发展的滞后,缺乏与 SiC 功率器件相匹配的新型封装技术及封装材料成为了影响 SiC 应用发展的一个主要障碍。

针对 SiC 功率器件高温、高压、高频的封装挑战,本文主要完成了以下研究工作:TCV 陶瓷转接板新型封装杂散电感提取以及相关的热、力有限元仿真分析;双面散热双直流端 SiC 功率模块布局设计和杂散电感提取、并联芯片开关特性以及均流性仿真分析;SiC 芯片的化学镀镍钯金表面处理、焊接工艺对比研究以及 SiC 功率器件窄间距封装的有机填充介质填充工艺等。所做的研究总结为以下结论:

(1) 提出的 TCV 陶瓷转接板的封装结构能有效减小寄生电感参数;在 TCV 封装结构中使用纳米银焊膏作为焊料从散热和热应力的角度来说是最为理想的;有机填充介质 Underfill 的填充有助于缓解焊料层的热应力并有利于提高焊料层的热循环寿命和温度循环寿命;温度变化对 Underfill 填充介质层的应力影响远大于焊料层的应力;

(2) 提出的双面散热双直流端封装结构能大大减小传统单直流端布局设计带来的杂散电感,并能为模块提高良好的开关动态特性和均流性能,可大大提高其稳定性和可靠性。

(3) 芯片经过化学镀镍钯金表面处理,在 SnAg3Cu0.5、Au80Sn20 和纳米银焊膏焊接工艺中,纳米银焊膏焊接接头显示出最佳的焊接质量。

(4) 针对窄间距封装结构,采用毛细管型填充工艺进行有机填充介质填充时,应充分考虑填充介质的粘度、流动性和湿润性等性能对填充质量的影响。

6.2 研究展望

本文的研究在针对 SiC 功率器件新型封装结构设计以及利用有限元仿真方法进行杂散参数提取、热力仿真分析均有很大的参考和指导意义,对于课题的研

究，可以从以下几个方面进行改进：

(1) 由于时间原因，本文在新型结构设计上主要采用了有限元仿真的方法进行了研究而缺乏实物进行验证，在今后的研究中可以根据设计制作出样品实物进行进一步的实验验证。

(2) 本文关注的重点在于热、力学性能，仿真过程中采用了稳态温度分布作为输入参数，实际热的输入应该是变化的，随着电的开关动作而变化的。课题因时间限制缺乏电-热-结构耦合方面的仿真研究，今后可将电学仿真产生的焦耳热作为热、力仿真的动态温度分布作为温度载荷，结果会更接近实际情况。

(3) 为了更准确的仿真，可以进一步考虑有机填充介质的粘弹性特性。当今市售的有机填充介质均不提供这些参数且文献也少有涉及。粘弹性的仿真参数一般需要经过动态机械测试测定，并需要数据处理软件拟合得到。建议在今后的研究中加强这方面的数据积累，有助于获得自有知识产权的 SiC 模块设计的仿真软件包。

参考文献

- [1] 王兆安. 关于我国电力电子技术发展之刍议[C], 2001.
- [2] Palmour J W. Silicon carbide power device development for industrial markets[C], 2014.
- [3] 张波, 邓小川, 陈万军, et al. 宽禁带功率半导体器件技术[J]. 电子科技大学学报, 2009, 38(5): 618-623.
- [4] 碳化硅电力电子器件技术发展现状与趋势[J]. 科技中国, 2018, No.249(6): 10-13.
- [5] 盛况, 郭清. 碳化硅电力电子器件在电网中的应用展望[J]. 南方电网技术, 2016, 10(3): 87-90.
- [6] Van Wyk J D, Lee F C. On a Future for Power Electronics[J]. IEEE Journal of Emerging & Selected Topics in Power Electronics, 2013, 1(2): 59-72.
- [7] Biela J, Schweizer M, Waffler S, et al. SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors[J]. IEEE Trans on Power Electronics, 2011, 58(7): 2872-2882.
- [8] Wang R, Ning P, Boroyevich D, et al. Design of high-temperature SiC three-phase AC-DC converter for >100°C ambient temperature[C], 2010.
- [9] Brokaw W, Elmes J, Grummel B, et al. Silicon carbide high-temperature packaging module fabrication[C], 2014.
- [10] Tan K S, Noordin N M, Cheong K Y: AN OVERVIEW OF DIE-ATTACH MATERIAL FOR HIGH TEMPERATURE APPLICATIONS, Hussain Z, Jaafar M, Razak K A, Shibatomi K, Kian T W, Musa M K, editor, Proceeding of the 3rd International Conference of Global Network for Innovative Technology 2016, 2017.
- [11] Mustain H A, Brown W D, Ang S S. Transient Liquid Phase Die Attach for High-Temperature Silicon Carbide Power Devices[J]. IEEE Transactions on Components & Packaging Technologies, 2010, 33(3): 563-570.
- [12] Bai J G, Yin J, Zhang Z, et al. High-Temperature Operation of SiC Power Devices by Low-Temperature Sintered Silver Die-Attachment[J]. IEEE Transactions on Advanced Packaging, 2007, 30(3): 506-510.
- [13] Khazaka R, Mendizabal L, Henry D, et al. Survey of High-Temperature Reliability of Power

- Electronics Packaging Components[J]. IEEE Transactions on Power Electronics, 2015, 30(5): 2456-2464.
- [14] Zhang Z, Luo S, Wong C P. Flip Chip Underfill: Materials, Process, and Reliability[J], 2013.
- [15] Wrzecionko B, Biela J, Kolar J W. SiC power semiconductors in HEVs: Influence of junction temperature on power density, chip utilization and efficiency[J], 2009.
- [16] Jiangang W, Xinbo R. Modeling of parasitic parameters for integrated power electronics module using flip chip technology[J]. Electronic Components & Materials, 2009, 28(6): 49-52,59.
- [17] Beckedahl P, Buetow S, Maul A, et al. 400 A, 1200 V SiC power module with 1nH commutation inductance[C], 2016.
- [18] Ning P, Lei T G, Wang F, et al. A Novel High-Temperature Planar Package for SiC Multichip Phase-Leg Power Module[J]. Ieee Transactions on Power Electronics, 2010, 25(8): 2059-2067.
- [19] Jian Y, Liang Z, Wyk J D V. High Temperature Embedded SiC Chip Module (ECM) for Power Electronics Applications[J]. IEEE Transactions on Power Electronics, 2007, 22(2): 392-398.
- [20] Zhang H, Ang S S, Mantooth H A, et al. A high temperature, double-sided cooling SiC power electronics module[C], 2013.
- [21] Nan Z, Min C, Xu D, et al. Design and evaluation of press-pack SiC MOSFET[C], 2016.
- [22] Li X U, Wang Z, Jin H U, et al. Vertical Interconnection Techniques for LTCC Microwave Modules on Basis of Fuzz-button[J]. Research & Progress of Sse, 2013.
- [23] Seal S, Mantooth H A. High Performance Silicon Carbide Power Packaging Past Trends, Present Practices, and Future Directions[J]. Energies, 2017, 10(3).
- [24] Seal S, Glover M D, Wallace A K, et al. Flip-chip bonded silicon carbide MOSFETs as a low parasitic alternative to wire-bonding[C], 2016.
- [25] Dutta A, Ang S S. A 3-D stacked wire bondless silicon carbide power module[C], 2016.
- [26] 王丹迎. 三维堆叠封装硅通孔热机械可靠性分析[D]. 华中科技大学, 2015.
- [27] 传热学.第4版[M]. 2006.
- [28] 弹性力学与有限元法教程[M]. 2008.
- [29] 宁连旺. ANSYS 有限元分析理论与发展[J]. 山西科技, 2008, (4): 65-66.

- [30] 王瑞, 陈海霞, 王广峰. ANSYS 有限元网格划分浅析[J]. 天津工业大学学报, 2002, 21(4): 8-11.
- [31] Li S, Tolbert L M, Wang F, et al. Reduction of stray inductance in power electronic modules using basic switching cells[C], 2010.
- [32] Liang Z, Ning P, Wang F, et al. Reducing Parasitic Electrical Parameters with a Planar Interconnection Packaging Structure[C], 2012.
- [33] ANSYS Workbench 15.0 完全自学一本通[M]. 2014.
- [34] Chen X, Chen G, Sakane M. Prediction of stress-strain relationship with an improved Anand constitutive Model For lead-free solder Sn-3.5Ag[J]. IEEE Transactions on Components & Packaging Technologies, 2005, 28(1): 111-116.
- [35] Yu, Dunji, Chen X U, et al. Applying Anand model to low-temperature sintered nanoscale silver paste chip attachment[J]. Materials & Design, 2009, 30(10): 4574-4579.
- [36] Anthon A, Hernandez J C, Zhang Z, et al.: Switching Investigations on a SiC MOSFET in a TO-247 Package, Iecon 2014 - 40th Annual Conference of the Ieee Industrial Electronics Society, 2014: 1854-1860.
- [37] Pun K, Islam M N, Ng T W. ENEG and ENEPIG Surface Finish for Long Term Solderability[C], 2014.
- [38] Yoon J W, Noh B I, Jung S B. Comparative Study of ENIG and ENEPIG as Surface Finishes for a Sn-Ag-Cu Solder Joint[J]. Journal of Electronic Materials, 2011, 40(9): 1950-1955.
- [39] Lau J H, Chang C. Characteristics and reliability of fast-flow, snap-cure, and reworkable underfills for solder bumped flip chip on low-cost substrates[J]. Ieee Transactions on Electronics Packaging Manufacturing, 2002, 25(3): 231-239.
- [40] 倒装芯片封装技术概论[J]. 集成技术, 2014, (6): 84-91.
- [41] Han S J, Wang K K. Study on the pressurized underfill encapsulation of flip chips[J]. Ieee Transactions on Components Packaging and Manufacturing Technology Part B-Advanced Packaging, 1997, 20(4): 434-442.
- [42] Zhang Z Q, Wong C P. Recent advances in flip-chip underfill: Materials, process, and reliability[J]. Ieee Transactions on Advanced Packaging, 2004, 27(3): 515-524.
- [43] Akram S B, Id, Wark, James M. (Boise, Id). Method and apparatus for underfill of bumped or raised die: United States.

- [44] Colgan E G M, Nj, Us), Gaynes, Michael Anthony (Vestal, Ny, Us), Sakuma, Katsuyuki (Fishkill, Ny, Us), Merte, Donald Alan (Poughkeepsie, Ny, Us). Underfill dispensing using funnels: United States.
- [45] Miller J F S R, Ca, Us). AIDING A SWIMMER IN MAINTAINING A DESIRED BEARING: United States.
- [46] Cheney R F C, Az, Us), Dhall, Ashish (Chandler, Az, Us), Ramalingam, Suriyakala (Chandler, Az, Us). METHOD FOR FORMING AN ELECTRICAL DEVICE AND ELECTRICAL DEVICES: United States.
- [47] Hwang J-H H-S, Kr), Park, Sang-Sick (Seoul, Kr), Min, Tae-Hong (Hwaseong-Si, Kr), Nam, Geol (Seoul, Kr). SEMICONDUCTOR PACKAGE HAVING A HIGH RELIABILITY: United States.

致 谢

人生是一场漫长的旅途，旅途包含一段段旅程。每一段旅程都会经历不同的事，遇到不同的人，得到不同的收获。三年的硕士生涯是我漫长人生旅途中的一程，三年的时光短促又漫长。说它短促，是觉得三年前在雁栖湖开学典礼上呐喊着铮铮誓言恍如昨日；说它漫长，是因为这段时光给足了时间教我成长，促我进步。这有些许伤感的毕业季触发了自己的感性神经，让我将这三年充实美好时光里的记忆一一拾取。

能进入国科大，进入电工所，于我来说是莫大的幸运。在这最接近科学的殿堂，结识优秀的人才，有机会跟各个领域的科研精英探讨和交流是每个学子的向往。我很幸运加入徐菊研究员的课题组，我一直将徐老师视为对我有知遇之恩，是徐老师的选择和信任才使我有学习、成长和进步的机会。本论文所有的研究工作都是在徐老师的悉心指导下完成的，徐老师严谨的科研态度、深厚的专业知识、对研究领域的敏锐洞察以及孜孜不倦的拼劲都深深的感染着我。在我遇到课题上的困难时徐老师总能给予我灵感和帮助。徐老师不仅在学业上给了我指导，在生活中也经常教我为人处事的经验，徐老师为人的直爽、正直和潇洒都是我欣赏和学习的。三年为师，终生为师，我将谨记徐老师的教诲，在今后的生活和工作中继续发扬好的品格。同时，非常感谢研究部的韩立研究员、刘俊标研究员以及给予我课题上指导的其他老师。感谢课题组的徐红艳老师、佟辉老师给与科研工作上的帮助和配合，感谢课题组米红星师兄、刘光辉师兄、张炜、刘敏、吴双等同学在课题实验和生活上的关心和帮助。良好的办公室环境是工作的基础，感谢 304 研究生办公室的师兄师姐和师弟师妹们共同维护的和谐、良好的办公室氛围。

我的课题来自于中科院电工所和中国工程物理研究院的合作项目，在此特别感谢中国工程物理研究院的张龙工程师对我课题上的指导以及生活中的关心帮助，感谢中物院的高磊、孟英昊、王月兴、强文斌、易宇、张翔鸥等同事给与的帮助，感谢在中物院集中科研的四个月一起学习交流进步的天津大学的郝柏森和湖南大学的梁世维和方芳等同学。

最后衷心感谢生我养我的父母和同我从高中一直走到婚姻殿堂的爱人，是你

们在我身后的默默支持和关心给了我家的后盾，后半生唯有好好奋斗撑起家庭。

一直感觉自己足够幸运，一路走来总会遇见贵人相助，我将永远铭记人生中的这些人，怀着感恩之情继续踏实走下去。生活不会亏待认真踏实做事的人，越努力！越幸运！

2019年6月

作者简历及攻读学位期间发表的学术论文与研究成果

作者简历:

2010年9月——2016年7月,在上海电机学院电气学院获得学士学位。

2016年9月——2019年7月,在中国科学院大学、中国科学院电工研究所攻读硕士研究生学位。

获奖情况:

2017-2018年度获得中国科学院大学“三好学生”称号

工作经历:

2011.12-2013.12 酒泉卫星发射中心,参军服役

2018.5-2018.9 中国工程物理研究院微系统与太赫兹研究中心,实习并帮助项目完成

已发表的学术论文:

Lou S, Xu J, Zhang L, et al. Comparison Studies on Joint Process for ENEPIG Surface Finished Chip for Double-sided Cooling Module, 2018: ICEPT (EI), 1293-1296.

专利申请:

“一种散热功率模块”(已受理: 201920693736.X)

参加的研究项目

企业横向课题:《高压功率器件有机填充介质材料分析与填充工艺研究》